

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成 23 年 9 月 15 日 (2011.9.15)

【公開番号】特開 2011-40826 (P2011-40826A)

【公開日】平成 23 年 2 月 24 日 (2011.2.24)

【年通号数】公開・登録公報 2011-008

【出願番号】特願 2009-183673 (P2009-183673)

【国際特許分類】

H 0 3 K 3/3562 (2006.01)

H 0 1 L 21/82 (2006.01)

H 0 1 L 27/04 (2006.01)

H 0 1 L 21/822 (2006.01)

【F I】

H 0 3 K 3/356 C

H 0 1 L 21/82 B

H 0 1 L 27/04 A

H 0 1 L 27/04 D

H 0 1 L 21/82 W

【手続補正書】

【提出日】平成 23 年 8 月 1 日 (2011.8.1)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

C M O S 半導体集積回路内に構成されたフリップフロップ回路を備える半導体装置であって、

前記フリップフロップ回路は、少なくとも、

第 1 のクロック信号を生成する、第 1 のクロック生成インバーターと、

前記第 1 のクロック信号を反転させた第 2 のクロック信号を生成する、第 2 のクロック生成インバーターと、

を備え、

前記第 1 及び第 2 のクロック生成インバーターは、前記フリップフロップ回路のマスタラッチ部とスレーブラッチ部とから構成されるラッチ部を挟むように配置され、

前記第 1 のクロック生成インバーターと、前記第 1 のクロック生成インバーターに隣り合う前記フリップフロップ回路内の第 1 の他の回路とは、ソース領域を共有し、

前記第 2 のクロック生成インバーターと、前記第 2 のクロック生成インバーターに隣り合う前記フリップフロップ回路内の第 2 の他の回路とは、ソース領域を共有する、

ものとして構成されていることを特徴とする、半導体装置。

【請求項 2】

前記フリップフロップ回路は、

入力信号に基づいて前記ラッチ部に信号を供給する、前記第 2 の他の回路としての入力回路部と、

前記ラッチ部からの信号に基づいて出力信号を出力する、前記第 1 の他の回路としての出力回路部と、

を更に備え、

回路配置が、

前記入力回路部、前記第 2 のクロック生成インバーター、前記マスターラッチ部、前記スレーブラッチ部、前記第 1 のクロック生成インバーター、及び、前記出力回路部の順であることを特徴とする、請求項 1 に記載の半導体装置。

【請求項 3】

前記第 1 及び第 2 のクロック生成インバーター間は、金属配線とゲート配線との少なくとも何れかで接続されていることを特徴とする、請求項 1 又は請求項 2 に記載の半導体装置。

【請求項 4】

前記第 1 のクロック生成インバーターと、前記第 1 の他の回路とにおける、PMOS トランジスタの拡散領域は一体に形成され、NMOS トランジスタの拡散領域は一体に形成されており、

前記第 2 のクロック生成インバーターと、前記第 2 の他の回路とにおける、PMOS トランジスタの拡散領域は一体に形成され、NMOS トランジスタの拡散領域は一体に形成されており、

前記ラッチ部における、PMOS トランジスタの拡散領域は一体に形成され、NMOS トランジスタの拡散領域は一体に形成されていることを特徴とする、請求項 1 から請求項 3 の何れかに記載の半導体装置。

【請求項 5】

前記第 1 のクロック生成インバーターと、前記第 1 の他の回路とにおける、PMOS トランジスタの拡散領域は一体に形成され、NMOS トランジスタの拡散領域は一体に形成されており、

前記第 2 のクロック生成インバーターと、前記第 2 の他の回路と、前記ラッチ部とにおける、PMOS トランジスタの拡散領域は一体に形成され、NMOS トランジスタの拡散領域は一体に形成されていることを特徴とする、請求項 1 に記載の半導体装置。

【手続補正 2】

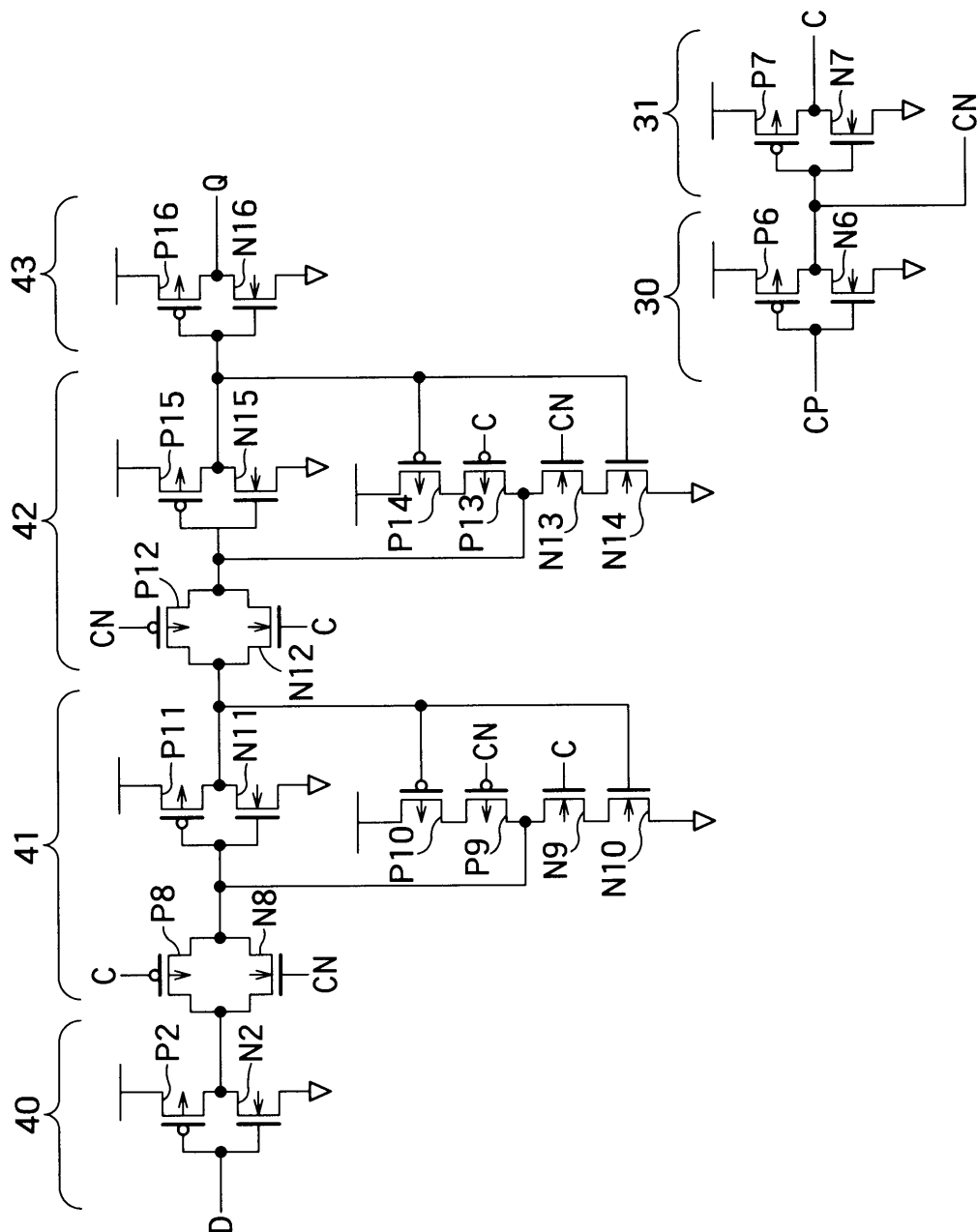
【補正対象書類名】図面

【補正対象項目名】図 5

【補正方法】変更

【補正の内容】

【図 5】



【手続補正 3】

【補正対象書類名】図面

【補正対象項目名】図 1 0

【補正方法】変更

【補正の内容】

【図 10】

