



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 202414844 A

(43)公開日：中華民國 113 (2024) 年 04 月 01 日

(21)申請案號：112126122

(22)申請日：中華民國 103 (2014) 年 04 月 30 日

(51)Int. Cl.：

*H01L29/786 (2006.01)**H01L29/41 (2006.01)**H01L21/31 (2006.01)**G02F1/1368 (2006.01)*

(30)優先權：2013/05/16

日本

2013-103716

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)；三宅博之 MIYAKE, HIROYUKI (JP)；岡
崎健一 OKAZAKI, KENICHI (JP)；早川昌彥 HAYAKAWA, MASAHIKO (JP)；松
田慎平 MATSUDA, SHINPEI (JP)

(74)代理人：林志剛

申請實體審查：有 申請專利範圍項數：5 項 圖式數：22 共 129 頁

(54)名稱

半導體裝置

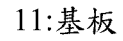
(57)摘要

本發明的目的是：提供一種具有電特性優良的電晶體的半導體裝置；提供一種孔徑比高且具有能夠增大電荷容量的電容元件的半導體裝置。一種半導體裝置，包括：閘極電極；與閘極電極重疊的氧化物半導體膜；與氧化物半導體膜接觸的氧化物絕緣膜；設置在閘極電極與氧化物半導體膜之間的第一阻氧膜；以及與第一阻氧膜接觸的第二阻氧膜，其中在第一阻氧膜及第二阻氧膜的內側設置有氧化物半導體膜及氧化物絕緣膜。

A semiconductor device including a transistor having excellent electrical characteristics is provided. Alternatively, a semiconductor device having a high aperture ratio and including a capacitor capable of increasing capacitance is provided. The semiconductor device includes a gate electrode, an oxide semiconductor film overlapping the gate electrode, an oxide insulating film in contact with the oxide semiconductor film, a first oxygen barrier film between the gate electrode and the oxide semiconductor film, and a second oxygen barrier film in contact with the first oxygen barrier film. The oxide semiconductor film and the oxide insulating film are provided on an inner side of the first oxygen barrier film and the second oxygen barrier film.

指定代表圖：

符號簡單說明：



13:導電膜

17:氧化物絕緣膜

19a:氧化物半導體膜

19b:具有導電性的膜

21a:導電膜

21b:導電膜

21c:導電膜

23:氧化物絕緣膜

25:氧化物絕緣膜

27:阻氧膜

29:導電膜

29a:導電膜

41:開口部

41a:開口部

102a:電晶體

105a:電容元件

【發明摘要】

【中文發明名稱】

半導體裝置

【英文發明名稱】

SEMICONDUCTOR DEVICE

【中文】

本發明的目的是：提供一種具有電特性優良的電晶體的半導體裝置；提供一種孔徑比高且具有能夠增大電荷容量的電容元件的半導體裝置。一種半導體裝置，包括：閘極電極；與閘極電極重疊的氧化物半導體膜；與氧化物半導體膜接觸的氧化物絕緣膜；設置在閘極電極與氧化物半導體膜之間的第一阻氧膜；以及與第一阻氧膜接觸的第二阻氧膜，其中在第一阻氧膜及第二阻氧膜的內側設置有氧化物半導體膜及氧化物絕緣膜。

【英文】

A semiconductor device including a transistor having excellent electrical characteristics is provided. Alternatively, a semiconductor device having a high aperture ratio and including a capacitor capable of increasing capacitance is provided. The semiconductor device includes a gate electrode, an oxide semiconductor film overlapping the gate electrode, an oxide insulating film in contact with the oxide semiconductor film, a first oxygen barrier film between the gate electrode and the oxide semiconductor film, and a second oxygen barrier film in contact with the first oxygen barrier film. The oxide semiconductor film and the oxide insulating film are provided on an inner side of the first oxygen barrier film and the second oxygen barrier film.

【代表圖】

【本案指定代表圖】：圖 9

【本代表圖之符號簡單說明】：

11：基板
12：導電膜
13：導電膜
15：阻氧膜
17：氧化物絕緣膜
19a：氧化物半導體膜
19b：具有導電性的膜
21a：導電膜
21b：導電膜
21c：導電膜
23：氧化物絕緣膜
25：氧化物絕緣膜
27：阻氧膜
29：導電膜
29a：導電膜
41：開口部
41a：開口部
102a：電晶體
105a：電容元件

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：
無

【發明說明書】

【中文發明名稱】

半導體裝置

【英文發明名稱】

SEMICONDUCTOR DEVICE

【技術領域】

[0001] 本發明係關於一種具備具有氧化物半導體膜的電晶體的半導體裝置及其製造方法。

【先前技術】

[0002] 使用形成在基板上的半導體薄膜構成電晶體（也稱為薄膜電晶體（TFT））的技術引人矚目。該電晶體被廣泛地應用於如積體電路（IC）、影像顯示裝置（顯示裝置）等的電子裝置。作為可以應用於電晶體的半導體薄膜，矽類半導體材料已被周知，但是作為其他材料，氧化物半導體引人矚目。

[0003] 例如，已公開有作為電晶體的活化層使用包含銦（In）、鎵（Ga）以及鋅（Zn）的氧化物半導體的電晶體（參照專利文獻1）。

[0004] 另外，已公開有採用疊層結構的氧化物半導體層以提高載子移動率的技術（參照專利文獻2及3）。

[0005]

[專利文獻 1] 日本專利申請公開第 2006-165528 號公報

[專利文獻 2] 日本專利申請公開第 2011-138934 號公報

[專利文獻 3] 日本專利申請公開第 2011-124360 號公報

[0006] 氧化物半導體膜所包含的缺陷之一是氧缺損。例如，使用其中包含氧缺損的氧化物半導體膜的電晶體的臨界電壓容易向負方向變動，而容易具有常導通（normally-on）特性。這是因為由於在氧化物半導體膜中含有氧缺損而產生電荷以導致低電阻化的緣故。當電晶體具有常導通特性時，產生各種問題，諸如在工作時容易產生工作故障或者在非工作時耗電量增大等。另外，還有如下問題：由於受到隨時變化或應力測試的影響，電晶體的電特性，典型為臨界電壓的變動量增大。

【發明內容】

[0007] 鑒於上述問題，本發明的一實施方式的目的是：提供一種具有電特性優良的電晶體的半導體裝置；提供一種孔徑比高且具有能夠增大電荷容量的電容元件的半導體裝置。

[0008] 本發明的一實施方式是一種半導體裝置，包括：閘極電極；與閘極電極重疊的氧化物半導體膜；與氧化物半導體膜接觸的氧化物絕緣膜；設置在閘極電極與氧化物半導體膜之間的第一阻氧膜；以及與第一阻氧膜接觸的第二阻氧膜，其中在第一阻氧膜及第二阻氧膜的內側設

置有氧化物半導體膜及氧化物絕緣膜。

[0009] 本發明的另一實施方式是一種半導體裝置，包括：第一閘極電極；與第一閘極電極重疊的氧化物半導體膜；設置在第一閘極電極與氧化物半導體膜之間的第一阻氧膜；與氧化物半導體膜接觸的氧化物絕緣膜；與氧化物絕緣膜接觸的第二阻氧膜；以及隔著氧化物絕緣膜及第二阻氧膜與氧化物半導體膜重疊的第二閘極電極，其中第一阻氧膜與第二阻氧膜接觸，在第一阻氧膜及第二阻氧膜的內側設置有氧化物半導體膜及氧化物絕緣膜，並且氧化物半導體膜的側面與第二閘極電極相對。

[0010] 另外，第一閘極電極與第二閘極電極也可以在第一阻氧膜及第二阻氧膜的開口部中連接。

[0011] 另外，與氧化物半導體膜接觸的氧化物絕緣膜也可以具有其氧含量超過化學計量組成的氧化物絕緣膜。其氧含量超過化學計量組成的氧化物絕緣膜是指如下膜：在進行 TDS (Thermal Desorption Spectroscopy: 熱脫附譜) 分析時，表面溫度為 100℃ 以上且 700℃ 以下或 100℃ 以上且 500℃ 以下的加熱處理中的氧原子脫離量為 $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上或 $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上。

[0012] 另外，上述半導體裝置也可以具有與氧化物半導體膜接觸的第一導電膜。該第一導電膜被用作一對電極。另外，上述半導體裝置也可以具有與第二阻氧膜及第一導電膜接觸的第二導電膜。該第二導電膜被用作像素電極。

[0013] 另外，在上述半導體裝置中，也可以利用第一阻氧膜上的具有導電性的膜、與該具有導電性的膜接觸的第二阻氧膜以及第二導電膜構成電容元件。

[0014] 具有導電性的膜是具有包含在氧化物半導體膜中的金屬元素的金屬氧化物膜，該具有導電性的膜還具有雜質。作為該雜質，有氫、硼、磷、錫、銻、稀有氣體元素、鹼金屬、鹼土金屬等。

[0015] 因為第一阻氧膜與第二阻氧膜在其內側設置有氧化物半導體膜及氧化物絕緣膜的狀態下接觸，所以可以抑制包含在氧化物絕緣膜中的氧遷移到第一阻氧膜及第二阻氧膜的外側。其結果是，可以將包含在氧化物絕緣膜中的氧高效地移動到氧化物半導體膜以降低包含在氧化物半導體膜中的氧缺損量。

[0016] 另外，在具有第一閘極電極及第二閘極電極的電晶體中，被分離的氧化物絕緣膜與氧化物半導體膜重疊。再者，在通道寬度方向上的剖面圖中，氧化物絕緣膜的端部位於氧化物半導體膜的外側，並且氧化物半導體膜的側面與第一閘極電極或第二閘極電極相對。其結果是，借助於第一閘極電極或第二閘極電極的電場的影響，可以抑制在氧化物半導體膜的端部發生寄生通道。

[0017] 另外，在本發明的一實施方式的半導體裝置的元件基板上，在形成電晶體的氧化物半導體膜的同時形成電容元件的一個電極。將用作像素電極的導電膜用於電容元件的另一個電極。由此，不需要重新形成導電膜以形

成電容元件，從而可以減少製程。另外，因為一對電極具有透光性，所以電容元件具有透光性。其結果是，可以在增大電容元件的佔有面積的同時提高像素的孔徑比。

[0018] 根據本發明的一實施方式，可以提供：一種具有電特性優良的電晶體的半導體裝置；一種孔徑比高且具有能夠增大電荷容量的電容元件的半導體裝置。

【圖式簡單說明】

[0019]

在圖式中：

圖 1A 至 1C 是說明半導體裝置的一實施方式的方塊圖及電路圖；

圖 2 是說明半導體裝置的一實施方式的俯視圖；

圖 3 是說明半導體裝置的一實施方式的剖面圖；

圖 4A 至 4D 是說明半導體裝置的製造方法的一實施方式的剖面圖；

圖 5A 至 5D 是說明半導體裝置的製造方法的一實施方式的剖面圖；

圖 6A 和 6B 是說明半導體裝置的製造方法的一實施方式的剖面圖；

圖 7A 和 7B 是說明半導體裝置的製造方法的一實施方式的剖面圖；

圖 8 是說明半導體裝置的一實施方式的俯視圖；

圖 9 是說明半導體裝置的一實施方式的剖面圖；

圖 10A 至 10C 是說明半導體裝置的製造方法的一實施方式的剖面圖；

圖 11A 和 11B 是說明電晶體的結構的剖面圖；

圖 12A 和 12B 是說明計算出電流電壓曲線的結果的圖；

圖 13A 和 13B 是說明計算出電晶體的電勢的結果的圖；

圖 14A 和 14B 是說明模型的圖；

圖 15A 至 15C 是說明模型的圖；

圖 16A 至 16C 是說明計算出電流電壓曲線的結果的圖；

圖 17 是說明電晶體的一實施方式的剖面圖；

圖 18A 和 18B 是說明半導體裝置的一實施方式的剖面圖；

圖 19A 至 19C 是說明電晶體的能帶結構的圖；

圖 20 是示出氧化物半導體的奈米束電子繞射圖案的圖；

圖 21A 至 21C 是說明半導體裝置的一實施方式的俯視圖；

圖 22A 和 22B 是說明半導體裝置的一實施方式的剖面圖。

【實施方式】

[0020] 以下，將參照圖式詳細說明本發明的實施方

式。但是，本發明不侷限於以下說明，所屬技術領域的普通技術人員可以很容易地理解一個事實就是其實施方式和詳細內容在不脫離本發明的精神及其範圍下可以被變換為各種形式。因此，本發明不應該被解釋為僅限定在以下所示的實施方式所記載的內容中。在以下說明的實施方式中，在不同的圖式之間使用同一符號或同一陰影線表示同一部分或具有同樣功能的部分，而省略重複說明。

[0021] 在本說明書所說明的每一個圖式中，有時為了容易理解，誇大地表示各構成要素的大小、膜厚度、區域。因此，實際上的尺度並不一定限定於該尺度。

[0022] 在本說明書中使用的“第一”、“第二”、“第三”等序數詞是為了避免構成要素的混同而附加的，而不是為了在數目方面上進行限定。因此，例如可以將“第一”適當地替換為“第二”或“第三”等來進行說明。

[0023] “源極”和“汲極”的功能在電路工作中的電流方向變化等時有可能互換。因此，在本說明書中，“源極”和“汲極”這兩個詞語可以互換使用。

[0024] 電壓是指兩個點之間的電位差，而電位是指某一點的靜電場中的某單位電荷所具有的靜電能（電位能量）。但是，一般來說，將某一點的電位與標準的電位（例如接地電位）之間的電位差簡單地稱為電位或電壓，通常，電位和電壓是同義詞。因此，在本說明書中，除了特別指定的情況以外，既可將“電位”稱為“電壓”，又

可將“電壓”稱為“電位”。

[0025] 在本說明書中，當在進行光微影製程之後進行蝕刻製程時，去除在光微影製程中所形成的遮罩。

[0026]

實施方式 1

在本實施方式中，參照圖式對本發明的一實施方式的半導體裝置進行說明。以下以顯示裝置為例子說明本發明的一實施方式的半導體裝置，並以氧化物半導體膜為半導體膜進行說明。

[0027] 圖 1A 示出半導體裝置的一個例子。圖 1A 所示的半導體裝置包括：像素部 101；掃描線驅動電路 104；信號線驅動電路 106；各個平行或大致平行地配置且其電位由掃描線驅動電路 104 控制的 m 個掃描線 107；以及各個平行或大致平行地配置且其電位由信號線驅動電路 106 控制的 n 個信號線 109。像素部 101 具有配置為矩陣狀的多個像素 103。另外，還有沿著信號線 109 各個平行或大致平行地配置的電容線 115。注意，該電容線 115 也可以沿著掃描線 107 各個平行或大致平行地配置。另外，有時將掃描線驅動電路 104 及信號線驅動電路 106 總稱為驅動電路部。

[0028] 各掃描線 107 與在像素部 101 中配置為 m 行 n 列的像素 103 中的配置在任一行的 n 個像素 103 電連接，而各信號線 109 與配置為 m 行 n 列的像素 103 中的配置在任一系列的 m 個像素 103 電連接。 m 、 n 都是 1 以上

的整數。各電容線 115 與配置為 m 行 n 列的像素 103 中的配置在任一行的 n 個像素 103 電連接。另外，當電容線 115 沿著信號線 109 各個平行或大致平行地配置時，電容線 115 與配置為 m 行 n 列的像素 103 中的配置在任一列的 m 個像素 103 電連接。

[0029] 圖 1B 及圖 1C 示出可以應用於圖 1A 所示的顯示裝置的像素 103 的電路結構的一個例子。

[0030] 圖 1B 所示的像素 103 具有液晶元件 121、電晶體 102 和電容元件 105。

[0031] 根據像素 103 的規格適當地設定液晶元件 121 的一對電極中的一個的電位。根據被寫入的資料設定液晶元件 121 的配向狀態。對於多個像素 103 的每一個所具有的液晶元件 121 的一對電極中的一個，既可供應共用電位（共用電位）又可供應各行不同的電位。

[0032] 液晶元件 121 是利用液晶的光學調變作用來控制光的透過或非透過的元件。液晶的光學調變作用由施加到液晶的電場（包括橫向電場、縱向電場或傾斜方向電場）控制。作為液晶元件 121，可以舉出向列液晶、膽固醇相（cholesteric）液晶、層列型液晶、熱致液晶、溶致液晶、鐵電液晶、反鐵電液晶等。

[0033] 例如，作為具有液晶元件 121 的顯示裝置的驅動方法也可以使用如下模式：TN 模式；VA 模式；ASM（Axially Symmetric Aligned Micro-cell：軸對稱排列微單元）模式；OCB（Optically Compensated Birefringence：

光學補償彎曲) 模式；MVA 模式；PVA (Patterned Vertical Alignment：垂直配向構型) 模式；IPS 模式；FFS 模式；或 TBA (Transverse Bend Alignment：橫向彎曲配向) 模式等。但是，不侷限於此，作為液晶元件及其驅動方式可以使用各種液晶元件及驅動方式。

[0034] 另外，也可以使用包含呈現藍相 (Blue Phase) 的液晶和手性試劑的液晶組成物構成液晶元件。呈現藍相的液晶的回應速度快，為 1msec 以下，並且由於其具有光學各向同性，所以不需要配向處理，且視角依賴性小。

[0035] 在圖 1B 所示的像素 103 的結構中，電晶體 102 的源極電極和汲極電極中的一個與信號線 109 電連接，源極電極和汲極電極中的另一個與液晶元件 121 的一對電極中的另一個電連接。電晶體 102 的閘極電極與掃描線 107 電連接。電晶體 102 具有藉由成為導通狀態或截止狀態而對資料信號的寫入進行控制的功能。

[0036] 在圖 1B 所示的像素 103 的結構中，電容元件 105 的一對電極中的一個與被供應電位的電容線 115 電連接，另一個與液晶元件 121 的一對電極中的另一個電連接。根據像素 103 的規格適當地設定電容線 115 的電位值。電容元件 105 被用作儲存被寫入的資料的儲存電容器。

[0037] 例如，在具有圖 1B 的像素 103 的顯示裝置中，藉由使用掃描線驅動電路 104 依次選擇各行的像素

103，使電晶體 102 成為導通狀態而寫入資料信號。

[0038] 藉由使電晶體 102 成為截止狀態，使被寫入了資料的像素 103 成為保持狀態。藉由按行依次進行上述步驟，可以顯示影像。

[0039] 另外，圖 1C 所示的像素 103 具有用來進行顯示元件的開關的電晶體 133、用來控制像素的驅動的電晶體 102、電晶體 135、電容元件 105 以及發光元件 131。

[0040] 電晶體 133 的源極電極和汲極電極中的一個與被供應資料信號的信號線 109 電連接。並且，電晶體 133 的閘極電極與被供應閘極信號的掃描線 107 電連接。

[0041] 電晶體 133 具有藉由成為導通狀態或截止狀態而對資料信號的寫入進行控制的功能。

[0042] 電晶體 102 的源極電極和汲極電極中的一個與用作陽極線的佈線 137 電連接，電晶體 102 的源極電極和汲極電極中的另一個與發光元件 131 中的一個電極電連接。電晶體 102 的閘極電極與電晶體 133 的源極電極和汲極電極中的另一個及電容元件 105 中的一個電極電連接。

[0043] 電晶體 102 具有藉由成為導通狀態或截止狀態而對流過發光元件 131 的電流進行控制的功能。

[0044] 電晶體 135 的源極電極和汲極電極中的一個與被供應資料的參考電位的佈線 139 連接，電晶體 135 的源極電極和汲極電極中的另一個與發光元件 131 中的一個電極及電容元件 105 的另一個電極電連接。電晶體 135 的閘極電極與被供應閘極信號的掃描線 107 電連接。

[0045] 電晶體 135 具有對流過發光元件 131 的電流進行調整的功能。例如，在因劣化等而增加發光元件 131 的內部電阻的情況下，藉由監視流過與電晶體 135 的源極電極和汲極電極中的一個連接的佈線 139 的電流，可以校正流過發光元件 131 的電流。例如，被施加到佈線 139 的電位可以為 0V。

[0046] 電容元件 105 的一對電極中的一個與電晶體 102 的閘極電極、電晶體 133 的源極電極和汲極電極中的另一個電連接，電容元件 105 的一對電極中的另一個與電晶體 135 的源極電極和汲極電極中的另一個及發光元件 131 的一個電極電連接。

[0047] 在圖 1C 所示的像素 103 的結構中，電容元件 105 被用作儲存被寫入的資料的儲存電容器。

[0048] 發光元件 131 的一對電極中的一個與電晶體 135 的源極電極和汲極電極中的另一個、電容元件 105 的另一個電極以及電晶體 102 的源極電極和汲極電極中的另一個電連接。發光元件 131 的一對電極中的另一個與用作陰極線的佈線 141 電連接。

[0049] 作為發光元件 131，例如可以使用有機電致發光元件（也稱為有機 EL 元件）等。但是，發光元件 131 不侷限於此，也可以採用由無機材料構成的無機 EL 元件。

[0050] 另外，對佈線 137 和佈線 141 中的一個施加高電源電位 VDD，對另一個施加低電源電位 VSS。在圖

1C 所示的像素 103 的結構中，對佈線 137 和佈線 141 分別施加高電源電位 VDD 和低電源電位 VSS。

[0051] 在具有圖 1C 所示的像素 103 的顯示裝置中，藉由使用掃描線驅動電路 104 依次選擇各行的像素 103，使電晶體 133 成為導通狀態而寫入資料信號。

[0052] 當電晶體 133 成為截止狀態時，被寫入了資料的像素 103 成為保持狀態。再者，因為電晶體 133 與電容元件 105 連接，所以能夠在長時間內保持被寫入的資料。而且，根據電晶體 133 控制流過電晶體 102 的源極電極與汲極電極之間的電流量，發光元件 131 以對應於流過的電流量的亮度發光。藉由按行依次進行上述步驟，可以顯示影像。

[0053] 接著，說明顯示裝置所包括的元件基板的具體結構。在此，對將液晶元件用於像素 103 的液晶顯示裝置的具體例子進行說明。這裡，圖 2 示出圖 1B 所示的像素 103 的俯視圖。

[0054] 在圖 2 中，用作掃描線的導電膜 13 在與信號線大致正交的方向（圖式中的左右方向）上延伸地設置。用作信號線的導電膜 21a 在與掃描線大致正交的方向（圖式中的上下方向）上延伸地設置。用作電容線的導電膜 21c 在與信號線平行的方向上延伸地設置。用作掃描線的導電膜 13 與掃描線驅動電路 104（參照圖 1A）電連接，而用作信號線的導電膜 21a 及用作電容線的導電膜 21c 與信號線驅動電路 106（參照圖 1A）電連接。

[0055] 電晶體 102 設置在掃描線和信號線的交叉區域。電晶體 102 由用作閘極電極的導電膜 13、閘極絕緣膜（在圖 2 中未圖示）、形成在閘極絕緣膜上的形成有通道區域的氧化物半導體膜 19a、用作一對電極的導電膜 21a 及 21b 構成。導電膜 13 還被用作掃描線，其中與氧化物半導體膜 19a 重疊的區域被用作電晶體 102 的閘極電極。導電膜 21a 還被用作信號線，其中與氧化物半導體膜 19a 重疊的區域被用作電晶體 102 的源極電極或汲極電極。在圖 2 的頂面形狀中，掃描線的端部位於氧化物半導體膜 19a 的端部的外側。由此，掃描線被用作阻擋來自背光等光源的光的遮光膜。其結果是，電晶體所包括的氧化物半導體膜 19a 不被照射光而電晶體的電特性的變動可以得到抑制。

[0056] 導電膜 21b 在開口部 41 中與用作像素電極的透光導電膜 29 電連接。

[0057] 電容元件 105 與用作電容線的導電膜 21c 連接。電容元件 105 由形成在閘極絕緣膜上的具有導電性的膜 19b、設置在電晶體 102 上的介電膜以及用作像素電極的透光導電膜 29 構成。介電膜使用阻氧膜形成。形成在閘極絕緣膜上的具有導電性的膜 19b 具有透光性。就是說，電容元件 105 具有透光性。

[0058] 因為電容元件 105 具有透光性，所以可以在像素 103 中形成較大（大面積）的電容元件 105。由此，可以獲得孔徑比得到提高（典型地提高到 50%以上，55%

以上或 60%以上) 且電荷容量增大的半導體裝置。例如，解析度高的如液晶顯示裝置之類的半導體裝置在像素的面積小時電容元件的面積也小。因此，在解析度高的半導體裝置中，儲存在電容元件中的電荷容量變小。但是，由於本實施方式所示的電容元件 105 具有透光性，所以藉由將該電容元件設置在像素中，可以在各像素中獲得充分的電荷容量的同時提高孔徑比。典型的是，電容元件 105 可以適當地應用於像素密度為 200ppi 以上，300ppi 以上或 500ppi 以上的高解析度半導體裝置。

[0059] 本發明的一實施方式在高解析度的顯示裝置中也可以提高孔徑比，因此可以有效地利用背光等光源的光，由此可以降低顯示裝置的耗電量。

[0060] 接著，圖 3 示出沿著圖 2 的點劃線 A-B、點劃線 C-D 的剖面圖。圖 2 所示的電晶體 102 是通道蝕刻型電晶體。注意，沿著點劃線 A-B 的剖面圖示出通道長度方向上的電晶體 102、電晶體 102 與用作像素電極的導電膜 29 的連接部以及電容元件 105，沿著點劃線 C-D 的剖面圖示出通道寬度方向上的電晶體 102。

[0061] 圖 3 所示的電晶體 102 是具有單閘極結構的電晶體，其包括：設置在基板 11 上的用作閘極電極的導電膜 13；形成在基板 11 及用作閘極電極的導電膜 13 上的阻氧膜 15；形成在阻氧膜 15 上的氧化物絕緣膜 17；隔著阻氧膜 15 及氧化物絕緣膜 17 與用作閘極電極的導電膜 13 重疊的氧化物半導體膜 19a；以及與氧化物半導體膜

19a 接觸的用作一對電極的導電膜 21a 及 21b。在氧化物絕緣膜 17、氧化物半導體膜 19a、用作一對電極的導電膜 21a 及 21b 上形成有氧化物絕緣膜 23，在氧化物絕緣膜 23 上形成有氧化物絕緣膜 25。在阻氧膜 15、氧化物絕緣膜 17、氧化物絕緣膜 23、氧化物絕緣膜 25、導電膜 21a 及 21b 上形成有阻氧膜 27。另外，在阻氧膜 27 上還形成有與用作一對電極的導電膜 21a 及 21b 中的一個（這裡，導電膜 21b）連接的導電膜 29。導電膜 29 被用作像素電極。

[0062] 圖 3 所示的電容元件 105 具有形成在氧化物絕緣膜 17 上的具有導電性的膜 19b、阻氧膜 27 以及用作像素電極的導電膜 29。

[0063] 在本實施方式所示的電晶體 102 上形成有被分離的氧化物絕緣膜 23 及 25，該被分離的氧化物絕緣膜 23 及 25 與氧化物半導體膜 19a 重疊。另外，阻氧膜 15 與阻氧膜 27 在其內側設置有氧化物半導體膜 19a、氧化物絕緣膜 23 及 25 的狀態下彼此接觸。

[0064] 阻氧膜 15 及 27 可以使用具有低透氧性的絕緣膜。另外，阻氧膜 15 及 27 還可以使用具有低透氧性、低透氫性以及低透水性的絕緣膜。作為具有低透氧性的絕緣膜、具有低透氧性、低透氫性以及低透水性的絕緣膜，有如氮化矽膜、氮氧化矽膜、氮化鋁膜、氮氧化鋁膜等氮化物絕緣膜。另外，作為具有低透氧性的絕緣膜、具有低透氧性、低透氫性以及低透水性的絕緣膜，還有如氧化鋁

膜、氧氮化鋁膜、氧化鎵膜、氧氮化鎵膜、氧化鈮膜、氧氮化鈮膜、氧化鉛膜、氧氮化鉛膜等氧化物絕緣膜。

[0065] 氧化物半導體膜 19a 使用典型為 In-Ga 氧化物膜、In-Zn 氧化物膜、In-M-Zn 氧化物膜（M 為 Al、Ga、Y、Zr、La、Ce 或 Nd）而形成。

[0066] 另外，設置在氧化物半導體膜 19a 上的氧化物絕緣膜 23 或氧化物絕緣膜 25 是其氧含量超過化學計量組成的氧化物絕緣膜。其氧含量超過化學計量組成的氧化物絕緣膜因被加熱而釋放氧的一部分。其氧含量超過化學計量組成的氧化物絕緣膜是指如下膜：在進行 TDS 分析時，表面溫度為 100℃ 以上且 700℃ 以下或 100℃ 以上且 500℃ 以下的加熱處理中的氧原子脫離量為 1.0×10^{18} atoms/cm³ 以上或 3.0×10^{20} atoms/cm³ 以上。

[0067] 藉由使氧化物絕緣膜 23 或氧化物絕緣膜 25 包括其氧含量超過化學計量組成的氧化物絕緣膜，可以將包含在氧化物絕緣膜 23 或氧化物絕緣膜 25 中的氧的一部分移動到氧化物半導體膜 19a，以降低包含在氧化物半導體膜 19a 中的氧缺損。

[0068] 另外，阻氧膜 15 與阻氧膜 27 在其內側設有氧化物半導體膜 19a、氧化物絕緣膜 23 及 25 的狀態下彼此接觸。

[0069] 使用其中包含氧缺損的氧化物半導體膜的電晶體的臨界電壓容易向負方向變動，而容易具有常導通特性。這是因為由於在氧化物半導體膜中含有氧缺損而產生

電荷以導致低電阻化的緣故。當電晶體具有常導通特性時，產生各種問題，諸如在工作時容易產生工作故障或者在非工作時耗電量增大等。另外，還有如下問題：由於受到隨時變化或應力測試的影響，電晶體的電特性，典型為臨界電壓的變動量增大。

[0070] 但是，在本實施方式所示的電晶體 102 中，設置在氧化物半導體膜 19a 上的氧化物絕緣膜 23 或氧化物絕緣膜 25 是其氧含量超過化學計量組成的氧化物絕緣膜。再者，由阻氧膜 15 及阻氧膜 27 包圍氧化物半導體膜 19a、氧化物絕緣膜 23 以及氧化物絕緣膜 25。其結果是，包含在氧化物絕緣膜 23 或氧化物絕緣膜 25 中的氧高效地移動到氧化物半導體膜 19a，使得氧化物半導體膜 19a 的氧缺損減少。由此，得到具有常關閉（normally-off）特性的電晶體。另外，還可以降低起因於隨時變化或應力測試的電晶體的電特性，典型為臨界電壓的變動量。

[0071] 另外，在電容元件 105 中，具有導電性的膜 19b 是與氧化物半導體膜 19a 同時形成的膜，且是藉由包含雜質來提高導電性的膜。或者，具有導電性的膜 19b 是與氧化物半導體膜 19a 同時形成的膜，且是藉由包含雜質並因電漿損傷等而形成氧缺損來提高導電性的膜。

[0072] 在本實施方式所示的半導體裝置的元件基板上，在形成電晶體的氧化物半導體膜的同時形成電容元件的一個電極。將用作像素電極的導電膜用於電容元件的另

一個電極。由此，不需要重新形成導電膜以形成電容元件，從而可以減少製程。另外，因為一對電極具有透光性，所以電容元件具有透光性。其結果是，可以在增大電容元件的佔有面積的同時提高像素的孔徑比。

[0073] 以下對電晶體 102 的結構的詳細內容進行說明。

[0074] 雖然對基板 11 的材料等沒有特別的限制，但是至少需要具有能夠承受後續的加熱處理的耐熱性。例如，作為基板 11，可以使用玻璃基板、陶瓷基板、石英基板、藍寶石基板等。另外，還可以利用以矽或碳化矽等為材料的單晶半導體基板或多晶半導體基板、以矽鍺等為材料的化合物半導體基板、SOI (Silicon On Insulator: 絕緣體上矽) 基板等，並且也可以將在這些基板上設置有半導體元件的基板用作基板 11。當作為基板 11 使用玻璃基板時，藉由使用第 6 代 (1500mm×1850mm)、第 7 代 (1870mm×2200mm)、第 8 代 (2200mm×2400mm)、第 9 代 (2400mm×2800mm)、第 10 代 (2950mm×3400mm) 等的大面積基板，可以製造大型顯示裝置。

[0075] 作為基板 11，也可以使用撓性基板，並且在撓性基板上直接形成電晶體 102。或者，也可以在基板 11 與電晶體 102 之間設置剝離層。剝離層可以在如下情況下使用，即在剝離層上製造半導體裝置的一部分或全部，然後將其從基板 11 分離並轉置到其他基板上的情況。此時，也可以將電晶體 102 轉置到耐熱性低的基板或撓性基

板上。

[0076] 用作閘極電極的導電膜 13 可以使用選自鋁、鉻、銅、鈹、鈦、鉬、鎢中的金屬元素或者以上述金屬元素為成分的合金或組合上述金屬元素的合金等來形成。另外，還可以使用選自錳和銨中的一種或多種的金屬元素。用作閘極電極的導電膜 13 可以具有單層結構或兩層以上的疊層結構。例如，可以舉出包含矽的鋁膜的單層結構、在鈦膜上層疊鋁膜的兩層結構、在氮化鈦膜上層疊鈦膜的兩層結構、在氮化鈦膜上層疊鎢膜的兩層結構、在氮化鈹膜或氮化鎢膜上層疊鎢膜的兩層結構、在鈦膜上層疊銅膜的兩層結構以及依次層疊鈦膜、鋁膜及鈦膜的三層結構等。另外，還可以使用組合鋁與選自鈦、鈹、鎢、鉬、鉍、銨中的元素的一種或多種而形成的合金膜或氮化膜。

[0077] 用作閘極電極的導電膜 13 也可以使用銦錫氧化物、包含氧化鎢的銦氧化物、包含氧化鎢的銦鋅氧化物、包含氧化鈦的銦氧化物、包含氧化鈦的銦錫氧化物、銦鋅氧化物、添加有氧化矽的銦錫氧化物等透光導電材料。另外，還可以採用上述透光導電材料與上述金屬元素的疊層結構。

[0078] 阻氧膜 15 可以使用具有低透氧性的絕緣膜。另外，阻氧膜 15 還可以使用具有低透氧性、低透氫性以及低透水性的絕緣膜。作為具有低透氧性的絕緣膜、具有低透氧性、低透氫性以及低透水性的絕緣膜，有如氮化矽

膜、氮氧化矽膜、氮化鋁膜、氮氧化鋁膜等氮化物絕緣膜。另外，作為具有低透氧性的絕緣膜、具有低透氧性、低透氫性以及低透水性的絕緣膜，還有如氧化鋁膜、氧氮化鋁膜、氧化鎵膜、氧氮化鎵膜、氧化釷膜、氧氮化釷膜、氧化鉛膜、氧氮化鉛膜等氧化物絕緣膜。

[0079] 阻氧膜 15 的厚度較佳為 5nm 以上且 100nm 以下，或者為 20nm 以上且 80nm 以下。

[0080] 氧化物絕緣膜 17 例如使用氧化矽、氧氮化矽、氧化鋁、氧化鉛、氧化鎵或者 Ga-Zn 類金屬氧化物等即可，並且以疊層結構或單層結構來設置。

[0081] 另外，藉由使用矽酸鉛 (HfSiO_x)、添加有氮的矽酸鉛 ($\text{HfSi}_x\text{O}_y\text{N}_z$)、添加有氮的鋁酸鉛 ($\text{HfAl}_x\text{O}_y\text{N}_z$)、氧化鉛、氧化釷等 high-k 材料來形成氧化物絕緣膜 17，可減少電晶體的閘極洩漏電流。

[0082] 氧化物絕緣膜 17 的厚度較佳為 5nm 以上且 400nm 以下，為 10nm 以上且 300nm 以下，或者為 50nm 以上且 250nm 以下。

[0083] 氧化物半導體膜 19a 使用典型為 In-Ga 氧化物、In-Zn 氧化物、In-M-Zn 氧化物 (M 為 Al、Ga、Y、Zr、La、Ce 或 Nd) 而形成。

[0084] 在氧化物半導體膜 19a 為 In-M-Zn 氧化物膜的情況下，假設為 In 與 M 之和為 100atomic%，則 In 與 M 的原子數比為如下：In 的原子數比為 25atomic%以上且 M 的原子數比低於 75atomic%，或者為如下：In 的原子數

比為 34atomic%以上且 M 的原子數比低於 66atomic%。

[0085] 氧化物半導體膜 19a 的能隙為 2eV 以上，為 2.5eV 以上，或者為 3eV 以上。如此，藉由使用能隙較寬的氧化物半導體，可以降低電晶體 102 的關態電流（off-state current）。

[0086] 氧化物半導體膜 19a 的厚度為 3nm 以上且 200nm 以下，為 3nm 以上且 100nm 以下，或者為 3nm 以上且 50nm 以下。

[0087] 當氧化物半導體膜 19a 為 In-M-Zn 氧化物膜（M 為 Al、Ga、Y、Zr、La、Ce 或 Nd）時，較佳為用來形成 In-M-Zn 氧化物膜的濺射靶材的金屬元素的原子數比滿足 $\text{In} \geq \text{M}$ 及 $\text{Zn} \geq \text{M}$ 。這種濺射靶材的金屬元素的原子數比較佳為 $\text{In}:\text{M}:\text{Zn}=1:1:1$ 、 $\text{In}:\text{M}:\text{Zn}=1:1:1.2$ 、 $\text{In}:\text{M}:\text{Zn}=3:1:2$ 。注意，所形成的氧化物半導體膜 19a 的原子數比分別包含上述濺射靶材中的金屬元素的原子數比的 $\pm 40\%$ 的範圍內的誤差。

[0088] 作為氧化物半導體膜 19a 使用載子密度較低的氧化物半導體膜。例如，氧化物半導體膜 19a 使用載子密度為 1×10^{17} 個/ cm^3 以下，為 1×10^{15} 個/ cm^3 以下，為 1×10^{13} 個/ cm^3 以下，或者為 1×10^{11} 個/ cm^3 以下的氧化物半導體膜。

[0089] 本發明不侷限於上述記載，可以根據所需的電晶體的半導體特性及電特性（場效移動率、臨界電壓等）來使用具有適當的組成的材料。另外，較佳為適當地

設定氧化物半導體膜 19a 的載子密度、雜質濃度、缺陷密度、金屬元素與氧的原子數比、原子間距離、密度等，以得到所需的電晶體的半導體特性。

[0090] 藉由作為氧化物半導體膜 19a 使用雜質濃度低且缺陷態密度低的氧化物半導體膜，可以製造具有更優良的電特性的電晶體，所以是較佳的。這裡，將雜質濃度低且缺陷態密度低（氧缺損少）的狀態稱為“高純度本質”或“實質上高純度本質”。因為高純度本質或實質上高純度本質的氧化物半導體的載子發生源較少，所以有可能降低載子密度。因此，在該氧化物半導體膜中形成有通道區域的電晶體很少具有負臨界電壓的電特性（也稱為常導通特性）。因為高純度本質或實質上高純度本質的氧化物半導體膜具有較低的缺陷態密度，所以有可能具有較低的陷阱態密度。高純度本質或實質上高純度本質的氧化物半導體膜的關態電流顯著小，即便是通道寬度為 $1 \times 10^6 \mu\text{m}$ 、通道長度 L 為 $10 \mu\text{m}$ 的元件，當源極電極與汲極電極間的電壓（汲極電壓）在 1V 至 10V 的範圍時，關態電流也可以為半導體參數分析儀的測量極限以下，即 $1 \times 10^{-13} \text{A}$ 以下。因此，在該氧化物半導體膜中形成有通道區域的電晶體的電特性變動小，該電晶體有可能成為可靠性高的電晶體。被氧化物半導體膜的陷阱能階俘獲的電荷被釋放所需的時間較長，有時像固定電荷那樣動作。因此，有時在陷阱態密度高的氧化物半導體膜中形成有通道區域的電晶體的電特性不穩定。作為雜質有氫、氮、鹼金屬或鹼土金屬等。

[0091] 包含在氧化物半導體膜中的氫與鍵合於金屬原子的氧起反應生成水，與此同時在發生氧脫離的晶格（或氧脫離的部分）中形成氧缺損。當氫進入該氧缺損時，有時生成作為載子的電子。另外，有時由於氫的一部分與鍵合於金屬原子的氧鍵合，產生作為載子的電子。因此，使用包含氫的氧化物半導體的電晶體容易具有常導通特性。

[0092] 由此，較佳為盡可能減少氧化物半導體膜 19a 中的氧缺損及氫。明確而言，在氧化物半導體膜 19a 中，利用二次離子質譜分析法（SIMS：Secondary Ion Mass Spectrometry）測得的氫濃度為 $5 \times 10^{19} \text{atoms/cm}^3$ 以下，為 $1 \times 10^{19} \text{atoms/cm}^3$ 以下，為 $5 \times 10^{18} \text{atoms/cm}^3$ 以下，為 $1 \times 10^{18} \text{atoms/cm}^3$ 以下，為 $5 \times 10^{17} \text{atoms/cm}^3$ 以下，或者為 $1 \times 10^{16} \text{atoms/cm}^3$ 以下。

[0093] 當氧化物半導體膜 19a 包含第 14 族元素之一的矽或碳時，氧化物半導體膜 19a 中氧缺損增加，使得氧化物半導體膜 19a 被 n 型化。因此，氧化物半導體膜 19a 中的矽或碳的濃度（利用二次離子質譜分析法得到的濃度）為 $2 \times 10^{18} \text{atoms/cm}^3$ 以下，或者為 $2 \times 10^{17} \text{atoms/cm}^3$ 以下。

[0094] 另外，在氧化物半導體膜 19a 中，利用二次離子質譜分析法測得的鹼金屬或鹼土金屬的濃度為 $1 \times 10^{18} \text{atoms/cm}^3$ 以下，或者為 $2 \times 10^{16} \text{atoms/cm}^3$ 以下。有時當鹼金屬及鹼土金屬與氧化物半導體鍵合時生成載子而

使電晶體的關態電流增大。由此，較佳為降低氧化物半導體膜 19a 的鹼金屬或鹼土金屬的濃度。

[0095] 當在氧化物半導體膜 19a 中含有氮時，生成作為載子的電子，載子密度增加，使得氧化物半導體膜 19a 容易被 n 型化。其結果是，使用含有氮的氧化物半導體的電晶體容易具有常導通特性。因此，在該氧化物半導體膜中，較佳為盡可能地減少氮，例如，利用二次離子質譜分析法測得的氮濃度較佳為 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下。

[0096] 氧化物半導體膜 19a 例如可以具有非單晶結構。非單晶結構例如包括下述 CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor: c 軸配向結晶氧化物半導體)、多晶結構、下述微晶結構或非晶結構。在非單晶結構中，非晶結構的缺陷態密度最高，而 CAAC-OS 的缺陷態密度最低。

[0097] 氧化物半導體膜 19a 例如也可以具有非晶結構。非晶結構的氧化物半導體膜例如具有無秩序的原子排列且不具有結晶成分。或者，非晶結構的氧化物膜例如是完全的非晶結構且不具有結晶部。

[0098] 另外，氧化物半導體膜 19a 也可以為具有非晶結構的區域、微晶結構的區域、多晶結構的區域、CAAC-OS 的區域和單晶結構的區域中的兩種以上的混合膜。混合膜有時例如具有非晶結構的區域、微晶結構的區域、多晶結構的區域、CAAC-OS 的區域和單晶結構的區域中的兩種以上的區域。另外，混合膜有時例如具有非晶

結構的區域、微晶結構的區域、多晶結構的區域、CAAC-OS 的區域和單晶結構的區域中的兩種以上的區域的疊層結構。

[0099] 具有導電性的膜 19b 是對與氧化物半導體膜 19a 同時形成的氧化物半導體膜進行加工而形成的。因此，具有導電性的膜 19b 是具有與氧化物半導體膜 19a 同樣的金屬元素的膜。並且，具有導電性的膜 19b 是具有與氧化物半導體膜 19a 相同或不同的結晶結構的膜。藉由使與氧化物半導體膜 19a 同時形成的氧化物半導體膜包含雜質或氧缺損，形成具有導電性的膜 19b。作為包含在氧化物半導體膜中的雜質有氫。另外，作為雜質也可以包含硼、磷、錫、銻、稀有氣體元素、鹼金屬、鹼土金屬等代替氫。

[0100] 總之，雖然氧化物半導體膜 19a 和具有導電性的膜 19b 都形成在氧化物絕緣膜 17 上，但是它們的雜質濃度不同。明確而言，具有導電性的膜 19b 的雜質濃度高於氧化物半導體膜 19a 的雜質濃度。例如，氧化物半導體膜 19a 中的氫濃度為 $5 \times 10^{19} \text{atoms/cm}^3$ 以下，為 $5 \times 10^{18} \text{atoms/cm}^3$ 以下，為 $1 \times 10^{18} \text{atoms/cm}^3$ 以下，為 $5 \times 10^{17} \text{atoms/cm}^3$ 以下，或者為 $1 \times 10^{16} \text{atoms/cm}^3$ 以下，而具有導電性的膜 19b 中的氫濃度為 $8 \times 10^{19} \text{atoms/cm}^3$ 以上，為 $1 \times 10^{20} \text{atoms/cm}^3$ 以上，或者為 $5 \times 10^{20} \text{atoms/cm}^3$ 以上。具有導電性的膜 19b 中的氫濃度為氧化物半導體膜 19a 中的氫濃度的 2 倍或 10 倍以上。

[0101] 另外，藉由將與氧化物半導體膜 19a 同時形成的氧化物半導體膜暴露於電漿，可以使氧化物半導體膜受到損傷而形成氧缺損。例如，藉由在氧化物半導體膜上利用電漿 CVD 法或濺射法形成膜，將氧化物半導體膜暴露於電漿而形成氧缺損。或者，藉由進行用來形成氧化物絕緣膜 23 及 25 的蝕刻處理，將氧化物半導體膜暴露於電漿而形成氧缺損。或者，將氧化物半導體膜暴露於氧和氫的混合氣體、氫、稀有氣體、氮等的電漿形成氧缺損。其結果是，氧化物半導體膜的導電性得到提高，從而成為具有導電性的膜 19b。

[0102] 就是說，具有導電性的膜 19b 也可以說是：高導電性氧化物半導體膜或高導電性金屬氧化物膜。

[0103] 另外，在使用氮化矽膜作為阻氧膜 27 時，氮化矽膜包含氫。由此，當阻氧膜 27 的氫擴散到與氧化物半導體膜 19a 同時形成的氧化物半導體膜中時，在該氧化物半導體膜中氫和氧鍵合而生成作為載子的電子。藉由利用電漿 CVD 法或濺射法形成氮化矽膜作為阻氧膜 27，將氧化物半導體膜暴露於電漿，而生成氧缺損。氮化矽膜中的氫進入該氧缺損，由此生成作為載子的電子。其結果是，氧化物半導體膜的導電性增高，而成為具有導電性的膜 19b。

[0104] 具有導電性的膜 19b 的電阻率低於氧化物半導體膜 19a 的電阻率。具有導電性的膜 19b 的電阻率較佳為氧化物半導體膜 19a 的電阻率的 1×10^{-8} 倍以上且低於

1×10^{-1} 倍，典型地為 $1 \times 10^{-3} \Omega \text{cm}$ 以上且低於 $1 \times 10^4 \Omega \text{cm}$ ，或者為 $1 \times 10^{-3} \Omega \text{cm}$ 以上且低於 $1 \times 10^{-1} \Omega \text{cm}$ 。

[0105] 用作一對電極的導電膜 21a、22b 使用選自鋁、鈦、鉻、鎳、銅、鈮、銦、鉬、銀、鉕和鎢中的金屬或以這些元素為主要成分的合金的單層結構或疊層結構。例如，可以舉出包含矽的鋁膜的單層結構、在鈦膜上層疊鋁膜的兩層結構、在鎢膜上層疊鋁膜的兩層結構、在銅-鎂-鋁合金膜上層疊銅膜的兩層結構、在鈦膜上層疊銅膜的兩層結構、在鎢膜上層疊銅膜的兩層結構、依次層疊鈦膜或氮化鈦膜、鋁膜或銅膜以及鈦膜或氮化鈦膜的三層結構、以及依次層疊鉬膜或氮化鉬膜、鋁膜或銅膜以及鉬膜或氮化鉬膜的三層結構等。另外，也可以使用包含氧化銦、氧化錫或氧化鋅的透明導電材料。

[0106] 作為氧化物絕緣膜 23 或氧化物絕緣膜 25，較佳為使用其氧含量超過化學計量組成的氧化物絕緣膜。這裡，作為氧化物絕緣膜 23 形成具有透氧性的氧化物絕緣膜，作為氧化物絕緣膜 25 形成其氧含量超過化學計量組成的氧化物絕緣膜。

[0107] 氧化物絕緣膜 23 為具有透氧性的氧化物絕緣膜。由此，可以將從設置在氧化物絕緣膜 23 上的氧化物絕緣膜 25 脫離的氧經過氧化物絕緣膜 23 移動到氧化物半導體膜 19a。另外，當在後面形成氧化物絕緣膜 25 時，氧化物絕緣膜 23 被用作緩和對氧化物半導體膜 19a 造成的損傷的膜。

[0108] 作為氧化物絕緣膜 23，可以使用厚度為 5nm 以上且 150nm 以下，或者為 5nm 以上且 50nm 以下的氧化矽膜、氧氮化矽膜等。在本說明書中，“氧氮化矽膜”是指在其組成中含氧量多於含氮量的膜，而“氮氧化矽膜”是指在其組成中含氮量多於含氧量的膜。

[0109] 較佳的是，氧化物絕緣膜 23 中的缺陷量較少，典型的是，利用 ESR 測得的起因於矽的懸空鍵的在 $g=2.001$ 處出現的信號的自旋密度為 $3 \times 10^{17} \text{spins/cm}^3$ 以下。這是因為若氧化物絕緣膜 23 中含有的缺陷密度較高，則氧與該缺陷鍵合，氧化物絕緣膜 23 中的氧透過量有可能減少。

[0110] 較佳的是，在氧化物絕緣膜 23 與氧化物半導體膜 19a 之間的介面的缺陷量較少，典型的是，利用 ESR 測得的起因於氧化物半導體膜 19a 中的缺陷的在 $g=1.93$ 處出現的信號的自旋密度為 $1 \times 10^{17} \text{spins/cm}^3$ 以下，更佳為檢測下限以下。

[0111] 在氧化物絕緣膜 23 中，有時從外部進入氧化物絕緣膜 23 的氧的全部移動到氧化物絕緣膜 23 的外部。或者，有時從外部進入氧化物絕緣膜 23 的氧的一部分殘留在氧化物絕緣膜 23 中。或者，有時在氧從外部進入氧化物絕緣膜 23 的同時，氧化物絕緣膜 23 中含有的氧移動到氧化物絕緣膜 23 的外部，而在氧化物絕緣膜 23 中發生氧的移動。

[0112] 氧化物絕緣膜 25 以與氧化物絕緣膜 23 接觸

的方式來形成。氧化物絕緣膜 25 使用其氧含量超過化學計量組成的氧化物絕緣膜形成。由於其氧含量超過化學計量組成的氧化物絕緣膜被加熱，一部分的氧脫離。在其氧含量超過化學計量組成的氧化物絕緣膜中，藉由 TDS 分析，表面溫度為 100℃ 以上且 700℃ 以下或 100℃ 以上且 500℃ 以下的加熱處理中的氧原子脫離量為 1.0×10^{18} atoms/cm³ 以上，或者為 3.0×10^{20} atoms/cm³ 以上。

[0113] 作為氧化物絕緣膜 25 可以使用厚度為 30nm 以上且 500nm 以下，或者為 50nm 以上且 400nm 以下的氧化矽膜、氮氧化矽膜等。

[0114] 較佳的是，氧化物絕緣膜 25 中的缺陷量較少，典型的是，利用 ESR 測得的起因於矽的懸空鍵的在 $g=2.001$ 處出現的信號的自旋密度低於 1.5×10^{18} spins/cm³，更佳為 1×10^{18} spins/cm³ 以下。由於氧化物絕緣膜 25 與氧化物絕緣膜 23 相比離氧化物半導體膜 19a 更遠，所以氧化物絕緣膜 25 的缺陷密度可以高於氧化物絕緣膜 23。

[0115] 阻氧膜 27 可以使用具有低透氧性的絕緣膜。另外，阻氧膜 27 還可以使用具有低透氧性、低透氫性以及低透水性的絕緣膜。作為具有低透氧性的絕緣膜、具有低透氧性、低透氫性以及低透水性的絕緣膜，有如氮化矽膜、氮氧化矽膜、氮化鋁膜、氮氧化鋁膜等氮化物絕緣膜。另外，作為具有低透氧性的絕緣膜、具有低透氧性、低透氫性以及低透水性的絕緣膜，還有如氧化鋁膜、氧氮

化鋁膜、氧化鎵膜、氧氮化鎵膜、氧化鉍膜、氧氮化鉍膜、氧化鉛膜、氧氮化鉛膜等氧化物絕緣膜。

[0116] 因為阻氧膜 15 與阻氧膜 27 在其內側設置有氧化物半導體膜 19a 及氧化物絕緣膜 23 及 25 的狀態下接觸，所以可以抑制包含在氧化物絕緣膜 23 或 25 中的氧遷移到阻氧膜 15 及 27 的外側。其結果是，可以將包含在氧化物絕緣膜 23 或 25 中的氧高效地移動到氧化物半導體膜 19a 以降低包含在氧化物半導體膜中的氧缺損量。

[0117] 阻氧膜 27 的厚度較佳為 50nm 以上且 300nm 以下，或者為 100nm 以上且 200nm 以下。

[0118] 導電膜 29 使用透光導電膜。透光導電膜可以使用包含氧化鎢的銦氧化物膜、包含氧化鎢的銦鋅氧化物膜、包含氧化鈦的銦氧化物膜、包含氧化鈦的銦錫氧化物膜、銦錫氧化物（以下稱為 ITO）膜、銦鋅氧化物膜、添加有氧化矽的銦錫氧化物膜等。

[0119] 接著，參照圖 4A 至圖 7B 對圖 3 所示的電晶體 102 及電容元件 105 的製造方法進行說明。

[0120] 如圖 4A 所示，在基板 11 上形成將成為導電膜 13 的導電膜 12。導電膜 12 藉由濺射法、CVD 法、蒸鍍法等而形成。

[0121] 在此，作為基板 11 使用玻璃基板。作為導電膜 12，利用濺射法形成厚度為 100nm 的鎢膜。

[0122] 接著，在導電膜 12 上經使用第一光罩的光微影製程形成遮罩。接著，用該遮罩對導電膜 12 的一部分

進行蝕刻來形成圖 4B 所示的用作閘極電極的導電膜 13。
然後，去除遮罩。

[0123] 另外，對於用作閘極電極的導電膜 13，也可以利用電鍍法、印刷法、噴墨法等來代替上述形成方法。

[0124] 這裡，利用乾蝕刻法對鎢膜進行蝕刻來形成用作閘極電極的導電膜 13。

[0125] 接著，如圖 4C 所示，在用作閘極電極的導電膜 13 上形成阻氧膜 15 及將成為氧化物絕緣膜 17 的氧化物絕緣膜 16。接著，在氧化物絕緣膜 16 上形成將成為氧化物半導體膜 19a 及具有導電性的膜 19b 的氧化物半導體膜 18。

[0126] 阻氧膜 15 及氧化物絕緣膜 16 藉由濺射法、CVD 法、蒸鍍法等而形成。

[0127] 這裡，作為阻氧膜 15，藉由以矽烷、氮以及氮為源氣體的電漿 CVD 法形成厚度為 300nm 的氮化矽膜。

[0128] 當作為氧化物絕緣膜 16 形成氧化矽膜、氧氮化矽膜或氮氧化矽膜時，作為源氣體，較佳為使用包含矽的沉積氣體及氧化性氣體。包含矽的沉積氣體的典型例子為矽烷、乙矽烷、丙矽烷、氟化矽烷等。氧化性氣體的例子為氧、臭氧、一氧化二氮、二氧化氮等。

[0129] 當作為氧化物絕緣膜 16 形成氧化鋁膜時，可以利用 MOCVD (Metal Organic Chemical Vapor Deposition: 有機金屬氣相沉積) 法來形成。

[0130] 這裡，作為氧化物絕緣膜 16，藉由以矽烷及一氧化二氮為源氣體的電漿 CVD 法形成厚度為 50nm 的氧化矽膜。

[0131] 氧化物半導體膜 18 可以利用濺射法、塗佈法、脈衝雷射沉積法、雷射燒蝕法等來形成。

[0132] 在利用濺射法形成氧化物半導體膜的情況下，作為用來生成電漿的電源裝置，可以適當地使用 RF 電源裝置、AC 電源裝置、DC 電源裝置等。

[0133] 作為濺射氣體，適當地使用稀有氣體（典型的是氬）、氧氣體、稀有氣體和氧的混合氣體。當採用稀有氣體和氧的混合氣體時，較佳為提高相對於稀有氣體的氧的比例。

[0134] 根據所形成的氧化物半導體膜的組成而適當地選擇靶材即可。

[0135] 為了獲得高純度本質或實質上高純度本質的氧化物半導體膜，不僅需要使處理室內高真空抽氣，而且還需要使濺射氣體高度純化。作為濺射氣體的氧氣體或氬氣體，使用露點為 -40℃ 以下，為 -80℃ 以下，為 -100℃ 以下，或者為 -120℃ 以下的高純度氣體，由此能夠盡可能地防止水分等混入氧化物半導體膜。

[0136] 在此，利用使用 In-Ga-Zn 氧化物靶材（In:Ga:Zn=3:1:2）的濺射法形成厚度為 35nm 的 In-Ga-Zn 氧化物膜以作為氧化物半導體膜。

[0137] 接著，在氧化物半導體膜 18 上經使用第二光

罩的光微影製程形成遮罩，然後使用該遮罩對氧化物半導體膜部分進行蝕刻，如圖 4D 所示那樣，形成被進行了元件分離的氧化物半導體膜 19a 及 19c。此後去除遮罩。

[0138] 接著，如圖 5A 所示，形成將成為導電膜 21a、導電膜 21b 以及導電膜 21c 的導電膜 20。

[0139] 導電膜 20 藉由濺射法、CVD 法、蒸鍍法等而形成。

[0140] 這裡，利用濺射法依次層疊厚度為 50nm 的鎢膜和厚度為 300nm 的銅膜。

[0141] 接著，在導電膜 20 上經使用第三光罩的光微影製程形成遮罩，然後使用該遮罩對導電膜 20 進行蝕刻，如圖 5B 所示那樣，形成用作一對電極的導電膜 21a 及導電膜 21b、用作電容線的導電膜 21c。此後去除遮罩。

[0142] 這裡，在銅膜上經光微影製程形成遮罩。接著，使用該遮罩對鎢膜及銅膜進行蝕刻，來形成導電膜 21a、導電膜 21b 以及導電膜 21c。注意，首先使用濕蝕刻法對銅膜進行蝕刻，再使用利用 SF_6 的乾蝕刻法對鎢膜進行蝕刻，由此在銅膜的表面上形成氟化物。借助於該氟化物，來自銅膜的銅元素的擴散被抑制，而可以降低氧化物半導體膜 19a 中的銅濃度。

[0143] 接著，如圖 5C 所示，在氧化物半導體膜 19a 及 19c、導電膜 21a、21b 以及 21c 上形成將成為氧化物絕緣膜 23 的氧化物絕緣膜 22 及將成為氧化物絕緣膜 25 的

氧化物絕緣膜 24。

[0144] 較佳的是，在形成氧化物絕緣膜 22 之後，在不暴露於大氣的狀態下連續地形成氧化物絕緣膜 24。在形成氧化物絕緣膜 22 之後，在不暴露於大氣的狀態下，調節源氣體的流量、壓力、高頻電力和基板溫度中的一個以上以連續地形成氧化物絕緣膜 24，由此可以在減少氧化物絕緣膜 22 與氧化物絕緣膜 24 之間的介面的來源於大氣成分的雜質濃度的同時使包含於氧化物絕緣膜 24 中的氧移動到氧化物半導體膜 19a 中，而可以減少氧化物半導體膜 19a 的氧缺損量。

[0145] 可以在如下條件下形成氧化矽膜或氧氮化矽膜作為氧化物絕緣膜 22：在 280℃ 以上且 400℃ 以下的溫度下保持設置在電漿 CVD 設備的抽成真空的處理室內的基板，將源氣體導入處理室，將處理室內的壓力設定為 20Pa 以上且 250Pa 以下，或者為 100Pa 以上且 250Pa 以下，並對設置在處理室內的電極供應高頻電力。

[0146] 作為氧化物絕緣膜 22 的源氣體，較佳為使用含有矽的沉積氣體及氧化性氣體。含有矽的沉積氣體的典型例子為矽烷、乙矽烷、丙矽烷、氟化矽烷等。氧化性氣體的例子為氧、臭氧、一氧化二氮、二氧化氮等。

[0147] 藉由採用上述條件，可以形成具有透氧性的氧化物絕緣膜作為氧化物絕緣膜 22。另外，藉由設置氧化物絕緣膜 22，在後續形成氧化物絕緣膜 25 的製程中，可以降低對氧化物半導體膜 19a 造成的損傷。

[0148] 可以在如下條件下形成氧化矽膜或氧氮化矽膜作為氧化物絕緣膜 22：在 280℃ 以上且 400℃ 以下的溫度下保持設置在電漿 CVD 設備的抽成真空的處理室內的基板，將源氣體導入處理室，將處理室內的壓力設定為 100Pa 以上且 250Pa 以下，並對設置在處理室內的電極供應高頻電力。

[0149] 在上述成膜條件下，藉由將基板溫度設定為上述溫度，矽與氧的鍵合力變強。其結果是，作為氧化物絕緣膜 22 可以形成具有透氧性，緻密且硬的氧化物絕緣膜，典型的是，在 25℃ 下利用 0.5wt.% 氫氟酸時的蝕刻速率為 10nm/分鐘以下，或者為 8nm/分鐘以下的氧化矽膜或氧氮化矽膜。

[0150] 由於邊進行加熱邊形成氧化物絕緣膜 22，所以在該製程中可以使包含在氧化物半導體膜 19a 中的氫、水等脫離。包含在氧化物半導體膜 19a 中的氫與在電漿中產生的氧自由基鍵合，而成為水。由於在氧化物絕緣膜 22 的形成製程中對基板進行加熱，所以因氧與氫的鍵合而產生的水從氧化物半導體膜脫離。就是說，藉由使用電漿 CVD 法形成氧化物絕緣膜 22，可以減少包含在氧化物半導體膜 19a 中的水及氫。

[0151] 另外，由於邊進行加熱邊形成氧化物絕緣膜 22，所以氧化物半導體膜 19a 被露出的狀態下的加熱時間短，由此可以減少因加熱處理從氧化物半導體膜脫離的氧量。就是說，可以減少包含在氧化物半導體膜中的氧缺損

量。

[0152] 再者，藉由將處理室的壓力設定為 100Pa 以上且 250Pa 以下，可以降低氧化物絕緣膜 22 中的含水量，從而可以在減少電晶體 102 的電特性的不均勻的同時抑制臨界電壓的變動。

[0153] 另外，藉由將處理室的壓力設定為 100Pa 以上且 250Pa 以下，可以在形成氧化物絕緣膜 22 時降低對氧化物半導體膜 19a 造成的損傷，由此可以降低氧化物半導體膜 19a 中的氧缺損量。尤其是，當提高形成氧化物絕緣膜 22 或後續形成的氧化物絕緣膜 24 時的成膜溫度，典型地設定為高於 220℃ 時，氧化物半導體膜 19a 所包含的氧的一部分脫離，容易形成氧缺損。當為了提高電晶體的可靠性而採用用來降低在後面形成的氧化物絕緣膜 24 中的缺陷量的成膜條件時，氧的脫離量容易降低。其結果是，有時難以減少氧化物半導體膜 19a 中的氧缺損。但是，藉由將處理室的壓力設定為 100Pa 以上且 250Pa 以下以降低在形成氧化物絕緣膜 22 時對氧化物半導體膜 19a 造成的損傷，即使從氧化物絕緣膜 24 脫離的氧量較低也可以減少氧化物半導體膜 19a 中的氧缺損。

[0154] 另外，藉由將氧化性氣體量設定為包含矽的沉積氣體量的 100 倍以上，可以減少氧化物絕緣膜 22 中的含氫量。其結果是，可以減少混入氧化物半導體膜 19a 的氫量，由此可以抑制電晶體的臨界電壓的負向漂移。

[0155] 在此，作為氧化物絕緣膜 22，利用電漿 CVD

法形成厚度為 50nm 的氧氮化矽膜的條件如下：將流量為 30sccm 的矽烷及流量為 4000sccm 的一氧化二氮用作源氣體；將處理室的壓力設定為 200Pa；將基板溫度設定為 220℃；利用 27.12MHz 的高頻電源將 150W 的高頻電力供應到平行平板電極。藉由採用上述條件，可以形成具有透氧性的氧氮化矽膜。

[0156] 可以在如下條件下形成氧化矽膜或氧氮化矽膜作為氧化物絕緣膜 24：在 180℃ 以上且 280℃ 以下，或者為 200℃ 以上且 240℃ 以下的溫度下保持設置在電漿 CVD 設備的抽成真空的處理室內的基板，將源氣體導入處理室，將處理室內的壓力設定為 100Pa 以上且 250Pa 以下，或者為 100Pa 以上且 200Pa 以下，並對設置在處理室內的電極供應 $0.17\text{W}/\text{cm}^2$ 以上且 $0.5\text{W}/\text{cm}^2$ 以下，或者為 $0.25\text{W}/\text{cm}^2$ 以上且 $0.35\text{W}/\text{cm}^2$ 以下的高頻電力。

[0157] 作為氧化物絕緣膜 24 的源氣體，較佳為使用包含矽的沉積氣體及氧化性氣體。包含矽的沉積氣體的典型例子為矽烷、乙矽烷、丙矽烷、氟化矽烷等。氧化性氣體的例子為氧、臭氧、一氧化二氮、二氧化氮等。

[0158] 作為氧化物絕緣膜 24 的成膜條件，在上述壓力的處理室中供應具有上述功率密度的高頻電力，由此在電漿中源氣體的分解效率得到提高，氧自由基增加，且促進源氣體的氧化，使得氧化物絕緣膜 24 中的含氧量超過化學計量組成。另一方面，在上述基板溫度下形成的膜中，由於矽與氧的鍵合力較低，因此，因後面製程的加熱

處理而使膜中的氧的一部分脫離。其結果是，可以形成其氧含量超過化學計量組成且因加熱而釋放氧的一部分的氧化物絕緣膜。另外，因為在氧化物半導體膜 19a 上設置有氧化物絕緣膜 22，所以在氧化物絕緣膜 24 的形成製程中，氧化物絕緣膜 22 被用作氧化物半導體膜 19a 的保護膜。其結果是，可以在減少對氧化物半導體膜 19a 造成的損傷的同時使用功率密度高的高頻電力形成氧化物絕緣膜 24。

[0159] 在此，作為氧化物絕緣膜 24，利用電漿 CVD 法形成厚度為 400nm 的氧氮化矽膜的條件如下：將流量為 200sccm 的矽烷及流量為 4000sccm 的一氧化二氮用作源氣體，將處理室的壓力設定為 200Pa，將基板溫度設定為 220℃，使用 27.12MHz 的高頻電源將 1500W 的高頻電力供應到平行平板電極。電漿 CVD 設備是電極面積為 6000cm² 的平行平板型電漿 CVD 設備，將所供應的電功率的換算為每單位面積的電功率（電功率密度）為 0.25 W/cm²。

[0160] 另外，當形成用作一對電極的導電膜 21a 及導電膜 21b 時，由於導電膜的蝕刻，氧化物半導體膜 19a 會受到損傷而在氧化物半導體膜 19a 的背通道（在氧化物半導體膜 19a 中與對置於用作閘極電極的導電膜 13 的表面相反一側的表面）一側產生氧缺損。但是，藉由作為氧化物絕緣膜 24 使用其氧含量超過化學計量組成的氧化物絕緣膜，可以利用加熱處理修復產生在該背通道一側的氧

缺損。由此，可以減少氧化物半導體膜 19a 中的缺陷，因此，可以提高電晶體 102 的可靠性。

[0161] 接著，在氧化物絕緣膜 24 上經使用第四光罩的光微影製程形成遮罩。然後，使用該遮罩對氧化物絕緣膜 22 及 24 部分進行蝕刻，如圖 5D 所示那樣，形成氧化物絕緣膜 23 及 25。此後去除遮罩。

[0162] 在上述製程中，較佳為使用乾蝕刻法對氧化物絕緣膜 22 及 24 進行蝕刻。其結果是，在蝕刻處理中氧化物半導體膜 19c 被暴露於電漿，從而可以增加氧化物半導體膜 19c 的氧缺損。

[0163] 注意，對氧化物絕緣膜 22 及 24 進行蝕刻處理，以在沿著 A-B 的剖面圖所示的通道長度方向上使氧化物絕緣膜 23 及 25 的端部位於氧化物半導體膜 19a 的外側，而在沿著 C-D 的剖面圖所示的通道寬度方向上使氧化物絕緣膜 23 及 25 的端部位於氧化物半導體膜 19a 的外側。其結果是，可以形成被分離的氧化物絕緣膜 23 及 25。另外，在對氧化物絕緣膜 23 進行蝕刻的同時，氧化物絕緣膜 16 的一部分也被進行蝕刻，來形成氧化物絕緣膜 17。其結果是，阻氧膜 15 被露出。

[0164] 接著，進行加熱處理。將該加熱處理的溫度典型地設定為 150℃ 以上且 400℃ 以下，為 300℃ 以上且 400℃ 以下，或者為 320℃ 以上且 370℃ 以下。

[0165] 該加熱處理可以使用電爐、RTA 裝置等來進行。藉由使用 RTA 裝置，可只在短時間內在基板的應變

點以上的溫度下進行加熱處理。由此，可以縮短加熱處理時間。

[0166] 加熱處理可以在氮、氧、超乾燥空氣（含水量為 20ppm 以下，1ppm 以下，或者，10ppb 以下的空氣）或稀有氣體（氬、氦等）的氛圍下進行。上述氮、氧、超乾燥空氣或稀有氣體較佳為不含有氫、水等。

[0167] 藉由該加熱處理，可以將氧化物絕緣膜 25 中所含的氧的一部分移動到氧化物半導體膜 19a 中以減少氧化物半導體膜 19a 中的氧缺損量。

[0168] 在氧化物絕緣膜 23 及氧化物絕緣膜 25 包含水、氫等且後面形成的阻氧膜 26 具有阻水性及阻氫性等的情況下，若後續形成阻氧膜 26 並進行加熱處理，則氧化物絕緣膜 23 及氧化物絕緣膜 25 所包含的水、氫等移動到氧化物半導體膜 19a 中，而在氧化物半導體膜 19a 中產生缺陷。然而，藉由進行上述加熱處理，可以使氧化物絕緣膜 23 及氧化物絕緣膜 25 所包含的水、氫等脫離，由此在可以減少電晶體 102 的電特性的不均勻的同時抑制臨界電壓的變動。

[0169] 注意，邊進行加熱邊在氧化物絕緣膜 22 上形成氧化物絕緣膜 24，從而可以將氧移動到氧化物半導體膜 19a 中來減少氧化物半導體膜 19a 中的氧缺損，由此不必須一定要進行上述加熱處理。

[0170] 雖然也可以在形成氧化物絕緣膜 22 及氧化物絕緣膜 24 之後進行上述加熱處理，但是較佳為在形成氧

化物絕緣膜 23 及氧化物絕緣膜 25 之後進行上述加熱處理。這是因為可以以如下方式形成具有導電性的膜的緣故：避免氧移動到氧化物半導體膜 19c；因為氧化物半導體膜 19c 被露出，氧從氧化物半導體膜 19c 脫離而形成氧缺損。

[0171] 在此，在氮及氧氛圍下，以 350℃ 進行 1 小時的加熱處理。

[0172] 接著，如圖 6A 所示，形成將成為阻氧膜 27 的膜 26。

[0173] 將成為阻氧膜 27 的膜 26 藉由濺射法、CVD 法等而形成。藉由使用濺射法、CVD 法等形成將成為阻氧膜 27 的膜 26，可以將氧化物半導體膜 19c 暴露於電漿，來增加氧化物半導體膜 19c 的氧缺損。

[0174] 經上述製程，阻氧膜 15 與將成為阻氧膜 27 的膜 26 在其內側設置有氧化物半導體膜 19a 及氧化物絕緣膜 23 及 25 的狀態下接觸。

[0175] 氧化物半導體膜 19c 成為具有導電性的膜 19b。在使用電漿 CVD 法形成氮化矽膜作為將成為阻氧膜 27 的膜 26 的情況下，包含在氮化矽膜中的氫擴散到氧化物半導體膜 19c，由此可以形成具有高導電性的膜 19b。

[0176] 當作為將成為阻氧膜 27 的膜 26 利用電漿 CVD 法來形成氮化矽膜時，藉由在 300℃ 以上且 400℃ 以下，或者，320℃ 以上且 370℃ 以下的溫度下保持設置在電漿 CVD 設備的抽成真空的處理室中的基板，可以形成

緻密的氮化矽膜，所以是較佳的。

[0177] 當形成氮化矽膜時，較佳為使用包含矽的沉積氣體、氮及氫作為源氣體。藉由使用相對於氮量的氮量少的源氣體，在電漿中氮發生解離而產生活性種，該活性種切斷包含矽的沉積氣體中含有的矽與氮的鍵合及氮的三鍵。其結果是，可以促進矽與氮的鍵合，而形成矽與氮的鍵合較少、缺陷較少且緻密的氮化矽膜。另一方面，在使用相對於氮量的氮量多的源氣體時，包含矽的沉積氣體及氮各自的分解不進展，矽與氮的鍵合殘留，導致形成缺陷較多且不緻密的氮化矽膜。由此，在源氣體中，較佳為將氮與氮的流量比設定為 1:5 以上且 1:50 以下，或者為 1:10 以上且 1:50 以下。

[0178] 在此，作為將成為阻氧膜 27 的膜 26，利用電漿 CVD 法形成厚度為 50nm 的氮化矽膜的條件如下：在電漿 CVD 設備的處理室中，將流量為 50sccm 的矽烷、流量為 5000sccm 的氮以及流量為 100sccm 的氫用作源氣體，將處理室的壓力設定為 100Pa，將基板溫度設定為 350℃，用 27.12MHz 的高頻電源對平行平板電極供應 1000W 的高頻電力。電漿 CVD 設備是電極面積為 6000cm² 的平行平板型電漿 CVD 設備，將所供應的電功率的換算為每單位面積的電功率（電功率密度）為 $1.7 \times 10^{-1} \text{W/cm}^2$ 。

[0179] 接著，也可以進行加熱處理。將該加熱處理的溫度典型地設定為 150℃ 以上且 400℃ 以下，為 300℃

以上且 400°C 以下，或者為 320°C 以上且 370°C 以下。在上述加熱處理中，因為氧化物半導體膜 19a 及氧化物絕緣膜 23 及 25 設置在由彼此接觸的阻氧膜 15 與阻氧膜 26 圍繞的區域內，所以可以防止氧從氧化物半導體膜 19a 及氧化物絕緣膜 23 及 25 移動到外部。其結果是，可以降低臨界電壓的負向漂移。另外，還可以降低臨界電壓的變動量。

[0180] 接著，在將成為阻氧膜 27 的膜 26 上經使用第五光罩的光微影製程形成遮罩，然後使用該遮罩對將成為阻氧膜 27 的膜 26 進行蝕刻，如圖 6B 所示那樣，形成具有開口部 41 的阻氧膜 27。

[0181] 接著，如圖 7A 所示，在導電膜 21b 及阻氧膜 27 上形成將成為導電膜 29 的導電膜 28。

[0182] 導電膜 28 藉由濺射法、CVD 法、蒸鍍法等而形成。

[0183] 接著，在導電膜 28 上經使用第六光罩的光微影製程形成遮罩，然後使用該遮罩對導電膜 28 部分進行蝕刻，如圖 7B 所示那樣，形成導電膜 29。此後去除遮罩。

[0184] 經上述製程，可以在製造電晶體 102 的同時製造電容元件 105。

[0185] 在本實施方式所示的電晶體中，阻氧膜 15 與阻氧膜 27 在其內側設置有氧化物半導體膜 19a 及氧化物絕緣膜 23 及 25 的狀態下接觸，並且氧化物絕緣膜 23 和

氧化物絕緣膜 25 中的至少一方使用其氧含量超過化學計量組成的氧化物絕緣膜而形成。由此，可以抑制包含在氧化物絕緣膜 23 或 25 中的氧遷移到阻氧膜 15 及 27 的外側。其結果是，可以將包含在氧化物絕緣膜 23 或 25 中的氧高效地移動到氧化物半導體膜 19a 以降低包含在氧化物半導體膜 19a 中的氧缺損量。

[0186] 另外，在本實施方式所示的半導體裝置的元件基板上，在形成電晶體的氧化物半導體膜的同時形成電容元件的一個電極。將用作像素電極的導電膜用於電容元件的另一個電極。由此，不需要重新形成導電膜以形成電容元件，從而可以減少製程。另外，因為一對電極具有透光性，所以電容元件具有透光性。其結果是，可以在增大電容元件的佔有面積的同時提高像素的孔徑比。

[0187] 在本實施方式中，由於在以 280℃ 以上且 400℃ 以下的溫度進行加熱的同時利用電漿 CVD 法形成將成為氧化物絕緣膜 23 及 25 的氧化物絕緣膜，所以可以使氧化物半導體膜 19a 中的氫、水等脫離。在該製程中，氧化物半導體膜被露出的狀態下的加熱時間短，即使將加熱處理溫度設定為 400℃ 以下，也可以製造其臨界電壓的變動量與在高溫下進行加熱處理而成的電晶體相等的電晶體。其結果是，可以縮減半導體裝置的成本。

[0188] 經上述製程，可以獲得其電特性得到提高的使用氧化物半導體膜的半導體裝置。

[0189] 本實施方式所示的結構及方法等可以與其他

實施方式所示的結構及方法等適當地組合而實施。

[0190]

實施方式 2

在本實施方式中，參照圖式對與實施方式 1 不同的半導體裝置及其製造方法進行說明。本實施方式與實施方式 1 的不同之處如下：在電晶體中，在不同的閘極電極之間設置有氧化物半導體膜，即採用雙閘極結構。而與實施方式 1 相同的結構省略說明。

[0191] 以下，說明顯示裝置所包括的元件基板的具體結構。在此，對將液晶元件用於像素 103 的液晶顯示裝置的具體例子進行說明。這裡，圖 8 示出圖 1B 所示的像素 103 的俯視圖。

[0192] 在圖 8 所示的像素 103 的俯視圖中，本實施方式與實施方式 1 的不同之處是具有用作閘極電極的導電膜 29a，該導電膜 29a 與用作閘極電極的導電膜 13、氧化物半導體膜 19a、導電膜 21a 及 21b 以及氧化物絕緣膜 25 的每一部分或全部重疊。用作閘極電極的導電膜 29a 在開口部 41a 中與用作閘極電極的導電膜 13 連接。

[0193] 接著，圖 9 示出沿著圖 8 的點劃線 A-B、點劃線 C-D 的剖面圖。圖 9 所示的電晶體 102a 是通道蝕刻型電晶體。注意，沿著點劃線 A-B 的剖面圖示出通道長度方向上的電晶體 102a、電晶體 102a 與用作像素電極的導電膜 29 的連接部以及電容元件 105a，沿著點劃線 C-D 的剖面圖示出通道寬度方向上的電晶體 102a 及用作閘極電

極的導電膜 13 與用作閘極電極的導電膜 29a 的連接部。

[0194] 圖 9 所示的電晶體 102a 是具有雙閘極結構的電晶體，其包括：設置在基板 11 上的用作閘極電極的導電膜 13；形成在基板 11 及用作閘極電極的導電膜 13 上的阻氧膜 15；形成在阻氧膜 15 上的氧化物絕緣膜 17；隔著阻氧膜 15 及氧化物絕緣膜 17 與用作閘極電極的導電膜 13 重疊的氧化物半導體膜 19a；以及與氧化物半導體膜 19a 接觸的用作一對電極的導電膜 21a 及 21b。在氧化物絕緣膜 17、氧化物半導體膜 19a、用作一對電極的導電膜 21a 及 21b 上形成有氧化物絕緣膜 23，在氧化物絕緣膜 23 上形成有氧化物絕緣膜 25。在阻氧膜 15、氧化物絕緣膜 17、氧化物絕緣膜 23、氧化物絕緣膜 25、導電膜 21a 及 21b 上形成有阻氧膜 27。另外，在阻氧膜 27 上還形成有與用作一對電極的導電膜 21a 及 21b 中的一個（這裡，導電膜 21b）連接的導電膜 29 及用作閘極電極的導電膜 29a。

[0195] 如沿著點劃線 C-D 的剖面圖所示，在設置在阻氧膜 15 及阻氧膜 27 中的開口部 41a 中，用作閘極電極的導電膜 29a 與用作閘極電極的導電膜 13 連接。就是說，用作閘極電極的導電膜 13 的電位與用作閘極電極的導電膜 29a 的電位相等。

[0196] 由此，藉由對電晶體 102a 的各閘極電極施加同一電位的電壓，可以降低初期特性的不均勻並抑制由 -GBT 應力測試導致的劣化及受到汲極電壓左右的通態電

流（on-state current）的上升電壓變動。另外，在氧化物半導體膜 19a 中，還可以在膜厚度方向上進一步增大載子流動的區域，使得載子的遷移量增多。其結果是，電晶體 102a 的通態電流變高，並且場效移動率變高，典型為 $20\text{cm}^2/\text{V}\cdot\text{s}$ 以上。

[0197] 在本實施方式所示的電晶體 102a 上形成有被分離的氧化物絕緣膜 23 及 25，該被分離的氧化物絕緣膜 23 及 25 與氧化物半導體膜 19a 重疊。在圖 9 中的通道寬度方向上，氧化物絕緣膜 23 及 25 的端部位於氧化物半導體膜 19a 的外側。並且，用作閘極電極的導電膜 29a 隔著氧化物絕緣膜 23 及 25 與氧化物半導體膜 19a 的側面對。

[0198] 在藉由蝕刻等而被加工的氧化物半導體膜的端部中，在由於受到加工時的損傷而形成缺陷的同時，由於雜質附著等而被污染。由此，氧化物半導體膜的端部在被施加電場等壓力時容易被活化而成為 n 型（低電阻）。因此，與用作閘極電極的導電膜 13 重疊的氧化物半導體膜 19a 的端部容易被 n 型化。在該被 n 型化的端部被設置在用作一對電極的導電膜 21a 與導電膜 21b 之間時，被 n 型化的區域成為載子的路徑而形成寄生通道。但是，藉由如沿著點劃線 C-D 的剖面圖所示那樣在通道寬度方向上使用用作閘極電極的導電膜 29a 隔著氧化物絕緣膜 23 及 25 與氧化物半導體膜 19a 的側面對，借助於用作閘極電極的導電膜 29a 的電場的影響，可以抑制寄生通道發生在氧化

物半導體膜 19a 的側面或包含該側面及其附近的區域中。其結果是，成為臨界電壓中的汲極電流的上升陡峭的電特性優良的電晶體。

[0199] 另外，設置在氧化物半導體膜 19a 上的氧化物絕緣膜 23 或氧化物絕緣膜 25 是其氧含量超過化學計量組成的氧化物絕緣膜。

[0200] 藉由使氧化物絕緣膜 23 或氧化物絕緣膜 25 包括其氧含量超過化學計量組成的氧化物絕緣膜，可以將包含在氧化物絕緣膜 23 或氧化物絕緣膜 25 中的氧的一部分移動到氧化物半導體膜 19a，以降低包含在氧化物半導體膜 19a 中的氧缺損。

[0201] 另外，阻氧膜 15 與阻氧膜 27 在其內側設有氧化物半導體膜 19a、氧化物絕緣膜 23 及 25 的狀態下彼此接觸。由此，可以抑制包含在氧化物絕緣膜 23 或 25 中的氧遷移到阻氧膜 15 及 27 的外側。其結果是，可以將包含在氧化物絕緣膜 23 或 25 中的氧高效地移動到氧化物半導體膜 19a 以降低包含在氧化物半導體膜中的氧缺損量。

[0202] 使用其中包含氧缺損的氧化物半導體膜的電晶體的臨界電壓容易向負方向變動，而容易具有常導通特性。這是因為由於氧化物半導體膜所包含的氧缺損而產生電荷以導致低電阻化的緣故。當電晶體具有常導通特性時，產生各種問題，諸如在工作時容易產生工作故障或者在非工作時耗電量增大等。另外，還有如下問題：由於受到隨時變化或應力測試的影響，電晶體的電特性，典型為

臨界電壓的變動量增大。

[0203] 但是，在本實施方式所示的電晶體 102a 中，設置在氧化物半導體膜 19a 上的氧化物絕緣膜 23 或氧化物絕緣膜 25 是其氧含量超過化學計量組成的氧化物絕緣膜。再者，由阻氧膜 15 及阻氧膜 27 包圍氧化物半導體膜 19a、氧化物絕緣膜 23 以及氧化物絕緣膜 25。其結果是，包含在氧化物絕緣膜 23 或氧化物絕緣膜 25 中的氧高效地移動到氧化物半導體膜 19a，使得氧化物半導體膜 19a 的氧缺損減少。由此，得到具有常關閉特性的電晶體。另外，還可以降低起因於隨時變化或應力測試的電晶體的電特性，典型為臨界電壓的變動量。

[0204] 另外，在電容元件 105a 中，具有導電性的膜 19b 是與氧化物半導體膜 19a 同時形成的膜，且是藉由包含雜質來提高導電性的膜。或者，具有導電性的膜 19b 是與氧化物半導體膜 19a 同時形成的膜，且是藉由包含雜質並因電漿損傷等而形成氧缺損來提高導電性的膜。

[0205] 在本發明的一實施方式的半導體裝置的元件基板上，在形成電晶體的氧化物半導體膜的同時形成電容元件的一個電極。將用作像素電極的導電膜用於電容元件的另一個電極。由此，不需要重新形成導電膜以形成電容元件，從而可以減少製程。另外，因為一對電極具有透光性，所以電容元件具有透光性。其結果是，可以在增大電容元件的佔有面積的同時提高像素的孔徑比。

[0206] 以下對電晶體 102a 的結構的詳細內容進行說

明。而使用與實施方式 1 相同的符號表示的結構省略說明。

[0207] 用作閘極電極的導電膜 29a 可以適當地使用與實施方式 1 所示的導電膜 29 同樣的材料。

[0208] 接著，參照圖 4A 至圖 6A 及圖 10A 至 10C 對圖 9 所示的電晶體 102a 及電容元件 105a 的製造方法進行說明。

[0209] 與實施方式 1 同樣，經圖 4A 至圖 6A 所示的製程，在基板 11 上分別形成用作閘極電極的導電膜 13、阻氧膜 15、氧化物絕緣膜 16、氧化物半導體膜 19a、具有導電性的膜 19b、用作一對電極的導電膜 21a 及 21b、氧化物絕緣膜 23、氧化物絕緣膜 25 以及將成為阻氧膜 27 的膜 26。在上述製程中，進行使用第一光罩至第四光罩的光微影製程。

[0210] 接著，在將成為阻氧膜 27 的膜 26 上經使用第五光罩的光微影製程形成遮罩，然後使用該遮罩對將成為阻氧膜 27 的膜 26 部分進行蝕刻，如圖 10A 所示那樣，形成具有開口部 41 及 41a 的阻氧膜 27。

[0211] 接著，如圖 10B 所示，在用作閘極電極的導電膜 13、導電膜 21b 及阻氧膜 27 上形成將成為導電膜 29 及 29a 的導電膜 28。

[0212] 接著，在導電膜 28 上經使用第六光罩的光微影製程形成遮罩。接著，用該遮罩對導電膜 28 的一部分進行蝕刻來形成圖 10C 所示的用作像素電極的導電膜 29

及用作閘極電極的導電膜 29a。然後，去除遮罩。

[0213] 經上述製程，可以在製造電晶體 102a 的同時製造電容元件 105a。

[0214] 在本實施方式所示的電晶體中，藉由在通道寬度方向上使用作閘極電極的導電膜 29a 隔著氧化物絕緣膜 23 及 25 與氧化物半導體膜 19a 的側面相對，借助於用作閘極電極的導電膜 29a 的電場的影響，可以抑制寄生通道發生在氧化物半導體膜 19a 的側面或包含該側面及其附近的區域中。其結果是，成為臨界電壓中的汲極電流的上升陡峭的電特性優良的電晶體。

[0215] 在本實施方式所示的電晶體中，阻氧膜 15 與阻氧膜 27 在其內側設置有氧化物半導體膜 19a 及氧化物絕緣膜 23 及 25 的狀態下接觸，並且氧化物絕緣膜 23 和氧化物絕緣膜 25 中的至少一方使用其氧含量超過化學計量組成的氧化物絕緣膜而形成。由此，可以抑制包含在氧化物絕緣膜 23 或 25 中的氧遷移到阻氧膜 15 及 27 的外側。其結果是，可以將包含在氧化物絕緣膜 23 或 25 中的氧高效地移動到氧化物半導體膜 19a 以降低包含在氧化物半導體膜 19a 中的氧缺損量。

[0216] 另外，在本實施方式所示的半導體裝置的元件基板上，在形成電晶體的氧化物半導體膜的同時形成電容元件的一個電極。將用作像素電極的導電膜用於電容元件的另一個電極。由此，不需要重新形成導電膜以形成電容元件，從而可以減少製程。另外，因為一對電極具有透

光性，所以電容元件具有透光性。其結果是，可以在增大電容元件的佔有面積的同時提高像素的孔徑比。

[0217] 在本實施方式中，由於在以 280°C 以上且 400°C 以下的溫度進行加熱的同時利用電漿 CVD 法形成將成為氧化物絕緣膜 23 及 25 的氧化物絕緣膜，所以可以使氧化物半導體膜 19a 中的氫、水等脫離。在該製程中，氧化物半導體膜被露出的狀態下的加熱時間短，即使將加熱處理溫度設定為 400°C 以下，也可以製造其臨界電壓的變動量與在高溫下進行加熱處理而成的電晶體相等的電晶體。其結果是，可以縮減半導體裝置的成本。

[0218] 經上述製程，可以獲得其電特性得到提高的使用氧化物半導體膜的半導體裝置。

[0219] 本實施方式所示的結構及方法等可以與其他實施方式所示的結構及方法等適當地組合而實施。

[0220]

實施方式 3

在本實施方式中參照圖 9 以及圖 11A 至圖 16C 說明連接不同的閘極電極且使它們具有相同的電位時的實施方式 2 所示的雙閘極結構的電晶體的電特性。

[0221] 注意，在此將使圖 9 所示的用作閘極電極的導電膜 13 和用作閘極電極的導電膜 29a 電短路並施加閘極電壓的驅動方法稱為雙閘極 (Dual Gate) 驅動。換言之，在進行雙閘極驅動時，用作閘極電極的導電膜 13 的電壓和用作閘極電極的導電膜 29a 的電壓總是相等。

[0222] 在此，對電晶體的電特性進行計算。圖 11A 和 11B 示出用於計算的電晶體的結構。另外，在計算時使用元件模擬軟體 Atlas（由 Silvaco 公司製造）。

[0223] 圖 11A 所示的結構 1 的電晶體是雙閘極結構的電晶體。

[0224] 結構 1 的電晶體的結構如下：在閘極電極 201 上形成絕緣膜 203，在絕緣膜 203 上形成氧化物半導體膜 205，在絕緣膜 203 及氧化物半導體膜 205 上形成一對電極 207、208，在氧化物半導體膜 205 及一對電極 207、208 上形成絕緣膜 209，在絕緣膜 209 上形成閘極電極 213，並且閘極電極 201 和閘極電極 213 藉由形成在絕緣膜 203 及絕緣膜 209 中的開口部（未圖示）連接。

[0225] 圖 11B 所示的結構 2 的電晶體是單閘極結構的電晶體。

[0226] 結構 2 的電晶體的結構如下：在閘極電極 201 上形成絕緣膜 203，在絕緣膜 203 上形成氧化物半導體膜 205，在絕緣膜 203 及氧化物半導體膜 205 上形成一對電極 207、208，並且在氧化物半導體膜 205 及一對電極 207、208 上形成絕緣膜 209。

[0227] 注意，在計算時採用的條件如下：將閘極電極 201 的功函數 ϕ_M 設定為 5.0eV；將絕緣膜 203 設定為介電常數為 4.1 的 100nm 厚的膜；作為氧化物半導體膜 205 設想 In-Ga-Zn 氧化物膜（In：Ga：Zn=1：1：1）單層；將 In-Ga-Zn 氧化物膜的能帶間隙 E_g 設定為 3.15eV，電子

親和力 χ 設定為 4.6eV ，相對介電常數設定為 15，電子移動率設定為 $10\text{cm}^2/\text{Vs}$ ，施體密度 N_d 設定為 $3 \times 10^{17} \text{atoms}/\text{cm}^3$ ；將一對電極 207、208 的功函數 ϕ_{sd} 設定為 4.6eV 並使該一對電極 207、208 與氧化物半導體膜 205 形成歐姆接觸；將絕緣膜 209 的相對介電常數設定為 4.1，將其厚度設定為 100nm 。注意，不考慮氧化物半導體膜 205 的缺陷能階或表面散射等的模型。此外，分別將電晶體的通道長度及通道寬度設定為 $10\mu\text{m}$ 以及 $100\mu\text{m}$ 。

[0228]

〈初始特性偏差的減少〉

藉由採用如結構 1 所示的電晶體那樣的雙閘極驅動，可以減少初始特性的偏差。這是因為藉由採用雙閘極驅動使 $I_d\text{-}V_g$ 特性的臨界電壓 V_{th} 的變動量小於結構 2 所示的電晶體。

[0229] 在此，作為一個例子說明半導體膜的 n 型化所導致的 $I_d\text{-}V_g$ 特性的臨界電壓的負向漂移。

[0230] 氧化物半導體膜中的施體離子的電荷量的總計為 $Q\text{ (C)}$ ，由閘極電極 201、絕緣膜 203 及氧化物半導體膜 205 形成的電容為 C_{Bottom} ，由氧化物半導體膜 205、絕緣膜 209 及閘極電極 213 形成的電容為 C_{Top} 。算式 1 示出此時的結構 1 所示的電晶體的 V_{th} 的變動量 ΔV 。此外，算式 2 示出結構 2 所示的電晶體的 V_{th} 的變動量 ΔV 。

[0231]

[算式 1]

$$\Delta V = - \frac{Q}{C_{Bottom} + C_{Top}}$$

[0232]

[算式 2]

$$\Delta V = - \frac{Q}{C_{Bottom}}$$

[0233] 如算式 1 所示，因為在如結構 1 所示的電晶體那樣的雙閘極驅動中，氧化物半導體膜中的施體離子與閘極電極之間的電容為 C_{Bottom} 和 C_{Top} 的總和，所以臨界電壓的變動量減小。

[0234] 此外，圖 12A 和 12B 示出分別在結構 1 及結構 2 的電晶體中計算汲極電壓為 0.1V 及 1V 時的電流電壓曲線而得到的結果。注意，圖 12A 是結構 1 所示的電晶體的電流電壓曲線，圖 12B 是結構 2 所示的電晶體的電流電壓曲線。在汲極電壓 V_d 為 0.1V 時，結構 1 所示的電晶體的臨界電壓為 -2.26V，結構 2 所示的電晶體的臨界電壓為 -4.73V。

[0235] 藉由如結構 1 所示的電晶體那樣採用雙閘極驅動，減少臨界電壓的變動量。因此，在同時減少多個電晶體中的電特性的偏差。

[0236] 另外，在此考慮到氧化物半導體膜中的施體離子所引起的臨界電壓的負向漂移，但是同樣地抑制絕緣膜 203 及絕緣膜 209 中的固定電荷、可動電荷或負的電荷

（被與受體相似的能階俘獲的電子等）所引起的臨界電壓的正向漂移，所以減少偏差。

[0237]

〈-GBT 應力測試時的劣化的抑制〉

此外，藉由採用如結構 1 所示的電晶體那樣的雙閘極驅動，可以減少-GBT 應力測試時的劣化。下面說明可以減少-GBT 應力測試時的劣化的理由。

[0238] 作為第一理由有藉由採用雙閘極驅動不產生靜電壓力的點。圖 13A 示出標繪出在結構 1 的電晶體中分別對閘極電極 201 及閘極電極 213 施加-30V 時的電勢等高線的圖。此外，圖 13B 示出對應於圖 13A 的 A-B 剖面的電勢。

[0239] 氧化物半導體膜 205 是本質半導體，其中在對閘極電極 201、213 施加負的電壓而完全空乏化時，在閘極電極 201 和 213 之間完全不存在電荷。當在這種狀態下使閘極電極 201 和閘極電極 213 具有相同的電位時，如圖 13B 所示，閘極電極 201-閘極電極 213 間的電位完全相同。因為電位相同，所以絕緣膜 203、氧化物半導體膜 205 及絕緣膜 209 不受到靜電壓力。其結果是，不產生引起-GBT 應力測試時的劣化的現象諸如可動離子或絕緣膜 203 及絕緣膜 209 中的載子的俘獲/釋放等。

[0240] 作為第二理由有藉由採用雙閘極驅動，遮蔽來自 FET 的外部的電場的點。在此，圖 14A 和 14B 示出分別在圖 11A 所示的結構 1 的電晶體及圖 11B 所示的結

構 2 的電晶體中，空氣中的帶電粒子附著到絕緣膜 209 或閘極電極 213 上的模型。

[0241] 如圖 14B 所示，在結構 2 所示的電晶體中，空氣中的帶正電粒子附著到絕緣膜 209 的表面上。當閘極電極 201 被施加負的電壓時，帶正電粒子附著到絕緣膜 209。其結果是，如圖 14B 的箭頭所示，帶正電粒子的電場影響到氧化物半導體膜 205 與絕緣膜 209 的之間介面而造成實質上被施加正的偏壓的狀態。其結果是，臨界電壓漂移到負一側。

[0242] 另一方面，如圖 14A 所示，在結構 1 所示的電晶體中即使帶正電粒子附著到閘極電極 213 的表面上，帶正電粒子也不影響到電晶體的電特性，因為如圖 14A 的箭頭所示閘極電極 213 遮蔽帶正電粒子的電場。也就是說，藉由包括閘極電極 213 可以避免電晶體受到外部電荷的影響，從而 -GBT 應力測試時的劣化得到抑制。

[0243] 根據上述兩個理由，在雙閘極驅動的電晶體中抑制 -GBT 應力測試時的劣化。

[0244]

〈汲極電壓不同時的通態電流的上升電壓的變動的抑制〉

在此說明採用結構 2 的情況下的汲極電壓不同時的通態電流的上升電壓的變動及其原因。

[0245] 圖 15A 至 15C 所示的電晶體的結構如下：在閘極電極 231 上設置閘極絕緣膜 233，在閘極絕緣膜 233 上設置氧化物半導體膜 235，在氧化物半導體膜 235 上設

置一對電極 237、238，並且在閘極絕緣膜 233、氧化物半導體膜 235 及一對電極 237、238 上設置絕緣膜 239。

[0246] 注意，在計算時採用的條件如下：將閘極電極 231 的功函數 ϕ_M 設定為 5.0eV ；將閘極絕緣膜 233 設定為介電常數為 7.5 的 400nm 厚的膜和介電常數為 4.1 的 50nm 厚的膜的疊層結構；作為氧化物半導體膜 235 設想 In-Ga-Zn 氧化物膜（In：Ga：Zn=1：1：1）單層；將 In-Ga-Zn 氧化物膜的能帶間隙 E_g 設定為 3.15eV ，電子親和力 χ 設定為 4.6eV ，相對介電常數設定為 15，電子移動率設定為 $10\text{cm}^2/\text{Vs}$ ，施體密度 N_d 設定為 $1 \times 10^{13}\text{atoms}/\text{cm}^3$ ；將一對電極 237、238 的功函數 $\phi_{s,d}$ 設定為 4.6eV 並使該一對電極 237、238 與氧化物半導體膜 235 形成歐姆接觸；將絕緣膜 239 的相對介電常數設定為 3.9，將其厚度設定為 550nm 。注意，不考慮氧化物半導體膜 235 的缺陷能階或表面散射等的模型。此外，分別將電晶體的通道長度及通道寬度設定為 $3\mu\text{m}$ 以及 $50\mu\text{m}$ 。

[0247] 接著，圖 15B 及 15C 示出在圖 15A 所示的電晶體中帶正電粒子附著到絕緣膜 239 的表面上模型。另外，圖 15B 具有假設為在絕緣膜 239 的表面上均勻地存在著正的固定電荷的結構，而圖 15C 具有假設為在絕緣膜 239 的表面上部分地存在著正的固定電荷的結構。

[0248] 圖 16A 至 16C 示出計算圖 15A 至 15C 所示的電晶體的電特性而得到的結果。

[0249] 如圖 16A 所示，當在圖 15A 所示的電晶體的

絕緣膜 239 上不存在著正的固定電荷時，汲極電壓（ V_d ）為 1V 及 10V 時的上升電壓大致一致。

[0250] 另一方面，如圖 16B 所示，當在圖 15B 所示的電晶體的絕緣膜 239 上均勻地存在著正的固定電荷時，臨界電壓負向漂移。此外，汲極電壓（ V_d ）為 1V 及 10V 時的上升電壓大致一致。

[0251] 如圖 16C 所示，當在圖 15C 所示的電晶體的絕緣膜 239 上部分地存在著正的固定電荷時，汲極電壓（ V_d ）為 1V 及 10V 時的上升電壓互不相同。

[0252] 另一方面，因為在結構 1 所示的電晶體中設置有閘極電極 213，所以如上述〈-GBT 應力測試時的劣化的抑制〉中說明那樣閘極電極 213 遮蔽來自外部的帶電粒子的電場，帶電粒子不影響到電晶體的電特性。也就是說，藉由包括閘極電極 213 可以避免電晶體受到外部電荷的影響，從而可以抑制汲極電壓不同時的通態電流的上升電壓的變動。

[0253] 根據上述記載，藉由採用雙閘極結構並對各閘極電極施加任意電壓，可以抑制 -GBT 應力測試時的劣化及汲極電壓不同時的通態電流的上升電壓的變動。此外，藉由採用雙閘極結構並對各閘極電極施加具有相同電位的電壓，可以減少初始特性的偏差並抑制 -GBT 應力測試時的劣化及汲極電壓不同時的通態電流的上升電壓的變動。

[0254] 本實施方式所示的結構及方法等可以與其他

實施方式所示的結構及方法等適當地組合而使用。

[0255]

實施方式 4

在實施方式 1 至實施方式 3 所示的電晶體中，可以根據需要在基板 11 與用作閘極電極的導電膜 13 之間設置基底絕緣膜。作為基底絕緣膜的材料，可以舉出氧化矽、氮化矽、氮化矽、氮氧化矽、氧化鎵、氧化鉛、氧化鉍、氧化鋁、氮化鋁等。藉由作為基底絕緣膜的材料使用氮化矽、氧化鎵、氧化鉛、氧化鉍、氧化鋁等，可以抑制雜質，典型的為鹼金屬、水、氫等從基板 11 擴散到氧化物半導體膜 19a 中。

[0256] 基底絕緣膜可以利用濺射法、CVD 法等來形成。

[0257] 本實施方式所示的結構及方法等可以與其他實施方式所示的結構及方法等適當地組合而使用。

[0258]

實施方式 5

作為設置在實施方式 1 至實施方式 4 所示的電晶體中的用作一對電極的導電膜 21a、21b，可以使用鎢、鈦、鋁、銅、鉬、鉻或鉭或者其合金等容易與氧鍵合的導電材料。其結果是，氧化物半導體膜 19a 中所含的氧與用作一對電極的導電膜 21a、21b 中所含的導電材料鍵合，氧缺損區域形成在氧化物半導體膜 19a 中。此外，有時形成用作一對電極的導電膜 21a、21b 的導電材料的構成元素的

一部分混入氧化物半導體膜 19a。其結果是，如圖 17 所示，低電阻區域 19d、19e 形成在氧化物半導體膜 19a 中的與用作一對電極的導電膜 21a、21b 接觸的區域附近。低電阻區域 19d、19e 與用作一對電極的導電膜 21a、21b 接觸並形成在氧化物絕緣膜 17 與用作一對電極的導電膜 21a、21b 之間。低電阻區域 19d、19e 由於導電性高，所以可以降低氧化物半導體膜 19a 與用作一對電極的導電膜 21a、21b 之間的接觸電阻，因此可以增大電晶體的通態電流。

[0259] 另外，用作一對電極的導電膜 21a、21b 也可以具有上述容易與氧鍵合的導電材料和氮化鈦、氮化鋁、鈦等不容易與氧鍵合的導電材料的疊層結構。藉由採用上述疊層結構，能夠防止用作一對電極的導電膜 21a、21b 與氧化物絕緣膜 23 之間的介面處的用作一對電極的導電膜 21a、21b 的氧化，由此能夠抑制用作一對電極的導電膜 21a、21b 被高電阻化。

[0260] 本實施方式所示的結構及方法等可以與其他實施方式所示的結構及方法等適當地組合而使用。

[0261]

實施方式 6

在本實施方式中，參照圖式對包括與實施方式 1 及實施方式 2 相比能夠進一步減少氧化物半導體膜中的缺陷量的電晶體的半導體裝置進行說明。本實施方式所說明的電晶體與實施方式 1 及實施方式 2 之間的不同點在於，本實

施方式所示的電晶體包括層疊有氧化物半導體膜的多層膜。在此，參照實施方式 1 說明電晶體的詳細內容。

[0262] 圖 18A 和 18B 示出半導體裝置所具有的元件基板的剖面圖。圖 18A 和 18B 是沿著圖 2 的點劃線 A-B 及 C-D 的剖面圖。

[0263] 圖 18A 所示的電晶體 102b 具有隔著阻氧膜 15 及氧化物絕緣膜 17 與用作閘極電極的導電膜 13 重疊的多層膜 37a、與多層膜 37a 接觸的用作一對電極的導電膜 21a 及 21b。在阻氧膜 15 及氧化物絕緣膜 17、多層膜 37a 以及用作一對電極的導電膜 21a 及 21b 上形成有氧化物絕緣膜 23、氧化物絕緣膜 25 以及阻氧膜 27。

[0264] 圖 18A 所示的電容元件 105b 具有形成在氧化物絕緣膜 17 上的多層膜 37b、與多層膜 37b 接觸的阻氧膜 27 以及與阻氧膜 27 接觸的導電膜 29。多層膜 37b 還與用作電容線的導電膜 21c 接觸。另外，阻氧膜 15 與阻氧膜 27 接觸，多層膜 37b 設置在阻氧膜 15 與阻氧膜 27 之間。

[0265] 在本實施方式所示的電晶體 102b 中，多層膜 37a 包括氧化物半導體膜 19a 及氧化物半導體膜 39a。即，多層膜 37a 為兩層結構。另外，將氧化物半導體膜 19a 的一部分用作通道區域。此外，以與氧化物半導體膜 39a 接觸的方式形成有氧化物絕緣膜 23，以與氧化物絕緣膜 23 接觸的方式形成有氧化物絕緣膜 25。即，在氧化物半導體膜 19a 與氧化物絕緣膜 23 之間設置有氧化物半導

體膜 39a。

[0266] 氧化物半導體膜 39a 是由構成氧化物半導體膜 19a 的元素中的一種以上構成的膜。因此，由於氧化物半導體膜 19a 與氧化物半導體膜 39a 之間的介面不容易產生介面散射。由此，由於在該介面中載子的移動不被阻礙，因此電晶體的場效移動率得到提高。

[0267] 作為氧化物半導體膜 39a 典型是 In-Ga 氧化物膜、In-Zn 氧化物膜或 In-M-Zn 氧化物膜（M 是 Al、Ga、Y、Zr、La、Ce 或 Nd），並且與氧化物半導體膜 19a 相比，氧化物半導體膜 39a 的導帶底端的能量較接近於真空能階，典型的是，氧化物半導體膜 39a 的導帶底端的能量和氧化物半導體膜 19a 的導帶底端的能量之間的差異較佳為 0.05eV 以上、0.07eV 以上、0.1eV 以上或 0.15eV 以上，且 2eV 以下、1eV 以下、0.5eV 以下或 0.4eV 以下。換而言之，氧化物半導體膜 39a 的電子親和力與氧化物半導體膜 19a 的電子親和力之差為 0.05eV 以上、0.07eV 以上、0.1eV 以上或者 0.15eV 以上，且 2eV 以下、1eV 以下、0.5eV 以下或者 0.4eV 以下。

[0268] 氧化物半導體膜 39a 藉由包含 In 提高載子移動率（電子移動率），所以是較佳的。

[0269] 藉由使氧化物半導體膜 39a 具有其原子數比高於 In 的原子數比的 Al、Ga、Y、Zr、La、Ce 或 Nd，有時具有如下效果：（1）增大氧化物半導體膜 39a 的能隙。（2）減小氧化物半導體膜 39a 的電子親和力。（3）

遮蔽來自外部的雜質。(4)絕緣性比氧化物半導體膜 19a 高。(5)由於 Al、Ga、Y、Zr、La、Ce 或 Nd 是與氧的鍵合力強的金屬元素，所以不容易產生氧缺損。

[0270] 在氧化物半導體膜 39a 為 In-M-Zn 氧化物膜的情況下，當 In 和 M 之總和為 100atomic%時，In 及 M 的原子數比如下：In 為低於 50atomic%且 M 為 50atomic%以上，或者 In 為低於 25atomic%且 M 為 75atomic%以上。

[0271] 另外，當氧化物半導體膜 19a 及氧化物半導體膜 39a 為 In-M-Zn 氧化物膜 (M 為 Al、Ga、Y、Zr、La、Ce 或 Nd) 時，氧化物半導體膜 39a 中所含的 M (Al、Ga、Y、Zr、La、Ce 或 Nd) 的原子數比大於氧化物半導體膜 19a 中所含的 M 的原子數比，典型的是，氧化物半導體膜 39a 中所含的 M 的原子數比為氧化物半導體膜 19a 中所含的 M 的原子數比的 1.5 倍以上，2 倍以上或 3 倍以上。

[0272] 另外，當氧化物半導體膜 19a 及氧化物半導體膜 39a 為 In-M-Zn 氧化物膜 (M 為 Al、Ga、Y、Zr、La、Ce 或 Nd) 時，並且氧化物半導體膜 39a 的原子數比為 $\text{In} : \text{M} : \text{Zn} = x_1 : y_1 : z_1$ ，且氧化物半導體膜 19a 的原子數比為 $\text{In} : \text{M} : \text{Zn} = x_2 : y_2 : z_2$ 的情況下， y_1/x_1 大於 y_2/x_2 或 y_1/x_1 為 y_2/x_2 的 1.5 倍以上。或者， y_1/x_1 為 y_2/x_2 的 2 倍以上，並且 y_1/x_1 為 y_2/x_2 的 3 倍以上。此時，當在氧化物半導體膜中 y_2 為 x_2 以上時，可以使使用該氧化物半導

體膜的電晶體具有穩定的電特性，因此是較佳的。

[0273] 當氧化物半導體膜 19a 是 In-M-Zn 氧化物膜（M 是 Al、Ga、Y、Zr、La、Ce 或 Nd）時，在用於形成氧化物半導體膜 19a 的靶材中，假設金屬元素的原子數比為 $\text{In} : \text{M} : \text{Zn} = x_1 : y_1 : z_1$ 時， x_1/y_1 較佳為 1/3 以上且 6 以下，更佳為 1 以上且 6 以下， z_1/y_1 較佳為 1/3 以上且 6 以下，更佳為 1 以上且 6 以下。注意，藉由使 z_1/y_1 為 1 以上且 6 以下，可以使用作氧化物半導體膜 19a 的 CAAC-OS 膜容易形成。作為靶材的金屬元素的原子數比的典型例子，可以舉出 $\text{In} : \text{M} : \text{Zn} = 1 : 1 : 1$ 、 $\text{In} : \text{M} : \text{Zn} = 1 : 1 : 1.2$ 、 $\text{In} : \text{M} : \text{Zn} = 3 : 1 : 2$ 等。

[0274] 當氧化物半導體膜 39a 是 In-M-Zn 氧化物膜（M 是 Al、Ga、Y、Zr、La、Ce 或 Nd）時，在用於形成氧化物半導體膜 39a 的靶材中，假設金屬元素的原子數比為 $\text{In} : \text{M} : \text{Zn} = x_2 : y_2 : z_2$ 時， $x_2/y_2 < x_1/y_1$ ， z_2/y_2 較佳為 1/3 以上且 6 以下，更佳為 1 以上且 6 以下。注意，藉由使 z_2/y_2 為 1 以上且 6 以下，可以使用作氧化物半導體膜 39a 的 CAAC-OS 膜容易形成。作為靶材的金屬元素的原子數比的典型例子，可以舉出 $\text{In} : \text{M} : \text{Zn} = 1 : 3 : 2$ 、 $\text{In} : \text{M} : \text{Zn} = 1 : 3 : 4$ 、 $\text{In} : \text{M} : \text{Zn} = 1 : 3 : 6$ 、 $\text{In} : \text{M} : \text{Zn} = 1 : 3 : 8$ 等。

[0275] 另外，氧化物半導體膜 19a 及氧化物半導體膜 39a 的原子數比作為誤差包括上述原子數比的 $\pm 40\%$ 的變動。

[0276] 當在後面形成氧化物絕緣膜 25 時，氧化物半導體膜 39a 還用作緩和對氧化物半導體膜 19a 所造成的損傷的膜。

[0277] 將氧化物半導體膜 39a 的厚度設定為 3nm 以上且 100nm 以下或 3nm 以上且 50nm 以下。

[0278] 另外，氧化物半導體膜 39a 與氧化物半導體膜 19a 同樣地例如可以具有非單晶結構。非單晶結構例如包括下述 CAAC-OS、多晶結構、下述微晶結構或非晶結構。

[0279] 氧化物半導體膜 39a 例如也可以具有非晶結構。非晶結構的氧化物半導體膜例如具有無秩序的原子排列且不具有結晶成分。或者，非晶結構的氧化物膜例如是完全的非晶結構且不具有結晶部。

[0280] 此外，也可以在氧化物半導體膜 19a 及氧化物半導體膜 39a 中分別構成具有非晶結構的區域、微晶結構的區域、多晶結構的區域、CAAC-OS 的區域和單晶結構的區域中的兩種以上的混合膜。混合膜有時採用例如具有非晶結構的區域、微晶結構的區域、多晶結構的區域、CAAC-OS 的區域和單晶結構的區域中的兩種以上的區域的單層結構。另外，混合膜有時採用例如層疊有非晶結構的區域、微晶結構的區域、多晶結構的區域、CAAC-OS 的區域和單晶結構的區域中的兩種以上的區域的疊層結構。

[0281] 在此，在氧化物半導體膜 19a 與氧化物絕緣

膜 23 之間設置有氧化物半導體膜 39a。因此，在氧化物半導體膜 39a 與氧化物絕緣膜 23 之間即使因雜質及缺陷形成陷阱能階，也在該陷阱能階與氧化物半導體膜 19a 之間有間隔。其結果是，在氧化物半導體膜 19a 中流過的電子不容易被陷阱能階俘獲，所以不僅能夠增大電晶體的通態電流，而且能夠提高場效移動率。此外，當電子被陷阱能階俘獲時，該電子成為固定負電荷。其結果是，導致電晶體的臨界電壓發生變動。然而，當氧化物半導體膜 19a 與陷阱能階之間有間隔時，能夠抑制電子被陷阱能階俘獲，從而能夠抑制臨界電壓的變動。

[0282] 此外，由於氧化物半導體膜 39a 能夠遮蔽來自外部的雜質，所以可以減少從外部移動到氧化物半導體膜 19a 中的雜質量。另外，在氧化物半導體膜 39a 中不容易形成氧缺損。由此，能夠減少氧化物半導體膜 19a 中的雜質濃度及氧缺損量。

[0283] 此外，氧化物半導體膜 19a 及氧化物半導體膜 39a 不以簡單地層疊各膜的方式來形成，而是以形成連續接合（在此，特指在各膜之間導帶底端的能量產生連續的變化的結構）的方式來形成。換而言之，採用在各膜之間的介面不存在雜質的疊層結構，該雜質會形成俘獲中心或再結合中心等缺陷能階。如果雜質混入層疊有的氧化物半導體膜 19a 與氧化物半導體膜 39a 之間，則能帶則失去連續性，因此，載子在介面被俘獲或者因再結合而消失。

[0284] 為了形成連續接合，需要使用具備負載鎖定

室的多室成膜裝置（濺射裝置）以使各膜不暴露於大氣中的方式連續地進行層疊。在濺射裝置的各室中，較佳為使用低溫泵等吸附式真空抽氣泵進行高真空抽氣（抽空到 $5 \times 10^{-7} \text{Pa}$ 至 $1 \times 10^{-4} \text{Pa}$ 左右）以盡可能地去除對氧化物半導體膜來說是雜質的水等。或者，較佳為組合渦輪分子泵和冷阱來防止氣體，尤其是包含碳或氫的氣體從抽氣系統倒流到處理室內。

[0285] 另外，如圖 18B 所示的電晶體 102c 那樣，也可以具有多層膜 38a 代替多層膜 37a。

[0286] 另外，如圖 18B 所示的電容元件 105c 那樣，也可以具有多層膜 38b 代替多層膜 37b。

[0287] 多層膜 38a 包括氧化物半導體膜 49a、氧化物半導體膜 19a 及氧化物半導體膜 39a。即，多層膜 38a 具有三層結構。此外，氧化物半導體膜 19a 用作通道區域。

[0288] 此外，氧化物絕緣膜 17 與氧化物半導體膜 49a 相接觸。即，在氧化物絕緣膜 17 與氧化物半導體膜 19a 之間設置有氧化物半導體膜 49a。

[0289] 此外，多層膜 38a 與氧化物絕緣膜 23 相接觸。另外，氧化物半導體膜 39a 與氧化物絕緣膜 23 相接觸。即，在氧化物半導體膜 19a 與氧化物絕緣膜 23 之間設置有氧化物半導體膜 39a。

[0290] 氧化物半導體膜 49a 可以適當地使用與氧化物半導體膜 39a 同樣的材料及形成方法。

[0291] 較佳為氧化物半導體膜 49a 的厚度比氧化物

半導體膜 19a 的厚度薄。藉由將氧化物半導體膜 49a 的厚度設定為 1nm 以上且 5nm 以下或 1nm 以上且 3nm 以下，可以減少電晶體的臨界電壓的變動量。

[0292] 本實施方式所示的電晶體在氧化物半導體膜 19a 與氧化物絕緣膜 23 之間設置有氧化物半導體膜 39a。因此，在氧化物半導體膜 39a 與氧化物絕緣膜 23 之間即使因雜質及缺陷形成陷阱能階，也在該陷阱能階與氧化物半導體膜 19a 之間有間隔。其結果是，在氧化物半導體膜 19a 中流過的電子不容易被陷阱能階俘獲，所以不僅能夠增大電晶體的通態電流，而且能夠提高場效移動率。此外，當電子被陷阱能階俘獲時，該電子成為固定負電荷。其結果是，導致電晶體的臨界電壓發生變動。然而，當氧化物半導體膜 19a 與陷阱能階之間有間隔時，能夠抑制電子被陷阱能階俘獲，從而能夠抑制臨界電壓的變動。

[0293] 此外，由於氧化物半導體膜 39a 能夠遮蔽來自外部的雜質，所以可以減少從外部移動氧化物半導體膜 19a 的雜質量。此外，在氧化物半導體膜 39a 中不容易形成氧缺損。由此，能夠減少氧化物半導體膜 19a 中的雜質濃度及氧缺損量。

[0294] 另外，由於在氧化物絕緣膜 17 與氧化物半導體膜 19a 之間設置有氧化物半導體膜 49a，並且在氧化物半導體膜 19a 與氧化物絕緣膜 23 之間設置有氧化物半導體膜 39a，因此，能夠降低氧化物半導體膜 49a 與氧化物半導體膜 19a 之間的介面附近的矽或碳的濃度、氧化物半

導體膜 19a 中的矽或碳的濃度或者氧化物半導體膜 39a 與氧化物半導體膜 19a 之間的介面附近的矽或碳的濃度。其結果是，在多層膜 38a 中，利用恆定光電流法導出的吸收係數低於 $1 \times 10^{-3}/\text{cm}$ 或低於 $1 \times 10^{-4}/\text{cm}$ ，即定域態密度極低。

[0295] 在具有這種結構的電晶體 102b 及 102c 中，因為包括氧化物半導體膜 32 的多層膜 38a 中的缺陷極少，因此，能夠提高電晶體的電特性，典型的是能夠實現通態電流的增大及場效移動率的提高。另外，當進行應力測試的一個例子，即 BT 應力測試及光 BT 應力測試時，臨界電壓的變動量少，由此可靠性較高。

[0296]

<電晶體的能帶結構>

接著，參照圖 19A 至 19C 說明設置在圖 18A 所示的電晶體 102b 中的多層膜 37a 以及設置在圖 18B 所示的電晶體 102c 的多層膜 38a 的能帶結構。

[0297] 這裡，作為例子，使用能隙為 3.15eV 的 In-Ga-Zn 氧化物作為氧化物半導體膜 19a，使用能隙為 3.5eV 的 In-Ga-Zn 氧化物作為氧化物半導體膜 39a。可以利用光譜橢圓偏光計（HORIBA JOBIN YVON 公司製造的 UT-300）測量能隙。

[0298] 氧化物半導體膜 19a 及氧化物半導體膜 39a 的真空能階與價帶頂端之間的能量差（也稱為游離電位）分別為 8eV 及 8.2eV 。另外，真空能階與價帶頂端之間的

能量差可以利用紫外線光電子能譜（UPS：Ultraviolet Photoelectron Spectroscopy）裝置（PHI 公司製造的 VersaProbe）來測量。

[0299] 因此，氧化物半導體膜 19a 及氧化物半導體膜 39a 的真空能階與導帶底端之間的能量差（也稱為電子親和力）分別為 4.85eV 及 4.7eV。

[0300] 圖 19A 示意性地示出多層膜 37a 的能帶結構的一部分。這裡，對以與多層膜 37a 接觸的方式設置氧化矽膜的情況進行說明。圖 19A 所示的 EcI1 表示氧化矽膜的導帶底端的能量，EcS1 表示氧化物半導體膜 19a 的導帶底端的能量，EcS2 表示氧化物半導體膜 39a 的導帶底端的能量，EcI2 表示氧化矽膜的導帶底端的能量。此外，EcI1 在圖 18A 中相當於氧化物絕緣膜 17，EcI2 在圖 18A 中相當於氧化物絕緣膜 23。

[0301] 如圖 19A 所示那樣，在氧化物半導體膜 19a 及氧化物半導體膜 39a 中，導帶底端的能量沒有障壁而產生平緩的變化。換言之，可以說導帶底端的能量產生連續的變化。這是由於如下緣故：多層膜 37a 含有與氧化物半導體膜 19a 相同的元素，氧在氧化物半導體膜 19a 與氧化物半導體膜 39a 之間移動而可以形成混合層。

[0302] 從圖 19A 可知，多層膜 37a 的氧化物半導體膜 19a 成為阱（well），在使用多層膜 37a 的電晶體中通道區域形成在氧化物半導體膜 19a 中。另外，由於多層膜 37a 的導帶底端的能量產生連續的變化，所以也可以說氧

化物半導體膜 19a 與氧化物半導體膜 39a 連續地接合。

[0303] 另外，如圖 19A 所示那樣，雖然在氧化物半導體膜 39a 與氧化物絕緣膜 23 之間的介面附近有可能形成起因於雜質或缺陷的陷阱能階，但是藉由設置氧化物半導體膜 39a，可以使氧化物半導體膜 19a 與該陷阱能階離開。注意，當 E_{cS1} 與 E_{cS2} 之間的能量差小時，有時氧化物半導體膜 19a 的電子越過該能量差到達陷阱能階。因電子在陷阱能階中被俘獲，在與氧化物絕緣膜介面產生負的電荷，導致電晶體的臨界電壓漂移到正方向。因此，藉由將 E_{cS1} 與 E_{cS2} 之間的能量差設定為 0.1eV 以上或 0.15eV 以上，電晶體的臨界電壓變動得到降低而使電晶體具有穩定的電特性，所以是較佳的。

[0304] 此外，圖 19B 示意性地示出多層膜 37a 的能帶結構的一部分，其是圖 19A 所示的能帶結構的變形例子。這裡，對以與多層膜 37a 接觸的方式設置氧化矽膜的情況進行說明。圖 19B 所示的 E_{cI1} 表示氧化矽膜的導帶底端的能量， E_{cS1} 表示氧化物半導體膜 19a 的導帶底端的能量， E_{cI2} 表示氧化矽膜的導帶底端的能量。此外， E_{cI1} 在圖 18A 中相當於氧化物絕緣膜 17， E_{cI2} 在圖 18A 中相當於氧化物絕緣膜 23。

[0305] 在圖 18A 所示的電晶體中，當形成用作一對電極的導電膜 21a、21b 時，有時多層膜 37a 的上方，即氧化物半導體膜 39a 被蝕刻。另一方面，在氧化物半導體膜 19a 的頂面上，有時在形成氧化物半導體膜 39a 時形成

氧化物半導體膜 19a 與氧化物半導體膜 39a 的混合層。

[0306] 例如，在氧化物半導體膜 19a 是藉由將原子數比為 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ 的 In-Ga-Zn 氧化物或者原子數比為 $\text{In} : \text{Ga} : \text{Zn} = 3 : 1 : 2$ 的 In-Ga-Zn 氧化物用作濺射靶材形成，且氧化物半導體膜 39a 是藉由將原子數比為 $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 2$ 的 In-Ga-Zn 氧化物、原子數比為 $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 4$ 的 In-Ga-Zn 氧化物或者原子數比為 $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 6$ 的 In-Ga-Zn 氧化物用作濺射靶材形成時，氧化物半導體膜 39a 中的 Ga 的含量比氧化物半導體膜 19a 中的 Ga 的含量多，從而在氧化物半導體膜 19a 的頂面上有可能形成 GaO_x 層或其 Ga 含量比氧化物半導體膜 19a 多的混合層。

[0307] 因此，在氧化物半導體膜 39a 被蝕刻時， EcS1 的位於 EcI2 一側的導帶底端的能量也會變高，有時成為如圖 19B 所示那樣的能帶結構。

[0308] 當形成如圖 19B 所示那樣的能帶結構時，多層膜 37a 有時在觀察通道區域的剖面時外觀上被觀察到只包括氧化物半導體膜 19a。然而，因為實質上在氧化物半導體膜 19a 上形成有其 Ga 含量多於氧化物半導體膜 19a 中的 Ga 含量的混合層，所以可以將該混合層認為 1.5 層。另外，例如在藉由 EDX 分析等對多層膜 37a 所包含的元素進行測量時，可以對氧化物半導體膜 19a 的上方的組成進行分析來確認該混合層。例如，當氧化物半導體膜 19a 的上方的組成中的 Ga 含量多於氧化物半導體膜 19a

的組成中的 Ga 含量時可以確認該混合層。

[0309] 圖 19C 示意性地示出多層膜 38a 的能帶結構的一部分。這裡，對以與多層膜 38a 接觸的方式設置氧化矽膜的情況進行說明。圖 19C 所示的 EcI1 表示氧化矽膜的導帶底端的能量，EcS1 表示氧化物半導體膜 19a 的導帶底端的能量，EcS2 表示氧化物半導體膜 39a 的導帶底端的能量，EcS3 表示氧化物半導體膜 49a 的導帶底端的能量，EcI2 表示氧化矽膜的導帶底端的能量。此外，EcI1 在圖 18B 中相當於氧化物絕緣膜 17，EcI2 在圖 18B 中相當於氧化物絕緣膜 23。

[0310] 如圖 19C 所示那樣，在氧化物半導體膜 49a、氧化物半導體膜 19a 及氧化物半導體膜 39a 中，導帶底端的能量沒有障壁而產生平緩的變化。換言之，可以說導帶底端的能量產生連續的變化。這是由於如下緣故：多層膜 38a 含有與氧化物半導體膜 19a 相同的元素，且氧在氧化物半導體膜 19a 與氧化物半導體膜 49a 之間及在氧化物半導體膜 19a 與氧化物半導體膜 39a 之間移動而可以形成混合層。

[0311] 從圖 19C 可知，多層膜 38a 的氧化物半導體膜 19a 成為阱（well），在使用多層膜 38a 的電晶體中通道區域形成在氧化物半導體膜 19a 中。另外，由於多層膜 38a 的導帶底端的能量產生連續的變化，所以也可以說氧化物半導體膜 49a、氧化物半導體膜 19a 與氧化物半導體膜 39a 連續地接合。

[0312] 另外，在依次層疊有氧化物絕緣膜 17、氧化物半導體膜 19a 以及氧化物絕緣膜 23 的情況下，在氧化物半導體膜 19a 與氧化物絕緣膜 23 之間的介面附近、氧化物半導體膜 19a 與氧化物絕緣膜 17 之間的介面附近有可能形成起因於雜質或缺陷的陷阱能階，但是如圖 19C 所示，藉由設置氧化物半導體膜 39a、49a，可以使氧化物半導體膜 19a 與該陷阱能階離開。注意，當 EcS1 與 EcS2 之間的能量差及 EcS1 與 EcS3 之間的能量差小時，有時氧化物半導體膜 19a 的電子越過該能量差到達陷阱能階。因電子在陷阱能階中被俘獲，在與氧化物絕緣膜介面產生負的電荷，導致電晶體的臨界電壓漂移到正方向。因此，藉由將 EcS1 與 EcS2 之間的能量差及 EcS1 與 EcS3 之間的能量差設定為 0.1eV 以上或 0.15eV 以上，電晶體的臨界電壓變動得到降低而使電晶體具有穩定的電特性，所以是較佳的。

[0313] 本實施方式所示的結構及方法等可以與其他實施方式所示的結構及方法等適當地組合而使用。

[0314]

實施方式 7

在本實施方式中，對能夠用於包含在上述實施方式所說明的半導體裝置中的電晶體的氧化物半導體膜的一實施方式進行說明。

[0315] 氧化物半導體膜可以由如下氧化物半導體構成：單晶結構的氧化物半導體（以下，稱為單晶氧化物半

導體)、多晶結構的氧化物半導體(以下,稱為多晶氧化物半導體)、微晶結構的氧化物半導體(以下,稱為微晶氧化物半導體)及非晶結構的氧化物半導體(以下,稱為非晶氧化物半導體)中的一種以上;CAAC-OS膜;非晶氧化物半導體及具有晶粒的氧化物半導體。以下對單晶氧化物半導體、CAAC-OS、多晶氧化物半導體、微晶氧化物半導體以及非晶氧化物半導體進行說明。

[0316]

〈單晶氧化物半導體〉

單晶氧化物半導體膜是雜質濃度低且缺陷態密度低(氧缺損少)的氧化物半導體膜。由此,可以降低載子密度。因此,使用單晶氧化物半導體膜的電晶體很少成為常導通電特性。此外,因為單晶氧化物半導體膜的雜質濃度低且缺陷態密度低,所以載子陷阱有時變少。因此,使用單晶氧化物半導體膜的電晶體的電特性變動小,而成為可靠性高的電晶體。

[0317] 注意,氧化物半導體膜的缺陷越少其密度越高。氧化物半導體膜的結晶性越高其密度越高。氧化物半導體膜的氫等雜質的濃度越低其密度越高。單晶氧化物半導體膜的密度比CAAC-OS膜的密度高。CAAC-OS膜的密度比微晶氧化物半導體膜的密度高。多晶氧化物半導體膜的密度比微晶氧化物半導體膜的密度高。微晶氧化物半導體膜的密度比非晶氧化物半導體膜的密度高。

[0318]

〈CAAC-OS〉

CAAC-OS 膜是包含多個結晶部的氧化物半導體膜之一。包括在 CAAC-OS 膜中的結晶部具有 c 軸配向性。在平面 TEM 影像中，包括在 CAAC-OS 膜中的結晶部的面積為 2500nm^2 以上， $5\mu\text{m}^2$ 以上或 $1000\mu\text{m}^2$ 以上；在剖面 TEM 影像中，該結晶部的含量為 50%以上、80%以上或 95%以上，則成為其物理性質類似於單晶的薄膜。

[0319] 在 CAAC-OS 膜的透射電子顯微鏡 (TEM: Transmission Electron Microscope) 圖像中，觀察不到結晶部與結晶部之間的明確的邊界，即晶界 (grain boundary)。因此，在 CAAC-OS 膜中，不容易發生起因於晶界的電子移動率的降低。

[0320] 根據從大致平行於樣本面的方向觀察的 CAAC-OS 膜的 TEM 影像 (剖面 TEM 影像) 可知在結晶部中金屬原子排列為層狀。各金屬原子層具有反映著形成 CAAC-OS 膜的面 (也稱為被形成面) 或 CAAC-OS 膜的頂面的凸凹的形狀並以平行於 CAAC-OS 膜的被形成面或頂面的方式排列。在本說明書中，“平行”是指兩條直線形成的角度為 -10° 以上且 10° 以下，因此也包括角度為 -5° 以上且 5° 以下的情況。“垂直”是指兩條直線形成的角度為 80° 以上且 100° 以下，因此也包括角度為 85° 以上且 95° 以下的情況。

[0321] 另一方面，根據從大致垂直於樣本面的方向觀察的 CAAC-OS 膜的 TEM 影像 (平面 TEM 影像) 可知

在結晶部中金屬原子排列為三角形狀或六角形狀。但是，在不同的結晶部之間金屬原子的排列沒有規律性。

[0322] 此外，在對 CAAC-OS 膜進行電子繞射分析時，觀察到表示配向性的斑點（亮點）。

[0323] 由剖面 TEM 圖像及平面 TEM 圖像可知，CAAC-OS 膜的結晶部具有配向性。

[0324] 使用 X 射線繞射（XRD:X-Ray Diffraction）裝置對 CAAC-OS 膜進行結構分析。例如，當利用 out-of-plane 法分析 CAAC-OS 膜時，在繞射角（ 2θ ）為 31° 附近時常出現峰值。由於該峰值來源於 InGaZn 氧化物的 (00x) 面（x 為整數），由此可知 CAAC-OS 膜中的結晶具有 c 軸配向性，並且 c 軸朝向大致垂直於 CAAC-OS 膜的被形成面或頂面的方向。

[0325] 另一方面，當利用從大致垂直於 c 軸的方向使 X 線入射到樣本的 in-plane 法分析 CAAC-OS 膜時，在 2θ 為 56° 附近時常出現峰值。該峰值來源於 InGaZn 氧化物的結晶的 (110) 面。在此，將 2θ 固定為 56° 附近並在以樣本面的法線向量為軸（ ϕ 軸）旋轉樣本的條件下進行分析（ ϕ 掃描）。當該樣本是 InGaZn 氧化物的單晶氧化物半導體膜時，出現六個峰值。該六個峰值來源於相等於 (110) 面的結晶面。另一方面，當該樣本是 CAAC-OS 膜時，即使在將 2θ 固定為 56° 附近的狀態下進行 ϕ 掃描也不能觀察到明確的峰值。

[0326] 由上述結果可知，在具有 c 軸配向的 CAAC-

OS 膜中，雖然 a 軸及 b 軸的配向在不同的結晶部之間沒有規律性，但是 c 軸都朝向平行於被形成面或頂面的法線向量的方向。因此，在上述剖面 TEM 影像中觀察到的排列為層狀的各金屬原子層相當於與結晶的 a-b 面平行的面。

[0327] 結晶是在形成 CAAC-OS 膜時或在進行加熱處理等晶化處理時形成的。如上所述，結晶的 c 軸朝向平行於 CAAC-OS 膜的被形成面或頂面的法線向量的方向。由此，例如，當 CAAC-OS 膜的形狀因蝕刻等而發生改變時，結晶的 c 軸不一定平行於 CAAC-OS 膜的被形成面或頂面的法線向量。

[0328] 此外，CAAC-OS 膜中的結晶度不一定均勻。例如，當 CAAC-OS 膜的結晶部是由於 CAAC-OS 膜的頂面附近的結晶成長而形成時，有時頂面附近的結晶度高於被形成面附近的結晶度。另外，還有如下情況：當對 CAAC-OS 膜添加雜質時，被添加了雜質的區域的結晶度改變，所以 CAAC-OS 膜中的結晶度根據區域而不同。

[0329] 當利用 out-of-plane 法分析 CAAC-OS 膜時，除了在 2θ 為 31° 附近的峰值之外，有時還在 2θ 為 36° 附近觀察到峰值。 2θ 為 36° 附近的峰值意味著 CAAC-OS 膜的一部分中含有不具有 c 軸配向的結晶部。較佳的是，在 CAAC-OS 膜中在 2θ 為 31° 附近時出現峰值而在 2θ 為 36° 附近時不出現峰值。

[0330] CAAC-OS 膜是雜質濃度低的氧化物半導體

膜。雜質是指氫、碳、矽以及過渡金屬元素等氧化物半導體膜的主要成分以外的元素。尤其是，某一種元素如矽等與氧的鍵合力比構成氧化物半導體膜的金屬元素與氧的鍵合力強，該元素會奪取氧化物半導體膜中的氧，從而打亂氧化物半導體膜的原子排列，導致結晶性下降。另外，由於鐵或鎳等的重金屬、氫、二氧化碳等的原子半徑（或分子半徑）大，所以如果包含在氧化物半導體膜內，也會打亂氧化物半導體膜的原子排列，導致結晶性下降。包含在氧化物半導體膜中的雜質有時成為載子陷阱或載子發生源。

[0331] CAAC-OS 膜是缺陷態密度低的氧化物半導體膜。例如，氧化物半導體膜中的氧缺損有時成為載子陷阱，或因俘獲氫而成為載子發生源。

[0332] 將雜質濃度低且缺陷態密度低（氧缺損少）的狀態稱為“高純度本質”或“實質上高純度本質”。在高純度本質或實質上高純度本質的氧化物半導體膜中載子發生源少，所以可以降低載子密度。因此，採用該氧化物半導體膜的電晶體很少具有負臨界電壓的電特性（也稱為常導通）。此外，在高純度本質或實質上高純度本質的氧化物半導體膜中載子陷阱少。因此，採用該氧化物半導體膜的電晶體的電特性變動小，於是成為可靠性高的電晶體。被氧化物半導體膜的載子陷阱俘獲的電荷直到被釋放需要的時間長，有時像固定電荷那樣動作。所以，採用雜質濃度高且缺陷態密度高的氧化物半導體膜的電晶體有時電特性

不穩定。

[0333] 此外，在使用 CAAC-OS 膜的電晶體中，起因於可見光或紫外光的照射的電特性的變動小。

[0334]

〈多晶氧化物半導體〉

在使用 TEM 觀察的多晶氧化物半導體膜的影像中，可以觀察到晶粒。多晶氧化物半導體膜所包括的晶粒例如在使用 TEM 的觀察影像中，在大多數情況下，粒徑為 2nm 以上且 300nm 以下、3nm 以上且 100nm 以下或 5nm 以上且 50nm 以下。此外，例如在使用 TEM 觀察的多晶氧化物半導體膜的影像中，有時可以確認到晶界。

[0335] 多晶氧化物半導體膜具有多個晶粒，該多個晶粒有時晶體配向不同。此外，多晶氧化物半導體膜例如使用 XRD 裝置並採用 out-of-plane 法進行分析，有時出現一個或多個峰值。例如，在多晶 IGZO 膜中，有時出現表示配向的 2θ 為 31° 附近的峰值或多個表示配向的峰值。

[0336] 因為多晶氧化物半導體膜具有高結晶性，所以有時具有高電子移動率。因此，使用多晶氧化物半導體膜的電晶體具有高場效移動率。但是，多晶氧化物半導體膜有時在晶界產生雜質的偏析。多晶氧化物半導體膜的晶界成為缺陷能階。由於多晶氧化物半導體膜的晶界有時成為載子發生源、陷阱能階，因此有時與使用 CAAC-OS 膜的電晶體相比，使用多晶氧化物半導體膜的電晶體的電特性變動大，且可靠性低。

[0337]

〈微晶氧化物半導體〉

在使用 TEM 觀察的微晶氧化物半導體膜的影像中，有時不能明確地觀察到結晶部。微晶氧化物半導體膜中含有的結晶部的尺寸大多為 1nm 以上且 100nm 以下，或 1nm 以上且 10nm 以下。尤其是，將具有尺寸為 1nm 以上且 10nm 以下或 1nm 以上且 3nm 以下的微晶的奈米晶體（nc:nanocrystal）的氧化物半導體膜稱為 nc-OS（nanocrystalline Oxide Semiconductor）膜。例如，在使用 TEM 觀察 nc-OS 膜時，有時不能明確地確認到晶界。

[0338] nc-OS 膜在微小區域（例如 1nm 以上且 10nm 以下的區域，特別是 1nm 以上且 3nm 以下的區域）中其原子排列具有週期性。另外，nc-OS 膜在不同的結晶部之間觀察不到晶體配向的規律性。因此，在膜整體上觀察不到配向性。所以，有時 nc-OS 膜在某些分析方法中與非晶氧化物半導體膜沒有差別。例如，在藉由其中利用使用其束徑比結晶部大的 X 射線的 XRD 裝置的 out-of-plane 法對 nc-OS 膜進行結構分析時，檢測不出表示結晶面的峰值。在對 nc-OS 膜進行使用其束徑比結晶部大（例如，50nm 以上）的電子射線的電子繞射（也稱為選區電子繞射）時，觀察到類似於光暈圖案的繞射圖案。另一方面，在對 nc-OS 膜進行使用其束徑近於結晶部或者比結晶部小（例如，1nm 以上且 30nm 以下）的電子射線的電子繞射（也稱為奈米束電子繞射）時，觀察到斑點。在對 nc-OS

膜進行奈米束電子繞射時，還有時觀察到如圓圈那樣的（環狀的）亮度高的區域。在對 nc-OS 膜進行奈米束電子繞射時，還有時還觀察到環狀的區域內的多個斑點。

[0339] 圖 20 示出對具有 nc-OS 膜的樣本以改變測量位置的方式進行了奈米束電子繞射的例子。在此，將樣本沿著垂直於 nc-OS 膜的被形成面的方向截斷，使其厚度減薄以使其厚度為 10nm 以下。在此，使電子束徑為 1nm 的電子線從垂直於樣本的截斷面的方向入射。從圖 20 可知，藉由對具有 nc-OS 膜的樣本進行奈米束電子繞射，獲得表示晶面的繞射圖案，但是觀察不到特定方向上的晶面的配向性。

[0340] nc-OS 膜是其規律性比非晶氧化物半導體膜高的氧化物半導體膜。因此，nc-OS 膜的缺陷態密度比非晶氧化物半導體膜低。但是，nc-OS 膜在不同的結晶部之間觀察不到晶體配向的規律性。所以，nc-OS 膜的缺陷態密度比 CAAC-OS 膜高。

[0341] 本實施方式所示的結構及方法等可以與其他實施方式所示的結構及方法等適當地組合而使用。

[0342]

實施方式 8

在上述實施方式所示的電晶體的製造方法中，可在形成用作一對電極的導電膜 21a、22b 之後，將氧化物半導體膜 19a 暴露於產生在氧化氛圍中的電漿，來對氧化物半導體膜 19a 供應氧。氧化氛圍的例子為氧、臭氧、一氧化

二氮、二氧化氮等的氛圍。而且，在該電漿處理中，較佳為將氧化物半導體膜 19a 暴露於在對基板 11 一側不施加偏壓的狀態下產生的電漿中。其結果是，能夠不使氧化物半導體膜 19a 受損傷，且能供應氧，可減少氧化物半導體膜 19a 中的氧缺損量。此外，藉由蝕刻處理可以去除殘留在氧化物半導體膜 19a 的表面的雜質諸如氟、氯等鹵素等。較佳為邊進行 300℃ 以上的加熱邊進行該電漿處理。電漿中的氧與氧化物半導體膜 19a 中的氫鍵合而成為水。由於對基板進行加熱，所以該水從氧化物半導體膜 19a 脫離。其結果是，可以減少氧化物半導體膜 19a 中的含氫量及含水量。

[0343] 本實施方式所示的結構及方法等可以與其他實施方式所示的結構及方法等適當地組合而使用。

[0344]

實施方式 9

雖然上述實施方式所公開的氧化物半導體膜可以利用濺射法形成，但是也可以利用熱 CVD 法等其他方法形成。作為熱 CVD 法的例子，可以舉出 MOCVD (Metal Organic Chemical Vapor Deposition: 有機金屬化學氣相沉積) 法或 ALD (Atomic Layer Deposition: 原子層沉積) 法。

[0345] 由於熱 CVD 法是不使用電漿的成膜方法，因此具有因不產生電漿損傷所引起的缺陷的優點。

[0346] 可以以如下方法進行利用熱 CVD 法的成膜：

將源氣體及氧化劑同時供應到處理室內，將處理室內的壓力設定為大氣壓或減壓，使其在基板附近或在基板上起反應。

[0347] 另外，可以以如下方法進行利用 ALD 法的成膜：將處理室內的壓力設定為大氣壓或減壓，將用於反應的源氣體依次引入處理室，並且按該順序反復地引入氣體。例如，藉由切換各開關閥（也稱為高速閥）來將兩種以上的源氣體依次供應到處理室內。為了防止多種源氣體混合，例如，在引入第一源氣體的同時或之後引入惰性氣體（氬或氦等）等，然後引入第二源氣體。注意，當同時引入第一源氣體及惰性氣體時，惰性氣體用作載子氣體，另外，可以在引入第二源氣體的同時引入惰性氣體。另外，也可以利用真空抽氣將第一源氣體排出來代替引入惰性氣體，然後引入第二源氣體。第一源氣體附著到基板表面形成第一層，之後引入的第二源氣體與該第一層起反應，由此第二層層疊在第一層上而形成薄膜。藉由按該順序反復多次地引入氣體直到獲得所希望的厚度為止，可以形成步階覆蓋性良好的薄膜。由於薄膜的厚度可以根據按順序反復引入氣體的次數來進行調節，因此，ALD 法可以準確地調節厚度而適用於形成微型 FET。

[0348] 利用 MOCVD 法或 ALD 法等熱 CVD 法可以形成以上所示的實施方式所公開的金屬膜、氧化物半導體膜、無機絕緣膜等各種膜，例如，當形成 InGaZnO 膜時，使用三甲基銦、三甲基鎵及二甲基鋅。三甲基銦的化

學式為 $\text{In}(\text{CH}_3)_3$ 。三甲基鎵的化學式為 $\text{Ga}(\text{CH}_3)_3$ 。二甲基鋅的化學式為 $\text{Zn}(\text{CH}_3)_2$ 。但是，不侷限於上述組合，也可以使用三乙基鎵（化學式為 $\text{Ga}(\text{C}_2\text{H}_5)_3$ ）代替三甲基鎵，並使用二乙基鋅（化學式為 $\text{Zn}(\text{C}_2\text{H}_5)_2$ ）代替二甲基鋅。

[0349] 例如，在使用利用 ALD 的成膜裝置形成氧化物半導體膜如 In-Ga-Zn-O 膜時，依次反復引入 $\text{In}(\text{CH}_3)_3$ 氣體和 O_3 氣體形成 In-O 層，然後同時引入 $\text{Ga}(\text{CH}_3)_3$ 氣體和 O_3 氣體形成 GaO 層，之後同時引入 $\text{Zn}(\text{CH}_3)_2$ 和 O_3 氣體形成 ZnO 層。注意，這些層的順序不侷限於上述例子。此外，也可以使用這些氣體來形成混合化合物層如 In-Ga-O 層、In-Zn-O 層、Ga-Zn-O 層等。注意，雖然也可以使用利用 Ar 等惰性氣體進行起泡而得到的 H_2O 氣體代替 O_3 氣體，但是較佳為使用不包含 H 的 O_3 氣體。另外，也可以使用 $\text{In}(\text{C}_2\text{H}_5)_3$ 氣體代替 $\text{In}(\text{CH}_3)_3$ 氣體。也可以使用 $\text{Ga}(\text{C}_2\text{H}_5)_3$ 氣體代替 $\text{Ga}(\text{CH}_3)_3$ 氣體。也可以使用 $\text{In}(\text{C}_2\text{H}_5)_3$ 氣體代替 $\text{In}(\text{CH}_3)_3$ 氣體。也可以使用 $\text{Zn}(\text{CH}_3)_2$ 氣體。

[0350] 本實施方式所示的結構及方法等可以與其他實施方式所示的結構及方法等適當地組合而使用。

[0351]

實施方式 10

藉由使用在上述實施方式中示出一個例子的電晶體可以製造具有顯示功能的半導體裝置（也稱為顯示裝置）。此外，藉由將包括電晶體的驅動電路的一部分或整個部分

形成在與像素部相同的基板上，可以形成系統整合型面板（system-on-panel）。在本實施方式中，參照圖 21A 至 22B 來說明使用了在上述實施方式中示出一個例子的電晶體的顯示裝置的例子。注意，圖 22A 和 22B 是示出沿著圖 21B 中的 M-N 的點劃線的剖面結構的剖面圖。

[0352] 在圖 21A 中，以圍繞設置在第一基板 901 上的像素部 902 的方式設置有密封材料 905，並且，使用第二基板 906 進行密封。在圖 21A 中，在第一基板 901 上的與被密封材料 905 圍繞的區域不同的區域中，安裝有使用單晶半導體或多晶半導體形成在另行準備的基板上的信號線驅動電路 903 和掃描線驅動電路 904。此外，供應給信號線驅動電路 903、掃描線驅動電路 904 或者像素部 902 的各種信號及電位由 FPC（Flexible printed circuit：撓性印刷電路）918 來供應。

[0353] 在圖 21B 和 21C 中，以圍繞設置在第一基板 901 上的像素部 902 和掃描線驅動電路 904 的方式設置有密封材料 905。此外，在像素部 902 和掃描線驅動電路 904 上設置有第二基板 906。因此，像素部 902 和掃描線驅動電路 904 與顯示元件一起被第一基板 901、密封材料 905 以及第二基板 906 密封。在圖 21B 和 21C 中，在第一基板 901 上的與被密封材料 905 圍繞的區域不同的區域中，安裝有使用單晶半導體或多晶半導體形成在另行準備的基板上的信號線驅動電路 903。在圖 21B 和 21C 中，供應給信號線驅動電路 903、掃描線驅動電路 904 或者像素

部 902 的各種信號及電位由 FPC918 來供應。

[0354] 此外，圖 21B 和 21C 示出了另行形成信號線驅動電路 903 並將其安裝到第一基板 901 的示例，但是並不侷限於該結構。既可以另行形成掃描線驅動電路並進行安裝，又可以僅另行形成信號線驅動電路的一部分或者掃描線驅動電路的一部分並進行安裝。

[0355] 另外，對另行形成的驅動電路的連接方法沒有特別的限制，而可以採用 COG (Chip On Glass, 玻璃覆晶封裝) 方法、引線鍵合方法、或者 TAB (Tape Automated Bonding, 卷帶式自動接合) 方法等。圖 21A 是利用 COG 方法來安裝信號線驅動電路 903 和掃描線驅動電路 904 的示例，圖 21B 是利用 COG 方法來安裝信號線驅動電路 903 的示例，圖 21C 是利用 TAB 方法來安裝信號線驅動電路 903 的示例。

[0356] 顯示裝置包括密封有顯示元件的面板和在該面板中安裝有包括控制器的 IC 等的模組。

[0357] 本說明書中的顯示裝置是指影像顯示裝置或顯示裝置。另外，顯示裝置還包括：安裝有連接器諸如 FPC 或 TCP 的模組；在 TCP 的端部上設置有印刷佈線板的模組；利用 COG 方式將 IC (積體電路) 直接安裝到顯示元件的模組。

[0358] 此外，設置在第一基板上的像素部及掃描線驅動電路包括多個電晶體，可應用上述實施方式所示的電晶體。還可以將上述實施方式所示的電晶體應用於掃描線

驅動電路所包括的緩衝電路。

[0359] 作為設置在顯示裝置中的顯示元件，可使用液晶元件（也稱為液晶顯示元件）、發光元件（也稱為發光顯示元件）。對於發光元件，將由電流或電壓來控制亮度的元件包括在其範疇內，明確而言，包括無機 EL（Electro Luminescence；電致發光）元件、有機 EL 元件等。此外，也可應用電子墨水等因電作用而改變對比度的顯示媒介。圖 22A 示出了使用液晶元件來作為顯示元件的液晶顯示裝置的示例，圖 22B 示出了使用發光元件來作為顯示元件的發光顯示裝置的示例。

[0360] 如圖 22A 和 22B 所示，半導體裝置包括連接端子電極 915 及端子電極 916，並且，連接端子電極 915 及端子電極 916 藉由各向異性導電劑 919 而電連接到 FPC918 所包括的端子。

[0361] 連接端子電極 915 由與第一電極 930 相同的導電膜來形成，並且，端子電極 916 由與電晶體 910 及電晶體 911 的一對電極相同的導電膜來形成。

[0362] 此外，設置在第一基板 901 上的像素部 902 和掃描線驅動電路 904 包括多個電晶體，在圖 22A 和 22B 中示出了像素部 902 所包括的電晶體 910 和掃描線驅動電路 904 所包括的電晶體 911。在圖 22A 中，在電晶體 910 及電晶體 911 上設置有氧化物絕緣膜 924，在氧化物絕緣膜 924 上設置有阻氧膜 927，在圖 22B 中，在阻氧膜 927 上還設置有平坦化膜 921。

[0363] 在本實施方式中，作為電晶體 910 及電晶體 911 可使用上述實施方式所示的電晶體。藉由將上述實施方式所示的電晶體用作電晶體 910 及電晶體 911，可製造高顯示品質的顯示裝置。

[0364] 此外，圖 22B 示出了在阻氧膜 927 上的與驅動電路用電晶體 911 的氧化物半導體膜 926 的通道區域重疊的位置設置有導電膜 917 的示例。在本實施方式中，由與第一電極 930 相同的導電膜來形成導電膜 917。藉由將導電膜 917 設置在與氧化物半導體膜 926 的通道區域重疊的位置，可進一步減少 BT 應力測試前後的電晶體 911 的臨界電壓的變動量。此外，導電膜 917 的電位既可以與電晶體 911 的閘極電極的電位相同，也可以不同，並且，還可以將導電膜用作第二閘極電極。此外，導電膜 917 的電位也可以為 GND、0V、浮動狀態、或與驅動電路的最低電位（ V_{ss} ，例如以源極電極的電位為標準時的源極電極的電位）相等的電位或與其大致相等的電位。

[0365] 此外，導電膜 917 還具有遮蔽外部的電場的功能。就是說，導電膜 917 還具有不使外部的電場作用到內部（包括電晶體的電路部）的功能（尤其是遮蔽靜電的靜電遮蔽功能）。利用導電膜 917 的遮蔽功能，可以防止由於靜電等外部電場的影響而使電晶體的電特性發生變動。導電膜 917 可以用於上述實施方式所示的任一電晶體。

[0366] 設置在像素部 902 中的電晶體 910 電連接到

顯示元件以構成顯示面板。只要可以進行顯示就對顯示元件沒有特別的限制，可以使用各種各樣的顯示元件。

[0367] 在圖 22A 中，作為顯示元件的液晶元件 913 包括第一電極 930、第二電極 931 以及液晶層 908。另外，以夾持液晶層 908 的方式設置有用作配向膜的絕緣膜 932 及絕緣膜 933。此外，第二電極 931 設置在第二基板 906 一側，並且第一電極 930 隔著液晶層 908 與第二電極 931 重疊。

[0368] 此外，間隔物 935 是藉由對絕緣膜選擇性地進行蝕刻而得到的柱狀間隔物，且是為了控制第一電極 930 與第二電極 931 之間的間隔（單元間隙）而設置的。另外，也可以使用球狀間隔物。

[0369] 另外，也可以採用不使用配向膜的呈現藍相的液晶。藍相是液晶相中之一種，當使膽固醇相液晶的溫度升高時，在即將由膽固醇相轉變成各向同性相之前呈現為藍相。由於藍相只出現在較窄的溫度範圍內，所以為了改善溫度範圍而將混合手性試劑的液晶組成物用於液晶層。由於包括呈現藍相的液晶和手性試劑的液晶組成物的回應時間較短，為 1msec 以下，並且因為它具有光學各向同性，所以不需要配向處理且視角依賴性較低。另外，因不需要設置配向膜而不需要摩擦處理，因此可以防止由於摩擦處理而引起的靜電破壞，由此可以降低製程中的液晶顯示裝置的不良和破損。因此，可以提高液晶顯示裝置的生產率。

[0370] 第一基板 901 和第二基板 906 被密封材料 925 固定。作為密封材料 925，可以使用熱固性樹脂、光硬化性樹脂等有機樹脂。

[0371] 另外，上述實施方式中使用的包含氧化物半導體膜的電晶體具有優良的開關特性。另外，由於能夠得到較高的場效移動率，因此能夠進行高速驅動。由此，藉由在具有顯示功能的半導體裝置的像素部中使用上述電晶體，可提供高品質的影像。另外，因為可以使用上述電晶體在同一基板上分別製造驅動電路和像素部，所以可縮減半導體裝置的部件數量。

[0372] 考慮到配置在像素部中的電晶體的洩汲電流等，將設置在液晶顯示裝置中的儲存電容器的大小設定為能夠在指定期間中保存電荷。藉由使用包括高純度的氧化物半導體膜的電晶體，由於設置具有各像素中的液晶電容的 $1/3$ 以下或 $1/5$ 以下的電容的儲存電容器就已足夠，所以可提高像素的孔徑比。

[0373] 此外，在顯示裝置中，適當地設置黑矩陣（遮光膜）、偏振構件、相位差構件、抗反射構件等光學構件（光學基板）等。例如，也可使用利用偏振基板以及相位差基板的圓偏振。此外，作為光源，也可使用背光、側光等。

[0374] 此外，作為像素部中的顯示方式，可以採用逐行掃描方式或隔行掃描方式等。此外，作為當進行彩色顯示時在像素中控制的顏色因素，不侷限於 RGB（R 表示

紅色，G 表示綠色，B 表示藍色）這三種顏色。例如，也可以採用 RGBW（W 表示白色）或對 RGB 追加黃色（yellow）、青色（cyan）、洋紅色（magenta）等中的一種以上的顏色。另外，也可以按每個顏色因素的點使其顯示區的大小不同。但是，本發明的一實施方式不侷限於彩色顯示的顯示裝置，而也可以應用於黑白顯示的顯示裝置。

[0375] 在圖 22B 中，作為顯示元件的發光元件 963 與設置在像素部 902 中的電晶體 910 電連接。發光元件 963 的結構是第一電極 930、發光層 961 以及第二電極 931 的疊層結構，但是，不侷限於所示的結構。根據從發光元件 963 取出光的方向等，可適當地改變發光元件 963 的結構。

[0376] 隔壁 960 使用有機絕緣材料或無機絕緣材料來形成。尤其較佳為藉由如下方法來形成隔壁 960：即，使用感光樹脂材料並在第一電極 930 上形成開口部，且將該開口部的側壁形成為具有連續曲率的傾斜面。

[0377] 發光層 961 可以由單層來構成，也可以由包含多個層的疊層來構成。

[0378] 為了防止氧、氫、水分、二氧化碳等侵入發光元件 963，也可在第二電極 931 及隔壁 960 上形成保護膜。作為保護膜，可以形成氮化矽膜、氮氧化矽膜、氧化鋁膜、氮化鋁膜、氧氮化鋁膜、氮氧化鋁膜、DLC 膜等。此外，在由第一基板 901、第二基板 906 以及密封材料

936 所密封的空間中設置有填充材料 964 並被密封。如此，為了不暴露於外部氣體中，較佳為使用氣密性高且脫氣少的保護薄膜（黏合薄膜、紫外線硬化性樹脂薄膜等）、覆蓋材料來進行封裝（封入）。

[0379] 作為密封材料 936，可以使用熱固性樹脂或光硬化性樹脂等有機樹脂或者包括低熔點玻璃的玻璃粉等。上述玻璃粉對水或氧等雜質具有高阻擋性，所以是較佳的。此外，當使用玻璃粉來作為密封材料 936 時，如圖 22B 所示，藉由在氧化物絕緣膜 924 上設置玻璃粉，可以提高附著性。

[0380] 作為填充材料 964，除了氮或氬等惰性氣體以外，也可以使用紫外線硬化性樹脂或熱固性樹脂，例如可以使用 PVC（聚氯乙烯）、丙烯酸樹脂、聚醯亞胺、環氧樹脂、矽酮樹脂、PVB（聚乙烯醇縮丁醛）或 EVA（乙烯-醋酸乙烯酯）。例如，作為填充材料使用氮即可。

[0381] 另外，如果需要，也可在發光元件的射出面上適當地設置諸如偏光板或者圓偏光板（包括橢圓偏光板）、相位差板（ $\lambda/4$ 板， $\lambda/2$ 板）、濾色片等光學薄膜。此外，也可在偏光板或者圓偏光板上設置防反射膜。例如，可以進行抗眩光處理，該處理是利用表面的凹凸來擴散反射光以降低眩光的處理。

[0382] 關於對顯示元件施加電壓的第一電極及第二電極（也稱為像素電極、共用電極、反電極等），根據所取出的光的方向、設置電極的地方、以及電極的圖案結構

來選擇其透光性、反射性即可。

[0383] 作為第一電極 930、第二電極 931，可以使用包含氧化錫的氧化銦、包含氧化錫的氧化銦鋅、包含氧化鈦的氧化銦、包含氧化鈦的氧化銦錫、ITO、氧化銦鋅、添加有氧化矽的氧化銦錫等具有透光性的導電材料。

[0384] 此外，第一電極 930 和第二電極 931 可以使用錳（W）、鉬（Mo）、鋯（Zr）、鈦（Hf）、釩（V）、鈮（Nb）、鉭（Ta）、鉻（Cr）、鈷（Co）、鎳（Ni）、鈦（Ti）、鉑（Pt）、鋁（Al）、銅（Cu）、銀（Ag）等金屬、其合金或者其金屬氮化物中的一種或多種來形成。

[0385] 此外，作為第一電極 930 和第二電極 931，可以使用包含導電高分子（也稱為導電聚合體）的導電組成物來形成。作為導電高分子，可以使用所謂的 π 電子共軛類導電高分子。例如，可以舉出聚苯胺或其衍生物，聚吡咯或其衍生物，或者由苯胺、吡咯及噻吩中的兩種以上構成的共聚物等。

[0386] 此外，由於電晶體容易因靜電等而損壞，所以較佳為設置用來保護驅動電路的保護電路。保護電路較佳為使用非線性元件來構成。

[0387] 如上所述，藉由應用上述實施方式所示的電晶體，可以提供具有顯示功能的可靠性高的半導體裝置。

[0388] 本實施方式所示的結構及方法等可以與其他實施方式所示的結構及方法等適當地組合而使用。

【符號說明】

[0389]

- 11：基板
- 12：導電膜
- 13：導電膜
- 15：阻氧膜
- 16：氧化物絕緣膜
- 17：氧化物絕緣膜
- 18：氧化物半導體膜
- 19：氧化物半導體膜
- 19a：氧化物半導體膜
- 19b：具有導電性的膜
- 19c：氧化物半導體膜
- 19d：低電阻區域
- 19e：低電阻區域
- 20：導電膜
- 21a：導電膜
- 21b：導電膜
- 21c：導電膜
- 22：氧化物絕緣膜
- 23：氧化物絕緣膜
- 24：氧化物絕緣膜
- 25：氧化物絕緣膜

26：膜
 27：阻氧膜
 28：導電膜
 29：導電膜
 29a：導電膜
 32：氧化物半導體膜
 37a：多層膜
 37b：多層膜
 38a：多層膜
 38b：多層膜
 39a：氧化物半導體膜
 41：開口部
 41a：開口部
 49a：氧化物半導體膜
 49b：氧化物半導體膜
 65：電晶體
 101：像素部
 102：電晶體
 102a：電晶體
 102b：電晶體
 102c：電晶體
 103：像素
 104：掃描線驅動電路
 105：電容元件

105a：電容元件
105b：電容元件
105c：電容元件
106：信號線驅動電路
107：掃描線
109：信號線
115：電容線
121：液晶元件
131：發光元件
133：電晶體
135：電晶體
137：佈線
139：佈線
141：佈線
201：閘極電極
203：絕緣膜
205：氧化物半導體膜
207：電極
208：電極
209：絕緣膜
213：閘極電極
231：閘極電極
233：閘極絕緣膜
235：氧化物半導體膜

- 237：電極
- 238：電極
- 239：絕緣膜
- 901：基板
- 902：像素部
- 903：信號線驅動電路
- 904：掃描線驅動電路
- 905：密封材料
- 906：基板
- 908：液晶層
- 910：電晶體
- 911：電晶體
- 913：液晶元件
- 915：連接端子電極
- 916：端子電極
- 917：導電膜
- 918：FPC
- 919：各向異性導電劑
- 921：平坦化膜
- 924：氧化物絕緣膜
- 925：密封材料
- 926：氧化物半導體膜
- 927：阻氧膜
- 930：電極

931：電極

932：絕緣膜

933：絕緣膜

935：間隔物

936：密封材料

960：隔壁

961：發光層

963：發光元件

964：填充材料

【發明申請專利範圍】

【請求項1】一種半導體裝置，包含：

基板；

第一閘極電極，在該基板上；

第一絕緣膜，在該第一閘極電極上；

第二絕緣膜，在該第一絕緣膜上；

氧化物半導體膜，包含電晶體的通道形成區，且在該第二絕緣膜上並與該第二絕緣膜接觸；

源極電極及汲極電極，與該氧化物半導體膜的頂面接觸；

第三絕緣膜，在該氧化物半導體膜上；以及

第二閘極電極，在該第三絕緣膜上且與該第一閘極電極重疊，

其中，該氧化物半導體膜透過設置於該第三絕緣膜中的第一開口部電連接至電容元件的第一電極，

其中，該電容元件的該第一電極不與該氧化物半導體膜重疊，以及

其中，該第一閘極電極及該第二閘極電極彼此電連接。

【請求項2】一種半導體裝置，包含：

基板；

第一閘極電極，在該基板上；

第一絕緣膜，在該第一閘極電極上；

第二絕緣膜，在該第一絕緣膜上；

氧化物半導體膜，包含電晶體的通道形成區，且在該第二絕緣膜上並與該第二絕緣膜接觸；

源極電極及汲極電極，與該氧化物半導體膜的頂面接觸；

第三絕緣膜，在該氧化物半導體膜上；以及

第二閘極電極，在該第三絕緣膜上且與該第一閘極電極重疊，

其中，該氧化物半導體膜透過設置於該第三絕緣膜中的第一開口部電連接至電容元件的第一電極，

其中，該電容元件的第二電極包含設置於該氧化物半導體膜下的區域，

其中，該第一閘極電極及該第二閘極電極彼此電連接，以及

其中，該氧化物半導體膜包含In、Ga及Zn至少其中之一。

【請求項3】一種半導體裝置，包含：

基板；

第一閘極電極，在該基板上；

第一絕緣膜，在該第一閘極電極上；

第二絕緣膜，在該第一絕緣膜上；

第一膜，在該第二絕緣膜上；

源極電極及汲極電極，與該第一膜的頂面接觸；以及

第二閘極電極，在該第一膜上且與該第一閘極電極重疊，

其中，該第一膜包含第一區域及第二區域，

其中，電容元件的第一電極設置在該源極電極及該汲極電極其中之一者上，

其中，該第一膜的該第一區域用作電晶體的通道形成區，

其中，該第一膜的該第二區域用作該電容元件的第二電極，以及

其中，該第一膜包含In、Ga及Zn。

【請求項4】一種半導體裝置，包含：

基板；

第一閘極電極，在該基板上；

第一絕緣膜，在該第一閘極電極上；

第二絕緣膜，在該第一絕緣膜上；

第一膜，在該第二絕緣膜上；

源極電極及汲極電極，與該第一膜的頂面接觸；以及

第二閘極電極，在該第一膜上且與該第一閘極電極重疊，

其中，該第一膜包含第一區域及第二區域，

其中，電容元件的第一電極設置在該源極電極及該汲極電極其中之一者上，

其中，該第一膜的該第一區域用作電晶體的通道形成區，

其中，該第一膜的該第二區域用作該電容元件的第二電極，以及

其中，電連接至該第一膜的該第二區域之導電膜形成在與該源極電極及該汲極電極其中之該者相同的層中。

【請求項5】一種半導體裝置，包含：

基板；

第一閘極電極，在該基板上；

第一絕緣膜，在該第一閘極電極上；

第二絕緣膜，在該第一絕緣膜上；

氧化物半導體膜，包含電晶體的通道形成區，且在該第二絕緣膜上並與該第二絕緣膜接觸；

源極電極及汲極電極，與該氧化物半導體膜的頂面接觸；以及

第二閘極電極，在該氧化物半導體膜上且與該第一閘極電極重疊。

【發明圖式】

圖 1A

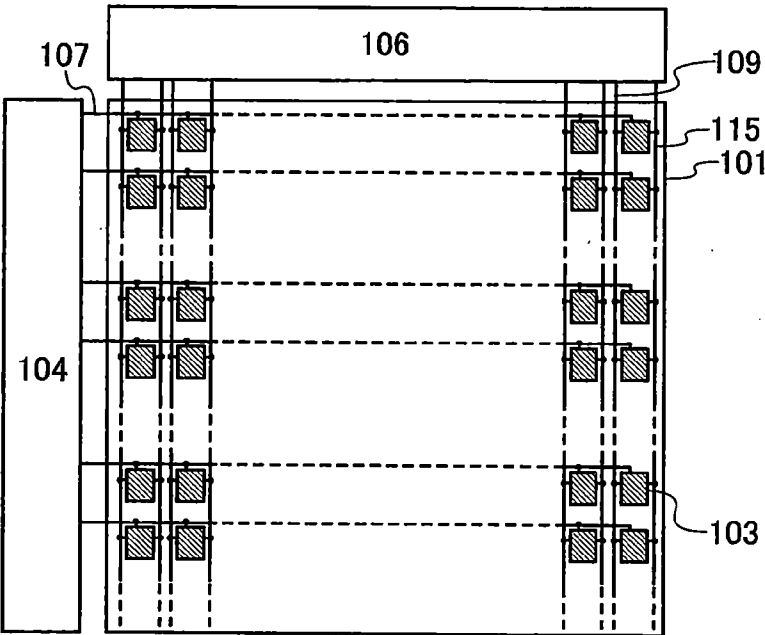


圖 1B

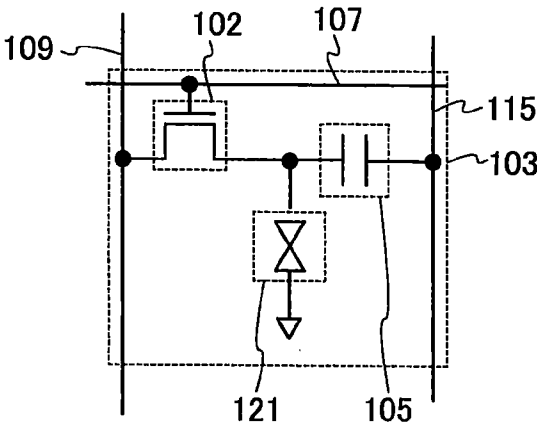


圖 1C

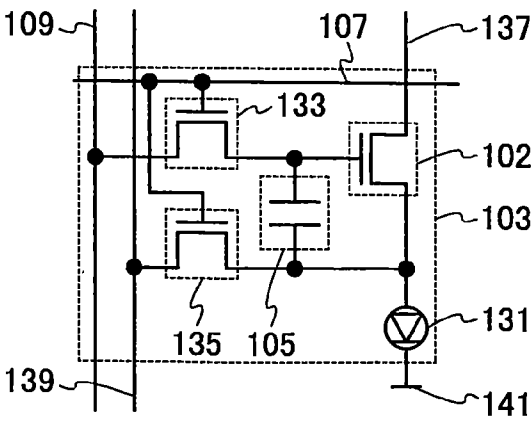
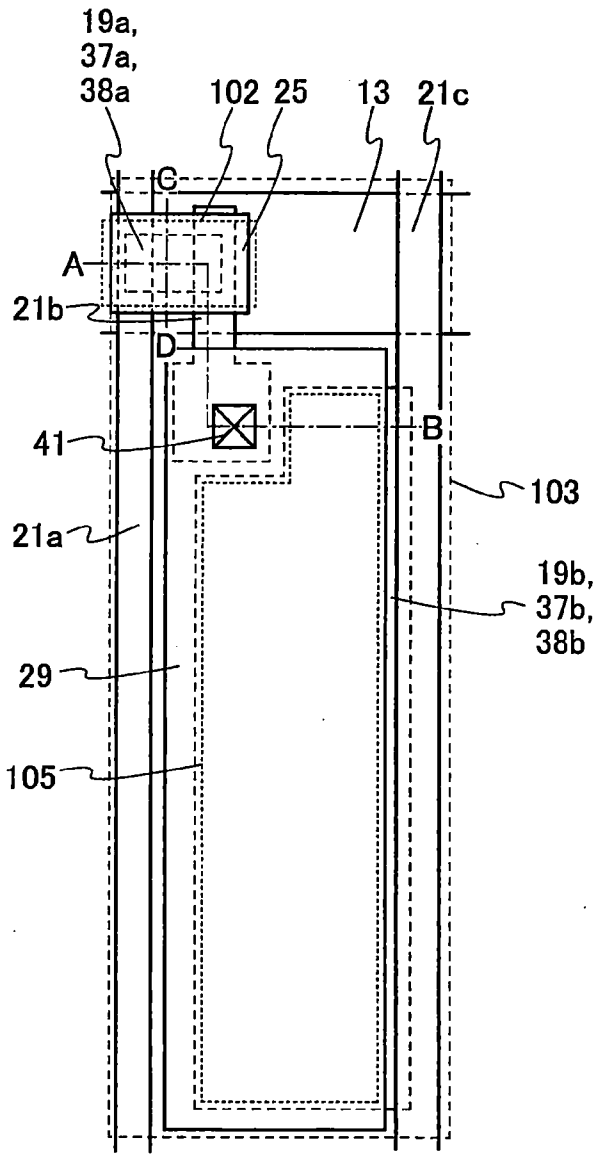


圖 2



三
回

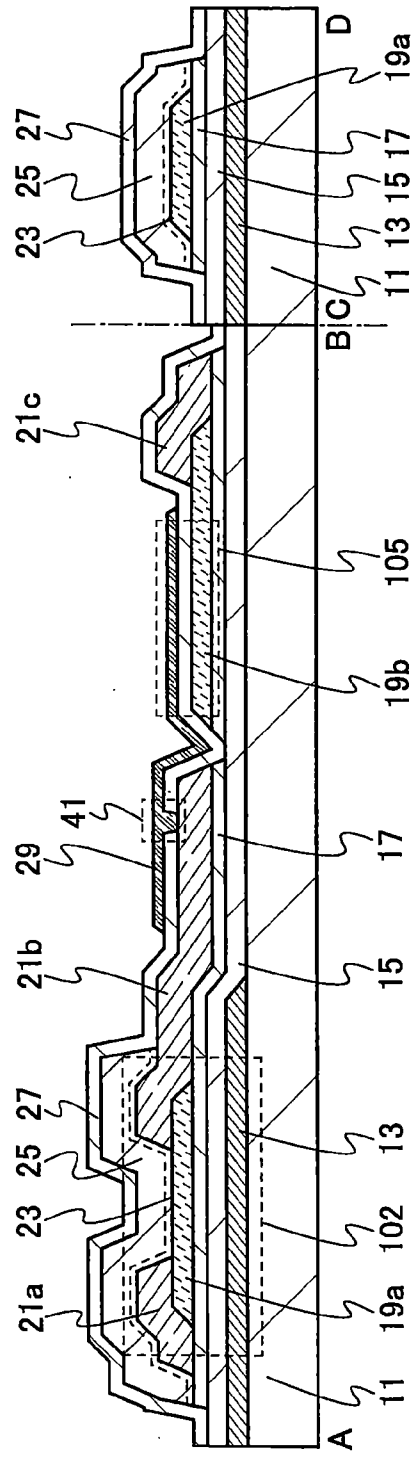


圖 4A

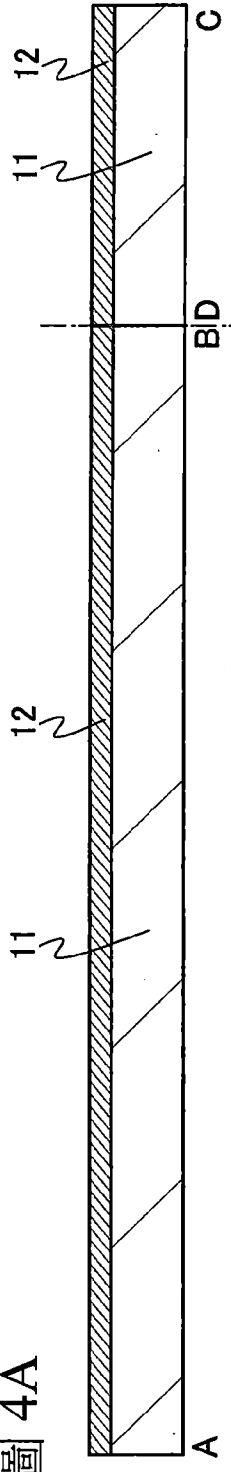


圖 4B

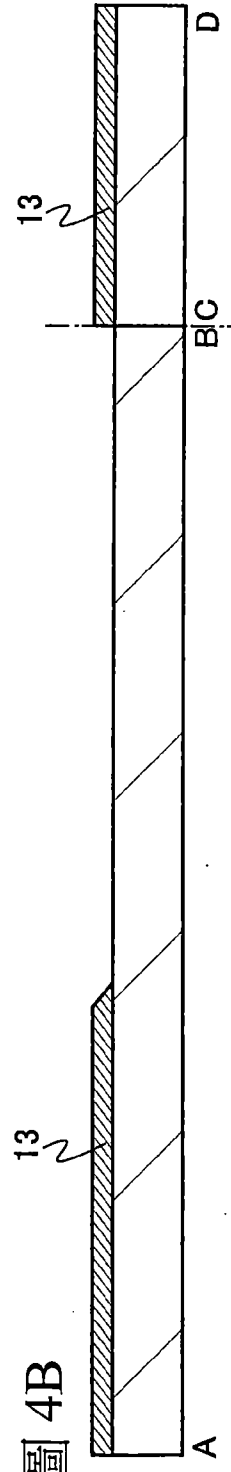


圖 4C

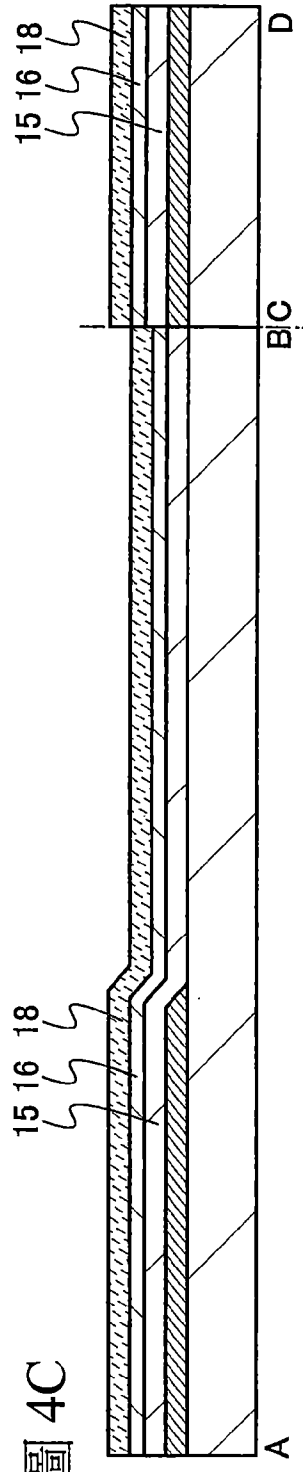


圖 4D

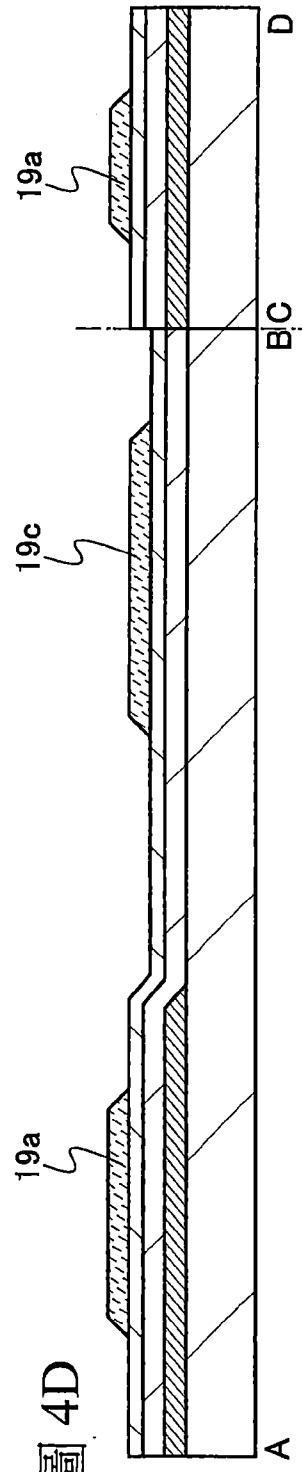


圖 5A

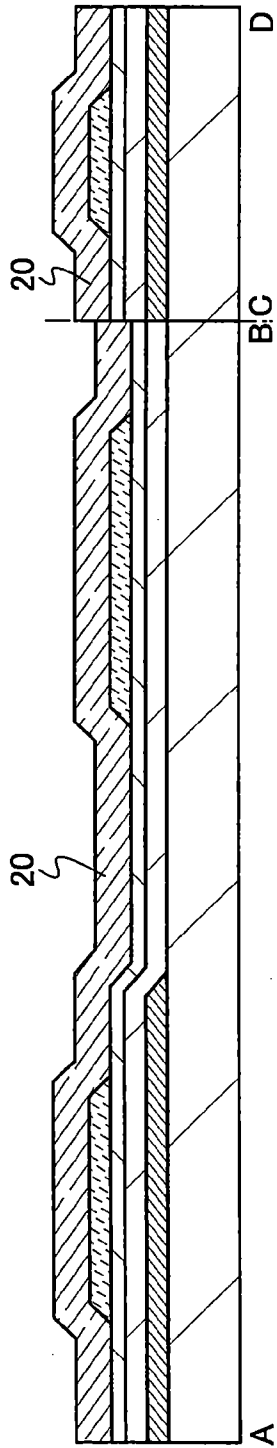


圖 5B

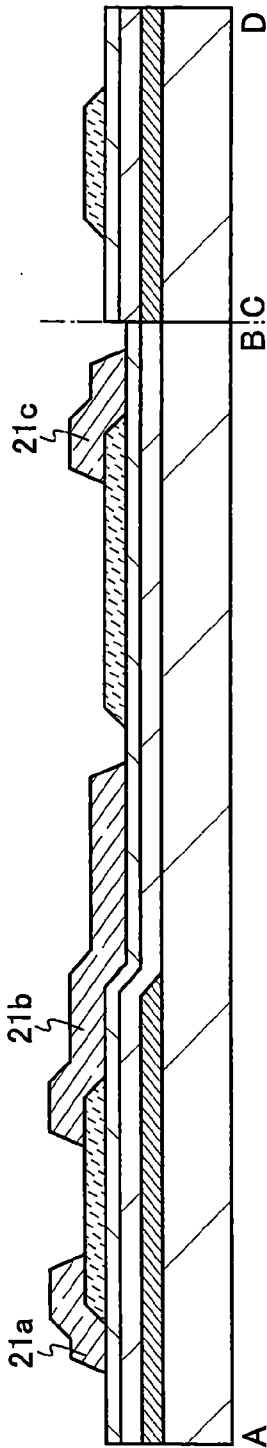


圖 5C

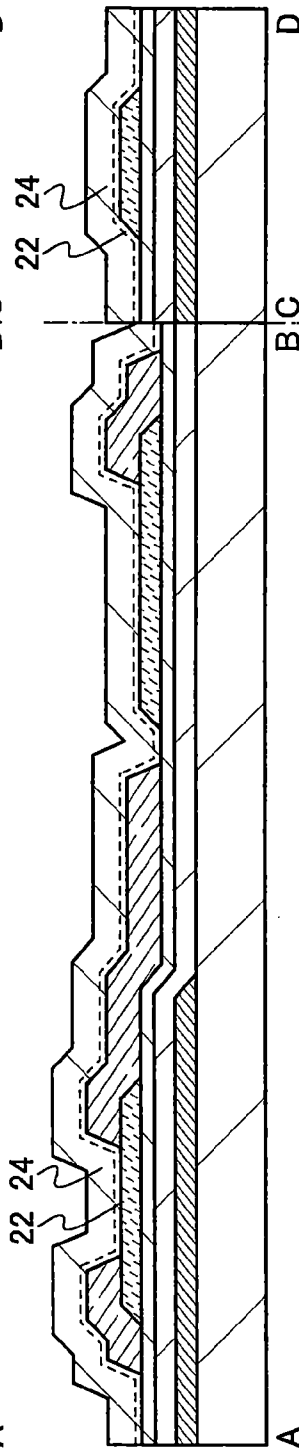


圖 5D

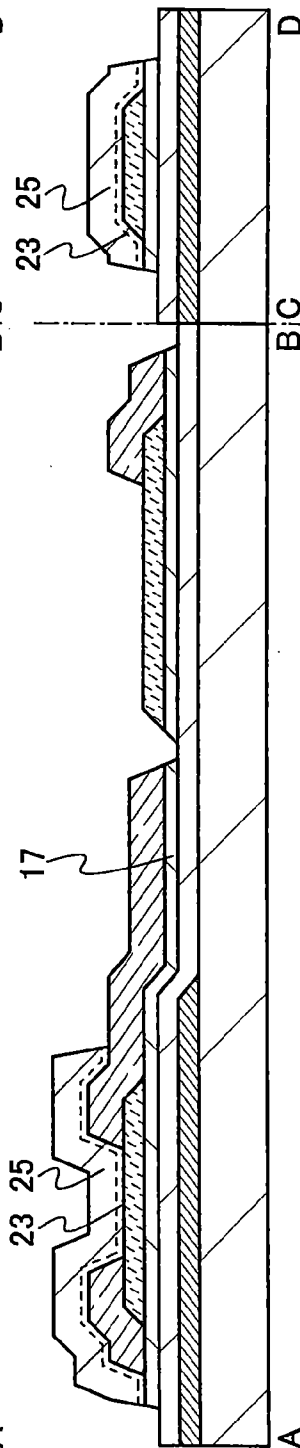


圖 6A

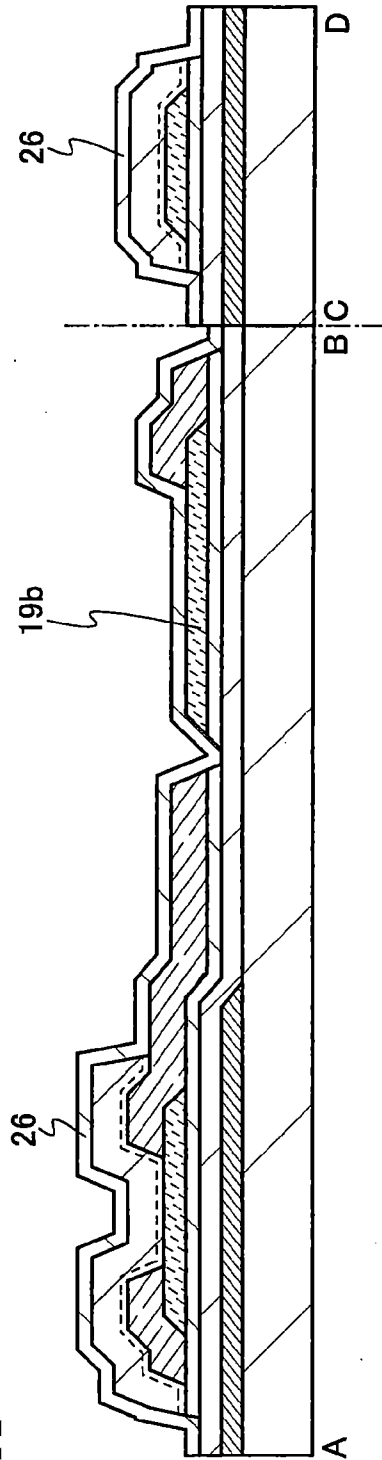


圖 6B

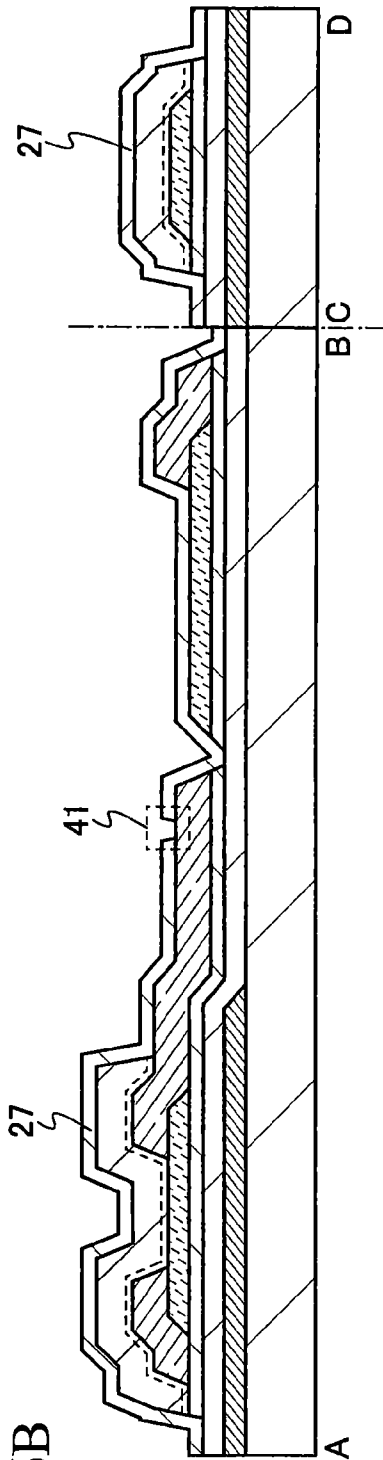


圖 7A

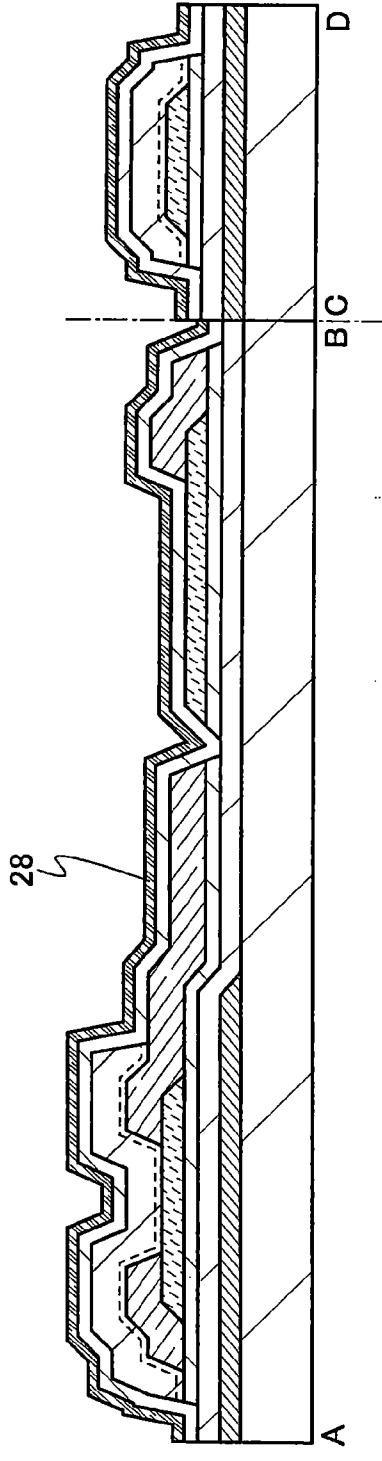


圖 7B

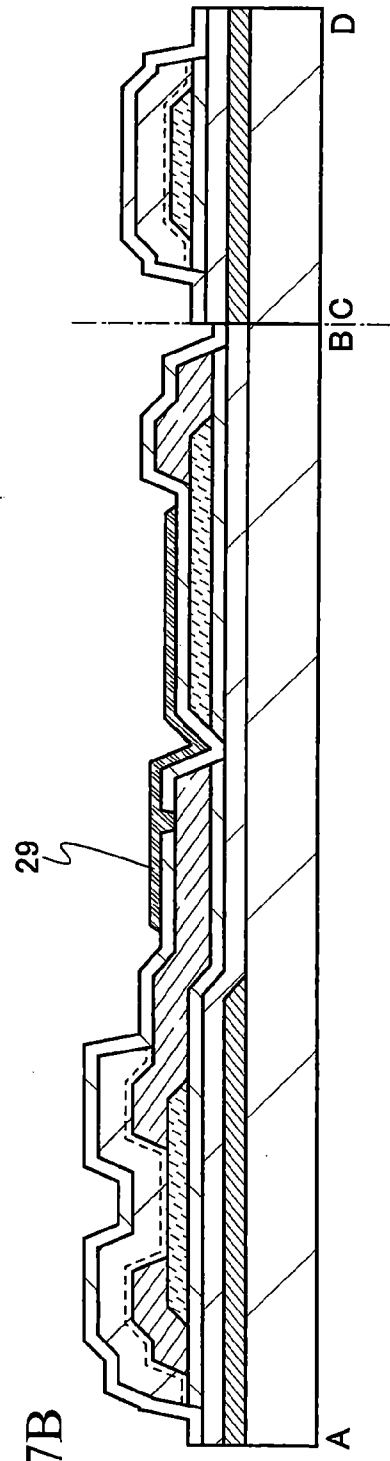


圖 8

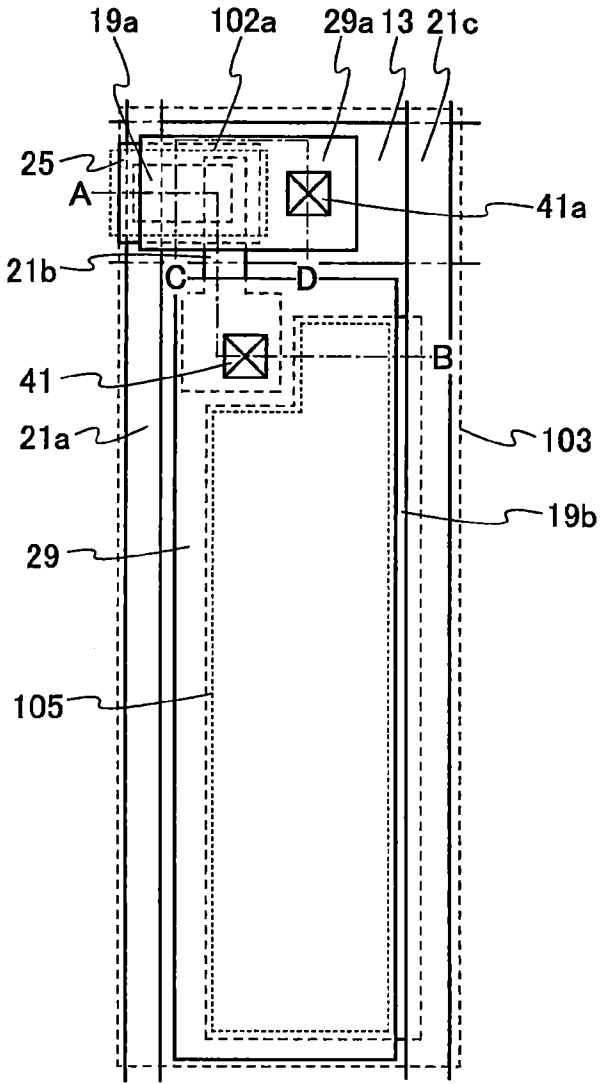
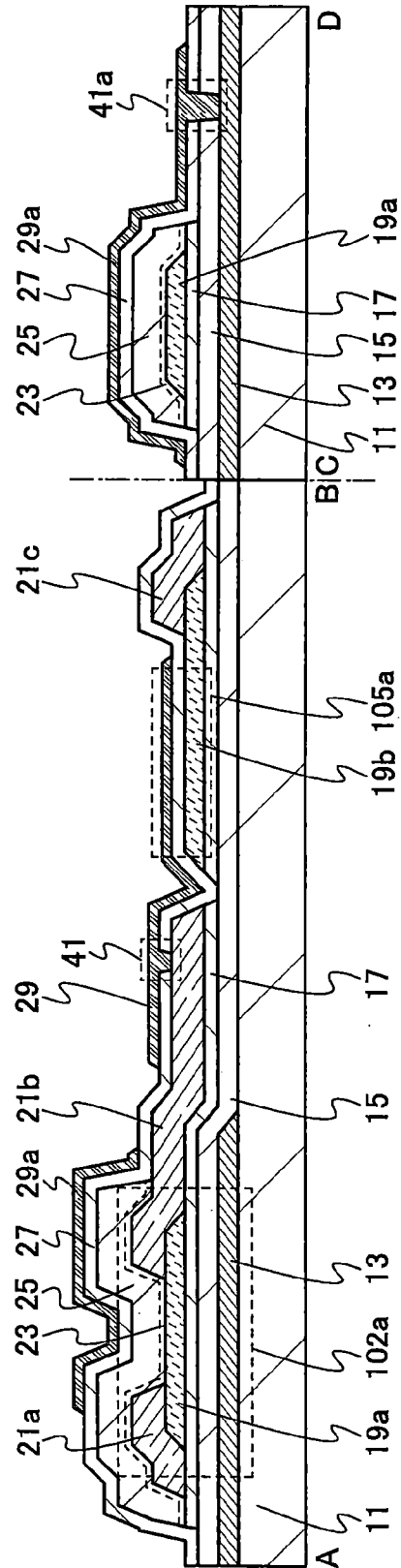


圖 9



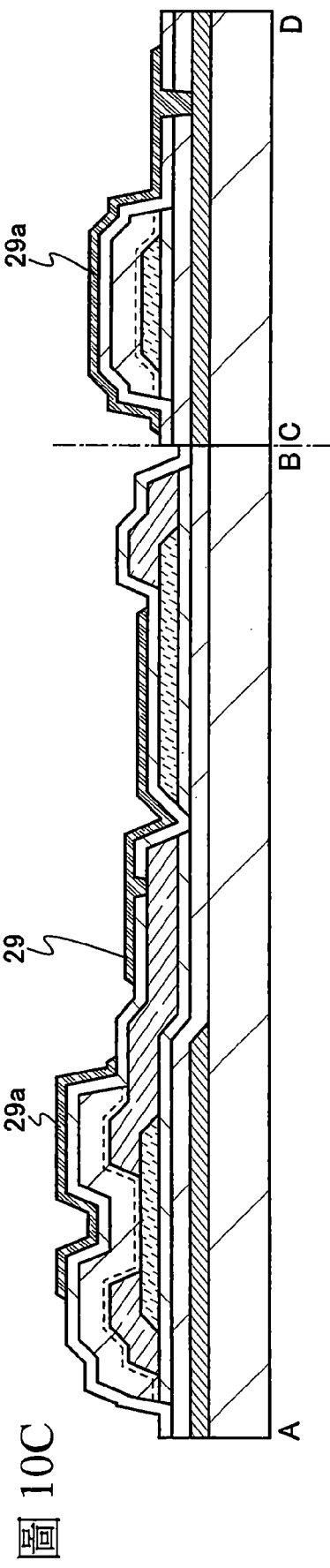
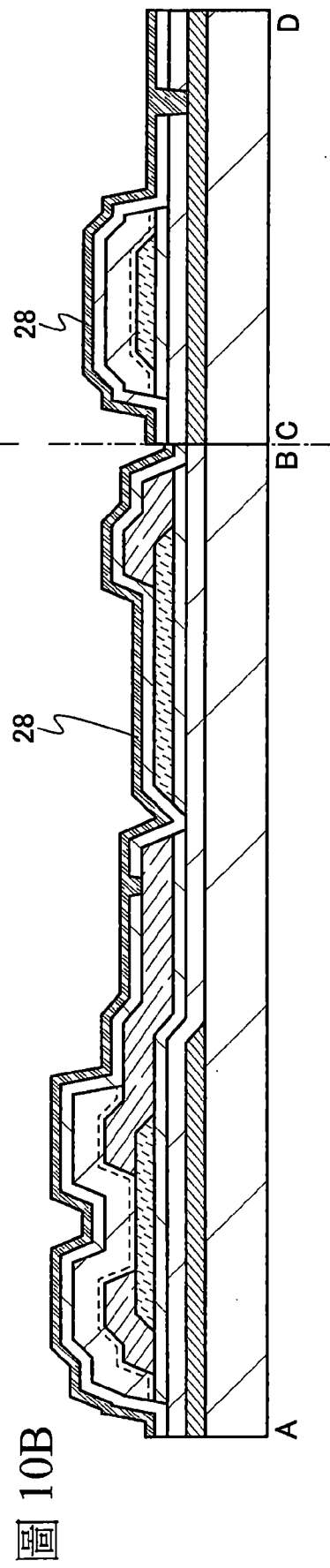
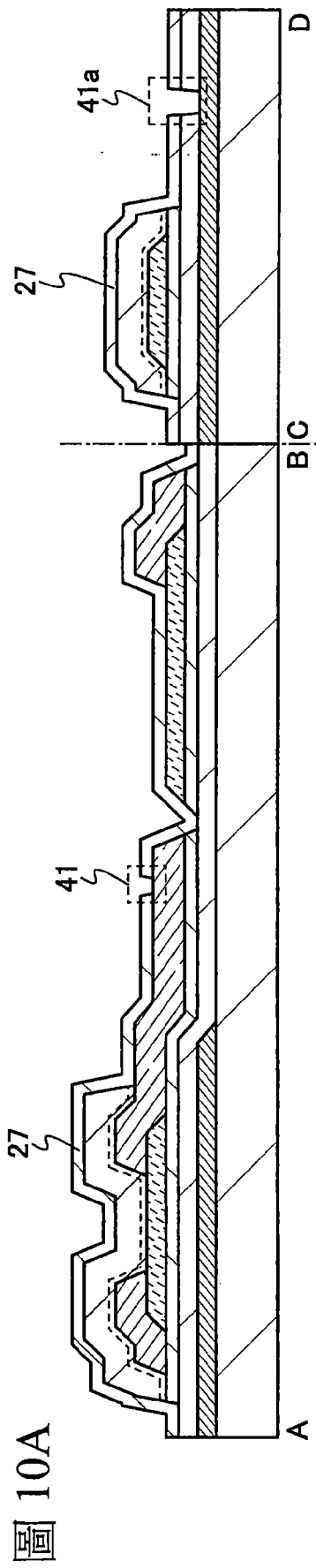


圖 11A

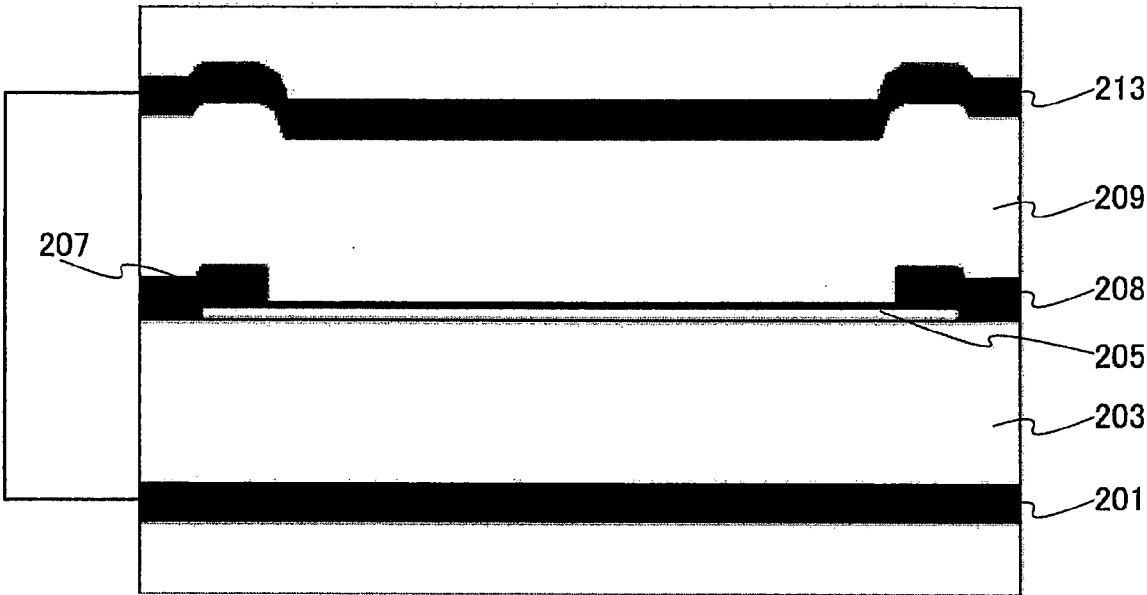


圖 11B

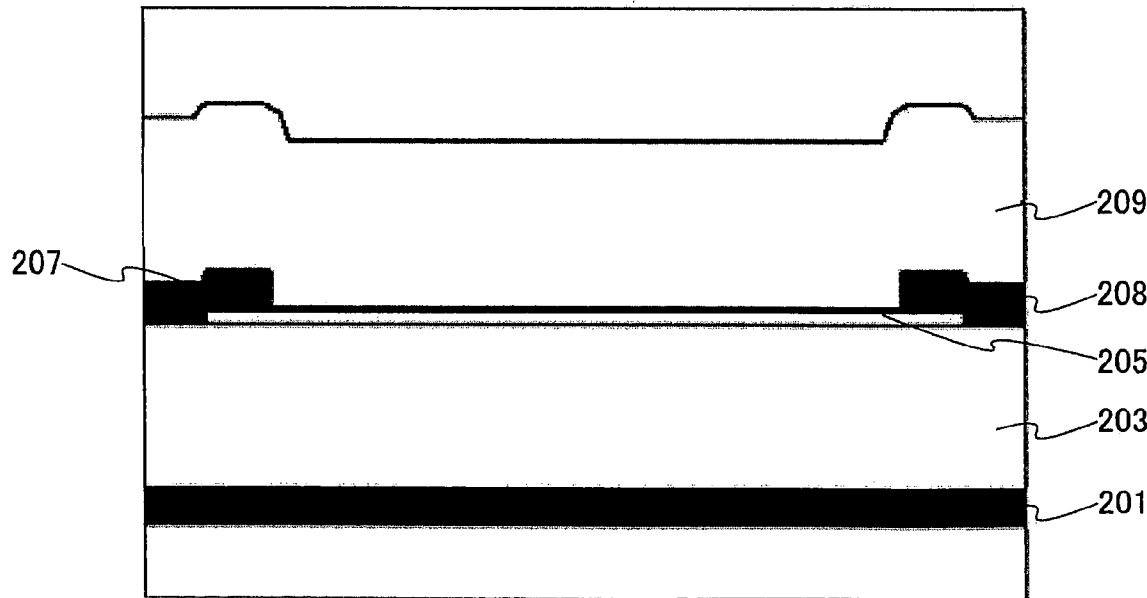


圖 12A

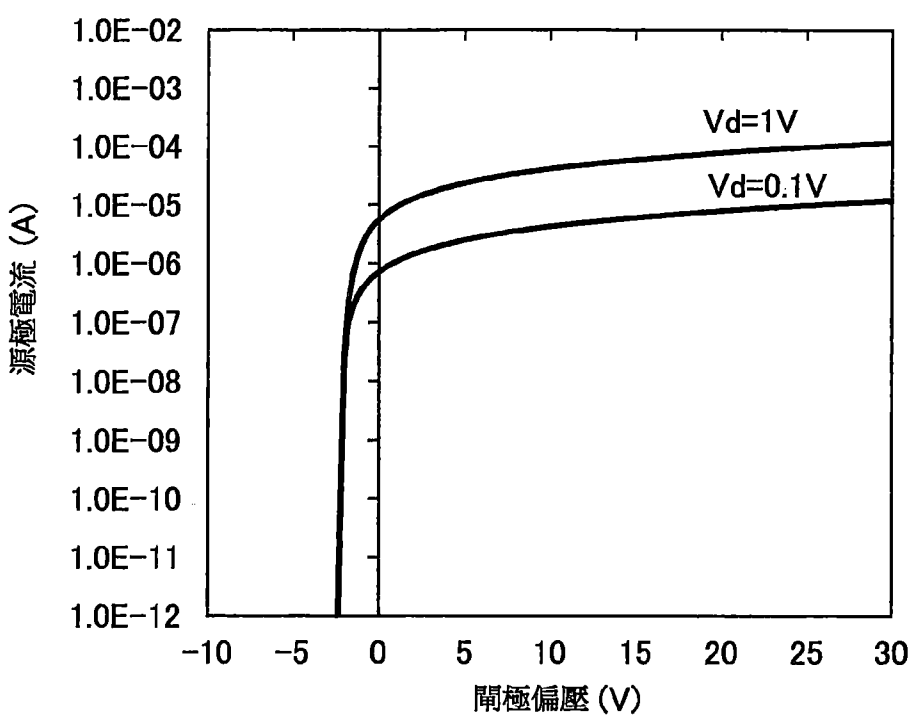


圖 12B

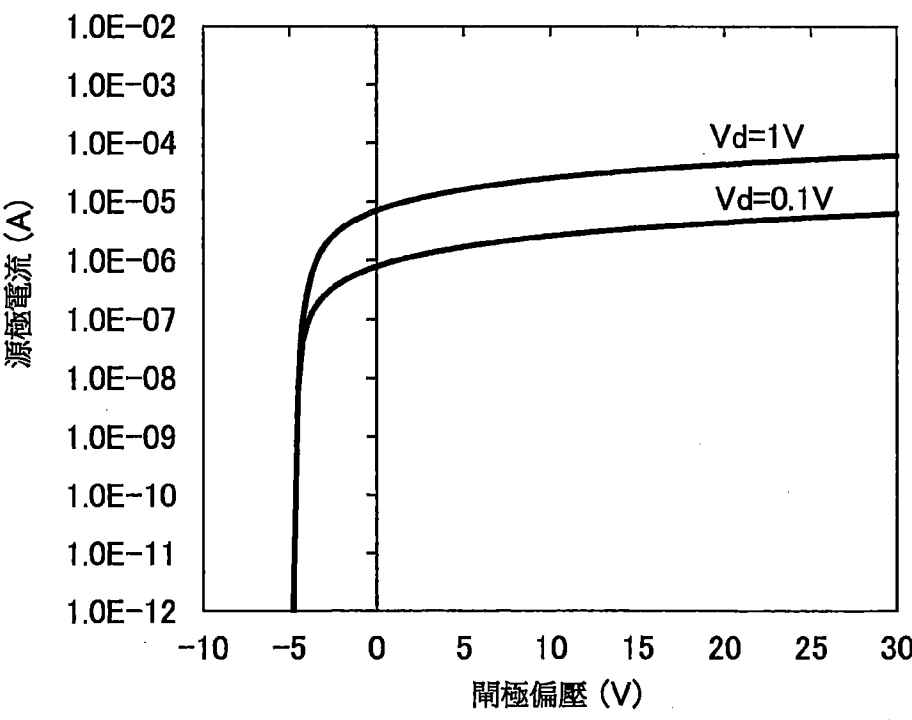


圖 13A

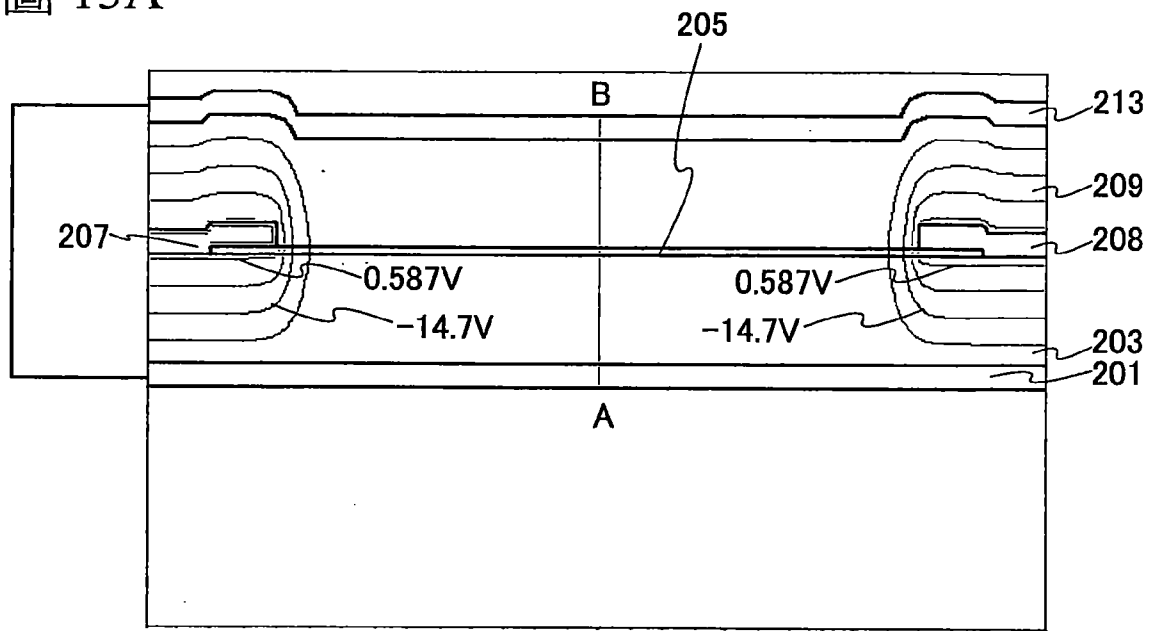


圖 13B

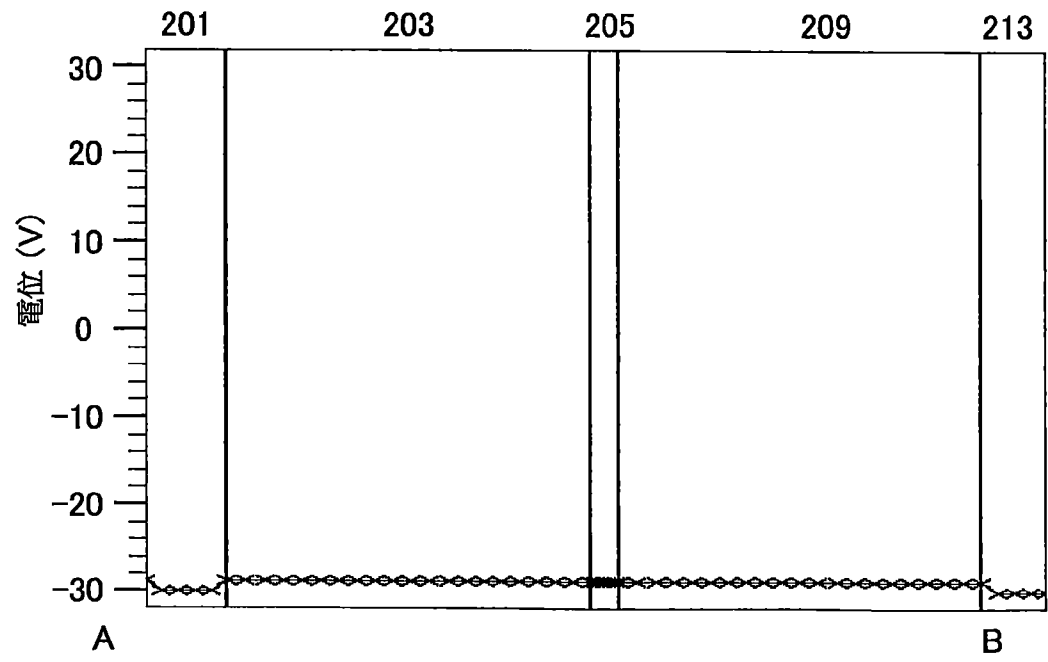


圖 14A

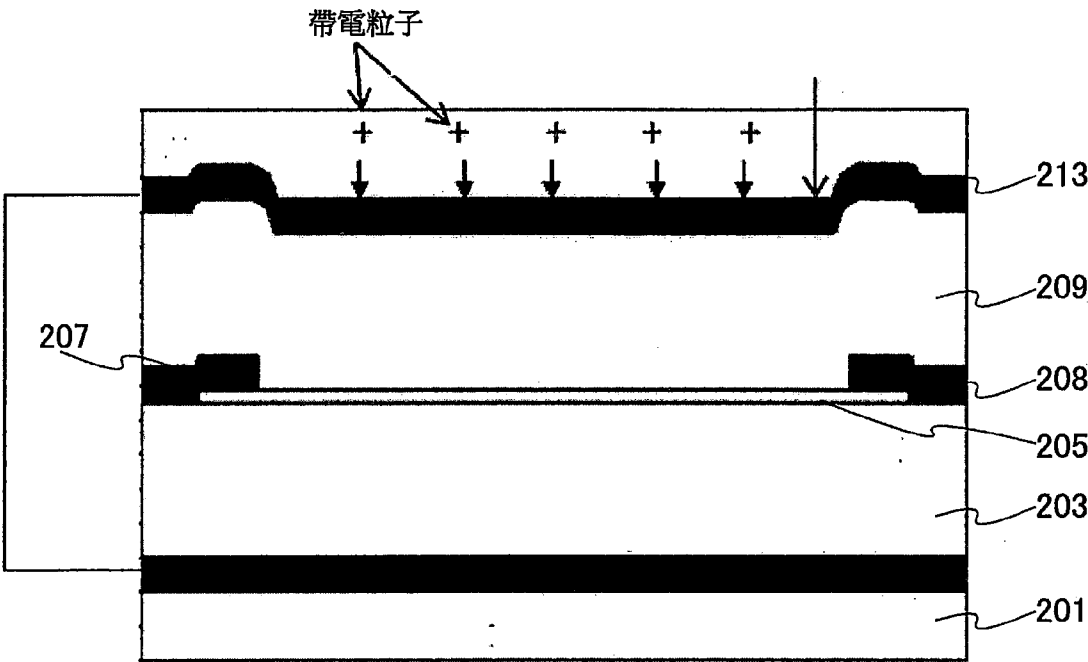


圖 14B

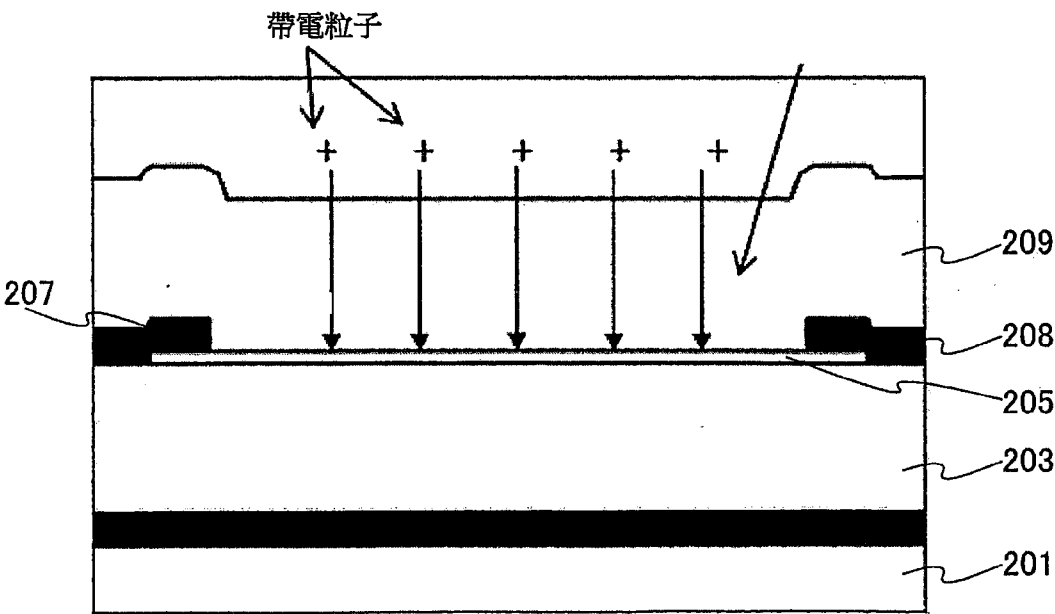


圖 15A

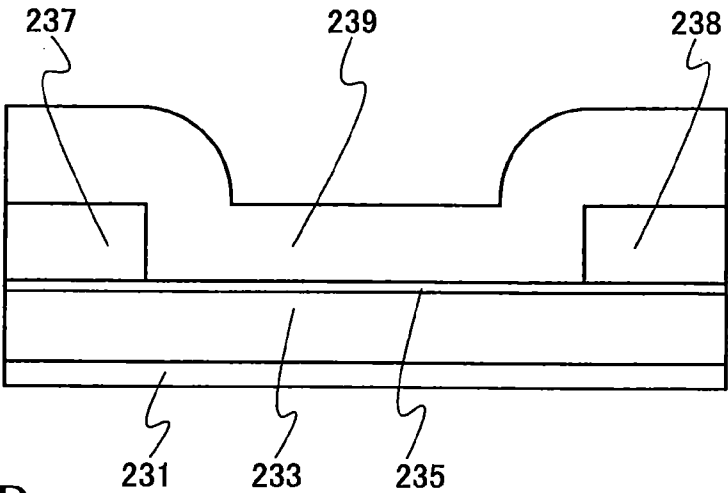


圖 15B

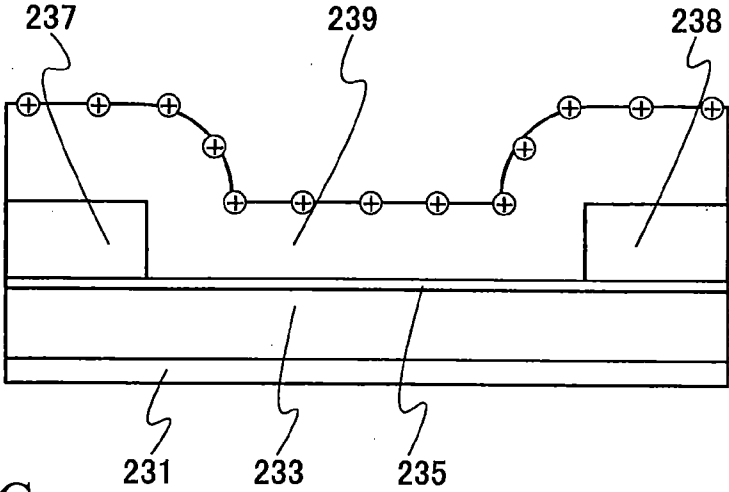


圖 15C

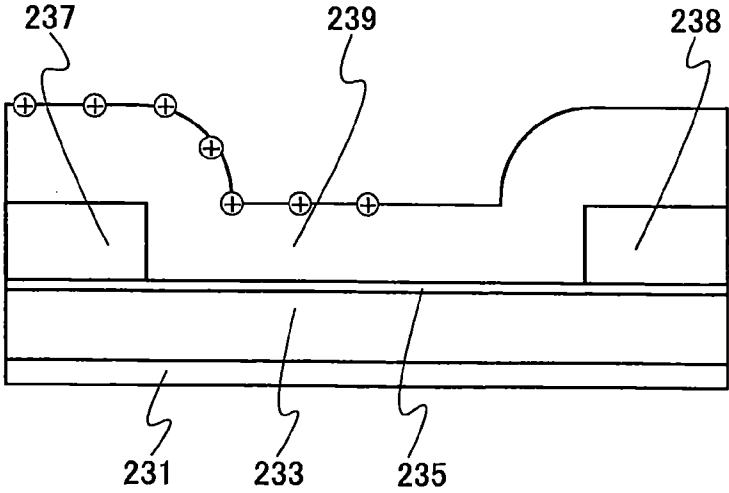


圖 16A

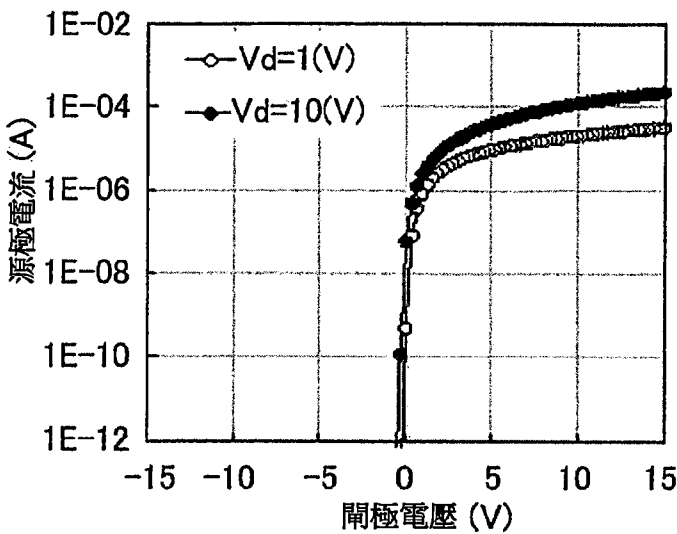


圖 16B

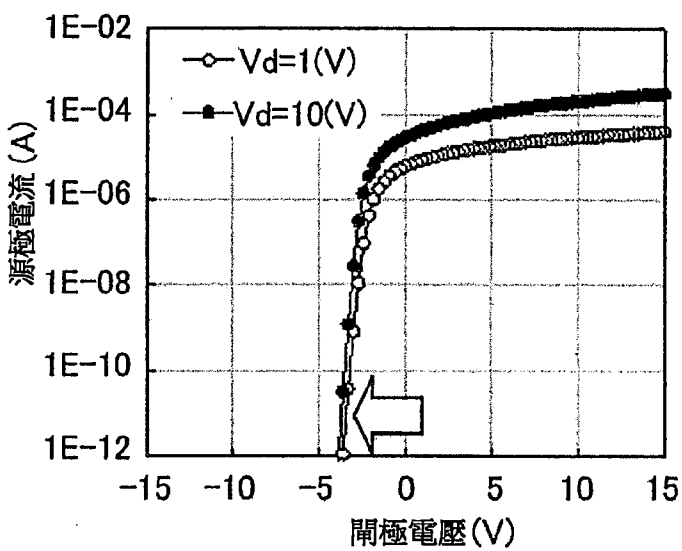


圖 16C

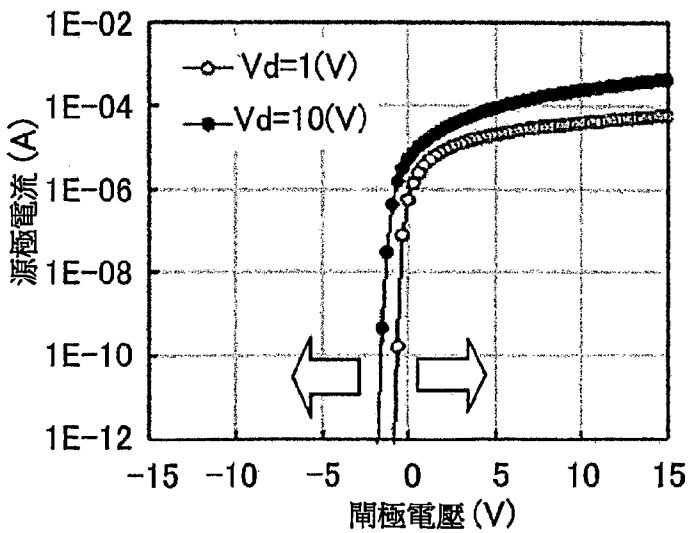


圖 17

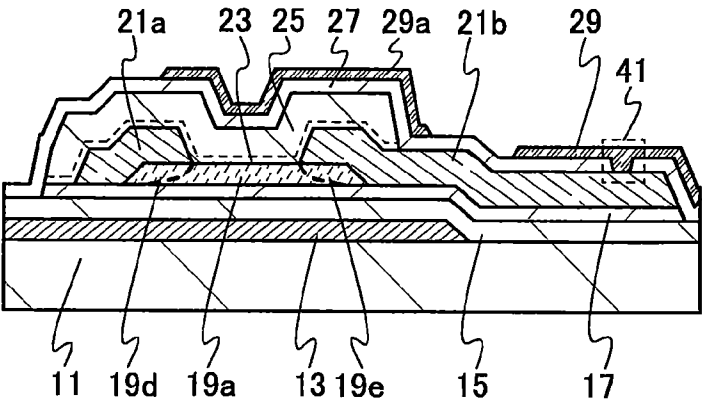


圖 19A

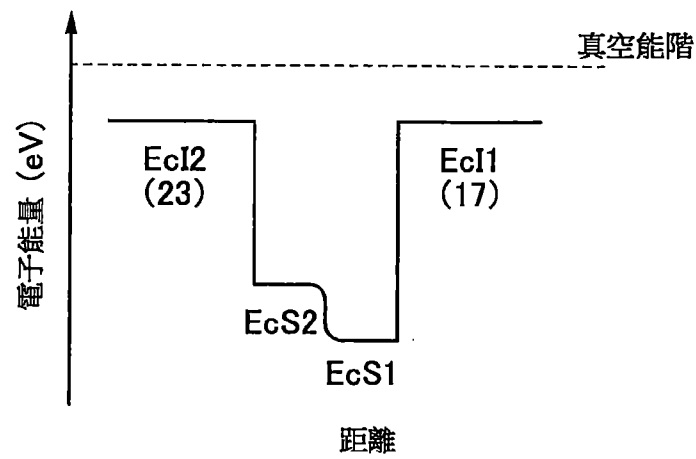


圖 19B

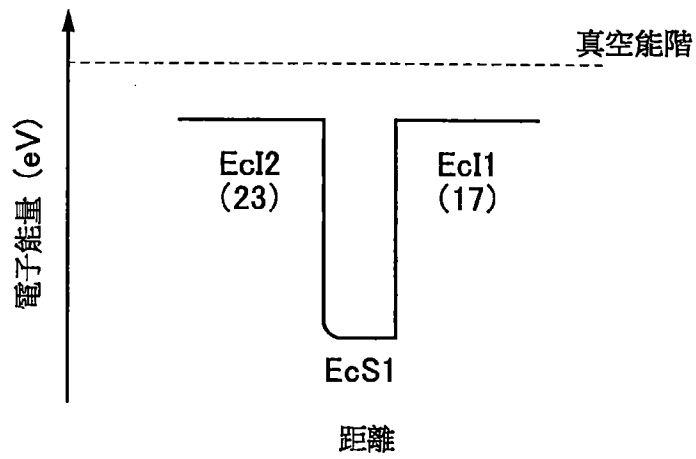
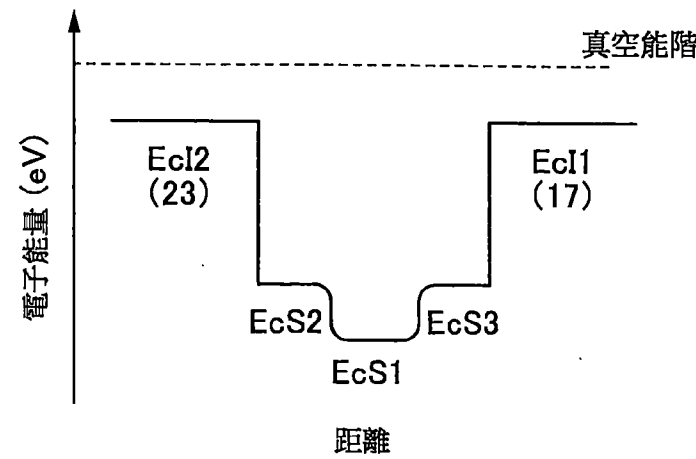


圖 19C



MI 20

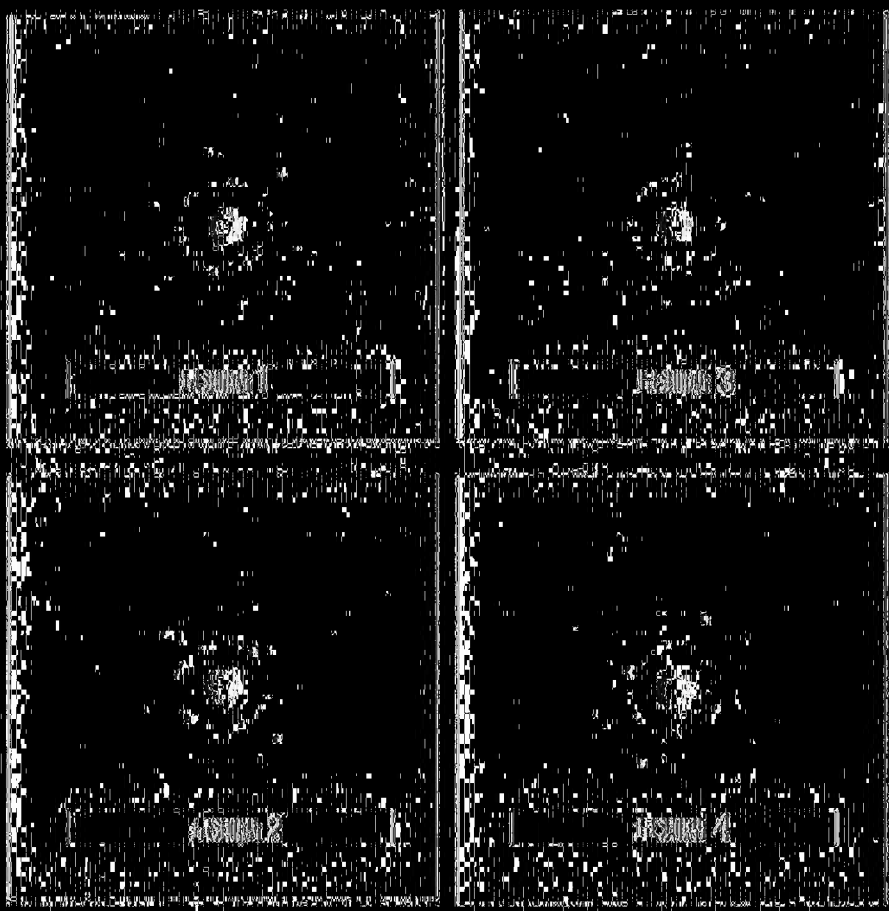


圖 21A

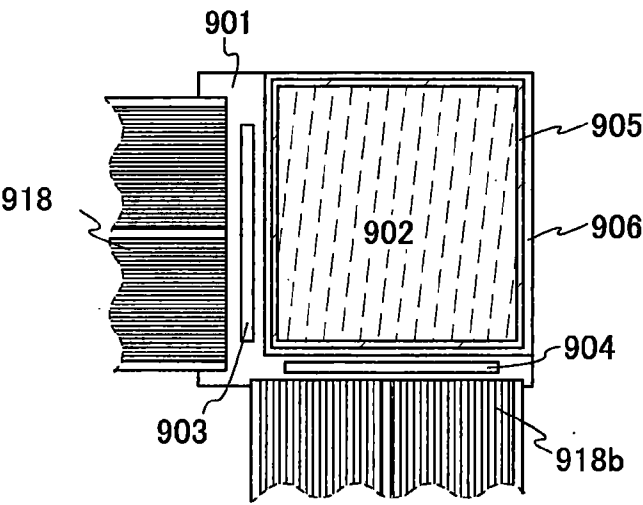


圖 21B

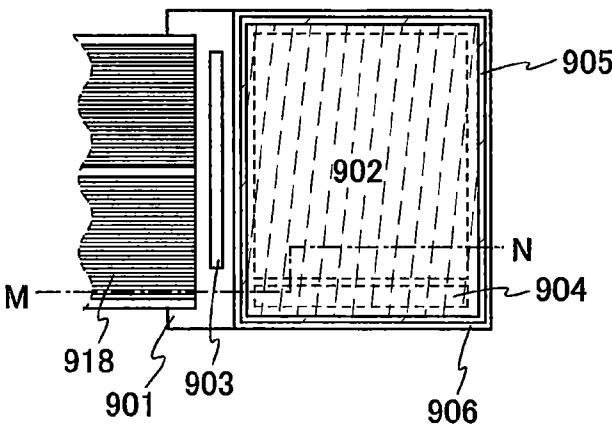


圖 21C

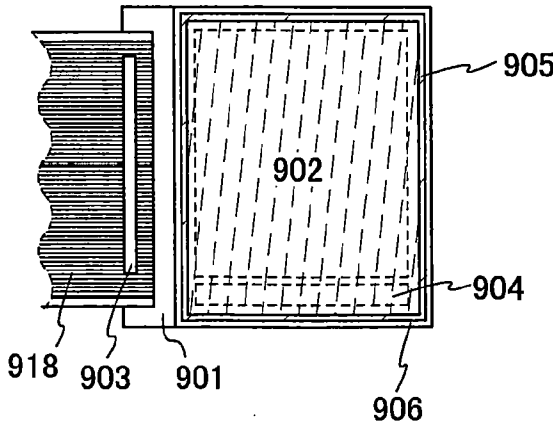


圖 22A

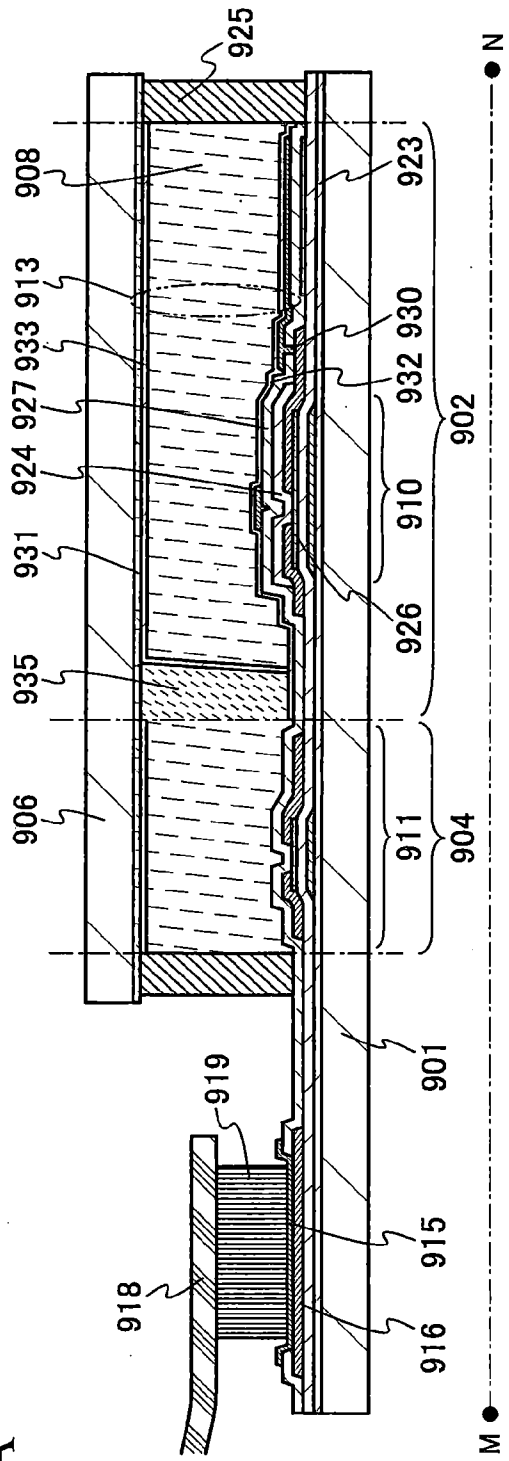


圖 22B

