

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-118548

(P2010-118548A)

(43) 公開日 平成22年5月27日(2010.5.27)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/06 (2006.01)	HO 1 L 29/78 6 5 2 P	
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 5 A	
HO 1 L 29/739 (2006.01)	HO 1 L 29/78 6 5 3 A	
	HO 1 L 29/06 3 0 1 G	

審査請求 未請求 請求項の数 23 O L (全 23 頁)

(21) 出願番号 特願2008-291327 (P2008-291327)  
 (22) 出願日 平成20年11月13日 (2008.11.13)

(71) 出願人 000006013  
 三菱電機株式会社  
 東京都千代田区丸の内二丁目7番3号  
 (74) 代理人 100082175  
 弁理士 高田 守  
 (74) 代理人 100106150  
 弁理士 高橋 英樹  
 (72) 発明者 楠 茂  
 東京都千代田区丸の内二丁目7番3号 三  
 菱電機株式会社内

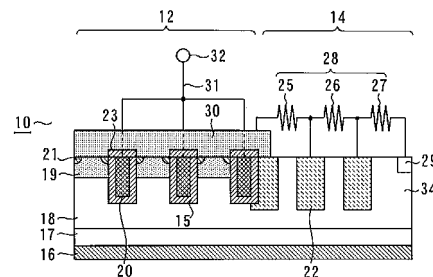
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】本発明は、IGBTやパワーMOSFETなどのパワーデバイスを有する半導体装置の耐压保持領域を広げることなく有効な耐压保持を行い、しかもパワーデバイスの高抵抗化を行うことなく十分な短絡耐量を高めることができる半導体装置を提供することを目的とする。

【解決手段】半導体層を有する半導体基板に形成されたパワーデバイスと、該パワーデバイスを囲むように該半導体基板に形成された複数のガードリングと、該複数のガードリングのうち外周側のガードリングほど高電圧を印加する電圧印加手段とを備えることを特徴とする。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

半導体層を有する半導体基板に形成されたパワーデバイスと、  
前記パワーデバイスを囲むように前記半導体基板に形成された複数のガードリングと、  
前記複数のガードリングのうち外周側のガードリングほど高電圧を印加する電圧印加手段とを備えることを特徴とする半導体装置。

## 【請求項 2】

前記パワーデバイスは、  
前記半導体基板表面に形成された接地されたエミッタ電極と、  
前記半導体基板表面に形成されたゲート電極と、  
前記半導体基板表面と反対の面である裏面に形成されたコレクタ電極と、  
前記電圧印加手段は前記半導体層と前記エミッタ電極との間に直列に接続された複数の抵抗素子を有し、前記外周側のガードリングほど前記複数の抵抗素子のうち前記半導体層側の抵抗素子と接続されることを特徴とする請求項 1 に記載の半導体装置。

10

## 【請求項 3】

前記複数のガードリングの各ガードリングと対応する前記複数の抵抗素子の各抵抗素子とはそれぞれキャパシターを介して接続されることを特徴とする請求項 2 に記載の半導体装置。

## 【請求項 4】

前記複数の抵抗素子は前記半導体層の前記複数のガードリングの外周部分と接続されることを特徴とする請求項 2 に記載の半導体装置。

20

## 【請求項 5】

前記複数の抵抗素子は前記複数のガードリング上に渦巻状に形成された多結晶シリコンであることを特徴とする請求項 4 に記載の半導体装置。

## 【請求項 6】

前記複数の抵抗素子は前記複数のガードリング上に直線的に形成された多結晶シリコンであることを特徴とする請求項 4 に記載の半導体装置。

## 【請求項 7】

前記複数の抵抗素子は前記複数のガードリング上にジグザグに形成された多結晶シリコンであることを特徴とする請求項 4 に記載の半導体装置。

30

## 【請求項 8】

前記複数の抵抗素子に対して直列に、カソードが前記半導体層と接続されアノードが前記エミッタ電極に接続されるダイオードを備えることを特徴とする請求項 2 または 3 に記載の半導体装置。

## 【請求項 9】

半導体層と、前記半導体層上に形成されたゲート電極と、前記半導体層上に形成されたドレイン電極と、前記半導体層上に形成されたソース電極とを有し、  
前記半導体層上であって前記ゲート電極と前記ドレイン電極の間に形成された絶縁膜と

、

前記絶縁膜内に形成された複数の絶縁膜内電極と、  
前記複数の絶縁膜内電極のうち、前記ドレイン電極側の絶縁膜内電極ほど高い電圧を印加する電圧印加手段とを備えることを特徴とする半導体装置。

40

## 【請求項 10】

前記電圧印加手段は、  
前記ドレイン電極と前記ソース電極を接続する複数の抵抗素子を有し、  
前記複数の絶縁膜内電極のうち前記ドレイン電極側の絶縁膜内電極ほど、前記複数の抵抗素子のうち前記ドレイン電極側の抵抗素子と接続されることを特徴とする請求項 9 に記載の半導体装置。

## 【請求項 11】

前記複数の絶縁膜内電極の各絶縁膜内電極と対応する前記複数の抵抗素子の各抵抗素子

50

とはそれぞれキャパシターを介して接続されることを特徴とする請求項 10 に記載の半導体装置。

【請求項 12】

半導体層を有するパワーデバイスの表面にゲート電極、ドレイン電極、ソース電極が形成され、

前記半導体層の中に形成された埋め込み絶縁膜と、

前記埋め込み絶縁膜の中かつ前記ドレイン電極と前記ゲート電極の間に形成された複数の埋め込み絶縁膜内電極と、

前記複数の埋め込み絶縁膜内電極のうち前記ドレイン電極側の埋め込み絶縁膜内電極ほど高い電圧を印加する電圧印加手段とを備えることを特徴とする半導体装置。

10

【請求項 13】

前記電圧印加手段は、

一端が前記ドレイン電極と直接接続され他端が前記ソース電極に直接接続された直列に接続された複数の抵抗素子を備え、

前記複数の埋め込み絶縁膜内電極のうち前記ドレイン電極側の埋め込み絶縁膜内電極ほど前記複数の抵抗素子の前記ドレイン電極側の抵抗素子と接続されることを特徴とする請求項 12 に記載の半導体装置。

【請求項 14】

前記電圧印加手段は、

一端が前記ドレイン電極と容量結合し他端が前記ソース電極と容量結合した直列に接続された複数の抵抗素子を備え、

前記複数の埋め込み絶縁膜内電極のうち前記ドレイン電極側の埋め込み絶縁膜内電極ほど前記複数の抵抗素子の前記ドレイン電極側の抵抗素子と接続されることを特徴とする請求項 12 に記載の半導体装置。

20

【請求項 15】

半導体層と、前記半導体層の表面に形成されたゲート電極と、前記半導体層の表面に形成されたエミッタ電極と、前記半導体層の裏面に形成されたコレクタ電極とを有し、

前記ゲート電極にゲート駆動信号を伝送するゲート配線と、

前記ゲート駆動信号を遅延する遅延回路と、

前記遅延回路の出力電圧と前記半導体層の電圧とを入力して、前記遅延回路の出力電圧と前記コレクタ電極の電圧がともにハイレベルである場合に前記ゲート配線を接地する接地手段とを備えることを特徴とする半導体装置。

30

【請求項 16】

前記接地手段は、

前記遅延回路の出力電圧と前記半導体層の電圧を入力とする NAND 回路と、

前記 NAND 回路の出力を反転する NOT 回路と、

前記 NOT 回路の出力がハイレベルである場合にオン状態となり前記ゲート配線を接地するトランジスターとを備えることを特徴とする請求項 15 に記載の半導体装置。

【請求項 17】

前記遅延回路が前記ゲート駆動信号を遅延させる時間は、前記パワーデバイスのターンオン開始から前記半導体層の電圧が前記ハイレベル未満となるまでの時間よりも長く、前記半導体層に所定以上の電圧が印加されて前記パワーデバイスが劣化する時間よりも短く定められることを特徴とする請求項 15 に記載の半導体装置。

40

【請求項 18】

半導体層と、前記半導体層の表面に形成されたゲート電極、ドレイン電極、ソース電極とを有し、

前記ゲート電極にゲート駆動信号を伝送するゲート配線と、

前記ゲート駆動信号を遅延する遅延回路と、

前記遅延回路の出力電圧と前記ドレイン電極の電圧とを入力として、前記遅延回路の出力電圧と前記ドレイン電極の電圧がともにハイレベルである場合に前記ゲート配線を接地

50

する接地手段とを備えることを特徴とする半導体装置。

【請求項 19】

前記接地手段は、  
前記遅延回路の出力電圧と前記ドレイン電圧を入力とする NAND 回路と、  
前記 NAND 回路の出力を反転する NOT 回路と、  
前記 NOT 回路の出力がハイレベルである場合にオン状態となり前記ゲート配線を接地するトランジスタとを備えることを特徴とする請求項 18 に記載の半導体装置。

【請求項 20】

前記接地手段は、前記 NOT 回路の出力を保持するフリップフロップ回路を更に備え、  
前記フリップフロップ回路は前記半導体層とは異なる基板に形成され、  
前記フリップフロップ回路が備える N チャネル MOSFET と P チャネル MOSFET のドレイン領域の直下には絶縁膜が配置されることを特徴とする請求項 15 又は請求項 19 に記載の半導体装置。

【請求項 21】

前記絶縁膜は、前記 N チャネル MOSFET のウェル領域と前記 P チャネル MOSFET のウェル領域を分離することを特徴とする請求項 20 に記載の半導体装置。

【請求項 22】

半導体層と、  
前記半導体層表面に形成された第 1 のゲート電極と第 2 のゲート電極とエミッタ電極と、  
前記半導体層裏面に形成されたコレクタ電極とを有するパワーデバイスと、  
前記第 1 のゲート電極にゲート駆動信号を伝送するゲート配線と、  
前記第 2 のゲート電極に前記ゲート駆動信号がハイレベルで前記半導体層の電圧がローレベルである場合に前記第 2 のゲート電極に前記ゲート駆動信号を伝送する供給手段とを備えることを特徴とする半導体装置。

【請求項 23】

前記供給手段は、  
前記ゲート配線に接続された NOT 回路と、  
前記 NOT 回路の出力と前記半導体層の電圧を入力とし NOR 演算して前記第 2 のゲート電極に出力する NOR 回路とを備えることを特徴とする請求項 22 に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、IGBT (Insulated Gate Bipolar Transistor) やパワー MOSFET などのパワーデバイスを有する半導体装置に関し、特に耐圧保持や短絡保護を行う機能を備える半導体装置に関する。

【背景技術】

【0002】

主電極間に高電圧が印加されるパワーデバイスを有する半導体装置は、耐圧保持と短絡保護の必要がある。すなわち、パワーデバイスを有する半導体装置は、高い耐圧を有し、かつ主電極間が短絡した場合にも一定時間はパワーデバイスが劣化しないだけの短絡耐量を有することが求められる。

【0003】

パワーデバイスを高耐圧化するために、半導体装置はガードリングやフィールドプレートと呼ばれる構造を備えることが一般的である。ガードリングとはパワーデバイスが形成された素子領域を囲むようにリング状に形成された PN 接合領域である。ガードリングは同心円状に複数設けられて耐圧保持領域を構成する。そしてガードリングの周知の働き (作用) によって半導体装置の半導体層における電界緩和を行う。

【0004】

フィールドプレートとは、パワーデバイスのゲート電極 - ドレイン電極間の基板表面上

に絶縁膜を介して配置される電極のことである。フィールドプレートにはパワーデバイスのゲート電圧相当の電圧が印加されることが多い。フィールドプレートの周知の働き（作用）によって半導体装置の半導体層における電界緩和を行う。前述の通り、耐圧保持のためにガードリングやフィールドプレートが用いられる。

【0005】

一方、パワーデバイスの短絡耐量を向上させるためにはパワーデバイスのオン抵抗を高くすることが考えられ、これによりパワーデバイスの主電極間に高電圧が印加された場合にも大電流が流れることを抑制できる。他の耐圧保持や短絡保護に関する既知の技術については特許文献1-7に記載がある。

【0006】

【特許文献1】特開平04-212468号公報  
 【特許文献2】特開平11-330456号公報  
 【特許文献3】特開平04-000768号公報  
 【特許文献4】特開2006-173437号公報  
 【特許文献5】特開平06-338512号公報  
 【特許文献6】特開平04-332173号公報  
 【特許文献7】特開2005-217152号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

前述した（複数の）ガードリングは、通常電位が固定されていない（フローティング）ため、素子領域側（内側）で電界が強く、外周側で電界が緩くなる傾向がある。この場合、半導体層（素子側領域）で発生した空乏層を伸ばす効果が不十分であるために必要な耐圧が得られない問題があった。また、耐圧を高めるために耐圧保持領域を広く取らなければならない問題もあった。フィールドプレートを用いた場合も同様に耐圧保持（耐圧向上）が不十分であったりチップの微細化・小型化ができない問題があった。

【0008】

また、短絡耐量を向上させるためにパワーデバイスのオン抵抗を高くすることは、パワーデバイスの電気的特性の低下、すなわち性能低下に直結するものである。具体的には、パワーデバイスの低消費電力化や高出力化が困難となる問題があった。

【0009】

本発明は、上述のような課題を解決するためになされたもので、特に耐圧保持領域を広げることなく有効な耐圧保持を行うことや、短絡耐量を高めることにより性能を向上させた半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0010】

本願の発明にかかる半導体装置は、半導体層を有する半導体基板に形成されたパワーデバイスと、該パワーデバイスを囲むように該半導体基板に形成された複数のガードリングと、該複数のガードリングのうち外周側のガードリングほど高電圧を印加する電圧印加手段とを備えることを特徴とする。

【0011】

本願の発明にかかる半導体装置は、半導体層と、該半導体層上に形成されたゲート電極と、該半導体層上に形成されたドレイン電極と、該半導体層上に形成されたソース電極とを有し、

該半導体層上であって該ゲート電極と該ドレイン電極の間に形成された絶縁膜と、該絶縁膜内に形成された複数の絶縁膜内電極と、該複数の絶縁膜内電極のうち、該ドレイン電極側の絶縁膜内電極ほど高い電圧を印加する電圧印加手段とを備えることを特徴とする。

【0012】

本願の発明にかかる半導体装置は、半導体層を有するパワーデバイスの表面にゲート電極、ドレイン電極、ソース電極が形成され、該半導体層の中に形成された埋め込み絶縁膜

10

20

30

40

50

と、該埋め込み絶縁膜の中かつ該ドレイン電極と該ゲート電極の間に形成された複数の埋め込み絶縁膜内電極と、該複数の埋め込み絶縁膜内電極のうち該ドレイン電極側の埋め込み絶縁膜内電極ほど高い電圧を印加する電圧印加手段とを備えることを特徴とする。

【0013】

本願の発明にかかる半導体装置は、半導体層と、該半導体層の表面に形成されたゲート電極と、該半導体層の表面に形成されたエミッタ電極と、該半導体層の裏面に形成されたコレクタ電極とを有し、

該ゲート電極にゲート駆動信号を送送するゲート配線と、該ゲート駆動信号を遅延する遅延回路と、該遅延回路の出力電圧と該半導体層の電圧とを入力して、該遅延回路の出力電圧と該コレクタ電極の電圧がともにハイレベルである場合に該ゲート配線を接地する接地手段とを備えることを特徴とする。

10

【0014】

本願の発明にかかる半導体装置は、半導体層と、該半導体層の表面に形成されたゲート電極、ドレイン電極、ソース電極とを有し、

該ゲート電極にゲート駆動信号を送送するゲート配線と、該ゲート駆動信号を遅延する遅延回路と、該遅延回路の出力電圧と該ドレイン電極の電圧とを入力として、該遅延回路の出力電圧と該ドレイン電極の電圧がともにハイレベルである場合に該ゲート配線を接地する接地手段とを備えることを特徴とする。

【0015】

本願の発明にかかる半導体装置は、半導体層と、該半導体層表面に形成された第1のゲート電極と第2のゲート電極とエミッタ電極と、該半導体層裏面に形成されたコレクタ電極とを有するパワーデバイスと、該第1のゲート電極にゲート駆動信号を送送するゲート配線と、該第2のゲート電極に該ゲート駆動信号がハイレベルで該半導体層の電圧がローレベルである場合に該第2のゲート電極に該ゲート駆動信号を送送する供給手段とを備えることを特徴とする。

20

【発明の効果】

【0016】

本発明により半導体装置における性能向上を図ることができる。

【発明を実施するための最良の形態】

【0017】

実施の形態1

本実施形態はガードリングが形成された半導体装置に関する。以後、図1～図6を参照して本実施形態について詳細を説明する。まず図1は本実施形態の半導体装置10の断面図（一部模式図）である。この半導体装置10は、一つのチップをなす半導体基板にあって、パワーデバイスの形成される素子領域12と、その周囲に位置する耐压保持領域14とを備える。なお、本実施形態においてパワーデバイスとは縦型IGBTのことをいい、複数のセルが集積されることにより構成されている。またこの例では、IGBTのセルにトレンチ型を使用しているが、プレーナ型であっても良い。

30

【0018】

素子領域12と耐压保持領域14とは共通する半導体層18に形成されている。半導体層18はn-層であって、素子領域12のIGBTがオン状態のときには後述のコレクタ側とエミッタ側からキャリアの供給を受けて伝導度変調が起こる部分である。

40

【0019】

このような半導体層18に形成された素子領域12について説明する。素子領域12における半導体層18の表面にはpベース層19が設けられ、その表面からn-層（半導体層18）に達するトレンチ（溝）が複数形成、配置されている。各トレンチ内には、ゲート絶縁膜15を介してゲート電極20となる多結晶シリコンが埋め込まれ、その上部に絶縁膜23が設けられている。この複数のゲート電極20は、ゲート配線31によってゲート端子（ゲートボンディングパッド）32と接続されており、ゲート端子32からゲート駆動信号が伝送される。

50

## 【0020】

さらに、ゲート絶縁膜15に接するpベース層19の表面にはn+エミッタ領域21が形成される。そして、このn+エミッタ領域21とpベース層19と接して、それら上面側にアルミニウムなどからなるエミッタ電極30が素子領域12の表面を覆うように形成される。従って、図1から明らかな通り、ゲート電極20にIGBTをオン状態とすべきゲート駆動信号の入力があると、pベース層19のゲート絶縁膜との接触面の導電型が反転する。これにより半導体層18とエミッタ電極30（エミッタ領域21）との間にキャリアのパス（チャンネル）ができる。これは一般的なIGBTの動作と同様である。

## 【0021】

さらに、半導体層18の裏面にはコレクタ電極16が形成される。コレクタ電極16と半導体層18はコレクタとなるp+コレクタ層17を介している。本実施形態ではコレクタ電極16は素子領域12だけでなく耐圧保持領域14にも及んでいる。

10

## 【0022】

次いで、本実施形態の半導体装置10が備える耐圧保持領域14について説明する。耐圧保持領域14にはガードリング22が形成される。ガードリング22は複数形成されており、半導体層18とは異なる導電型、本実施形態の場合、p+領域からなる。前述したガードリング22はそれぞれ素子領域12の外周を囲むように同心円を形成するようにして配置される。

## 【0023】

そして、半導体層18のうちガードリング22よりも外周の領域である外周部分34と、エミッタ電極30とが高抵抗素子（配線）28を介して接続される。なお、前述した外周部分34には通常、半導体層18と同じ導電型であるn+のチャンネルストッパ領域29が形成されており、高抵抗素子28はこれと接続される。

20

## 【0024】

高抵抗素子28は、所望の電圧を取り出すために電氣的に複数の抵抗素子部に分割され、この例では、直列接続された抵抗素子25、抵抗素子26、抵抗素子27を備えるものとして扱われる。最も外周側に配置される抵抗素子27は一端が外周部分34と接続され、他端が抵抗素子26の一端と接続される。抵抗素子26の他端は抵抗素子25の一端と接続される。そして、抵抗素子25の他端はエミッタ電極30と接続される。高抵抗素子の抵抗値は半導体装置におけるコレクタ-エミッタ間の耐圧やリーク電流に関する仕様によって決定すればよく、例えば、耐圧が600Vの場合であれば、600M（メガ）程度の設定が適当といえる。

30

## 【0025】

本実施形態では、抵抗素子27と抵抗素子26とを接続する配線（あるいは接続点）から分岐する配線が外周部分34に近いほうのガードリングと接続される。また抵抗素子26と抵抗素子25とを接続する配線（あるいは接続点）から分岐する配線が外周部分34から遠いほうのガードリングと接続される。

## 【0026】

ところで、半導体層18はコレクタ電極16に印加される電圧とほぼ同電位となる。よって、エミッタ電極30を0Vとして、例えばコレクタ電極16に600Vの高電圧が印加されているときには、外周部分34にも同程度（600V）の高電圧が印加されていることになる。そして、前述のようにエミッタ電極30と外周部分34のチャンネルストッパ領域29との間に接続される高抵抗素子28は、外周部分34の電圧を抵抗素子27、抵抗素子26、抵抗素子25で漸減させ、外周部分34に近いほうのガードリング22ほど高い電圧を印加するように接続される。このように高抵抗素子28はガードリング22へ電圧を印加する電圧印加手段である。なお、電圧印加手段の語意はガードリングに電圧を印加する手段に限定されず、広く耐圧保持のための構成に電圧を供給する手段のことをいう。

40

## 【0027】

次いで、半導体装置10の平面図である図2について説明する。なお、図2において図

50

1 と同一の符号が付されたものは図 1 と同様であるから説明を省略する。また、高抵抗素子 28 について図 1 においては回路図的に示したが図 2 においては実際のレイアウトに即して示す。なお、それぞれのガードリング 22 およびチャンネルストップ領域 29 の電位を安定なものとするために、多くの場合、それら上部にアルミニウムなどの導体パターンが並行に設けられ、そして、それぞれのガードリングやチャンネルストップ領域と導体パターンとは電氣的に接続されているが、図 2 では便宜上これを省略している。

#### 【0028】

本実施形態の高抵抗素子 28 は、図 2 に示されるように外周部分 34 とエミッタ電極 30 とを結ぶ渦巻状に形成された一本の多結晶シリコンである。高抵抗素子 28 はコンタクト 33 によって外周部分 34 のチャンネルストップ領域 29 と接続され、コンタクト 35 によりガードリング 22 と接続される。なお、このコンタクト 33 およびコンタクト 35 の構造に関しての理解を助けるため、図 3 に拡大断面図を示す。先にも述べたが、ガードリングおよびチャンネルストップ上には、アルミニウムなどの導体パターン 40、42 が設けられ、この導体パターン 40、42 とガードリングおよびチャンネルストップ領域とはコンタクト 33、35 を介して電氣的に接続されていることによって、ガードリングおよびチャンネルストップの電位の安定化を図っている。そしてこの図では、高抵抗素子 28 は導体パターン 40、42 を介してガードリング 22 やチャンネルストップ領域 29 との電氣的接続を実現しているが、直接的に接続を行っても良い。また、図 2 に示されるコンタクト 37 は高抵抗素子 28 とエミッタ電極 30 を接続する。

#### 【0029】

本実施形態の半導体装置 10 の構成は上述の通りである。本実施形態の構成によればコレクタ電極 16 に電圧が印加されたときに、複数のガードリング 22 に対して「外周側のガードリング 22 ほど高電圧を印加する」ことができる。ゆえに、半導体層 18 の素子領域 12 において発生した空乏層を、ガードリングの外周方向に伸ばすことができるため半導体層 18 における電界強度の均一化に寄与する。よって耐圧保持（耐圧向上）が可能である。

#### 【0030】

また、高抵抗素子 28 の抵抗値や抵抗分割比を変えることで各ガードリング 22 へ印加する電圧を調節できる（以後、各ガードリング 22 に印加される電圧を中間電位と称することがある。中間電位とはコレクタ電極 16 の電位とエミッタ電極 30 の電位の中間の電位という意である）。素子領域 12 の空乏層を伸ばすように高抵抗素子 28 の抵抗値を調整し、各ガードリング 22 に対して（耐圧保持のための）最適な中間電位を与えることにより耐圧保持領域における電界を略均一化して半導体装置 10 の耐圧の向上ができる。よって耐圧保持領域 14 を広く形成する必要がないので耐圧保持領域 14 の縮小が可能である。

#### 【0031】

また、図 2 を参照して説明したとおり高抵抗素子 28 は渦巻状に形成されているため、高抵抗素子 28 の長さを長くすることができる。高抵抗素子 28 を長く形成できるため、低い抵抗率の設定が可能となり、多結晶シリコンの不純物濃度を高くできることから、抵抗値のばらつきも抑えられ、各ガードリング 22 に対して精度よく安定した電圧を供給できる。さらに渦巻状に形成された高抵抗素子 28 の任意の場所からそれぞれのガードリングへ接続を行うことができるためガードリング 22 へ印加する電圧調整の自由度が高い。

#### 【0032】

本実施形態の高抵抗素子 28 は図 2 に示す渦巻状の形状であるが、本発明はこれに限定されない。抵抗素子は例えば図 4、5 に示すような形状であっても良い。図 4 に示す抵抗素子 50 は直線的に半導体層の外周部分 34 とエミッタ電極 30 とを結ぶ。そして抵抗素子 50 を等間隔に分割するようにガードリング 22 とのコンタクト 52 を形成することにより各ガードリング 22 に与えられる電圧は、外周部分 34 からエミッタ電極 30 へ向かって一次関数的に減少する。よって半導体層中の電界を均一化できる。また、各ガードリング 22 に対して耐圧保持（耐圧向上）のための理想的な電圧印加ができるから耐圧保持



領域 14 の面積を縮小できる。

【0033】

また、図5に示す抵抗素子60のように階段状(ジグザグ)にすると各ガードリング22に与えられる電圧を、外周部分34からエミッタ電極30へ向かって一次関数的に減少させることができる。さらに抵抗素子60を階段状(ジグザグ)にすると抵抗素子60の長さを長く形成できるため比較的抵抗の低い多結晶シリコンを用いることができ、ガードリング22に与える電圧を安定化させることができる。

【0034】

本実施形態では、高抵抗素子28(分割された抵抗素子27と抵抗素子26と抵抗素子25)とガードリング22とは、コンタクト35により電気的には直接接続されるが本発明はこれに限定されない。すなわち、図6に示すように、抵抗素子とガードリングとの接続部にキャパシター24を介して接続されるようにしてもよく、この場合でも複数のガードリング22に対して「外周側のガードリング22ほど高電圧を印加する」ことができるから本発明の効果を失わない。なお、キャパシター24はコンタクト部にキャパシター構造を形成する場合に限らず、寄生容量を利用してよい。

10

【0035】

上述の通り、高抵抗素子28の形状や配置、材料については本発明の範囲内でさまざまな変形例が考えられる。他の変形例について図7を参照して説明する。図7は、図4における破線A-Aに沿った断面図である。図7に示されるとおり、高抵抗素子28内部にはN型半導体領域54とP型半導体領域56とが隣接して形成されている。N型半導体領域54とP型半導体領域56は比較的耐圧の低いダイオードを形成しており、ダイオードのピッチを変化させることで、ガードリング22に対して印加する電圧を調整できる。すなわち、高抵抗素子28にダイオードを形成することで、前述した抵抗素子の長さによる抵抗値の調整に加えて、ダイオードのピッチ変化によってもガードリング22に対して印加する電圧を調整できるため電圧の設定自由度を高めることができる。

20

【0036】

本実施形態において高抵抗素子28は外周部分34から電圧を供給される構成としたが本発明はこれに限定されない。高抵抗素子28は外部電源などと接続されてもよい。

【0037】

実施の形態2

本実施形態は横型MOSFETであるパワーデバイスを有する半導体装置に関する。以後、図8、9、10、11を参照して本実施形態の詳細について説明する。図8は本実施形態の半導体装置70の断面図(一部模式図)である。半導体基板上に形成される横型MOSFETの半導体装置70は半導体層72を備える。半導体層72はn-層であって、その表面にはn+のドレイン74が形成され、ドレイン74と電気的に接続されたアルミニウムなどからなるドレイン電極76が設けられている。さらに、半導体層72の表面には、n+ドレイン74から距離を置いてpベース領域80が形成され、pベース領域80内表面にn+のソース91とp+領域93が形成されている。そして、ソース91及びp+領域93と電気的に接続されたアルミニウムなどからなるソース電極78が設けられている。ソース電極78は接地されている。

30

40

【0038】

ソース電極78(n+ソース91)とドレイン電極76(n+ドレイン74)との間の半導体基板表面には絶縁膜84が形成されている。なお、絶縁膜84は本来複数の絶縁膜の層から構成されているが、便宜的理由により省略している。この絶縁膜84中のpベース領域80の上には、多結晶シリコンからなるゲート電極82が形成される。ゲート電極82は、ゲート配線81によってゲート端子100と接続され、ゲート端子100からゲート駆動信号の供給を受ける。そして、ゲート電極82にMOSFETをオン状態とすべきゲート駆動信号の入力があると、ゲート電極82に対向するpベース領域80の表面部分にチャンネルができる。

【0039】

50

高耐圧が求められる横型MOSFETでは、上述の構成に加えて絶縁膜84中にゲート電極82と同じ多結晶シリコンからなる絶縁膜内電極86が複数形成されている。絶縁膜内電極86はフィールドプレートと称される場合もあり、周知のとおり、横型MOSFETを構成する半導体層72における電界を緩和するものである。さらに、本実施形態の半導体装置70は一端がドレイン電極76と接続され他端がソース電極78と接続される高抵抗素子98を備える。高抵抗素子98は、電氣的に複数の抵抗素子に分割され、この例では、直列接続された抵抗素子90、92、94、96を備えるものとして扱われる。抵抗素子90の一端はドレイン電極76と接続される。抵抗素子90の他端は抵抗素子92の一端と接続され、抵抗素子92の他端は抵抗素子94の一端と接続され、抵抗素子94の他端は抵抗素子96の一端と接続され、抵抗素子96の他端はソース電極78と接続される。これらの抵抗素子は図8に示すようにドレイン電極76側の絶縁膜内電極86ほどドレイン電極76側の抵抗素子と接続される。

10

次いで、半導体装置70の平面図である図9について説明する。図9において図8と同一符号が付されたものは図8と同様であるから説明を省略する。なお、前述した図8は図9における破線B-Bに沿った断面図である。また、高抵抗素子98について図8においては回路図的に示したが、図9においては実際のレイアウトに即して示す。そして、この図9から明らかなように、図8に示した横型MOSFETはドレイン電極76を中心にして、各絶縁膜内電極86(ゲート電極も同じ)とソース電極78が同心円状に配置、形成されたものである。

図9に示されるとおり、本実施形態の高抵抗素子98は、ソース電極78とドレイン電極76とを結ぶ渦巻状に形成された一本の多結晶シリコンである。高抵抗素子98はコンタクト99によってソース電極78と接続され、コンタクト97により絶縁膜内電極86と接続される。なお、コンタクト99およびコンタクト97の構造に関する理解を助けるため、図10に拡大断面図を示す。また、コンタクト95は高抵抗素子98とドレイン電極76を接続している。

20

#### 【0040】

このような構成の半導体装置70はドレイン電極76に電圧が印加されると高抵抗素子98によって複数の絶縁膜内電極86にもそれぞれ異なる電圧が印加される。すなわち、絶縁膜内電極86のうちドレイン電極76に近いものほど高い電圧が印加される。よって絶縁膜84の下層における半導体層72に対して、ゲート電極82近傍で生じた空乏層を伸ばすように電圧を印加できるから半導体装置70の耐圧保持(耐圧向上)ができる。

30

#### 【0041】

なお、本実施形態は実施形態1の技術を横型のパワーデバイスに応用したものである。従って、高抵抗素子98の形状や材料についての変形例、高抵抗素子98へ電圧を印加する手段はドレイン電極76と接続されることに限らないことなどは実施形態1と同じである。

#### 【0042】

また、本実施形態では図8に示すように高抵抗素子98と絶縁膜内電極86との間は、電氣的には直接接続されているが本発明はこれに限定されない。例えば、図11のように同箇所について実施形態1と同様に、キャパシタ88を介して接続された構成であっても本発明の効果を失わない。

40

#### 【0043】

##### 実施の形態3

本実施形態は半導体層内部に半導体層の電界を緩和する手段を有する半導体装置に関する。以後、図12を参照して本実施形態の構成について説明する。図12は本実施形態の半導体装置110の断面図(一部模式図)である。半導体装置110は実施形態2で図8を用いて説明した半導体装置70と以下の点を除き同様の構成である。

#### 【0044】

すなわち、本実施形態の半導体装置110は半導体層72の表面でも裏面でもない内部に埋め込み絶縁膜112を備える。埋め込み絶縁膜112内部には埋め込み絶縁膜内電極

50

114が複数形成されている。さらに、一端がドレイン74の電位と容量結合し、他端がpベース領域80の電位と容量結合した抵抗素子120を備える。図12において、この容量結合の構成については抵抗素子120の両端に接続されているキャパシター116、キャパシター118で表されている。

抵抗素子120は所望の電圧を取り出すために電氣的に複数の抵抗素子部に分割され、直列に接続された抵抗素子122、124、126、128を備える。そして各埋め込み絶縁膜内電極114は、ドレイン74側の埋め込み絶縁膜内電極114から順番に、抵抗素子122、124、126、128(具体的には隣り合う抵抗素子の間の分岐部分)と接続される。そうすることによって、ドレイン電極76に電圧が印加されるとドレイン74側の埋め込み絶縁膜内電極114ほど高電圧が印加される。

10

#### 【0045】

上述した以外の構成については実施形態2と同様であるから、図8に付した符号と同一の符号を付して説明を省略する。

#### 【0046】

本実施形態の構成によれば、ゲート電極82からドレイン電極76にかけて電圧が漸増するように配置された埋め込み絶縁膜内電極114により、半導体層72の電界緩和ができるから耐圧保持ができる。

#### 【0047】

図12においては実施形態2の構成である図8の構成に埋め込み絶縁膜内電極114等を追加する構成としたが、絶縁膜内電極86がない構成であっても本発明の効果を得ることができる。また、本実施形態では抵抗素子120がドレイン74などに「容量結合」するものとしたが本発明はこれに限定されない。すなわち、図13に示すように、抵抗素子134が、ドレイン電極76と接する導体136と、ソース電極78と接する導体138とに接続される構成としても本発明の効果を得ることができる。

20

#### 【0048】

なお、図13のように抵抗素子134をドレイン電極およびソース電極に「直接接続」する場合は、抵抗素子134の典型的な抵抗値は600Mオーム程度であるがこの値に特に限定されない。なお、図中の130は埋め込み絶縁膜、132は埋め込み絶縁膜内に形成された複数の埋め込み絶縁膜内電極である。一方図12のように「容量結合」させる場合の抵抗素子120の典型的な抵抗値は1kオーム程度であるがこの値に特に限定されない。

30

#### 【0049】

##### 実施の形態4

本実施形態は、前述までの実施形態にあって、その特徴的な構成でもある高抵抗素子を使用して、さらに短絡保護機能を設けるようにした半導体装置に関する。以後、図14～図27を参照して本実施形態の半導体装置210の詳細を説明する。本実施形態は、前述の実施形態における特徴に加え、ゲート電極の制御手段に特徴がある。従ってゲート電極があればパワーデバイスの種類は限定されないがここでは一例として縦型IGBTを挙げる。図14に示すように、本実施形態における半導体装置は、短絡保護回路501を除けば実施形態1と実質的に共通であるので、個々の構成の説明を省略するが、半導体層218、ゲート絶縁膜215、ゲート電極220、絶縁膜223、pベース層219、n+エミッタ層221、エミッタ電極230、コレクタ電極216、p+コレクタ層217、外周部234のn+チャネルストッパ領域229、ガードリング222、高抵抗素子530、532、ゲート配線231、ゲート端子(ゲートボンディングパット)232とを備える。

40

#### 【0050】

短絡保護回路501はゲート端子232とゲート配線231との間に設けられたゲート抵抗505、遅延回路部510、短絡判別回路部520、遮断回路部550とを備える。さらに、この短絡保護回路501とは別に、実施形態1で説明した高抵抗素子28と同一の抵抗素子からなる高抵抗素子530、532を利用したコレクタ-エミッタ間電圧検出

50

(レベル変換)部528を備える。

【0051】

遅延回路部510は、ゲート端子232に入力されるゲート駆動信号を後述する所定時間遅延させて出力するものであり、実回路としては2つのNOT(インバータ)回路と、抵抗、キャパシタを組み合わせた周知技術で実現される(図14参照)。遅延回路部510の出力は短絡判別回路部520の一方の入力となる。コレクタ-エミッタ間電圧検出(レベル変換)部528はIGBTのコレクタ-エミッタ間電圧に比例した信号を出力するものである。具体的には、コレクタ-エミッタ間電圧検出(レベル変換)部528では、外周部234のチャンネルストップ領域229とエミッタ電極230との間に接続された高抵抗素子530、532を利用する。つまり、所望レベルの検出電圧(分圧電圧)が得られるように抵抗分割されている。

10

なお、所望レベルの出力電圧は、短絡保護回路内における信号の論理レベルに適合させることが必要であり、高抵抗素子530、532の両端に、例えば600Vの高電圧が印加されている状態において、ゲート駆動信号と同程度の15Vが出力されるように設定される。

そして、コレクタ-エミッタ間電圧検出(レベル変換)部528の出力は、短絡判別回路部520の他方の入力となる。短絡判別回路部520は遅延回路部510の出力とコレクタ-エミッタ間電圧検出(レベル変換)部528の出力を受け、この2つの信号レベルの組み合わせに応じて、正常動作状態か短絡状態であるかを判別する制御信号を出力する。

20

具体的には、遅延回路部510の出力とコレクタ-エミッタ間電圧検出(レベル変換)部528の出力、すなわち遅延されたゲート駆動信号と抵抗分割されたコレクタ-エミッタ間の信号(電圧)レベルがいずれもハイレベルである場合、短絡判別回路520からはハイレベルの信号が出力される。これは所謂2入力のAND論理をなすものであり、実回路としてはNOT回路540とNAND回路541で実現されている。遮断回路部550は短絡判別回路部520の出力を受け、ゲート配線231(ゲート電極220)とエミッタ電極230との間の電氣的接続関係をオンオフすることにより切り替えるものである。この例ではN型MOSトランジスタを使用して、短絡判別回路部520の出力がハイレベルの場合、ゲート配線231(ゲート電極220)がエミッタ電極230と短絡され同電位(ゲート電圧が0V)とされる。

30

また、ゲート端子232とゲート配線231との間に設けられたゲート抵抗505は遮断回路部550によってゲート電圧が0Vとされた時に、ゲート端子232、すなわち遅延回路部510の入力信号レベルがローレベルにならないようにするものである。

【0052】

以後、本実施形態の半導体装置210の動作について説明する。ゲート端子232からのゲート駆動信号はゲート抵抗505を介してゲート電極220へ伝送される。一方ゲート駆動信号は遅延回路部510にも入力される。遅延回路部510は所定時間だけゲート駆動信号を遅延してNAND回路541へ出力される。

【0053】

NAND回路541は遅延されたゲート駆動信号と外周部分234からの入力とともにハイレベルである場合にローレベル(0)の信号をNOT回路540へ伝送する。NOT回路540はローレベルの信号をハイレベルの信号へ変換し、遮断回路部550をオン状態とする出力を行う。この場合、ゲート配線231は接地されるからゲート電極220へのIGBTをオン状態とするゲート駆動信号は伝送されない。

40

【0054】

ここで、NAND回路541はパワーデバイスをオン状態とするゲート駆動信号をハイレベルの信号とみなす。そして、外周部分234からの入力は、外周部分234に配置されるn+チャンネルストップ領域229にパワーデバイスのターンオン時相当の電圧(高電圧)がかかっている場合にハイレベルの信号であるとみなす。したがって、NAND回路541はパワーデバイスの主電極が短絡しているときにゲート配線231を接地するよう

50

に出力を行うことができるから、半導体装置 210 の短絡保護を行うことができる。このように、遅延回路 510 の出力とチャネルストップ領域 229 からの出力を入力として、短絡判別回路部 520 および遮断回路部 550 を用いてゲート配線 231 の接地を行うため短絡判別回路部 520 および遮断回路部 550 はゲート配線 231 の接地手段である。なお、接地手段の語意は本実施形態の構成に限定されず、ゲート駆動信号の情報と半導体層の電圧とから短絡保護のためにゲート配線の接地を行う手段のことをいう。

#### 【0055】

ここで本実施形態の遅延回路部 510 によって設定するべきゲート駆動信号の最適な遅延時間について説明する。図 15 は図 16 の測定回路を使っての正常動作時における IGBT の各動作信号波形を示したものである。まず、この図 15 を参照して IGBT のターンオン時間  $t_1$  について説明する。今日広く使用されている一般的な IGBT はオフ状態でそのコレクタ - エミッタ間に数百ボルトの DC 電圧（以降、コレクタ電圧と称し、 $V_{ce}$  と表記する）が印加される。その状態で、ゲート - エミッタ間（以降、ゲート - エミッタ間に印加される電圧をゲート電圧と称し、 $V_{ge}$  と表記する）にハイレベル信号として十数ボルト、一般には 15 V 程度の電圧が印加されると IGBT のコレクタからエミッタへ電流が流れる（以降、この電流をコレクタ電流と称し、 $I_c$  と表記する）。これにより IGBT はオフ状態からオン状態へターンオンする。逆にゲート電圧をローレベルである 0 ボルト又はマイナス数ボルトにするとコレクタ電流は遮断される。そして、ターンオン時間  $t_1$  とは、 $V_{ge}$  の（ハイレベルへの）上昇が始まってから  $V_{ce}$  が低下するまでの時間とする。

#### 【0056】

次いで、図 17 は短絡を生じた回路、つまりは図 16 の測定回路中の負荷（L）を短絡させた場合（図中 SW オン）における IGBT の各動作信号波形を示したものである。この図 17 を参照して IGBT が劣化（熱破壊）する時間である  $t_2$  について説明する。例えば、応用装置の負荷短絡や誤動作による電源短絡時（この例では負荷を短絡）においては  $V_{ge}$  をハイレベルにしても、 $V_{ce}$  が低下することなく高電圧を維持する。このような場合、図 17 に示すとおりコレクタ電流  $I_c$  は過大となり、IGBT が熱破壊するなどの劣化を起こす。ここでは  $V_{ge}$  の（ハイレベルへの）上昇が始まってから  $V_{ce}$  がハイレベルを維持して IGBT が熱破壊などの劣化を起こすまでの時間を  $t_2$  と定義する。

#### 【0057】

以上をふまえ、遅延回路部 510 がゲート駆動信号を遅延する時間は  $t_1$  より長く、 $t_2$  より短い時間である  $t_3$  に設定される。 $t_3$  については図 18 を参照して説明する。図 18 は短絡を生じた回路にあって本実施形態による IGBT の各動作信号波形である。この波形で示すとおり、 $t_3$  は  $t_1$  より長い時間であるから IGBT が通常のターンオン動作を行う場合に、遮断回路部 550 によってゲート配線 231（ゲート電極 220）とエミッタ電極 230 とを同電位（ゲート電圧が 0 V）にすることはない。一方、 $t_3$  は  $t_2$  より短い時間であるから、パワーデバイスが短絡しコレクタ電流  $I_c$  が大電流となった場合に IGBT が劣化（熱破壊）を起こす前にゲート配線 231（ゲート電極 220）とエミッタ電極 230 とを同電位（ゲート電圧が 0 V）にし、IGBT をオフ状態にする。よって本実施形態の構成によれば IGBT の劣化を回避する短絡保護ができる。

#### 【0058】

なお、本実施形態の半導体装置 231 を簡略化して表した回路図を図 19 に示す。

#### 【0059】

本実施形態における短絡保護回路 501 については様々な変形が考えられる。例えば短絡判別回路部 520 への入力として、抵抗素子 530 を介した外周部分 234 の電圧を用いたが、短絡判別回路部 520 には  $V_{ce}$  電圧に比例する入力があれば本発明の効果を得られるからこれに限定されない。また短絡判別回路部 520 はエミッタ電極 230 とゲート配線 231 を接続させることで接地を行うこととしたが、別の方法でゲート配線 231 を接地してもよい。

#### 【0060】

10

20

30

40

50

また、短絡保護回路501を構成する遅延回路部510や短絡判別回路部520などの電源電圧は、専用の電源端子を介して供給する以外に、ゲート端子232のゲート駆動信号による電圧や、高抵抗素子530、532を利用した抵抗分割による電圧を用いても良い。このようにすると、専用の電源を設ける場合と比較して、電源用ボンディングパッドが必要なくなる分、半導体装置を小型化できる。

#### 【0061】

ところで、本実施形態の技術思想は例えば半導体層表面にゲート、ソース、ドレインが形成される横型のパワーデバイスにも応用できる。図20はそのような例を示す図である。図20では前述の実施形態2にあって、その特徴的な構成(図8)でもある高抵抗素子を使用して、さらに短絡保護機能を設けるようにした半導体装置である。図20に記載の構成は短絡保護回路501を除けば実施形態2と実質的に共通し、短絡保護回路については本実施形態において前述したものと同等である。

すなわち、図20に記載のパワーデバイスの構成はn-層の半導体層272、n+のドレイン274、ドレイン電極276、pベース領域280、n+のソース291、p+領域293、ソース電極278、絶縁膜284、ゲート電極282、絶縁膜内電極286、高抵抗素子530、高抵抗素子532、ゲート配線281、ゲート端子283を備える点において実施形態2と一致する。そして、図20に記載のパワーデバイスの構成はゲート端子283とゲート配線281との間に設けられたゲート抵抗505、遅延回路部510、短絡判別回路部520、遮断回路部550、高抵抗素子530、532を利用したドレイン-ソース間電圧検出(レベル変換)部598とを備える。接地手段を含み、これらは前述の記載から把握できるため詳細な説明を省略する。

#### 【0062】

また、本実施形態で説明した短絡保護の発明と、実施形態1又は2で説明した耐圧保持の技術を併用するとさらなる半導体装置の性能向上が可能である。ここで、耐圧保持のために用いる抵抗素子(図1における高抵抗素子28のことをいう)と、短絡保護のために用いられる抵抗素子(図14における抵抗素子530、532のことをいう)とは1の抵抗素子で形成できる。ここで、そのような半導体装置の平面図を図21に示す。図21において図14と同一の符号が付されたものは図14と同様であるから説明を省略すると共に、その両者の関係は図1と図2との関係に同じである。図21のように一本の渦巻状に形成されたコレクタ-エミッタ間電圧検出(レベル変換)部528はチャンネルストップ領域229とエミッタ電極230とを接続する。また短絡保護回路501はレイアウト的に適しているといえるゲート端子(ボンディングパッド)232に近接した領域に形成されている。

#### 【0063】

コレクタ-エミッタ間電圧検出(レベル変換)部528はその途中でガードリング22とコンタクト258により接続されて、図1における高抵抗素子28に相当する抵抗素子を形成する。またコレクタ-エミッタ間電圧検出(レベル変換)部528を抵抗分割した抵抗素子530と抵抗素子532の間から分岐された電圧が、短絡保護回路501における短絡判別回路520の一入力に接続されている。このようなコレクタ-エミッタ間電圧検出(レベル変換)部528を用いることにより、簡素な構成で半導体装置の短絡保護と耐圧保持が可能となる。

#### 【0064】

前述した渦巻状のコレクタ-エミッタ間電圧検出(レベル変換)部528の他の例としては様々考えられるが、実施形態1の場合と同様、例えば図22に示す直線状の高抵抗素子270を用いても良いし、図23に示す階段状の高抵抗素子279を用いてもよい。このような形状の抵抗素子を用いる効果は前述の通りである。なお、図22や図23の場合、高抵抗素子が複数形成されているので、それぞれ高抵抗素子を抵抗分割して得られる電圧は、ガードリング用であれ、V<sub>ce</sub>検出用であれ、多少のバラツキを生じることがある。そのため設計上同電位になる部分は、アルミ配線などによる電氣的な接続を強化してもよく、例えば図24(a)に示す図22の破線Cで囲まれた領域の拡大平面図、図24(

10

20

30

40

50

b) に示す図 2 4 (a) の破線 D - D に沿った断面図のようにして実現される。図 2 4 における 6 0 1、6 0 2 はアルミニウムなどの導体パターン (配線) であり、6 0 3 は高抵抗素子と導体パターンを接続するコンタクトであり、6 0 4 はガードリングと導体パターンを接続するコンタクトである。

#### 【0065】

ところで、一般に縦型パワーデバイスでは寄生容量を抑制するために、本実施形態で説明した短絡保護回路 5 0 1 を構成する素子は、SOI 上に形成することが望ましい。また、本実施形態で説明した短絡保護回路 5 0 1 をパワーデバイスを形成するチップとは別チップとして形成 (用意) することで、遅延回路部 5 1 0 の時定数などの調整を容易化することも有益である。

#### 【0066】

そこで、パワーデバイスを形成する基板と、遅延回路部 5 1 0 や短絡判別回路部 5 2 0 を形成する基板とを別基板とすることが考えられる。そのような場合、例えば、図 2 5 のような構成とすることができる。図 2 5 では、図 1 4 における NOT 回路 5 4 0 が、状態を維持する回路であるフリップフロップ回路を介して出力を行う場合の構成が示されている。フリップフロップ回路を用いるとゲート抵抗の有無やその抵抗値さらには配置位置を自由に設定できる。

#### 【0067】

図 2 5 に示すように、エミッタ電極 2 3 0 上に半田等の導電性接合剤 3 1 8 を介して半導体基板 3 2 0 が形成される。半導体基板 3 2 0 上には前述のフリップフロップ回路を構成する CMOS のための P ウェル領域 3 2 2 と N ウェル領域 3 2 4 が形成される。半導体基板 3 2 0 にはフリップフロップ回路だけでなく遅延回路 5 1 0 や短絡判別回路部 5 2 0 が形成される。このようにパワーデバイスが形成される基板とは別の基板にフリップフロップ回路 (遅延回路部 5 1 0 や短絡判別回路部 5 2 0 も含む) を形成することにより、パワーデバイスなどの設計変更に対して、部品の一部変更で対応できる。

#### 【0068】

さらに、図 2 5 のように CMOS を形成する場合には寄生素子の形成に伴うラッチアップに対する十分な耐量を有することが望ましい。そこで、図 2 6 のように NMOS 3 5 0 のドレイン 3 5 2 と、PMOS 3 5 1 のドレイン 3 5 4 の直下に絶縁膜 3 5 6 を形成しておくことでラッチアップを抑制できる。また、図 2 7 のように T 字型の絶縁膜 3 4 0 により P ウェル領域 3 2 2 と N ウェル領域 3 2 4 を分離することによってより効果的なラッチアップの抑制ができる。これらの絶縁膜を設けることによりラッチアップを抑制してチップの小型化が可能となる。

#### 【0069】

##### 実施の形態 5

本実施形態は短絡保護のために特定のゲート電極に対してオン状態 (定常状態) にのみゲート駆動信号を印加する半導体装置に関する。本実施形態の構成は図 2 8 を参照して説明する。ガードリングを有するパワーデバイスは実施の形態 1 で説明した IGBT と同様である。実施形態 1 との相違点を説明する。まず、ゲート電極 4 0 9 がゲート配線 4 3 1 によりゲート抵抗 4 3 0 を介してゲート端子 4 3 2 と接続されている。一方ゲート電極 4 0 8 およびゲート電極 4 1 1 は、ゲート端子 4 3 2 と NOT 回路 4 2 8 および NOR 回路 4 2 0 を介して接続される。

#### 【0070】

前述の NOR 回路 4 2 0 は NOT 回路 4 2 8 の出力と、抵抗素子 4 1 8 を介した外周部分 3 4 の電圧を入力とする。より詳細には、NOR 回路 4 2 0 は、NOT 回路の出力がローレベル (0) でかつ、外周部分 3 4 の電位がローレベルすなわち短絡時における  $V_{ce}$  より低い場合にゲート駆動信号をゲート電極 4 0 8、4 1 1 へ出力する。

#### 【0071】

従って、ゲート電極 4 0 8、4 1 1 に (パワーデバイスをオン状態とするべき) ゲート駆動信号が印加されるのは、ゲート端子 4 3 2 から伝送されるゲート駆動信号が (パワー

10

20

30

40

50

デバイスをオン状態とするべき)ハイレベルであり、かつV<sub>ce</sub>電圧が通常動作時相当に低い(ローレベル)場合に限られる。よって他の場合、例えばターンオン時や短絡状態のときにはゲート電極408、411にパワーデバイスをオン状態とするべきゲート駆動信号を印加しない。ゲート駆動信号を特定のゲート電極へは直接に伝送しない上述の構成を特にゲート駆動信号の供給手段と称する。

#### 【0072】

このようなゲート駆動信号の供給手段によれば、V<sub>ce</sub>が高電圧となる短絡状態においてはゲート電極408、411はオン状態とすべきゲート駆動信号が与えられずオフ状態を維持するから半導体装置400の短絡耐量の向上ができる。また、V<sub>ce</sub>が低下している通常動作時にはゲート電極408、411にオン状態とすべきゲート駆動信号が印加されるから半導体装置400のオン状態における素子抵抗を低減でき、定常損失を低減できる。さらに、抵抗素子416、418をガードリング22と適直接続して、上述の耐压保持の機能を持たせることもできる。

10

#### 【0073】

本実施形態の特徴は複数のゲート電極が、直接ゲート駆動信号が印加されるゲート電極と、定常状態にのみオン状態となるゲート電極とから構成される点にある。従ってこの発明の範囲を逸脱しない限りにおいて様々な変形が可能である。例えば、図29に示すようにNOT回路428からの入力と外周部分34からの入力を受けるOR回路450を備え、OR回路450のローレベルの出力(0)に対してオン状態となるPMOS460と、OR回路のハイレベルの出力(1)に対してオン状態となってゲート配線465を接地するNMOS462を備える構成としても本発明の効果を失わない。

20

#### 【図面の簡単な説明】

#### 【0074】

【図1】実施形態1の半導体装置を説明する図である。

【図2】渦巻状に形成された抵抗素子を説明する図である。

【図3】ガードリングのコンタクトについて説明する図である。

【図4】直線状に形成された抵抗素子を説明する図である。

【図5】ジグザグに形成された抵抗素子を説明する図である。

【図6】ガードリングにキャパシターを介して電圧印加を行う半導体装置の構成について説明する図である。

30

【図7】一部にダイオードが形成された抵抗素子について説明する図である。

【図8】実施形態2の半導体装置を説明する図である。

【図9】実施形態2の半導体装置の平面図である。

【図10】絶縁膜内電極(フィールドプレート)のコンタクトを説明する図である。

【図11】絶縁膜内電極にキャパシターを介して電圧印加を行う半導体装置の構成について説明する図である。

【図12】実施形態3の半導体装置を説明する図である。

【図13】抵抗素子がドレイン電極などと直接接続された構成を説明する図である。

【図14】実施形態4の半導体装置を説明する図である。

【図15】ターンオンに要する時間であるt<sub>1</sub>を定義する波形を説明する図である。

40

【図16】測定回路を説明する図である。

【図17】パワーデバイスが劣化(熱破壊)するまでの時間であるt<sub>2</sub>を定義する波形を説明する図である。

【図18】遅延回路がゲート駆動信号を遅延させる時間であるt<sub>3</sub>を定義する波形を説明する図である。

【図19】実施形態4の構成を簡略化して回路図で表した図である。

【図20】横型のパワーデバイスにおいて短絡保護を行う手段について説明する図である。

【図21】渦巻状に形成された抵抗素子を説明する図である。

【図22】直線状に形成された抵抗素子を説明する図である。

50



【図 2 3】ジグザグに形成された抵抗素子を説明する図である。

【図 2 4】図 2 2 の破線C部拡大平面などを説明する図である。

【図 2 5】フリップフロップ回路をパワーデバイスとは別基板で形成した半導体装置を説明する図である。

【図 2 6】CMOSのラッチアップを抑制できる構成について説明する図である。

【図 2 7】CMOSのラッチアップを抑制できる構成について説明する図である。

【図 2 8】実施形態5の半導体装置を説明する図である。

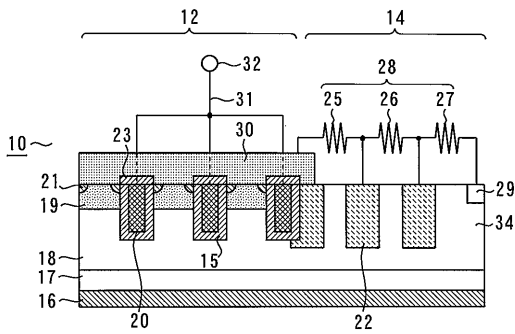
【図 2 9】実施形態5の半導体装置の変形例を説明する図である。

【符号の説明】

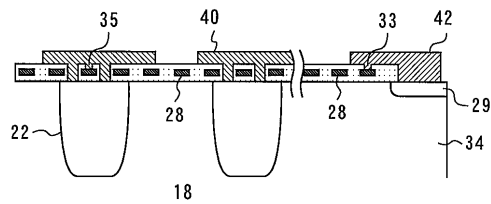
【0075】

- 10 半導体装置、 18 半導体層、 20 ゲート電極、 22 ガードリング、
- 28 高抵抗素子、 29 チャンネルストップ領域、 30 エミッタ電極、 34 外周部分

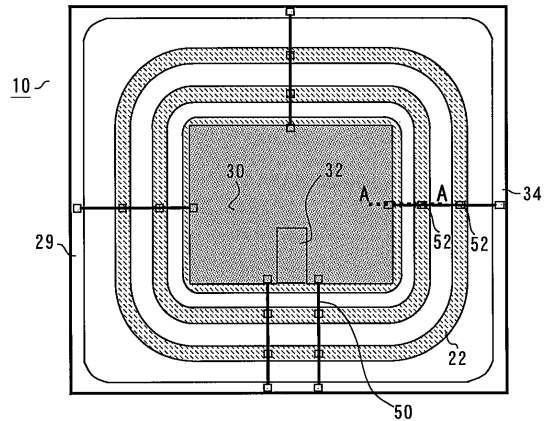
【図 1】



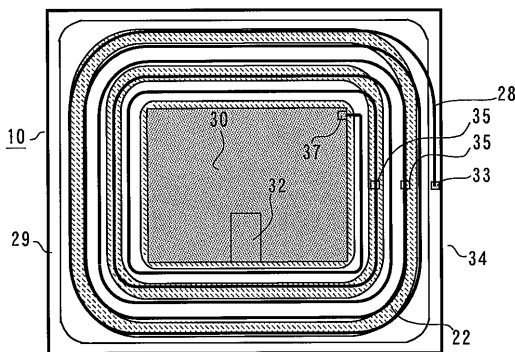
【図 3】



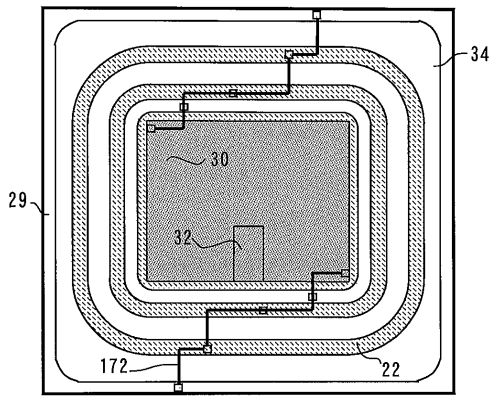
【図 4】



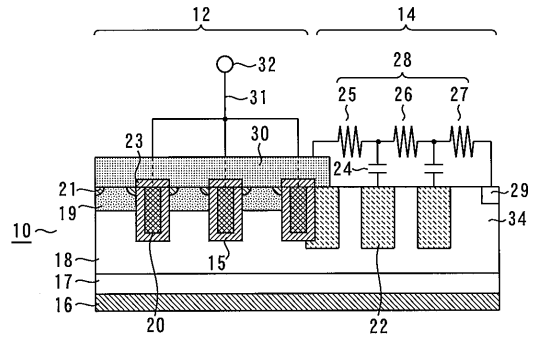
【図 2】



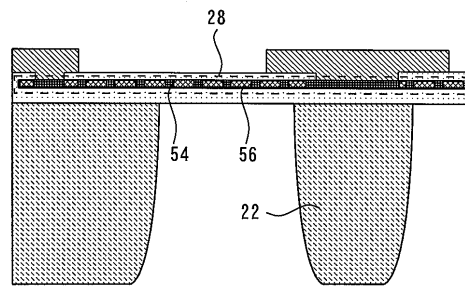
【 図 5 】



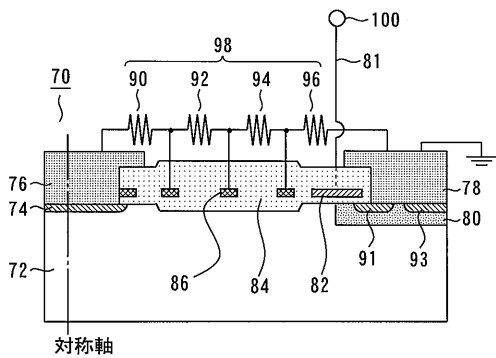
【 図 6 】



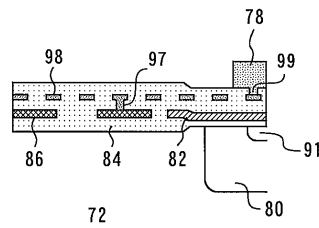
【 図 7 】



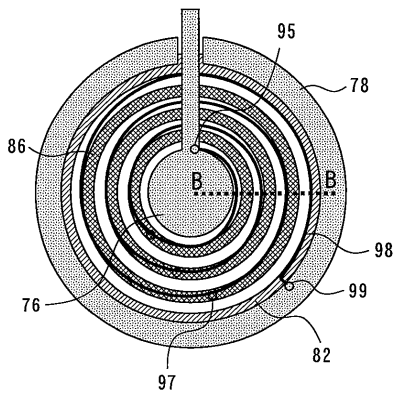
【 図 8 】



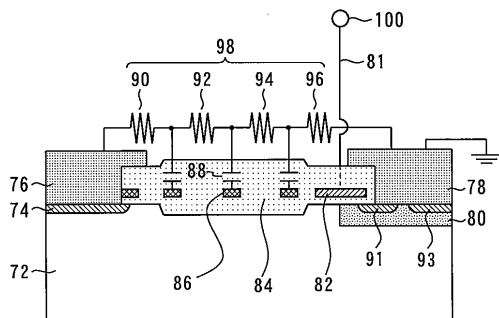
【 図 10 】



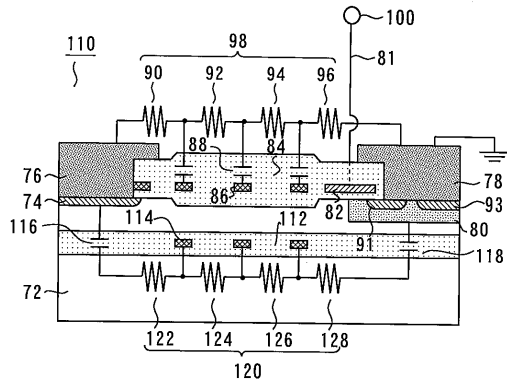
【 図 9 】



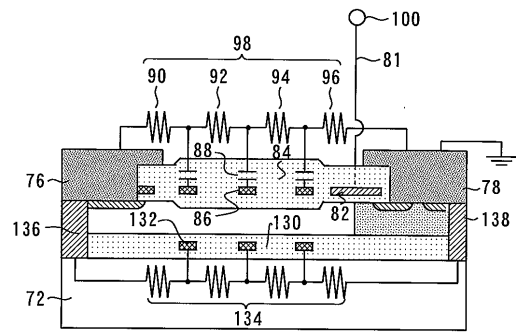
【 図 11 】



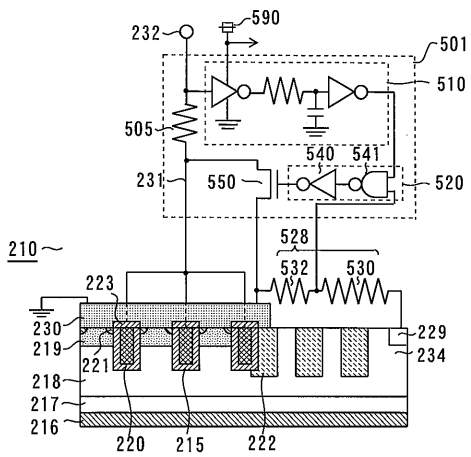
【図 1 2】



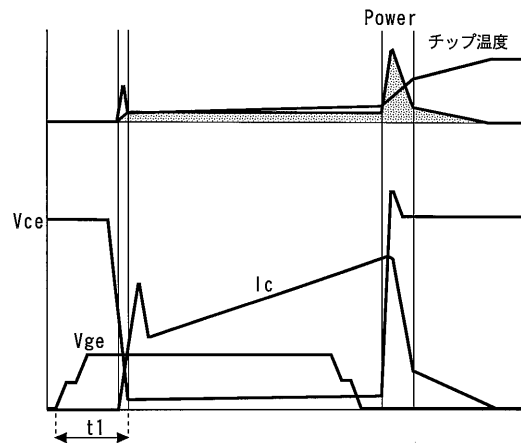
【図 1 3】



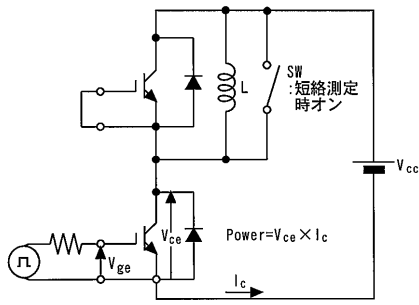
【図 1 4】



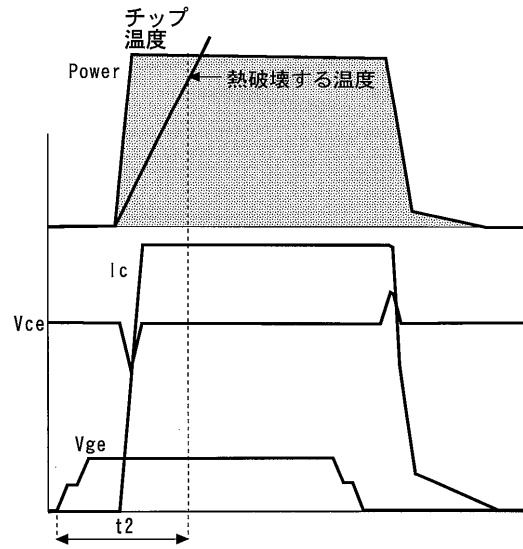
【図 1 5】



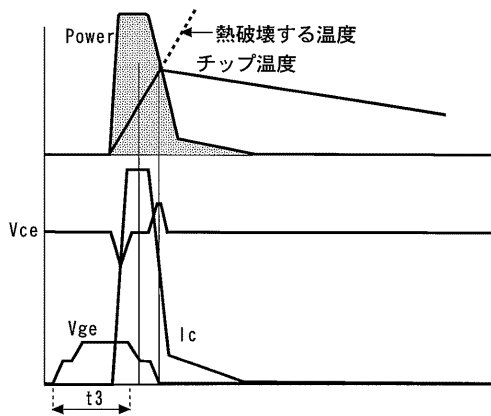
【図 16】



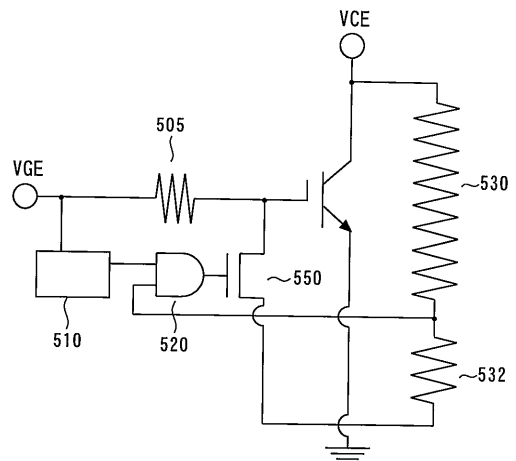
【図 17】



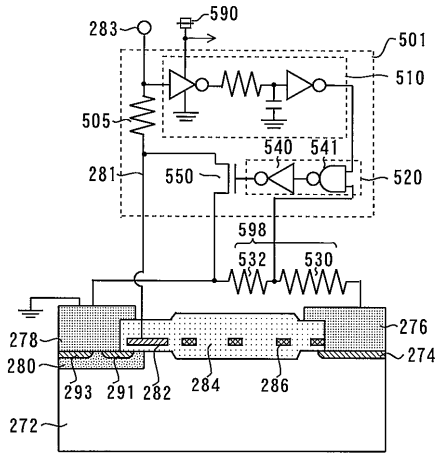
【図 18】



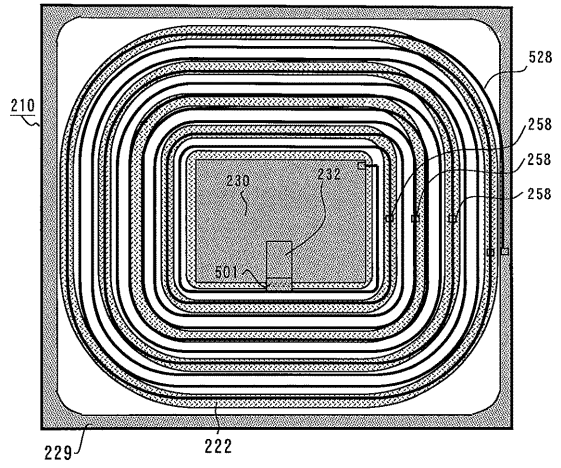
【図 19】



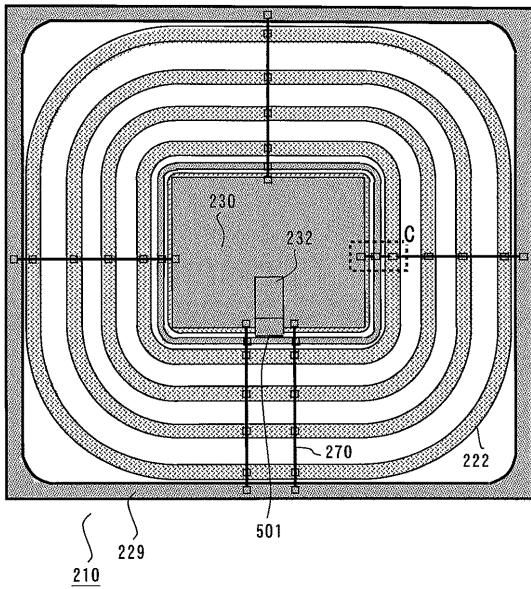
【図 20】



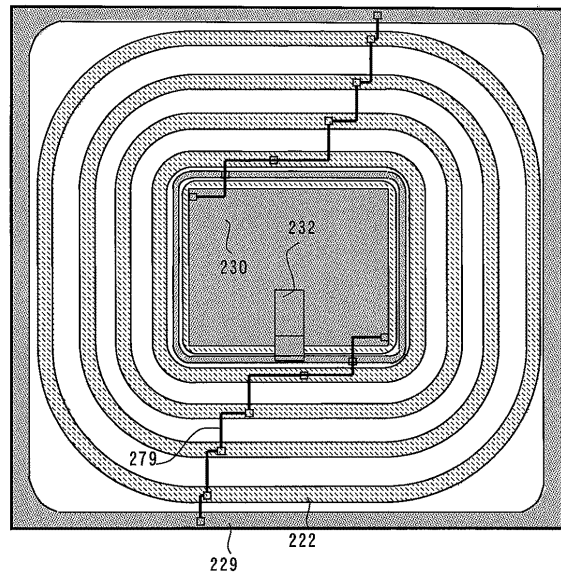
【図 21】



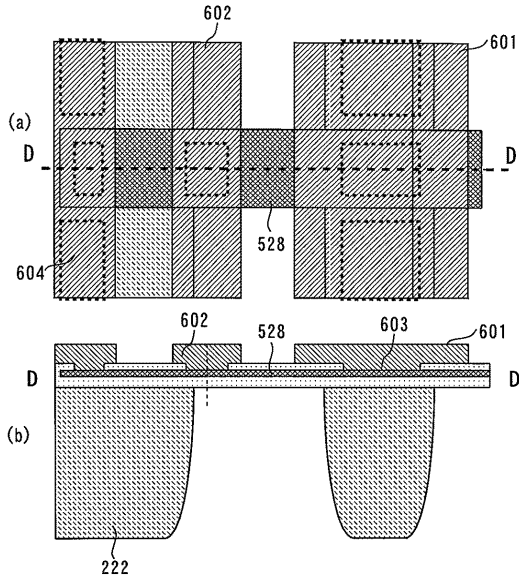
【図 22】



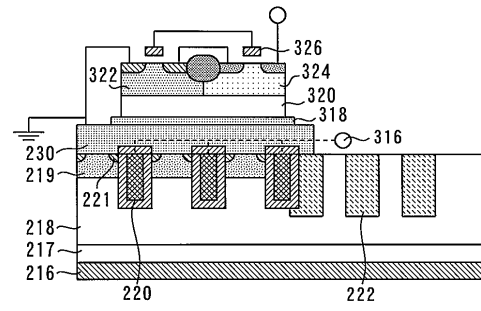
【図 23】



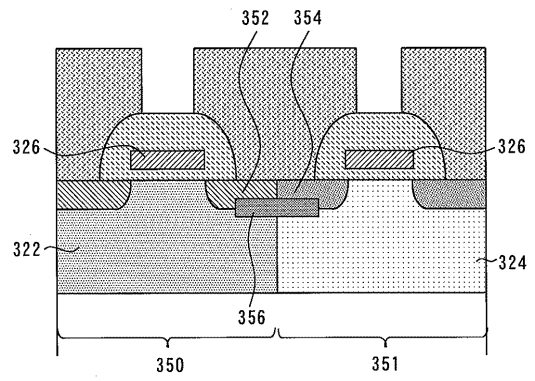
【 図 2 4 】



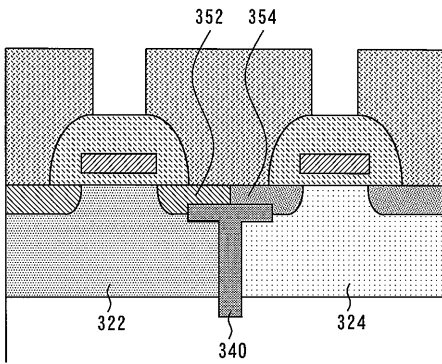
【 図 2 5 】



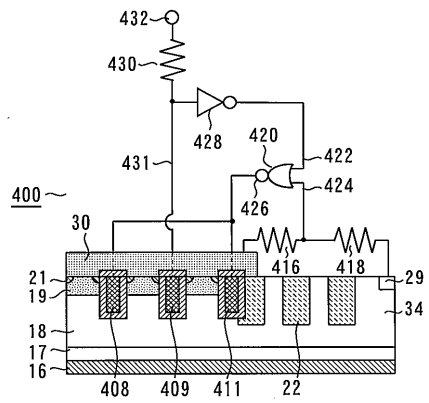
【 図 2 6 】



【 図 2 7 】



【 図 2 8 】



【 図 2 9 】

