

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-255666
(P2012-255666A)

(43) 公開日 平成24年12月27日(2012.12.27)

(51) Int.Cl.	F I	テーマコード (参考)
G 0 1 T 7/00 (2006.01)	G O 1 T 7/00 A	2 G 0 8 8
A 6 1 B 6/00 (2006.01)	A 6 1 B 6/00 3 0 0 S	4 C 0 9 3

審査請求 未請求 請求項の数 14 O L (全 20 頁)

(21) 出願番号 特願2011-127600 (P2011-127600)
(22) 出願日 平成23年6月7日 (2011.6.7)

(71) 出願人 000002185
ソニー株式会社
東京都港区港南1丁目7番1号
(74) 代理人 100098785
弁理士 藤島 洋一郎
(74) 代理人 100109656
弁理士 三反崎 泰司
(74) 代理人 100130915
弁理士 長谷部 政男
(74) 代理人 100155376
弁理士 田名網 孝昭
(72) 発明者 田中 勉
東京都港区港南1丁目7番1号 ソニー株式会社内

最終頁に続く

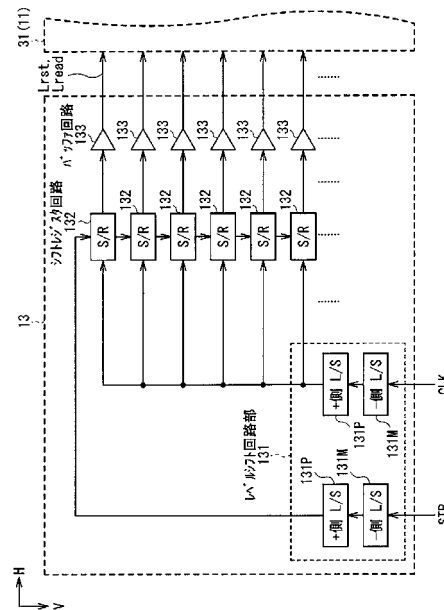
(54) 【発明の名称】放射線撮像装置および放射線撮像表示システム

(57) 【要約】

【課題】放射線に対する耐性を向上させることが可能な放射線撮像装置および放射線撮像表示システムを提供する。

【解決手段】放射線撮像装置は、入射した放射線に応じて電気信号を発生する複数の画素を有する撮像部と、この撮像部の外縁領域に配設された周辺回路とを備えている。周辺回路は、放射線耐性が相対的に高い第1の回路と、この第1の回路よりも撮像部から遠い位置に配設され、放射線耐性が相対的に低い第2の回路とを有している。

【選択図】図4



- 【特許請求の範囲】
- 【請求項 1】
入射した放射線に応じて電気信号を発生する複数の画素を有する撮像部と、
前記撮像部の外縁領域に配設された周辺回路と
を備え、
前記周辺回路は、
放射線耐性が相対的に高い第 1 の回路と、
前記第 1 の回路よりも前記撮像部から遠い位置に配設され、放射線耐性が相対的に低い
第 2 の回路と
を有する放射線撮像装置。 10
- 【請求項 2】
前記第 1 の回路がデジタル回路であり、前記第 2 の回路がアナログ回路である
請求項 1 に記載の放射線撮像装置。
- 【請求項 3】
前記アナログ回路が、レベルシフト回路である
請求項 2 に記載の放射線撮像装置。
- 【請求項 4】
前記レベルシフト回路が、
正電源側のレベルシフトを行う第 1 のレベルシフト回路と、
負電源側のレベルシフトを行う第 2 のレベルシフト回路とからなる
請求項 3 に記載の放射線撮像装置。 20
- 【請求項 5】
前記第 2 のレベルシフト回路が、前記第 1 のレベルシフト回路よりも前記撮像部から遠
い位置に配設されている
請求項 4 に記載の放射線撮像装置。
- 【請求項 6】
前記撮像部と前記第 1 のレベルシフト回路との間に、前記第 1 の回路としての第 1 のデ
ジタル回路が配設され、
前記第 1 のレベルシフト回路と前記第 2 のレベルシフト回路との間に、第 2 のデジタル
回路が配設されている
請求項 5 に記載の放射線撮像装置。 30
- 【請求項 7】
前記レベルシフト回路は、P 型トランジスタおよび N 型トランジスタの双方を用いて構
成されている
請求項 3 に記載の放射線撮像装置。
- 【請求項 8】
前記デジタル回路が、シフトレジスタ回路、論理回路およびバッファ回路のうちの少な
くとも 1 つである
請求項 2 に記載の放射線撮像装置。
- 【請求項 9】 40
前記周辺回路が、前記複数の画素に対する順次走査を行う走査回路である
請求項 1 に記載の放射線撮像装置。
- 【請求項 10】
前記撮像部は、入射した放射線に対して波長変換を行う波長変換層を有する
請求項 1 に記載の放射線撮像装置。
- 【請求項 11】
前記撮像部は、光電変換層を有する
請求項 1 に記載の放射線撮像装置。
- 【請求項 12】 50
前記撮像部は、撮像素子と、この撮像素子の撮像面側に配設された縮小光学系とを有す

る

請求項 1 に記載の放射線撮像装置。

【請求項 1 3】

前記放射線が X 線である

請求項 1 に記載の放射線撮像装置。

【請求項 1 4】

放射線撮像装置と、この放射線撮像装置により得られた撮像信号に基づく画像表示を行う表示装置とを備え、

前記放射線撮像装置は、

入射した放射線に応じて電気信号を発生する複数の画素を有する撮像部と、

前記撮像部の外縁領域に配設された周辺回路と

を備え、

前記周辺回路は、

放射線耐性が相対的に高い第 1 の回路と、

前記第 1 の回路よりも前記撮像部から遠い位置に配設され、放射線耐性が相対的に低い第 2 の回路と

を有する放射線撮像表示システム。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、放射線に基づく情報の読み取りを行う放射線撮像装置、およびそのような放射線撮像装置を備えた放射線撮像表示システムに関する。

【背景技術】

【0002】

放射線撮像装置（放射線読取装置）では、複数の画素（撮像画素）を有する撮像部において、入射した放射線（例えば、 α 線、 β 線、 γ 線、X線等）に基づく情報の読み取り（撮像）が行われる（例えば、特許文献 1 参照）。このような放射線撮像装置を使用することにより、従来のような放射線写真フィルムを用いることなく、被写体の画像を観察することが可能となり、また、動画撮影および動画表示にも対応することが可能となっている。

【0003】

放射線撮像装置は、間接方式のものと直接方式のものに大別される。間接方式の放射線撮像装置では、入射した放射線を蛍光体膜（波長変換層）において可視光に波長変換させたのち、光電変換層において電気信号を発生させることにより、放射線に基づく撮像を行うようになっている。一方、直接方式の放射線撮像装置では、そのような波長変換層を用いずに、光電変換層において入射した放射線を直接電気信号に変換することにより、放射線に基づく撮像を行うようになっている。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2007 - 282684 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

ところで、このような放射線撮像装置では一般に、撮像部の周辺（外縁領域）に、薄膜トランジスタ（TFT；Thin Film Transistor）などの半導体素子を用いた周辺回路が設けられている。この周辺回路では、撮像の際に放射線の一部が入射する場合があることから、放射線に対する耐性（放射線耐性）を向上させる手法の提案が望まれる。

【0006】

本開示はかかる問題点を鑑みてなされたもので、その目的は、放射線に対する耐性を向

10

20

30

40

50

上させることが可能な放射線撮像装置および放射線撮像表示システムを提供することにある。

【課題を解決するための手段】

【0007】

本開示の放射線撮像装置は、入射した放射線に応じて電気信号を発生する複数の画素を有する撮像部と、この撮像部の外縁領域に配設された周辺回路とを備えている。周辺回路は、放射線耐性が相対的に高い第1の回路と、この第1の回路よりも撮像部から遠い位置に配設され、放射線耐性が相対的に低い第2の回路とを有している。

【0008】

本開示の撮像表示システムは、上記本開示の放射線撮像装置と、この放射線撮像装置により得られた撮像信号に基づく画像表示を行う表示装置とを備えたものである。

10

【0009】

本開示の放射線撮像装置および放射線撮像表示システムでは、撮像部の外縁領域に配設された周辺回路が、放射線耐性が相対的に高い第1の回路と、この第1の回路よりも撮像部から遠い位置に配設され、放射線耐性が相対的に低い第2の回路とからなる。すなわち、放射線耐性が相対的に低い第2の回路のほうが、放射線耐性が相対的に高い第1の回路よりも撮像部から遠い位置に配設されている。これにより、周辺回路に対して放射線が入射したときに、放射線による回路への悪影響（例えば、回路内の素子の特性劣化等）が抑えられる。

【発明の効果】

20

【0010】

本開示の放射線撮像装置および放射線撮像表示システムによれば、撮像部の外縁領域に配設された周辺回路が、放射線耐性が相対的に高い第1の回路と、この第1の回路よりも撮像部から遠い位置に配設され、放射線耐性が相対的に低い第2の回路とを有しているようにしたので、放射線による周辺回路への悪影響を抑えることができる。よって、放射線に対する耐性を向上させることが可能となる。

【図面の簡単な説明】

【0011】

【図1】本開示の一実施の形態に係る放射線撮像装置の全体構成例を表すブロック図である。

30

【図2】図1に示した撮像部の概略構成例を表す模式図である。

【図3】図1に示した画素の詳細構成例を表す回路図である。

【図4】図1に示した行走査部の詳細構成例を表すブロック図である。

【図5】図4に示した正電源側レベルシフト回路および負電源側レベルシフト回路の詳細構成例を表す回路図である。

【図6】撮像動作の際の放射線の入射態様例を表す模式断面図である。

【図7】放射線の照射前後におけるN型TF TおよびP型TF Tの特性例を表す図である。

【図8】比較例に係る行走査部の構成を表すブロック図である。

【図9】変形例1に係る行走査部の構成例を表すブロック図である。

40

【図10】変形例2に係る行走査部の構成例を表すブロック図である。

【図11】変形例2に係る行走査部の他の構成例を表すブロック図である。

【図12】適用例に係る放射線撮像表示システムの概略構成例を表す模式図である。

【図13】他の変形例に係る画素の構成例を表す回路図である。

【発明を実施するための形態】

【0012】

以下、本開示の実施の形態について、図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

1. 実施の形態（放射線耐性が相対的に低い回路を撮像領域から相対的に遠くに配置した

50

例)

2. 変形例

変形例 1 (正電源側 L S 回路および負電源側 L S 回路の配置を逆にした例)

変形例 2, 3 (正電源側 L S 回路, 負電源側 L S 回路間に他の回路を配置した例)

3. 適用例 (放射線撮像表示システムへの適用例)

4. その他の変形例

【0013】

<実施の形態>

[放射線撮像装置 1 の全体構成]

図 1 は、本開示の一実施の形態に係る放射線撮像装置 (放射線撮像装置 1) の全体のブロック構成を表すものである。放射線撮像装置 1 は、線, 線, 線, X 線に代表される放射線を波長変換して、放射線に基づく被写体の情報を読み取る (撮像する) ものである。この放射線撮像装置 1 は、撮像領域 3 1 内に配設された撮像部 1 1 と、この撮像部 1 1 (撮像領域 3 1) の外縁領域 (周辺領域) に配設された周辺回路 3 2 およびシステム制御部 1 6 とを備えている。周辺回路 3 2 は、行走査部 1 3、A / D 変換部 1 4 および列走査部 1 5 からなる。

10

【0014】

(撮像部 1 1)

撮像部 1 1 は、入射した放射線に応じて電気信号を発生する部分である。この撮像部 1 1 には、入射した放射線の光量 (線量) に応じた電荷量の光電荷を発生して内部に蓄積する光電変換部 (後述する光電変換素子 2 1) を有する複数の画素 (撮像素素, 単位画素) 2 0 が、行列状 (マトリクス状) に 2 次元配置されている。なお、図 1 中に示したように、以下、撮像部 1 1 内における水平方向 (行方向) を「H」方向とし、垂直方向 (列方向) を「V」方向として説明する。

20

【0015】

図 2 (A) は、この撮像部 1 1 の概略構成例を表したものである。撮像部 1 1 では、上記した画素 2 0 が行列状に配置されてなる光電変換層 1 1 1 上 (撮像部 1 1 の受光面側, 撮像面側) に、波長変換層 1 1 4 が設けられている。

【0016】

波長変換層 1 1 4 は、入射した放射線 R rad を、光電変換層 1 1 1 の感度域に波長変換するものであり、これにより光電変換層 1 1 1 では、この放射線 R rad に基づく情報を読み取ることが可能となっている。この波長変換層 1 1 4 は、例えば X 線などの放射線を可視光に変換する蛍光体 (例えば、シンチレータ) からなる。このような波長変換層 1 1 4 は、例えば光電変換層 1 1 1 の上部に、有機平坦化膜、スピノングラス材料等からなる平坦化膜を形成し、その上部に蛍光体膜を Cs I、Na I、Ca F₂ 等によって形成することにより得られる。また、簡便には、Cs I や Gd O などの波長変換材料をプラスチック板に塗布したシンチレータプレートを、光電変換層 1 1 1 上に載せることによっても、上記の波長変換層 1 1 4 を得ることが可能である。

30

【0017】

なお、撮像部 1 1 の構成としては、図 2 (A) に示したのものには限られず、例えば図 2 (B) に示したような構成としてもよい。この図 2 (B) に示した撮像部 1 1 では、図 2 (A) における光電変換層 1 1 1 の代わりに、撮像素子 1 1 2 および縮小光学系 1 1 3 を有している。撮像素子 1 1 2 は、波長変換層 1 1 4 により波長変換されて得られる可視光 (撮像光) を検出し、出力データ (撮像信号) を取得する素子である。このような撮像素子 1 1 2 は、例えば、CCD (Charge-Coupled Devices) や CMOS (Complementary Metal-Oxide Semiconductor) 等のイメージングセンサーを用いて構成することが可能である。縮小光学系 1 1 3 は、撮像素子 1 1 2 の受光面側 (撮像面側) に配設されており、例えばマイクロレンズアレイなどからなる。このような構成な撮像部 1 1 においても、入射した放射線 R rad に基づく情報の読み取りを行うことが可能となっている。

40

【0018】

50

図3(A), (B)はそれぞれ、画素20の回路構成例(いわゆるパッシブ型の回路構成例)を表したものである。このパッシブ型の画素20には、1つの光電変換素子21と、1つのトランジスタ22とが設けられている。この画素20にはまた、行方向(H方向)に沿って延在する読み出し制御線L readと、列方向(V方向)に沿って延在する信号線L sigおよびバイアス線L biasとが接続されている。

【0019】

光電変換素子21は、例えばPIN(Positive Intrinsic Negative)型のフォトダイオードからなり、入射光(放射線R rad)の光量に応じた電荷量の信号電荷を発生するようになっている。なお、この光電変換素子21では、そのカソード(図3(A))またはアノード(図3(B))が、蓄積ノードNに接続されている。

10

【0020】

トランジスタ22は、読み出し制御線L readから供給される行走査信号に応じてオン状態となることにより、光電変換素子21で発生した信号電荷(入力電圧V in)を信号線L sigへ出力するトランジスタである。

【0021】

このトランジスタ22は、例えばNチャネル型(N型)の電界効果トランジスタ(FET)により構成されている。ただし、トランジスタ22における導電型はこれには限られず、例えばPチャネル型(P型)であってもよい。このトランジスタ22はまた、例えば、微結晶シリコンまたは多結晶シリコン等のシリコン系半導体を用いて構成されている。あるいは、酸化インジウムガリウム亜鉛(InGaZnO)または酸化亜鉛(ZnO)等の酸化物半導体を用いて構成してもよい。微結晶シリコン、多結晶シリコン(ポリシリコン)および酸化物半導体は、アモルファスシリコンに比べて移動度 μ が高いため、例えばトランジスタ22による信号の高速読み出しが可能になる。

20

【0022】

この画素20では、トランジスタ22のゲートが読み出し制御線L readに接続され、ソースが信号線L sigに接続され、ドレインが、光電変換素子21のカソード(図3(A))またはアノード(図3(B))(蓄積ノードN)に接続されている。光電変換素子21のアノード(図3(A))またはカソード(図3(B))は、バイアス電位(例えばグラウンド(接地)電位)を保持するバイアス線L biasに接続されている。

【0023】

(行走査部13)

図1に示した行走査部13は、後述するシフトレジスタ回路やレベルシフト回路等を含んで構成されており、撮像部11内の複数の画素20を、例えば行単位で駆動(順次走査)する画素駆動部(走査回路)である。このような行単位での駆動は、上記した読み出し制御線L readを介して、上記した行走査信号を供給することによりなされる。

30

【0024】

図4は、行走査部13のブロック構成例を表したものである。行走査部13は、ここでは、レベルシフト回路部131、複数のシフトレジスタ回路132(図中のブロック内では便宜上、「S/R」と記載;以下同様)および複数のバッファ回路133を有している。また、この行走査部13内では、撮像部11(撮像領域31)側から、バッファ回路133、シフトレジスタ回路132およびレベルシフト回路部131の順に配設されている。すなわち、詳細は後述するが、放射線耐性が相対的に高いデジタル回路(第1の回路;バッファ回路133およびシフトレジスタ回路132)よりも、放射線耐性が相対的に低いアナログ回路(第2の回路;レベルシフト回路部131)のほうが、撮像領域31から遠い(離れた)位置に配設されている。

40

【0025】

レベルシフト回路部131は、入力された信号の電源電位(正電源側や負電源側の電位)を変位させる(電源のレベルシフトを行う)回路部である。このレベルシフト回路部131は、2つの正電源側レベルシフト回路131P(図中のブロック内では便宜上、「+側L/S」と記載;以下同様)と、2つの負電源側レベルシフト回路131M(図中の

50

ブロック内では便宜上、「-側 L/S」と記載；以下同様）とを有している。正電源側レベルシフト回路131P（第1のレベルシフト回路）は、正電源側のレベルシフトを行う回路であり、負電源側レベルシフト回路131M（第2のレベルシフト回路）は、負電源側のレベルシフトを行う回路である。これらの正電源側レベルシフト回路131Pおよび負電源側レベルシフト回路131Mはそれぞれ、以下説明するように、P型（Pチャネル型）のトランジスタと、N型（Nチャネル型）のトランジスタとの双方を用いて構成されている。

【0026】

ここで、本実施の形態のレベルシフト回路部131内では、詳細は後述するが、放射線耐性が相対的に低い負電源側レベルシフト回路131Mが、放射線耐性が相対的に高い正電源側レベルシフト回路131Pよりも、撮像領域31から遠い（離れた）位置に配設されている。このような構成のレベルシフト回路部131では、入力されたスタートパルス信号STRおよびクロック信号CLKに対してそれぞれ、負電源側レベルシフト回路131Mによる負電源側のレベルシフトと、正電源側レベルシフト回路131Pによる正電源側のレベルシフトとを、この順序で行うようになっている。

10

【0027】

図5は、これらのレベルシフト回路の回路構成例を表したものであり、(A)は負電源側レベルシフト回路131Mの回路構成例を、(B)は正電源側レベルシフト回路131Pの回路構成例を、それぞれ示す。なお、これらの図5(A)、(B)の回路では、入力データDin、xDin(Dinの論理反転信号)が入力されると共に、出力データDoutが出力されるものとする。

20

【0028】

図5(A)に示した負電源側レベルシフト回路131Mは、ここでは、ハイ(「H」)レベル=2.5V、ロー(「L」)レベル=0Vからなる入力データDinを入力し、その負電源側(「L」レベル側)のレベルシフト(0V - 4.5Vのレベルシフト)を行っている。これにより、この負電源側レベルシフト回路131Mからは、「H」レベル=2.5V、「L」レベル=-4.5Vからなる出力データDoutが出力されるようになっている。この負電源側レベルシフト回路131Mは、2つのPチャネル型のトランジスタTr11、Tr12と、2つのNチャネル型のトランジスタTr13、Tr14とを用いて構成されている。これらのトランジスタTr11、Tr12、Tr13、Tr14はそれぞれ、電界効果トランジスタ(FET)からなる。ここで、トランジスタTr11のゲートには入力データDinが入力され、ソースは正電源VDD1(=2.5V)に接続され、ドレインは、トランジスタTr13のドレインおよびトランジスタTr14のゲートに接続されている。トランジスタTr12のゲートには入力データxDinが入力され、ソースは正電源VDD1に接続され、ドレインは、トランジスタTr14のドレインおよびトランジスタTr13のゲートに接続されている。トランジスタTr13、Tr14のソースはそれぞれ、負電源VSS1(=-4.5V)に接続されている。そして、トランジスタTr12、Tr14の各ドレインとトランジスタTr13のゲートとの接続点から、出力データDoutが出力されるようになっている。

30

【0029】

図5(B)に示した正電源側レベルシフト回路131Pは、ここでは、「H」レベル=2.5V、「L」レベル=-4.5Vからなる入力データDinを入力し、その正電源側(「H」レベル側)のレベルシフト(2.5V - 7Vのレベルシフト)を行っている。これにより、この正電源側レベルシフト回路131Pからは、「H」レベル=7V、「L」レベル=-4.5Vからなる出力データDoutが出力されるようになっている。この正電源側レベルシフト回路131Pは、2つのPチャネル型のトランジスタTr21、Tr22と、2つのNチャネル型のトランジスタTr23、Tr24とを用いて構成されている。これらのトランジスタTr21、Tr22、Tr23、Tr24もそれぞれ、電界効果トランジスタ(FET)からなる。ここで、トランジスタTr23のゲートには入力データDinが入力され、ソースは負電源VSS2(=-4.5V)に接続され、ドレインは、ト

40

50

ランジスタTr 2 1のドレインおよびトランジスタTr 2 2のゲートに接続されている。トランジスタTr 2 4のゲートには入力データxDinが入力され、ソースは負電源VSS2に接続され、ドレインは、トランジスタTr 2 2のドレインおよびトランジスタTr 2 1のゲートに接続されている。トランジスタTr 2 1, Tr 2 2のソースはそれぞれ、正電源VDD2 (= 7V)に接続されている。そして、トランジスタTr 2 2, Tr 2 4の各ドレインとトランジスタTr 2 1のゲートとの接続点から、出力データDoutが出力されるようになってい

【0030】

シフトレジスタ回路132は、レベルシフト回路部131から出力されるレベルシフト後のスタートパルスSTRおよびクロック信号CLKに基づいて、V方向に順次シフトするパルス信号を生成する回路である。バッファ回路133は、各シフトレジスタ回路132から出力されるパルス信号に対するバッファとして機能する回路である。

10

【0031】

A/D変換部14は、図1に示したように、複数(ここでは4つ)の信号線Lsigごとに1つ設けられた複数の列選択部17を有しており、信号線Lsigを介して入力した信号電圧に基づいてA/D変換(アナログ/デジタル変換)を行うものである。また、各列選択部17は、例えば、アンプ、容量素子(コンデンサ)、スイッチ、サンプルホールド(S/H)回路、水平選択スイッチおよびA/Dコンバータ等(いずれも図示せず)を含んで構成されている。このような構成によりA/D変換部14では、デジタル信号からなる出力データ(撮像信号)が生成され、外部へ出力されるようになってい

20

【0032】

列走査部15は、例えばシフトレジスタやアドレスデコーダ等を含んで構成されており、上記した列選択部17内の各水平選択スイッチ(図示せず)を走査しつつ順番に駆動するものである。この列走査部15による選択走査により、信号線Lsigの各々を通して伝送される各画素20の信号(上記した撮像信号)が順番に出力されるようになってい

【0033】

システム制御部16は、周辺回路32(行走査部13、A/D変換部14および列走査部15)の動作を制御するものである。具体的には、システム制御部16は、各種のタイミング信号を生成するタイミングジェネレータを有しており、このタイミングジェネレータにおいて生成される各種のタイミング信号を基に、行走査部13、A/D変換部14および列走査部15の駆動制御を行う。このようにして、システム制御部16の制御に基づいて、行走査部13、A/D変換部14および列走査部15がそれぞれ撮像部11内の複数の画素20に対する撮像駆動(順次走査)を行うことにより、撮像部11から出力データ(撮像信号)が取得されるようになってい

30

【0034】

[放射線撮像装置1の作用・効果]

(1.基本動作)

この放射線撮像装置1では、図2および図6(A)に示したように、所定の放射線源51(例えばX線源)から照射された放射線Rradが撮像部11へ入射すると、この放射線Rradは、波長変換層114において可視光に変換される。この可視光は、例えば図2(A)に示した光电変換層111(図3に示した各画素20内の光电変換素子21)において、信号電荷に変換(光电変換)される。この光电変換によって発生した電荷により、蓄積ノードNでは蓄積ノード容量に応じた電圧変化が生じる。具体的には、蓄積ノード容量をCs、発生した電荷をqとすると、蓄積ノードNでは(q/Cs)の分だけ電圧が低下する。このような電圧変化に応じて、トランジスタ22のドレインには入力電圧Vin(光电変換素子21で発生した信号電荷)が印加される。このトランジスタ22へ供給される入力電圧Vinは、読み出し制御線Lreadから供給される行走査信号に応じてトランジスタ22がオン状態になると、その電荷が信号線Lsigへ出力される(読み出される)。

40

【0035】

なお、例えば図2(B)に示した構成の撮像部11の場合には、波長変換層114から

50

出射された可視光は、縮小光学系 1 1 3 を介して各画素内の撮像素子 1 1 2 へ入射することにより、信号電荷が信号線 L sigへ出力される。

【 0 0 3 6 】

このようにして読み出された信号は、信号線 L sigを介して複数（ここでは 4 つ）の画素列ごとに、A / D 変換部 1 4 内の列選択部 1 7 へ入力される。列選択部 1 7 では、各信号線 L sigからアンプ（図示せず）を介して入力される信号電圧ごとに A / D 変換を行い、デジタル信号からなる出力データ（撮像信号）を生成する。このようにして、各列選択部 1 7 から撮像信号が順番に出力され、外部へ伝送される。

【 0 0 3 7 】

（ 2 . 放射線の照射に起因した周辺回路の特性劣化について）

10

ところで、このような放射線撮像装置 1 では、図 6（ B ）（図 6（ A ）中の符号 P 1 で示した領域付近の拡大図）に示したように、撮像の際に、保護プレート 1 8 を介して撮像領域 3 1 側へ入射した放射線 R radの一部が、周辺回路 3 2 へ入射する場合がある。具体的には、放射線源 5 1 から周辺回路 3 2 へ直接入射する放射線 R rad1と、被写体 5 1 内で散乱された後に周辺回路 3 2 へ入射する放射線 R rad2とが存在し得る。このように、周辺回路 3 2 上には放射線遮蔽板 1 9 が配設されているにも関わらず、撮像の際に放射線 R radが周辺回路 3 2 へ入射してしまう場合がある。

【 0 0 3 8 】

このようにして放射線 R radが周辺回路 3 2 へ入射すると、回路内の素子（ T F T 等の半導体素子など）の特性劣化が生じ、周辺回路 3 2 における動作不良等を引き起こすおそれがある。

20

【 0 0 3 9 】

具体的には、例えば図 7 に示したように、 N 型 T F T（図 7（ A ） ,（ B ））および P 型 T F T（図 7（ C ） ,（ D ））のいずれにおいても、放射線 R radの照射前と比べて放射線 R radの照射後では、閾値電圧 V_{th} の変動（ V_{th} シフト）が生じてしまう（図 7（ B ） ,（ D ）中の矢印参照）。ここで、図中の縦軸に示した I_{ds} は、 T F T のソース・ドレイン間の電流を表し、横軸に示した V_{gs} は、 T F T のゲート・ソース間に印加される電圧を意味している。なお、図 7（ A ） ,（ B ）中に示した複数種類のデータはそれぞれ、撮像部 1 1 内の複数の位置でのデータに対応する。また、図 7（ B ） ,（ D ）中に示した複数種類のデータは、照射する放射線 R radの大きさを変化させた場合の各データ（ 2 1 0 , 2 5 0 , 3 0 4 , 3 8 3 , 5 0 0 G y の 5 種類のデータ）に対応する。

30

【 0 0 4 0 】

また、この図 7（ A ） ~（ D ）に示したデータからは、以下のことも分かる。すなわち、図 7（ B ） ,（ D ）中に示した矢印を参照すると、 N 型 T F T と比べて P 型 T F T のほうが、放射線 R radが照射されたときの閾値電圧 V_{th} の変動量が大きい（特性劣化の度合いが大きい）ことが分かる。このことは、 P 型 T F T と比べて N 型 T F T のほうが、放射線耐性が高い傾向にあるということである。

【 0 0 4 1 】

（ 2 - 1 . 比較例）

ここで、図 8 に示した比較例に係る行走査部（行走査部 1 0 3）では、図 4 に示した本実施の形態の行走査部 1 3とは異なり、シフトレジスタ回路 1 3 2 とバッファ回路 1 3 3 との間に、複数のレベルシフト回路 1 0 1 を含むレベルシフト回路部 1 0 0 が配設されている。すなわち、行走査部 1 0 3 では行走査部 1 3 と比べ、放射線耐性が相対的に低い回路（レベルシフト回路部 1 0 0）の配置が、撮像領域 3 1 に近づいている。

40

【 0 0 4 2 】

このため、比較例の行走査回路 1 0 3 では、撮像の際にレベルシフト回路部 1 0 0 内に放射線 R radが入射し易くなり、各レベルシフト回路 1 0 1 内のトランジスタ（ T F T ）における特性劣化（上記した V_{th} シフト）が生じ易くなる。その結果、比較例の行走査回路 1 0 3 では、レベルシフト回路部 1 0 0 での動作不良（誤動作等）が生じ易くなってしまふ。

50

【 0 0 4 3 】

(2 - 2 . 本実施の形態)

これに対して本実施の形態では、例えば図 4 に示した行走査回路 1 3 のような回路配置となっている。すなわち、この行走査回路 1 3 では、放射線耐性が相対的に高いデジタル回路 (バッファ回路 1 3 3 およびシフトレジスタ回路 1 3 2) よりも、放射線耐性が相対的に低いアナログ回路 (レベルシフト回路部 1 3 1) のほうが、撮像領域 3 1 から遠い位置に配設されている。

【 0 0 4 4 】

これにより本実施の形態では、行走査回路 1 3 に対して放射線 R rad が入射した場合であっても、上記比較例と比べ、この放射線 R rad による回路への悪影響 (例えば、レベルシフト回路部 1 3 1 内のトランジスタ (T F T) の特性劣化 (V th シフト等)) が抑えられる。その結果、行走査回路 1 3 では、行走査回路 1 0 3 と比べ、レベルシフト回路部 1 3 1 での動作不良 (誤動作等) が生じ難くなる (望ましくは、動作不良が回避される) 。

【 0 0 4 5 】

また、特に本実施の形態の行走査回路 1 3 では、図 4 に示したように、レベルシフト回路部 1 3 1 内において、放射線耐性が相対的に低い負電源側レベルシフト回路 1 3 1 M が、放射線耐性が相対的に高い正電源側レベルシフト回路 1 3 1 P よりも、撮像領域 3 1 から遠い位置に配設されている。これにより本実施の形態では、上記した放射線 R rad による回路への悪影響がより抑えられ、動作不良が更に生じ難くなる。

【 0 0 4 6 】

ここで、負電源側レベルシフト回路 1 3 1 M のほうが正電源側レベルシフト回路 1 3 1 P よりも放射線耐性が低いのは、前述した P 型 T F T と N 型 T F T との放射線耐性 (V th シフトの態様) の相違に起因している。すなわち、まず、図 5 (A) に示した負電源側レベルシフト回路 1 3 1 M では、安定動作を実現するには以下の (1) 式を満たす必要がある。ところが、図 7 (B) , (D) に示したように、放射線 R rad の照射による V th シフトの際に、N 型 T F T では $I_{ds} (I_n \text{ に対応})$ が増加するのに対し、P 型 T F T では $I_{ds} (I_p \text{ に対応})$ が減少してしまう (図中の 2 重線矢印参照) 。このことから、放射線 R rad が入射すると、負電源側レベルシフト回路 1 3 1 M では、以下の (1) 式が成り立ち難い方向 (安定動作がし難くなる方向) へと動作状態が変化することになり、放射線耐性が相対的に低いと言える。なお、これに対して正電源側レベルシフト回路 1 3 1 P では、放射線 R rad が入射して I_n が増加すると共に I_p が減少すると、逆に、安定動作がし易い方向へと動作状態が変化するため、放射線耐性が相対的に高いと言える。

【 0 0 4 7 】

N 型のトランジスタ $T_r 1 3$, $T_r 1 4$ におけるソース・ドレイン間電流 I_n (ゲートバイアス = $2.5 + 4.5 \text{ V} = 7 \text{ V}$ のとき) < P 型のトランジスタ $T_r 1 1$, $T_r 1 2$ におけるソース・ドレイン間電流 I_p (ゲートバイアス = -2.5 V のとき) ... (1)

【 0 0 4 8 】

以上のように本実施の形態では、撮像部 1 1 の外縁領域に配設された周辺回路 3 2 (ここではそのうちの行走査回路 1 3) が、放射線耐性が相対的に高いデジタル回路 (バッファ回路 1 3 3 およびシフトレジスタ回路 1 3 2) と、このデジタル回路よりも撮像部 1 1 から遠い位置に配設され、放射線耐性が相対的に低いアナログ回路 (レベルシフト回路部 1 3 1) とを有している。したがって、放射線 R rad による周辺回路 3 2 への悪影響を抑えることができ、放射線 R rad に対する耐性を向上させることが可能となる (周辺回路 3 2 における動作不良等を低減もしくは回避することが可能となる) 。

【 0 0 4 9 】

< 変形例 >

続いて、上記実施の形態の変形例 (変形例 1 , 2) について説明する。なお、実施の形態における構成要素と同一のものには同一の符号を付し、適宜説明を省略する。

【 0 0 5 0 】

[変形例 1]

図 9 は、変形例 1 に係る行走査部（行走査部 1 3 A）のブロック構成例を表したものである。本変形例の行走査部 1 3 A 内では、行走査部 1 3 と同様に、撮像部 1 1（撮像領域 3 1）側から、バッファ回路 1 3 3、シフトレジスタ回路 1 3 2 およびレベルシフト回路部 1 3 1 A の順に配設されている。すなわち、放射線耐性が相対的に高いデジタル回路（バッファ回路 1 3 3 およびシフトレジスタ回路 1 3 2）よりも、放射線耐性が相対的に低いアナログ回路（レベルシフト回路部 1 3 1 A）のほうが、撮像領域 3 1 から遠い位置に配設されている。

【 0 0 5 1 】

ただし、本変形例のレベルシフト回路部 1 3 1 A 内では、正電源側レベルシフト回路 1 3 1 P と負電源側レベルシフト回路 1 3 1 M との配置関係が、実施の形態のレベルシフト回路部 1 3 1 とは逆になっている。すなわち、レベルシフト回路部 1 3 1 A 内では、放射線耐性が相対的に低い負電源側レベルシフト回路 1 3 1 M が、放射線耐性が相対的に高い正電源側レベルシフト回路 1 3 1 P よりも、撮像領域 3 1 から近い位置に配設されている。このような構成のレベルシフト回路部 1 3 1 A では、入力されたスタートパルス信号 S T R およびクロック信号 C L K に対してそれぞれ、正電源側レベルシフト回路 1 3 1 P による正電源側のレベルシフトと、負電源側レベルシフト回路 1 3 1 M による負電源側のレベルシフトとを、この順序で行うようになっている。

【 0 0 5 2 】

このように、放射線耐性が相対的に高い回路（バッファ回路 1 3 3 およびシフトレジスタ回路 1 3 2）よりも、放射線耐性が相対的に低い回路（レベルシフト回路部 1 3 1 A）のほうが撮像領域 3 1 から遠い位置に配設されているのであれば、相対的に低い回路（ここではレベルシフト回路部 1 3 1 A）内での回路配置は、任意に設定してもよい。ただし、この相対的に低い回路内においても、実施の形態のレベルシフト回路部 1 3 1 のように、放射線耐性の高低に応じた回路配置に設定したほうが望ましい。放射線 R rad による周辺回路への悪影響をより抑えることができるからである。

【 0 0 5 3 】

[変形例 2]

図 1 0 および図 1 1 はそれぞれ、変形例 2 に係る行走査部（行走査部 1 3 B , 1 3 C）のブロック構成例を表したものである。

【 0 0 5 4 】

まず、図 1 0 に示した行走査部 1 3 A 内では、行走査部 1 3 とは異なり、撮像部 1 1（撮像領域 3 1）側から、バッファ回路 1 3 3、正電源側レベルシフト回路 1 3 1 P、シフトレジスタ回路 1 3 2 および負電源側レベルシフト回路 1 3 1 M の順に配設されている。すなわち、2 つのデジタル回路（バッファ回路 1 3 3（第 1 のデジタル回路）およびシフトレジスタ回路 1 3 2（第 2 のデジタル回路））の間に、正電源側レベルシフト回路 1 3 1 P が配置されている。

【 0 0 5 5 】

ただし、この行走査部 1 3 A 内においても、放射線耐性が相対的に高いデジタル回路（第 1 の回路；ここではバッファ回路 1 3 3）よりも、放射線耐性が相対的に低いアナログ回路（正電源側レベルシフト回路 1 3 1 P および負電源側レベルシフト回路部 1 3 1 M）のほうが、撮像領域 3 1 から遠い位置に配設されている。また、放射線耐性が相対的に低い負電源側レベルシフト回路 1 3 1 M が、放射線耐性が相対的に高い正電源側レベルシフト回路 1 3 1 P よりも、撮像領域 3 1 から遠い位置に配設されている。

【 0 0 5 6 】

一方、図 1 1 に示した行走査部 1 3 C は、上記した行走査部 1 3 B において、複数の A N D（論理積）回路 1 3 4（論理回路）と、2 つの負電源側レベルシフト回路 1 3 1 M とを更に有している。追加された 2 つの負電源側レベルシフト回路 1 3 1 M は、イネーブル信号 E N B 1 , E N B 2 の負電源側のレベルシフトを行う回路である。A N D 回路 1 3 4 における一方の入力端子には、負電源側レベルシフト回路 1 3 1 M から出力されるレベルシフト後のイネーブル信号 E N B 1 またはイネーブル信号 E N B 2 が入力され、他方の入

10

20

30

40

50

力端子には、シフトレジスタ回路 1 3 2 から出力されるパルス信号が入力される。そして、各 AND 回路 1 3 4 からの出力信号は、正電源側レベルシフト回路 1 3 1 P を介してバッファ回路 1 3 3 へ入力されるようになっている。これにより行走査部 1 3 C では、2 種類のイネーブル信号 E N B 1 , E N B 2 に応じて、V 方向の走査パルスの制御を行うことが可能となっている。

【 0 0 5 7 】

このように行走査部 1 3 C 内では、撮像部 1 1 (撮像領域 3 1) 側から、バッファ回路 1 3 3、正電源側レベルシフト回路 1 3 1 P、AND 回路 1 3 4、シフトレジスタ回路 1 3 2 および負電源側レベルシフト回路 1 3 1 M の順に配設されている。すなわち、2 種類のデジタル回路の間 (バッファ回路 1 3 3 (第 1 のデジタル回路) と、AND 回路 1 3 4 およびシフトレジスタ回路 1 3 2 (第 2 のデジタル回路) との間) に、正電源側レベルシフト回路 1 3 1 P が配置されている。

10

【 0 0 5 8 】

この行走査部 1 3 C 内においても、放射線耐性が相対的に高いデジタル回路 (バッファ回路 1 3 3) よりも、放射線耐性が相対的に低いアナログ回路 (正電源側レベルシフト回路 1 3 1 P および負電源側レベルシフト回路部 1 3 1 M) のほうが、撮像領域 3 1 から遠い位置に配設されている。また、放射線耐性が相対的に低い負電源側レベルシフト回路 1 3 1 M が、放射線耐性が相対的に高い正電源側レベルシフト回路 1 3 1 P よりも、撮像領域 3 1 から遠い位置に配設されている。

20

【 0 0 5 9 】

このような構成の行走査部 1 3 B , 1 3 C を用いた本変形例においても、上記実施の形態と同様の作用により同様の効果を得ることが可能である。

【 0 0 6 0 】

< 適用例 >

続いて、上記実施の形態および各変形例 (変形例 1 , 2) に係る放射線撮像装置の放射線撮像表示システムへの適用例について説明する。

【 0 0 6 1 】

図 1 2 は、適用例に係る放射線撮像表示システム (放射線撮像表示システム 5) の概略構成例を模式的に表したものである。この放射線撮像表示システム 5 は、上記実施の形態等に係る放射線撮像装置 (ここでは総称して、放射線撮像装置 1 とする) と、画像処理部 5 2 と、表示装置 4 とを備えている。

30

【 0 0 6 2 】

画像処理部 5 2 は、放射線撮像装置 1 から出力される出力データ D out (撮像信号) に対して所定の画像処理を施すことにより、画像データ D 1 を生成するものである。表示装置 4 は、画像処理部 5 2 において生成された画像データ D 1 に基づく画像表示を、所定のモニタ画面 4 0 上で行うものである。

【 0 0 6 3 】

この放射線撮像表示システム 5 では、放射線撮像装置 1 が、放射線源 (例えば X 線源) 5 1 から被写体 5 0 に向けて照射された放射線に基づき、被写体 5 0 の画像データ D out を取得し、画像処理部 5 2 へ出力する。画像処理部 5 2 は、入力された画像データ D out に対して上記した所定の画像処理を施し、その画像処理後の画像データ (表示データ) D 1 を表示装置 4 へ出力する。表示装置 4 は、入力された画像データ D 1 に基づいて、モニタ画面 4 0 上に画像情報 (撮像画像) を表示する。

40

【 0 0 6 4 】

本適用例の撮像表示システム 5 では、放射線撮像装置 1 において被写体 5 0 の画像を電気信号として取得可能であるため、取得した電気信号を表示装置 4 へ伝送することで、画像表示を行うことができる。すなわち、従来のような放射線写真フィルムを用いることなく、被写体 5 0 の画像を観察することが可能となり、また、動画撮影および動画表示にも対応することが可能となる。

【 0 0 6 5 】

50

< その他の変形例 >

以上、実施の形態、変形例および適用例を挙げて本技術を説明したが、本技術はこれらの実施の形態等に限定されず、種々の変形が可能である。

【 0 0 6 6 】

例えば、撮像部における画素の回路構成は、上記実施の形態等で説明したもの（画素 20 の回路構成）には限られず、他の回路構成であってもよい。すなわち、例えば図 13（A）、（B）に示した画素 20 A（いわゆるアクティブ型の画素）のように、画素 20 A 内に、所定のソースフォロワ回路が設けられているようにしてもよい。具体的には、このアクティブ型の画素 20 A には、1つの光電変換素子 21 と、3つのトランジスタ 22、23、24 とが設けられている。この画素 20 にはまた、行方向（H方向）に沿って延在する読み出し制御線 L read、リセット制御線 L rst および電源線 V D D と、列方向（V方向）に沿って延在する信号線 L sig、バイアス線 L bias およびリセット電源線 V rst とが接続されている。この画素 20 A では、トランジスタ 22 のゲートが読み出し制御線 L read に接続され、ソースが信号線 L sig に接続され、ドレインが、ソースフォロワ回路を構成するトランジスタ 23 のドレインに接続されている。トランジスタ 23 のソースは電源線 V D D に接続され、ゲートは、光電変換素子 21 のカソード（図 13（A））またはアノード（図 13（B））（蓄積ノード N）と、リセットトランジスタとして機能するトランジスタ 24 のドレインとに接続されている。このトランジスタ 24 のゲートはリセット制御線 L rst に接続され、ソースはリセット電源線 V rst に接続されている。光電変換素子 21 のアノード（図 13（A））またはカソード（図 13（B））は、バイアス線 L bias に接続されている。

10

20

【 0 0 6 7 】

また、上記実施の形態等では、放射線耐性が相対的に高い回路（第 1 の回路）および相対的に低い回路（第 2 の回路）の一例として、それぞれ、デジタル回路（シフトレジスタ回路、論理回路およびバッファ回路のうち少なくとも 1 つ）およびアナログ回路（レベルシフト回路）を挙げて説明したが、これには限られない。ここで、一般的に、アナログ回路と比べてデジタル回路において放射線耐性が相対的に高いのは、以下の理由によるものである。すなわち、まず、デジタル回路（論理回路やバッファ回路等）では、その入力電圧が電源電圧 A（V）あるいは接地電圧（0 V）の 2 値であることから、トランジスタにおけるゲート・ソース間電圧 V_{gs} もまた、0（V）または電源電圧 A（V）となる（P型のトランジスタの場合、 $-A$ （V））。したがって、例えばバッファ回路の場合において入力電圧が A（V）のときには、P型のトランジスタ側では $V_{gs} = 0$ （V）となり、N型のトランジスタ側では $V_{gs} = A$ （V）となる。このような場合において、バッファ回路が誤動作する条件は、P型のトランジスタにおける $V_{gs} = 0$ （V）のときのオン抵抗が、N型のトランジスタにおける $V_{gs} = A$ （V）のときのオン抵抗より低くなるというものであり、このマージンは一般に非常に高いと言える。一方、アナログ回路（レベルシフト回路等）では、その入力電圧が電源電圧 A（V）と接地電圧（0 V）との中間の値となることがあり、P型のトランジスタとN型のトランジスタとの電流差によって動作点が決定される。つまり、上記したデジタル回路のように完全にオン・オフの状態で作動しているのではなく、アナログ回路では、P型のトランジスタおよびN型のトランジスタの双方がオンしている状態で動作する。このため、ある時点での動作点を見ると、P型のトランジスタおよびN型のトランジスタにおける V_{gs} がそれぞれ、電源電圧 A（V）よりも小さくなる。このように V_{gs} の差が小さいということは、特性変動に対して大小関係（ V_{gs} の大小関係）が逆転し易いことになるため、デジタル回路と比べてアナログ回路のほうが、一般に特性変動に対して弱い（ここでは放射線耐性が相対的に低い）ということが言えるのである。

30

40

【 0 0 6 8 】

更に、上記実施の形態等では、P型トランジスタおよびN型トランジスタの双方を用いて構成されたレベルシフト回路の回路構成を具体的に挙げて説明したが、レベルシフト回路の回路構成は、これには限られない。また、レベルシフト回路部が、正電源側のレベル

50

シフトを行う第1のレベルシフト回路と、負電源側のレベルシフトを行う第2のレベルシフト回路とのうちの一方のみから構成されていてもよい。

【0069】

加えて、上記実施の形態等では、放射線耐性の相対的な高低を考慮した回路配置を適用した周辺回路の一例として、複数の画素に対する順次走査を行う走査回路（行走査回路）を挙げて説明したが、そのような周辺回路としてはこれには限られない。すなわち、他の周辺回路（A/D変換部や列選択部、列走査部等）において、上記実施の形態と同様の手法を用いて、放射線耐性の相対的な高低を考慮した回路配置を行うようにしてもよい。

【0070】

また、上記実施の形態等では、撮像部内に波長変換層（放射線を可視光に波長変換する層）を設けた放射線撮像装置（いわゆる間接型の放射線撮像装置）を例に挙げて説明したが、これには限られない。すなわち、撮像部内にそのような波長変換層を設けないようにした放射線撮像装置（いわゆる直接型の放射線撮像装置）においても、本技術を適用することが可能である。

10

【0071】

更に、上記実施の形態等で説明した撮像部および周辺回路はそれぞれ、例えば同一基板上に形成されているようにしてもよい。具体的には、例えば低温多結晶シリコン（Si）などの多結晶半導体を用いることにより、これらの回路部分におけるスイッチ等も同一基板上に形成することができるようになる。このため、例えば外部のシステム制御部からの制御信号に基づいて、同一基板上における駆動動作を行うことが可能となる。

20

【0072】

加えて、上記実施の形態等では、放射線撮像装置の適用例として放射線撮像表示システムを挙げて説明したが、これには限られない。すなわち、上記実施の形態等の放射線撮像装置は、例えば医療機器（Digital Radiography等のX線撮像装置）や、空港等で用いられる携帯物検査用X線撮影装置、工業用X線撮像装置（例えば、コンテナ内の危険物等の検査や、鞆等の中身の検査を行う装置）などにも適用することが可能である。

【0073】

なお、本技術は以下のような構成を取ることにも可能である。

(1)

入射した放射線に応じて電気信号を発生する複数の画素を有する撮像部と、
前記撮像部の外縁領域に配設された周辺回路と
を備え、
前記周辺回路は、
放射線耐性が相対的に高い第1の回路と、
前記第1の回路よりも前記撮像部から遠い位置に配設され、放射線耐性が相対的に低い第2の回路と
を有する放射線撮像装置。

30

(2)

前記第1の回路がデジタル回路であり、前記第2の回路がアナログ回路である
上記(1)に記載の放射線撮像装置。

40

(3)

前記アナログ回路が、レベルシフト回路である
上記(2)に記載の放射線撮像装置。

(4)

前記レベルシフト回路が、
正電源側のレベルシフトを行う第1のレベルシフト回路と、
負電源側のレベルシフトを行う第2のレベルシフト回路とからなる
上記(3)に記載の放射線撮像装置。

(5)

前記第2のレベルシフト回路が、前記第1のレベルシフト回路よりも前記撮像部から遠

50

い位置に配設されている

上記(4)に記載の放射線撮像装置。

(6)

前記撮像部と前記第1のレベルシフト回路との間に、前記第1の回路としての第1のデジタル回路が配設され、

前記第1のレベルシフト回路と前記第2のレベルシフト回路との間に、第2のデジタル回路が配設されている

上記(5)に記載の放射線撮像装置。

(7)

前記レベルシフト回路は、P型トランジスタおよびN型トランジスタの双方を用いて構成されている

上記(3)ないし(6)のいずれか1項に記載の放射線撮像装置。

(8)

前記デジタル回路が、シフトレジスタ回路、論理回路およびバッファ回路のうち少なくとも1つである

上記(2)ないし(7)のいずれか1項に記載の放射線撮像装置。

(9)

前記周辺回路が、前記複数の画素に対する順次走査を行う走査回路である

上記(1)ないし(8)のいずれか1項に記載の放射線撮像装置。

(10)

前記撮像部は、入射した放射線に対して波長変換を行う波長変換層を有する

上記(1)ないし(9)のいずれか1項に記載の放射線撮像装置。

(11)

前記撮像部は、光電変換層を有する

上記(1)ないし(10)のいずれか1項に記載の放射線撮像装置。

(12)

前記撮像部は、撮像素子と、この撮像素子の撮像面側に配設された縮小光学系とを有する

上記(1)ないし(10)のいずれか1項に記載の放射線撮像装置。

(13)

前記放射線がX線である

上記(1)ないし(12)のいずれか1項に記載の放射線撮像装置。

(14)

放射線撮像装置と、この放射線撮像装置により得られた撮像信号に基づく画像表示を行う表示装置とを備え、

前記放射線撮像装置は、

入射した放射線に応じて電気信号を発生する複数の画素を有する撮像部と、

前記撮像部の外縁領域に配設された周辺回路と

を備え、

前記周辺回路は、

放射線耐性が相対的に高い第1の回路と、

前記第1の回路よりも前記撮像部から遠い位置に配設され、放射線耐性が相対的に低い第2の回路と

を有する放射線撮像表示システム。

【符号の説明】

【0074】

1...放射線撮像装置、10...基板、11...撮像部、111...光電変換層、112...撮像素子、113...縮小光学系、114...波長変換層、13, 13A, 13B, 13C...行走査部、131, 131A...レベルシフト回路部、131P...正電源側レベルシフト回路(+側L/S)、131M...負電源側レベルシフト回路(-側L/S)、132...シフト

10

20

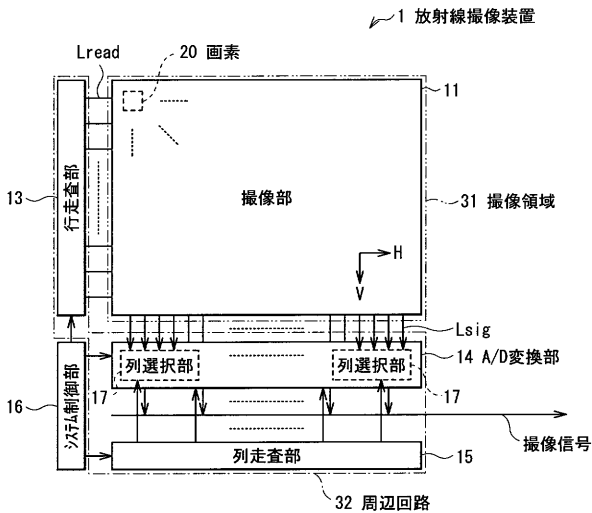
30

40

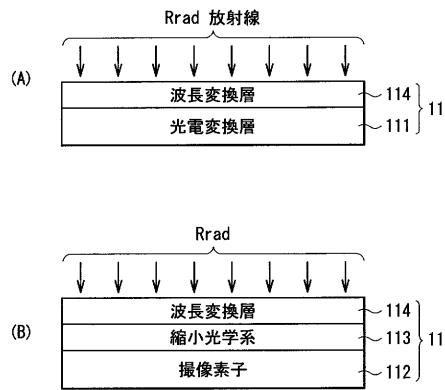
50

レジスタ回路 (S / R)、 1 3 3 ... バッファ回路、 1 3 4 ... A N D 回路 (論理回路)、 1 4 ... A / D 変換部、 1 5 ... 列選択部、 1 6 ... システム制御部、 1 7 ... 列選択部、 1 8 ... 保護プレート、 1 9 ... 放射線遮蔽板、 2 0 , 2 0 A ... 画素 (撮像素子)、 2 1 ... 光電変換素子、 2 2 , 2 3 , 2 4 ... トランジスタ、 3 1 ... 撮像領域、 3 2 ... 周辺回路、 4 ... 表示装置、 4 0 ... モニタ画面、 5 ... 撮像表示システム、 5 0 ... 被写体、 5 1 ... 放射線源、 5 2 ... 画像処理部、 V D D ... 電源線、 V D D 1 , V D D 2 ... 正電源、 V S S 1 , V S S 2 ... 負電源、 V r s t ... リセット電源線、 V i n ... 入力電圧、 L r s t ... リセット制御線、 L r e a d ... 読み出し制御線、 L s i g ... 信号線、 L b i a s ... バイアス線、 S T R ... スタートパルス信号、 C L K ... クロック信号、 E N B 1 , E N B 2 ... イネーブル信号、 D i n , x D i n ... 入力データ、 D o u t ... 出力データ、 D 1 ... 撮像信号、 N ... 蓄積ノード、 C 1 ... 容量素子、 R r a d , R r a d 1 , R r a d 2 ... 放射線。

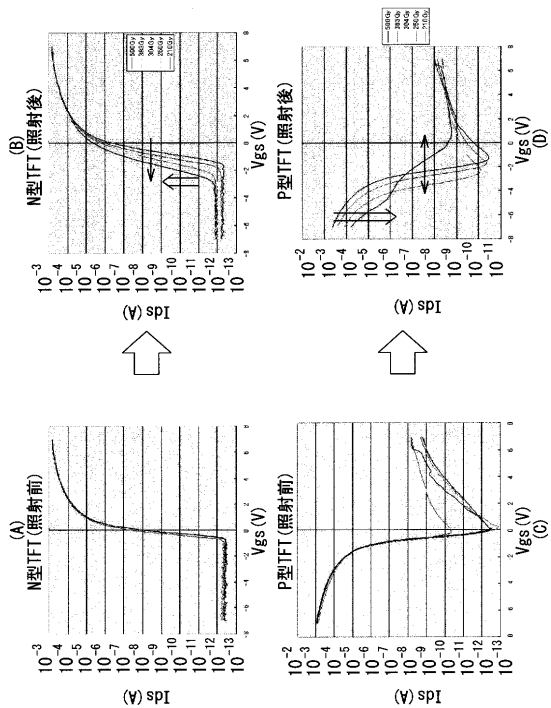
【 図 1 】



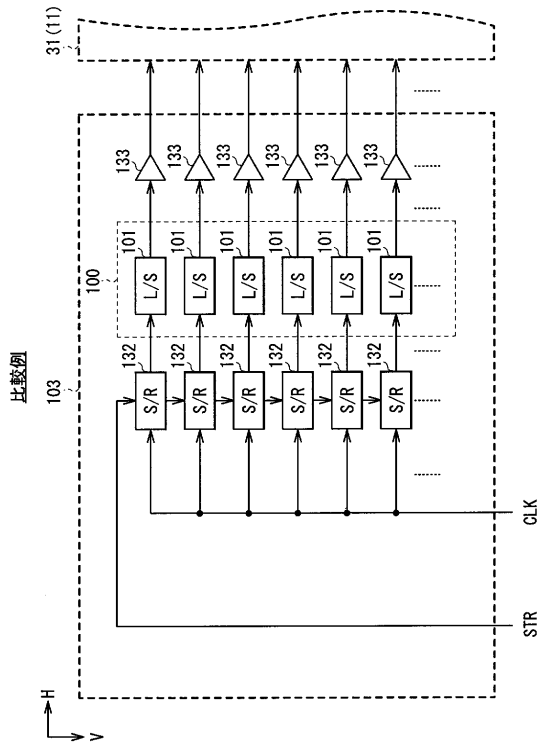
【 図 2 】



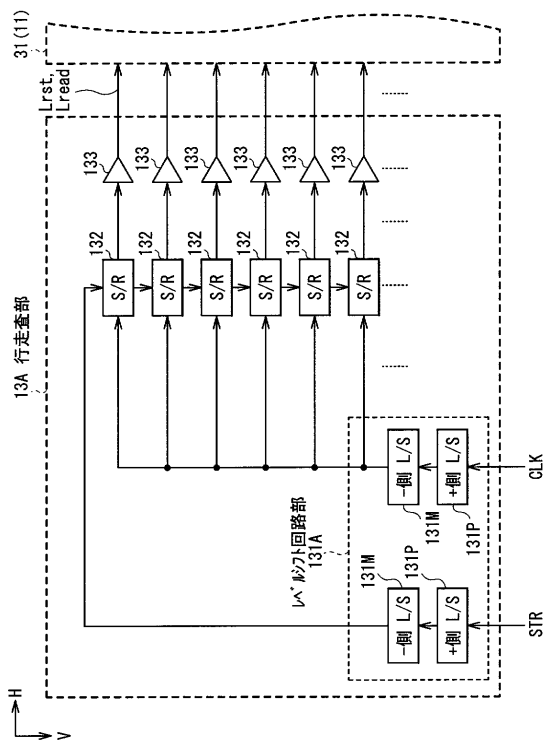
【 図 7 】



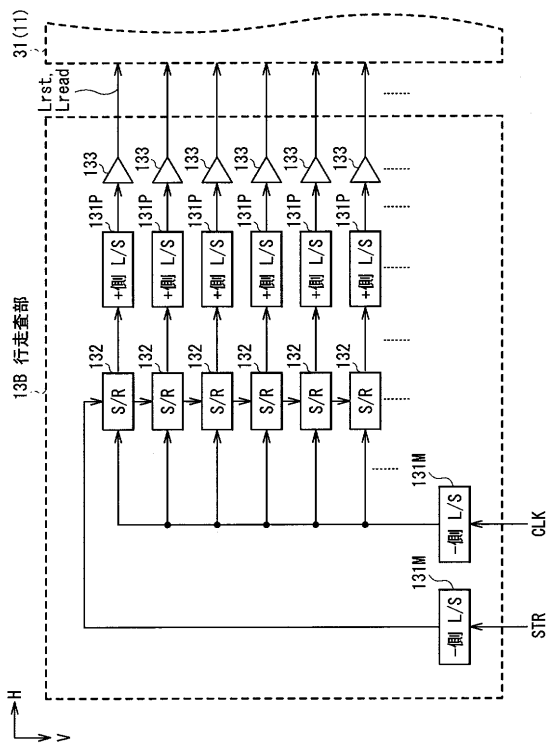
【 図 8 】



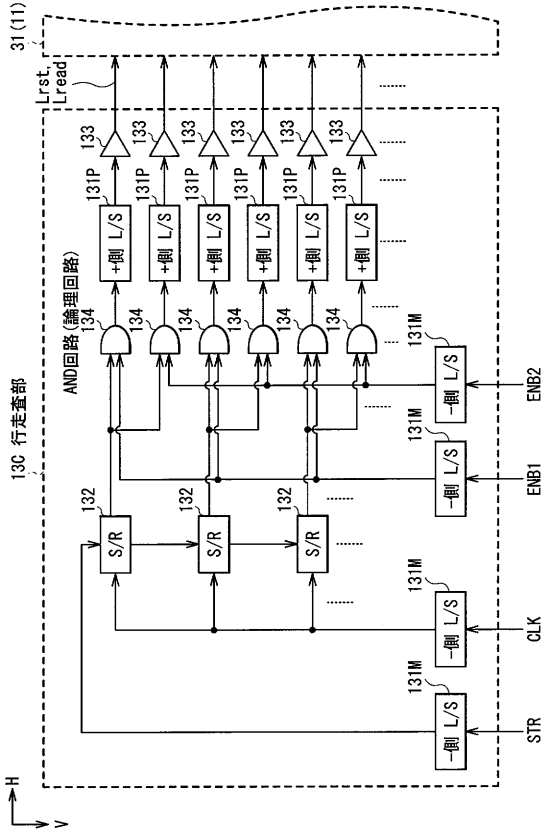
【 図 9 】



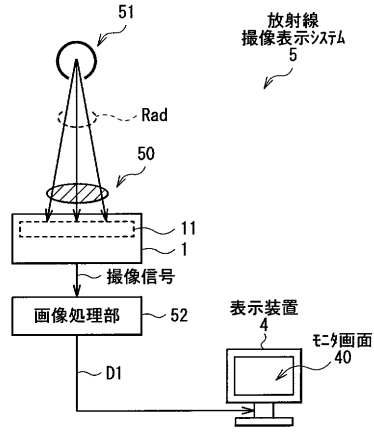
【 図 10 】



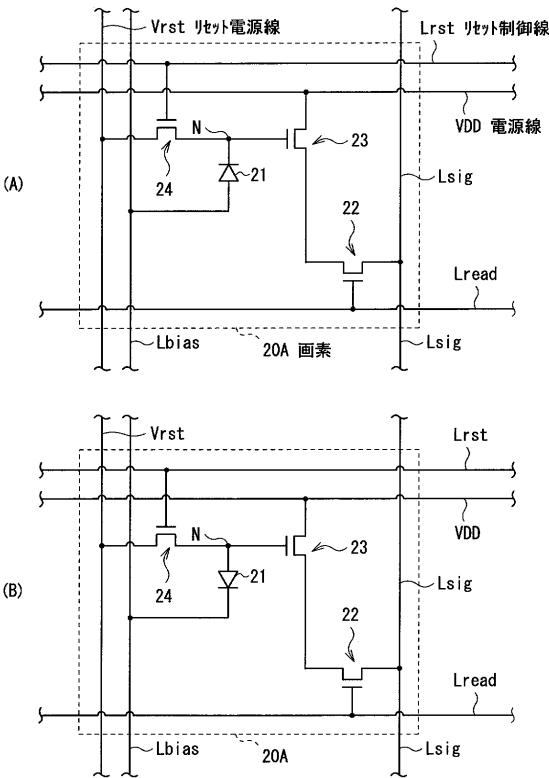
【 図 1 1 】



【 図 1 2 】



【 図 1 3 】



フロントページの続き

(72)発明者 千田 みちる
東京都港区港南1丁目7番1号 ソニー株式会社内

(72)発明者 山田 泰弘
東京都港区港南1丁目7番1号 ソニー株式会社内

Fターム(参考) 2G088 GG19 GG21 JJ05 JJ35
4C093 AA01 CA38 CA41 EB12 EB13 EB17 EB20