

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成22年4月30日(2010.4.30)

【公開番号】特開2007-294915(P2007-294915A)

【公開日】平成19年11月8日(2007.11.8)

【年通号数】公開・登録公報2007-043

【出願番号】特願2007-76018(P2007-76018)

【国際特許分類】

H 01 L	21/8247	(2006.01)
H 01 L	27/115	(2006.01)
H 01 L	29/788	(2006.01)
H 01 L	29/792	(2006.01)
H 01 L	27/10	(2006.01)
H 01 L	29/417	(2006.01)
H 01 L	21/28	(2006.01)
H 01 L	21/768	(2006.01)
H 01 L	23/522	(2006.01)

【F I】

H 01 L	27/10	4 3 4
H 01 L	29/78	3 7 1
H 01 L	27/10	4 8 1
H 01 L	29/50	M
H 01 L	21/28	A
H 01 L	21/90	D

【手続補正書】

【提出日】平成22年3月12日(2010.3.12)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】不揮発性半導体記憶装置及びその作製方法並びに半導体装置及びその作製方法

【手続補正2】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

チャネル形成領域、ソース領域及びドレイン領域を有する半導体層と、  
前記ソース領域及び前記ドレイン領域の一部と前記チャネル形成領域とを覆う第1の絶縁膜と、

前記第1の絶縁膜上の浮遊ゲート電極と、

前記浮遊ゲート電極を覆う第2の絶縁膜と、

前記第2の絶縁膜上の制御ゲート電極と、

前記ソース領域上の第1の導電層と、

前記ドレイン領域上の第2の導電層と、

前記第2の絶縁膜、前記制御ゲート電極、前記第1の導電層及び前記第2の導電層上の第3の絶縁膜と、

前記第3の絶縁膜に形成されたコンタクトホールを介して前記第1の導電層と接するソース電極と、前記第2の導電層と接するドレイン電極と、を有し、

前記ソース領域と前記ソース電極は、前記第1の導電層を介して電気的に接続し、前記ドレイン領域と前記ドレイン電極は、前記第2の導電層を介して電気的に接続し、

前記第1の導電層、前記第2の導電層及び前記制御ゲート電極は、同一の導電層を選択的にエッティングすることにより形成されることを特徴とする不揮発性半導体記憶装置。

#### 【請求項2】

チャネル形成領域、ソース領域及びドレイン領域を有する半導体層と、

前記ソース領域及び前記ドレイン領域の一部と前記チャネル形成領域とを覆う第1の絶縁膜と、

前記第1の絶縁膜上の浮遊ゲート電極と、

前記浮遊ゲート電極を覆う第2の絶縁膜と、

前記第2の絶縁膜上の制御ゲート電極と、

前記ソース領域上の第1の導電層と、

前記ドレイン領域上の第2の導電層と、

前記第2の絶縁膜、前記制御ゲート電極、前記第1の導電層及び前記第2の導電層上の第3の絶縁膜と、

前記第3の絶縁膜に形成されたコンタクトホールを介して前記第1の導電層と接するソース電極と、前記第2の導電層と接するドレイン電極と、を有し、

前記ソース領域と前記ソース電極は、前記第1の導電層を介して電気的に接続し、前記ドレイン領域と前記ドレイン電極は、前記第2の導電層を介して電気的に接続し、

前記制御ゲート電極は、前記第2の絶縁膜を介して前記浮遊ゲート電極を覆うように形成され、

前記浮遊ゲート電極によって生じた前記制御ゲート電極の段差部分には、サイドウォールが形成され、

前記第1の導電層、前記第2の導電層及び前記制御ゲート電極は、同一の導電層を選択的にエッティングすることにより形成されることを特徴とする不揮発性半導体記憶装置。

#### 【請求項3】

請求項1又は請求項2において、

前記浮遊ゲート電極の材料として、ゲルマニウム若しくはゲルマニウム化合物、ゲルマニウム若しくはゲルマニウム化合物の酸化物若しくは窒化物、又はゲルマニウム若しくはゲルマニウム化合物を含む酸化物若しくは窒化物を用いることを特徴とする不揮発性半導体記憶装置。

#### 【請求項4】

請求項1又は請求項2において、

前記浮遊ゲート電極は、第1の浮遊ゲート電極及び第2の浮遊ゲート電極の積層構造を有することを特徴とする不揮発性半導体記憶装置。

#### 【請求項5】

請求項4において、

前記第1の浮遊ゲート電極は前記第1の絶縁膜側に設けられ、前記第1の浮遊ゲート電極上に第1の浮遊ゲート電極よりも幅が短い前記第2の浮遊ゲート電極が設けられることを特徴とする不揮発性半導体記憶装置。

#### 【請求項6】

請求項4又は請求項5において、

前記第1の浮遊ゲート電極の材料として、ゲルマニウム若しくはゲルマニウム化合物、ゲルマニウム若しくはゲルマニウム化合物の酸化物若しくは窒化物、又はゲルマニウム若しくはゲルマニウム化合物を含む酸化物若しくは窒化物を用い、前記第2の浮遊ゲート電極の材料として、シリコン若しくはシリコン化合物を用いることを特徴とする不揮発性半

導体記憶装置。

【請求項 7】

半導体層上に第1の絶縁膜を形成し、  
前記第1の絶縁膜上に浮遊ゲート電極を形成し、  
前記浮遊ゲート電極をマスクとして前記半導体層に不純物元素を導入してソース領域及びドレイン領域を形成し、  
前記浮遊ゲート電極を覆って第2の絶縁膜を形成し、  
前記第1の絶縁膜と前記第2の絶縁膜の一部をエッティングして、前記ソース領域及び前記ドレイン領域の一部を露出させ、  
前記第2の絶縁膜、前記露出した前記ソース領域及び前記ドレイン領域上に第1の導電層を形成し、  
前記第1の導電層をエッティングして、前記第2の絶縁膜上に制御ゲート電極を形成し、  
前記露出した前記ソース領域上に第2の導電層及び前記露出した前記ドレイン領域上に第3の導電層を形成し、  
前記第2の絶縁膜、前記制御ゲート電極、前記第2の導電層及び前記第3の導電層上に第3の絶縁膜を形成し、  
前記第3の絶縁膜に、前記第2の導電層及び前記第3の導電層の一部が露出するコンタクトホールを開口し、  
前記露出した前記第2の導電層上に、ソース電極を形成し、前記露出した前記第3の導電層上にドレイン電極を形成することを特徴とする不揮発性半導体記憶装置の作製方法。

【請求項 8】

半導体層上に第1の絶縁膜を形成し、  
前記第1の絶縁膜上に浮遊ゲート電極を形成し、  
前記浮遊ゲート電極をマスクとして前記半導体層に不純物元素を導入してソース領域及びドレイン領域を形成し、  
前記浮遊ゲート電極を覆って第2の絶縁膜を形成し、  
前記第1の絶縁膜と前記第2の絶縁膜の一部をエッティングして、前記ソース領域及び前記ドレイン領域の一部を露出させ、  
前記第2の絶縁膜、前記露出した前記ソース領域及び前記ドレイン領域上に第1の導電層を形成し、  
前記第1の導電層上に第3の絶縁膜を形成し、  
前記第3の絶縁膜をエッティングして前記浮遊ゲート電極によって生じた段差部分にサイドウォールを形成し、  
前記第1の導電層をエッティングして、前記第2の絶縁膜上に制御ゲート電極を形成し、  
前記露出した前記ソース領域上に第2の導電層及び前記露出した前記ドレイン領域上に第3の導電層を形成し、  
前記第2の絶縁膜、前記制御ゲート電極、前記第2の導電層及び前記第3の導電層上に第4の絶縁膜を形成し、  
前記第4の絶縁膜に、前記第2の導電層及び前記第3の導電層の一部が露出するコンタクトホールを開口し、  
前記露出した前記第2の導電層上に、ソース電極を形成し、前記露出した前記第3の導電層上にドレイン電極を形成することを特徴とする不揮発性半導体記憶装置の作製方法。

【請求項 9】

請求項7又は請求項8において、  
前記浮遊ゲート電極の材料として、ゲルマニウム若しくはゲルマニウム化合物、ゲルマニウム若しくはゲルマニウム化合物の酸化物若しくは窒化物、又はゲルマニウム若しくはゲルマニウム化合物を含む酸化物若しくは窒化物を用いることを特徴とする不揮発性半導体記憶装置の作製方法。  
【請求項 10】  
請求項7乃至請求項9のいずれか一項において、

前記浮遊ゲート電極は、第1の浮遊ゲート電極及び第2の浮遊ゲート電極の積層構造を有することを特徴とする不揮発性半導体記憶装置の作製方法。

【請求項11】

請求項10において、

前記第1の浮遊ゲート電極は前記第1の絶縁膜側に設けられ、前記第1の浮遊ゲート電極上に第1の浮遊ゲート電極よりも幅が短い前記第2の浮遊ゲート電極が設けられることを特徴とする不揮発性半導体記憶装置の作製方法。

【請求項12】

請求項10又は請求項11において、

前記第1の浮遊ゲート電極の材料として、ゲルマニウム若しくはゲルマニウム化合物、ゲルマニウム若しくはゲルマニウム化合物の酸化物若しくは窒化物、又はゲルマニウム若しくはゲルマニウム化合物を含む酸化物若しくは窒化物を用い、前記第2の浮遊ゲート電極の材料として、シリコン若しくはシリコン化合物を用いることを特徴とする不揮発性半導体記憶装置の作製方法。

【請求項13】

不揮発性半導体記憶装置とトランジスタとを有する半導体装置であって、

前記不揮発性半導体記憶装置は、

第1のチャネル形成領域、第1のソース領域及び第1のドレイン領域を有する第1の半導体層と、

前記第1のソース領域及び前記第1のドレイン領域の一部と前記第1のチャネル形成領域とを覆う第1の絶縁膜と、

前記第1の絶縁膜上の浮遊ゲート電極と、

前記浮遊ゲート電極を覆う第2の絶縁膜と、

前記第2の絶縁膜上の制御ゲート電極と、

前記第1のソース領域上の第1の導電層と、

前記第1のドレイン領域上の第2の導電層と、

前記第2の絶縁膜、前記制御ゲート電極、前記第1の導電層及び前記第2の導電層上の第3の絶縁膜と、

前記第3の絶縁膜に形成されたコンタクトホールを介して前記第1の導電層と接する第1のソース電極と、前記第2の導電層と接する第1のドレイン電極と、を有し、

前記第1のソース領域と前記第1のソース電極は、前記第1の導電層を介して電気的に接続され、前記第1のドレイン領域と前記第1のドレイン電極は、前記第2の導電層を介して電気的に接続され、

前記トランジスタは、

第2のチャネル形成領域、第2のソース領域及び第2のドレイン領域を有する第2の半導体層と、

前記第2のソース領域及び前記第2のドレイン領域の一部と前記第2のチャネル形成領域とを覆う第4の絶縁膜と、

前記第2のソース領域上の第3の導電層と、

前記第2のドレイン領域上の第4の導電層と、

前記第4の絶縁膜、前記第3の導電層及び前記第4の導電層上の第5の絶縁膜と、

前記第5の絶縁膜上のゲート電極と、

前記第5の絶縁膜及び前記ゲート電極上の前記第3の絶縁膜と、

前記第3の絶縁膜に形成されたコンタクトホールを介して前記第3の導電層と接する第2のソース電極と、前記第4の導電層と接する第2のドレイン電極と、を有し、

前記第2のソース領域と前記第2のソース電極は、前記第3の導電層を介して電気的に接続され、前記第2のドレイン領域と前記第2のドレイン電極は、前記第4の導電層を介して電気的に接続され、

前記浮遊ゲート電極、前記第3の導電層及び前記第4の導電層は、同一の導電層を選択的にエッチングすることにより形成され、

前記制御ゲート電極、前記第1の導電層及び前記第2の導電層は、同一の導電層を選択的にエッチングすることにより形成されることを特徴とする半導体装置。

**【請求項14】**

不揮発性半導体記憶装置とトランジスタとを有する半導体装置の作製方法であって、第1及び第2の半導体層上に第1の絶縁膜を形成し、

前記第2の半導体層の一部及び前記第1の半導体層と重なる前記第1の絶縁膜上にレジストを形成して、前記第2の半導体層表面が部分的に露出するように前記第1の絶縁膜を選択的に除去し、

前記レジストをマスクとして前記第2の半導体層に不純物元素を導入して、ソース領域及びドレイン領域として機能する第1の不純物領域を形成し、

前記レジストを除去して、前記第1の絶縁膜及び前記第2の半導体層上に第1の導電層を形成し、

前記第1の導電層を選択的に除去し、前記第1の半導体層上に浮遊ゲート電極を形成するとともに、前記第2の半導体層の前記第1の不純物領域に接する第2の導電層を形成し、

前記浮遊ゲート電極をマスクとして前記第1の半導体層に不純物元素を導入して、ソース領域及びドレイン領域として機能する第2の不純物領域を形成し、

前記第1及び第2の半導体層を覆うように、前記第1の絶縁膜、前記浮遊ゲート電極及び前記第2の導電層上に第2の絶縁膜を形成し、

前記第2の不純物領域の一部が露出するように前記第1の絶縁膜及び前記第2の絶縁膜を選択的に除去し、

前記第1及び第2の半導体層を覆うように、前記第2の絶縁膜及び前記第2の不純物領域上に第3の導電層を形成し、

前記第3の導電層を選択的に除去して、前記第1の半導体層上に制御ゲート電極及び前記第2の不純物領域に接する第4の導電層を形成するとともに、前記第2の半導体層上にゲート電極を形成し、

前記第2の絶縁膜、前記第4の導電層及び前記ゲート電極を覆って第3の絶縁膜を形成し、

前記第3の絶縁膜に形成したコンタクトホールを介して前記第1の不純物領域及び前記第2の不純物領域に接続するソース配線及びドレイン配線をそれぞれ形成して前記不揮発性半導体記憶装置及び前記トランジスタを形成することを特徴とする半導体装置の作製方法。