

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成22年4月30日(2010.4.30)

【公開番号】特開2007-294915(P2007-294915A)

【公開日】平成19年11月8日(2007.11.8)

【年通号数】公開・登録公報2007-043

【出願番号】特願2007-76018(P2007-76018)

【国際特許分類】

H 0 1 L 21/8247 (2006.01)

H 0 1 L 27/115 (2006.01)

H 0 1 L 29/788 (2006.01)

H 0 1 L 29/792 (2006.01)

H 0 1 L 27/10 (2006.01)

H 0 1 L 29/417 (2006.01)

H 0 1 L 21/28 (2006.01)

H 0 1 L 21/768 (2006.01)

H 0 1 L 23/522 (2006.01)

【F I】

H 0 1 L 27/10 4 3 4

H 0 1 L 29/78 3 7 1

H 0 1 L 27/10 4 8 1

H 0 1 L 29/50 M

H 0 1 L 21/28 A

H 0 1 L 21/90 D

【手続補正書】

【提出日】平成22年3月12日(2010.3.12)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】不揮発性半導体記憶装置及びその作製方法並びに半導体装置及びその作製方法

【手続補正 2】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

チャンネル形成領域、ソース領域及びドレイン領域を有する半導体層と、
前記ソース領域及び前記ドレイン領域の一部と前記チャンネル形成領域とを覆う第 1 の絶縁膜と、

前記第 1 の絶縁膜上の浮遊ゲート電極と、
前記浮遊ゲート電極を覆う第 2 の絶縁膜と、
前記第 2 の絶縁膜上の制御ゲート電極と、
前記ソース領域上の第 1 の導電層と、
前記ドレイン領域上の第 2 の導電層と、

前記第 2 の絶縁膜、前記制御ゲート電極、前記第 1 の導電層及び前記第 2 の導電層上の第 3 の絶縁膜と、

前記第 3 の絶縁膜に形成されたコンタクトホールを介して前記第 1 の導電層と接するソース電極と、前記第 2 の導電層と接するドレイン電極と、を有し、

前記ソース領域と前記ソース電極は、前記第 1 の導電層を介して電氣的に接続し、前記ドレイン領域と前記ドレイン電極は、前記第 2 の導電層を介して電氣的に接続し、

前記第 1 の導電層、前記第 2 の導電層及び前記制御ゲート電極は、同一の導電層を選択的にエッチングすることにより形成されることを特徴とする不揮発性半導体記憶装置。

【請求項 2】

チャンネル形成領域、ソース領域及びドレイン領域を有する半導体層と、

前記ソース領域及び前記ドレイン領域の一部と前記チャンネル形成領域とを覆う第 1 の絶縁膜と、

前記第 1 の絶縁膜上の浮遊ゲート電極と、

前記浮遊ゲート電極を覆う第 2 の絶縁膜と、

前記第 2 の絶縁膜上の制御ゲート電極と、

前記ソース領域上の第 1 の導電層と、

前記ドレイン領域上の第 2 の導電層と、

前記第 2 の絶縁膜、前記制御ゲート電極、前記第 1 の導電層及び前記第 2 の導電層上の第 3 の絶縁膜と、

前記第 3 の絶縁膜に形成されたコンタクトホールを介して前記第 1 の導電層と接するソース電極と、前記第 2 の導電層と接するドレイン電極と、を有し、

前記ソース領域と前記ソース電極は、前記第 1 の導電層を介して電氣的に接続し、前記ドレイン領域と前記ドレイン電極は、前記第 2 の導電層を介して電氣的に接続し、

前記制御ゲート電極は、前記第 2 の絶縁膜を介して前記浮遊ゲート電極を覆うように形成され、

前記浮遊ゲート電極によって生じた前記制御ゲート電極の段差部分には、サイドウォールが形成され、

前記第 1 の導電層、前記第 2 の導電層及び前記制御ゲート電極は、同一の導電層を選択的にエッチングすることにより形成されることを特徴とする不揮発性半導体記憶装置。

【請求項 3】

請求項 1 又は請求項 2 において、

前記浮遊ゲート電極の材料として、ゲルマニウム若しくはゲルマニウム化合物、ゲルマニウム若しくはゲルマニウム化合物の酸化物若しくは窒化物、又はゲルマニウム若しくはゲルマニウム化合物を含む酸化物若しくは窒化物を用いることを特徴とする不揮発性半導体記憶装置。

【請求項 4】

請求項 1 又は請求項 2 において、

前記浮遊ゲート電極は、第 1 の浮遊ゲート電極及び第 2 の浮遊ゲート電極の積層構造を有することを特徴とする不揮発性半導体記憶装置。

【請求項 5】

請求項 4 において、

前記第 1 の浮遊ゲート電極は前記第 1 の絶縁膜側に設けられ、前記第 1 の浮遊ゲート電極上に第 1 の浮遊ゲート電極よりも幅が短い前記第 2 の浮遊ゲート電極が設けられることを特徴とする不揮発性半導体記憶装置。

【請求項 6】

請求項 4 又は請求項 5 において、

前記第 1 の浮遊ゲート電極の材料として、ゲルマニウム若しくはゲルマニウム化合物、ゲルマニウム若しくはゲルマニウム化合物の酸化物若しくは窒化物、又はゲルマニウム若しくはゲルマニウム化合物を含む酸化物若しくは窒化物を用い、前記第 2 の浮遊ゲート電極の材料として、シリコン若しくはシリコン化合物を用いることを特徴とする不揮発性半

導体記憶装置。

【請求項 7】

半導体層上に第 1 の絶縁膜を形成し、

前記第 1 の絶縁膜上に浮遊ゲート電極を形成し、

前記浮遊ゲート電極をマスクとして前記半導体層に不純物元素を導入してソース領域及びドレイン領域を形成し、

前記浮遊ゲート電極を覆って第 2 の絶縁膜を形成し、

前記第 1 の絶縁膜と前記第 2 の絶縁膜の一部をエッチングして、前記ソース領域及び前記ドレイン領域の一部を露出させ、

前記第 2 の絶縁膜、前記露出した前記ソース領域及び前記ドレイン領域上に第 1 の導電層を形成し、

前記第 1 の導電層をエッチングして、前記第 2 の絶縁膜上に制御ゲート電極を形成し、
前記露出した前記ソース領域上に第 2 の導電層及び前記露出した前記ドレイン領域上に第 3 の導電層を形成し、

前記第 2 の絶縁膜、前記制御ゲート電極、前記第 2 の導電層及び前記第 3 の導電層上に第 3 の絶縁膜を形成し、

前記第 3 の絶縁膜に、前記第 2 の導電層及び前記第 3 の導電層の一部が露出するコンタクトホールを開口し、

前記露出した前記第 2 の導電層上に、ソース電極を形成し、前記露出した前記第 3 の導電層上にドレイン電極を形成することを特徴とする不揮発性半導体記憶装置の作製方法。

【請求項 8】

半導体層上に第 1 の絶縁膜を形成し、

前記第 1 の絶縁膜上に浮遊ゲート電極を形成し、

前記浮遊ゲート電極をマスクとして前記半導体層に不純物元素を導入してソース領域及びドレイン領域を形成し、

前記浮遊ゲート電極を覆って第 2 の絶縁膜を形成し、

前記第 1 の絶縁膜と前記第 2 の絶縁膜の一部をエッチングして、前記ソース領域及び前記ドレイン領域の一部を露出させ、

前記第 2 の絶縁膜、前記露出した前記ソース領域及び前記ドレイン領域上に第 1 の導電層を形成し、

前記第 1 の導電層上に第 3 の絶縁膜を形成し、

前記第 3 の絶縁膜をエッチングして前記浮遊ゲート電極によって生じた段差部分にサイドウォールを形成し、

前記第 1 の導電層をエッチングして、前記第 2 の絶縁膜上に制御ゲート電極を形成し、
前記露出した前記ソース領域上に第 2 の導電層及び前記露出した前記ドレイン領域上に第 3 の導電層を形成し、

前記第 2 の絶縁膜、前記制御ゲート電極、前記第 2 の導電層及び前記第 3 の導電層上に第 4 の絶縁膜を形成し、

前記第 4 の絶縁膜に、前記第 2 の導電層及び前記第 3 の導電層の一部が露出するコンタクトホールを開口し、

前記露出した前記第 2 の導電層上に、ソース電極を形成し、前記露出した前記第 3 の導電層上にドレイン電極を形成することを特徴とする不揮発性半導体記憶装置の作製方法。

【請求項 9】

請求項 7 又は請求項 8 において、

前記浮遊ゲート電極の材料として、ゲルマニウム若しくはゲルマニウム化合物、ゲルマニウム若しくはゲルマニウム化合物の酸化物若しくは窒化物、又はゲルマニウム若しくはゲルマニウム化合物を含む酸化物若しくは窒化物を用いることを特徴とする不揮発性半導体記憶装置の作製方法。

【請求項 10】

請求項 7 乃至請求項 9 のいずれか一項において、

前記浮遊ゲート電極は、第１の浮遊ゲート電極及び第２の浮遊ゲート電極の積層構造を有することを特徴とする不揮発性半導体記憶装置の作製方法。

【請求項１１】

請求項１０において、

前記第１の浮遊ゲート電極は前記第１の絶縁膜側に設けられ、前記第１の浮遊ゲート電極上に第１の浮遊ゲート電極よりも幅が短い前記第２の浮遊ゲート電極が設けられることを特徴とする不揮発性半導体記憶装置の作製方法。

【請求項１２】

請求項１０又は請求項１１において、

前記第１の浮遊ゲート電極の材料として、ゲルマニウム若しくはゲルマニウム化合物、ゲルマニウム若しくはゲルマニウム化合物の酸化物若しくは窒化物、又はゲルマニウム若しくはゲルマニウム化合物を含む酸化物若しくは窒化物を用い、前記第２の浮遊ゲート電極の材料として、シリコン若しくはシリコン化合物を用いることを特徴とする不揮発性半導体記憶装置の作製方法。

【請求項１３】

不揮発性半導体記憶装置とトランジスタとを有する半導体装置であって、

前記不揮発性半導体記憶装置は、

第１のチャンネル形成領域、第１のソース領域及び第１のドレイン領域を有する第１の半導体層と、

前記第１のソース領域及び前記第１のドレイン領域の一部と前記第１のチャンネル形成領域とを覆う第１の絶縁膜と、

前記第１の絶縁膜上の浮遊ゲート電極と、

前記浮遊ゲート電極を覆う第２の絶縁膜と、

前記第２の絶縁膜上の制御ゲート電極と、

前記第１のソース領域上の第１の導電層と、

前記第１のドレイン領域上の第２の導電層と、

前記第２の絶縁膜、前記制御ゲート電極、前記第１の導電層及び前記第２の導電層上の第３の絶縁膜と、

前記第３の絶縁膜に形成されたコンタクトホールを介して前記第１の導電層と接する第１のソース電極と、前記第２の導電層と接する第１のドレイン電極と、を有し、

前記第１のソース領域と前記第１のソース電極は、前記第１の導電層を介して電氣的に接続され、前記第１のドレイン領域と前記第１のドレイン電極は、前記第２の導電層を介して電氣的に接続され、

前記トランジスタは、

第２のチャンネル形成領域、第２のソース領域及び第２のドレイン領域を有する第２の半導体層と、

前記第２のソース領域及び前記第２のドレイン領域の一部と前記第２のチャンネル形成領域とを覆う第４の絶縁膜と、

前記第２のソース領域上の第３の導電層と、

前記第２のドレイン領域上の第４の導電層と、

前記第４の絶縁膜、前記第３の導電層及び前記第４の導電層上の第５の絶縁膜と、

前記第５の絶縁膜上のゲート電極と、

前記第５の絶縁膜及び前記ゲート電極上の前記第３の絶縁膜と、

前記第３の絶縁膜に形成されたコンタクトホールを介して前記第３の導電層と接する第２のソース電極と、前記第４の導電層と接する第２のドレイン電極と、を有し、

前記第２のソース領域と前記第２のソース電極は、前記第３の導電層を介して電氣的に接続され、前記第２のドレイン領域と前記第２のドレイン電極は、前記第４の導電層を介して電氣的に接続され、

前記浮遊ゲート電極、前記第３の導電層及び前記第４の導電層は、同一の導電層を選択的にエッチングすることにより形成され、

前記制御ゲート電極、前記第 1 の導電層及び前記第 2 の導電層は、同一の導電層を選択的にエッチングすることにより形成されることを特徴とする半導体装置。

【請求項 14】

不揮発性半導体記憶装置とトランジスタとを有する半導体装置の作製方法であって、
第 1 及び第 2 の半導体層上に第 1 の絶縁膜を形成し、

前記第 2 の半導体層の一部及び前記第 1 の半導体層と重なる前記第 1 の絶縁膜上にレジストを形成して、前記第 2 の半導体層表面が部分的に露出するように前記第 1 の絶縁膜を選択的に除去し、

前記レジストをマスクとして前記第 2 の半導体層に不純物元素を導入して、ソース領域及びドレイン領域として機能する第 1 の不純物領域を形成し、

前記レジストを除去して、前記第 1 の絶縁膜及び前記第 2 の半導体層上に第 1 の導電層を形成し、

前記第 1 の導電層を選択的に除去し、前記第 1 の半導体層上に浮遊ゲート電極を形成するとともに、前記第 2 の半導体層の前記第 1 の不純物領域に接する第 2 の導電層を形成し

、
前記浮遊ゲート電極をマスクとして前記第 1 の半導体層に不純物元素を導入して、ソース領域及びドレイン領域として機能する第 2 の不純物領域を形成し、

前記第 1 及び第 2 の半導体層を覆うように、前記第 1 の絶縁膜、前記浮遊ゲート電極及び前記第 2 の導電層上に第 2 の絶縁膜を形成し、

前記第 2 の不純物領域の一部が露出するように前記第 1 の絶縁膜及び前記第 2 の絶縁膜を選択的に除去し、

前記第 1 及び第 2 の半導体層を覆うように、前記第 2 の絶縁膜及び前記第 2 の不純物領域上に第 3 の導電層を形成し、

前記第 3 の導電層を選択的に除去して、前記第 1 の半導体層上に制御ゲート電極及び前記第 2 の不純物領域に接する第 4 の導電層を形成するとともに、前記第 2 の半導体層上にゲート電極を形成し、

前記第 2 の絶縁膜、前記第 4 の導電層及び前記ゲート電極を覆って第 3 の絶縁膜を形成し、

前記第 3 の絶縁膜に形成したコンタクトホールを介して前記第 1 の不純物領域及び前記第 2 の不純物領域に接続するソース配線及びドレイン配線をそれぞれ形成して前記不揮発性半導体記憶装置及び前記トランジスタを形成することを特徴とする半導体装置の作製方法。