

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2017-516228

(P2017-516228A)

(43) 公表日 平成29年6月15日 (2017.6.15)

(51) Int. Cl.	F I	テーマコード (参考)
G06F 9/455 (2006.01)	G06F 9/44 310A	5B005
G06F 12/08 (2016.01)	G06F 12/08 507Z	

審査請求 未請求 予備審査請求 未請求 (全 29 頁)

(21) 出願番号 特願2016-567579 (P2016-567579)
 (86) (22) 出願日 平成27年5月12日 (2015.5.12)
 (85) 翻訳文提出日 平成28年12月20日 (2016.12.20)
 (86) 国際出願番号 PCT/US2015/030411
 (87) 国際公開番号 W02015/175555
 (87) 国際公開日 平成27年11月19日 (2015.11.19)
 (31) 優先権主張番号 61/991, 951
 (32) 優先日 平成26年5月12日 (2014.5.12)
 (33) 優先権主張国 米国 (US)

(71) 出願人 591003943
 インテル・コーポレーション
 アメリカ合衆国 95054 カリフォル
 ニア州・サンタクララ・ミッション カレ
 ッジ ブレーバード・2200
 (74) 代理人 100107456
 弁理士 池田 成人
 (74) 代理人 100162352
 弁理士 酒巻 順一郎
 (74) 代理人 100123995
 弁理士 野田 雅一
 (74) 代理人 100148596
 弁理士 山口 和弘

最終頁に続く

(54) 【発明の名称】 自己書き換えコードのハードウェアサポートを提供する方法及び装置

(57) 【要約】

自己書き換えゲストコードのサポートを提供する方法及び装置。この装置は、メモリ、ハードウェアバッファ、及びプロセッサを備える。プロセッサは、ゲストコードをネイティブコードに変換するとともに、ゲストコードの変換後のネイティブコードに相当するものをプロセッサのコードキャッシュ部に格納するように構成されている。プロセッサは、コードキャッシュにおける変換後コードの各位置を追跡するように構成されたハードウェアバッファを維持するようにさらに構成されている。ハードウェアバッファは、コードキャッシュにおける変換後コードの各位置と関連付けられたメモリ中の各位置への各アクセスに基づいて更新される。プロセッサは、ハードウェアバッファへのアクセス後、メモリ位置を書き換える要求を実行するようにさらに構成されている。

【選択図】 図 4 A

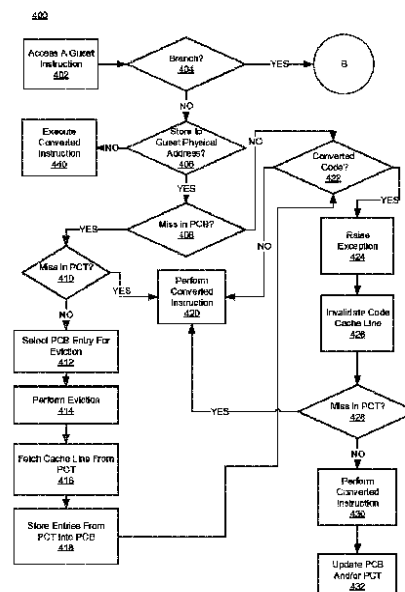


FIG. 4A

【特許請求の範囲】**【請求項 1】**

メモリと、
ハードウェアバッファと、
プロセッサであって、

 ゲストコードをネイティブコードに変換することと、

 変換後ゲストコードを前記プロセッサのコードキャッシュ部に格納することと、

 コードキャッシュにおける変換後コードの各位置を追跡するように構成された前記ハードウェアバッファを維持することであり、前記ハードウェアバッファが、前記コードキャッシュにおける変換後コードの各位置と関連付けられた前記メモリ中の各位置への各アクセスに基づいて更新される、維持することと、

10

 前記ハードウェアバッファへのアクセス後、メモリ位置を書き換える要求を実行することと、

 を行うように構成されたプロセッサと、

を備えた、装置。

【請求項 2】

 前記メモリが、前記コードキャッシュに存在する変換後コードを追跡する前記ハードウェアバッファと関連付けられたテーブルを含む、請求項 1 に記載の装置。

【請求項 3】

 前記ハードウェアバッファが、前記ハードウェアバッファと関連付けられた前記テーブルのキャッシュとして働くように構成されており、前記ハードウェアバッファが、前記ハードウェアバッファと関連付けられた前記テーブルのデータの部分集合を含む、請求項 2 に記載の装置。

20

【請求項 4】

 前記プロセッサが、変換後ゲストコードを含む前記コードキャッシュにおける位置と関連付けられたメモリ中の位置を前記要求が書き換えることになる場合、例外を発生させるように構成された、請求項 1 に記載の装置。

【請求項 5】

 前記プロセッサが、ゲストコード分岐に応答して例外を発生させるように構成された、請求項 1 に記載の装置。

30

【請求項 6】

 前記要求が、自己書き換えコードによる格納である、請求項 1 に記載の装置。

【請求項 7】

 前記要求が、直接メモリアクセス (DMA) 書き込みである、請求項 1 に記載の装置。

【請求項 8】

 前記プロセッサが、前記ハードウェアバッファを備えた、請求項 1 に記載の装置。

【請求項 9】

 メモリと、

 ハードウェアバッファ及びコードキャッシュを備えたプロセッサであって、

 ゲストコードをネイティブコードに変換することと、

 変換後ゲストコードを前記プロセッサのコードキャッシュに格納することと、

40

 コードキャッシュにおける変換後コードの各位置を追跡するように構成された前記ハードウェアバッファを維持することであり、前記ハードウェアバッファが、前記コードキャッシュにおける変換後コードの各位置と関連付けられた前記メモリ中の各位置への各アクセスに基づいて更新される、維持することと、

 前記コードキャッシュに存在する変換後コードを追跡する前記ハードウェアバッファと関連付けられたテーブルを維持することであり、前記メモリが、前記ハードウェアバッファと関連付けられた前記テーブルを含む、維持することと、

 前記ハードウェアバッファへのアクセス後、メモリ位置を書き換える要求を実行することと、

50

を行うように構成されたプロセッサと、
を備えた、システム。

【請求項 10】

前記ハードウェアバッファが、前記ハードウェアバッファと関連付けられた前記テーブルのキャッシュとして働くように構成されており、前記ハードウェアバッファが、前記ハードウェアバッファと関連付けられた前記テーブルのデータの部分集合を含む、請求項 9 に記載のシステム。

【請求項 11】

前記プロセッサが、変換後ゲストコードを含む前記コードキャッシュにおける位置と関連付けられたメモリ中の位置を前記要求が書き換えることになる場合、例外を発生させるように構成された、請求項 9 に記載の装置。

10

【請求項 12】

前記プロセッサが、ゲストコード分岐に応答して例外を発生させるように構成された、請求項 9 に記載の装置。

【請求項 13】

前記要求が、自己書き換えコードによる格納である、請求項 9 に記載の装置。

【請求項 14】

前記要求が、直接メモリアクセス (DMA) 書き込みである、請求項 9 に記載の装置。

【請求項 15】

ゲストコードを変換するシステムであって、
メモリと、

20

ハードウェアバッファ及びコードキャッシュを備えたプロセッサであって、

ゲストコードをネイティブコードに変換することと、

変換後ゲストコードを前記プロセッサのコードキャッシュに格納することと、

コードキャッシュにおける変換後コードの各位置を追跡するように構成された前記ハードウェアバッファを維持することであり、前記ハードウェアバッファが、前記コードキャッシュにおける変換後コードの各位置と関連付けられた前記メモリ中の各位置への各アクセスに基づいて更新され、前記ハードウェアバッファが、自己書き換えコードに応答して更新される、維持することと、

前記コードキャッシュに存在する変換後コードを追跡する前記ハードウェアバッファと関連付けられたテーブルを維持することであり、前記メモリが、前記ハードウェアバッファと関連付けられた前記テーブルを含む、維持することと、

30

前記ハードウェアバッファへのアクセス後、メモリ位置を書き換える要求を実行することと、

を行うように構成されたプロセッサと、
を備えた、システム。

【請求項 16】

前記ハードウェアバッファが、前記ハードウェアバッファと関連付けられた前記テーブルのキャッシュとして働くように構成されており、前記ハードウェアバッファが、前記ハードウェアバッファと関連付けられた前記テーブルのデータの部分集合を含む、請求項 15 に記載のシステム。

40

【請求項 17】

前記プロセッサが、変換後ゲストコードを含む前記コードキャッシュにおける位置と関連付けられたメモリ中の位置を前記要求が書き換えることになる場合、例外を発生させるように構成された、請求項 15 に記載のシステム。

【請求項 18】

前記プロセッサが、ゲストコード分岐に応答して例外を発生させるように構成された、請求項 15 に記載のシステム。

【請求項 19】

前記要求が、格納である、請求項 15 に記載のシステム。

50

【請求項 20】

前記要求が、直接メモリアクセス（DMA）書き込みである、請求項 15 に記載のシステム。

【発明の詳細な説明】

【関連出願の相互参照】

【0001】

[001]本願は、2014年5月12日に出願された代理人整理番号第SMII-207-A号の本願と同一の出願人による米国仮特許出願第61/991,951号「METHOD AND APPARATUS FOR PROVIDING HARDWARE SUPPORT FOR SELF MODIFYING CODE」の優先権及び利益を主張するものであり、そのすべてを本明細書に援用する。

10

【背景】

【0002】

[002]自己書き換えコード（SMC）は、あるソフトウェアコードが実行前にそれ自体の一部を書き換える最適化技術である。SMCは、Java[登録商標]プログラミング言語等を用いた実行時コンパイル（JIT）コンパイルシステムにおいて使用可能である。コード変換を使用するシステムにおいては、ゲストコードの自己書き換えによって、特有の問題が生じる。それは、ゲストコード書き換え（GCM）の検出が必要であるとともに、新たなコードに基づいて、コードキャッシュ中の対応する変換トレースを無効化又は再生する必要があるためである。

20

【0003】

[003]GCMの検出は、滅多に発生しないケースが起こり得るため、困難となる可能性がある。滅多に発生しないケースとしては、微細にインターリーブされたコード及び書き込み可能なデータが挙げられ、例えば別個の命令及びデータバスを有するハーバードプロセッサの場合、GCMは、キャッシュ可能なメモリにコードが格納された場合には、ゲストアーキテクチャの特定のコード系列がコード変化を可視化することを必要とすることがある。

【0004】

[004]滅多に発生しないケースとしては、中央演算処理装置（CPU）と異なるメモリマスタによりコード位置が書き込まれる場合がさらに挙げられる。例えば、ある直接メモリアクセス（DMA）プロセスでは、実行前に外部の周辺機器からコードをダウンロードする。DMAメモリ書き込み操作をCPUから見えるようにし、考慮できるように、入出力メモリ管理ユニット（IOMMU）が存在する場合が多い。

30

【概要】

【0005】

[005]ともにGCMとして知られている自己書き換えゲストコード及びゲストコードのDMA書き換えを取り扱うことが必要とされている。実施形態は、コードキャッシュに格納されたコードのトレースに対応するメモリ領域の変化を識別するように構成されている。実施形態は、コードキャッシュにおける変換後コードの位置を追跡するようにさらに構成されていてもよい。自己書き換えコードが存在し得るデータのフェッチに対応可能である。自己書き換えコードの検出及びコードキャッシュにおけるコードのトレースの置換が行われている間に性能が向上する。

40

【0006】

[006]一実施形態は、自己書き換えコードのサポートを提供する装置として実装される。この装置は、メモリ、ハードウェアバッファ、及びプロセッサを備える。プロセッサは、ゲストコードをネイティブコードに変換するとともに、変換後ゲストコードをプロセッサのコードキャッシュ部に格納するように構成されている。プロセッサは、コードキャッシュにおける変換後コードの各位置を追跡するように構成されたハードウェアバッファを維持するようにさらに構成されている。ハードウェアバッファは、コードキャッシュにおける変換後コードの各位置と関連付けられたメモリ中の各位置への各アクセスに基づいて

50

更新される。プロセッサは、ハードウェアバッファへのアクセス後、メモリ位置を書き換える要求を実行するようにさらに構成されている。

【 0 0 0 7 】

[007]上記は、概要であるため、必然的に詳細を簡素化、一般化、及び省略している。したがって、当業者は、概要が例示されているに過ぎず、何ら限定するものでないことを認識されよう。特許請求の範囲によってのみ規定される本発明の他の態様、独創的特徴、及び利点については、以下に示す非限定的な詳細説明において明らかとなるであろう。

【図面の簡単な説明】

【 0 0 0 8 】

[008]本開示の別の態様については、添付の図面を参照することにより、ほんの一例に過ぎない以下の説明から明らかとなるであろう。

【 0 0 0 9 】

【図 1】[009]図 1 は、種々の実施形態に係る、ゲスト命令ブロックがネイティブ変換ブロックに変換されるブロックベースのトランスレーションプロセスを示した図である。

【 0 0 1 0 】

【図 2】[0010]図 2 は、種々の実施形態に係る、ゲスト命令ブロック及びその対応するネイティブ変換ブロックがキャッシュに格納される様態を示す例示的なハードウェア加速変換システムを示した図である。

【 0 0 1 1 】

【図 3】[0011]図 3 は、種々の実施形態に係る、システムのページサイズよりも小さな粒度でゲストコードを追跡するシステムの例示的な構成要素を示した図である。

【 0 0 1 2 】

【図 4 A】[0012]図 4 A は、種々の実施形態に係る、コードキャッシュにおける変換後コードの位置を追跡する例示的な電子的構成要素制御のプロセスを示したフローチャートである。

【図 4 B】[0012]図 4 B は、種々の実施形態に係る、コードキャッシュにおける変換後コードの位置を追跡する例示的な電子的構成要素制御のプロセスを示したフローチャートである。

【 0 0 1 3 】

【図 5】[0013]図 5 は、種々の実施形態を含む例示的なコンピューティングシステムのブロック図である。

【詳細な説明】

【 0 0 1 4 】

[0014]以下の詳細な説明においては、具体的な方法の順序、構造、要素、及び接続等、多くの具体的詳細を示している。ただし、本発明の実施形態を実現するためにこれら及び他の具体的詳細を利用する必要はないことが了解されるものとする。他の状況においては、周知の構造、要素、又は接続の省略により、又はより詳細な説明をしないことにより、本明細書が無用に不明瞭化することのないようにする。

【 0 0 1 5 】

[0015]本明細書において、「一実施形態 (one embodiment 又は an embodiment)」という言葉及は、当該実施形態と関連して説明する特定の特徵、構造、又は特性が本発明の少なくとも 1 つの実施形態に含まれることを示すものである。本明細書の種々の箇所において表現「一実施形態において」が登場する場合、これらは必ずしもすべてが同じ実施形態を表しておらず、他の実施形態を相互に除外する別個又は代替の実施形態も表していない。なお、特許請求の範囲に係る如何なる実施形態も、本開示のすべての「目的」又は「実施形態」を必ずしも含んでいない。

【 0 0 1 6 】

[0016]さらに、いくつかの実施形態によって示し得るものの他の実施形態によっては示し得ない種々の特徴を説明する。同様に、いくつかの実施形態の要件となり得るものの他の実施形態の要件とはなり得ない種々の要件を説明する。

10

20

30

40

50

【 0 0 1 7 】

[0017]以下の詳細な説明のいくつかの部分は、コンピュータメモリ内のデータビットの操作の手順、ステップ、論理ブロック、処理、及び他の記号的表現の観点で示している。これらの説明及び表現は、データ処理技術の当業者が他の当業者に対して自身の仕事の内容を最も効果的に伝えるために使用する手段である。本明細書においても一般的にも、手順、コンピュータ実行ステップ、論理ブロック、処理等は、所望の結果を導く首尾一貫した一連のステップ又は命令と考えられる。各ステップは、物理量の物理的操作を要するステップである。通例、これらの量は、必ずしもそうとは限らないが、コンピュータ可読記憶媒体の電氣的又は磁氣的な信号の形態を取り、コンピュータシステムにおいて格納、移動、組合せ、比較、或いは操作可能である。これらの信号は、主に一般的に使用されているという理由で、ビット、値、要素、記号、文字、用語、数字等と称するのが好都合な場合もあることが分かっている。

10

【 0 0 1 8 】

[0018]ただし、これらの用語及び類似する用語はすべて、然るべき物理量と関連付けられることになり、これらの量に適用された便利な標識に過ぎないことに留意する必要がある。以下の記述において特に明確な指定のない限りは、当然のことながら、本発明の全体において、「処理」、「アクセス」、「書き込み」、「格納」、「複製」等の用語を用いた記述は、コンピュータシステムのレジスタ、メモリ、及び他のコンピュータ可読媒体内で物理（電子）量として表されたデータを操作して、コンピュータシステムのメモリ、レジスタ、又はそのような他の情報記憶、伝送、若しくは表示装置内で同様に物理量として表されるその他のデータに変換するコンピュータシステム又は類似の電子演算装置の動作及び処理を表す。

20

【 0 0 1 9 】

[0019]以下、本開示の種々の実施形態を詳しく参照するが、その例を添付の図面に示している。さらに、以下の本開示の詳細な説明においては、本開示の十分な理解が得られるように、多くの具体的詳細を示している。ただし、本開示は、これらの具体的詳細なく実現可能であることが了解される。他の例では、本開示の態様が無用に不明瞭とならないように、周知の方法、手順、構成要素、及び回路を詳しく説明していない。

【 0 0 2 0 】

[0020]実施形態は、コードキャッシュに格納されたコードのトレースに対応するメモリ領域の変化を識別するように構成されている。実施形態は、コードキャッシュにおける変換後コードの位置を追跡するようにさらに構成されていてもよい。自己書き換えコードの検出及びコードキャッシュにおけるコードのトレースの置換が行われている間に性能が向上する。

30

【 0 0 2 1 】

[0021]図面は、種々の実施形態において用いられる例示的な構成要素を示している。図面には、具体的な構成要素を開示しているが、当然のことながら、このような構成要素は例示である。すなわち、その他様々な構成要素又は図面に列挙された構成要素の変形例を有するように実施形態が適合している。当然のことながら、図面中の構成要素は、提示した以外の構成要素と協働するようになっていてもよく、実施形態の目標の達成に、図面の構成要素のすべてが必要なわけではない。

40

【 0 0 2 2 】

[0022]図 1 は、種々の実施形態に係る、ゲスト命令ブロックがネイティブ変換ブロックに変換されるブロックベースの変換プロセスを示した図である。図 1 に示すように、複数のゲスト命令ブロック 101 が、対応する複数のネイティブ変換ブロック 102 に変換されることが示されている。

【 0 0 2 3 】

[0023]本発明の実施形態は、ゲスト命令ブロックの命令に対応するネイティブ変換ブロックの命令に変換することによって機能する。ブロック 101 はそれぞれ、ゲスト命令で構成されている。これらのゲスト命令は、多くの異なるゲスト命令アーキテクチャ（例え

50

ば、Java、JavaScript [登録商標]、x86、MIPS、SPARC等)に由来し得る。複数のゲスト命令ブロックを1つ又は複数の対応するネイティブ変換ブロックに変換可能である。この変換は、命令ごとに発生する。

【0024】

[0024]図2は、種々の実施形態に係る、ゲスト命令ブロック及びその対応するネイティブ変換ブロックがキャッシュに格納される様態を示す例示的なハードウェア加速変換システム200を示した図である。図2に示すように、変換ルックアサイドバッファ(CLB)206の使用によって、ゲストブロックとネイティブブロック間のアドレスマッピングをキャッシングする。これにより、プロセッサ208から低遅延で利用できることを通じて、最も頻繁に生じるネイティブ変換ブロックへのアクセスが行われる。

10

【0025】

[0025]図2の図は、頻繁に生じるネイティブ変換ブロックが高速低遅延キャッシュである変換ルックアサイドバッファ206内に維持される様態を示している。図2に示す構成要素は、ハードウェア加速変換処理を実装することによって、はるかに高レベルの性能を提供する。

【0026】

[0026]ゲストフェッチ論理ユニット202は、システムメモリ201からゲスト命令をフェッチするハードウェアベースのゲスト命令フェッチユニットとして機能する。所与のアプリケーションのゲスト命令は、システムメモリ201内に存在する。プログラムの起動に際して、ハードウェアベースのゲストフェッチ論理ユニット202は、ゲストフェッチバッファ203へのゲスト命令のプリフェッチを開始する。ゲストフェッチバッファ207は、ゲスト命令を蓄積し、それらをゲスト命令ブロックとして組み立てる。これらのゲスト命令ブロックは、変換テーブル204の使用により、対応するネイティブ変換ブロックに変換される。変換後ネイティブ命令は、ネイティブ変換ブロックが完了するまで、ネイティブ変換バッファ205に蓄積される。そして、ネイティブ変換ブロックがネイティブキャッシュ207に移され、マッピングが変換ルックアサイドバッファ206に格納される。その後、ネイティブキャッシュ207の使用により、ネイティブ命令がプロセッサ208に供給されて実行される。一実施形態において、ゲストフェッチ論理ユニット202が実行する機能は、ゲストフェッチ論理状態機械により生成される。

20

【0027】

[0027]このプロセスが続くと、変換ルックアサイドバッファ206は、ゲストブロックのネイティブブロックへのアドレスマッピングで満たされる。変換ルックアサイドバッファ206は、1つ又は複数のアルゴリズム(例えば、最も長い間使われていない等)を用いて、より頻繁に生じるブロックマッピングがバッファ内に保たれる一方、滅多に生じないブロックマッピングがバッファから追い出し(evict:エビクト)されるようにする。このように、変換ルックアサイドバッファ206には、高出現のネイティブ変換ブロックマッピングが格納される。また、ネイティブブロック内の十分に予測される極端なゲスト分岐は、対象とするブロックが単一のマッピングネイティブブロック内で結合されて、CLB構造について低容量の効率に保っていることから、新たなマッピングをCLBに挿入する必要がないことに留意されたい。さらに、一実施形態において、CLB206は、ネイティブアドレスマッピングに対して終了ゲストのみを格納するように構造化される。この態様によっても、CLBの低容量効率が保たれる。

30

40

【0028】

[0028]ゲストフェッチ論理202は、変換ルックアサイドバッファ206を調べて、ゲスト命令ブロックからのアドレスがネイティブ変換ブロックに変換済みであるか否かを判定する。上述の通り、本発明の実施形態は、変換処理のハードウェア加速を提供する。このため、ゲストフェッチ論理202は、システムメモリ201からゲストアドレスをフェッチして新たな変換を行うのに先立って、既存のネイティブ変換ブロックマッピングを変換ルックアサイドバッファ206で調べることになる。

【0029】

50

[0029]一実施形態において、変換ルックアサイドバッファは、ゲストアドレス範囲又は個々のゲストアドレスによって索引付けされる。ゲストアドレス範囲は、ネイティブ変換ブロックに変換済みのゲスト命令ブロックのアドレスの範囲である。変換ルックアサイドバッファにより格納されたネイティブ変換ブロックマッピングは、各自の対応するゲスト命令ブロックの対応するゲストアドレス範囲によって索引付けされている。このため、ゲストフェッチ論理は、マッピングが変換ルックアサイドバッファ206に保持された変換後ブロックのゲストアドレス範囲又は個々のゲストアドレスに対してゲストアドレスを比較することにより、ネイティブキャッシュ207又は図3のコードキャッシュに格納されたものの中に既存のネイティブ変換ブロックが存在するか否かを判定することができる。既存のネイティブ変換ブロックがネイティブキャッシュ又はコードキャッシュのどちらかに存在する場合は、対応するネイティブ変換命令がこれらのキャッシュからプロセッサに直接転送される。

【0030】

[0030]このように、高出現のゲスト命令ブロック（例えば、頻繁に実行されるゲスト命令ブロック）には、それぞれの対応する高出現のネイティブ変換ブロックマッピングが高速低遅延の変換ルックアサイドバッファ206内に維持されている。ブロックについては、適当な置換ポリシーによって、高出現のブロックマッピングが変換ルックアサイドバッファ内に留まるようにする。このため、ゲストフェッチ論理202は、要求されたゲストアドレスが変換済みであるか否かを即座に識別するとともに、変換済みのネイティブ命令をネイティブキャッシュ207に直接転送して、プロセッサ208により実行することができる。システムメモリへのトリップに40～50サイクル以上を要する可能性があることから、これらの態様によって、多くのサイクルが節約される。これらの属性（例えば、上記のうちのCLB、ゲスト分岐シーケンス予測、ゲスト及びネイティブ分岐バッファ、ネイティブキャッシング）では、本発明の実施形態のハードウェア加速機能は、相当するネイティブアプリケーションのアプリケーション性能の80%～100%以内のゲストアプリケーションのアプリケーション性能を実現可能である。

【0031】

[0031]一実施形態において、ゲストフェッチ論理202は、プロセッサ208からのゲスト命令要求とは無関係に、ゲスト命令を絶えずプリフェッチして変換する。ネイティブ変換ブロックは、これら使用頻度の低いブロックのためのシステムメモリ201の変換バッファ「コードキャッシュ」内に蓄積可能である。また、変換ルックアサイドバッファ206は、使用頻度が最も高いマッピングを保持する。したがって、要求されたゲストアドレスが変換ルックアサイドバッファにおいてゲストアドレスにマッピングされていない場合、ゲストフェッチ論理は、システムメモリ201を確認することにより、システムメモリ201に格納されたネイティブ変換ブロックにそのゲストアドレスが対応しているか否かを判定することができる。

【0032】

[0032]一実施形態において、変換ルックアサイドバッファ206は、キャッシュとして実装され、キャッシュコヒーレンシプロトコルを利用することにより、より高レベルのキャッシュ及びシステムメモリ201に格納されたはるかに大きな変換バッファとのコヒーレンシを維持する。変換ルックアサイドバッファ206に格納されたネイティブ命令マッピングは、高レベルのキャッシュ及びシステムメモリ201にも書き戻される。システムメモリへの書き戻しによって、コヒーレンシが維持される。このため、キャッシュ管理プロトコルの使用により、高出現のネイティブ変換ブロックマッピングが変換ルックアサイドバッファ206に格納され、低出現のネイティブ変換ブロックマッピングがシステムメモリ201に格納されるようにすることができる。このため、システムメモリ201には、はるかに大きな形態の変換バッファ206が存在する。

【0033】

[0033]一実施形態において、図2のアーキテクチャは、多くの異なる命令アーキテクチャを入力として受け付け得る柔軟な変換プロセスを使用する仮想命令セットプロセッサノ

コンピュータを実装する。このような仮想命令セットプロセッサにおいて、プロセッサのフロントエンドは、ハードウェア加速変換処理を活用してはるかに高いレベルの性能を提供しつつ、ソフトウェア制御が可能ないように実装される。このような実装により、様々なゲストアーキテクチャの処理及び変換が可能である一方、それぞれのアーキテクチャがハードウェア加速の恩恵を受けて、はるかに高いレベルの性能を享受する。例示的なゲストアーキテクチャとしては、Java、JavaScript、x86、MIPS、SPARC等が挙げられる。一実施形態において、「ゲストアーキテクチャ」としては（例えば、ネイティブアプリケーション/マクロ動作による）ネイティブ命令が可能であり、変換プロセスは、最適化されたネイティブ命令（例えば、最適化されたネイティブ命令/マクロ動作）を生成する。ソフトウェア制御されるフロントエンドは、プロセッサ上で実行されるアプリケーションの柔軟性を高くすることができる。上述の通り、ハードウェア加速によれば、ネイティブに近いハードウェア速度でゲストアプリケーションのゲスト命令を実行することができる。

コードキャッシュにおける変換後コードの追跡

【0034】

[0034]バイナリトランスレーションを採用してゲスト（例えば、ソース）コードを、同一又は別の命令セットアーキテクチャ（ISA）のネイティブ（例えば、ターゲット）コードに変換するアーキテクチャは、自己参照コード、自己書き換えコード、及び入出力装置によるDMAを介した相互コード書き換えの問題に対処する必要がある。実施形態は、ゲストコードの真偽自己書き換え及びゲストコードのDMA書き換えを取り扱うように構成されている。

【0035】

[0035]ゲストコードのDMA書き換えを伴う状況に対処する場合は、命令の変換及びコードキャッシュへの保持が行われたゲストページの書き込み保護が可能である。ただし、書き込み保護されたページは、IOMMUを採用していないシステムにおいて、コードキャッシュにおけるゲストコードのコピーがDMA装置による書き換えによって古くなることを防止できない。さらに、ゲストページの粒度での書き込み保護は、いずれかのコードが同じページのデータと混じり合った場合、又は大きなページがまばらに変換された場合に、性能上の大きな影響を及ぼす。

【0036】

[0036]図3は、種々の実施形態に係る、システムのページサイズよりも小さな粒度でゲストコードを追跡するシステムの例示的な構成要素を示している。図3は、コードを実行し、自己書き換えコードを実行し、自己書き換えコードに応答してコードキャッシュを維持するための構成要素を示している。システム300は、プロセッサ302及びメモリ310を具備する。なお、システム300は、他の図面に存在する他の構成要素をさらに具備していてもよい。

【0037】

[0037]プロセッサ302は、メモリ310に格納されたプログラム及び/又はコードを実行するように構成されている。プロセッサ302は、コードキャッシュ存在バッファ（PCB: Present in Code Cache Buffer）308、PCB関連レジスタ314、キャッシュ320、自己書き換えコード（SMC）検出モジュール330、及び実行機能モジュール350を具備する。メモリ310は、コードキャッシュ存在テーブル（PCT: Present in Code Cache Table）312を含む。実行機能モジュール350は、命令をフェッチする1つ又は複数の処理コア及び機能を含み得る。

【0038】

[0038]SMC検出モジュール330は、自己書き換えコードによるコードの書き換えを検出及び/又は判定するように構成されている。いくつかの実施形態において、SMC検出モジュール330は、実行機能モジュール350と通信を行うことにより、自己書き換えコードがいつそれ自体を書き換えるかを決定する。

【 0 0 3 9 】

[0039] 実行機能モジュール 3 5 0 は、キャッシュ 3 2 0 及び / 又はメモリ 3 1 0 からアクセスされたプログラム及び / 又はコードをプロセッサ 3 0 2 が実行できるように構成されている。キャッシュ 3 2 0 は、コードキャッシュ 3 2 2 及びデータキャッシュ 3 2 4 を具備する。コードキャッシュ 3 2 2 は、メモリ 3 1 0 からのコードをキャッシングして、プロセッサ 3 0 2 の性能を向上させるように構成されている。データキャッシュ 3 2 4 は、メモリ 3 1 0 からのデータをキャッシングして、プロセッサ 3 0 2 の性能を向上させるように構成されている。

【 0 0 4 0 】

[0040] いくつかの実施形態においては、コードキャッシュ 3 2 2 とデータキャッシュ 3 2 2 が組み合わされることにより、キャッシュ 3 2 0 にコード及びデータがともに格納される。例えば、コード及びデータをキャッシュ 3 2 0 にインターリーブ可能である。

【 0 0 4 1 】

[0041] 実施形態は、最小のページサイズよりも小さな粒度でゲストコードを追跡することにより、ゲストコードの追跡及び保護を改善するように構成されている。このより小さな粒度において、例えば MMU のキャッシュラインのサイズは、変換されたゲストコードページの格納に依存不可能であってもよい。実施形態は、コードキャッシュ存在テーブル (P C T) 3 1 2 を使用して、コードキャッシュ 3 2 2 における変換後コードのマッピング及び追跡を行う。格納又は D M A 書き込みでは、その格納又は D M A 書き込みのグローバルな可視化に先立って、 P C T 3 1 2 を参照する。

【 0 0 4 2 】

[0042] いくつかの実施形態においては、メモリ固有の構造である P C T 3 1 2 へのアクセスと関連付けられたメモリ遅延を隠すため、P C T 3 1 2 をより小さくキャッシングしたバージョンをプロセッサ 3 0 2 に格納するが、これはコードキャッシュ存在バッファ (P C B) 3 0 8 として知られている。所与のページアドレス (P A) に格納又は D M A 書き込みが発生した場合は、P C B 3 0 8 においてアクセスが行われる。P C B 3 0 8 におけるアクセスが不首尾に終わった場合は、P C T 3 1 2 においてアクセスが行われる。P C B 3 0 8 及び / 又は P C T 3 1 2 の探索に際し、変換済みのキャッシュラインに対して格納が行われる場合は、イーガー法 (e a g e r m e t h o d) として既知の方法で格納を実行したスレッド / コアに関して例外 (e x c e p t i o n : エクセプション) を発生させる選択肢が与えられる。なお、スレッド / コアの例外対象 I D をシステムレジスタに格納することによって、格納を実行するスレッド / コアと異なるスレッド / コアに例外を誘導することができる。

【 0 0 4 3 】

[0043] いくつかの実施形態においては、レイジー法 (l a z y m e t h o d) として既知の方法でゲストが P C B 3 0 8 及び / 又は P C T 3 1 2 を分岐する場合、例外を後に発生させることができる。また、参照及び書き換えの両者に関して、如何なる例外も抑制可能である。

【 0 0 4 4 】

[0044] 変換済みのページ (例えば、4 K ページ) でのキャッシュラインに対する格納又は D M A 書き込みの際には、P C B 3 0 8 においてエントリが追加され、当該エントリが書き換え済みとしてマーキングされる。いくつかの実施形態において、未変換のデータ又はゲストコードに対する格納については、格納ごとに P C T 3 1 2 に至ることはない。未変換のデータ又はゲストコードに対する各格納の際に P C B 3 0 8 へのアクセスは、キャッシュ (例えば、L 2 キャッシュ) において各ページ (例えば、4 K ページ) をマッピングするように P C B 3 0 8 がサイズ規定されており、P C B 3 0 8 が P C T 3 1 2 のヒット及びミス情報を当該 P C B 3 0 8 にキャッシングする場合、回避可能である。

【 0 0 4 5 】

[0045] コードキャッシュ 3 2 2 は、様々なサイズが可能である。例えば、ゲストコードのサイズは、最大 6 4 M B が可能である。いくつかの実施形態において、ゲストキャッシ

10

20

30

40

50

ュラインは、その変換されたネイティブ命令をコードキャッシュ 3 2 2 に有しておらず、ゲストキャッシュラインが属するゲストページ（例えば、4 K ページ）は P C T 3 1 2 にマッピングされていない。言い換えると、ゲストキャッシュラインは、当該ゲストキャッシュラインが属するゲストページが P C T 3 1 2 にマッピングされた状態で、その変換されたキャッシュラインをコードキャッシュ 3 2 2 に有することになる。例えば、コードキャッシュ 3 2 2 における 6 4 バイトの各キャッシュラインは、一意のゲストコード 4 K ページに由来する可能性があり、P C T 3 1 2 は百万個のエントリを有する（例えば、6 4 M B / 6 4 B）。P C T 3 1 2 は、コードキャッシュ 3 2 2 をいくつかの異なる形で編成できるようにサイズを規定することができる。表 1 は、（例えば、トランスレーションテーブルエントリ（T T E）と類似し得る）コードキャッシュ存在テーブルエントリ（P C T E）として知られている P C T 3 1 2 のエントリのビットレイアウトを示している。

【表 1】

ビットインデックス	フィールド名	フィールドの説明
[0]	M	書き換え済み:格納又はDMA書き込みによってゲストコードキャッシュラインの1つ又は複数を書き換えられ、ビットインデックス[\$i]\$が1に設定されていることを示す。
[7:1]	Reserved	
[9:8]	A	動作:00;例外なし、01;レイジー、10;イーガー、11;レイジー及びイーガー
[73:10]	C	変換済み:C[\$i]\$が1の場合は、キャッシュラインの(PA+\$i\$*64)にあるゲストコードがネイティブコードに変換され、コードキャッシュにコピーが存在する。
[101:74]	Tag[y:x]	これらのビットは、タグである。PAの高次ビットの一部を表す(ただし、y<40、x>11)。これについては、以下により詳しく説明する。
[113:102]	FlexPA	PAの将来的な増大のために予約
[114]	NS	TrustZone用の非セキュアなビット
[115]	V	PCTE有効ビット
[127:116]	Meta Data	SWは、ブック保持を行う場合はこのフィールドを使用することができる。

表1-PCTEの例示的なレイアウト

【 0 0 4 6 】

[0046]いくつかの実施形態においては、P C T 3 1 2 の複数の P C T E が単一のキャッシュラインとしてグループ化されることにより、キャッシュラインのフェッチに応じた複

数の P C T E のキャッシングが可能となる。例えば、4つの連続する P C T E を1つの 64 B キャッシュラインとしてグループ化可能であり、当該グループのフェッチに際しては、4つの連続する P C T E が単一の L 2 キャッシュラインとしてキャッシングされる。P C T 3 1 2 は、ハッシュテーブル又は N - w a y セットアソシアティブであるキャッシュとしてメモリ中に編成可能である。

【 0 0 4 7 】

[0047]いくつかの実施形態においては、C L B / C L T へのエントリの挿入によりゲスト分岐に対して変換が可視化される前に、ソフトウェアによってエントリが P C T 3 1 2 に挿入される。P C T 3 1 2 は、P C B 3 0 8 からの書き戻しに際してハードウェアが書き換えビットを 1 に設定している状態で、ソフトウェアによって維持されるようになっていてもよい。P C T 3 1 2 の更新は、ソフトウェア、ハードウェア、又はこれらの組合せによって取り扱うことができる。P C T 3 1 2 の更新は、ハードウェアベースのキャッシュにキャッシング可能であり、あるスレッド/コアによる更新は、他のスレッド/コアに対して可視化される。いくつかの実施形態においては、P C B 3 0 8 と関連付けられた論理が P C T E の書き換えビットを更新し（例えば、0 から 1 への遷移）、ソフトウェアが P C T E の各ビットを更新可能である。ハードウェア及びソフトウェアの両者による同時更新によるデータ破損を回避するため、P C T E の書き換えビットに対して、7つの高次ビットを予約済みとして保持可能である。これにより、同じキャッシュラインに対するソフトウェア更新との衝突なく、ハードウェアによる書き換えビットへのバイト書き込みが可能となる。

10

20

【 0 0 4 8 】

[0048] P C B 関連レジスタ 3 1 4 は、P C T タグレジスタ (P C T T R) を含んでいてもよい。いくつかの実施形態において、トランスレータ又はコンバータは、P C T 3 1 2 のタグ及びインデックスビットをハードウェア（例えば、プロセッサ 3 0 2 ）に示すように P C T T R レジスタをプログラムする。表 2 は、P C T T R の例示的なフィールドを示している。

【表 2】

ビット	名称	説明	タイプ	アクセス	リセット
[11:0]	Reserved		Cfg	R	0
[39:12]	PAM	連続する 1 及び 0 の PA マスク	Cfg	RW	0

30

表2-PCTTRの例示的なフィールド

【 0 0 4 9 】

[0049]いくつかの実施形態において、ページアドレスマスク (P A M) は、不連続な 1 を有さないように構成されている。P A M フィールドは、P C T E タグに見出されるページアドレス値のマスクとして（例えば、P C T E . T a g [3 9 : 1 2] 及び P A M [3 9 : 1 2] として）働く。例えば、P A M [3 9 : 1 2] = 0 x F F F _ F F 0 0 の場合は、P A M [1 9 : 1 2] が P C T 3 1 2 へのインデックスとして働く一方、P A M [3 9 : 2 0] が P C T 3 1 2 におけるタグビットである。したがって、P C T E を P C T 3 1 2 に配置する場合、コンバータは、P C T E . T a g [1 0 1 : 8 2] において P A M [3 9 : 2 0] ビットをプログラムする。P C T E . T a g [8 1 : 7 4] ビットについては、気に掛けなくてもよい。

40

【 0 0 5 0 】

[0050] P C B 関連レジスタ 3 1 4 は、P C T 構成レジスタ (P C T C R) を含んでいてもよい。本明細書において、G C M は、例外を表す。表 3 は、P C T C R の例示的なフィ

50

ールドを示している。

【表 3】

ビット	名称	説明	タイプ	アクセス	リセット
0	SETV	格納例外対象有効	Cfg	RW	0
7:1	SET	格納例外対象	Cfg	RW	0
8	BETV	分岐例外対象有効	Cfg	RW	0
15:9	BET	分岐例外対象	Cfg	RW	0
16	DETV	DMA 例外対象有効	Info	RW	1
23:17	DET	DMA 例外対象	Cfg	RW	0
24	SEV	格納例外有効	Cfg	RW	1
25	BEV	分岐例外有効	Cfg	RW	1
26	DEV	DMA 例外有効	Cfg	RW	1
27	DMAGCM EN	DMA GCMイネーブル:GCM 論理に対するDMAの関与を可 能とする。	Cfg	RW	1
28	GCMEN	GCM イネーブル:GCM 論理を 可能とする。	Cfg	RW	0
29	SA	PCTのアソシアティビティの 設定:0;直接マッピング、1;4- wayアソシアティブ	Cfg	RW	0

表3-PCTCRの例示的なフィールド

【 0 0 5 1 】

【0051】いくつかの実施形態において、SETV及びBETVが1である場合は、SET及びBETフィールドにおいてプログラムされたスレッド/コアに関して(PCTE.Aフィールドに従って)例外を発生させる。それ以外の場合は、格納又は分岐の実行に至ったスレッド/コアに関して(PCTE.Aフィールドに従って)例外を発生させる。いくつかの実施形態において、DETVフィールドは、常に1である。また、DETフィールドにおいてプログラムされたスレッド/コアに関して、(PCTE.Aフィールドに従って)例外を発生させる。SEVがゼロである場合は、格納に関する例外を発生させない。BEVがゼロである場合は、分岐に関する例外を発生させない。DEVがゼロである場合は、DMAアクセス(例えば、DMA格納)に関する例外を発生させない。DMAGCMENがゼロである場合は、PCB308及び/又はPCT312の探索の必要なく、論理によってDMAアクセスを処理可能である。GCMENがゼロである場合、(例えば、ア

レイ及び論理を含む) P C B 3 0 8 は、電源を落とすことができる。

【 0 0 5 2 】

[0052]いくつかの実施形態において、P C B 3 0 8 は、オンチップ(例えば、プロセッサ 3 0 2 の一部)であり、格納及びゲスト分岐に際して P C T 3 1 2 の P C T E をキャッシングするスレッド/コアに依存しない構造である。P C B 3 0 8 は、拡張されたシステムレジスタを介して与えられる維持動作により、ソフトウェアに対して可視化される。

【 0 0 5 3 】

[0053]格納では、M M U から得られたページアドレスを用いることにより、P C B 3 0 8 におけるエントリを探索する。アクセスが P C B 3 0 8 においてヒットし、1 に設定された C (変換後)ビットを、一致するキャッシュラインが有する場合、格納では、M₀ (M_{old}) が 1 となっていなければ、M_n (M_{new}) を 1 に設定することになる。

10

【 0 0 5 4 】

[0054]格納が P C B 3 0 8 においてミスである場合は、P C T ウォーク (P C T W) の起動によって、P C T 3 1 2 から P C T E をフェッチする。P C T W の完了に際して、一致する P C T E が見つかっている場合は、当該 P C T E が P C B 3 0 8 に挿入され、そうでない場合は、C、M_{new}、及び M_{old} ビットが 0 に設定された状態で、新たなエントリが P C B 3 0 8 に作成される。P C T E を P C B 3 0 8 に挿入するプロセスにおいて、置換対象のエントリが M_n ビットを 1 に設定している場合は、書き戻しが必要となり得る。

【 0 0 5 5 】

20

[0055]なお、負荷が P C B 3 0 8 と直接相互作用しなくてもよい。ただし、直近に負荷からアクセスを受けたページ(例えば、4 K ページ)について、P C T E を P C B 3 0 8 にフェッチすることにより、負荷と格納間の参照の局所性を活用することができる。

【 0 0 5 6 】

[0056]D M A 書き込み及び読み出しは、プロセッサ 3 0 2 のプロセッサコアを通して、メインメモリに送ることができる。そのような D M A 書き込みでは、P C B 3 0 8 をスヌープして、M ビットを設定するとともに、任意選択でイーガー例外 (e a g e r e x c e p t i o n) を生成することができる。

【 0 0 5 7 】

[0057]いくつかの実施形態において、ゲスト分岐では、(例えば、T L B 探索により得られるゲスト物理アドレスを用いて) C L B 及び P C B 3 0 8 のエントリを並列に探索する。C L B、C L T、P C B 3 0 8、及び P C T 3 1 2 間では、所与のゲスト物理アドレスが一貫しているものと予想される。例えば、エントリは、C L B / C L T でヒットし且つ P C T 3 1 2 でミスになることも、P C T 3 1 2 でヒットするが C ビットが 1 に設定されていないことも不可能である。

30

【 0 0 5 8 】

[0058]ゲスト分岐が P C B 3 0 8 においてミスである場合は、C L B においてミスであったとしても P C T W が起動される。

【 0 0 5 9 】

[0059]P C T W の完了に際して、P C T E が P C B 3 0 8 に挿入されるようになっているてもよい(そのことにより、例えば、同じ対象に対して、将来的なゲスト分岐の性能を向上可能となる)。P C T E を P C B 3 0 8 に挿入するプロセスにおいて、置換対象のエントリが M_n ビットを 1 に設定している場合は、書き戻しが必要となり得る。

40

【 0 0 6 0 】

[0060]いくつかの実施形態において、ゲスト分岐は、P C T E . A ビットと併せて、P C B 3 0 8 の P C T E . M_[new] 及び P C T E . M_[old] に依存するか、又は基づいていない。

【 0 0 6 1 】

[0061]実施形態は、分岐命令に対応するように構成されている。分岐命令は、P C B 3 0 8 及び / 又は P C T 3 1 2 の探索によって、変換がゲスト書き換えにより古くなってい

50

ることを確認する。分岐命令は、PCB308及び/又はPCT312の探索に続いて、TLB探索を起動する。例えば、探索の結果がPCB308においてミスである場合は、PCTWの起動によって、PCT312からPCTEをフェッチする。

【0062】

[0062]PCTWの完了に際して、PCTEがPCB308に挿入されるようになっていてもよい(そのことにより、例えば、同じトレースに対して、将来的な分岐命令の性能を向上可能となる)。PCTEをPCB308に挿入するプロセスにおいて、置換対象のエントリが M_n ビットを1に設定している場合は、書き戻しが必要となり得る。

【0063】

[0063]いくつかの実施形態において、PCB308は、PCTのヒット及びミス情報を格納する。これは、ほとんどの格納は未変換のデータ又はコードに対するものであり、このような格納はPCT312においてミスとなる事実に基づく。PCT312においてミスになるものと予想されるこのようなほとんどの格納に関するPCT探索の実行を回避するため、PCB308の使用により、PCTのヒット及びミス情報をキャッシングする。これにより、同じページ(例えば、4Kページ)に対する格納に応じた将来的なPCT探索を回避可能となる。

【0064】

[0064]例えば、PCB308は、L2キャッシュに固有の各4Kページ候補をマッピングするように構成されているため、L2キャッシュと同じway数のキャッシュとして構成可能である(例えば、L2キャッシュの各wayには、最大32個の4Kページが存在し得る)。

【0065】

[0065]いくつかの実施形態において、PCB308は、各wayに32個のエントリを有する8-wayアソシアティブキャッシュである。各エントリは、4Kページについて、PCTのヒット及びミス情報を提供する。PA[16:12]ビットは、集合を選択するためのインデックスビットである。表4は、例示的なPCBエントリ(PCBE)のレイアウトを示している。

【表4】

PCBE.Tag					PCBE.Data	
V	M_0 (例えば、PCTE.M)	M_n	PCTE.NS	PA[y:17]*	PCTE.C[63:0]	PCTE.A[1:0]

表4-PCBエントリの例示的なレイアウト

yの値は、PCTE.Tagに見出されるものと同じにすることができる。最大40bのアドレスに対応する大規模物理アドレス拡張(LPAE:Large Physical Address Extension)システムにおいて、yは39である。

【0066】

[0066]いくつかの実施形態において、PCB308は、ソフトウェアによってシステムレジスタで維持可能である。PCBEは、PAに基づいて無効化可能である。例えば、変換が古くなっている場合、又は新たなトレースを作成する場合は、ソフトウェアによってPCBのエントリを無効化可能である。PCBEは、PAに基づいて削除可能である。例えば、 M_{old} 及び M_{new} が設定され、エントリが有効である場合は、PCBEがメモリ310に書き込まれるとともに、PCT312及びPCBEは有効状態を維持し続ける。この動作により、コンバータは、PCT312のPAに対する任意の維持に先立って、PCTE上でPCBEと同期可能である。PCBEは、PAに基づいて削除及び無効化可能である。例えば、 M_{old} 及び M_{new} が設定され、エントリが有効である場合は、PCBEがメモリ310に書き込まれるとともに、PCBEが無効化される。各PCBEエ

10

20

30

40

50

ントリは、初期化中又はコンバータによるコードキャッシュ 3 2 2 のクリア時に無効化可能である。なお、書き換えエントリは、メモリ 3 1 0 及び P C T 3 1 2 に書き戻さなくてもよい。各 P C B E は、削除及び無効化可能である。例えば、この動作によって、P C B 3 0 8 の各書き換えエントリは、P C T 3 1 2 に書き戻し可能となるため、P C B 3 0 8 の各エントリが無効化される。

【 0 0 6 7 】

[0067] P C B 関連レジスタ 3 1 4 は、P C B 維持レジスタ (P C B M R) を含んでもよい。表 5 は、P C B M R のフィールドを示している。いくつかの実施形態において、維持がインデックスベースである場合は、W A Y ビットと併せて、P A [1 6 : 1 2] がインデックスビットとして用いられる。

10

【表 5】

ビット	名称	説明	タイプ	アクセス	リセット
3:0	CMD	コマンドコード化 0:NOP 1:PA上の無効化 2:PA上の削除 3:PA上の削除及び無効化 4:インデックス、Way上の無効化 5:インデックス、Way上の削除 6:インデックス、Way上の削除及び無効化 7:すべて無効化 8:すべて削除及び無効化	Cfg	RW	0
8:4	Reserved				0
11:9	WAY	PCB Way			
39:12	PA	PA	Cfg	RW	0

20

30

表5-PCBMRの例示的なフィールド

【 0 0 6 8 】

[0068] P C B 関連レジスタ 3 1 4 は、P C T ベースアドレスレジスタ (P C T B A R) を含んでもよい。表 6 は、P C T B A R のフィールドを示している。

【表 6】

ビット	名称	説明	タイプ	アクセス	リセット
5:0	Reserved	--			0
39:6	PA	BAR PA	Cfg	RW	0

40

表6-PCTBARの例示的なフィールド

【 0 0 6 9 】

[0069] P C B 関連レジスタ 3 1 4 は、G C M シンドローム 0 レジスタ (G C M S 0 R) を含んでもよい。表 7 は、G C M S 0 R のフィールドを示している。

【表 7】

ビット	名称	説明	タイプ	アクセス	リセット
39:0	PA	GCM 例外をもたらした格納、負荷、 又は DMA PA	Cfg	RW	0
40	NS	PCTE.NS	Cfg	RW	0
42:41	A	PCTE.A	Cfg	RW	0

10

表7-GCMS0Rの例示的なフィールド

【 0 0 7 0 】

【0070】PCB 関連レジスタ 3 1 4 は、GCM シンドローム 1 レジスタ (G C M S 1 R) を含んでいてもよい。表 8 は、G C M S 1 R のフィールドを示している。

【表 8】

ビット	名称	説明	タイプ	アクセス	リセット
63:0	C	PCTE.C	Cfg	RW	0

20

表8-GCMS1Rの例示的なフィールド

【 0 0 7 1 】

【0071】実施形態は、多様な技術を用いて関連ケースを取り扱うように構成されており、そのような技術には、ゲスト命令分岐 (G I B) 相互作用、P C T 維持、及び P C B プリフェッチ等におけるトレースの中断が挙げられるが、これらに限定されない。

【 0 0 7 2 】

【0072】いくつかの実施形態においては、ゲスト分岐の使用により、コードキャッシュにおける古いコードを検出する。コンバータは、ゲスト分岐が生じるとトレースを中断し、単一のトレースを継続する。

30

【 0 0 7 3 】

【0073】いくつかの実施形態において、P C T 3 1 2 は、負荷及び格納を用いてソフトウェアによって維持される。P C B 3 0 8 の論理は、書き換え P C B E を P C T 3 0 8 に書き戻すことができる。

【 0 0 7 4 】

【0074】いくつかの実施形態において、各 P C B E は、4 K ページにマッピングされる。より大きなゲストページサイズが採用される場合、P C B の論理は、P C B 3 0 8 においてヒットする負荷又は格納の参照ごとに、後続の 4 K ページの P C T E を順次プリフェッチ可能である。

40

【 0 0 7 5 】

【0075】図 4 を参照すると、フローチャート 4 0 0 は、本明細書に記載のようにデータを保護する種々の実施形態により用いられる例示的な機能を示している。フローチャート 4 0 0 には、具体的な機能ブロック (「ブロック」) を開示しているが、このようなステップは例示である。すなわち、その他様々なブロック又はフローチャート 4 0 0 に列挙されたブロックの変形例を実行するように実施形態が適合している。当然のことながら、フローチャート 4 0 0 のブロックは、提示と異なる順序で実行可能であり、また、フローチャート 4 0 0 のブロックをすべて実行する必要はない。

【 0 0 7 6 】

【0076】図 4 A 及び図 4 B は、種々の実施形態に係る、コードキャッシュにおける変換後

50

コードの位置を追跡する例示的な電子的構成要素制御のプロセスを示したフローチャートである。図 4 A 及び図 4 B は、いくつかの実施形態に関して、本明細書に記載のように P C B 及び P C T を伴って変換後コードがコードキャッシュ中に存在するか否かを追跡するプロセス 4 0 0 を示している。当然のことながら、プロセス 4 0 0 は、P C B 及び P C T に関して記述しているが、機能が類似する他のデータ構造及び構成で実行されるようになっていてもよい。

【 0 0 7 7 】

[0077] ブロック 4 0 2 においては、ゲスト命令にアクセスする。いくつかの実施形態においては、本明細書に記載のようにゲスト命令をネイティブ命令に変換するトランスレータによって、ゲスト命令にアクセスする。

10

【 0 0 7 8 】

[0078] ブロック 4 0 4 においては、ゲスト命令が分岐であるか否かを判定する。ゲスト命令が分岐命令でない場合は、ブロック 4 0 6 を実行する。ゲスト命令が分岐命令である場合は、ブロック 4 5 0 を実行する。

【 0 0 7 9 】

[0079] ブロック 4 0 6 においては、ゲスト命令がゲスト物理アドレスに対する格納であるか否かを判定する。ゲスト命令がゲスト物理アドレスに対する格納である場合は、ブロック 4 0 8 を実行する。ゲスト命令がゲスト物理アドレスに対する格納でない場合は、ブロック 4 4 0 を実行する。

【 0 0 8 0 】

20

[0080] ブロック 4 0 8 においては、P C B にミスがあるか否かを判定する。P C B のミスは、ゲスト命令のページ又はアドレスに基づいて判定可能である。P C B にミスがある場合は、ブロック 4 1 0 を実行する。P C B にミスがない場合は、ブロック 4 2 2 を実行する。

【 0 0 8 1 】

[0081] ブロック 4 1 0 においては、P C T にミスがあるか否かを判定する。P C T のミスは、ゲスト命令のページ又はアドレスに基づいて判定可能である。P C T にミスがある場合は、ブロック 4 2 0 を実行する。P C T にミスがない場合は、ブロック 4 1 2 を実行する。

【 0 0 8 2 】

30

[0082] ブロック 4 1 2 においては、エビクトする P C B エントリを選択する。エビクトする P C B エントリは、本明細書に記載のように、最も長い間使われていないか否かに基づいて選択可能である。

【 0 0 8 3 】

[0083] ブロック 4 1 4 においては、選択した P C B エントリのエビクトを実行する。ブロック 4 1 6 においては、P C T からのキャッシュラインサイズの選択をフェッチする。本明細書に記載のように、キャッシュラインサイズの選択は、複数の P C T エントリ（例えば、4 つの P C T E ）を含み得る。

【 0 0 8 4 】

[0084] ブロック 4 1 8 においては、P C T からのエントリを P C B （例えば、エビクトした P C B エントリの位置）に格納する。

40

【 0 0 8 5 】

[0085] ブロック 4 2 0 においては、変換ゲスト命令を実行する。いくつかの実施形態において、コードキャッシュは、ゲスト命令の変換の一部として更新される。その後、次のゲスト命令について、ブロック 4 0 2 を実行するようにしてもよい。

【 0 0 8 6 】

[0086] ブロック 4 2 2 においては、本明細書に記載のように、当該位置が変換後コードを有するか否かを判定する。当該位置が変換後コードを有する場合は、ブロック 4 2 4 を実行する。当該位置が変換後コードを有さない場合は、ブロック 4 2 0 を実行する。

【 0 0 8 7 】

50

[0087]ブロック424においては、本明細書に記載のように、例外を発生させる。これは、イーガー法として知られている可能性がある。いくつかの実施形態においては、例外を発生させない。いくつかの実施形態において、例外を発生させる場合は、コード変換の停止によって、とりわけコードキャッシュの更新及び/又はメモリのアクセスを可能とする。

【0088】

[0088]ブロック426においては、ゲスト命令におけるアドレスと関連付けられたコードキャッシュラインを無効化する。例えば、この無効化は、本明細書に記載のように、PCB及び/又はPCTが古くなっていることに基づいて書き換えを示すものとコードキャッシュラインが判定されることに基づくことができる。

10

【0089】

[0089]ブロック428においては、PCTにミスがあるか否かを判定する。PCTのミスは、ゲスト命令のページ又はアドレスに基づいて判定可能である。PCTにミスがある場合は、ブロック420を実行する。PCTにミスがない場合は、ブロック430を実行する。

【0090】

[0090]ブロック430においては、ゲスト命令を変換する。いくつかの実施形態において、コードキャッシュが、ゲスト命令の変換の一部として更新される。

【0091】

[0091]ブロック432においては、本明細書に記載のように、PCB及び/又はPCTを更新することによって、格納命令の性能をゲスト物理アドレス及びコードキャッシュの関連する位置に反映させる。例えば、PCB及び/又はPCTの更新によって、要求がコードキャッシュラインを書き換えたことを反映させるようにしてもよい。その後、次のゲスト命令について、ブロック402を実行してもよい。

20

【0092】

[0092]ブロック440においては、ゲスト命令に基づく変換命令を実行する。その後、次のゲスト命令について、ブロック402を実行してもよい。

【0093】

[0093]図4Bを参照して、ブロック450においては、分岐命令をゲスト分岐命令で置換する。

30

【0094】

[0094]ブロック452においては、本明細書に記載のように、当該位置が変換後コードを有するか否かを判定する。当該位置が変換後コードを有する場合は、ブロック460を実行する。当該位置が変換後コードを有さない場合は、ブロック454を実行する。

【0095】

[0095]ブロック454においては、ゲスト分岐命令を（例えば、ネイティブ分岐命令に）変換する。ブロック456においては、変換ゲスト分岐命令の位置にあるコードを実行する。

【0096】

[0096]ブロック460においては、ゲスト分岐命令の位置（例えば、アドレス）が書き換え済みであるか否かを判定する。ゲスト分岐命令の位置の内容が書き換え済みであるか否かは、PCB及び/又はPCTへのアクセスに基づいて判定される。当該位置の内容が書き換え済みである場合は、図4Aのブロック424を実行する。これは、レイジー法として知られている可能性がある。当該位置の内容が書き換え済みでない場合は、ブロック462を実行する。

40

【0097】

[0097]ブロック462においては、ゲスト分岐命令の位置にアクセスする。当該位置は、コードキャッシュ又はメモリからアクセス可能である。

【0098】

[0098]ブロック464においては、ゲスト分岐命令の位置におけるコードを実行する。

50

【 0 0 9 9 】

[0099]図5は、種々の実施形態を含む例示的なコンピューティングシステム500のブロック図である。コンピューティングシステム500は、コンピュータ可読命令を実行可能な任意のシングル又はマルチプロセッサコンピュータ装置又はシステムを広く表す。コンピューティングシステム500の例としては、ワークステーション、ラップトップ、クライアント側端末、サーバ、スーパーコンピュータ、分散コンピューティングシステム、携帯装置、又はその他任意のコンピューティングシステム若しくは装置等が挙げられるが、これらに限定されない。最も基本的な構成として、コンピューティングシステム500は、少なくとも1つのプロセッサ514及びシステムメモリ516を具備していてもよい。

10

【 0 1 0 0 】

[00100]プロセッサ514は、データの処理又は命令の解釈及び実行が可能な任意の種類又は形態の処理ユニットを一般的に表す。特定の実施形態において、プロセッサ514は、ソフトウェアアプリケーション又はモジュールから命令を受信するようにしてもよい。これらの命令により、プロセッサ514は、本明細書に記載及び/又は図示する例示的な実施形態の1つ又は複数の機能を実行するようになっていてもよい。例えば、プロセッサ514は、単独で、又は他の要素との組合せにより、本明細書に記載の識別、判定、使用、実装、トランスレーション、追跡、受信、移動、及び提供の1つ又は複数を実行するか、及び/又は実行する手段であってもよい。また、プロセッサ514は、本明細書に記載及び/又は図示するその他任意のステップ、方法、又はプロセスを実行するか、及び/又は実行する手段であってもよい。

20

【 0 1 0 1 】

[00101]システムメモリ516は、データ及び/又は他のコンピュータ可読命令を格納可能な任意の種類又は形態の揮発性又は不揮発性記憶装置又は媒体を一般的に表す。システムメモリ516の例としては、RAM、ROM、フラッシュメモリ、又はその他任意適当なメモリ装置が挙げられるが、これらに限定されない。必須ではないものの、特定の実施形態において、コンピューティングシステム500は、揮発性メモリユニット(例えば、システムメモリ516等)及び不揮発性記憶装置(例えば、主記憶装置532等の両者を具備していてもよい。

【 0 1 0 2 】

[00102]また、コンピューティングシステム500は、プロセッサ514及びシステムメモリ516の他、1つ又は複数の構成要素又は要素を具備していてもよい。例えば、図5の実施形態において、コンピューティングシステム500は、メモリコントローラ518、入出力コントローラ520、及び通信インターフェース522を具備しており、これらはそれぞれ、通信基盤512を介して相互接続されていてもよい。

30

【 0 1 0 3 】

[00103]通信基盤512は、コンピュータ装置の1つ又は複数の構成要素間の通信を容易化可能な任意の種類又は形態の基盤を一般的に表す。通信基盤512の例としては、通信バス(ISA、PCI、PCIe、又は類似のバス等)及びネットワークが挙げられるが、これらに限定されない。一実施形態において、システム516は、専用のメモリバスを介して通信を行う。

40

【 0 1 0 4 】

[00104]メモリコントローラ518は、メモリ若しくはデータの取り扱い又はコンピューティングシステム500の1つ又は複数の構成要素間の通信の制御が可能な任意の種類又は形態の装置を一般的に表す。例えば、メモリコントローラ518は、通信基盤512を介して、プロセッサ514、システムメモリ516、及び入出力コントローラ520間の通信を制御するようにしてもよい。メモリコントローラは、単独で、又は他の要素との組合せにより、本明細書に記載の動作又は特徴の1つ又は複数を実行するか、及び/又は実行する手段であってもよい。

【 0 1 0 5 】

50

[00105]入出力コントローラ 5 2 0 は、コンピュータ装置の入出力機能の調整及び／又は制御が可能な任意の種類又は形態のモジュールを一般的に表す。例えば、入出力コントローラ 5 2 0 は、プロセッサ 5 1 4、システムメモリ 5 1 6、通信インターフェース 5 2 2、ディスプレイアダプタ 5 2 6、入力インターフェース 5 3 0、及び記憶インターフェース 5 3 4 等、コンピューティングシステム 5 0 0 の 1 つ又は複数の要素間のデータの移動を制御又は容易化するようにしてもよい。入出力コントローラ 5 2 0 は、単独で、又は他の要素との組合せにより、本明細書に記載の動作のうちの 1 つ又は複数の実行のために使用されるか、及び／又はそれらを実行する手段であってもよい。また、入出力コントローラ 5 2 0 は、本開示に示す他の動作及び特徴の実行のために使用されるか、及び／又はそれらを実行する手段であってもよい。

10

【 0 1 0 6 】

[00106]通信インターフェース 5 2 2 は、例示的なコンピューティングシステム 5 0 0 と 1 つ又は複数の付加的な装置との間の通信を容易化可能な任意の種類又は形態の通信装置又はアダプタを広く表す。例えば、通信インターフェース 5 2 2 は、コンピューティングシステム 5 0 0 と付加的なコンピューティングシステムを含むプライベート又はパブリックネットワークとの間の通信を容易化するようにしてもよい。通信インターフェース 5 2 2 の例としては、有線ネットワークインターフェース（ネットワークインターフェースカード等）、無線ネットワークインターフェース（無線ネットワークインターフェースカード等）、モデム、及びその他任意適当なインターフェースが挙げられるが、これらに限定されない。一実施形態において、通信インターフェース 5 2 2 は、インターネット等のネットワークへの直接リンクを介して、リモートサーバへの直接の接続を提供する。また、通信インターフェース 5 2 2 は、例えばローカルエリアネットワーク（イーサネット〔登録商標〕ネットワーク等）、パーソナルエリアネットワーク、電話若しくはケーブルネットワーク、携帯電話接続、衛星データ接続、又はその他任意適当な接続を通して、上記のような接続を間接的に提供するようにしてもよい。

20

【 0 1 0 7 】

[00107]また、通信インターフェース 5 2 2 は、外部バス又は通信チャネルを介してコンピューティングシステム 5 0 0 と 1 つ又は複数の付加的なネットワーク又は記憶装置との間の通信を容易化するように構成されたホストアダプタを表していてもよい。ホストアダプタの例としては、SCSI ホストアダプタ、USB ホストアダプタ、IEEE（電気電子技術者協会）5 9 4 ホストアダプタ、シリアルアドバンスドテクノロジーアタッチメント（SATA）及び外部 SATA（eSATA）ホストアダプタ、アドバンスドテクノロジーアタッチメント（ATA）及び並列 ATA（PATA）ホストアダプタ、ファイバチャネルインターフェースアダプタ、イーサネットアダプタ等が挙げられるが、これらに限定されない。また、通信インターフェース 5 2 2 によって、コンピューティングシステム 5 0 0 は、分散コンピューティング又はリモートコンピューティングに関与可能であってもよい。例えば、通信インターフェース 5 2 2 は、リモート装置からの命令の受信又はリモート装置への命令の送信によって、これを実行するようにしてもよい。通信インターフェース 5 2 2 は、単独又は他の要素との組合せにより、本明細書に開示の動作のうちの 1 つ又は複数の実行及び／又は実行手段であってもよい。また、通信インターフェース 5 2 2 は、本開示に示す他の動作及び特徴の実行のために使用されるか、及び／又はそれらを実行する手段であってもよい。

30

40

【 0 1 0 8 】

[00108]また、図 5 に示すように、コンピューティングシステム 5 0 0 は、ディスプレイアダプタ 5 2 6 を介して通信基盤 5 1 2 に結合された少なくとも 1 つの表示装置 5 2 4 を具備していてもよい。表示装置 5 2 4 は、ディスプレイアダプタ 5 2 6 により転送された情報を視覚的に表示可能な任意の種類又は形態の装置を一般的に表す。同様に、ディスプレイアダプタ 5 2 6 は、通信基盤 5 1 2（又は、当技術分野において既知のフレームバッファ）からグラフィック、テキスト、及び他のデータを転送して表示装置 5 2 4 に表示するように構成された任意の種類又は形態の装置を一般的に表す。

50

【 0 1 0 9 】

[00109]また、図 5 に示すように、コンピューティングシステム 5 0 0 は、入力インターフェース 5 3 0 を介して通信基盤 5 1 2 に結合された少なくとも 1 つの入力装置 5 2 8 を具備していてもよい。入力装置 5 2 8 は、コンピュータ又は人間が生成した入力をコンピューティングシステム 5 0 0 に提供可能な任意の種類又は形態の入力装置を一般的に表す。入力装置 5 2 8 の例としては、キーボード、ポインティングデバイス、音声認識装置、又はその他任意の入力装置が挙げられるが、これらに限定されない。一実施形態において、入力装置 5 2 8 は、単独で、又は他の要素との組合せにより、本明細書に開示の動作のうちの 1 つ又は複数を実行するか、及び / 又はそれらを実行する手段であってもよい。また、入力装置 5 2 8 は、本開示に示す他の動作及び特徴の実行のために使用されるか、及び / 又はそれらを実行する手段であってもよい。

10

【 0 1 1 0 】

[00110]また、図 5 に示すように、コンピューティングシステム 5 0 0 は、記憶インターフェース 5 3 4 を介して通信基盤 5 1 2 に結合された主記憶装置 5 3 2 及びバックアップ記憶装置 5 3 3 を具備していてもよい。記憶装置 5 3 2 及び 5 3 3 は、データ及び / 又は他のコンピュータ可読命令を格納可能な任意の種類又は形態の記憶装置又は媒体を一般的に表す。例えば、記憶装置 5 3 2 及び 5 3 3 は、磁気ディスクドライブ（例えば、いわゆるハードドライブ）、ソリッドステートディスク、フロッピー [登録商標] ディスクドライブ、磁気テープドライブ、光ディスクドライブ、フラッシュドライブ等であってもよい。記憶インターフェース 5 3 4 は、コンピューティングシステム 5 0 0 の記憶装置 5 3 2 及び 5 3 3 と他の構成要素との間でデータを移動させる任意の種類又は形態のインターフェース又は装置を一般的に表す。

20

【 0 1 1 1 】

[00111]引き続き図 5 を参照して、記憶装置 5 3 2 及び 5 3 3 は、コンピュータソフトウェア、データ、又は他のコンピュータ可読情報を格納するように構成されたリムーバブル記憶ユニットに対する読み出し及び / 又は書き込みを行うように構成されていてもよい。適当なリムーバブル記憶ユニットの例としては、フロッピーディスク、磁気テープ、光ディスク、フラッシュメモリ装置等が挙げられるが、これらに限定されない。また、記憶装置 5 3 2 及び 5 3 3 は、コンピューティングシステム 5 0 0 へのコンピュータソフトウェア、データ、又は他のコンピュータ可読命令のロードを可能とする他の類似構造又は装置を具備していてもよい。例えば、記憶装置 5 3 2 及び 5 3 3 は、ソフトウェア、データ、又は他のコンピュータ可読情報の読み出し及び書き込みを行うように構成されていてもよい。また、記憶装置 5 3 2 及び 5 3 3 は、コンピューティングシステム 5 0 0 の一部であってもよいし、他のインターフェースシステムを通してアクセスされる別個の装置であってもよい。

30

【 0 1 1 2 】

[00112]記憶装置 5 3 2 及び 5 3 3 は、単独又は他の要素との組合せにより、本明細書に開示の動作のうちの 1 つ又は複数の実行のために使用されるか、及び / 又はそれらを実行する手段であってもよい。また、記憶装置 5 3 2 及び 5 3 3 は、本開示に示す他の動作及び特徴の実行のために使用されるか、及び / 又はそれらを実行する手段であってもよい。

40

【 0 1 1 3 】

[00113]コンピューティングシステム 5 0 0 には、その他多くの装置又はサブシステムが接続されていてもよい。逆に、図 5 に示す構成要素及び装置は、本明細書に記載の実施形態を実現するためにすべてが存在する必要はない。また、上記言及した装置及びサブシステムは、図 5 と異なる方法で相互接続されていてもよい。また、コンピューティングシステム 5 0 0 は、任意数のソフトウェア、ファームウェア、及び / 又はハードウェア構成を採用していてもよい。例えば、本明細書に開示の例示的な実施形態は、コンピュータ可読媒体上でコンピュータプログラム（コンピュータソフトウェア、ソフトウェアアプリケーション、コンピュータ可読命令、又はコンピュータ制御論理とも称する）としてコード

50

化されていてもよい。

【0114】

[00114] コンピューティングシステム 500 には、コンピュータプログラムを含むコンピュータ可読媒体がロードされてもよい。そして、コンピュータ可読媒体に格納されたコンピュータプログラムの全体又は一部がシステムメモリ 516 並びに / 又は記憶装置 532 及び 533 の様々な部分に格納されてもよい。プロセッサ 514 により実行された場合、コンピューティングシステム 500 にロードされたコンピュータプログラムにより、プロセッサ 514 は、本明細書に記載及び / 又は図示する例示的な実施形態の機能を実行するか、及び / 又は実行する手段となってもよい。この追加又は代替として、本明細書に記載及び / 又は図示する例示的な実施形態は、ファームウェア及び / 又はハードウェアとして実装されていてもよい。例えば、コンピューティングシステム 500 は、本明細書に開示の実施形態のうちの 1 つ又は複数を実装するように構成された ASIC として構成されていてもよい。

10

【0115】

[00115] 上記開示内容は、具体的なブロック図、フローチャート、及び例を用いて種々の実施形態を示しているが、本明細書に記載及び / 又は図示するブロック図の構成要素、フローチャートのステップ、動作、及び / 又は構成要素はそれぞれ、幅広いハードウェア、ソフトウェア、又はファームウェア（又は、これらの任意の組合せ）構成を用いて個別的及び / 又は集合的に実装されていてもよい。また、他の構成要素に含まれる構成要素の如何なる開示についても、例示と考えるべきである。それは、その他多くのアーキテクチャの実装によって、同じ機能を実現できるからである。

20

【0116】

[00116] 説明を目的とする以上の記述は、具体的な実施形態を参照して記載している。ただし、上記の例示的な記述は、包括的なものでもなければ、開示の厳密な形態に開示内容を制限するものでもない。上記の教示内容を考慮して、多くの改良及び変形が可能である。上記実施形態は、開示内容の原理及びその実際の適用を最も良く説明することにより、想定される特定用途に適合可能となるように他の当業者が開示内容及び種々の改良を伴う種々の実施形態を最も良く利用できるように選定及び記載している。

【0117】

[00117] 以上、本開示に係る実施形態を説明した。本開示は、特定の実施形態において説明したが、当然のことながら、このような実施形態によって制限されるのではなく、以下の特許請求の範囲に従って解釈されるものとする。

30

【 図 1 】

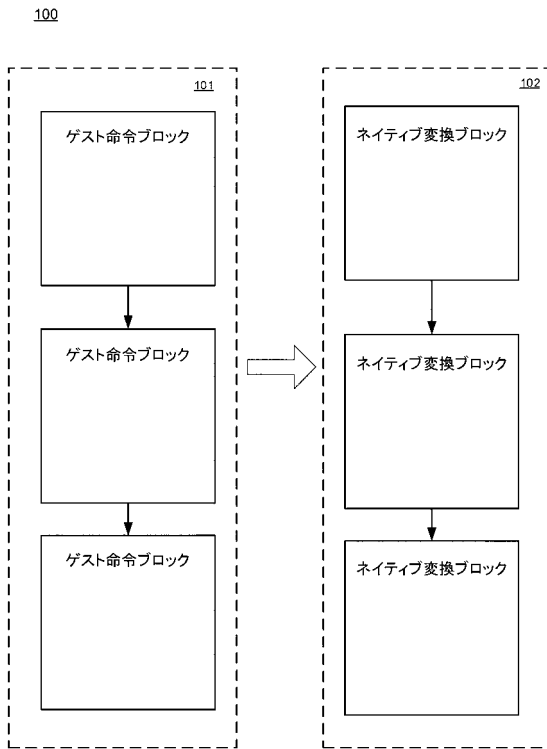


FIG. 1

【 図 2 】

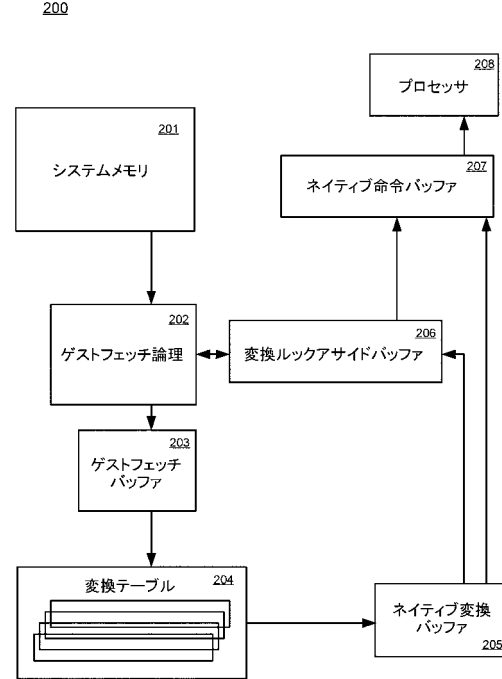


FIG. 2

【 図 3 】

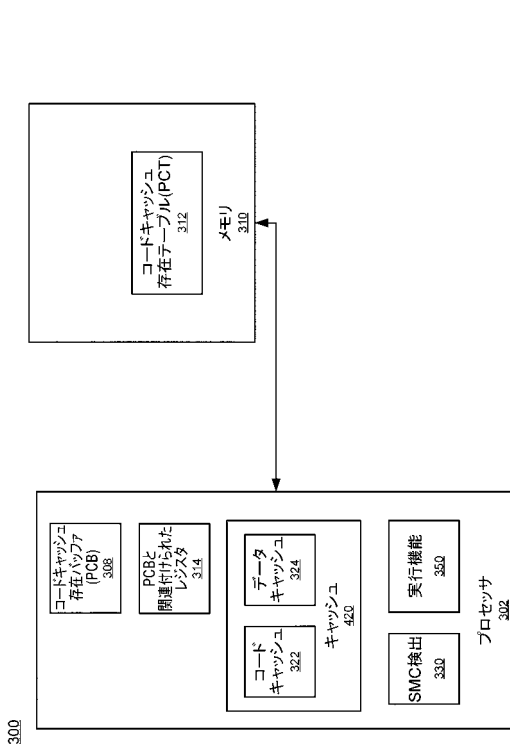


FIG. 3

【 図 4 A 】

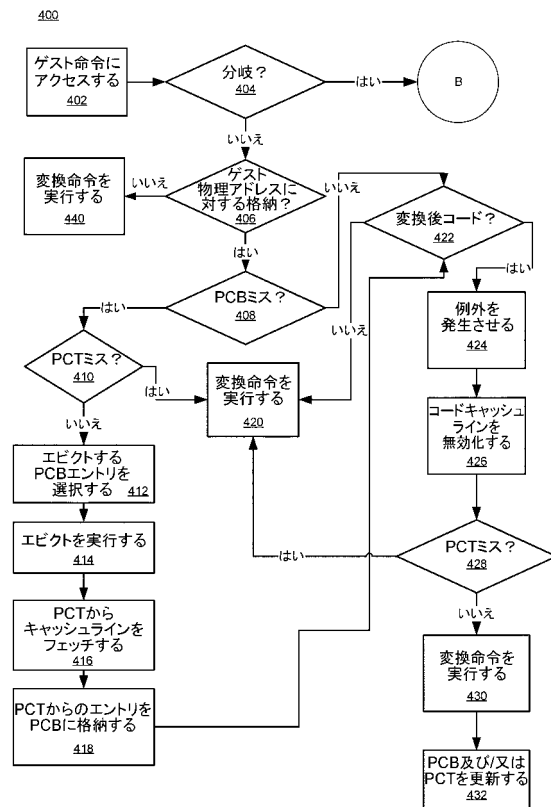


FIG. 4A

【 図 4 B 】

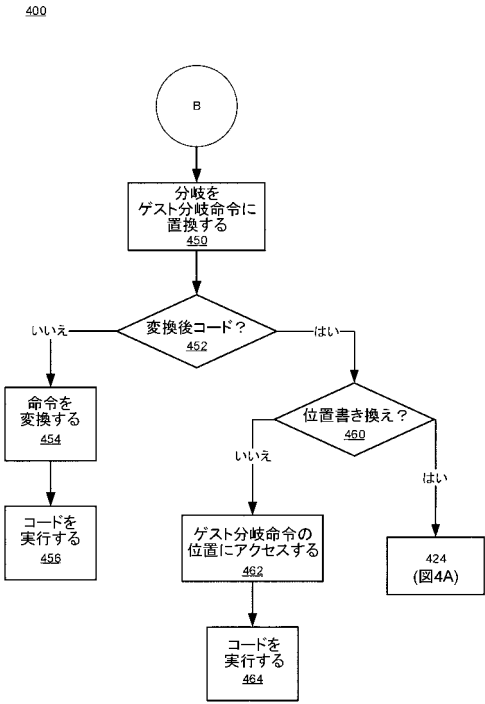


FIG. 4B

【 図 5 】

500

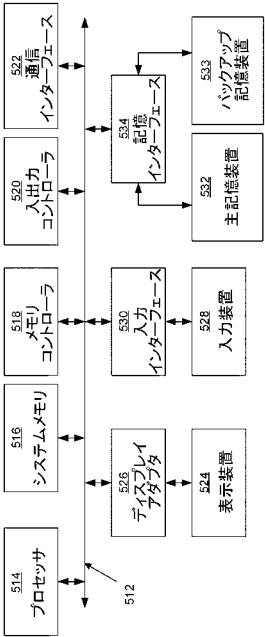




FIG. 5

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US2015/030411
A. CLASSIFICATION OF SUBJECT MATTER G06F 9/38(2006.01)i, G06F 9/45(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) G06F 9/38; G06F 9/30; G06F 12/00; G06F 9/00; G06F 9/45		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models Japanese utility models and applications for utility models		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKOMPASS(KIPO internal) & Keywords: self-modifying code		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2009-0210627 A1 (ALEXANDER GREGORY W. et al.) 20 August 2009 See abstract, claims 1-5, and figures 3-4b.	1-20
A	US 05826073 A (BEN-MEIR; AMOS et al.) 20 October 1998 See abstract, column 3, lines 12-60, and figures 1-5.	1-20
A	US 2011-0320784 A1 (ALMOG ELI et al.) 29 December 2011 See abstract, paragraphs [0003]-[0005], [0021]-[0023], and figures 3-5.	1-20
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 21 July 2015 (21.07.2015)		Date of mailing of the international search report 21 July 2015 (21.07.2015)
Name and mailing address of the ISA/KR  International Application Division Korean Intellectual Property Office 189 Cheongsa-ro, Seo-gu, Daejeon Metropolitan City, 302-701, Republic of Korea Facsimile No. +82-42-472-7140		Authorized officer JI, Jeong Hoon Telephone No. +82-42-481-5688 

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/US2015/030411

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2009-0210627 A1	20/08/2009	US 8015362 B2	06/09/2011
US 05826073 A	20/10/1998	EP 0853779 A1	11/08/1999
		EP 0853779 B1	13/08/2003
		EP 0853780 A1	19/03/2003
		EP 0853781 A1	22/07/1998
		EP 0853782 A1	29/11/2000
		EP 0853782 B1	27/06/2001
		EP 0853783 A1	08/12/1999
		EP 0853783 B1	16/08/2001
		EP 0853784 A1	08/09/1999
		EP 0853784 B1	12/04/2000
		EP 0853785 A1	18/10/2000
		EP 0853786 A1	08/01/2003
		EP 0853786 B1	04/06/2003
		EP 0853787 A1	22/07/1998
		EP 0853787 B1	02/07/2003
		EP 0853789 A1	30/10/2002
		EP 0853789 B1	03/03/2004
		EP 0870228 A1	22/01/2003
		EP 0870228 B1	13/08/2003
		EP 0876646 A1	30/10/2002
		EP 0876646 B1	14/06/2006
		JP 03-681761B2	10/08/2005
		JP 03-714961B2	09/11/2005
		JP 03-714962B2	09/11/2005
		JP 03-720370B2	24/11/2005
		JP 03-720371B2	24/11/2005
		JP 11-510287A	07/09/1999
		JP 11-510288A	07/09/1999
		JP 11-510289A	07/09/1999
		JP 11-510290A	07/09/1999
		JP 11-510291A	07/09/1999
		JP 11-512855A	02/11/1999
		JP 2000-503425A	21/03/2000
		JP 2000-506635A	30/05/2000
		JP 2000-506636A	30/05/2000
		JP 2000-515268A	14/11/2000
		JP 2001-500288A	09/01/2001
		JP 2001-517333A	02/10/2001
		KR 10-0384213 B1	19/08/2003
		KR 10-0459152 B1	23/06/2005
		KR 10-0513358 B1	01/02/2006
		US 05745724 A	28/04/1998
		US 05754812 A	19/05/1998
		US 05794063 A	11/08/1998
		US 05799165 A	25/08/1998
		US 05809273 A	15/09/1998
		US 05819056 A	06/10/1998

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/US2015/030411

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
		US 05835747 A	10/11/1998
		US 05881261 A	09/03/1999
		US 05884059 A	16/03/1999
		US 05920713 A	06/07/1999
		US 05925642 A	20/07/1999
		US 06093213 A	25/07/2000
		US 06141742 A	31/10/2000
		US 06161173 A	12/12/2000
		US 6195744 B1	27/02/2001
		US 6336178 B1	01/01/2002
		US 6453278 B1	17/09/2002
		WO 97-13192 A1	10/04/1997
		WO 97-13193 A1	10/04/1997
		WO 97-13194 A1	10/04/1997
		WO 97-13195 A1	10/04/1997
		WO 97-13196 A1	10/04/1997
		WO 97-13197 A1	10/04/1997
		WO 97-13198 A1	10/04/1997
		WO 97-13199 A1	10/04/1997
		WO 97-13200 A1	10/04/1997
		WO 97-13201 A1	10/04/1997
		WO 97-13202 A1	10/04/1997
		WO 97-27538 A1	31/07/1997
US 2011-0320784 A1	29/12/2011	None	

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

(72)発明者 アブダラ, モハマド

アメリカ合衆国, カリフォルニア州, サンノゼ, サンクレスト アベニュー 3868

(72)発明者 アヴダイヤッパン, カーティケヤン

アメリカ合衆国, カリフォルニア州, サニーヴェール, スウィートベイ ドライヴ 824

Fターム(参考) 5B005 KK16 MM02 MM51