(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3943607号
(P3943607)
(45)発行日　平成19年7月11日(2007.7.11)　(24)登録日　平成19年4月13日(2007.4.13)

(51)Int.Cl.		F I		
H04Q 11/04	(2006.01)	H04Q	11/04	E
H04L 12/56	(2006.01)	H04L	12/56	E
H04Q 3/545	(2006.01)	H04Q	3/545	

請求項の数 4　(全 49 頁)

(21)出願番号　特願平7-142248
(22)出願日　平成7年6月8日(1995.6.8)
(65)公開番号　特開平8-56394
(43)公開日　平成8年2月27日(1996.2.27)
審査請求日　平成14年6月7日(2002.6.7)
(31)優先権主張番号　257885
(32)優先日　平成6年6月10日(1994.6.10)
(33)優先権主張国　米国(US)
(31)優先権主張番号　257889
(32)優先日　平成6年6月10日(1994.6.10)
(33)優先権主張国　米国(US)

(73)特許権者　594071675
ハリス　コーポレイション
Ｈａｒｒｉｓ　Ｃｏｒｐｏｒａｔｉｏｎ
アメリカ合衆国　フロリダ　３２９１９
メルバーン，ウエスト・ナサ・ブルバード
１０２５
(74)代理人　100070150
弁理士　伊東　忠彦
(72)発明者　スティーヴン　ピー　ウェアー
アメリカ合衆国　カリフォルニア　９４９
５２　ペタルマ　グラント・アヴェニュー
３８０

審査官　稲葉　和生

最終頁に続く

(54)【発明の名称】切換え機能を有する集中ネットワーク交換機

(57)【特許請求の範囲】

【請求項１】

周辺装置に接続するポートと、ポート間でフレームのフォーマットに形成された信号を選択的に切換えるスイッチング装置とを有する集中ネットワーク交換機であって、各ポートは上記フレームのフォーマット内の固定したタイムスロットを占有し、各タイムスロット内の信号はデータ信号を含み、上記交換機は、上記データ信号を受信し、格納するメモリ手段を含み、

上記ネットワーク交換機は、上記周辺装置から受信されるメッセージを格納する、伸縮性のある記憶手段を更に含み、該伸縮性のある記憶手段は、

複数のバッファの組を備えるリニアバッファ手段を備え、バッファの組それぞれは、単位バッファサイズと、個別のポートに接続された周辺装置から受信されるメッセージを格納する個別のセットに割り当てられたバッファの数との積として定められた所定のサイズを有し、

上記交換機は、データ信号をバッファの組内に受信し、完全なメッセージが受信された時点を検出する手段を含み、

該伸縮性のある記憶手段は更に、

最後の完全な受信メッセージの終わりに対応する上記バッファの組内の場所を判定し格納する手段と、

上記バッファの組から読み出された最後の場所を判定し格納する手段と、

完全なメッセージの検出時に上記最後の受信メッセージの上記終わりに対応する場所に

上記バッファの組を読み出す手段と、
上記バッファの組から読み出された上記最後の場所の記憶された標示を更新する手段と、
上記最後の完全な受信メッセージの上記終わりに対応する上記バッファの組内の上記場所の記憶された標示を更新する手段と、
上記最後の完全な受信メッセージの上記終わりで上記バッファの組内の次の書込み位置を識別する手段とを備え、
上記伸縮性のある記憶手段は、完全化されたメッセージの受信時に上記バッファの組からの読み出しを可能にしながら、可変長のメッセージを格納する、交換機。
【請求項２】
最後に読まれたメッセージの中のデータが現在書き込まれる該バッファ内の位置を示す書込みポインタと、先に読み出され格納されたメッセージの終わりに対応する該バッファ内の位置を示すヘッドポインタとからなる伸縮性のあるバッファを含み、該ヘッドポインタは、該先に受信されたメッセージの書込みが完了したとき該書込みポインタの上記位置を示すよう更新され、上記伸縮性のあるバッファは、読み出しユニットに相互接続され、該読み出しユニットが該バッファから該最後に受信されたメッセージを読み出し得るよう、該書込みポインタの位置を示すため該ヘッドポインタが更新される毎に該読み出しユニットに通知する、請求項１記載の交換機。
【請求項３】
上記バッファは、上記ヘッドポインタが上記書込みポインタの位置を示すため更新された後に新たに受信されたメッセージを書込み始め、上記読み出しユニットによって読まれた最後の場所を示すテールポインタを更に有し、該バッファは、閉じたループからなり、該最後及び新たに受信されたメッセージを該テールポインタにより示された位置の前の位置に書き込み得る、請求項２記載の交換機。
【請求項４】
上記メモリバッファは、Ｍに一致するメモリサイズよりなり、アドレス０からＭ－１を定める第１のセットと、アドレスＭから２Ｍ－１を定める第２のセットによって指定されたアドレスの中の一つから割り当てられたアドレスを有するデータを受け、該メモリバッファは、該第１のセットからのアドレスによって定められた対応する位置にある該第２のセットからのアドレスに割り当てられたデータを格納するよう、該割り当てられたアドレスの最上位ビットを無視する、請求項３記載の交換機。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】
本発明は、集中ネットワーク交換機に係り、特に、広範囲のデータ機能をサポートする集中ネットワーク交換機に関する。
【０００２】
【従来の技術】
従来の集中ネットワーク交換機の一つは、ハリス社製の２０－２０形集中ネットワーク交換機によって代表される。この集中ネットワーク交換機は、米国特許第4,688,212 号明細書に開示され、北米（μ－法）及び欧州（Ａ－法）の両方の多重方式装置に適合するが、同期及び非同期双方の回路及びパケット切換えされた２メガビット／秒までのデータを処理する。
【０００３】
以下に説明する本発明を完全に理解するために、上記２０－２０形集中交換機の構成及び動作の説明が役立つであろう。マイクロプロセッサベース形システムのハードウェアは、ライン(line)、トランク(trunk) 及びサービスユニット用の回路を内蔵する電話機インタフェースユニットを備えた周辺機器カードを含む。サービスユニットは、ＤＴＭＦ受信器、ＭＦ受信器、シリアルインタフェースユニット等であればよい。共通制御部は、電話機バスを介して周辺機器カードと相互に連結する。共通制御部は、ＴＣＵ（電話機制御ユニ

ット）とＣＰＵ（呼処理ユニット）とにより構成される。

【０００４】

集中ネットワーク交換機は、以下に説明する如くポートグループに分類された最大で２０４８個のポートを提供し、電話機、プリンタ、モデム、テープドライブ装置、データ装置等の１９２０台までの非ブロック化周辺装置を収容する。各ポートグループは、最大で３２台の周辺機器インタフェースユニットを含み、電話機バスの一部分を形成するポートグループのバスに関係付けられている。かくして、６０本のポートグループのバスが、１９２０台（３２×６０＝１９２０）の周辺装置を収容するよう設けられている。４組の補助ポートグループに対応する残りの１２８台のポートは、トーン機能及びコンファレンス（会議）機能に割り当てられる。

【０００５】

周辺回路は、以下により詳細に説明する如く、実際的には多重化ツリーの一部分を形成する小さいバスからなる大きいセットである電話機バスを介してＴＣＵ（電話機制御ユニット）に結合される。電話機バスは、全てのライン、トランク、他の電話機、及び、データ特性ユニットを電話機制御部に接続し、コーデック(CODEC) 及び同様の装置にタイミングを提供する。電話機制御ユニットは、周辺機器と共通制御部の呼処理ユニットの間で全ての通信を調停する。かくして、呼処理ユニットは電話機制御ユニットと共に周辺機器用の共通制御部を構成する。従って、集中ネットワークは、（１）電話機周辺機器、（２）電話機バスツリー、（３）電話機制御ユニット及び呼処理ユニットを含む共通制御部とからなると見なし得る。周辺機器は、電話機バスツリーを介して電話機制御ユニットと通信し、次いで、電話機制御ユニットを介して呼処理ユニットと通信する。

【０００６】

電話機制御ユニットは、呼処理ユニットと周辺機器の間の全ての通信を調停するだけではなく、サービス要求のある周辺機器を走査し、切換え式の音声／データ接続を機器に提供し、ＰＣＭ、コーデック及びデータにタイミングを与える。電話機制御ユニットは、１６バイト毎の２０４８ブロックに分割された３２キロバイトのメモリとして呼処理ユニットに現われる。１ブロックには各々のアドレスが与えられる。所定の周辺機器に関連付けられた全ての機能は、周辺機器に割り当てられた１６バイトのブロックに現われる。

【０００７】

呼処理ユニットは、バス制御方式のマイクロプロセッサ連合体である。典型的に、呼処理ユニットは、サービスユニットと、多数のマイクロプロセッサと、デュアルポートＤＲＡＭと、ディスクサブシステムとからなる。より詳細には、デュアルポートＤＲＡＭは、各マイクロプロセッサに関連付けられ、ディスクからロードされたコードを格納し、関連するプロセッサに命令を供給するよう作動される。その上、サービスユニットは、バス用のクロック及び優先度解析器と、動作状態／スタンバイ状態及びスイッチ切換え制御用のクロスカップリングされた状態レジスタ及び割り込みと、電話機制御ユニットへのインタフェースと、周辺機器との通信用のＳＰＴ（信号送出パケット搬送）機能とが設けられている。

【０００８】

電話機バスツリーは、周辺機器と共通制御部の間に多重化ツリーを形成する一組のバスからなる。１９２０台の周辺機器を伴う集中交換機ネットワークにおいて、６０本のバスは、各々が３２台のポートからなるポートグループに割り当てられる。各バスは、標準の２．０４８ＭＨｚレートで動作するので、３２バイトのＰＣＭデータは、３２個のタイムスロットに分割された１２５μｓのフレーム中に伝送される。上述の配置によって、１９２０台の周辺装置の各々は、各フレーム間隔中に１バイトのＰＣＭデータを伝送することが明らかである。即ち、全ての周辺機器はフレーム毎に伝送し得る。

【０００９】

ＰＣＭ音声情報を含まない信号送出情報は、１６フレームの副多重化サイクル又はスーパーフレームを利用して伝送される。従来技術により周知の如く、信号送出情報とＰＣＭ音声情報は、周辺機器と共通制御部の間の別個のワイヤを介して伝送される。即ち、周辺機

器へのバスは１本のワイヤではなく、各々が別の形の情報を搬送するため接続された複数のワイヤである。例えば、適当なバスは、７本のワイヤにより構成される。ＰＣＭデータには、一方はＰＣＭ送信用であり、もう一方はＰＣＭ受信用である２本のワイヤが割り当てられる。別の２本のワイヤが信号送出情報を搬送するため割り当てられ、一方は信号送出情報の送信用であり、もう一方は信号送出情報の受信用である。６本目のワイヤは、クロック信号を搬送するため設けられ、７本目のラインはグランドラインである。かくして、全てのタイムスロットの中の全てのビットは、ＰＣＭ及びデータのため利用可能である。

【００１０】

集中ネットワーク交換機は良好に動作し、経済性に優れ、容易に拡張し得る交換機を提供する。しかし、上記集中ネットワーク交換機には、その適用性を制限する拘束条件がある。一例として、その構造的な設計により、周辺機器カードが共通制御回路から離れる距離が制限される。その上、ポートの数は２０４８台に制限されている。

【００１１】

【発明が解決しようとする課題】

本発明の目的は、従来の集積回路ネットワーク交換機の制限を解決し、従来の集積回路ネットワーク交換機の利点を維持し互換性を有すると共に、より広い適用範囲を有する交換機を提供することである。

【００１２】

【課題を解決するための手段】

本発明は、複数の周辺機器カードシェルフと、複数のスイッチングメモリを含む共通制御部と、複数の異なる搬送媒体が使用できるよう、上記スイッチングメモリから離れてあり、上記周辺機器カードシェルフと搬送媒体の間に連結する第１のインタフェースと、上記スイッチングメモリに局部的に、かつ、上記周辺機器カードシェルフから離れて取付けられ、上記周辺機器カードシェルフと搬送媒体の間に連結する第２のインタフェースとからなり、上記第１及び第２のインタフェースは、上記周辺機器シェルフと、上記スイッチングメモリと、上記異なる搬送媒体の間に適合性を実現するよう動作し、上記第１のインタフェースは、上記カードからシリアル入力を受け、上記シリアル入力を上記搬送媒体を介して伝送されるパラレル出力に変換する、集中ネットワーク交換機を含む。

【００１３】

本発明は、周辺装置を接続するポートと、各々がフレーム内の固定したタイムスロットを占有し、データ信号を含む各タイムスロットに信号送出するポート間でフレームのフォーマットに形成された信号を選択的に切換えるスイッチング装置とを有し、上記スイッチング装置は上記データ信号を受け格納するメモリ手段を含み、上記データ信号送出手段は、伸縮性のある記憶手段と各々が単位バッファサイズと夫々のセットに割り当てられたバッファ数の積として定められた所定のサイズを有する複数のバッファセットよりなるリニアバッファ手段とを含み、上記スイッチング装置は、データ信号送出をバッファ内に受け、完全なメッセージが受けられたときを検出する手段と、上記受けられた最後の完全なメッセージの終わりに対応する上記バッファセット内の場所を判定し格納する手段と、バッファセットから読み出された最後の場所を判定し格納する手段と、完全なメッセージの検出時に上記受けられた最後のメッセージの上記終わりに対応する上記場所まで上記バッファセットを読み出す手段と、上記バッファセットから読み出された最後の場所の記憶された標示を更新する手段と、上記受けられた最後の完全なメッセージの上記終わりに対応する上記バッファセット内の上記場所の記憶された標示を更新する手段と、上記受けられた最後の完全なメッセージの上記終わりで上記バッファセット内の次の書込み位置を識別する手段とを含み、これにより、上記伸縮性のある記憶手段は、完全化されたメッセージの受信時に上記バッファセットからの読み出しを可能にするよう可変長のメッセージを格納する、集中ネットワーク交換機を更に含む。

【００１４】

本発明は、周辺装置を接続するポートと、各々がフレーム内の固定したタイムスロットを

占有するポート間で上記フレームのフォーマットで形成された信号を選択的に切換えるスイッチング装置とを有し、全フレーム又は半フレームのいずれかのフォーマットで該信号を選択的に切換える装置は、該ポートからのソースデータを格納する情報メモリと、ポートーポート接続データを格納する接続メモリと、各タイムスロットに関連付けられた少なくとも二つのメモリセルを有する上記情報メモリのメモリアドレスにその各々が関連付けられたタイムスロットの情報を上記情報メモリ及び上記接続メモリに供給するタイムスロットカウンタと、半フレーム動作モード又は全フレーム動作モードの一方に従って上記フレームのフォーマットで形成された該信号を選択的に切換える手段とからなる、集中ネットワーク交換機を含む。

【００１５】

本発明は、周辺機器用の周辺機器シェルフに各々が関連付けられたポートグループに割り当てられた複数のポートと、シェルフ上の該周辺機器に対応するポートを別の周辺機器に対応するポートに選択的に接続する複数の切換え手段を含む共通制御部と、上記共通制御部と上記周辺機器シェルフの間のインタフェースとを有し、該複数の切換え手段の各々を識別する手段と、上記シェルフのタイプと上記シェルフに関連付けられたポート数とを含む周辺機器シェルフを識別する手段と、上記切換え手段に接続されるべき各シェルフに関連付けられたポートに対し使用することができる切換え手段を識別する手段と、シェルフのポートを切換え手段に動的に指定する手段とからなる、集中ネットワーク交換機を更に含む。

【００１６】

その上、本発明は、特定のプロセッサに対し識別される場所がない数個の場所の中のいずれかにプロセッサを収容するシステムバックプレーンに関連付けられその中の一つが主プロセッサとして識別される複数のプロセッサと、上記バックプレーンに接続された各プロセッサを自動的に識別する手段を含み、該自動的な識別手段は、選択されたプロセッサに関連付けられそのプロセッサに識別子を与える手段と、該交換機内で該資格の識別子を検出する手段と、資格の識別子が与えられていない各プロセッサ内で上記主プロセッサの場所を引受けようとする試みを遅延させる手段とを有し、上記識別子のあるプロセッサは上記主プロセッサとして識別され、残りのプロセッサはそれに関連付けられた遅延に基づいてプロセッサの場所を引受ける、集中ネットワーク交換機を含む。

【００１７】

改良された集中ネットワーク交換機は、従来の交換機の利点を維持し、一方、１００００ポート以上の非ブロック化交換機を提供し得る大容量の交換機を提供する。このサイズの拡大は、時間的なスイッチメモリにモジュール構造を設けることによって部分的に実現される。上記モジュール構造は、以下では、ＭＸＵ（マトリックススイッチングユニット）と呼ぶ各々が非常に多数のポートをスイッチングする複数のタイムスイッチメモリによって構成してもよい。

【００１８】

一実施例において、１０台のＭＸＵカードが設けられ、各ＭＸＵは１０２４ポートをスイッチングする。その上、例えば、２０４８ポートをスイッチングするより大形のＭＸＵカードが本発明のＭＸＵの設計によって実現され得る。

他の特徴の中には、汎用的なタイムスロット構造に加えて、汎用的なシェルフ(shelf) アーキテクチャと、効率と融通性を向上させるための全フレーム、半フレームの選択可能な切換えと、銅と光ファイバーを含む搬送媒体の多数の異なる形と長さとに適合するシェルフ搬送インタフェースに対し融通性のある交換機と、チャンネルの集合が１６、３２及び６４キロビット／秒のチャンネルを形成することを可能にさせるパケット信号送出機構の装備とが含まれる。

【００１９】

一般的なシェルフアーキテクチャの場合、交換機は、サイズの異なる６及び８段の両方の電話機シェルフを同時に維持するよう構成することができるので、融通性のある構造と拡張が可能になる。６及び８段の電話機シェルフは、各々が６４のポート、或いは、各々が

３２ポートである従来の二つのポートグループと、独自のインタフェースユニットに対応するポートグループのケーブルを介して共通制御部に接続される。独自のインタフェースは、周辺機器カードにあるＰＳＬＩ（周辺機器シェルフリンクインタフェースユニット）と、共通制御部にあるＰＩＵ（周辺機器インタフェースユニット）を含む。少なくとも一台のＰＳＬＩは各ＰＩＵとインタフェースで連結し、多数の周辺機器カードと一台のマトリックススイッチングユニット（ＭＸＵ）の間に一つだけのループを設けるよう機能する。その上、上記のインタフェースは、６及び８段のシェルフのような種々の形の周辺機器シェルフが共通ＭＸＵに連結することを可能にする。さらに、周辺機器シェルフと共通制御部シェルフの間の別の搬送媒体は、電話機シェルフに関連付けられた周辺機器シェルフラインインタフェースユニット（ＰＳＬＩ）として使用することができ、共通制御部に関連付けられた対応する周辺機器インタフェースユニット（ＰＩＵ）は、この特徴を容易に実現する。ＰＳＬＩとＰＩＵは、使用される搬送媒体に依存して様々に変形される。

【００２０】

その上、ポートグループのシェルフマップは、挿入されたシェルフの内容から動的に作成される。シェルフのグルーピングを支える論理データ構造を作成することにより、ソフトウェアによって並置形及び遠隔形の両方のシェルフを管理することができる。

全てのタイムスロットは同一に作られるので、いずれのタイムスロットも周辺機器、コンファレンス又はトーン用タイムスロットとして使用することが可能である。この特徴は、ＭＸＵカードにコンファレンス及び時間的回路を実装することにより容易に実現される。

【００２１】

改良された集中ネットワーク交換機は、混成モードのスイッチングを行う。即ち、回路毎に基づいて全フレーム及び半フレームのスイッチングモードが設けられる。これにより、音声処理用の半フレームのスイッチングに本質的なループ遅延は短縮され、ＮＸ６４（即ち、ビデオ）接続用のフレームの一貫性が保証される。

【００２２】

本発明による他の集積回路交換機は、信号送出情報用の改良されたＳＰＴ（シリアルパケット搬送システム）を提供する。改良されたＳＰＴシステムは、電話機インタフェースユニットと共通制御部の間で信号送出データを搬送する融通性のある手段を提供する。この改良されたシステムは、搬送レートとは無関係に全てのチャンネルに対し適応性のある格納場所、例えば、二つの別の格納場所を提供し、一方、２、４又は８個の８キロビット／秒（１キロバイト／秒）のチャンネルが１６、３２、又は６４キロビット／秒の搬送チャンネルを形成するため統合されることを許容する。搬送チャンネルをよりレートの高いチャンネルに統合することは、ホストプロセッサの制御下でプログラムすることが可能である。

【００２３】

その上、本発明は、相対的な位置情報（即ち、スロット番号）が得られないバス上のプロセッサを一つだけ矛盾なく識別する装置により構成される。この装置は、一貫性のあるパターンに基づくプロセッサの識別子を動的に再割り当てすることを可能にする。これによって、ハードウェア的に符号化された構造を用いることなく、プロセッサボードをバスから取外し、及び、取り付けることが可能になり、一般的なタイムスロットの特徴が容易に得られる。さらに、多数のプロセッサが設けられ、その中の少なくとも一台が故障又は取り外された場合、この装置によれば、残りのプロセッサが次の初期化時に動作しないプロセッサを補うことが可能である。

【００２４】

【実施例】

以下にその例に限定されることのない添付図面を参照して本発明をより詳細に説明する。１９２０台の周辺機器回路と、１２８個のトーン／コンファレンスポートを収容する従来の集中ネットワーク交換機の物理的なキャビネット構造を図１に示す。図示した実施例において、共通制御機器は冗長的信頼性のため２重化されている。即ち、キャビネット１のシェルフ１及び２の共通制御機器は同一であり、シェルフ２の機器は、シェルフ１の共通

制御機器が故障或いは取り外されたときに使用される。

【００２５】

より詳細には、交換機は、非冗長又は冗長構造の何れでもよい。非冗長構造の場合、シェルフ１は共通機器で占められる。シェルフは、２０カ所の印刷回路基板カードスロットと、ハード及びフロッピーディスクを組み込むディスクドライブ組立体と、共通機器ＭＸＵｅｒ電源を有する。シェルフ２は、非冗長構造では空いている場合がある。

【００２６】

冗長構造の場合、共通機器のあらゆる素子は２重化されている。即ち、共通機器の完全なセットは上段のシェルフにあり、そのミラーイメージが中段のシェルフにある。装置は、何れかの共通制御機器のセットを用いて最大の能力で動作する。自動的な切換えは、動作中のシェルフ内の共通制御機器に故障がある場合に起きる。冗長又は非冗長構造の何れの場合でも、下段又はシェルフ３が電話機インタフェースユニットとして使用される。

【００２７】

周辺機器、即ち、適当なキャビネットに含まれるシェルフに取り付けられたカード上の電話機インタフェース回路をパッケージングすることは利点がある。上記の例において、カード毎に８台の電話機回路を取り付け、シェルフ毎に２４枚のカードを設けることが適当であると分かった。従って、１９２０の回路を維持するために必要なシェルフの数は１０に過ぎない。

【００２８】

キャビネット１のシェルフ３を参照するに、それは、電話機インタフェース回路ボードを収容し、各ボードは、上述の如く、通常８台の電話機又は周辺機器インタフェース回路を有する。各シェルフは、時折説明した如く、２４枚のボード又はカードを収容することができる。従って、各シェルフは、各々が８台の電話機インタフェース回路を含む２４枚のボード、又は、全部で１９２台の電話機インタフェース回路を有する。

【００２９】

残りの１７２８台の電話機インタフェース回路を収容するために、９段の別の物理的なシェルフが必要とされる。これらのシェルフは、１台毎に３段のシェルフを備えた３台の補助キャビネットに設けられる。各キャビネットはそれ自体のＭＸＵｅｒ電源を更に有する。

電話機インタフェース回路は、以下に説明する電話機バスツリーによって共通制御設備に接続される。

【００３０】

電話設備のシェルフに取付けられた電話機インタフェースユニットは、ライン、トランク、及び、サービスユニット用の回路を含む。電話機インタフェースユニットと適合性のあるラインユニットの例は、（１）アナログラインユニット、（２）長距離ループ（構外）ラインユニット、（３）ディジタルラインユニットである。

【００３１】

アナログラインユニットは、標準的なロータリー又はトーンダイヤルアナログ電話機への局サービスに使用される。長距離ループラインユニットはアナログラインユニットと類似している。それは、ロータリー又はトーンダイヤル式アナログ電話機への局サービスとして機能し、構外局の内線へのサービスを更に提供する。ディジタルラインユニットは、送受信機能を備えた高機能電話機セットと共に使用される。ディジタルラインユニットは、内部のＰＣＭを最大５０００フィートまでのループ距離用の標準的な電話機のツイストペア式ワイヤを介して伝送し得る選択されたディジタルデータ信号送出フォーマットに変換する。ディジタルラインユニットは、１６キロビットの信号を各ポートで６４キロビットのＰＣＭ音声／データと結合する。この８０キロビットの信号は、ＴＣＭ（時間圧縮多重化）法を用いてディジタルループに伝送される。ＴＣＭバーストは２５６キロビットで伝送される。

【００３２】

従って、ＴＣＵ（電話機制御ユニット）は、各々の方向に、二つの別個の毎秒５００バイ

ト（即ち、毎秒４０００ビット）と、毎秒８０００ビットのシリアルチャンネルをサポートすることができる。残りの毎秒４８０００ビットは将来の使用のため確保される。
電話機インタフェースユニットと適合性のあるトランクユニットの例は、（１）地上スタート／ループスタートトランクユニット、（２）２線式Ｅ＆Ｍトランクユニット、（３）４線式Ｅ＆Ｍトランクユニット、（４）直接内部ダイヤル(direct inward dial)トランクユニット、（５）ディジタルトランクユニット、（６）ＣＣＩＴＴ勧告２．０４８Ｍｂディジタルトランクユニットである。

【００３３】

上記地上スタート／ループスタートトランクユニットは、二つの基地の間でオーディオ情報と管理信号を伝送するＣＯ（中央オフィス）に集中ネットワークスイッチを直接的に連結する。２線式Ｅ＆Ｍトランクユニットと、４線式Ｅ＆Ｍトランクユニットは、ＭＦ、ＤＴＭＦ及びダイヤルパルスフォーマットでディジタル情報の送信と受信の両方を行うことができる。ダイレクトインワードダイヤルトランクユニットは、公衆切換えネットワークからＰＢＸ（構内交換電話）局へのＤＩＤアクセスを提供し、ダイヤル情報をＤＴＭＦ、ＭＦ及びダイヤルパルスフォーマットで受けることができる。Ｔ１－Ｄ４のディジタルトランクユニットは、標準的な２４チャンネルのＰＣＭトランク器を集中ネットワーク交換機に直接的に連結させ得る。Ｔ１－Ｄ４のディジタルトランクユニットは、毎秒１．５４４メガビットで作動する標準的なＴ１－Ｄ４フォーマットを交換機の信号に変換するよう機能する。上述のライン及びトランクユニットの各々は通常のものであるので、ここに説明にする本発明の全体の完全な理解のためにその構造及び動作についてこれ以上説明する必要はないであろう。

【００３４】

集中ネットワーク交換機と共に使用されるサービスユニットも従来のものである。サービスユニットには、（１）ＤＴＭＦ（デュアルトーン多重周波数）受信ユニット、（２）ＣＰＤ（呼処理検出）ユニット、（３）ＢＤＴＤ（広域ダイヤルトーン検出）ユニット、（４）ＭＦＲＵ（多重周波数受信）ユニット、（５）ＭＦＲ２ＲＵ（多重周波数Ｒ２受信）ユニット、（６）ＳＩＵ（シリアルインタフェースユニット）、（７）ＲＴＵ（基準タイミングユニット）が含まれる。

【００３５】

ＤＴＭＦ受信器は、ＤＴＭＦダイヤルを受け、ＤＴＭＦコードをディジタルフォーマットに変換する。ＣＰＤにより、電気的応答信号を生じないトランク回路上に応答が得られる。ＢＤＴＤは、国際的な応用のためのトーン検出を提供する。ＭＦＲＵは、オフィス間の信号送出、公衆電話、対等なアクセス、特殊なネットワーク応用のため使用される。ＭＦＲＵは、特定の呼のオーディオチャンネルを監視し、ＭＦコードをディジタルフォーマットに変換する。ＭＦＲ２ＲＵは、国際的なツーオブシックス周波数符号化信号Ｒ２を復号化する。ＳＩＵは、例えば、装置管理用のＲＳ２３２Ｃポートのようなシリアルポートを含む。ＳＩＵは、装置管理情報を標準的な内部フォーマットに変換し処理するため共通制御部に送る。装置からの情報は、ＳＩＵに伝送され、そこで標準的なアスキーフォーマットに変換され、データボートから送出される。ＳＩＵは、データポートがＲＳ２３２Ｃ信号に変換される装置周辺機器インタフェースパネルに接続する。端末、プリンタ、モデム、９トラックテープ、又は、あらゆるＲＳ２３２Ｃ装置は、ＳＩＵと共に使用することが可能である。いずれかの電話機シェルフに差し込まれるＲＴＵは、交換機に局部タイミング基準を与える。この局部タイミング基準は、ディジタル中継用の別の基準源（毎秒１．５４４メガビット及び毎秒２．０４８メガビット）として使用することが可能である。

【００３６】

共通制御部は二つのサブシステム；共通制御サブシステム又はＣＰＵ（呼処理ユニット）と、電話機制御サブシステム又はＴＣＵ（電話機制御ユニット）に分割される。
上記ＣＰＵは装置の中枢部を含む。ＣＰＵには、ＶＣＰＵ（仮想集中処理ユニット）と呼ばれる中央処理ユニットと、関連するメモリユニットが含まれる。ＣＰＵは、ハード及びフロッピーディスクドライブ装置を関連する制御装置及びインタフェースユニットと共に

更に有する。

【００３７】

ＴＣＵは、ＣＰＵと電話機インタフェースユニット／ポート（即ち、ライン、トランク、及びサービスユニット）の間のすべての通信を調停する。ＴＣＵは、サービス要求を求めてポートを走査し、全ての切換えられたＰＣＭ音声及び／又は信号送出データ接続のための機構を提供する。ＴＣＵは、トーン発生器及びコンファレンス機能を更に有し、ＰＣＭ、コーデック及びデータのタイミングを提供する。図２は共通機器シェルフの詳細を示す図である。上述の如く、共通機器シェルフは、２０の印刷回路基板スロットと、ディスクドライブ装置組立体と、共通制御ＭＸＵｅｒ電源とを有する。ディスクドライブ装置は、図２に符号２４で示され、ＭＸＵｅｒ電源は符号２５で示されている。特に、ＣＰＵは印刷回路基板スロット１－１０に存在し、ＴＣＵは印刷回路基板スロット１１－２０に存在する。

【００３８】

スロット１は、ＰＣＩＵ又は周辺制御機器インタフェースユニットを収容する。ＰＣＩＵは、システムのハード及びフロッピーディスクドライブ装置のファイル制御装置として機能する。ＰＣＩＵは、ディスクドライブ装置とＶＣＰＵの間に通信インタフェースを更に提供する。

スロット３はＶＣＰＵを収容する。ＶＣＰＵはシングルボードコンピュータである。１台、２台又は３台のいずれかのＶＣＰＵが、装置の寸法と、処理される呼のトラヒックの量の関数として使用される場合がある。第２のＶＣＰＵは、使用される場合、スロット５に取付けられ、第３のＶＣＰＵはスロット７に取り付けられる。各共通機器シェルフ内のＶＣＰＵは、マルチタスクオペレーティングシステムの制御の下で共に稼働する。各ＶＣＰＵは、ボードに搭載されたＲＡＭメモリを有する。補助メモリがスロット６に設けられる。ＡＭＵ（アドバンストメモリユニット）と呼ばれるこのメモリは、補助データベース記憶用の補助ＲＡＭが得られるようＶＣＰＵに接続される。

【００３９】

スロット９は、冗長構成用のＲＭＵ（冗長メモリユニット）を収容する。ＲＭＵの目的は、稼働中のデータベースの更新が両方の共通機器シェルフに書き込まれることを保証することである。冗長な装置は、専用バスを介して互いに接続され、共通機器シェルフに一つずつの少なくとも二つのＲＭＵを有する。共通機器の故障がある場合、装置は既に接続されている全ての呼を維持すると共に、スタンバイ状態の共通機器シェルフに自動的に切り替わる。

【００４０】

ＶＣＳＵ（仮想Ｃ－バスサービスユニット）はスロット１０を占有する。ＶＣＳＵは、ＣＰＵ（呼処理プロセッサ）とＴＣＵ（電話機制御ユニット）の間に通信インタフェースを提供する。

スロット１１はＴＴＵ（電話機タイミングユニット）を収容する。ＴＴＵは装置のタイミングと同期を提供する。ＴＴＵは電話機制御ユニットのハードウェアへのインタフェース点を提供する。

【００４１】

ＣＴＵ（コンファレンス及びトーンユニット）は、スロット１２に収容される。ＣＴＵは６４ポートのコンファレンスユニットを支え、６４の装置トーンを記憶、発生させる。従って、ＣＴＵはＴＣＵへの１２８ポートとして見える。コンファレンスの呼は、最小限の３人から最大限の６４人までの間で発生させることが可能である。コンファレンスに係るポートの総数が６４を超えない限り、多数のコンファレンスを同時に作動させてもよい。

【００４２】

より詳細には、トーン発生器は、各々は固有のポート番号を有する６４種類のの別個の連続的なＰＣＭシーケンスを発生する。トーンのポート番号を装置のソース（発信側）ポインタに書込むことにより、あらゆる数の電話装置をあらゆるトーンに接続することが可能である。各トーンは、ＥＰＲＯＭから選択されたＰＣＭサンプルのシーケンスを読み出し

、そのシーケンスを無限に繰り返すことすことによって発生される。
【００４３】
コンファレンスユニットは、３２台のアナログマルチポートのハイブリッドのセットと機能的に等価である。コンファレンスユニットは、ＣＰＵ（呼処理ユニット）に対し６４台の別個の装置として見える６４のポートを有する。各ポートは、それ自体の装置アドレスと、発信側ポインタと、制御レジスタとを有する。すべてのポートは、任意の組合せで３２台のハイブリッドの何れと接続してもよい。コンファレンスユニットは、３２台の２入力ミキサー、２０台の３ポートコンファレンス等から、１台の６４入力コンファレンスまでの多数の変形された構成をとることが可能である。
【００４４】
スロット１３－２０は、ＴＳＵ（時間的切換えユニット）と、ＳＳＵ（スキャン及び信号送出ユニット）を交互に収容する。ＴＳＵ／ＳＳＵの各ペアは、５１２ポートを備えている。従って、４つのＴＳＵ／ＳＳＵペアは、１９２０の周辺機器ポートと１２８のコンファレンス／トーンポート、或いは、全体で２０４８ポートを備えた装置を必要とする。
【００４５】
ＴＳＵの機能は、最大で５１２ポートの間でＰＣＭ（パルス符号変調）音声又は信号送出データを切換えることである。ＳＳＵの機能は、最大で５１２ポートとの間で信号送出情報を送信、受信することである。周知の如くのＴＳＵの場合、５１２ポートを一つ増加させるためには、対応するＴＳＵとペアにされた補助ＳＳＵが必要である。
【００４６】
冗長に構成された装置における共通制御部のアーキテクチャは、図３に示されている。このアーキテクチャは、米国特許第4,688,212 号明細書に開示されている。
ＴＣＵ（電話機制御ユニット）の動作は、入力の時間的位置が出力の場所と一致するようＴＳＵを介してタイムスイッチマトリックスを生ずる。タイムスイッチマトリックスは非ブロック化されているので、全ての実装された電話装置は、同時に会話に関与し、かつ、あらゆる構造に係ることが可能である。換言すると、タイムスイッチは、タイムスロット交換器として作用する。全てのポートからのＰＣＭ及びデータ特性は、互いに多重化され、サンプルメモリに格納され、アドレスメモリの内容に従ってサンプルメモリから取り出され、元のポートにデマルチプレキシングされる。
【００４７】
アドレスレジスタは、発信側ポインタレジスタの配列として作用し、ＣＰＵによってアクセスされる。全ての接続に対し、ＣＰＵは、発信側のポート番号を着信側の発信側ポインタレジスタに書き込むことによってスイッチを各方向に制御する。この方法において、サンプルメモリはＣＰＵからアクセスし得る必要はない。
【００４８】
２０４８個のポートスイッチが、並行に動作する４つのモジュールのセットとして実装され、その各々は上述の如く５１２ポートの機能を果たす。サンプルメモリとアドレスメモリは、各モジュールに設けられ、８．１９２ＭＨｚ、即ち、１フレーム当たり１０２４サイクルを生ずる１サイクル当たり１２２ｎｓで動作する。４つのモジュール構造を実装するため、各サンプルＲＡＭは３２ビット幅を有するので、４つのサンプルを同時に書き込むことができ、２０４８ポートの各々からの１サンプルは５１２サイクルで書き込むことが可能である。
【００４９】
周辺ユニットの状態は、呼プロセッサからアクセスし得る高速ＲＡＭに格納され、上述のＳＳＵ（走査及び信号送出ユニット）によって維持される。リフレッシュは、２ｍｓ毎に（即ち、スーパーフレーム当たり１回）電話機バスを介して行われる。信号送出装置の全ての部分は、５００Ｈｚで連続的に動作し、全ての機能は各サイクルで各ポートに対し一回実行される。
【００５０】
信号送出及びＰＣＭチャンネルは、多重化のための同一機構を使用するので、周辺機器か

らの信号送出方向と、周辺機器への信号送出方向の二方向に、ポート毎に６４Ｋｂｉｔ／ｓの容量がある。スーパーフレームの副多重化によって、この容量は１６個の別個の機能に分割される。
周辺機器からの２バイトは、装置識別バイトと、イベントスキャナによって監視される１ビットの「サービス要求」表示とその他の状態の７ビットを含む状態バイトとに分割される。周辺機器に送られる２バイトは、１ビットのビジー／フリー表示ビットと、パルス又は呼の送出用の１ビットと、他の制御の１４ビットに分割される。信号送出レジスタのセットには各装置アドレスが設けられ、トーン及びコンファレンス機能に割り当てられた信号送出レジスタが含まれる。

【００５１】

かかる従来の集中ネットワーク交換機の特徴は、ＳＰＴ（信号パケット搬送）機構である。ＳＰＴはそれ自体の３２Ｋｂｙｔｅのバッファメモリを備えた６４チャンネルの直接メモリアクセスコントローラである。イネーブル状態にされた各チャンネルは、バッファ内のメッセージパケットから出力バイト、或いは、入力バイトからバッファ内のパケットのいずれかに１０００ｂｙｔｅ／ｓで伝送する。ＳＰＴは信号送出マルチプレクサに同期をさせられるので、バッファ内のバイトのシーケンスは、周辺機器によって受信又は送信されたバイトのシーケンスと完全に一致する。各ＳＰＴチャンネルは、機能制御用のレジスタと、ポート番号と、バッファアドレスと、バイトカウントとを有する。バッファＲＡＭとチャンネル制御レジスタは、呼処理ユニットのバス上にメモリとして見える。

【００５２】

電話機バスは、単独のバスではなく、１９２０台の周辺機器インタフェース回路から受信されたシリアル信号を多重化する多重化ツリーを構成する多数の小さいバスの結合である。前述の如く、周辺機器は、３２の周辺機器（即ち、電話機）インタフェース回路毎のポートグループに分類される。各ポートグループは、専用のポートグループバスが割り当てられ、３２タイムスロット、即ち、１２５μｓ長のフレーム中に２．０４８Ｍｂｉｔｓ／ｓで３２台の各周辺機器からのＰＣＭ音声／データを伝送する。各周辺機器インタフェース回路、従って、各周辺機器は、専用のポートグループバス上で伝送されたフレーム内の専用タイムスロットが割り当てられる。

【００５３】

即ち、１２５μｓのフレーム間隔のタイムスロットは、必要に応じて割り当てられるのではない。むしろ、各タイムスロットは、特定の電話装置、即ち、特定のポートに専有される。従って、各ポートは、特定のポートグループバスによって搬送される特定のタイムスロットと個別に関連付けられる。その上、信号送出情報は、ＣＰＵの要求に基づいて送信又は受信されることはない。むしろ、信号送出情報は、規則的な２ｍｓのスーパーフレーム（１２５μｓのフレームの１６個分）に連続的に送信される。

【００５４】

システム内の全ての周辺装置からのＰＣＭ及び信号送出データは、図４に示す固定同期式の４レベル多重化電話機バスツリーによって、ＴＣＵ（電話機制御ユニット）に共に多重化される。ＴＣＵから周辺機器への情報は、反転した対称的な形式でデマルチプレキシングされる。図４を参照するに、電話機バスツリーの第１及び第２のレベル４１，４２は、電話機周辺ユニット４３を備えた周辺機器インタフェースカードを携える電話機シェルフ上に実装され、周辺機器からのＰＣＭ及び信号送出情報を電話機バスの２．０４８Ｍｂｉｔ／ｓのストリームに結合する。多重化ツリーの上位の２レベル４４，４５、即ち、第３及び第４のレベルは、電話機制御ユニットを携えるシェルフに実装される。第３及び第４のレベルは、６４のポートグループを一つのシステムに結合するよう機能する。

【００５５】

一実施例において、ＰＣＭデータ用の第１レベルの多重化４１は、ＣＯＤＥＣ（コーデック）チップ４６を用いてライン及びトランクユニット上で行うことができる。第２レベルの多重化は、トリステートドライバを使用する電話機バスへの周辺機器カードのインタフェースで行ってもよい。第３レベルの多重化４４は、８本のシリアル２．０４８Ｍｂｉｔ

／ｓポートバスを８ビット幅の２．０４８Ｍｂｙｔｅ／ｓの一つのストリームに結合する。かくして、第３レベルの多重化はシリアルからパラレルへの変換を行う。最後に、最上位レベルは、ＣＰＵに給電する４バイト幅の４．０９６Ｍワード／ｓの内部ＰＣＭバスを生成するためトリステートドライバを使用する。

【００５６】

電話機バスツリーの第３レベルは、入力時のシリアル－パラレル変換及び時分割多重化と、出力時のパラレル－シリアル変換及び時間的デマルチプレキシングの両方を実行する。上述のハードウェアを支えるシステムソフトウェアは、マルチタスクオペレーティングシステムと６個の独立したサブシステムに分割される。各サブシステムは、オペレーティングシステムの指令の下で少なくとも一つのタスクを実行する。サブシステム間の通信は、オペレーティングシステムを介してメッセージを伝達することによって実現される。サブシステムは、全てが同一のプロセッサで動作し、或いは、多数のプロセッサに分散させられる場合があるので、各サブシステムのメモリ空間は分離している。

【００５７】

上記ソフトウェアの主要なサブシステムは、（１）初期化、（２）オペレーティングシステム、（３）ＴＩＳ（電話機インタフェースサブシステム）、（４）ＣＡＰ（呼動作処理サブシステム）、（５）ＭＡＰ（保守処理サブシステム）、（６）構造エディタサブシステムとから構成される。

本発明の改良された集中ネットワーク交換機は、従来の交換機の利点を全て維持すると共に、（１）１００００ポートを越える非ブロック化切換えを提供し得る非常に大容量のスイッチと、（２）汎用的なシェルフアーキテクチャと、（３）汎用的なタイムスロット構造と、（４）効率的で融通性のある切換えのための選択可能な全フレーム、半フレームの切換えと、（５）銅及び光ファイバーを含む多数の搬送媒体を収容する周辺機器シェルフ搬送インタフェースに対する融通性のある切換えと、（６）１６、３２及び６４Ｋｂｉｔｓ／ｓの信号送出チャンネルのための統合されたチャンネルを提供し得るパケット信号送出機構と、（７）相対的な位置情報（即ち、スロット番号）を提供しないバス上のプロセッサを個別に矛盾なく識別するための装置を提供する。

【００５８】

（１）大容量非ブロック化交換機アーキテクチャ　大容量の非ブロック化交換機アーキテクチャは、全ての周辺機器のタイムスロットに対し同時に存在するスイッチングタイムスロットを以下に説明する方法で提供する。好ましい一実施例において、１０２４０のタイムスロットが９０００を越える周辺機器ポートを収容するため設けられている。この特性は、従来の交換機のＴＳＵ／ＳＳＵの組合せを置き換えるＭＸＵ（マトリックススイッチングユニット）を導入することにより実現される。

【００５９】

（２）汎用シェルフアーキテクチャ　改良されたシステムは、異種の周辺機器シェルフ（例えば、６段と８段のシェルフ）を同時に収容し得る。この特性は、周辺機器シェルフ上にＰＳＬＩ、ＭＸＵ上に対応するＰＩＵを設けること、及び、入力されたシェルフの内容からポートグループの動的なシェルフマッピングを設けることによる影響を受ける。シェルフのグループ化を助けるため論理データ構造を作成することにより、ソフトウェアは並置形及び遠隔形シェルフの両方を管理することができる。

【００６０】

（３）汎用タイムスロット構造　全てのタイムスロットは同一に形成されているので、いずれのタイムスロットを周辺機器、コンファレンス又はトーンタイムスロットとして使用しても構わない。これは、トーン及びコンファレンスアドレスが特定のタイムスロットに割り当てられている従来の装置と対照的である。換言すれば、ここに開示する改良された集中ネットワーク交換機は、従来の交換機の固定したマッピングを排除し、一方、あらゆるトーン又はコンファレンスポートがあらゆるＭＸＵに通じていても構わない。これは、トーン又はコンファレンス機能をＭＸＵカード上に実装することによって実現される。この結果、いずれのポートもトーン又はコンファレンス機能には割り当てられないので、全

てのポートは電話機ポートとして利用可能である。トーン又はコンファレンス機能が必要である場合、この機能はＭＸＵカードから直接得ることができ、ポートを従来のトーン発生器又はコンファレンス回路に接続する必要性はない。

【００６１】

（４）全フレーム、半フレーム切換え　システムは全フレーム及び半フレームの両方の切換えの同時使用を助ける。全フレーム切換えは、ＮＸ６４接続用のフレームの一貫性を保証する。半フレームの切換えにより、最小のループ遅延が得られる。

（５）周辺機器用伝送に対する融通性のある切換え　システム設計は、周辺機器用伝送に対するタイムスロットが基本の交換機アーキテクチャを変えることなく多数の技術形態を採ることを可能にさせる。７５フットの器具半径(75 foot equipment radii) に適するポイントツウポイントの銅形ＵＴＰインタフェースは、器具半径がより拡大された光ファイバーのループと同様に使用することができる。かかる伝送は、ＤＳ３／Ｅ３、ＯＣＩ、及び４５／５０Ｍｂｉｔｓ／ｓのＡＴＭの如くの他のインタフェースにも適合する。

【００６２】

（６）改良されたＳＰＴパケット信号送出　パケット信号送出チャンネルは、以下に説明する方法で各スイッチングタイムスロットと対にされる。別個の入力及び出力の８Ｋｂｉｔｓ／ｓのシリアルチャンネルがシステムのタイムスロット毎に存在する。その上、２、４、又は８チャンネルは、１６、３２、又は６４Ｋｂｉｔｓ／ｓのチャンネルを形成するよう統合される。

【００６３】

（７）プロセッサ識別　システムは、識別すべき相対的な位置情報（即ち、スロット番号）が得られない共通バス上のプロセッサを識別する。システムは、矛盾がないパターンに基づいてプロセッサの識別子の動的な再割り当てを可能にする。これにより、ハードウェア的に符号化された構造を用いることなく、プロセッサのボードをバスから取外し、及び、取付けることが可能になり、汎用タイムスロットの特性が容易に得られる。その上、多数のプロセッサが設けられ、少なくとも一つの故障品が取り除かれたとき、このシステムは、次の初期化時に残りのプロセッサが取り除かれたプロセッサを補うことを可能にさせる。

【００６４】

図５は本発明の集中ネットワーク交換機の好ましい一実施例のブロック系統図である。図１乃至４と図５において類似した素子は、共通の参照符号が付けられている。周辺機器カード５１は、周辺機器バックプレーンのエッチングによってポートグループケーブル５４を形成するよう結合されたポートグループバス５２に接続される。各ポートグループケーブルは、搬送媒体に融通性を与え、汎用シェルフアーキテクチャを容易化させるＰＳＬＩ（周辺機器シェルフリンクインタフェースユニット）５５に接続される。各ＰＳＬＩは、選択された媒体を介して、共通コントローラに置かれた整合するＰＩＵ（周辺機器インタフェースユニット）５６と連結される。適当な搬送媒体には、その例に限定されることのない銅形ＵＴＰ及び光ファイバーケーブルが含まれる。

【００６５】

ＰＳＬＩ５５によって、搬送媒体における融通性を促進するだけではなく、６４ポートの差し込み式挿入性能、冗長ループ性能、及び上述の従来の電話機インタフェースユニットカードシェルフとの完全な互換性が得られる。

図６は集中ネットワーク交換機ハードウェアの一つの構成をより詳細に示す図である。ＰＳＬＩは電話機シェルフに連結し、シェルフ上の全ポート数は６４の倍数であることを理解する必要がある。例えば、このシステムは、上述の従来の電話機シェルフの配置である１９２（３×６４）ポートを含む電話機シェルフに適合する。

【００６６】

種々の搬送媒体に対し種々のＰＳＬＩの形を設けることができる。従って、銅用の形と、光ファイバーケーブル用の形を設けることができ、一台の交換機に多数の形を設けることが可能である。即ち、交換機は多数の異種の搬送媒体を収容することが可能である。

上記の形とは無関係に、ここに開示された実施例中のＰＳＬＩは、５１２までのポートを対応するＰＩＵに接続し、それが接続されたシェルフに局部的に搭載される場合がある。例えば、光ファイバー版の一変形は、６４ポートの増分量で５１２よりも少ないポートを選択的に接続し、それが接続されたシェルフから離れて配置される性能を有する能力が追加されている。ファイバー形のＰＳＬＩは、１本のファイバーに多重化してもよい。現時点では、最大で８本のファイバー形ＰＳＬＩが１本の光ファイバーケーブルに多重化される場合がある。

【００６７】

従って、各々がケーブルに割り当てられた６４ポート毎のポートのグループ化が予定され、８個の上記ポートグループは、図５に示す如く、共通ＰＳＬＩに割り当てられる。即ち、各ＰＳＬＩは、各々が６４ポートに対する信号を搬送する８本のポートグループケーブルを受容する。換言すれば、本発明の各ポートグループケーブルは、従来の交換機の二つのポートグループバスに対応する。

【００６８】

図６を再び参照し、電話機シェルフ６１は、各々が８台の電話機インタフェースユニットを有する１６枚のカード上に１２８台の電話機インタフェースユニットを有すると想定する。各シェルフは２本のポートグループケーブル６２（６４×２）に関連付けられ、最大で４段のシェルフがＰＳＬＩ６３に関連付けられる。

【００６９】

送信バス６４及び受信バス６５からなる２本のバスを含むＰＳＬＩ６３の出力は、対応するＰＩＵ６７と接続される。ＰＳＬＩは、以下に説明する如く、２ＭＨｚのシリアル入力信号を８ＭＨｚレートで伝送される８ビットパラレル信号に変換する。

ＰＩＵはペアで配置してもよい。即ち、２台のＰＩＵ（ＰＩＵ　Ａ及びＰＩＵＢ）が１枚のボード６８に設けられ、各々は５１２ポートに関連付けられた信号を受信する場合がある。ＰＩＵペア６８の各々は、従来のＴＣＵ（電話機制御ユニット）を置き換えるＭＸＵ（マトリックススイッチングユニット）６９に接続される。

【００７０】

一実施例において、各ＭＸＵは１０２４ポートに対し機能する。かかる一実施例において、１０台のＭＸＵが１０２４０ポートに対し設けられる。ポート０－１０２３に対する第１のＭＸＵ６９$_1$は、コンファレンス及びトーンポート用に配置してもよい。この実施例の場合、２５６のトーンポートと７６８のコンファレンスポートがある。ＭＸＵ６９$_2$は、ポート１０２４－２０４７を収容し、図６に示す如く、後に続く各ＭＸＵは次の１０２４ポートを収容し、１０番目のＭＸＵ６９$_{10}$はポート９２１６－１０２３９を収容する。

【００７１】

ＭＸＵは、各々が１０２４のタイムスロットの切換えを命じるよう作用する共通制御部内に設置される。１０２４のトーン及びコンファレンスポートがある場合、この例のシステムは９２１６の電話機ポートをサポートする。

ＭＸＵと同様に、ＰＩＵは共通制御部内に設置される。上述の如く、各ＰＩＵは、ＭＸＵと２台のＰＳＬＩの間のインタフェースとして機能する。ＰＳＬＩの場合、搬送媒体に基づいて多数のＰＩＵの変形が可能である。従って、搬送媒体として銅のケーブルを使用する銅形式のシステムと、搬送媒体として光ファイバーを使用する光ファイバー形式のシステムとが存在する場合がある。しかし、ＰＩＵのペア（ＰＩＵ　Ａ　及び　ＰＩＵ　Ｂ）は、一対一で対応するＭＸＵと連結されるので、１台のＭＸＵに銅及びファイバーの両方のＰＩＵが接続されることはない。

【００７２】

光ファイバー搬送媒体が使用される場合、各ＰＳＬＩは、選択的に６４ポートだけのために機能するので、１台のＰＩＵに最大で８台のＰＳＬＩが接続される。

ＰＳＬＩが多数の異種シェルフのために機能する電話器シェルフ／ＰＳＬＩ／ＰＳＩ／ＭＸＵの配置の一例を図７に示す。特に、ＰＳＬＩ７１は、二つの「Ｊ形」（即ち、６段式）シェルフ７２，７３と、「Ｈ形」（即ち、８段式）シェルフ７４の一部分のために機能

する。「Ｈ形」シェルフの残りは、別のＰＳＬＩ７５によってサポートされる。上記「Ｊ形」シェルフは、前述の従来の集中ネットワーク交換機と共に作動させ得る「Ｊ形」シェルフでもよいことに注意が必要である。従って、「Ｊ形」シェルフの各々は、夫々が８台の電話機インタフェースユニットを搭載する２４枚のボードに収められた１９２台の電話機インタフェースユニットからなる。「Ｈ形」シェルフは３８４台、即ち、「Ｊ形」シェルフに収められたユニット数の２倍の電話機インタフェースユニットを収容する。

【００７３】

図７に示す如く、ＰＳＬＩは、５１２ポートと、３８４ポートを表わす二つの「Ｊ形」シェルフだけを収容することができるので、「Ｈ形」シェルフの中の１２８ポートだけがＰＳＬＩ７１によって受け入れられる。従って、ＰＳＬＩ７５は、「Ｈ形」シェルフ７４の残りの２５６ポートを受容する。

シェルフが並置され、銅の搬送媒体を間に備えた銅のＰＳＬＩ－ＰＩＵが使用されるとき、図７の配置は有用である。しかし、光ファイバーケーブルを使用する場合に、図７の構成をとることが可能ではあるが、２本の光ファイバーケーブルを同一の遠隔地に送るコストが掛かるため効率的ではない。

【００７４】

図８は、本発明のＰＳＬＩ／ＰＩＵの概念によって、共通制御部シェルフに対し単一のループを使用すると共に、少数のポートが離れた位置に差し込み式に挿入することを可能にさせる方法を示す図である。即ち、単一のループ、例えば、１本のファイバーループは、３台のＰＳＬＩ８４，８５，８６を使用する共通制御部から離れた３位置８１，８２，８３に配設されている。これは、各ＰＳＬＩがカード上のビットスイッチを介してループ上でサポートするポートを選択的にフィルタリングすることができるので実現できる。

【００７５】

より詳細には、上述の配置に対し、ＰＳＬＩがＭＸＵｎを６４のポート境界上で６４ポートの分解能に低下するまでフィルタリングさせることができる８ビットスイッチ（図示せず）がＰＳＬＩカード上に設けられている。図８において、遠隔位置「Ａ」８１の第１のＰＳＬＩは、各々が「Ｊ形」シェルフと、「Ｈ形」シェルフの一部をサポートするため６４ポートに対応する第１の４ポートグループのケーブルを使用する。かくして、ＰＳＬＩ８４は、第１の４ビットスイッチを「１」に設定させることにより、第１の４ポートケーブル（即ち、タイムスロット０－２５５）に対しタイムスロット情報だけをフィルタ出力するよう構成される。遠隔位置「Ｂ」８２の第２のＰＳＬＩ８５は、シェルフ上で６４ポートだけが作動状態にある「Ｈ形」シェルフをサポートするため１ポートグループケーブルだけを使用する。第５の位置にある１ビットスイッチは、遠隔位置Ｂで動作状態にある６４ポートに対しタイムスロット２５５－３１９をフィルタ出力する。

【００７６】

遠隔位置「Ｃ」の第３のＰＳＬＩ８６は、１２８ポートをサポートするので、二つの６４チャンネルポートグループケーブルが必要とされる。従って、スイッチ位置６及び７は、３２０と４４７の間のタイムスロットをフィルタ出力するため「１」に設定される。

６４の補助ポートを収容し得ることに注意する必要がある。ＰＳＬＩは連続的なポートをフィルタリングする必要はないので、割り当てられていないポートは、遠隔位置Ａ－Ｃのいずれか、或いは、補助遠隔位置に後で割り当てることが可能である。例えば、補助的な６４ポートシェルフが後で位置Ａに追加される場合、そのシェルフはその位置に既に関連付けられたＰＳＬＩに接続することが可能であり、最後の、即ち、８番目のビットスイッチがその追加されたシェルフをサポートするため「１」に設定される。

【００７７】

銅形の搬送媒体用のＰＳＬＩのブロック系統図が図９に示されている。ファイバー搬送媒体用のＰＳＬＩも同様である。相違点は、ＰＬＳＩ回路が銅のリンクではなく、光ファイバーのリンクに連結する点がある。同様の相違点は、銅のリンク用のＰＩＵと光ファイバー用のＰＩＵの間に見い出される。ＰＳＬＩは既存のラックに取り付けられる。外部接続には、（冗長又は非冗長のいずれかのポートグループバッファケーブル処理がなされた）

８台のポートグループバッファインタフェース９００と、１台のＭＸＵｅｒ電源及びアラームインタフェースと、ＰＩＵへの２５対ケーブルの高速リンク９０５と、デバッグコネクタと、ＭＸＵｅｒ電源コネクタとが含まれる。２枚のＰＳＬＩカードは、上記２５のツイストペア式周辺機器リンクケーブル９０５（Ｐ－リンク）を介して１台のＰＩＵに接続される。各Ｐ－リンクケーブルは、５１２の周辺機器ポートに対しＰＣＭ及び信号送出情報を搬送する。その上、Ｐ－リンクは、リンク保守と、キャビネットＰＡＢ（ＭＸＵｅｒ電源及びアラーム）のオーバーヘッドデータを搬送する。全ての高速信号は、差動的であり、かつ、バランスがとられている。

【００７８】

ＰＳＬＩはポイントツウポイントの位相関係で配置されている。各ＰＳＬＩは、８台のポートグループインタフェースとその関連するＰＩＵカードとの間で全２重ＰＣＭ及び信号送出の５１２ポートを搬送する。１台のＰＩＵが全体で１０２４ポートの２台のＰＳＬＩと連結する。作動中の信号送出チャンネルと作動中のＰＣＭチャンネルの比が１対４であり、作動中のオーバーヘッドチャンネルと作動中のＰＣＭチャンネルの比が１対１６であるので、５１２のＰＣＭＰＣＭスロットを搬送するため必要とされる作動中のスロットは、各方向の周辺機器リンク毎に全部で１０２４のスロットの中の６７２スロットである。

【００７９】

ＰＳＬＩは、連結されているＰ－リンクからタイムスロット及び信号送出情報を再生する。データ再生セクションは、周辺機器受信クロック再生と、周辺機器受信データ再生と、周辺機器受信データフレーム／スーパーフレーム再生とを実行する。受信パス情報は、伸縮性のあるバッファに置かれる。データ再生セクションは、バッファの先頭を配置するため再生されたスーパーフレームデータを使用する。

【００８０】

各Ｐ－リンクインタフェースは、８対の送信ペアと８対の受信ペアを有する。１６対のワイヤによって、５１２の周辺機器ポートデータ及び信号送出チャンネルに双方向のバランスがとられた搬送が得られる。その上、クロック、ＳＳＦＸ（スーパーフレーム同期）、テスト同期信号ペア、非平衡終端オーム接続は、双方向である。

【００８１】

Ｐ－リンクバス上のデータは、ＰＨ１クロックの立ち上がりエッジでサンプリングされる。Ｐ－リンクバスへのデータは、ＰＨ１クロックの立ち下がりエッジで更新される。オンラインシェルフとオフラインシェルフの間の最大許容データスキューは、＋／－５０ｎｓである。

ＰＣＭは、Ｐ－リンクＡ上にＳＳＦＸに関して偶数の８．１９２ＭＨｚクロック周期に発生し、信号送出と、オーバーヘッドと、未使用バイトは、奇数周期に現われる。Ｐ－リンクＢの場合、ＰＣＭは、ＳＳＦＸに関して奇数クロック周期に発生し、信号送出と、オーバーヘッドと、未使用バイトは、偶数周期に現れる。

【００８２】

基本受信同期は、ＰＳＬＩクロック再生ロジック９０７によって得られる。Ｐ－リンクバイトクロックはリンクによって搬送され、フェーズロックループを用いて８．１９２ＭＨｚの基本システムクロックに再生される。その上、各ポートグループ毎の１６個の別々のモード信号が、Ｐ－リンクの搬送されたＳＳＦＸ（スーパーフレーム同期）から発生される。

【００８３】

アセンブリバッファ９０４は、バイトパラレルデータを集め、伸縮性の格納バッファとして機能する。このバッファの書込みポインタは、再生されたバイトクロックによって制御される。読み出しポインタは、再生された周辺機器クロックに同期させられる。リンク保守に特有のオーバーヘッドバイトは、バッファ出力データストリームから読み出される。

【００８４】

ＰＳＬＩ診断／制御マイクロコントローラは、時間合わせされたデータバッファ９８を介してＰ－リンクの受信されたバイトストリームにアクセスする。マイクロコントローラは

、タイムスロットカウンタと比較されるタイムスロットアドレスレジスタをロードする。この機構は、Ｐ－リンクのタイムスロットからバッファへの書込みを制御する。バッファはマイクロコントローラの直接的な制御の下で読まれる。

【００８５】

マイクロコントローラは、ＰＩＵマイクロコントローラとの通信用の「予備」オーバーヘッド帯域にリード／ライトアクセスを行う。「生の」ＰＣＭ及び信号送出の受信データと、ＰＡＢデータタイムスロットのリードアクセスは、診断データ監視機能のため設けられている。

各ＰＳＬＩの電話機周辺機器バス側は、マスターＰＬＬ再生クロックでドライブされる。ＰＬＬは、８．１９２ＭＨｚのバイトクロックと、Ｐ－リンクのＳＳＦＸ（スーパーフレーム同期）にロックする。

【００８６】

スイッチの切換え後、ＳＳＦＸとＰＳＬＩ電話機同期の位相は、誤調整されている可能性がある。これは、冗長リンクが異なる経路長を有する場合に生じる。ＰＬＬは、バイトクロックから１０ｐｐｍ未満の周波数偏移でＳＳＦＸとＰＳＬＩ電話機同期の位相調整を訂正する。ケーブル長の差は、最大の時間差が１５ｎｓとなるよう１０フィートに制限される。スイッチ切換え後の１秒未満に再調整がなされることが保証されている。

【００８７】

ＰＬＬの出力は、ポートグループ毎にＣＬＯＣＫ（クロック）、ＳＹＮＣ（同期）、ＦＲＡＭＥ（フレーム）、ＭＯＤＥ（モード）、及びＯＨ（オーバーヘッド）のタイミングを発生する電話機周辺機器バスカウンタをドライブする。

受信アセンブリバッファ９０４からのデータは、６個のラッチ入力シフトレジスタ９０３、即ち、四つのＰＣＭと、一つの信号送出と、一つのオーバーヘッド／ＰＡＢに供給されている。各ＰＣＭ及び信号送出シフトレジスタは、受信インターリーブ形成器の単独のビットラインに入力を与える。オーバーヘッド／ＰＡＢレジスタからの出力は、ＰＡＢの出力を直接ドライブする。

【００８８】

受信インターリーブ形成器９０２は、４個のＰＣＭオクテットと、１個の信号送出オクテットを５個の別個のビットインターリーブされたリンクに変換する。この５ビットメモリは、６４ビットの有効な深さ；即ち、３２ビット毎の２ページからなる。

４本のＰＣＭ受信インターリーブ形成器のラインからのインターリーブされたＰＣＭは、ＰＣＭＲバス毎に１個ずつの１６個のアドレス指定可能なラッチ９０１にデマルチプレキシングされる。１本の信号送出データラインからのデータは、ＳＩＧＲバス毎に１個ずつの１６個のアドレス指定可能なラッチにデマルチプレキシングされる。

【００８９】

１６本のＰＣＭＸラインからのＰＣＭデータは、４台の４：１マルチプレクサ９３の各々に入力を与える。これらのマルチプレクサはチャンネルフォーマットメモリ９０に入力を供給する。１６本の信号送出ラインは、ストリームを圧縮するため４：１マルチプレクサの二つの層９３，９５を通って多重化される。第１のマルチプレクサ層９３は、２．０４８ＭＨｚのストリームを単一の８．１９２ＭＨｚの経路に結合する。第２の層９５は、１２個の未使用信号送出フレームの搬送を抑制する。残りのラインはチャンネルフォーマットメモリ９０に入力される。

【００９０】

伝送ＰＣＭ及び信号送出マルチプレクサからのデータは、チャンネルフォーマットメモリの５本のラインに入力を供給する。バイトクロック毎に、４ポートからのＰＣＭ４ビット及び信号送出１ビットがチャンネルフォーマットメモリに書き込まれる。この書込みは、１フレーム当たり全２５６回のアクセスの間に４ポートの各々に対し３２回繰り返される。バッファは、５個の６４ビットシリアルメモリとして機能する。入力されたビットインターリーブ形のデータは、バイトインターリーブ形のデータとして読み出される。８箇所の異なる場所からの８回の連続的な読み出しが、伝送シリアル－パラレル変換器９２への

バイトを構成するために必要とされる。全部で１０２４回の読み出しがフレーム毎に必要とされる。

【００９１】

ＭＯＤＥ信号はポートグループ毎に１フレームずつシフトされる。これにより、ＭＸＵで信号送出情報の偶数インターリーブが得られる。

伝送シリアル－パラレル変換器９２は、伝送チャンネルフォーマットメモリにより入力を供給されたラッチ出力シフトレジスタにより構成される。次いで、パラレルデータは、伝送アセンブリバッファの適当な位置に書き込まれる。

【００９２】

ＰＳＬＩ診断／制御マイクロコントローラ９７は、時間合わせされたデータバッファ９６を介してＰ－リンク伝送ストリームにアクセスする。受信路の場合のように、マイクロコントローラは、タイムスロット比較器９１でタイムスロットカウンタと比較されるタイムスロットレジスタをロードする。この機構は、バッファからＰ－リンクタイムスロットへの読み出しを制御する。バッファの書込みは、マイクロコントローラの直接制御の下にある。

【００９３】

マイクロコントローラは、ＰＩＵマイクロコントローラとの通信用の「予備」オーバーヘッド帯域へのリード／ライトを行う。「生の」ＰＣＭ及び信号送出内の受信データと、ＰＡＢデータタイムスロットの読み出しアクセスが、診断データ監視機能に与えられている。

データシーケンスは、２ｍｓのスーパーフレームに基づいている。各スーパーフレームは、周辺機器リンク内の５１２ポートの各々に対し１６個のＰＣＭバイトのサンプルと、４個の信号送出バイトを有する。その上、１×５１２のオーバーヘッドバイトがスーパーフレーム中に搬送される。これは、ポート毎に一つずつの５１２個の単一ＰＣＭバイトのサンプルと、１２８個の信号送出バイトと、３２個のオーバーヘッドバイトとを含む１６個の１２５μｓフレームに分割される。このフレームは、３２バイト毎の３２個のタイムスロットブロックに更に分割される。かかるブロックは、１６個のＰＣＭバイトのサンプルと、４個の信号送出バイトと、１個のオーバーヘッドバイトと、１１個の未使用バイトとを含む。タイミングは、他のバイトの各々にＰＣＭサンプルが含まれるよう整備される。

【００９４】

ＰＳＬＩは、最大で８個のポートグループバッファを介して周辺機器シェルフに連結する。ポートグループバッファのケーブルは、０．１インチ間隔の２０ピン、２列、リボン状ケーブルコネクタに接続する。

銅形搬送媒体用のＰＩＵのブロック系統図が図１０に示されている。銅形のツイストペア式搬送媒体用のＰＩＵを以下に説明する。

【００９５】

ＰＩＵは、単一スロットＴＣＢ（電話機制御装置バス）組立体としての機械的な高さの仕様に適合する。ＰＩＵは、カードケージの背面から１０個のＰＩＵカードスロットのいずれかに挿入される。ＰＩＵは、２個の１６０ピンのＤＩＮバックプレーンコネクタと、２個の５０ピンの高速Ｐ－リンク（周辺機器リンク）コネクタを有する。

【００９６】

ＰＩＵは、フレーム毎にＭＸＵから１０２４個のＰＣＭバイトサンプルを受け、これらのサンプルの中の５１２個をＰ－リンクＡを介してＰＳＬＩ（Ａ）に分配し、別の５１２個のサンプルをＰ－リンクＢを介してＰＳＬＩ（Ｂ）に分配する。その上、ＰＩＵは、ＰＣＭサンプルを用いてＰ－リンクＡ及びＰ－リンクＢ上にインターリーブされたスーパーフレーム毎にＭＸＵから信号送出及びオーバーヘッドデータの１０２４個のポートを受ける。オーバーヘッドデータには、Ｐ－リンク保守及びＰＡＢ（ＭＸＵｅｒ電源アラームボード）キャビネット制御／状態情報と、ＰＩＵマイクロプロセッサへの通信チャンネルが含まれる。各Ｐ－リンク上の信号送出の搬送は、ＰＣＭがＰ－リンクＡのインタフェースに現われるとき、信号送出及びリンクデータがＰ－リンクＢに現れ、かつ、その逆も成り立

つような搬送である。その上、ＰＩＵは、冗長電話機制御装置シェルフ内の他のＰＩＵとの対称的なＰＣＭ／信号送出クロスオーバー経路が設けられている。

【００９７】

ＰＩＵは、フレーム毎に１０２４個のＰＣＭバイトのサンプルをＭＸＵに搬送する。ＰＳＬＩ　ＡとＰＳＬＩ　Ｂは、１０２４個のＰＣＭサンプルの中の５１２個ずつを供給する。両方のＰＳＬＩからのＰＣＭは、電話機制御装置のＰＣＭハイウェイに配送するため単一のバイト幅の経路にあるＭＸＵに与えられる。その上、ＰＩＵは信号送出及びオーバーヘッドデータの１０２４ポートをスーパーフレーム毎にＭＸＵに搬送する。ＰＳＬＩ　Ａは、ＰＣＭバイトサンプルと共にポート０－５１１に対し信号送出及びオーバーヘッドデータをインターリーブし、ＰＳＬＩ　Ｂは、そのデータをポート５１２－１０２３に提供する。ＭＸＵによって、ＴＣバスを介して信号送出及びオーバーヘッドにアクセスし得るようになる。冗長シェルフとのデータ／クロック再生、データバッファリング、及び、対称性のＰＣＭ／信号送出クロスオーバー経路がバックプレーンインタフェースに内蔵されている。

【００９８】

ＰＩＵは、連結されているＰ－リンクからタイムスロット及び信号送出情報を受ける。データ再生セクションは、周辺機器伝送クロック再生と、周辺機器伝送データ再生と、周辺機器伝送データフレーム／スーパーフレーム再生を行う。伝送路情報は伸縮性のバッファに設けられている。データ再生セクションは、バッファの先頭を配置するため再生されたスーパーフレームデータを使用する。ＰＩＵはＭＸＵカードに局部的にインタフェースで連結する。

【００９９】

各Ｐ－リンクインタフェースは、８の送信ペア及び８の受信ペアを含む。ワイヤの１６対のペアによって、５１２の周辺機器ポートデータ及び信号送出チャンネルに双方向のバランスされた搬送が生じる。その上、クロック、ＳＳＦＸ（スーパーフレーム同期）、テストサイン信号ペアと、非平衡終端オーム接続は、双方向である。

【０１００】

Ｐ－リンクバス上のデータは、ＢＴＵによってＭＴＵを介して供給されるＰＨ１クロックの立ち上がりエッジでサンプリングされる。Ｐ－リンクバスへのデータは、ＰＨ１クロックの立ち下がりエッジで更新される。オンラインとオフラインシェルフの間の最大許容データスキューは、＋／－５０ｎｓである。

ＰＣＭは、Ｐ－リンクＡ上にＳＳＦＸに関して偶数の８．１９２ＭＨｚクロック周期に発生し、信号送出と、オーバーヘッドと、未使用バイトは、奇数周期に現われる。Ｐ－リンクＢの場合、ＰＣＭは、ＳＳＦＸに関して奇数クロック周期に発生し、信号送出と、オーバーヘッドと、未使用バイトは、偶数周期に現れる。

【０１０１】

出力ＰＣＭ及び信号送出は、周辺機器ＰＣＭタイムスロットポート０－１０２３の各々に対しＭＸＵから受信され；ＰＣＭはＰＣＭＲＣＶに現れ、信号送出はＳＩＧＲＣＶに現れる。ＰＩＵは、タイムスロット０－５１１に対するＰＣＭ及び信号送出をＰ－リンクＡに割り当て、５１２－１０２３に対するＰＣＭ及び信号送出をＰ－リンクＢに割り当てる。

【０１０２】

ＭＸＵからのＰＣＭ及び信号送出／オーバーヘッドデータは、４本の別個のバイト幅のデータパス上で受けられ；ＭＸＵからの一方のＰＣＭＲＣＶと一方のＳＩＧＲＣＶは同一のシェルフで受けられ、ＭＸＵからのもう一方のＰＣＭＲＣＶともう一方のＳＩＧＲＣＶは冗長なシェルフで受けられる。データは電話機制御装置クロックＰＨ１によって時間合わせされ、同期スーパーフレーム信号ＳＳＦＸによってフレームを付けられる。全データは、ＰＨ１クロックの立ち上がりエッジでサンプリングされる。

【０１０３】

冗長システム構成において、ＰＩＵは、冗長電話機制御装置シェルフの２台のＭＸＵの一方からクロスオーバーデータパスを介してＰＣＭ及び信号送出データを受けることができ

る。このパスは、電話機制御装置のバックプレーンに実現され、オープンコレクタロジックによってドライブされる。両方のＰＩＵは、作動中のシェルフからの受信データを冗長なＰＳＬＩに送る。伝送データＰ－リンクの４本の全部、即ち、作動状態及びスタンバイ状態の両方のシェルフからのＡ側及びＢ側の両方の伝送データＰ－リンクは、動作可能な状態にされる。２組の冗長なＰＩＵの中で、１組の送信ドライバだけが作動状態である。２組の冗長なＰＳＬＩペアの中で、１対の受信ドライバだけが作動状態である。作動中の組は、ＰＩＵ／ＰＳＬＩ調停ロジックによって選択される。

【０１０４】

受信ＰＣＭ及び信号送出／オーバーヘッドパスは、マルチプレクサ１０２４によって２本のＰ－リンクパス上で多重化される。得られたパスの各々は、ＰＣＭサンプルと、信号送出と、５１２の周辺機器ポートとその搬送Ｐ－リンクとに関連付けられたオーバーヘッドを含む。Ｐ－リンクＡは、ポート０－５１１用のデータを含み；Ｐ－リンクＢは、ポート５１２－１０２３のデータを搬送する。

【０１０５】

ＰＩＵ診断／制御マイクロコントローラは、二つの別々に制御されたデータバッファを介して各Ｐ－リンク受信バイトストリームにアクセスする。マイクロコントローラは、ＴＣバスを介して共通制御部との通信用のオーバーヘッド帯域にリード／ライトアクセスを行い、ＰＩＵマイクロコントローラは、更に各ＰＳＬＩのマイクロコントローラと通信することが可能である。「生の」ＰＣＭ及び信号送出タイムスロットの受信データのリードアクセスが、診断データ監視機能のために設けられている。

【０１０６】

各Ｐ－リンクの受信データは、ラッチ１０２２によってラッチされ、ＩＥＥＥ４８８形の平衡差動ドライバ１０２０を用いてドライブされる。ドライバのＭＸＵｅｒ電源は、ＥＭＩエミッションを低減させるため電話機制御装置シェルフのＭＸＵｅｒ電源からＡＣ絶縁されている。

２台の周辺機器インタフェース、Ｐ－リンクＡ及びＰ－リンクＢからの伝送Ｐｃｍ信号送出データは、ＰＣＭＸＭＴ及びＳＩＧＸＭＴバス上に多重化される。ＰＩＵは、Ｐ－リンクＡからタイムスロット０－５１１のＰＣＭ及び信号送出を受け；Ｐ－リンクＢからタイムスロット５１２－１０２３のＰＣＭ及び信号送出を受ける。同一シェルフのＭＸＵ用のＰＣＭＸＭＴとＳＩＧＸＭＴは、常に動作可能状態である。冗長クロスオーバーバス用のＰＣＭＸＭＴ及びＳＩＧＸＭＴドライバは、作動中のＰＩＵ側だけで動作可能状態にされる。

【０１０７】

各Ｐ－リンクは、小さい、８クロックのリンク同期バッファ１０１０に接続されている。かかるバッファは、リンク間の４クロックまでの誤差に対しＰ－リンクデータの時間合わせをするよう機能する。各リンクにおける時間が訂正されたＰＣＭ及び信号送出データは、デマルチプレクサ１０４０でタイプによって分離され、１フレーム当たり１０２４ポートのＰｃｍストリームと、１スーパーフレーム当たり１０２４ポートの信号送出及びオーバーヘッドストリームを形成するよう再び統合される。

【０１０８】

ＰＩＵ診断／制御マイクロコントローラは、二つの別々に制御されたデータバッファを介して各Ｐ－リンク送信バイトストリームにアクセスする。マイクロコントローラは、各ＰＳＬＩのマイクロコントローラと同様にＴＣバスを介して共通制御部との通信用のオーバーヘッド帯域にリード／ライトアクセスを行なう。「生の」ＰＣＭ及び信号送出タイムスロットの受信データのリードアクセスが、診断データ監視機能のために設けられている。

【０１０９】

かくして、二つのＰ－リンクパスの各々からの伝送ＰＣＭ及び信号送出／オーバーヘッドデータは、二つのパス上でデマルチプレキシングされる。一方のパスは、両方のＰ－リンクからのフレーム毎に１０２４ＰＣＭサンプルを含み、他方は、５１２の周辺機器ポートとその搬送Ｐ－リンクに関連付けられた信号送出及びオーバーヘッドを含む。

【０１１０】
ＰＩＵは二つのフレーム同期バッファ機能１０１２，１０１４を実行することが可能であり；その一方はＰＣＭの伝送用であり、もう一方は信号送出及びオーバーヘッドの伝送用である。Ｐｃｍ同期バッファは１フレーム分の深さを有する。信号送出同期バッファ１０１４は深さが１スーパーフレーム分である。リンク同期バッファと結合された上記バッファは、あらゆる周辺機器シェルフのループ伝搬遅延を補償する。
【０１１１】
フレーム同期バッファ入力ポインタ（周辺機器伝送インタフェース側）は、クロック／フレーム再生ロジック１０１８とタイムスロットカウンタ１０１６を使用する周辺機器リンクから再生されたスーパーフレーム同期で再び同期される。出力ポインタは、ＭＸＵが発生したＳＳＦＸスーパーフレーム同期信号から得られたシステムタイミングにロックされる。
【０１１２】
作動中のＰＩＵは、冗長なクロスオーバーＰＣＭＸＭＴ上のＭＸＵへのクロスオーバー接続と、ＳＩＧＮＸＭＴパスを同時にドライブするが、何れのＰＩＵにも損傷を与えることなく同時のアクセスが発生し得る。各ＰＩＵは、それ自体のＰＣＭＸＭＴと、その局部ＭＸＵへのＳＩＧＸＭＴパスをドライブする。ＰＩＵは、クロスオーバーバスのイネーブルロジックを実装する。作動中のＰＩＵは、冗長なクロスオーバーバス上でＰＣＭＸＭＴとＳＩＧＮＸＭＴの両方をドライブするオープンコレクタドライバを動作可能状態にする。
【０１１３】
別個のＰＣＭ及び信号送出／オーバーヘッドデータパスは、各ＰＩＵのフレーム同期メモリからそのＭＸＵにバイト幅フォーマットで現れる。その上、作動中のＰＩＵは、冗長シェルフ内のＭＸＵへの共有／冗長クロスオーバーバスをドライブする。あらゆるデータは、ＰＨ２クロック、即ち、電話機制御装置の８．１９２ＭＨｚクロックの立ち上がりエッジで更新される。
【０１１４】
冗長周辺機器リンクは、２台のＰＩＵと４台のＰＳＬＩとにより構成される。各ＰＩＵにある調停ロジック１０２８は、何れのＰ－リンクペアがポートグループインタフェースを実際にドライブするかを選択する。共通制御装置は２台のＰＩＵの一方を作動させる。ＰＩＵとＰＳＬＩに実装された１対のマイクロコントローラは、各Ｐ－リンクの無欠性を照合するため動的な信号解析を行う。その上、オーム接続は、プラグが接続されていないケーブルを検出する。冗長な構成において、ＰＳＬＩに搭載されたマイクロコントローラは、ＰＳＬＩ調停制御チャンネルを介して調停プロトコルを通信する。冗長な配置とは、リンクの故障が、欠陥のある媒体、或いは、周辺機器シェルフラインインタフェースの周辺で冗長なシャーシのＰＩＵを介して迂回することができるような配置である。ＰＩＵは、別個に冗長性がある。ＰＩＵに故障がある場合、動作を保持するためシェルフの切換えは命令されない。
【０１１５】
作動中の電話機制御部シェルフのＰＩＵは、リンクの利用について常に優先権がある。リンクの切換えは以下の三つの理由：即ち、ＰＩＵに接続された何れかのＰ－リンクにおけるリンクの故障、ＰＩＵ又はそのＰＳＬＩの中の一つにおける手動押しボタン式のリンク切換え要求、又は、ソフトウェアで発生されたリンク切換え要求の何れかのために生ずる。リンクの切換え後、電話機制御部シェルフの休止中のＰＩＵは、有効な変化又は押しボタン式要求に対する次のエラー時に作動状態に戻る。
【０１１６】
マイクロコントローラは、テストバイトをラッチを介して各Ｐ－リンクの所定の送出用オーバーヘッドタイムスロットに入れる。各リンクの対応するＰＳＬＩは、上記バイトを戻り路の同一のタイムスロットに戻す。ＰＩＵの伝送インタフェースで、ラッチは比較用のテストバイトを捕らえる。マイクロコントローラは、ＴＣＢバスを介して共通制御部にリンクの状態を通知する。

【０１１７】
ＰＩＵは、共通ＰＩＵ機能用の二つと、二つのＰ－リンクの各々に一つずつのＬＥＤ表示器を含む場合がある。利用者がアクセスし易いカードのエッジに取付けられる場合、かかるＬＥＤは、ＰＩＵ又はＰ－リンクケーブル取替えのような保守作業のためのＰＩＵとＰ－リンクの各々の状態を表示する。
【０１１８】
【表１】

内容	色	機能
ＰＩＵ電源	緑	ＰＩＵの電源投入を確認する。
ＰＩＵ作動中	緑	このＰＩＵが両方のＰ－リンクを介してＰＳＬＩと実際に通信していることを表示する。Ｐ－リンクのコネクタの近くに取付けられる。
Ｐ－リンクＡ故障	赤	Ｐ－リンクＡの故障を表示する。冗長構成の場合、このエラーによってＰＩＵの切換えが生じる。共通制御部にアラームを発生する。Ｐ－リンクＡのコネクタの近くに取付けられる。
Ｐ－リンクＢ故障	赤	Ｐ－リンクＢの故障を表示する。冗長構成の場合、このエラーによってＰＩＵの切換えが生じる。共通制御部にアラームを発生する。Ｐ－リンクＢのコネクタの近くに取付けられる。

【０１１９】
利用者がアクセスすることができるＰ－リンク動作禁止制御部を設けてもよい。この押しボタンスイッチ１０４４は、リンクの動作禁止要求をＰＩＵマイクロプロセッサ１０３０に知らせる。冗長リンクが利用できる場合、上記要求により、制御された、或いは、「ソフトな」リンク切換えが生じる。Ｐ－リンク動作禁止要求の成功は、リンク状態ＬＥＤの表示によって照合することができる。切換えの発生後、休止中のＰＩＵは「有効待ち」状態になる。この状態にあるとき、ＰＩＵは、例えば、Ｐ－リンクが切断された場合に生じるようなその動作状態の変化までオフライン状態を維持し、次いで、有効動作モードに戻る。終了タイマーによって、所定の時間が経過するまで「有効待ち」状態から抜け出ることは許されない。
【０１２０】
システムソフトウェアは、各ＰＩＵ毎に一つのリンク制御バイトにアクセスする。ＰＩＵリンク制御機能は、接続された全ＰＳＬＩに影響を与える。リンク制御レジスタは、ソフトウェアが切換え要求を発生し、ＰＩＵ／ＰＳＬＩマイクロコントローラを強制的にリセットすることを可能にする。
ＭＸＵインタフェース
ＰＣＭＸＭＴ：　周辺機器ポートからＭＸＵへのＰＣＭ
ＳＩＧＸＭＴ：　周辺機器ポートからＭＸＵへの信号送出及びリンクデータ冗長ＰＣＭＸＭＴ：　周辺機器ポートから両方のＭＸＵへのＰＣＭ
冗長ＳＩＧＸＭＴ：　周辺機器ポートから両方のＭＸＵへの信号送出及びリンクデータ
ＰＣＭＲＣＶ：　ＭＸＵから周辺機器ポートへのＰＣＭ
ＳＩＧＲＣＶ：　ＭＸＵから周辺機器シェルフへの信号送出及びリンクデータ
冗長ＰＣＭＲＣＶ：　ＭＸＵから両方のＰＩＵへのＰＣＭ及び周辺機器シェルフへのデータ
冗長ＳＩＧＲＣＶ：　ＭＸＵから両方のＰＩＵへの信号送出及び周辺機器シェルフへのデータ

調停バス：　　二つのＰＩＵ間の通信
ＰＨ１：　　電話機制御装置の８．１９２ＭＨｚのクロック
Ｐ－リンクインタフェース
Ｐ－リンクは、２５のペアとして割り当てられた５０本のワイヤから構成される。上記ペアは以下のように割り当てられる：
【０１２１】
【表２】

１－８	ＲＣＶデータ
９	ＲＣＶ　８．１９２ＭＨｚクロック
１０	ＲＣＶ　フレーム同期
１１－１８	ＸＭＴデータ
１９	ＸＭＴ　８．１９２ＭＨｚクロック
２０	ＸＭＴ　フレーム同期
２１	ＲＣＶ　テストスロット同期
２２	ＸＭＴ　テストスロット同期
２３	オーム接続　連続性
２４	信号グランド
２５	フレームグランド

【０１２２】
各ＰＬＳＩは、スーパーフレーム毎に５１２のＰ－リンクポートの各々に対しＰＩＵへの４バイトの信号送出情報とＰＩＵからの４バイトを転送する。全部で１０２４ポートの全２重信号送出が各ＰＩＵで統合される。
ＰＩＵへの信号送出及びＰＩＵからの信号送出の全部はＭＸＵに格納される。ＭＸＵは、明白なデータ位置を更に翻訳するＢＴＵ／ＶＳＵに与える信号送出データを再びフォーマット化する。
【０１２３】
ここに開示された集中ネットワーク交換機の特徴は、融通性のあるシェルフマップの配置である。シェルフマップとは、交換機に含まれている電話機シェルフの形態と、電話機シェルフの交換機への接続方法の論理的表現である。シェルフマップが固定され、工場で決定される従来の集中ネットワーク交換機とは異なり、ここに開示するシステムは、利用者がシェルフマップを構築することを可能にする。
【０１２４】
電話交換機の中には、周辺機器スロットが多数の形の周辺機器カードをサポートする「汎用ポートアーキテクチャ」を提供するものがあるが、ここに説明する集積回路ネットワーク交換機は、交換機の管理者が「汎用シェルフアーキテクチャ」を構成し得るようにする新しい概念を導入する。これは、管理者が多数の形の６段及び９段の電話機シェルフをサポートするため独自の交換機を構成し得るので、融通性のある構成及び拡張が可能になることを意味する。設計上は、（未だ承認されていない場合でさえ）ポートグループケーブルを介して共通制御部に接続されたあらゆる形の６段及び８段の電話機シェルフがサポートされる。
【０１２５】

電話機シェルフマップを表わすために使用されるアルゴリズム及びデータ構造は、管理者がシェルフ毎に位置と連結の形（離れたシェルフ用のファイバーと、並置されたシェルフ用の銅）を構成することを許容する。その上、サポートされるポートの数を定めることも可能である。この性能は、顧客が６４の倍数のポート数（１本のケーブルのポート数）の間で電話機ポートを分割することを許容する。

【０１２６】

本発明の価値は、融通性及び将来の拡張の許容度のレベルにある。顧客は、１９２－ポートのシェルフを実装し、そのシェルフの何れの場所でも６４ポートから１９２ポートまでのポートを構成することが可能である。顧客がシェルフ上の幾つかのポートを（例えば、離れた場所で）構成しないまま残すことを選択する場合、そうしても構わない。本ソフトウェアは、全体の構成を強制しないことにより、利用者が残りの物理的なポートからシステム内の他のシェルフに経路を接続することを許容する。その上、かかるアーキテクチャは、顧客が後に補助的なポートをシェルフに追加することを可能にさせる。

【０１２７】

融通性のある構成は、入力されたシェルフの内容からポートグループのマップを動的に作成することによって実現される。シェルフのグループ化を助けるため論理データ構造を作成することにより、上記ソフトウェアは並置及び遠隔シェルフの両方を管理することが可能である。

シェルフマップとは、交換機に含まれている電話機シェルフの形態と、電話機シェルフの交換機への接続方法の論理的表現である。

【０１２８】

新しいシェルフマップを設計する際に以下の要求が考慮された。

「M形」、「Ｌ形」及び１９インチ形ラック交換機のような従来の周辺機器カードがサポートされるために引き続きシェルフ構成を続ける必要がある。あらゆる形のシェルフが交換機でサポートされる必要がある。この中には、「M形」、「Ｌ形」及び１９インチ形ラック交換機によって使用されるシェルフが含まれる。シェルフの差し込み／追加がサポートされる必要がある。これにより、顧客は、シェルフを離し、僅かのポートだけ、又は、全ポートが（６４ポートずつの増分で）シェルフ毎に割り当てられるよう指定することが可能になる。

【０１２９】

新しいシェルフマップは、利用者が最終的に構成できることが必要である。このため、顧客がシェルフの位置を無関係に動かすことを許容する必要がある。２０４８のタイムスロットのＭＸＵ（及び、ＤＳ３及びＡＴＭカードのような別の共通制御部ハードウェア拡張）の最後の差し込みは、基本シェルフマップの設計に影響を与えるべきではない。１台のＭＸＵを混成されたトーン、コンファレンス、及び電話機ポートとして構成する性能が与えられる必要がある。

【０１３０】

以下の仮定が新しいシェルフマップを設計する際に行われた。

シェルフマップは交換機の物理的ハードウェアと密接に関連付けられている。従って、シェルフが「M形」、「Ｌ形」及び１９インチ形ラック交換機に対し管理される方法は変わらない。このような交換機用のシェルフマップの購入は不可能である。このため、顧客がシェルフの位置を「使用時(on-the-fly)」に構成し得る能力が必要である。或いは、顧客は、共通制御器のシェルフ毎に数枚のＭＸＵ（マトリックススイッチング）カードを購入する。シェルフ上のポートの総数は、常に６４の倍数である。シェルフの数は９９に制限されている。これによって、現在のｓｈ－ｓｌ－ｃｉ（シェルフ－スロット－回路）フォーマットを変更することなく、離れたシェルフを指定する顕著な融通性が得られる。

【０１３１】

シェルフマップに必要な融通性を理解するために、改良された交換機の実現し得るハードウェアセットアップを理解する必要がある。シェルフマップが最も関係付けられるハードウェアには、ＭＸＵと、ＰＩＵ（周辺機器インタフェースユニット）と、ＰＳＬＩ（周辺

機器ラインインタフェース）カードが含まれる。ＭＸＵ／ＰＩＵ／ＰＳＬＩ配置の一例は、上述の図５に示されている。

【０１３２】

ＭＸＵは共通制御部に配設され、夫々が１０２４個のタイムスロットの切換えを指示する。１０台のＭＸＵが交換機内に存在する場合がある。所望されるならば、第１のＭＸＵはコンファレンス及びトーンポートの用途に完全に構成されるが、そうする必要があるという訳ではない。残りの９台のＭＸＵは電話機の切換え用に使用され、これにより、交換機内に最大９２１６の電話機ポートが得られる。

【０１３３】

各ＭＸＵには、夫々に５１２のタイムスロットの機能が果たす２台のＰＩＵが直接連結されている。ＰＩＵは共通制御部の中に置かれ、ＭＸＵと少なくとも１台のＰＳＬＩの間のインタフェースとして機能する。ＰＩＵのペアは１枚のカードとして構成されているので、ＰＩＵカードはＭＸＵカードと１対１に連結される。現在のところ、ＰＩＵは銅及びファイバーが用いられる。銅の形のものは、共通制御部のシェルフ内に限られたＰＳＬＩに接続するために使用され、一方、ファイバーの形のものは、共通制御部のシェルフから離れているＰＳＬＩに接続するために使用される。ＰＩＵペアは、ＭＸＵと１対１に連結されるので、１台のＭＸＵが銅とファイバーの両方のＰＩＵに接続される場合はない。

【０１３４】

ＰＳＬＩは、ＰＩＵと電話機シェルフ自体の間を連結する。ＰＩＵと同様に、ＰＳＬＩにも銅及びファイバーの形のものがあるが、それらは、接続されたシェルフだけに限って常駐する。１台のＰＳＬＩの銅の形とファイバーの形の双方は、それらが機能を果たす全５１２ポートを電話機シェルフに接続する性能を有し、ファイバーの形のものは、上述の図６に示した如く、５１２よりは６４ポート毎に（６４ポートの境界に基づいて）少ない数のポートのために選択的に機能する。各ＰＩＵは５１２ポートをサポートし、各ファイバーＰＳＬＩは最小で６４ポートのために選択的に機能することができるので、１台のＰＩＵは最大で８台（５１２／６４＝８）のＰＳＬＩを接続し得る。

【０１３５】

構造エディタの観点からは、ＭＸＵ－ＰＩＵ－ＰＳＬＩ結合は、従来の交換機と共に使用されるＴＳＵ／ＳＳＵ（電話交換ユニット／副交換ユニット）ペアと類似している。ＴＳＵ／ＳＳＵと同様に、本発明の交換機のシェルフは、多数のＰＳＬＩのため機能することが可能である。

上述の図７に示した如く、第１のＰＳＬＩは、二つの「Ｊ形」シェルフと、「Ｈ形」シェルフの一部をサポートする。残りの「Ｈ形」シェルフは、第２のＰＳＬＩによってサポートされる。これは、銅形のＰＩＵ－ＰＳＬＩを使用する共通制御部と並置されたシェルフの場合に典型的な構成である。ファイバー形のＰＩＵ－ＰＳＬＩを使用する構成を実現することも可能ではあるが、同一の遠隔地点に２本のファイバーケーブルの経路を作るコストのため実際的ではない。

【０１３６】

補助的な構成に限らず別の構成には、図８に示す如く、離れた場所に「差し込まれた」幾つかの少数のポートを有する単一の信号ファイバーループが含まれる場合がある。図８において、１本のファイバーループは３台のＰＳＬＩ使用して３箇所に分配されることに注意が必要である。これが実現可能である理由は、各ファイバーＰＳＬＩは、カード上のビットスイッチを用いてループ上のサポートするポートを選択的にフィルタリングするからである。ＰＳＬＩには８ビットのスイッチがあり、ＰＳＬＩがＭＸＵｎを６４ポートの境界に基づく６４ポートの分解能までフィルタリングすることを可能にする。図８において、位置「Ａ」の第１のＰＳＬＩは、「Ｊ形」シェルフと、「Ｈ形」シェルフの一部をサポートするため第１の６４ポートのケーブルを使用する。ＰＳＬＩは、最初の４ビットスイッチをオンさせることにより、第１の４ポートのケーブルに対しタイムスロット情報だけをフィルタ出力するよう構成される。位置「Ｂ」の第２のＰＳＬＩは、シェルフ上で作動中の６４ポートだけで「Ｈ形」シェルフをサポートするため１ポートのケーブルだけを

使用する。単一ビットスイッチによって、第２のＰＳＬＩが必要とする全ポートが得られる。場所「Ｃ」の第３のＰＳＬＩは、その１２８－ポートの「Ｊ形」をサポートするため２本のポートケーブルを必要とする。最後のビットスイッチがオンであるＰＳＬＩは存在せず、これらのポートは割り当てられることがなく、後でいずれかの離れた位置、又は、別の場所の別のＰＳＬＩで使用することができることに注意が必要である。ＰＳＬＩは、連続的な部分をフィルタリングする必要が点にも注意が必要である。例えば、６４－ポートの「Ｊ形」が位置「Ａ」に後で追加される場合、シェルフは従前その位置にあるＰＳＬＩに接続され、最後のビットスイッチはシェルフをサポートするためターンオンされる。

【０１３７】

エディタは、シェルフ構成の全てを全く同一の方法で見ることができる。エディタは、並置されたシェルフがシェルフグループ内にあると想定する。何れのシェルフが並置されているかがエディタに分かっている場合、このシェルフの後に割り当てられるシェルフは離れた位置にあるべきことを考慮することなく、単一のシェルフがＰＩＵの境界を広げることを許容する。より簡易に構成を作成するため、２種類のシェルフグループ：銅形シェルフグループとファイバー形シェルフグループが定義されている。シェルフグループの管理方法は、シェルフグループに適用される以下の規則に基づいて以下の如く定められる。

【０１３８】

シェルフグループは、偶数ＰＩＵ境界で始まる必要がある。

ファイバーと銅のＰＩＵが同一シェルフグループ（同構造のシェルフグループ）に入ることはない。

シェルフ番号１及び２は、共通制御部シェルフ用に確保される。

シェルフマップを形成する第１の部分は、ＭＸＵがファイバー形ＰＩＵと銅形ＰＩＵのいずれに接続されているかを特定することである。利用者は、共通制御部の領域に限られるシェルフの段数と、離れているシェルフの段数を予め計画する必要がある。利用者は、テーブル１中のＭＸＵのタイプを指定する。

【０１３９】

この例において、ＭＸＵ１は、コンファレンス及びトーンユニットとして予め定められていることに注意が必要である。利用者は、シェルフグループの構成が継続する前に少なくとも１台のＭＸＵを構成する必要がある。エディタは、シェルフを適当なＭＸＵに割り当てるため上記情報を後で使用する。

テーブル１

```
シェルフ－マップ．．．？　ｍｘｕ
シェルフ－ＭＸＵ．．．？　リスト
ＭＸＵ番号（１－１０）〔全部／長さ〕．．．？
ＭＸＵ番号．．．．．．１
ＭＸＵタイプ．．．．．１Ｋ　トーン及びコンファレンスユニット
コメント．．．．．．．予め定義
ＭＸＵ番号．．．．．．２
ＭＸＵタイプ．．．．．１Ｋ　電話機
ＰＩＵペアタイプ．．．銅
コメント．．．．．．．
ＭＸＵ番号．．．．．．３
ＭＸＵタイプ．．．．．１Ｋ　電話機
ＰＩＵペアタイプ．．．銅
コメント．．．．．．．
ＭＸＵ番号．．．．．．４
ＭＸＵタイプ．．．．．１Ｋ　電話機
ＰＩＵペアタイプ．．．銅
コメント．．．．．．．
ＭＸＵ番号．．．．．．５
```

ＭＸＵタイプ．．．．．１Ｋ　トーン及びコンファレンスユニット
コメント．．．．．．．予め定義
ＭＸＵ番号．．．．．．６
ＭＸＵタイプ．．．．．１Ｋ　電話機
ＰＩＵペアタイプ．．．銅
コメント．．．．．．．
ＭＸＵ番号．．．．．．７
ＭＸＵタイプ．．．．．１Ｋ　電話機
ＰＩＵペアタイプ．．．銅
コメント．．．．．．．
ＭＸＵ番号．．．．．．８
ＭＸＵタイプ．．．．．１Ｋ　電話機
ＰＩＵペアタイプ．．．銅
コメント．．．．．．．
ＭＸＵ番号．．．．．．９
ＭＸＵタイプ．．．．．１Ｋ　電話機
ＰＩＵペアタイプ．．．銅
コメント．．．．．．．
ＭＸＵ番号．．．．．．１０
ＭＸＵタイプ．．．．．１Ｋ　電話機
ＰＩＵペアタイプ．．．銅
コメント．．．．．．．
シェルフ－ＭＸＵ．．．？　ｅｘｉ
シェルフ－マップ．．．？　グループ
シェルフ－グループ．．？　リスト

銅形シェルフグループは、共通制御部と並置された全てのシェルフを含む。例えば、図７を使用し、シェルフ構成が銅形シェルフグループとして追加されるべき場合を想定する。利用者が既にＭＸＵ情報を上記のように追加したと仮定する。

【０１４０】

最初に、利用者はシェルフグループを追加する：

シェルフ．．．？　追加　１
タイプ．．．．？　銅
コマンド．．．？　追加
シェルフタイプ．．．？　Ｊ
ポート数（６４－１９２）．．．？　１９２
コマンド．．．？　追加
シェルフタイプ．．．？　Ｊ
ポート数（６４－１９２）．．．？　１９２
コマンド．．．？　追加
シェルフタイプ．．．？　Ｈ
ポート数（６４－３８４）．．．？　３８４
コマンド．．．？　終了
コメント．．．？　局部シェルフ用のシェルフグループ
シェルフ．．．？　リスト　１
シェルフグループ番号．．．．．．１
シェルフグループタイプ．．．．．銅

【０１４１】

【表３】

シェルフ	タイプ	ＭＸＵ－ＰＩＵ	スロット	ポート数	ポート範囲
０３	Ｊ	０２－Ａ	01-24	192	01024-01215
０４	Ｊ	０２－Ａ	01-24	192	01216-01407
０５	Ｈ	０２－Ａ	01-08	128	01408-01535
		０２－Ｂ	09-24	256	01536-01791
－－－－	－－－	０２－Ｂ	－－－－	256	01792-02047

コメント．．．局部シェルフ用のシェルフグループ

【０１４２】
上記の例は、利用者が最初のシェルフの情報を入力した後に、エディタがシェルフ３は未配置であり、シェルフ番号として３番が割り当てられていることを検出したことを示している（エディタがシェルフ番号の割り当てを決めることに注意する必要がある）。次いで、エディタは銅形ＰＩＵは未だこのグループに割り当てられていないことを検出した。ＭＸＵ構成データを使用することによって、エディタは第１の未使用銅形ＰＩＵ（ＭＸＵ２のＰＩＵ　Ａ）を配置し、新しいシェルフをそのＰＩＵに割り当てた。シェルフ番号と同様に、エディタは、シェルフが何れのＭＸＵとＰＩＵに割り当てられるかを定める。第２のシェルフ情報が入力された後、エディタは、そのシェルフにシェルフ番号４を割り当て、既にシェルフグループ内にあるＰＩＵがそのシェルフをサポートし得ることを検出した。第３のシェルフが割り当てられたとき、エディタはそのシェルフにシェルフ番号５を割り当てることができるが、１２８ポートだけが既にそのグループにあるＰＩＵに割り当てられることを検出した。エディタはＭＸＵ構成データから別の未使用銅形ＰＩＵを検出し、シェルフの割り当てを終了した。

【０１４３】
ファイバー形シェルフグループの各々は、特定の位置に並置されているか、或いは、同一のファイバーループに配線された全シェルフを含む。エディタは、何時ファイバーループが数カ所に差し込まれたかを知るべき理由はない（これは、次の例でより明らかになる）。一例として図８を用いて、シェルフ構成がファイバーシェルフグループに追加されるべき場合を想定する。利用者が既にＭＸＵ情報を追加したと仮定する。

【０１４４】
最初に、利用者はシェルフグループを追加する：
シェルフ．．．？　追加　２
タイプ．．．．？　ファイバー
コマンド．．．？　追加
シェルフタイプ．．．？　Ｊ
ポート数（６４－１９２）．．．？　１９２
コマンド．．．？　追加
シェルフタイプ．．．？　Ｈ
ポート数（６４－１９２）．．．？　６４
コマンド．．．？　追加
シェルフタイプ．．．？　Ｈ
ポート数（６４－３８４）．．．？　６４
コマンド．．．？　追加
シェルフタイプ．．．？　Ｊ
ポート数（６４－３８４）．．．？　１２８

コマンド．．．？　終了
コメント．．．？　遠隔位置Ａ，Ｂ及びＣ用のシェルフグループ
シェルフ．．．？　リスト　２
シェルフグループ番号．．．．．．２
シェルフグループタイプ．．．．．ファイバー
【０１４５】
【表４】

ｼｪﾙﾌ	ﾀｲﾌﾟ	MXU-PIU	ｽﾛｯﾄ	ﾎﾟｰﾄ 数	ﾎﾟｰﾄ 範囲	PSLI ﾋﾞｯﾄ
06	J	03-A	01-24	192	02048-02239	1111xxxx
07	H	03-A	01-04	064	02240-02303	xxxx1xxx
08	H	03-A	01-04	064	02304-02367	xxxxx1xx
09	J	03-A	01-16	128	02368-02495	xxxxxx1x
---	---	03-A	-----	064	02496-02623	

コメント．．．遠隔位置Ａ，Ｂ及びＣ用のシェルフグループ

【０１４６】
ファイバーシェルフグループの構成は、銅形シェルフグループの構成とちょうど類似していることに注意が必要である。その相違点は、エディタは選択すべきＰＩＵのタイプ（ファイバー）が分かり、ターンオンされるべきＰＳＬＩビットを指定したので、いずれのシェルフがいずれのＰＳＬＩと関連するかという使用状態が分かる点である。エディタは物理的にシェルフを配置した使用状態には全く関知しない。
【０１４７】
同一のファイバーシェルフグループを配置する多数の別の方法を認めることができる。最大限の融通性を許容するため、エディタはハードウェアがどのように配置されるかという点で利用者に制限を課すことはない。シェルフの数と、ＰＳＬＩビットが分かっている場合、利用者は必要に応じてシェルフを配線するために十分な情報を有する。
【０１４８】
他のシェルフマッピング構成の一例をテーブル２に示す。シェルフグループ５はファイバーであるため、構成により最初に利用し得るファイバー形ＭＸＵ－ＰＩＵを探す。かかる例において、ＭＸＵ－ＰＩＵ（１－５）は、銅形インタフェースであることが仮定されている。従って、シェルフグループ５は、上記ＭＸＵ－ＰＩＵ（１－５）の中の何れにも割り当てられない。ＭＸＵ－ＰＩＵ６はファイバー形であると仮定する。かくして、シェルフ５は、このＭＸＵ－ＰＩＵに割り当てられる。シェルフ６－８もファイバーで接続されている。シェルフ６－８は、その能力の範囲内でＭＸＵ－ＰＩＵ６に割り当てられる。次いで、その次のファイバー形ＭＸＵ－ＰＩＵが設けられる。この例では、ＭＸＵ－ＰＩＵ９である。従って、ファイバー形シェルフ８のスロット５－２４は、ＭＸＵ－ＰＩＵ　９－Ａに割り当てられる。
【０１４９】

テーブル２

シェルフグループ番号．．．．．１
シェルフグループタイプ．．．．銅

シェルフ	タイプ	MXU-PIU	スロット	ポート数	ポートケーブル
1	H	2-A	01-24	384	1,2,3,4,5,6

グループコメント．．．．
シェルフグループ番号．．．．．２
シェルフグループタイプ．．．．銅

シェルフ	タイプ	MXU-PIU	スロット	ポート数	ポートケーブル
2	H	2-B	01-16	256	1,2,3,4

グループコメント．．．．Ｐｉｕ－Ｂ
シェルフグループ番号．．．．．３
シェルフグループタイプ．．．．銅

シェルフ	タイプ	MXU-PIU	スロット	ポート数	ポートケーブル
1	H	3-A	01-24	384	1,2,3,4,5,6

グループコメント．．．．新しいＭＸＵ
シェルフグループ番号．．．．．４
シェルフグループタイプ．．．．銅

シェルフ	タイプ	MXU-PIU	スロット	ポート数	ポートケーブル
4	H	3-B	01-16	256	1,2,3,4

グループコメント．．．．ＰＩＵ　Ｂを使用する試み
シェルフグループ番号．．．．．５
シェルフグループタイプ．．．．ファイバー

シェルフ	タイプ	MXU-PIU	スロット	ポート数	ポートケーブル
5	H	6-A	01-24	384	1,2,3,4,5,6
6	H	6-A	01-08	128	7,8
		6-B	09-24	256	1,2,3,4
7	0	6-B	01-24	192	5,6,7
8	H	6-B	01-04	64	8
		9-A	05-24	320	1,2,3,4,5

グループコメント．．．．ファイバーシェルフグループ
シェルフーグループ．．．？　ｅｘｉ

ファイルＭＸＵ．ＬＩＢは、利用者によって入力され、各ＭＸＵとその関連するＰＩＵの

タイプを定義する構成データを格納する。ＭＸＵ毎に１レコードを使用することができる。データは以下の如く格納される。

【０１５０】

【表５】

	ＭＸＵタイプ（１バイト）	ＰＩＵペアタイプ（１バイト）	ＭＸＵビット（８ビット）	コメント（６４バイト）
01	0 = 未定義 1 = CTU 2 = 電話機	0 = 未定義 1 = 銅 2 = ファイバー	（以下を参照）	
02				
...	...	...	...	...
10				

ＭＸＵビットフィールドは、以下の如く定められる：

	0	1	2	3	4	5	6	7
PIU A が シェルフグループに 割り当てられているかどうかを示すビット								
PIU B が シェルフグループに 割り当てられているかどうかを示すビット								
（未使用）								
（未使用）								
（未使用）								
（未使用）								
（未使用）								
（未使用）								

【０１５１】

ファイルＭＸＵ．ＬＩＢは、エディタ専用ファイル（呼処理はこのファイルを読み出すことがない）である。シェルフマップがデータベースに適用されるとき、このファイルはファイルＭＸＵ．ＤＢｘに複写される（ここで、ｘは、選択されたデータベースを表わす）。このファイルは特定のデータベースの作成中には使用されないが、シェルフマップがデータベースに適用される際にこのファイルをデータベースに複写することにより、このファイルのマスターコピーが破壊された場合にマスターコピーを復元する方法が残される。このファイルの最大サイズは、６７０バイトである。

【０１５２】

ファイルＳＨＥＬＦ．ＬＩＢは、利用者によって入力されたシェルフグループ情報を格納する。ＭＸＵ．ＬＩＢファイルと同様に、このファイルは、エディタ専用ファイルである。このファイルのヘッダには、各シェルフグループのための１レコードが含まれている。

【０１５３】

【表６】

	シェルフグループタイプ（１バイト）	シェルフレコード番号（１バイト）	グループ内のシェルフ数（１バイト）	コメント（６４バイト）
01	0 = 未定義 1 = 銅 2 = ファイバー	このシェルフグループ内の第１のシェルフレコードのレコード数	この数はシェルフレコードの数を決めるため使用される	
02				
...	...	...	...	...
20				

【０１５４】
各シェルフグループは、偶数のＰＩＵ境界で始まり、１０台のＭＸＵを備えた交換機内に最大で２０台のＰＩＵが存在し、最大で２０個のシェルフグループが存在する場合がある。
ファイルの残りの部分は、以下のフォーマットの特定のシェルフ情報により構成される：
【０１５５】
【表７】

	タイプ	MXU	PIU	スタートスロット	スロット数	スタートポート	ポート数	PSLIビット
01								
02								
99								

8のアレイ

【０１５６】
上記のフィールドは以下の如く定義される：
タイプ（バイト）：　このフィールドは、このシェルフ番号に対し構成されたシェルフのタイプを示す。シェルフタイプ０は、シェルフが割り当てられていない場合を示す。
フィールドの残りは８のアレイである。その理由は、最悪の場合に最大で８個の非連続的な６４－ポートコネクタによってシェルフをサポートすることができるからである。
ＭＸＵ（バイト）：　このフィールドは、シェルフが属するＭＸＵを示す（２－１０）。
ＰＩＵ（バイト）：　このフィールドは、シェルフが属するＭＸＵ上のＰＩＵを示す（０は「Ａ」側、１は「Ｂ」側）。
スタートスロット（バイト）：　このフィールドは、ＭＸＵ－ＰＩＵ結合がサポートする第１のスロット番号を示す。
スロット数（バイト）：　このフィールドは、（スタートスロット番号で始まる）ＭＸＵ－ＰＩＵによって連続的にサポートされるシェルフ上のスロットの数を示す。
スタートポート（ワード）：　このフィールドは、スタートスロットの第１のポートをサポートする第１のポート番号を示す。
ポート数（ワード）：　このフィールドは、このＭＸＵ－ＰＩＵのシェルフに連続的にサポートされたポートの数を示す。
ＰＳＬＩビット（バイト）：　このフィールドは、このシェルフが接続されたＰＳＬＩで

作動状態にされるべきビットを示す。

【０１５７】

従来の交換機のポートグループ構造は、（アレイの数を増加させる点を除いて）変更を加えることなく、改良された交換機を十分にサポートすることができる。上記ポートグループ構造によって、エディタは論理的なＳＨ－ＳＬ－ＣＩの名前を物理的なポートに割り当てることが可能になる。ｐｇ－シェルフ、ｐｇ－第１－スロット、ｐｇ－バックプレーン－タイプ、ｐｇ－スロット、及び、平面的な旧式スロットとして周知の５種類の主要な構造がある。

【０１５８】

最初の３つの構造は、交換機のポートグループ毎に一つのアレイ要素を有する。各ポートグループは、その中に３２ポートを有するので、改良された交換機には３２０のポートグループがある（１０２４０／３２＝３２０）。最初の３２のポートグループがＭＸＵ１に存在することに注意する必要がある。上記のポートグループは、ＭＸＵ１がコンファレンス及びトーンポートに割り当てられたとき、エディタにとって非常に役に立つという訳ではない。これによって、２８８のポートグループが電話機ポート用に残される。

ｐｇ－シェルフ

ポートグループ毎に、ｐｇ－シェルフ構造は、ポートグループが存在するシェルフ番号を記録する。古い「Ｌ形」交換機の場合、シェルフ番号は値１２までしか到達し得ないが、ここに開示する改良された交換機の場合、この値は９９に達する。

ｐｇ－第１－スロット

ポートグループ毎に、ｐｇ－第１－スロット構造は、かかるポートグループ内で第１のポートがサポートするスロット番号を記録する。改良された交換機は、「Ｍ形」、「Ｌ形」及び１９インチ形ラック交換機と同一のスロット番号範囲を有する。

ｐｇ－バックプレーン－タイプ

ポートグループ毎に、ｐｇ－バックプレーン－タイプ構造は、このポートグループが存在するバックプレーンのタイプ（シェルフタイプ）を記録する。改良された交換機は、「Ｍ形」、「Ｌ形」及び１９インチ形ラック交換機のために生産された全ての形のシェルフをサポートする。

ｐｇ－スロット

ｐｇ－スロットアレイは、交換機内に存在し得るスロット毎に一つの要素を含む。そのサイズは、すべてのスロットが８段スロット（１０２４０／８＝１２８０）である最悪のケースを想定して決められる。スロットはポートグループ順であるので、８段シェルフの最悪のケースにおいて、ポートグループ毎に４つのスロットが割り当てられる。スロット毎に、スロットが利用可能であるかどうかが記録され、利用できない場合、スロットに形成されているボードのタイプが記録される。この情報は上記交換機に特有の情報であり、その理由は、上記交換機は上述の従来の交換機と同一の電話機ハードウェアをサポートするからである。

【０１５９】

スロットアレイは、たとえそのスロットが購入されたハードウェアによってサポートされないシェルフに存在している場合でも、交換機内に存在し得るスロット毎に一つの要素を有する。例えば、「Ｌ形」交換機は、最大で２４スロットを備えた１２段のシェルフを有する（１２×２４＝２８８）。しかし、１スロット当たり８ポートに２８８のスロット数を掛けると、２３０４ポートが得られる。完全に実装された「Ｌ形」交換機は、４キャビネット交換機内の全てのスロットを使用する訳ではないので、上記のポート数は多い。

【０１６０】

スロット構造において、スロット情報は、シェルフ順に配置される（シェルフ１用の２４スロット、シェルフ２用の２４スロット等）。スロット毎に、スロットが存在するポートグループ番号が格納される。このアレイは、改良された交換機用の最大９９段のシェルフをサポートするために拡張する必要があるが、或いは、変更しないままの状態でもよい。

【０１６１】

シェルフマップは、共通制御部のためにシェルフ１及び２を確保する場合がある。冗長性のない交換機において、シェルフ１は共通制御部であり、シェルフ３は第１の電話機シェルフである。これによって、最終的に冗長性のある交換機に改良する余地が残され、この場合、シェルフ１及び２は冗長な共通制御部シェルフであり、シェルフ３は第１の電話機シェルフのまま残される。

【０１６２】

データベースに適用され、保存された新しいシェルフ構成は、両方の同時のリブートを必要とする。両方の同時のリブートは、新しいシェルフマップが改良されるとき、既存の交換機に発生する事象に同期する。

性能が増強された集中ネットワーク交換機は、各回路ベースに全フレーム又は半フレームのいずれかの切換えモードで動作する。これによって、交換機は半フレーム切換えの場合に本質的な短いループ遅延の利点が得られると同時にＮＸ６４（ビデオ）接続のような全フレーム切換えを必要とする接続のためのフレームの一貫性を保証する。

【０１６３】

半フレーム切換えとは、平均的な入力から出力への遅延がフレームの２分の１の切換え機構である。切換え遅延は、接続に応じで０から１フレームの範囲で変わる。

全フレーム切換えとは、平均的な入力から出力への遅延が完全なフレームの１．５倍の切換え機構である。切換え遅延は、接続に応じで１から２フレームの範囲で変わる。

【０１６４】

ここに開示する性能が増強した集中ネットワーク交換機は、各切換え方式の利点を有する。従って、音声接続等は、通常半フレーム接続を用いて形成され、一方、ＮＸ６４接続等は、通常全フレーム接続を用いて形成される。全フレーム又は半フレーム動作は、接続制御レジスタワードの指定されたビット位置の定義されたデフォールト条件によって各接続ベースで制御される。デフォールト条件は、ハードウェアによって初期化される。即ち、周辺機器は、全フレーム又は半フレーム動作の何れが必要であるかを制御するので、周辺機器からシステムへの接続の際に、周辺機器の内容により定められるデフォールト条件が設定される。

【０１６５】

以下に半フレーム切換えをより詳細に説明する。図１１の（Ａ）及び（Ｂ）を参照するに、矢印は書込みポインタを示し、暗い領域は読み出し半球を示している。半フレームの条件において、サンプルＰＣＭデータは、到着すると直ぐに交換機の出力で得られる。実際的に半フレームモードは、１バッファ分の記憶空間、即ち、ポート毎に１バイトの記憶空間しかなくても情報メモリを処理する。従って、図１１の（Ａ）に示す如く、書込みポインタは、メモリ場所Ａ－０７００で半球Ａにあり、読み出しは、１フレーム幅のバッファを表わすメモリ場所Ｂ－０７００とＡ－０６９９の間の半球を構成するアドレス空間内で進む。換言すれば、読み出しは、ＭＸＵに格納された最後の１０２４バイトにおいて現在の書込みポインタ位置から逆方向に進行する。図１１の（Ｂ）の例によれば、アドレスポインタがＢ－０３００で半球Ｂにあるとき、読み出し動作は、Ａ－０３００からＢ－０２９９までの半球で行われる。

【０１６６】

一方、全フレーム切換えの場合、所定のサンプルが交換機に到着した時から交換機の出力に得られる時までに０乃至１フレームの遅延がある。このことは、図１２の（Ａ）及び（Ｂ）に示す如く、書込みポインタと、読み出し半球の前縁間のギャップで表わされている。従って、図１２の（Ａ）に示す如く、アドレスポインタが例えばＡ－０７００にあるとき、読み出しは、前のフレームに受信された情報を格納するメモリ空間を表わす反対側の半球、即ち、Ｂ－００００からＢ－１０２３を構成するアドレス空間だけに生じる。従って、読み出しは、ＰＣＭデータの全フレームが受信されるまで始まらない。同様に、アドレスポインタが半球Ｂを構成するフレームにある場合の図１２の（Ｂ）の例において、読み出しは、フレームがメモリに完全に書き込まれるまで始まらないので、読み出しは、アドレスＡ－００００からＡ－１０２３として指定された前のフレームで始まる。

【０１６７】
従来の交換機は半フレーム又は全フレーム構成の一方だけを使用する。上述の従来の交換機では、半フレームの切換えが使用されている。この構成は、短い遅延特性と、情報メモリ入力と接続メモリ出力の間のスキューによる転送及び処理の遅延を補償する。しかし、従来の交換機は、広帯域の基本的性能が得られないという欠点がある。
【０１６８】
広帯域の基本的性能を実現するため、上述の混成モード動作が実装されている。ＮＸ６４及び全フレーム動作を必要とする他の性能を得るため、ここに開示する集中ネットワーク交換機は、二つのフレームを許容する。即ち、各ポートのＰＣＭデータに対し、夫々が１フレーム分の長さの二つの専用記憶場所がある。
バッファ記憶は、半フレームだけのシステムの如くポート資源毎に１サンプルではなく、ポート資源毎に２サンプルを格納し得るので、半フレーム又は全フレーム動作の何れか選択されているか、即ち、読み出される周辺機器に基づいて、格納されたサンプルの中の何れを読み出すかを識別することが必要である。従って、以下の規則が考えられた。
【０１６９】
ソースアドレスは、読み出される情報源として定義される。書込みポインタは、書き込まれるメモリ内の位置である。アドレスのＭＳＢ（最上位ビット）は、半球、即ち、二つのフレームバッファの中の第１又は第２のフレーム；つまり、アドレスが、第１の１０２４バイト（１フレーム長）、或いは、第２の１０２４バイト（１フレーム長）の何れのメモリ空間内にあるかを指定する。換言すれば、アドレス0000000000 - 01111111111 は、第１のメモリ位置、即ち、０から１０２３を表わす。アドレス 1000000000 は、メモリ位置１０２４と、第２のフレーム長バッファの先頭を表わす。かくして、第１及び第２のフレーム長バッファの何れかをとるには、ＭＳＢを変えるだけでよい。従って、ソースアドレスが書込みポインタより小さいとき、現在の書込み半球の中の最新のサンプルを読み出すことができる。書き込まれた半球とは反対側の半球のサンプルを読み出すためには、ソースポインタのＭＳＢを変えるだけでよい。
【０１７０】
メモリバッファは、２フレーム、従って、ソースアドレス毎に２サンプルを格納するよう設計されているので、半フレーム動作が選択されたとき、適当な、即ち、書込み半球内のソースアドレスに対応する最新に受信されたサンプルを選択することが必要である。上記の動作を確実に行うため、集中ネットワーク交換機は、以下の規則に従って動作するよう構成されている。
【０１７１】
半フレームモードで動作しているとき、書込みポインタの最上位ビットの現在の値は、ＭＳＢを除いたソースアドレスが、ＭＳＢを考慮しない書込みポインタよりも小さいとき、かつ、そのときに限り、ソースアドレスとして使用される（即ち、ソースポインタは書込み半球から選択される）。しかし、ＭＳＢを除いたソースアドレスの現在の値がＭＳＢを考慮しない書込みポインタよりも大きいとき、ＭＳＢは切換えられる。
【０１７２】
従って、書込みポインタがＡ－７００である場合の図１１の（Ａ）をもう一度参照するに、ソースアドレスがＡ－６９９とＡ－００００の間にあるとき、ＭＳＢの現在の値が使用される。しかし、書込みポインタがＡ－７００である場合、ソースアドレスがＢ－１０２３とＢ－７００の間にあるとき、ＭＳＢは切換えられる。
【０１７３】
上記の実施例を図１３及び１４を参照して以下に説明する。図１３は本発明の教示に従うタイムスロット交換器の略系統図である。タイムスロット交換器は、専用ポートに出力されるべき各ポートからのソースデータを格納する情報メモリ１２１を含む。タイムスロット交換器は、ポート－ポート接続データを格納する接続又はアドレスメモリ１２３を更に有する。タイムスロットカウンタ１２５がメモリにタイムスロット情報を供給するため設けられている。

【０１７４】
各ソースポートは、切換えフレーム内の固定タイムスロットを占有することに注意が必要である。各タイムスロットは、固有のメモリアドレスに関連する。従って、タイムスロットはメモリアドレスにマップされ、タイムスロットカウンタはこの目的のために使用される。１フレームの進行中に、各ソースポートは、情報メモリ１２１内の固有のアドレスに書込む。情報メモリは、各フレームにポート毎に、情報サンプルの書込み及び情報サンプルの読み出しの両方で利用できるように設計されている。
【０１７５】
同様に、ディスタネーションポートの各出力は、固有のタイムスロットを占有する。出力タイムスロットは、出力接続ルックアップメモリ内の物理アドレスに関連する。タイムスロットカウンタは、出力タイムスロットを接続メモリセルにマップする。情報メモリはソースポートからのデータサンプルを含むが、接続メモリは出力ポート用のソースアドレスを含む。１フレームの進行中に、接続メモリの出力データは、アドレスとして情報メモリに供給される。接続メモリへの入力は、ホスト呼プロセッサによって確定される。
【０１７６】
例えば、タイムスロット１２及び２５に割り当てられたポートがその間の通信を可能にするため相互接続されていると想定する。従って、タイムスロット１２の間に、タイムスロット１２のポートからの情報が情報メモリに書き込まれ、接続メモリはタイムスロット２５にマップされたアドレスに格納された情報を情報メモリの読み出しアドレスとして指定する。
【０１７７】
別の説明をすると、タイムスロット１２で、接続メモリは、そのメモリセル１２の内容を読み出しアドレスとして情報メモリに与える。この場合、その読み出しアドレスはアドレス２５である。かくして、情報メモリはそのメモリセル２５の内容をタイムスロット１２で発生する出力データストリームに読み出す。タイムスロット２５で、接続データが１２である点を除いて上記の処理が繰り返される。この方法によって、タイムスロット１２はタイムスロット２５からソースデータを受け、タイムスロット２５はタイムスロット１２からソースデータを受ける。
【０１７８】
半フレーム切換えには、各ソースタイムスロットに対し情報メモリ内に一つのメモリセルだけが必要とされるので、メモリ場所は、フレーム毎に新しいデータで上書され、出力接続は、各ソースから最新のデータを常に受ける。全フレーム切換えには、各ソースタイムスロットに対し情報メモリ内に少なくとも二つのセルが必要とされるので、メモリセルはタイムスロット当たり二つのバッファにグループ化される。情報サンプルが一方のバッファに書き込むと同時に、出力接続はもう一方のバッファを読み出す。フレームの最新のタイムスロットの入力の到達と、次のフレームからの最初のタイムスロットの間の境界で、入力データと出力データのために機能するバッファが切換えられる。
【０１７９】
全フレーム切換え配置の効果は、１フレームに発生された全てのソースデータを単一の個別のユニットとして出力接続機構に与えることである。従って、Ｎがソース及びディスタネーションのタイムスロットの数を表わす場合に、交換機のデータは、６４Ｋ帯域幅毎のＮ個のチャンネルからＮ×６４Ｋ帯域幅の単一チャンネル、又は、それらのあらゆる結合に与えられると見なされる。この属性は、多数のタイムスロットからなり、種々の多重化レートの端末装置から至るチャンネルを使用する応用に必要である。即ち、全フレームモードは、種々の多重化レートを使用し、少なくとも一つのタイムスロットを単一の論理的な識別子として接続する装置を含むあらゆる接続に対しても使用される。
【０１８０】
本発明の集中ネットワーク交換機は、半フレーム又は全フレームモードのいずれのモードでも動作する能力を有するので、図１４の回路は、半フレームモードの際に最新のサンプルの読み出しを保証するよう接続アドレスのＭＳＢを適切に設定するために使用すること

が可能である。
図１４は接続メモリ１２３と情報メモリ１２１の相互接続回路を詳細に示す図である。接続メモリの各ソースアドレスの１ビットは、動作モードフラグビットを構成する。例えば、「０」ビットは半フレームモードを指定し、一方、「１」ビットは全フレームモードを指定する。全体で、ソースアドレスは１０ビットからなり、１ビットは動作モードポインタである。動作モードポインタXは、関数レジスタ１３１に入力される。関数レジスタは大小比較器１３３からの出力Yと、書込みポインタ１３５から書込みアドレスのＭＳＢであるZを受ける。関数レジスタは、以下の関数テーブルに基づいて出力Fを生ずる。
【０１８１】
【表８】

X	0	0	0	0		1	1	1	1
Y	0	0	1	1		0	0	1	1
Z	0	1	0	1		0	1	0	1
F	0	1	1	0		1	0	1	0

【０１８２】
かくして、半フレームモードが論理状態「０」である動作モードビットＸによって指令され、読み出しソースポインタがＹビットを論理「１」に設定する書込みポインタアドレスよりも大きい場合、関数ビットＦは書込みポインタのＭＳＢのインバースである。関数ビットＦは、情報メモリの読み出しアドレスのＭＳＢになる。従って、書込みポインタのＭＳＢのインバースへの関数ビットの設定によって、読み出しポインタが存在する半球とは反対側の半球に読み出しアドレスが置かれる。
【０１８３】
論理状態「１」を仮定する動作モードポインタにより指令された全フレームモードにおいて、関数ビットＦは、常に、書込みポインタのＭＳＢであるＺのインバースである。このことは、全フレームモードの場合に、読み出しフレームは、常に、書き込まれていないフレーム幅バッファ内にあることから明らかであろう。
融通性のあるシリアルパケット転送
上述の如く、ＰＣＭの信号送出に加え、集中ネットワーク交換機は、ディジタルチャンネルを介してディジタルデータを伝送する。ディジタルデータには、適当なシステムの動作に必要とされる制御情報及びその他のデータが含まれている。一例において、周辺装置は、利用者に英数字情報の可視表示を提供するＬＣＤディスプレイを含む。従来の交換機において、ディジタルデータの転送は、固定的なＳＰＴ（シリアルパケット転送）チャンネルを介して行われる。
【０１８４】
本発明の特徴によれば、ポートに一つずつのＳＰＴチャンネルは伸縮性がある。より詳細には、従来の配置の場合、各チャンネルは同期しているので、即ち、メッセージストリームは中断することはない。その上、バッファサイズは、最大のメッセージ長を保持するよう予め定められている。このバッファサイズは、最大のメッセージ長を定める周辺機器タイプに基づいて動作中の処理ユニットよって設定される。かかる従来のシステムの欠点は、当業者には明らかである。
【０１８５】
本発明の改良されたＳＰＴデータ伝送システムは、図１５の（Ａ）及び（Ｂ）と図１６を参照して以下の説明によって理解されるであろう。本発明の集中ネットワーク交換機の改良されたＳＰＴシステムは、周辺装置へ、及び、周辺装置から中央処理装置へのデータ転送のための融通性のある手段を提供する。より詳細には、以下に説明される改良されたＳ

ＰＴ機構は、交換機の中央処理ユニットと周辺装置の間でメッセージベース情報を転送することができるシステムを提供する。この機構は、統計的に分散したメッセージを転送するため毎秒８キロビットの固定レート搬送チャンネルを採用する。２、４又は８チャンネルのグループが毎秒１６、３２、又は６４キロビットの搬送チャンネルを形成するため統合される。

【０１８６】

上記の効果を得るために、搬送レートとは無関係に、二つの第２の伸縮性記憶装置を提供するバッファ装置が各チャンネルに設けられている。高いレートのチャンネルへの搬送チャンネルの統合は、中央処理装置の制御下でプログラマブルに登録される。

従って、改良されたＳＰＴシステムは、複数の端末装置から可変性データレートで統計的に発生するデータを転送、バッファリングすると共に、所定の論理チャンネルに帯域をプログラマブルに割り当てることが可能な機構を提供する。

【０１８７】

伸縮性のある記憶装置は環状バッファと見なされる。多数のかかる環状バッファは、図１５の（Ａ）及び（Ｂ）に図的に表わされたより長いラインバッファ内にある。バッファは組に分類される。各バッファの組は、バッファサイズにメンバーのバッファ数を乗算した一定の積を有する。組の中の各論理バッファは、実際に採用された物理バッファの２倍のサイズとして見なされる。このことは、図１５の（Ａ）及び（Ｂ）を参照してより良く理解できる。

【０１８８】

図１５の（Ａ）及び（Ｂ）では、バッファにデータを書き込むためのハードウェアによって使用される現在位置として書込みポインタが定義されている。ヘッドポインタは、ハードウェアによって受信された最後の完全なメッセージの終わりに対応するバッファ内の位置である。テールポインタは、中央処理ユニットによって読まれた最後の位置に対応するバッファ内の位置である。バッファは、図１５の（Ａ）に閉じたループとして示されている。

【０１８９】

図１５の（Ａ）に示された初期条件において、ヘッドポインタ及びテールポインタは同じ位置にあり、書込みポインタは次のバッファメモリセルにある。メッセージが受信されると、書込みポインタはループに沿って動く。図１５の（Ａ）において、このことが反時計回りの矢印で示されている。メッセージが完全に受けられると、書込みポインタは受信した最後のメッセージの終わりの時点で図１５の（Ｂ）に示された位置にあるので、ヘッドポインタがその書込みポインタの位置に設定される。中央処理ユニットはかかる事象を通知される。

【０１９０】

メッセージにはメッセージ長フィールドが含まれる。図１６を参照するに、周辺機器はスタートフラグを送出した後（ステップ１４１）、中央処理ユニットにメッセージの長さを示す信号を送出する（ステップ１４２）。メッセージ長が許容できるならば（ステップ１４３）、メッセージはバッファに送られる（ステップ１４４）。全メッセージが受信された後（ステップ１４５）、ヘッドポインタは、上述の如く、書込みポインタの位置に更新され（ステップ１４６）、中央処理ユニットは通知される（ステップ１４７）。通知の認識後（ステップ１４８）、中央処理ユニットは現在のヘッドポインタ、即ち、最後に受信されたメッセージの終わりに対応するバッファ内のポイントまでバッファを読む（ステップ１４９）。この処理が進行するのに従って、テールポインタは中央処理ユニットで更新される。

【０１９１】

システムは、中央処理ユニットが周辺機器と通信するとき、同様の方法で動作する。この場合のヘッドポインタは、中央処理ユニットによって書かれた完全なメッセージの最後のポイントである。テールポインタは、バッファから周辺機器に読み出された最後の位置である。

かくして、バッファは効率的に伸縮する。即ち、従来の集中交換機の場合のように、読み出し動作が開始できる前に全バッファを充填するのに十分な時間を待機する必要はない。これは、完全なメッセージが受信されると即座にヘッドポインタを書込みポインタに更新させ、かつ、ヘッドポインタが更新されると即座に更新されたことを中央処理装置に通知することによって実現される。中央処理ユニットは、ヘッドポインタの更新の通知を受けると即座にメッセージを読み出し始める。多数のメッセージを各環状バッファに格納することができ、伝送は読み出しと同時に行われる場合がある。このことは、従来の交換機の場合には、不可能である。

【０１９２】

上述の如く、バッファは可変バッファ長に影響を与えるため組に分類される。バッファの長さは、少なくともチャンネルの伝送レートの２．０４８秒倍に対応するよう初期設定される。かくして、毎秒１キロバイトのチャンネルに対し、バッファ長は少なくとも２．０４８Ｋバイトである。毎秒２キロバイトのデータレートに対し、バッファ長は少なくとも４．０９６Ｋバイトに設定される。同様に、毎秒４Ｋバイトのデータレートに対し、バッファ長は少なくとも８．１９２キロバイトであり、一方、毎秒８Ｋバイトのデータレートに対し、バッファ長は少なくとも１６．３８４キロバイトである。

【０１９３】

その上、バッファの組は、３２ポートからなるポートのグループ化に基づいている場合がある。データレートが毎秒１．０２４キロバイトの場合、各々が２．０４８Ｋバイトの長さを有するバッファが３２個存在する。組のデータレートが２倍された毎秒２．０４８キロバイトであると仮定すると、この組は、各々が４．０９６Ｋバイトからなる１６のバッファとして再構成される。同様に、データレートが毎秒４．０９６キロバイトの場合、バッファの組は、各々が８．１９２Ｋバイトの長さの８個のバッファとして構成される。データレートが毎秒８．１９２キロバイトまで増加されたと仮定すると、この組のバッファは各々が１６．３８４Ｋバイトの長さの４個のバッファと見なされる。

【０１９４】

上記からバッファの伸縮性によって、バッファは入力するデータのデータレートに依存する可変長のバッファに再構成され得ることが分かる。

本発明の改良されたＳＰＴシステムの他の特徴により、バッファはファントムな形に見える。即ち、２Ｋバッファは２つの２Ｋバッファとして現われ、４Ｋバッファは二つの４Ｋバッファとして現われる等である。これによって得られる特徴と利点は、以下に説明する通りである。

【０１９５】

２５０バイトのメッセージを想定する。更に、２０４８バイトのバッファを想定する。書込みポインタは、チャンネルに割り当てられたバッファのメモリセルアドレス２０００にあると想定する。バッファは２０４８バイト幅であり、アドレス２０００を含むバッファに４８バイトを書込み得ることに注意が必要である。ここに開示された改良された集中ネットワーク交換機の以下の特徴に対し、残りの２０２バイトは、バッファのアドレス０から２０１にラップアラウンドされる。この動作はコンピュータが境界を認識することを必要とするので、コンピュータの作業を増加させ、コンピュータの処理を低下させる。

【０１９６】

この問題を解決するため、集中交換機には、コンピュータがアドレス２０４８－４０９５をメモリセル位置０－２０４７として認識する機構が含まれている。この機構は以下の如く動作する。

全てのアドレスに対し、上位１ビットがバッファサイズに依存して無視される。例えば、アドレス０－２０４７を表わす２０４８バイトバッファを想定する。０から２０４７のアドレスと、２０４８から４０９５のアドレスの２進表現における相違は、アドレスのＡ１１位置におけるビットの値である。ビットＡ１１が０であるとき、そのアドレスは、アドレス０－２０４７を指定する。しかし、ビットＡ１１が１であるとき、そのアドレスは、アドレス２０４８－４０９５を指定する。

【０１９７】
従って、かかる集中ネットワーク交換機のシステムは、データアドレスの最上位ビットを無視するよう動作する。換言すれば、中央処理装置によって境界は認識されない。上記の例において、２５０バイトのメッセージが２０４８バイトバッファに書き込まれるとき、アドレス２０００－２２５０が与えられる。しかし、ハードウェアは書込みポインタのビットＡ１１を無視する。
【０１９８】
従って、アドレスが２進で（ＬＳＢ）000000000001（ＭＳＢ）である２０４８に達するとき、ＭＳＢの「１」は無視される。直接的な影響として、書込みポインタは、中央処理装置が境界を認識する必要性に伴って効率的にラップアラウンドを発生させるアドレス０を指定する。即ち、２０４８バイトバッファは、システムに対しそのサイズの２倍のバッファとして見なされる。
【０１９９】
バッファが４０９６バイトのメモリとして構成されるとき、アドレスのビットＡ１２はシステムによって無視される。同様に、バッファが８１９２バイトのメモリとして見なされるとき、アドレスのビットＡ１３は無視される。１６３８４バイトバッファの場合、ビットＡ１４は無視される。
上記の配置により、長さ６４Ｋバイトのバッファの組は、データレートに基づいて２Ｋ、４Ｋ、８Ｋ又は１６Ｋのいずれかのバッファとして構成することが可能になり、中央処理装置は効率的、かつ、バッファの境界とは無関係に動作し得るようになるので、入力するメッセージは、そのチャンネルに割り当てられたバッファのメモリ空間内のあらゆるポイントから始めることが可能である。このことは、浪費されたバッファ空間はなく、読み出し動作はバッファのあらゆるポイントから開始し得ることを意味する。これは、読み出し動作が効率の悪さを伴う固定バッファ長を必要とするバッファの先頭から始まる従来の交換機とは対照的である。
【０２００】
集中ネットワーク交換機は、バックプレーンバスがスロット識別子を与えないとき、共通制御部の異なる中央処理装置ユニットを識別し得る機構を更に有する。好ましい一実施例において、中央処理装置ユニットの識別は、ＶＭＥバックプレーン上で行われる。ＶＭＥは従来より一般的なアービテーションであり、バーサモジュールユーロカード(Versa Module Eurocard) の略である。ＶＭＥは、通常、集中交換機制御装置用のシェルフ外のＣ（共通）バスである。Ｃ－バスへの接続には、図３に示す如く、ＣＰＵボードと、メモリと、ＶＣＳＵ（Ｃ－バス　サービスユニット）が含まれる。ＶＣＳＵは、呼処理装置と電話機制御ユニットの間の通信インタフェースを提供する。
【０２０１】
図２を参照して説明した如く、回路ボードは、シェルフに含まれる物理スロットに差し込まれている。シェルフの一つは、呼処理ユニット及び電話機制御ユニット用の共通機器部シェルフである。Ｃ－バスは、呼処理ユニット用スロットのバックプレーン上にあり、共通制御部の設置を助ける。
従来の交換機において、各物理スロットは、固有の機能を表わす。従って、スロット識別子は、スロット内に設けられたボードの機能を示す。例えば、図２に示す如く、共通機器部シェルフの呼処理ユニット部のスロット３、５、及び７は、ＶＣＰ（仮想中央処理装置ユニット）の専用である。集中ネットワーク交換機が単一の中央処理ユニットで実現可能であっても、３台の間で処理が共有される３台の中央処理ユニットを用いて機能する場合に利点があるので、３スロットが中央処理ユニット用に設けられている。かくして、システムのハードディスク装置を制御するマスターｃｐｕ又はＭＰＵ（マスタープロセッサユニット）と、電話機制御システムを制御する電話機ｃｐｕ又はＴＰＵ（電話機処理ユニット）と、上述のＣＡＰ／ＲＡＰ（呼処理及び資源プログラム）を実行する補助ｃｐｕ又はＡＰＵ（補助プロセッサユニット）が設けられてもよい。
【０２０２】

しかし、ＶＭＥ形の共通バスの場合、スロット識別子は設けられていない。換言すれば、シェルフスロットは特定の機能に固有に識別されることがない。各ｃｐｕに特定の機能を割り当て、特定の機能の識別子をｃｐｕ内にプログラムすることが可能である。しかし、上記の方法には、ｃｐｕの故障時に、そのｃｐｕの機能がシステム内に共存するｃｐｕの中の一つに転送されないという欠点がある。

【０２０３】

本発明の特徴により、各ｃｐｕがシステムのｃｐｕのいずれか少なくとも１台として機能し得るようになる。換言すれば、３ｃｐｕシステムの場合、各ｃｐｕは、ＭＰＵ、及び／又はＴＰＵ、及び／又はＡＰＵとして動作する。本発明のこの特徴により、各ｃｐｕは、以下に説明する独特のｃｐｕ識別システムに基づいてシステム初期化時に自動的に識別される。ｃｐｕ識別は、あらゆるスロット配置とは無関係に行われ、識別情報はｃｐｕにプログラミングされない。この結果、ｃｐｕは予め割り当てられたシェルフスロットのいずれかに取り付ける必要はなく、各ｃｐｕはＭＰＵ、ＴＡＵ、又はＡＰＵの何れとしても動作することが可能である。

【０２０４】

本発明の上記の面に従って、ｃｐｕ（Ｐ１）は関連付けられた資格を有する。例えば、ＭＰＵはシステムのハードドライブ装置を制御するよう構成してもよい。システムには１台のハードドライブ装置だけがあると仮定する。ハードドライブ装置への接続は、資格として指定することが可能である。初期時に、全てのプロセッサは、ＭＰＵ（ｐ１）形のｃｐｕであるよう意図されている。しかし、二つの理由によってこの意図は制限される。最初に、以下に記載された疑似コードのライン９で、処理装置は資格を得る（即ち、ハードドライブ装置を取り付ける）必要がある。次いで、以下の疑似コードのライン１０に示すように、ｃｐｕが先にＭＰＵ（即ち、ｐ１）ではなかった場合、Ｐ１の位置を得るために遅延を生じ、先に識別されたＭＰＵにそれ自体を識別するための時間が与えられる。かくして、システムがリブートされたとき、ＭＰＵは他のｃｐｕから邪魔されることなく、全体的に初期化する。

【０２０５】

処理装置の識別のための資格は必要ではない。Ｐ１形ｃｐｕに関連付けられた資格がない場合を想定する。ｃｐｕが先にＰ１形ｃｐｕであった場合、そのｃｐｕは、他のｃｐｕがＰ１形ｃｐｕになるために競合を始める前に遅延があるので競合に勝つ。一方、いずれの処理装置もＰ１形処理装置ではない場合、競合が発生し、Ｐ１形処理装置になれる処理装置の中の１台が競合に勝つ。次のリブート時に、Ｐ１形の処理装置は、他のｃｐｕがＰ１形処理装置になるため競合を開始する前の遅延に起因してＰ１形処理装置になるための競合に常に勝つという事実により、その位置を維持する。

【０２０６】

一般的に競合の際、以下の２事象が生じるに相違ない。第一に、同一の資格を有する少なくとも２台のｃｐｕが存在する。上記ｃｐｕの一方だけが資格を有する場合、ｃｐｕは自動的にＰ１形ｃｐｕと呼ばれる。第二に、前の識別子（例えば、ＭＰＵ、ＴＰＵ、又は、未定義）が同一である少なくとも２台のｃｐｕが存在する。

【０２０７】

多数の処理装置、即ち、マルチプロセッサを識別する本発明の特徴を実現するため、以下のハードウェア部品が実装される。第一に、マルチプロセッサ用の共有ＲＡＭが設けられている。共有ＲＡＭはバス上の全プロセッサが利用し得るよう固定位置に形成される。第二に、プロセッサ識別用の初期化されたハードウェアレジスタが設けられている。このレジスタは同様にバス上の全プロセッサが利用し得るよう固定位置に形成される。第三に、各プロセッサは、それ自体で常駐（即ち、不揮発性）メモリを有する。

【０２０８】

初期化時に、ＭＰＵは共有メモリを初期化し、それを０に設定する。ＭＰＵの初期化後、初期化されたハードウェアレジスタは、００１に増加される。メモリが００１に増加したとき、残りのプロセッサは、ターンオンし、順々にＴＰＵ及びＡＰＵの位置であることを

想定する競合を開始する。次にターンオンするｃｐｕは、ＴＰＵと呼ばれ、最後にターンオンするｃｐｕは、ＡＰＵと呼ばれる。

【０２０９】

先に指定されたＴＰＵがリブート時に同一の状態であるという仮定を保証するため、システムは、前にＡＰＵであったｃｐｕに短い遅延を組み込むよう動作する。

ｃｐｕは、その不揮発性メモリに格納されたコートによって最後の割り当てが分かる。従って、競合は一定化し、先に指定されたＴＰＵが常に勝つ。このことは、前のＴＰＵは各リブートの際にその位置にあるという仮定を保証する。その上、前のＡＰＵは、ＴＰＵが除去された場合にはＴＰＵの位置にあり、前のＴＰＵとＭＰＵの両方が除去された場合にはＭＰＵの位置にあるという仮定を保証することが可能である。

【０２１０】

一般的に、本発明の改良された集中ネットワーク交換機は、相対的な位置情報（即ち、スロット番号）を提供しないバス上のプロセッサを単独、かつ、矛盾なく識別する。矛盾のないパターンに基づくプロセッサの識別子の動的な再割り当てを可能にさせる。これにより、プロセッサボードは、ハードで符号化された構成を用いることなく、バスからの取外し、及び、取付けが可能になる。少なくとも一つのプロセッサボードに故障がある場合、このシステムによれば、別のプロセッサが次の初期化時に故障中のプロセッサを補償する。各プロセッサを別々に識別することにより、プロセッサ間で簡単なタスクの分配を行うことが可能になる。各プロセッサを矛盾なく識別することにより、各プロセッサを別個にデバッグすることが容易になる。例えば、インサーキットエミュレータは、次のバスの初期化時に同一のプロセッサとして信頼性高く識別される特定のプロセッサに取り付けることが可能になる。

【０２１１】

その上、上記特有のシステムは、各プロセッサに局部的な資源としての資格を与えることを可能にする。例えば、大容量記憶装置を有するプロセッサだけをＭＰＵ又はプロセッサ番号１（Ｐ１）として識別することが可能である。これによって、タスクの分配を簡単にさせるため数種の資源を特定のプロセッサで利用することが可能である。

【０２１２】

上述の如く、本発明の特徴のためのハードウェア構成部品は、（１）バス上の全プロセッサからアクセスすることが可能な固定位置にある共有ＲＡＭと、（２）バス上の全プロセッサからアクセスすることが可能な初期化された固定位置にあるハードウェアレジスタと、（３）各プロセッサ上の常駐、即ち、不揮発性メモリとを含む。

【０２１３】

バスが初期化されたとき、バス上の各プロセッサは、固定パターンに従って矛盾なく識別される。例えば、バス上に２台のプロセッサがあるとき、一方は、ＭＰＵ（又は、一般的にＰ１）プロセッサとして常に識別され、他方はＴＰＵ（又は一般的にＰ２）プロセッサとして識別される。補助プロセッサがバスに追加されるとき、それらは、P_{n+1} として識別され、ここで、ｎは既にバス上にあるプロセッサの数を表わす。P_n が取り外されたとき、全プロセッサ P_m（ここで、ｍ＞ｎである）は、次の初期化時に P_{m-1} になる。その上、あらゆるプロセッサは資格機能を有する。例えば、Ｐ３は大容量記憶装置、即ち、クォリファイ（Ｐ３）＝マスストレージである。

【０２１４】

上記のハードウェアによる実装は、以下の疑似コードに使用される関数及び手続きによって実現される。

Qualify(processor number)（クォリファイ（プロセッサ番号））は、現在のプロセッサがそのプロセッサの規準に一致するとき真である。一致しない場合、この関数は偽を返す。

【０２１５】

PreviousId()（前のＩｄ（））は、プロセッサの不揮発性メモリから現在のプロセッサの前のＩＤ（即ち、Ｐ１、Ｐ２、Ｐ３等）を返す。

Store(processor number) （格納（プロセッサ番号））は、プロセッサ番号をそのプロセッサの不揮発性常駐メモリに格納する。
Signal(semaphore number) （信号（セマフォー番号））は、特定のプロセッサに対するセマフォーが巧く設定された場合、真を返す。次のプロセッサは、継続する前に第１のプロセッサが「進め」を合図するのを待つ。この時間中、プロセッサＰ１が全ての共有資源を初期化するのに適当である。Ｐ１に対するセマフォは、少なくとも三つの値；未設定、設定、及び、「進め」を含むことが可能な初期化されたハードウェアレジスタである。
【０２１６】
Test(semaphore nuber) （テスト（セマフォー番号））は、そのプロセッサに対するセマフォーが設定されている場合に真を返す。セマフォーが設定されていない場合、偽を返す。
Delay() （遅延（））は、各プロセッサの立ち上がり時間の小さな変動を補償する短い遅延を発生する。
【０２１７】
上記の関数及び手続きを用いて、以下の疑似コードが実現される。

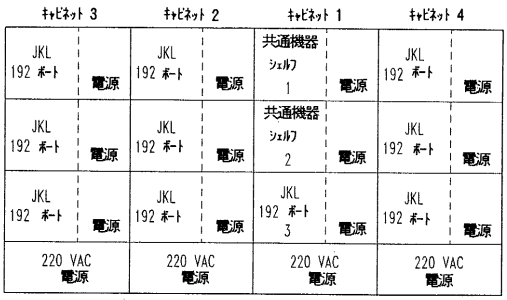
```
1.  processor-number <- 0
2.  processor-identified <- false
3.  while (processor-number < MAXIMUM-PROCESSORS) and
(not processor-identified)
4.  begin
5.  processor-number <- processor+1
6.  if processor-number then
7.  while (not Test(goahead))
8.  wait
9.  if Qualify(processor-number) then   10.  if PreciousId()/= processor-nuber t
hen   11.   Delay()
12.  ??? if Signal(processor-number) then   13.  processor-identified <- true
14.  StoreId(processor-number)
15.  end
16.  if processor-number=1 then
17.  initialize shared memory
18.  Signal(goahead)
```

上記の説明により、バスの初期化時に最初に初期化されるプロセッサがＰ１である場合、補助プロセッサは、（バス上に残され、故障していないと仮定するならば）それらの前の識別子に対応してＰ２、Ｐ３等として初期化される。
【０２１８】
しかし、例えば、Ｐ１が取り除かれた場合、上記の如く動作は進行し、バス上の残りのプロセッサはターンオンを開始する。かくして、残りのプロセッサは最初にターンオンするため競合する。最初にターンノオンしたプロセッサは、Ｐ１プロセッサになり、次にターンオンしたプロセッサは、Ｐ２プロセッサになり、以下同様に続く。
【図面の簡単な説明】
【図１】従来の集中ネットワーク交換機のキャビネット及びシェルフの割り当てを示す図である。
【図２】従来の集中ネットワーク交換機の共通装置のシェルフのスロット割り当てを示す図である。
【図３】従来の冗長に構成された集中ネットワーク交換機の共通制御部アーキテクチャを示す図である。
【図４】従来の集中ネットワーク交換機の電話機バスアーキテクチャの図である。
【図５】本発明の集中ネットワーク交換機のブロック系統図である。
【図６】本発明の教示による電話機シェルフとＭＸＵの間の相互接続配置を示す図である

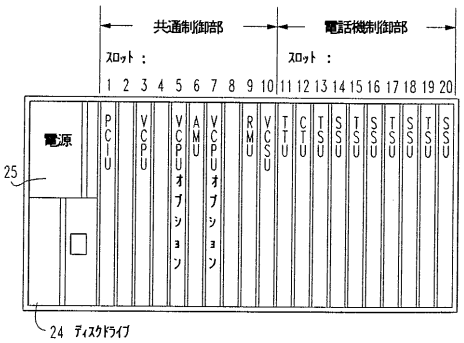
。
【図７】本発明の教示による電話機シェルフとＭＸＵの間の他の相互接続配置を示す図である。
【図８】本発明の教示による電話機シェルフからＭＸＵへの他の相互接続配置を示す図である。
【図９】ＰＬＳＩのブロック系統図である。
【図１０】ＰＩＵのブロック系統図である。
【図１１】（ａ）及び（ｂ）は２フレーム長に一致する連続的なバッファからの半モード読み出しの説明図である。
【図１２】（ａ）及び（ｂ）は２フレーム長に一致する連続的なバッファからの全モード読み出しの説明図である。
【図１３】タイムスイッチのブロック系統図である。
【図１４】タイムスイッチの詳細なブロック系統図である。
【図１５】（ａ）及び（ｂ）は本発明の教示によるＳＰＴ信号発出用の適合性のあるバッファの書込み及び読み出しの説明図である。
【図１６】本発明の教示によるＳＰＴメッセージ読み出しのフローチャートである。
【符号の説明】
２４　ディスクドライブ装置
２５　電源
４１，４２，４４，４５　電話機バスツリーのレベル
４３　電話機周辺ユニット
４６　ＣＯＤＥＣ
４７　トリステートドライバ
５１　周辺機器カード
５２　ポートグループバス
５４，６２　ポートグループケーブル
５５，６３，７１，７５，８４，８５，８６　ＰＳＬＩ（周辺機器シェルフリンクインタフェースユニット）
５６，６７　ＰＩＵ（周辺機器インタフェースユニット）
６１　電話機シェルフ
６４　送信バス
６５　受信バス
６８　ＰＩＵペア
６９，69_1，69_2，．．．，69_{10}　ＭＸＵ（マトリックススイッチングユニット）
７２，７３　Ｊ形シェルフ
７４　Ｈ形シェルフ
８１，８２，８３　遠隔位置
９０　チャンネルフォーマットメモリ
９１　タイムスロット比較器
９２　伝送シリアル－パラレル変換器
９３，９５，１０２４　マルチプレクサ
９６　データバッファ
９７　診断／制御マイクロコントローラ
９８　データバッファ
１２１　情報メモリ
１２３　接続メモリ
１２５　タイムスロットカウンタ
１３１　関数レジスタ
１３３　大小比較器

１３５　書込みポインタ
９００　ポートグループバッファインタフェース
９０１　アドレス指定可能なラッチ
９０３　ラッチ入力シフトレジスタ
９０４　アセンブリバッファ
９０５　高速リンク
９０７　ＰＳＬＩクロック再生ロジック
１０１０　リンク同期バッファ
１０１２　Ｐｃｍ同期バッファ
１０１４　信号送出同期バッファ
１０１６　タイムスロットカウンタ
１０１８　クロック／フレーム再生ロジック
１０２０　平衡差動ドライバ
１０２２　ラッチ
１０２８　調停ロジック
１０３０　ＰＩＵマイクロコントローラ
１０４４　リンク動作禁止押しボタン

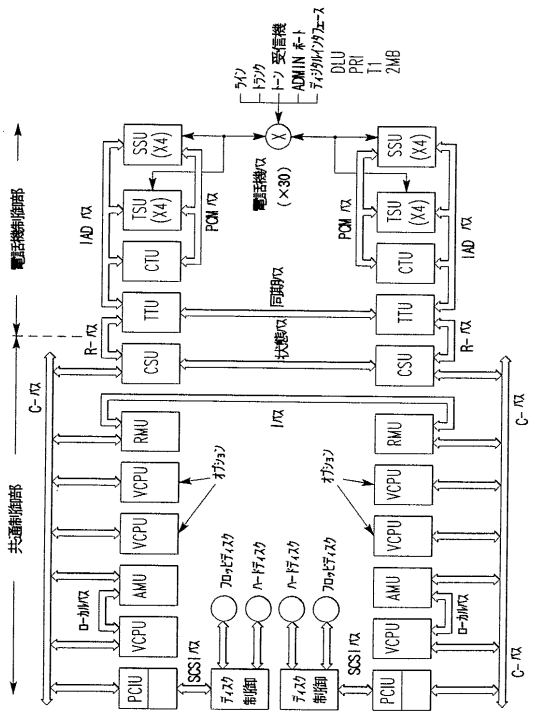
【図１】



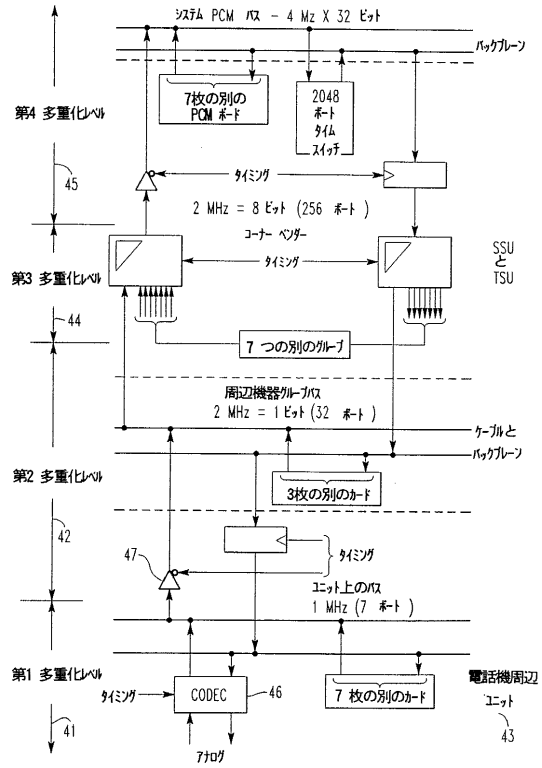
【図２】



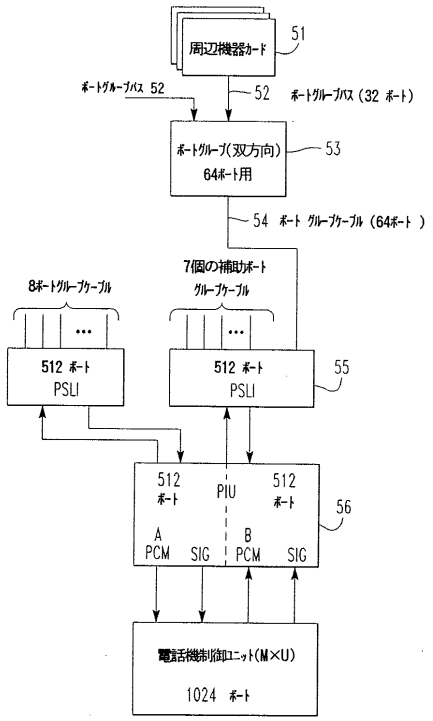
【図３】



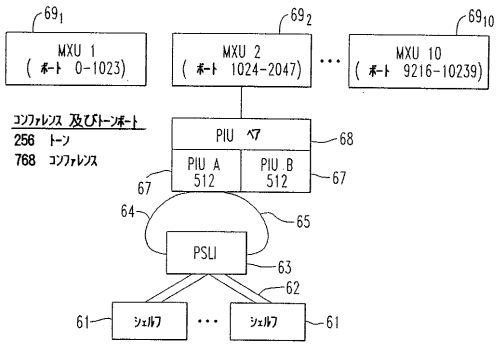
【図４】


システム PCM バス － 4 Mz X 32 ビット
バックプレーン
7枚の別の PCM ボード
2048 ポート タイム スイッチ
第4 多重化レベル
45
タイミング
2 MHz = 8 ビット (256 ポート)
コーナー ベンダー
SSU と TSU
第3 多重化レベル
44
7 つの別のグループ
周辺機器グループバス
2 MHz = 1 ビット (32 ポート)
ケーブルと バックプレーン
第2 多重化レベル
3枚の別のカード
42
47
タイミング
ユニット上のバス
1 MHz (7 ポート)
第1 多重化レベル
タイミング
CODEC
46
7 枚の別のカード
電話機周辺 ユニット
43
41
アナログ

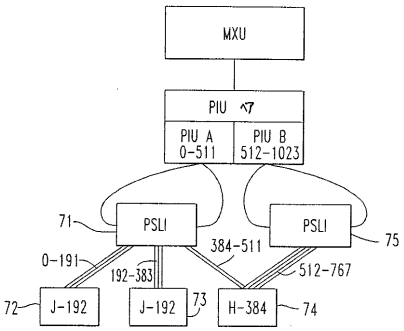
【図５】


周辺機器カード
51
ポートグループバス 52
52
ポートグループバス (32 ポート)
ポートグループ(双方向) 64ポート用
53
54 ポート グループケーブル (64ポート)
8ポートグループケーブル
7個の補助ポート グループケーブル
512 ポート PSLI
512 ポート PSLI
55
512 ポート
PIU
512 ポート
A PCM SIG
B PCM SIG
56
電話機制御ユニット(M×U)
1024 ポート

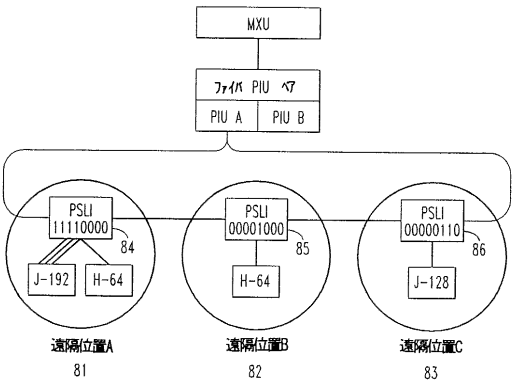
【図６】


69₁
MXU 1 (ポート 0-1023)
69₂
MXU 2 (ポート 1024-2047)
69₁₀
MXU 10 (ポート 9216-10239)
コンファレンス 及びトーンポート
256 トーン
768 コンファレンス
PIU ペア
68
PIU A 512
PIU B 512
67
64
65
PSLI
63
62
61
シェルフ
シェルフ
61

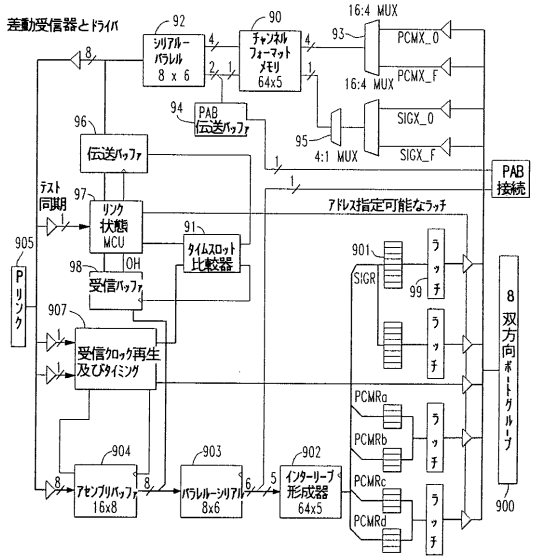
【図７】


MXU
PIU ペア
PIU A 0-511
PIU B 512-1023
71
PSLI
PSLI
75
0-191
192-383
384-511
512-767
72
J-192
J-192
73
H-384
74

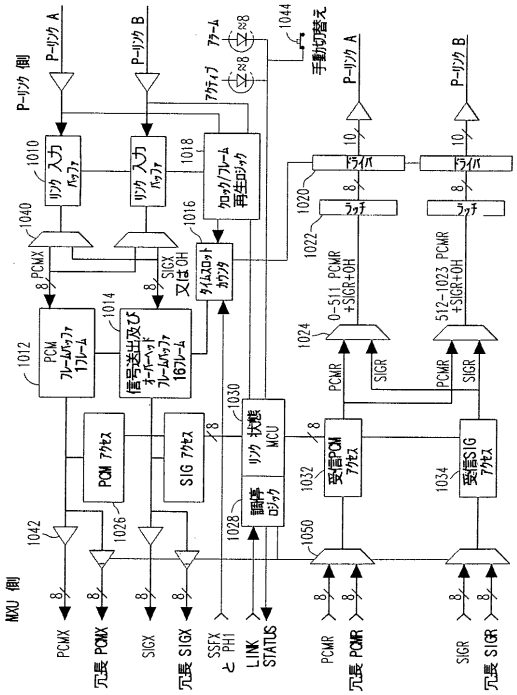
【図８】


MXU
ファイバ PIU ペア
PIU A
PIU B
PSLI 11110000
84
PSLI 00001000
85
PSLI 00000110
86
J-192
H-64
H-64
J-128
遠隔位置A
81
遠隔位置B
82
遠隔位置C
83

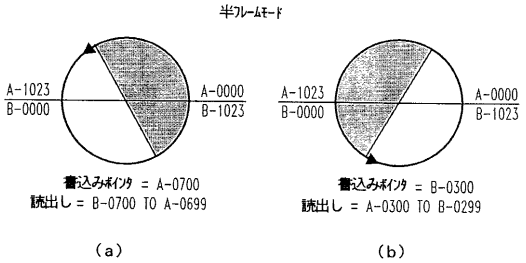
【図９】



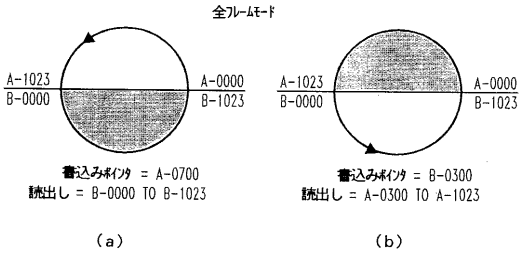
【図１０】



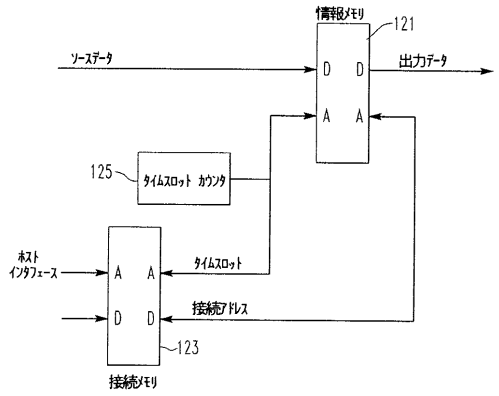
【図１１】



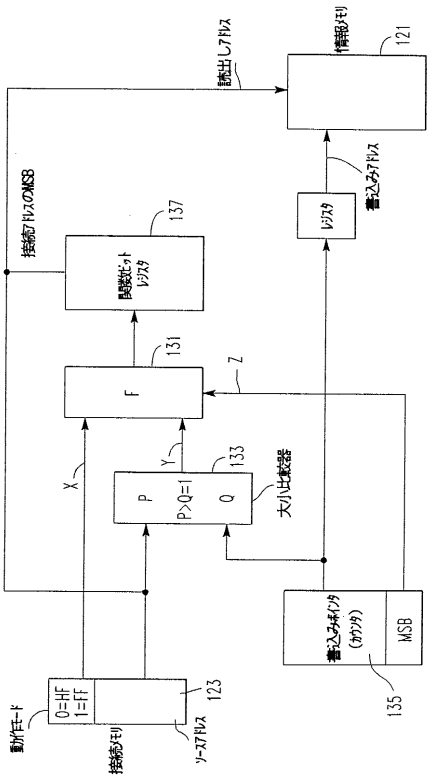
【図１２】



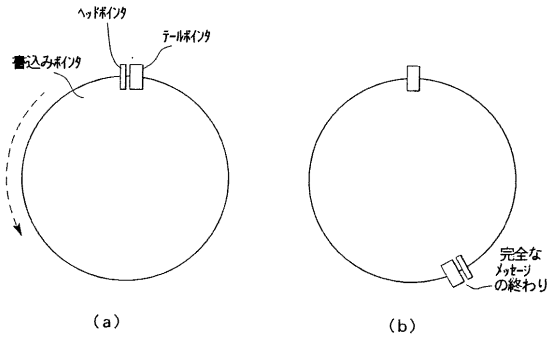
【図１３】



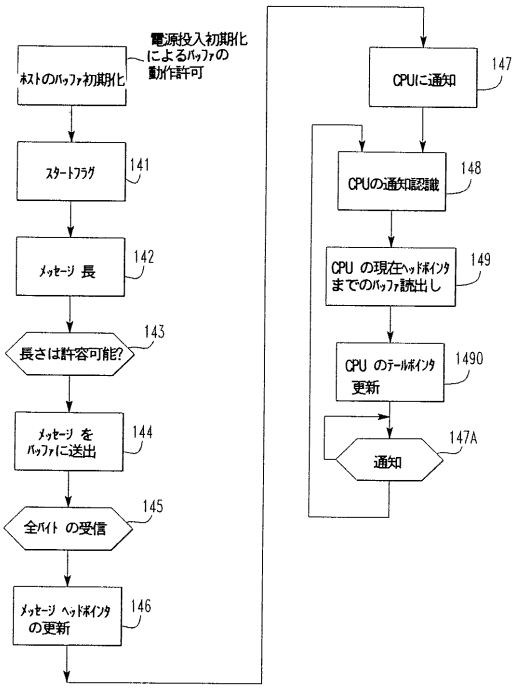
【図１４】


読出しアドレス
121
書込みアドレス
レジスタ
137
F
131
Z
X
Y
133
P
P>Q=1
Q
大小比較器
MSB
135
0=HF
1=FF
123
動作モード
ソースアドレス

【図１５】


ヘッドポインタ
テールポインタ
書込みポインタ
完全な
メッセージ
の終わり
(a)
(b)

【図１６】


電源投入初期化
によるバッファの
動作許可
ホストのバッファ初期化
スタートフラグ
141
メッセージ 長
142
長さは許容可能?
143
メッセージ を
バッファに送出
144
全バイト の受信
145
メッセージ ヘッドポインタ
の更新
146
CPUに通知
147
CPUの通知認識
148
CPU の現在ヘッドポインタ
までのバッファ読出し
149
CPU のテールポインタ
更新
1490
通知
147A

フロントページの続き

(56)参考文献 米国特許第０４６８８２１２（ＵＳ，Ａ）
特開平０２－１１６２９５（ＪＰ，Ａ）
特開平０８－０７０４９２（ＪＰ，Ａ）
Buffer Access Method and Lookaside Buffer for a Switch, IBM Technical Disclosure Bulletin, 米国, IBM, １９９３年 7月, Ｖｏｌ．３６、Ｎｏ．７，３３３－３３５頁

(58)調査した分野(Int.Cl.，ＤＢ名)
H04Q 11/04