(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3720268号

(P3720268)

(45)発行日　平成17年11月24日(2005.11.24)　(24)登録日　平成17年9月16日(2005.9.16)

(51)Int.Cl.[7]		F I		
H04N	1/387	H04N	1/387	
G06T	1/60	G06T	1/60	450B
G06T	3/00	G06T	3/00	300
H04N	1/21	H04N	1/21	
H04N	5/232	H04N	5/232	Z

請求項の数 7　(全 16 頁)

(21)出願番号　特願2001-50032(P2001-50032)
(22)出願日　平成13年2月26日(2001.2.26)
(65)公開番号　特開2002-252749(P2002-252749A)
(43)公開日　平成14年9月6日(2002.9.6)
審査請求日　平成14年9月30日(2002.9.30)

(73)特許権者　591128453
株式会社メガチップス
大阪府大阪市淀川区宮原４丁目１番６号
(74)代理人　100089233
弁理士　吉田　茂明
(74)代理人　100088672
弁理士　吉竹　英俊
(74)代理人　100088845
弁理士　有田　貴弘
(72)発明者　森本　和也
大阪市淀川区宮原４丁目１番６号　株式会社メガチップス内
(72)発明者　松谷　隆司
大阪市淀川区宮原４丁目１番６号　株式会社メガチップス内

最終頁に続く

(54)【発明の名称】画像処理装置

(57)【特許請求の範囲】

【請求項１】

入力する画像データを画像処理する画像処理回路と、該画像処理回路で処理したデータを一時記憶する主メモリとを備えた画像処理装置であって、

前記画像処理回路は、

前記画像データの複数ラインの画素データを一時記憶する一時記憶領域と、

前記画像データが前記一時記憶領域の水平画素数を超えるサイズのプログレッシブ方式のデータである場合、前記画像データを前記一時記憶領域に格納し得る分割画像データに分割する画像分割手段と、

前記分割画像データに対して単一画素単位で画像処理を実行する単一画素処理手段と、

前記分割画像データを前記単一画素処理手段で処理した後に前記一時記憶領域に格納した状態で複数画素単位で画像処理を実行する複数画素処理手段と、

を有し、

前記画像分割手段は、前記画像データを連続処理の対象である第１の分割画像データと、連続処理の対象とならない第２の分割画像データに分割し、前記第１および第２の分割画像データを前記主メモリに格納することなく、直接、前記単一画素処理手段に対して出力するものであり、

前記主メモリは、

前記単一画素処理手段と前記複数画素処理手段とで連続的に処理された前記第１の分割画像データを第１の処理画像データとして格納する第１バッファ領域と、

前記単一画素処理手段で処理された前記第２の分割画像データを中間処理画像データとして格納する第２バッファ領域と、
前記複数画素処理手段で処理された前記中間処理画像データを第２の処理画像データとして格納する第３バッファ領域と、
を有しており、
前記第１バッファ領域に格納された前記第１の処理画像データと前記第３バッファ領域に格納された前記第２の処理画像データとを合成する画像合成手段を備えることを特徴とする画像処理装置。
【請求項２】
請求項１記載の画像処理装置であって、前記主メモリと前記画像処理回路との間のデータ転送がＣＰＵ（中央処理装置）によって制御される、画像処理装置。
【請求項３】
請求項１記載の画像処理装置であって、前記主メモリと前記画像処理回路との間のデータ転送を制御するＤＭＡ（ダイレクト・メモリ・アクセス）コントローラを備える、画像処理装置。
【請求項４】
請求項３記載の画像処理装置であって、前記ＤＭＡコントローラは少なくとも２つのＤＭＡチャンネルを有し、第１の前記ＤＭＡチャンネルが前記複数画素処理手段から前記第１バッファ領域へのデータ転送に割り当てられ、第２の前記ＤＭＡチャンネルが前記単一画素処理手段から前記第２バッファ領域へのデータ転送に割り当てられる、画像処理装置。
【請求項５】
請求項３記載の画像処理装置であって、前記ＤＭＡコントローラは少なくとも２つのＤＭＡチャンネルを有し、第１の前記ＤＭＡチャンネルが前記第２バッファ領域から前記複数画素処理手段へのデータ転送に割り当てられ、第２の前記ＤＭＡチャンネルが前記複数画素処理手段から前記第３バッファ領域へのデータ転送に割り当てられる、画像処理装置。
【請求項６】
入力する画像データを画像処理する画像処理回路と、該画像処理回路で処理したデータを一時記憶する主メモリと、該主メモリと前記画像処理回路との間のデータ転送を制御するＤＭＡコントローラとを備えた画像処理装置であって、
前記画像処理回路は、
前記画像データの複数ラインの画素データを一時記憶する一時記憶領域と、
前記画像データが前記一時記憶領域の水平画素数を超えるサイズのプログレッシブ方式のデータである場合、前記画像データを前記一時記憶領域に格納し得る分割画像データに分割する画像分割手段と、
前記分割画像データに対して単一画素単位で画像処理を実行する単一画素処理手段と、
前記分割画像データを前記単一画素処理手段で処理した後に前記一時記憶領域に格納した状態で複数画素単位で画像処理を実行する複数画素処理手段と、
を有し、
前記画像分割手段は、前記画像データを連続処理の対象である第１の分割画像データと、連続処理の対象とならない第２の分割画像データに分割し、前記第１および第２の分割画像データを前記主メモリに格納することなく、直接、前記単一画素処理手段に対して出力するものであり、
前記主メモリは、
前記単一画素処理手段と前記複数画素処理手段とで連続的に処理された前記第１の分割画像データを第１の処理画像データとして格納する第１バッファ領域と、
前記単一画素処理手段で処理された前記第２の分割画像データを中間処理画像データとして格納する第２バッファ領域と、
を有しており、
前記第１バッファ領域は、前記第２バッファ領域から読出された前記中間処理画像データを前記複数画素処理手段で処理して得られる第２の処理画像データをも格納し、

前記ＤＭＡコントローラは、前記第２の処理画像データおよび前記第１の処理画像データを前記第１バッファ領域へ転送する時にアドレス指定することで１画像に合成して格納することを特徴とする画像処理装置。
【請求項７】
請求項６記載の画像処理装置であって、前記ＤＭＡコントローラは、前記主メモリ上のアドレスを生成出力するＤＭＡチャンネルと、該ＤＭＡチャンネルから出力された当該アドレスに対応した記憶素子と前記画像処理回路との間でデータ転送を実行させるメモリコントロール回路とを備えており、
前記ＤＭＡチャンネルは、前記第１バッファ領域中の所定の開始アドレスを起点とし、前記第１バッファ領域中の所定の終了アドレスに至るまで順次変化させて前記アドレスを生成出力するアドレスカウンタと、
前記アドレスカウンタにおける前記アドレスの順次変化と同期して計数するローカルカウンタと、
前記ローカルカウンタから出力される計数値が所定の最終値に達した時点で前記アドレスカウンタから出力される当該アドレスに所定のオフセット値を加減算した加減算値を前記アドレスカウンタに出力することで、アドレスカウンタに対して前記加減算値を起点として前記アドレスを変化させる加減算器と、を備えることを特徴とする画像処理装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、ディジタル・カメラなどに搭載される画像処理装置に関する。
【０００２】
【従来の技術】
図１０は、一般的なディジタル・スチル・カメラの概略構成図である。図示するように、ディジタル・スチル・カメラ１００では、ＣＣＤセンサやＣＭＯＳセンサなどの撮像センサ１０５で撮像した画像信号はデジタル信号へＡ／Ｄ変換された後に、画像処理部１０６においてガンマ補正、色空間変換、画素補間、輪郭強調などの種々の画像処理を施される。このような画像処理を施された画像データは液晶モニタ１０９にファインダー表示されたり、ＪＰＥＧ（Joint Photographic Experts Group）方式やＴＩＦＦ（Tag Image File Format）方式などで圧縮符号化されて不揮発性メモリなどからなる記憶媒体（メモリ・カード）１１０に格納されたり、インターフェース１１１を介してパーソナル・コンピュータやプリンタなどの外部機器に出力されたりする。図１０中、符号１０１は光学レンズ、１０２は色補正フィルタ、１０３は光学ＬＰＦ（ローパスフィルタ）、１０４は色フィルタアレイ、１０７は撮像センサ１０５を駆動制御する駆動部を示している。
【０００３】
一般に、前記画像処理部１０６における画像処理は、ガンマ補正や色空間変換などの単一画素単位の画像処理と、画素補間や輪郭強調などの複数画素単位の画像処理とに分類される。複数画素単位の画像処理では、処理データは当該画素周辺の複数の画素データを参照して創られるため、複数本の水平ライン分の画素データをライン・メモリ（図示せず）に格納する必要がある。そこで、少なくとも、撮像センサ１０５の水平画素数分の容量をもつライン・メモリを複数本用意するのが一般的であった。しかしながら、撮像センサ１０５の画素サイズには様々なものがあるため、ライン・メモリの容量を汎用の画素サイズに合わせると、それを超えた画素サイズをもつ撮像センサに対しては複数画素単位の画像処理を実行できないという問題があった。また、画像処理回路をチップ化した時にチップに組み込むライン・メモリの容量を大きくすると、消費電力が増大し、チップ・サイズが大きく且つ製造コストが高くなるという問題がある。
【０００４】
【発明が解決しようとする課題】
図１１は、前述の問題を解決する画像処理方法を説明するための概略ブロック図である。同図中、画像処理部１０６に入力する原画像データの水平画素数（３０７２）は、画像処

理部１０６のＲＰＵ１０６Ａに備わるライン・メモリ（図示せず）の水平画素数２０４８分の容量を超えているものとする。また、画像処理部１０６は、プログレッシブ（順次走査）形式の原画像データを実時間（リアルタイム）で画像処理するＲＰＵ（リアルタイム・プロセッシング・ユニット）１０６Ａを備えている。このＲＰＵ１０６Ａは集積回路化（チップ化）されており、原画像データ・バッファ１０８ａから転送された原画像データに対して、ガンマ補正や画素補間、色空間変換などの画像処理を施す画素処理手段１０６Ａａを備えている。

【０００５】

先ず、撮像センサ１０５で撮像した原画像データは一旦、メモリ１０８上の原画像データ・バッファ１０８ａに転送され格納される（ＳＴ１００）。次のステップＳＴ１０１，ＳＴ１０２で、原画像データ・バッファ１０８ａからは、水平画素数２０４８の分割画像データＡ１と水平画素数１０２４の分割画像データＡ２とに分かれて画素データが読み出されＲＰＵ１０６Ａに転送される。ステップＳＴ１０１では、原画像データ・バッファ１０８ａから、分割画像データＡ１が読み出され画素処理手段１０６Ａａに転送されて単一画素単位および複数画素単位の画像処理を施された後に、処理データ・バッファ１０８ｂに転送後、格納される。その後のステップＳＴ１０２では、原画像データ・バッファ１０８ａから、分割画像データＡ２が読み出され画素処理手段１０６Ａａに転送されて画像処理を施された後に、処理データ・バッファ１０８ｃに転送後、格納される。

【０００６】

その後のステップＳＴ１０３では、処理データ・バッファ１０８ｂ，１０８ｃにそれぞれ格納された分割画像データＡ１ａ，Ａ２ａは画像合成手段１０６Ｂに転送後、１フレームの画像データに合成される。

【０００７】

そして、ＣＰＵ１０６Ｃは、画像合成手段１０６Ｂから出力された画像データをＪＰＥＧ方式などで圧縮符号化し（ＳＴ１０４）、これを記憶媒体（メモリ・カード）１１０に格納する（ＳＴ１０５）。

【０００８】

しかしながら、このような画像処理では、ＲＰＵ１０６Ａは、画素処理手段１０６Ａａで複数画素単位の処理をする際、各分割画像データＡ１，Ａ２の複数ライン分をライン・メモリに蓄積せねばならず、各分割画像データＡ１，Ａ２を時間的に独立に処理する必要がある。よって、１フレーム分の原画像データを一旦、原画像データ・バッファ１０８ａに記憶した後に、各分割画像データＡ１，Ａ２毎にＲＰＵ１０６Ａに転送しているため、メモリ１０８の容量が大きくなりコスト高を招くと共に、画像処理時間が長くなるという問題を有する。従って、例えば、撮影者がシャッター・ボタンを押してから記憶媒体１１０への圧縮符号化画像の書込みが終了するまでの処理時間が長大になってしまう。

【０００９】

以上の問題に鑑みて本発明が解決しようとするところは、ライン・メモリの容量を超える水平画素数をもつ原画像データが入力しても、画像処理時間の短縮化やコスト低減を図ることができる画像処理装置を提供する点にある。

【００１０】

【課題を解決するための手段】

上記課題を解決するため、請求項１に係る発明は、入力する画像データを画像処理する画像処理回路と、該画像処理回路で処理したデータを一時記憶する主メモリとを備えた画像処理装置であって、前記画像処理回路は、前記画像データの複数ラインの画素データを一時記憶する一時記憶領域と、前記画像データが前記一時記憶領域の水平画素数を超えるサイズのプログレッシブ方式のデータである場合、前記画像データを前記一時記憶領域に格納し得る分割画像データに分割する画像分割手段と、前記分割画像データに対して単一画素単位で画像処理を実行する単一画素処理手段と、前記分割画像データを前記単一画素処理手段で処理した後に前記一時記憶領域に格納した状態で複数画素単位で画像処理を実行する複数画素処理手段と、を有し、前記画像分割手段は、前記画像データを連続処理の

対象である第１の分割画像データと、連続処理の対象とならない第２の分割画像データに分割し、前記第１および第２の分割画像データを前記主メモリに格納することなく、直接、前記単一画素処理手段に対して出力するものであり、前記主メモリは、前記単一画素処理手段と前記複数画素処理手段とで連続的に処理された前記第１の分割画像データを第１の処理画像データとして格納する第１バッファ領域と、前記単一画素処理手段で処理された前記第２の分割画像データを中間処理画像データとして格納する第２バッファ領域と、前記複数画素処理手段で処理された前記中間処理画像データを第２の処理画像データとして格納する第３バッファ領域と、を有しており、前記第１バッファ領域に格納された前記第１の処理画像データと前記第３バッファ領域に格納された前記第２の処理画像データとを合成する画像合成手段を備えることを特徴とするものである。

【００１１】

請求項２に係る発明は、請求項１記載の画像処理装置であって、前記主メモリと前記画像処理回路との間のデータ転送がＣＰＵ（中央処理装置）によって制御される。

【００１２】

請求項３に係る発明は、請求項１記載の画像処理装置であって、前記主メモリと前記画像処理回路との間のデータ転送を制御するＤＭＡ（ダイレクト・メモリ・アクセス）コントローラを備えるものである。

【００１３】

請求項４に係る発明は、請求項３記載の画像処理装置であって、前記ＤＭＡコントローラは少なくとも２つのＤＭＡチャンネルを有し、第１の前記ＤＭＡチャンネルが前記複数画素処理手段から前記第１バッファ領域へのデータ転送に割り当てられ、第２の前記ＤＭＡチャンネルが前記単一画素処理手段から前記第２バッファ領域へのデータ転送に割り当てられるものである。

【００１４】

請求項５に係る発明は、請求項３記載の画像処理装置であって、前記ＤＭＡコントローラは少なくとも２つのＤＭＡチャンネルを有し、第１の前記ＤＭＡチャンネルが前記第２バッファ領域から前記複数画素処理手段へのデータ転送に割り当てられ、第２の前記ＤＭＡチャンネルが前記複数画素処理手段から前記第３バッファ領域へのデータ転送に割り当てられるものである。

【００１５】

請求項６に係る発明は、入力する画像データを画像処理する画像処理回路と、該画像処理回路で処理したデータを一時記憶する主メモリと、該主メモリと前記画像処理回路との間のデータ転送を制御するＤＭＡコントローラとを備えた画像処理装置であって、前記画像処理回路は、前記画像データの複数ラインの画素データを一時記憶する一時記憶領域と、前記画像データが前記一時記憶領域の水平画素数を超えるサイズのプログレッシブ方式のデータである場合、前記画像データを前記一時記憶領域に格納し得る分割画像データに分割する画像分割手段と、前記分割画像データに対して単一画素単位で画像処理を実行する単一画素処理手段と、前記分割画像データを前記単一画素処理手段で処理した後に前記一時記憶領域に格納した状態で複数画素単位で画像処理を実行する複数画素処理手段と、を有し、前記画像分割手段は、前記画像データを連続処理の対象である第１の分割画像データと、連続処理の対象とならない第２の分割画像データに分割し、前記第１および第２の分割画像データを前記主メモリに格納することなく、直接、前記単一画素処理手段に対して出力するものであり、前記主メモリは、前記単一画素処理手段と前記複数画素処理手段とで連続的に処理された前記第１の分割画像データを第１の処理画像データとして格納する第１バッファ領域と、前記単一画素処理手段で処理された前記第２の分割画像データを中間処理画像データとして格納する第２バッファ領域と、を有しており、前記第１バッファ領域は、前記第２バッファ領域から読出された前記中間処理画像データを前記複数画素処理手段で処理して得られる第２の処理画像データをも格納し、前記ＤＭＡコントローラは、前記第２の処理画像データおよび前記第１の処理画像データを前記第１バッファ領域へ転送する時にアドレス指定することで１画像に合成して格納することを特徴とするも

のである。

【００１６】

請求項７に係る発明は、請求項６記載の画像処理装置であって、前記ＤＭＡコントローラは、前記主メモリ上のアドレスを生成出力するＤＭＡチャンネルと、該ＤＭＡチャンネルから出力された当該アドレスに対応した記憶素子と前記画像処理回路との間でデータ転送を実行させるメモリコントロール回路とを備えており、前記ＤＭＡチャンネルは、前記第１バッファ領域中の所定の開始アドレスを起点とし、前記第１バッファ領域中の所定の終了アドレスに至るまで順次変化させて前記アドレスを生成出力するアドレスカウンタと、前記アドレスカウンタにおける前記アドレスの順次変化と同期して計数するローカルカウンタと、前記ローカルカウンタから出力される計数値が所定の最終値に達した時点で前記アドレスカウンタから出力される当該アドレスに所定のオフセット値を加減算した加減算値を前記アドレスカウンタに出力することで、アドレスカウンタに対して前記加減算値を起点として前記アドレスを変化させる加減算器と、を備えることを特徴とするものである。

【００１７】

【発明の実施の形態】

以下、本発明の種々の実施の形態に係る画像処理方法について説明する。

【００１８】

全体構成.

図１は、本発明の実施の形態で用いるディジタル・スチル・カメラ１の全体構成を示す概略図である。このディジタル・スチル・カメラ１は、ＡＦ（オートフォーカス）機能や自動露出調節機能などを備えた光学機構１１を備えており、この光学機構１１を通じて被写体画像がＣＣＤ（電荷結合素子）センサ１２で撮像される。このとき必要に応じて撮影タイミングに同期され光量を調節された光をストロボ（閃光装置）３０から発して被写体に照射してもよい。撮像した被写体の画像データはアナログ信号処理回路１３に取り込まれデジタル画像信号（原画像データ）にＡ／Ｄ変換される。その原画像データはＲＰＵ（リアルタイム・プロセッシング・ユニット）１４において画素補間、色空間変換、ガンマ補正、輪郭強調およびフィルタリングなどの所定の画像処理を実時間処理（リアルタイム処理）にて施される。このような画像処理を受けた画像データはファインダーとして機能するＬＣＤ２３に表示されたり、またはＣＰＵ１７によりＪＰＥＧ方式やＴＩＦＦ方式などによる圧縮符号化処理を受けた後に、メイン・バス１０を介して、カードインターフェース２７Ａに転送されてメモリカード２７に格納されたり、外部インターフェース（Ｉ／Ｆ）２８に転送されてパーソナルコンピュータなどの外部機器に出力されたりする。

【００１９】

また主メモリ２６は、アナログ信号処理回路１３、ＲＰＵ１４、ＤＭＡコントローラ（データ転送制御装置）２４およびＪＰＥＧ処理部２５と共にメイン・バス１０を介して相互に接続されている。アナログ信号処理回路１３と主メモリ２６間もしくはＲＰＵ１４と主メモリ２６間のデータ転送は、ＣＰＵ１７またはＤＭＡコントローラ２４で制御される。

【００２０】

尚、図１において、符号１５はＣＣＤセンサ１２を駆動するＣＣＤ駆動回路、１６はＲＰＵ１４およびＣＣＤ駆動回路１５などの動作タイミングを規律するタイミングジェネレータ、１８はＰＬＬ発振回路、１９はＣＰＵ１７の補助演算装置（コプロセッサ）を示し、また符号２０はディスプレイモジュール、２１はデジタルエンコーダ、２２はＬＣＤ２３を駆動するＬＣＤ駆動回路を示している。またクロックジェネレータ２９は、ＰＬＬ発振回路１８から供給されるクロック信号を分周することで、ＲＰＵ１４、タイミングジェネレータ１６、ＣＰＵ１７およびデジタルエンコーダ２１などの全モジュールの駆動クロック信号を生成する。

【００２１】

実施の形態１.

図２は、本発明の実施の形態１に係る画像処理装置を説明するための概略ブロック図であ

る。図２に示すように本実施の形態に係る画像処理装置は、集積回路化（チップ化）されたＲＰＵ（画像処理回路）１４と、主メモリ２６と、画像合成手段３１とを備えている。またＲＰＵ１４は水平画素数２０４８分の容量をもつ複数本のライン・メモリ（図示せず）を搭載している。

【００２２】

ＲＰＵ１４は、プログレッシブ形式で入力する原画像データ（水平画素数：３０７２）を第１の分割画像データＡ１（水平画素数：２０４８）と第２の分割画像データＡ２（水平画素数：１０２４）とに分割する画像分割手段１４ａと、この画像分割手段１４ａから出力された分割画像データを単一画素単位で画像処理する単一画素処理手段１４ｂと、複数画素単位で画像処理する複数画素処理手段１４ｃとを備えている。

【００２３】

単一画素単位での画像処理としては、ガンマ特性を補正するガンマ補正処理や、原信号がカラー画像信号の場合に３色系（ＲＧＢ系）や４色系（ＹＭＣＧ系など）などで表現されている画像データを他の色空間成分に変換する色空間変換処理などが挙げられる。色空間変換後の色空間座標系には、ＮＴＳＣ（National Television System Commitee）方式などで採用されるＹＵＶ座標系、ＹＩＱ座標系、YC_bC_r座標系などが挙げられる。他方、複数画素単位での画像処理としては、画素補間処理や輪郭強調処理などが挙げられる。例えば、ベイヤー方式の撮像センサでは各画素に単色の色フィルタが割り当てられるため、その撮像センサで撮像した原画像データは各画素について単色成分しかもたない。画素補間処理では、当該画素を有する水平ラインを含む３～５本の水平ライン上の周辺画素のデータを参照し、不足の色成分の画素データを創り出す必要がある。このためにＲＰＵ１４は上記のライン・メモリ（図示せず）を複数本用意している。

【００２４】

以下、本実施の形態１に係る画像処理方法について詳説する。先ず、ステップＳＴ１では、プログレッシブ方式で駆動した上記ＣＣＤセンサ１２から出力される画像信号は、アナログ信号処理回路１３でデジタル信号（原画像データ）に変換された後、主メモリ２６に一旦転送されること無く、上記ＲＰＵ１４の画像分割手段１４ａに直接入力する。画像分割手段１４ａは、入力する原画像データ（水平画素数：３０７２）を第１の分割画像データＡ１（水平画素数：２０４８）と第２の分割画像データＡ２（水平画素数：１０２４）とに分割して単一画素処理手段１４ｂに出力する。

【００２５】

次のステップＳＴ２では、単一画素処理手段１４ｂは、第１の分割画像データＡ１に単一画素単位の実時間処理を施した後に、連続的に複数画素処理手段１４ｃに出力する。続くステップＳＴ３で複数画素処理手段１４ｃは、入力する分割画像データＡ１ａを上記ライン・メモリに複数ライン分蓄積して複数画素単位の実時間処理を実行した後に出力する。そしてステップＳＴ４で、複数画素処理手段１４ｃから出力された分割画像データＡ１ｂは、ＣＰＵ１７の制御によりメイン・バス１０を介して主メモリ２６上の第１バッファ領域２６ａに転送され格納される。一方、ステップＳＴ５で単一画素処理手段１４ｂは、画像分割手段１４ａから入力する分割画像データＡ２に単一画素単位の画像処理を施して分割画像データＡ２ａを出力し、続くステップＳＴ６で、その分割画像データＡ２ａはＣＰＵ１７の制御によりメイン・バス１０を介して第２バッファ領域２６ｂに転送され格納される。

【００２６】

尚、上記画像分割手段１４ａでの実際の分割処理では、入力する画素データが分割画像データＡ１，Ａ２の何れの領域に属するかが識別され、その識別信号が単一画素処理手段１４ｂに発せられる。単一画素処理手段１４ｂはその識別信号に応じて処理データの出力先を切り換える、即ち、当該画素データが分割画像データＡ１に属する場合は処理データＡ１ａを複数画素処理手段１４ｃに出力し（ＳＴ３）、当該画素データが分割画像データＡ２に属する場合は処理データＡ２ａを第２バッファ領域２６ｂへ出力する（ＳＴ６）。

【００２７】

上記ステップＳＴ１～ＳＴ６の処理が終了後、ステップＳＴ７で複数画素処理手段１４ｃは、第２バッファ領域２６ｂに格納された分割画像データＡ２ａを読出して複数画素単位の実時間処理を実行して得られる分割画像データＡ２ｂを出力する。前記ステップＳＴ７と並行してステップＳＴ８では、複数画素処理手段１４ｃから出力される分割画像データＡ２ｂはＣＰＵ１７の制御によりメイン・バス１０を介して第３バッファ領域２６ｃに転送され格納される。

【００２８】

次のステップＳＴ９で画像合成手段３１は、第１バッファ領域２６ａに格納された分割画像データＡ１ｂと、第３バッファ領域２６ｃに格納された分割画像データＡ２ｂとを読み出し、双方の分割画像データＡ１ｂ、Ａ２ｂを合成してＣＰＵ１７に出力する。尚、画像合成手段３１はハードウェア構成としてＲＰＵ１４に組み込まれても良いし、ＣＰＵ１７で実行されるソフトウェア形態でも良い。そして、ＣＰＵ１７は、画像合成手段３１から入力する合成画像データをソフトウェア処理でＪＰＥＧ形式やＴＩＦＦ形式などで圧縮符号化し（ＳＴ１０）、その圧縮符号化データを上記カード・インターフェース２７Ａからメモリ・カード２７に転送し格納させる（ＳＴ１１）。

【００２９】

このように実施の形態１に係る画像処理では、上述の従来例の場合のようにプログレッシブ形式の原画像データを一旦、主メモリに格納した後に上記ＲＰＵ１４に転送するステップを必要としないため、画像処理速度を向上することでき、また主メモリ２６上のバッファ領域を削減できるから製造コストを低減することが可能となる。

【００３０】

実施の形態２.

ＣＰＵ１７の負荷を低減させて画像処理速度を向上させる観点からは、ＲＰＵ１４と主メモリ２６との間のデータ転送に上記ＤＭＡコントローラ２４を用いるのが好ましい。図３は、ＤＭＡコントローラ２４を用いた、本発明の実施の形態２に係る画像処理装置を説明するための概略ブロック図である。尚、図３において、図２に示した符号と同じ符号を付したブロックについては上述の同様の機能を有するものとして詳細な説明を省略する。図３で付したステップ番号についても同様である。

【００３１】

また図４は、ＤＭＡコントローラ２４の概略構成を示すブロック図である。このＤＭＡコントローラ２４は、アービタ（調停回路）３２、メモリ・コントロール回路ＭＣ１、そして２つのＤＭＡチャンネルＣＨ０，ＣＨ１を備えている。またアービタ３２とメモリコントロール回路ＭＣ１はメイン・バス１０に接続されている。このようなＤＭＡコントローラ２４によるＤＭＡ転送処理は次の通りである。アービタ３２はＲＰＵ１４からＤＭＡ転送要求を受けると、ＤＭＡチャンネルＣＨ０（またはＣＨ１）に対して作動信号ＡＣＫを発することで、ＲＰＵ１４と主メモリ２６上のバッファ領域との間のデータ転送のためにＤＭＡチャンネルＣＨ０（またはＣＨ１）を割り当てる。ここで、アービタ３２が複数のＤＭＡ転送要求を同時に受けたり、ＣＰＵ１７による主メモリ２６へのアクセスが発生したりした場合には、予め定めた規則に従って各ＤＭＡ転送要求の優先順位を決定しこの優先順位に従った作動信号ＡＣＫを出力する。前記作動信号ＡＣＫを受けたＤＭＡチャンネルＣＨ０（またはＣＨ１）は、当該バッファ領域上のアドレスを順次生成しこれをアービタ３２に出力する。

【００３２】

アービタ３２は、メモリ・コントロール回路ＭＣ１にメイン・バス１０の使用を許可する旨の制御信号と前記ＤＭＡチャンネルＣＨ０（またはＣＨ１）から出力された当該アドレスとを出力する。メモリ・コントロール回路ＭＣ１は、前記制御信号によりメイン・バス１０を獲得すると共に、前記バッファ領域上の当該アドレスに記憶されたデータをＲＰＵ１４にＤＭＡ転送させるか、もしくは前記バッファ領域上の当該アドレスに向けてＲＰＵ１４からデータをＤＭＡ転送させるように制御する。

【００３３】

本実施の形態２では、上記ステップＳＴ３の後のステップＳＴ４Ｄで、複数画素処理手段１４ｃから第１バッファ領域２６ａへのデータ転送にＤＭＡチャンネルＣＨ０を割り当て、一方、上記ステップＳＴ５の後のステップＳＴ６Ｄで、単一画素処理手段１４ｂから第２バッファ領域２６ｂへのデータ転送にＤＭＡチャンネルＣＨ１を割り当てる。これにより、ステップＳＴ４Ｄでは、複数画素処理手段１４ｃから出力された分割画像データＡ１ｂを第１バッファ領域２６ａにＤＭＡ転送して格納し、ステップＳＴ６Ｄでは、単一画素処理手段１４ｂから出力された分割画像データＡ２ａを第２バッファ領域２６ｂにＤＭＡ転送して格納できる。

【００３４】

そして前記ステップＳＴ４Ｄ，ＳＴ６Ｄの処理が終了した後に、ステップＳＴ７Ｄで、第２バッファ領域２６ｂから複数画素処理手段１４ｃへのデータ転送にＤＭＡチャンネルＣＨ０を割り当て、一方、ステップＳＴ８Ｄで、その複数画素処理手段１４ｃから第３バッファ領域２６ｃへのデータ転送にＤＭＡチャンネルＣＨ１を割り当てる。これにより、ステップＳＴ７Ｄで、第２バッファ領域２６ｂに格納された分割画像データＡ２ａを複数画素処理手段１４ｃにＤＭＡ転送するのと並行して、ステップＳＴ８Ｄでは、その複数画素処理手段１４ｃから出力される分割画像データＡ２ｂを第３バッファ領域２６ｃにＤＭＡ転送して格納できる。

【００３５】

このように本実施の形態２では、ステップＳＴ４Ｄ，ＳＴ６ＤとステップＳＴ７Ｄ，ＳＴ８Ｄとで各ＤＭＡチャンネルＣＨ０，ＣＨ１の割り当てを切り換えてＤＭＡ転送を実行するため、ＲＰＵ１４における画像処理を効率よく実行でき、画像処理速度を向上させることが可能となる。

【００３６】

実施の形態３．

次に、本発明の実施の形態３について説明する。図５は、本実施の形態３に係る画像処理装置を説明するための概略ブロック図である。尚、図５において、図３に示した符号と同じ符号を付したブロックについては上述の同様の機能を有するものとして詳細な説明を省略する。図５で付したステップ番号についても同様である。

【００３７】

本実施の形態３では、上記ＤＭＡコントローラ２４のＤＭＡチャンネルＣＨ０，ＣＨ１として、図６に示す回路構成を用いることが特徴である。図６に示すＤＭＡチャンネルＣＨｎ（ｎ：０または１）は、主メモリ２６のバッファ領域における転送開始アドレスＡｓを格納するレジスタＳＲＥＧ１と、当該バッファ領域における転送終了アドレスＡｅを格納するレジスタＥＲＥＧ１とを備えており、転送開始アドレスＡｓと転送終了アドレスＡｅはＣＰＵ１７から転送されて各レジスタに記憶される。

【００３８】

またＤＭＡチャンネルＣＨｎは、レジスタＳＲＥＧ１に格納された転送開始アドレスＡｓを起点とし、転送終了アドレスＡｅに到達するまで順次増分して当該バッファ領域上のアドレスを生成出力するアドレスカウンタＡＣ１を備えている。アドレスカウンタＡＣ１から出力されたアドレスはアービタ３２に出力され、アービタ３２は当該アドレスを用いて上述のＤＭＡ転送処理を実行する。尚、本発明において「増分」とは正または負の方向に当該量を変化（インクリメントまたはデクリメント）させることを意味する。

【００３９】

また比較器ＣＭＰ１は、前記アドレスカウンタＡＣ１から伝達されたアドレスとレジスタＥＲＥＧ１に格納される転送終了アドレスＡｅとを比較し、双方が一致した時、すなわち当該アドレスが転送終了アドレスＡｅに到達した時に「Ｈ（High）」レベルの比較信号を、双方が一致しない間は「Ｌ（Low）」レベルの比較信号をインバータ４０に出力し、インバータ４０はその比較信号をレベル反転した反転信号をＡＮＤ素子４１に出力する。

【００４０】

またＤＭＡチャンネルＣＨｎは、アドレスカウンタＡＣ１におけるアドレスの増分動作と

同期した計数処理を実行するローカルカウンタＬＣ１を備えている。また比較器ＣＭＰ２は、このローカルカウンタＬＣ１から伝達される計数値とレジスタＬＥＲＥＧ１に格納された最終値とを比較し、双方が一致した時、すなわち前記計数値が最終値に到達した時には「Ｈ」レベルの比較信号を、双方が不一致の間は「Ｌ」レベルの比較信号をセレクタＳＥＬ１およびアドレスカウンタＡＣ１に出力する。レジスタＬＥＲＥＧ１に格納される最終値はＣＰＵ１７から転送される。

【００４１】

またセレクタＳＥＬ１は、入力する比較信号のレベルが「Ｌ」の場合は零値を選択して出力し、その比較信号のレベルが「Ｈ」の場合はレジスタＯＲＥＧ１に格納されたオフセット値を選択して出力するように制御される。レジスタＯＲＥＧ１に格納されるオフセット値はＣＰＵ１７から転送される。また加算器ＡＤ１は、セレクタＳＥＬ１から伝達される値とアドレスカウンタＡＣ１から伝達されたアドレスとを加算した加算値をアドレスカウンタＡＣ１に出力することで、アドレスカウンタＡＣ１に当該加算値を起点としたアドレスを生成させる。尚、本実施の形態では、アドレスが正方向へ増分される場合を想定して加算器ＡＤ１を用いているが、アドレスが負方向へ増分される場合は上記加算器ＡＤ１は減算器に代替される。

【００４２】

このようなＤＭＡチャンネルＣＨｎの動作は次の通りである。先ず、ＣＰＵ１７は、図７に示す主メモリ２６のバッファ領域Ｂｕの転送開始アドレスＡｓと転送終了アドレスＡｅとをそれぞれ、レジスタＳＲＥＧ１とレジスタＥＲＥＧ１とに転送して記憶させる。またＣＰＵ１７は、レジスタＬＥＲＥＧ１に格納される最終値とレジスタＯＲＥＧ１に格納されるオフセット値も転送する。次に、アービタ３２からＡＮＤ素子４１を介して作動信号ＡＣＫが入力し、ＡＮＤ素子４１は作動信号ＡＣＫと比較器ＣＭＰ１から入力する「Ｈ」レベル信号とを論理積演算したイネーブル信号ＥＮをアドレスカウンタＡＣ１に出力する。アドレスカウンタＡＣ１は、前記イネーブル信号ＥＮを受けて前記転送開始アドレスＡｓを起点としたアドレスの増分動作を開始する。

【００４３】

またローカルカウンタＬＣ１は、アドレスカウンタＡＣ１の増分動作と同期して計数した計数値を比較器ＣＭＰ１に出力し、比較器ＣＭＰ１は当該計数値がレジスタＬＥＲＥＧ１に格納された最終値に到達した時に「Ｈ」レベルの比較信号をセレクタＳＥＬ１に出力する。この時、ローカルカウンタＬＣ１の計数値は零値にリセットされる。またこの時、セレクタＳＥＬ１はレジスタＯＲＥＧ１に格納されたオフセット値を選択して加算器ＡＤ１に出力し、アドレスカウンタＡＣ１は前記比較信号を受けて加算器ＡＤ１から出力される加算値を読み込み、この加算値（前記オフセット値だけ飛び越した（オフセットした）アドレス）を起点としたアドレスを順次生成して出力する。すなわち、図７に示すように、アドレスカウンタＡＣ１は、ローカルカウンタＬＣ１の計数値が最終値に到達するまでは領域ＴＲ１のアドレスを生成し、その計数値が最終値に到達するとオフセット値に対応するオフセット領域ＯＲ１を飛び越して次の領域ＴＲ１のアドレスを生成する。最終的にアドレスカウンタＡＣ１で生成したアドレスが転送終了アドレスＡｅに到達した時に、インバータ４０からＡＮＤ素子４１に「Ｌ」レベル信号が発せられるので、ＡＮＤ素子４１からアドレスカウンタＡＣ１へのイネーブル信号ＥＮは断たれて、アドレスカウンタＡＣ１は増分動作を中止する。

【００４４】

このようなＤＭＡチャンネルＣＨｎを有するＤＭＡコントローラ２４を用いた画像処理を図５を参照しつつ以下に詳説する。

【００４５】

図５に示すように、上記ステップＳＴ３の後のステップＳＴ４０では、複数画素処理手段１４ｃから第１バッファ領域２６ａへのデータ転送に図６の回路構成をもつＤＭＡチャンネルＣＨ０が割り当てられる。すなわち、上記レジスタＳＲＥＧ１に第１バッファ領域２６ａの先頭アドレスＡｓが転送され、上記レジスタＥＲＥＧ１には第１バッファ領域２６

ａの最終アドレスＡｅが転送される。また、上記レジスタＬＥＲＥＧ１には、分割画像データＡ１の水平画素数２０４８に対応するアドレス領域の長さ（以下、アドレス長と呼ぶ。）を示す最終値が転送され、上記レジスタＯＲＥＧ１には、分割画像データＡ２の水平画素数１０２４に対応するアドレス長を示すオフセット値が転送されて格納される。

【００４６】

これにより、アドレスカウンタＡＣ１は、図８の説明図に示すように、第１バッファ領域２６ａの先頭アドレスＡｓを起点として矢印５０で示す方向にアドレスを順次増分させていき、そのアドレスが水平画素数２０４８に対応するアドレス領域の最終値に達した時点で、水平画素数１０２４に対応するアドレス領域をオフセットさせることを繰り返し実行する。従って、第１バッファ領域２６ａの第１領域２６ａＡには、水平画素数２０４８の分割画像データＡ１ｂが格納される。

【００４７】

その後のステップＳＴ４１では、複数画素処理手段１４ｃから第１バッファ領域２６ａへのデータ転送に図６の回路構成をもつＤＭＡチャンネルＣＨ１が割り当てられる。すなわち、上記レジスタＳＲＥＧ１に第１バッファ領域２６ａの先頭アドレスＡｓと水平画素数２０４８に対応するアドレス長とを加算した転送開始アドレスＡｓが転送され、上記レジスタＥＲＥＧ１に第１バッファ領域２６ａの最終アドレスＡｅが転送される。また、上記レジスタＬＥＲＥＧ１には、分割画像データＡ２の水平画素数１０２４に対応するアドレス長を示す最終値が転送され、上記レジスタＯＲＥＧ１には、分割画像データＡ１の水平画素数１０２４に対応するアドレス長を示すオフセット値が転送されて格納される。

【００４８】

これにより、アドレスカウンタＡＣ１は、図９の説明図に示すように、転送開始アドレスＡｓを起点とした矢印５１で示す方向にアドレスを順次増分させていき、そのアドレスが水平画素数１０２４に対応するアドレス領域の最終値に達した時点で、水平画素数２０４８に対応するアドレス領域をオフセットさせることを繰り返し実行する。従って、第１バッファ領域２６ａの第２領域２６ａＢには、水平画素数１０２４の分割画像データＡ２ｂが格納される。

【００４９】

このように第１バッファ領域２６ａには、分割画像データＡ１ｂと分割画像データＡ２ｂとを合成した水平画素数３０７２の合成画像データが格納される。

【００５０】

そして次のステップＳＴ４２では、ＣＰＵ１７は、第１バッファ領域２６ａに格納された合成画像データを読み出してＪＰＥＧ方式などで圧縮符号化した後に、次のステップＳＴ４３でその圧縮符号化データは、上記カード・インターフェース２７Ａに転送されメモリ・カード２７に格納される。

【００５１】

このように本実施の形態３に係る画像処理では、画像分割手段１４ａで分割された分割画像データＡ１と分割画像データＡ２とをそれぞれ、単一画素処理手段１４ｂおよび複数画素処理手段１４ｃで処理した後、第１バッファ領域２６ａにＤＭＡ転送する時に１画像に合成できるため、上記実施の形態１，２の画像合成手段３１は不要となり、画像処理を更に高速化することが可能となる。

【００５２】

【発明の効果】

以上の如く、請求項１に係る画像処理装置によれば、ライン・メモリなどの上記一時記憶領域が、入力する原画像データの水平画素数分の容量をもたなくても、従来の場合のように原画像データを一旦、主メモリに格納した後に上記画像処理回路に転送するステップを必要としないため、画像処理速度を向上できると共に、主メモリ上のバッファ領域を削減できるから製造コストを低減させることが可能となる。

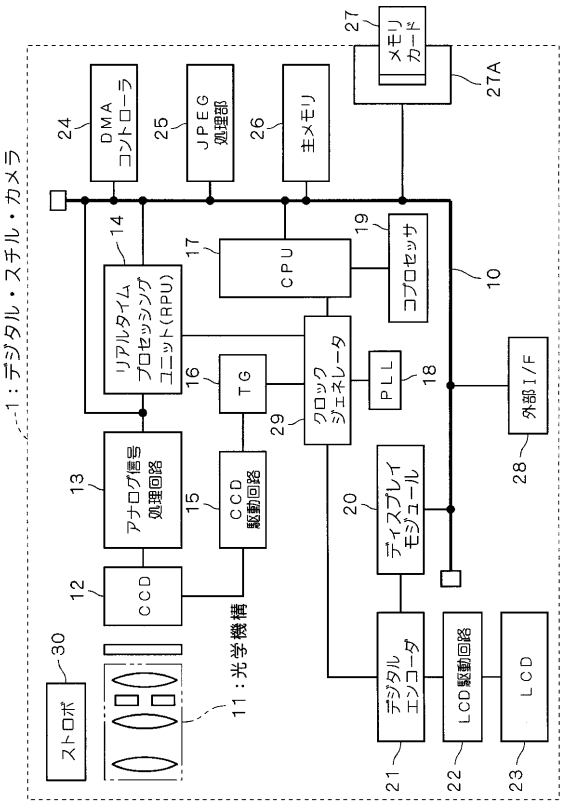
【００５３】

また請求項２によれば、上記主メモリと上記画像処理回路との間のデータ転送をＣＰＵで

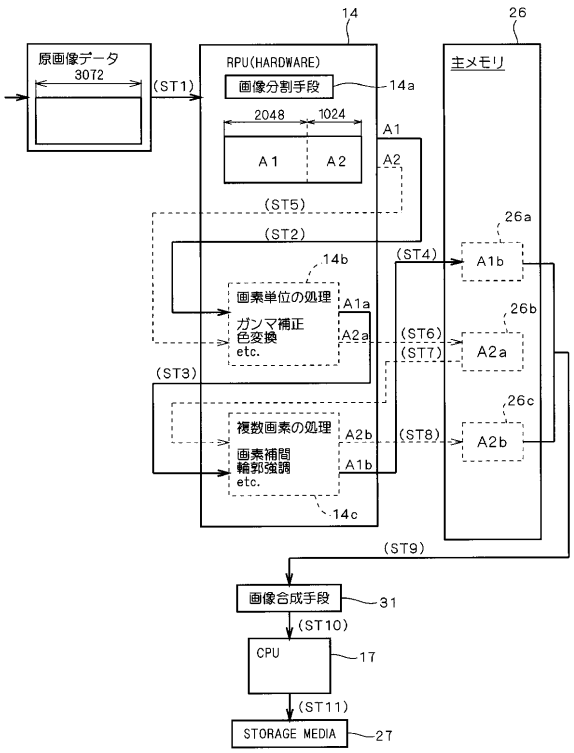
実行できる。
【００５４】
また請求項３によれば、ＣＰＵの負荷が減り、上記主メモリと上記画像処理回路との間のデータ転送を高速で実行できるため、画像処理速度を更に向上させることが可能となる。
【００５５】
また請求項４によれば、上記複数画素処理手段で処理された第１の分割画像データを上記第１バッファ領域へＤＭＡ転送し、上記単一画素処理手段で処理された第２の分割画像データを上記第２バッファ領域へＤＭＡ転送できるから、画像処理が効率良く実行され、画像処理速度を向上させることが可能となる。
【００５６】
また請求項５によれば、上記第２バッファ領域に格納された第２の分割画像データを上記複数画素処理手段にＤＭＡ転送し、これと並行してその複数画素処理手段で処理されたデータを上記第３バッファ領域にＤＭＡ転送できるから、画像処理が効率良く実行され、画像処理速度を向上させることが可能となる。
【００５７】
また請求項６によれば、請求項１と同様に、ライン・メモリなどの上記一時記憶領域が、入力する原画像データの水平画素数分の容量をもたなくても、従来の場合のように原画像データを一旦、主メモリに格納した後に上記画像処理回路に転送するステップを必要としないため、画像処理速度を向上できると共に、主メモリ上のバッファ領域を削減できるから製造コストを低減させることが可能となる。更に、上記分割画像データをＤＭＡ転送時に合成できるため、分割画像データの合成処理を高速化し画像処理速度を向上させることが可能となる。
【００５８】
そして請求項７によれば、上記複数画素処理手段から第１の分割画像データを上記第１バッファ領域にＤＭＡ転送する時と、上記複数画素処理手段から第２の分割画像データを上記第１バッファ領域にＤＭＡ転送する時とで、それぞれ上記開始アドレス、終了アドレス、最終値およびオフセット値を適宜指定することで、その第１バッファ領域に第１および第２の分割画像データを１画像に合成した状態で格納することが可能となる。
【図面の簡単な説明】
【図１】本発明の実施の形態で用いるディジタル・スチル・カメラの全体構成を示す概略図である。
【図２】本発明の実施の形態１に係る画像処理装置を説明するための概略ブロック図である。
【図３】本発明の実施の形態２に係る画像処理方法を説明するための概略ブロック図である。
【図４】本発明の実施の形態２に係る画像処理装置で用いるＤＭＡコントローラの概略構成を示すブロック図である。
【図５】本発明の実施の形態３に係る画像処理装置を説明するための概略ブロック図である。
【図６】本発明の実施の形態３に係る画像処理装置で用いるＤＭＡチャンネルの構成図である。
【図７】ＤＭＡコントローラによる転送処理を模式的に示す説明図である。
【図８】ＤＭＡコントローラによる転送処理を模式的に示す説明図である。
【図９】ＤＭＡコントローラによる転送処理を模式的に示す説明図である。
【図１０】一般的なディジタル・スチル・カメラの概略構成図である。
【図１１】従来の画像処理を説明するためのブロック図である。
【符号の説明】
１４　ＲＰＵ（リアルタイム・プロセッシング・ユニット）
１４ａ　画像分割手段
１４ｂ　単一画素処理手段

１４ｃ　複数画素処理手段
３１　画像合成手段

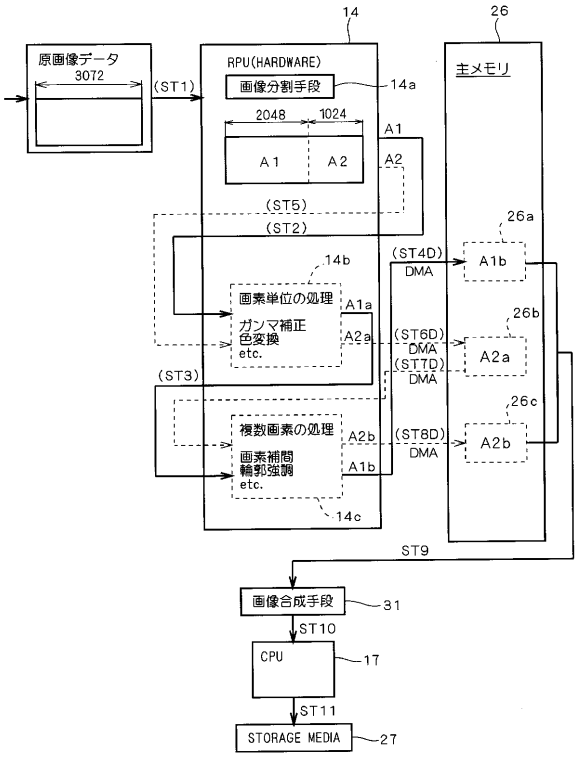
【図１】



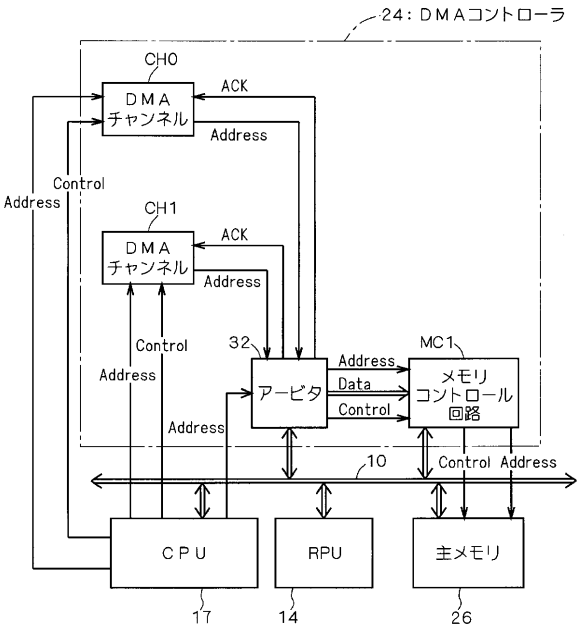
【図２】



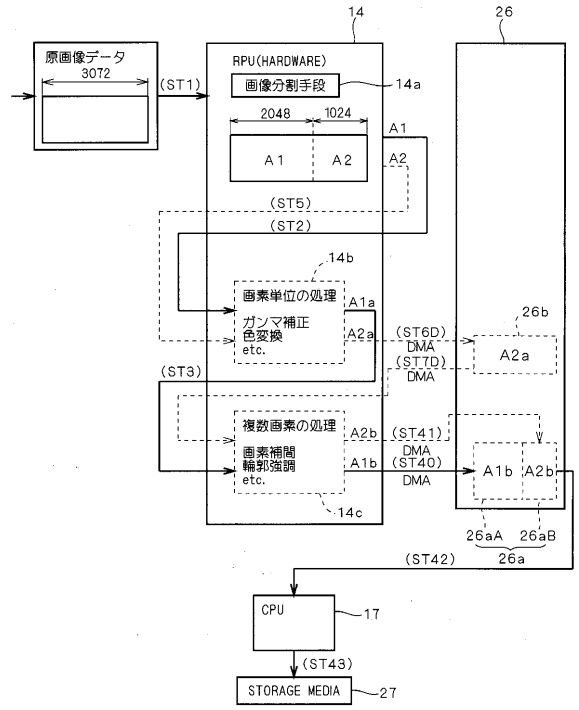
【図３】


14
26
原画像データ
3072
(ST1)
RPU(HARDWARE)
画像分割手段
14a
2048
1024
A1
A2
主メモリ
(ST5)
(ST2)
26a
(ST4D)
DMA
A1b
14b
画素単位の処理
ガンマ補正
色変換
etc.
A1a
A2a
26b
(ST6D)
DMA
(ST7D)
DMA
A2a
(ST3)
26c
複数画素の処理
画素補間
輪郭強調
etc.
A2b
A1b
(ST8D)
DMA
A2b
14c
ST9
画像合成手段
31
ST10
CPU
17
ST11
STORAGE MEDIA
27

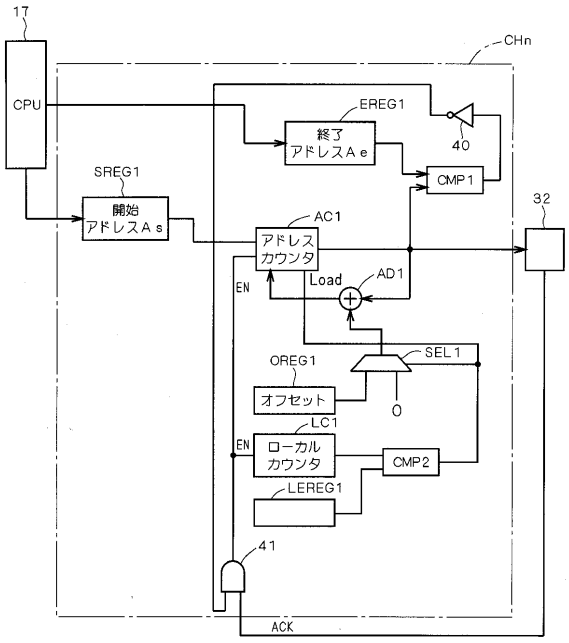
【図４】


24：DMAコントローラ
CH0
DMA
チャンネル
ACK
Address
Control
Address
CH1
DMA
チャンネル
ACK
Address
Control
Address
32
アービタ
Address
Data
Control
MC1
メモリ
コントロール
回路
Address
10
Control
Address
CPU
RPU
主メモリ
17
14
26

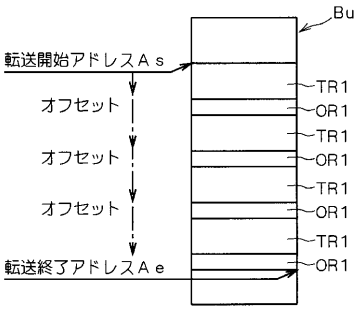
【図５】


14
26
原画像データ
3072
(ST1)
RPU(HARDWARE)
画像分割手段
14a
2048
1024
A1
A2
(ST5)
(ST2)
14b
画素単位の処理
ガンマ補正
色変換
etc.
A1a
A2a
26b
(ST6D)
DMA
(ST7D)
DMA
A2a
(ST3)
複数画素の処理
画素補間
輪郭強調
etc.
A2b
A1b
(ST41)
DMA
(ST40)
DMA
A1b
A2b
14c
26aA
26aB
26a
(ST42)
CPU
17
(ST43)
STORAGE MEDIA
27

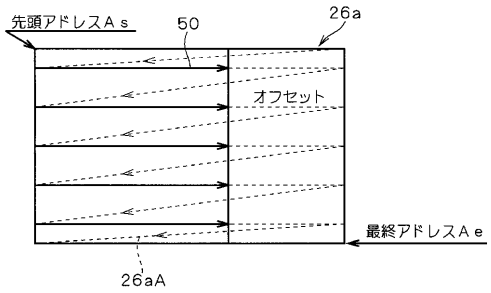
【図６】


17
CPU
CHn
EREG1
終了
アドレスAe
40
CMP1
32
SREG1
開始
アドレスAs
AC1
アドレス
カウンタ
EN
Load
AD1
SEL1
OREG1
オフセット
0
LC1
EN
ローカル
カウンタ
CMP2
LEREG1
41
ACK

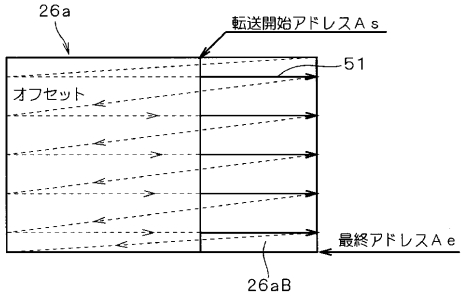
【図７】



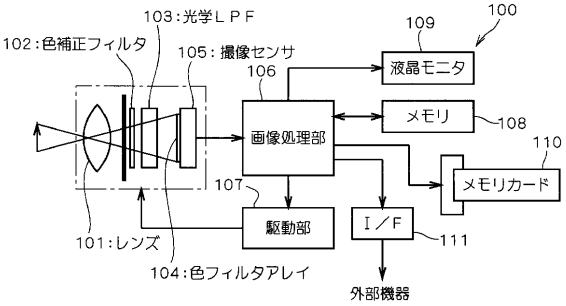
【図８】



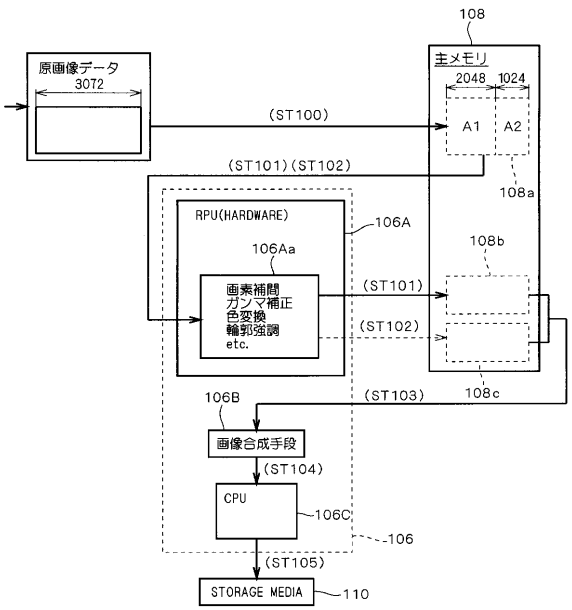
【図９】



【図１０】



【図１１】



フロントページの続き

(72)発明者　佐々木　元
大阪市淀川区宮原４丁目１番６号　株式会社メガチップス内

審査官　仲間　晃

(56)参考文献　特開２０００－２３６４７３（ＪＰ，Ａ）
特開平０８－１５４１６９（ＪＰ，Ａ）
特開平０７－３０６６７１（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.^{7}，ＤＢ名)
H04N　1/387
G06T　1/60　450
H04N　1/21
G06T　3/00　300