



(12)发明专利

(10)授权公告号 CN 104520838 B

(45)授权公告日 2018.01.16

(21)申请号 201380042021.3

(22)申请日 2013.08.07

(65)同一申请的已公布的文献号

申请公布号 CN 104520838 A

(43)申请公布日 2015.04.15

(30)优先权数据

13/571,426 2012.08.10 US

(85)PCT国际申请进入国家阶段日

2015.02.06

(86)PCT国际申请的申请数据

PCT/US2013/054004 2013.08.07

(87)PCT国际申请的公布数据

W02014/025920 EN 2014.02.13

(73)专利权人 高通股份有限公司

地址 美国加利福尼亚州

(72)发明人 S·H·康 X·朱 X·吴

(74)专利代理机构 上海专利商标事务所有限公司 31100

代理人 袁逸

(51)Int.Cl.

G06F 15/78(2006.01)

G06F 12/0893(2016.01)

G06F 12/0806(2016.01)

G06F 12/0811(2016.01)

审查员 赵识谦

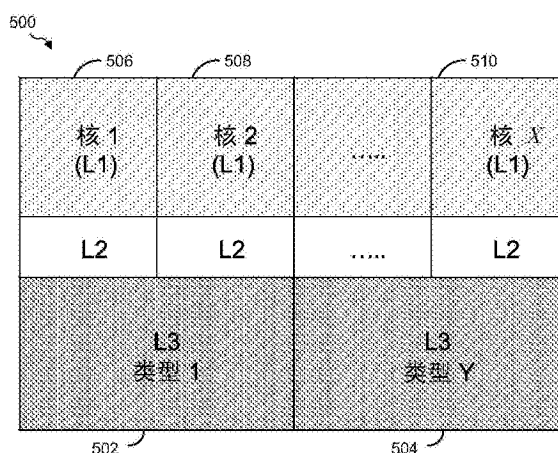
权利要求书3页 说明书6页 附图6页

(54)发明名称

用于多核处理器的可调谐多层次STT-MRAM
高速缓存

(57)摘要

给出了一种多核处理器。该多核处理器包括与该多核处理器的第一核相关联并且根据第一属性来调谐的第一自旋转移矩磁阻随机存取存储器(STT-MRAM)高速缓存、以及与该多核处理器的第二核相关联并且根据第二属性来调谐的第二STT-MRAM高速缓存。



1. 一种多核处理器,包括:

第一自旋转移矩磁阻随机存取存储器STT-MRAM高速缓存,所述第一STT-MRAM高速缓存包括具有第一大小的第一类型磁性隧道结MTJ,并且与所述多核处理器的第一核相关联并且根据第一属性来调谐,所述第一STT-MRAM高速缓存是相对于所述第一核的其他高速缓存层而言的第一低级高速缓存;以及

第二STT-MRAM高速缓存,所述第二STT-MRAM高速缓存包括具有大于所述第一大小的第二大小的第二类型磁性隧道结MTJ,并且与所述多核处理器的第二核相关联并且根据第二属性来调谐,所述第二STT-MRAM高速缓存是相对于所述第二核的其他高速缓存而言的第二低级高速缓存,所述第一属性与所述第二属性不同。

2. 如权利要求1所述的多核处理器,其特征在于,所述第一STT-MRAM高速缓存和所述第二STT-MRAM高速缓存是中级高速缓存。

3. 如权利要求1所述的多核处理器,其特征在于,所述第一STT-MRAM高速缓存和所述第二STT-MRAM高速缓存是嵌入每个核的或者是与每个核单片集成的。

4. 如权利要求1所述的多核处理器,其特征在于,所述第一属性和第二属性至少包括等待时间、高速缓存命中率/未命中率、能量、能量延迟积、数据使用、面积大小、容量大小、和/或数据可靠性。

5. 如权利要求1所述的多核处理器,其特征在于,每个核与一种类型的STT-MRAM高速缓存相关联。

6. 如权利要求1所述的多核处理器,其特征在于,至少一个其他核与所述第一STT-MRAM高速缓存或所述第二STT-MRAM高速缓存相关联。

7. 如权利要求1所述的多核处理器,其特征在于,进一步包括第三STT-MRAM高速缓存,所述第三STT-MRAM高速缓存与所述多核处理器的第三核相关联并且根据第三属性来调谐。

8. 如权利要求1所述的多核处理器,其特征在于,所述第一STT-MRAM高速缓存和所述第二STT-MRAM高速缓存是利用同构低级集成工艺来制造的。

9. 如权利要求1所述的多核处理器,其特征在于,所述多核处理器被集成在移动电话、机顶盒、音乐播放器、视频播放器、娱乐单元、导航设备、计算机、手持式个人通信系统PCS单元、便携式数据单元、和/或位置固定的数据单元中。

10. 一种多核处理器,包括:

第一存储装置,所述第一存储装置包括具有第一大小的第一类型自旋转移矩STT磁阻装置并且与所述多核处理器的第一核相关联并且根据第一属性来调谐,所述第一存储装置是相对于所述第一核的其他存储装置的第一低级存储装置;以及

第二存储装置,所述第二存储装置包括具有大于所述第一大小的第二大小的第二类型STT磁阻装置,并且与所述多核处理器的第二核相关联并且根据第二属性来调谐,所述第二存储装置是相对于所述第二核的其他存储装置的第二低级存储装置,所述第一属性与所述第二属性不同。

11. 如权利要求10所述的多核处理器,其特征在于,所述多核处理器被集成在移动电话、机顶盒、音乐播放器、视频播放器、娱乐单元、导航设备、计算机、手持式个人通信系统PCS单元、便携式数据单元、和/或位置固定的数据单元中。

12. 一种用于在多核处理器中关联高速缓存的方法,包括:

将包括具有第一大小的第一类型磁性隧道结MTJ的第一自旋转移矩磁阻随机存取存储器STT-MRAM高速缓存与所述多核处理器的第一核相关联并且根据第一属性来调谐的步骤,所述第一STT-MRAM高速缓存是相对于所述第一核的其他高速缓存层的第一低级高速缓存;以及

将包括具有大于所述第一大小的第二大小的第二类型磁性隧道结MTJ的第二STT-MRAM高速缓存与所述多核处理器的第二核相关联并且根据第二属性来调谐的步骤,所述第二STT-MRAM高速缓存是相对于所述第二核的其他高速缓存层的第二低级高速缓存,所述第一属性与所述第二属性不同。

13. 如权利要求12所述的方法,其特征在于,进一步包括将所述多核处理器集成在移动电话、机顶盒、音乐播放器、视频播放器、娱乐单元、导航设备、计算机、手持式个人通信系统PCS单元、便携式数据单元、和/或位置固定的数据单元中的步骤。

14. 一种用于在多核处理器中关联高速缓存的方法,包括:

将包括具有第一大小的第一类型磁性隧道结MTJ的第一自旋转移矩磁阻随机存取存储器STT-MRAM高速缓存与所述多核处理器的第一核相关联并且根据第一属性来调谐,所述第一STT-MRAM高速缓存是相对于所述第一核的其他高速缓存层的第一低级高速缓存;以及

将包括具有大于所述第一大小的第二大小的第二类型磁性隧道结MTJ的第二STT-MRAM高速缓存与所述多核处理器的第二核相关联并且根据第二属性来调谐,所述第二STT-MRAM高速缓存是相对于所述第二核的其他高速缓存层的第二低级高速缓存,所述第一属性与所述第二属性不同。

15. 如权利要求14所述的方法,其特征在于,所述关联包括将所述第一STT-MRAM高速缓存和所述第二STT-MRAM高速缓存嵌入每个核或与每个核单片集成。

16. 如权利要求14所述的方法,其特征在于,进一步包括将所述多核处理器集成在移动电话、机顶盒、音乐播放器、视频播放器、娱乐单元、导航设备、计算机、手持式个人通信系统PCS单元、便携式数据单元、和/或位置固定的数据单元中。

17. 一种制造用于多核处理器的高速缓存的方法,所述方法包括:

根据第一属性来调谐包括具有第一大小的第一类型磁性隧道结MTJ的第一自旋转移矩磁阻随机存取存储器STT-MRAM高速缓存,所述第一STT-MRAM高速缓存是相对于第一核的其他高速缓存层的第一低级高速缓存;以及

根据第二属性来调谐包括具有大于所述第一大小的第二大小的第二类型磁性隧道结MTJ的第二STT-MRAM高速缓存,所述第二STT-MRAM高速缓存是相对于第二核的其他高速缓存层的第二低级高速缓存,所述第一属性与所述第二属性不同。

18. 如权利要求17所述的方法,其特征在于,所述第一属性和第二属性至少包括等待时间、高速缓存命中率/未命中率、能量、能量延迟积、数据使用、面积大小、容量大小、和/或数据可靠性。

19. 如权利要求18所述的方法,其特征在于,进一步包括在调谐所述第一STT-MRAM高速缓存和所述第二STT-MRAM高速缓存时利用同构低级集成工艺。

20. 如权利要求17所述的方法,其特征在于,进一步包括将所述多核处理器集成在移动电话、机顶盒、音乐播放器、视频播放器、娱乐单元、导航设备、计算机、手持式个人通信系统PCS单元、便携式数据单元、和/或位置固定的数据单元中。

21. 一种制造用于多核处理器的高速缓存的方法,所述方法包括:

根据第一属性来调谐包括具有第一大小的第一类型磁性隧道结MTJ的第一自旋转移矩磁阻随机存取存储器STT-MRAM高速缓存的步骤,所述第一STT-MRAM高速缓存是相对于第一核的其他高速缓存层的第一低级高速缓存;以及

根据第二属性来调谐包括具有大于所述第一大小的第二大小的第二类型磁性隧道结MTJ的第二STT-MRAM高速缓存的步骤,所述第二STT-MRAM高速缓存是相对于第二核的其他高速缓存层的第二低级高速缓存,所述第一属性与所述第二属性不同。

22. 如权利要求21所述的方法,其特征在于,进一步包括将所述多核处理器集成在移动电话、机顶盒、音乐播放器、视频播放器、娱乐单元、导航设备、计算机、手持式个人通信系统PCS单元、便携式数据单元、和/或位置固定的数据单元中的步骤。

用于多核处理器的可调谐多层次STT-MRAM高速缓存

技术领域

[0001] 本公开一般涉及自旋转移矩磁阻随机存取存储器 (STT-MRAM) 高速缓存。更具体而言,本公开涉及在多核处理器中关联并调谐STT-MRAM高速缓存。

背景技术

[0002] 通常,多核处理器(诸如Intel® Core™ i7处理器)具有多层次存储器阶层体系。多核处理器中的每个核可以具有专用的高速缓存阶层体系(第1级(L1)-第2级(L2))并且也可以共享低级高速缓存(第3级(L3))。低级高速缓存往往具有增加的芯片面积,并且因此,低级高速缓存往往会增加与多核处理器相关联的成本。

[0003] 在一些现有技术系统中,嵌入式高速缓存(例如,L1-L3)往往利用静态随机存取存储器(SRAM)。SRAM可以是可取的,因为它是逻辑兼容并且快速的。不过,SRAM具有大尺寸面积,这导致高成本,并且进一步,SRAM往往会漏泄功率。因此,至少由于增加的成本和功耗,为多核处理器的低级高速缓存使用SRAM可能是不可取的。

[0004] 其他现有技术系统可以具有混合高速缓存(例如,穿硅堆叠(TSS)或者叠成封装(PoP))。混合高速缓存是指在诸高速缓存级中利用不同类型的存储器的系统。混合高速缓存可以配置为级间混合高速缓存、级内混合高速缓存、或者三维(3D)混合高速缓存。

[0005] 图1解说了现有技术级间混合高速缓存100的示例。如图1中所解说的,核102(其包括L1)和L2高速缓存104可以使用SRAM,并且L3高速缓存106可以使用不同类型的存储器,诸如嵌入式动态随机存取存储器(eDRAM)、MRAM或者相变随机存取存储器(PRAM)。级间混合高速缓存100不限于图1中讨论的存储器类型并且可以为每个高速缓存层102-106使用各种存储器类型。

[0006] 图2解说了现有技术级内混合高速缓存200的示例。如图2中所解说的,核202(具有L1)和第一L2高速缓存204可以使用SRAM。具体而言,第一L2高速缓存204可以针对高速存储器来配置,并且因此,第一L2高速缓存204可以利用SRAM。此外,第二L2高速缓存206可以针对慢速存储器来配置,并且因此,第二L2高速缓存206可以是类型不同于在第一L2高速缓存204中使用的存储器类型的存储器。例如,第二L2高速缓存206可以使用eDRAM、MRAM或者PRAM。级内混合高速缓存200不限于图2中解说的存储器类型并且可以为每个高速缓存层202-206利用各种存储器类型。

[0007] 级间或级内混合高速缓存可以使用各种存储器技术。不过,级间高速缓存和级内混合高速缓存是复杂的,并且由于各种存储器技术的单片集成而具有增加的制造成本。因此,由于增加的成本和复杂度,对多核处理器的低级高速缓存使用级间或级内混合高速缓存是不可取的。

[0008] 图3解说了现有技术3D混合高速缓存300的示例。如图3中所解说的,核302(具有L1)和第一L2高速缓存304可以使用SRAM。此外,第二L2高速缓存306可以配置成利用慢速存储器,并且因此,第二L2高速缓存306可以利用不同类型的存储器,诸如eDRAM、MRAM或者PRAM。此外,核302、第一L2高速缓存304和第二L2高速缓存306可以全都被定义在单块芯片

上。L3高速缓存308可以使用诸如PRAM之类的存储器,并且可以定义在单独管芯上,该单独管芯连接到包括核302、第一L2高速缓存304以及第二L2高速缓存306的芯片。即,L3高速缓存308在与包括核302、第一L2高速缓存304以及第二L2高速缓存306的层不同的层(例如,芯片)上。

[0009] 由于在多个层中使用异构存储器以及在已知良好的管芯中使用高密度存储器,3D混合高速缓存会是可取的。不过,3D混合高速缓存指定了堆叠式的多管芯解决方案。相应地,由于堆叠式的管芯,3D混合高速缓存会增加成本。此外,管芯的堆叠也增加了开销(例如,成本,可靠性)。

[0010] 概述

[0011] 根据本公开的一方面,给出了一种多核处理器。该多核处理器包括第一自旋转移矩磁阻随机存取存储器(STT-MRAM)高速缓存,该第一STT-MRAM高速缓存与该多核处理器的第一核相关联并且根据第一属性来调谐。该多核处理器进一步包括第二STT-MRAM高速缓存,该第二STT-MRAM高速缓存与该多核处理器的第二核相关联并且根据第二属性来调谐。

[0012] 根据另一方面,给出了一种多核处理器。该多核处理器包括第一存储装置,该第一存储装置与该多核处理器的第一核相关联并且根据第一属性来调谐。该多核处理器还包括第二存储装置,该第二存储装置与该多核处理器的第二核相关联并且根据第二属性来调谐。

[0013] 根据另一方面,给出了一种用于在多核处理器中关联高速缓存的方法。该方法包括将第一自旋转移矩磁阻随机存取存储器(STT-MRAM)高速缓存与该多核处理器的第一核相关联并且根据第一属性来调谐。该方法还包括将第二STT-MRAM高速缓存与该多核处理器的第二核相关联并且根据第二属性来调谐。

[0014] 根据另一方面,给出了一种制造用于多核处理器的高速缓存的方法。该方法包括根据第一属性来调谐第一自旋转移矩磁阻随机存取存储器(STT-MRAM)高速缓存。该方法还包括根据第二属性来调谐第二STT-MRAM高速缓存。

[0015] 这已较宽泛地勾勒出本公开的特征和技术优势以力图使下面的详细描述可以被更好地理解。本发明的其他特征和优点将在下文描述。本领域技术人员应该领会,本发明可容易被用作改动或设计用于实施与本发明相同的目的的其他结构的基础。本领域技术人员还应认识到,这样的等效构造并不脱离所附权利要求中所阐述的本发明的教导。被认为是本发明的特性的新颖特征在其组织和操作方法两方面连同进一步的目的是和优点在结合附图来考虑以下描述时将被更好地理解。然而要清楚理解的是,提供每一幅附图均仅用于解说和描述目的,且无意作为对本发明的限定的定义。

[0016] 附图简述

[0017] 本公开的特征、本质和优点将因以下结合附图阐述的具体描述而变得更加明显。

[0018] 图1-3解说了现有技术存储器系统。

[0019] 图4-5解说了根据本公开的一方面的利用STT-MRAM高速缓存的多层次多核处理器。

[0020] 图6解说了根据本公开的一方面的用于在多核处理器中关联和调谐STT-MRAM高速缓存的方法的框图。

[0021] 图7解说了其中可有利地采用本公开的实施例的示例性无线通信系统。

[0022] 图8是解说根据本公开一方面的用于半导体组件的电路、布局以及逻辑设计的设计工作站的框图。

[0023] 详细描述

[0024] 以下结合附图阐述的详细描述旨在作为各种配置的描述,而无意表示可实践本文中所描述的概念的仅有的配置。本详细描述包括具体细节以便提供对各种概念的透彻理解。然而,对于本领域技术人员将显而易见的是,没有这些具体细节也可实践这些概念。在一些实例中,以框图形式示出众所周知的结构和组件以避免湮没此类概念。

[0025] 本公开的一个方面提供了对速度、功率和密度可调谐而同时降低了成本和复杂度的低级高速缓存。在本公开的一个方面,描述了用于多核处理器的多层次STT-MRAM高速缓存。

[0026] 与常规的随机存取存储器(RAM)芯片技术不同,在磁阻RAM(MRAM)中,数据不是作为电荷来存储的,而是取而代之通过存储元件的磁极化来存储的。这些存储元件是从由隧穿层分开的两个铁磁层形成的。这两个铁磁层中的一个(称为固定层或者钉扎层)具有固定在特定方向上的磁化。另一铁磁磁性层(称为自由层)具有可以被更改为表示“1”(当自由层的磁化与固定层磁化反向平行时)或者“0”(当自由层的磁化与固定层磁化平行时)的磁化方向。具有固定层、隧穿层和自由层的一种此类器件是磁性隧道结(MTJ)。MTJ的电阻取决于自由层磁化和固定层磁化是彼此平行还是彼此反向平行。存储器器件(诸如MRAM)是从可个体寻址的MTJ的阵列构造的。

[0027] STT-MRAM是一种类型的MRAM。STT-MRAM的自由层磁化可以由穿过MTJ的电流来切换。由此,STT-MRAM与使用磁场的常规MRAM是有区别的。STT-MRAM针对速度、功率、密度和成本是可调谐的。STT-MRAM可以被定制以作为对用于低级高速缓存的存储器的替换。此外,STT-MRAM单元和宏可以用多个配置(例如,多层次)在单片管芯上制造,而不招致额外的工艺步骤和花费。由此,期望利用STT-MRAM作为每个处理器核的多层次低级高速缓存。应当注意,STT-MRAM不限于低级(L3)高速缓存,并且可以按需用于其他高速缓存层(例如,L1或L2)。

[0028] 在多核处理器中,每个处理器核可以处理不同工作负载,并且因此,每个处理器核可以指定不同类型的存储器。例如,一个处理器核可以指定为高性能而调谐的存储器,而第二处理器核可以指定为低功率而调谐的存储器。在典型的多核处理器中,低级高速缓存是相同的电路系统,并且并不为每个核而调谐。根据当前方面,可以为每个处理器核调谐(例如,定制)多层次STT-MRAM高速缓存,以使得定制的多层次STT-MRAM高速缓存可以改进每个处理器核的效率,并且由此交付出改进的芯片级功率性能。根据一些方面,每个多层次STT-MRAM可以由至少两个处理器核共享。在本公开中,术语处理器核有时可以被称为核。

[0029] 图4解说了根据本公开的一方面的利用STT-MRAM高速缓存的多层次多核处理器400。如图4中所解说的,多核处理器的每个核408-412(核1-核X)是与高速缓存的层次(L1-L3)相关联的。L1和L2高速缓存可专用于每个核。应当注意,X等于核的数目并且等于或大于可被用于每个核的高速缓存的STT-MRAM类型的数目。此外,Y等于STT-MRAM高速缓存类型的数目并且Y等于或小于X。

[0030] 如在图4中所解说的,每个低级STT-MRAM高速缓存402-406可以根据特定属性(类型1-类型Y)来被调谐。根据一个方面,类型1STT-MRAM高速缓存402可以为了快速存取(例

如,提升的性能)而用第一组属性来调谐。即,类型1STT-MRAM高速缓存402可以被调谐以包括短等待时间和快速周期时间。类型1STT-MRAM高速缓存402单元的大小也可以被调谐成大于(例如,2个晶体管(T)/1个MTJ)其他类型的STT-MRAM高速缓存的典型单元大小。根据一些方面,类型1STT-MRAM高速缓存402的MTJ的大小可以小于其他类型的STT-MRAM高速缓存的MTJ的大小。减小的MTJ大小可以因增加的电流密度而提高STT-MRAM高速缓存的速度。

[0031] 此外,类型Y STT-MRAM高速缓存404可以用第二组属性来调谐。在该示例中,可以针对更高的密度来调谐类型Y STT-MRAM高速缓存404。即,类型Y STT-MRAM高速缓存404可以被调谐为具有大于其他类型的STT-MRAM高速缓存的密度的密度。例如,类型1STT-MRAM高速缓存402可以具有8兆比特(Mb)的密度,而类型Y STT-MRAM高速缓存404可以具有16-32Mb的密度。类型Y STT-MRAM高速缓存404的增加的密度增大了高速缓存大小,由此,增大了高速缓存命中率并减小了高速缓存未命中率。为了增大类型Y STT-MRAM高速缓存404的密度,类型Y STT-MRAM高速缓存404的单元大小可以小于其他类型的STT-MRAM的大小。例如,类型Y STT-MRAM高速缓存404的单元大小可以是1晶体管-1MTJ(1T-1J)。因为类型Y STT-MRAM高速缓存404具有增加的密度,所以类型Y STT-MRAM高速缓存404可以存储诸如用于断电并瞬时启用的编程代码(例如,操作系统(OS)的诸部分)之类的的数据。

[0032] 根据一些方面,这些属性对于所有或一些STT-MRAM高速缓存类型而言可以是类似的。例如,类型2STT-MRAM高速缓存406可以具有与类型1STT-MRAM高速缓存402或者类型Y STT-MRAM高速缓存404相同的属性。替换地,对于每种类型的STT-MRAM而言属性可以是不同的。例如,类型1STT-MRAM高速缓存402、类型2STT-MRAM高速缓存406以及类型Y STT-MRAM高速缓存404的每一个属性可以是不同的。此外,对STT-MRAM类型的调谐并不限于针对图4描述的配置。即,STT-MRAM可以针对各种配置来调谐,诸如举例而言,安全性、性能、可靠性、数据类型、功率、使用、密度以及与各种存储器类型相关联的其他配置。

[0033] 图5解说了根据本公开的另一方面的利用STT-MRAM高速缓存的多层次多核处理器500。如图5中所解说的,多核处理器的每个核506-510(核1-核X)与高级高速缓存(L1)和中级高速缓存(L2)相关联,此外,低级高速缓存(L3)在这些核之间被共享。应当注意,X等于核的数目,并且当X大于2时,STT-MRAM高速缓存可以在诸核之间被共享。进一步,Y等于STT-MRAM高速缓存类型的数目并且Y等于或小于X。

[0034] 如在图5中所解说的,每个低级STT-MRAM高速缓存可以根据特定属性(类型1-类型Y)来被调谐。此外,类型1STT-MRAM高速缓存502可以是核1506和核2510的共享高速缓存,并且类型Y STT-MRAM高速缓存504可以是所有其他核的共享高速缓存。根据一个方面,类型1STT-MRAM高速缓存502可以根据第一组属性来调谐,并且类型Y STT-MRAM高速缓存504可以根据第二组属性来调谐。此外,对STT-MRAM高速缓存的共享并不限于图5中解说的方面,STT-MRAM高速缓存可以由不止两个核共享,并且一些核可以不共享处于共享配置中的STT-MRAM高速缓存。即,一些类型的STT-MRAM高速缓存可以仅与一个核相关联,而其他类型的STT-MRAM高速缓存可以在核之间被共享。

[0035] 如之前所讨论的,可以根据特定属性来调谐STT-MRAM的类型。这些属性可以包括等待时间、高速缓存命中/未命中率、能量、能量延迟积(例如,性能和能耗的组合)、数据使用(例如,占空比因素:读、写或者保持/存储)、以及数据可靠性和安全性(例如,强数据保持和保护)。前述属性是可以被配置成调谐STT-MRAM高速缓存类型的各种属性的示例,本公开

并不限于前述的属性并且为其他属性做了构想。应当注意,在本公开中,属性包括参数。

[0036] 各种属性允许针对性能(例如,等待时间,高速缓存命中/未命中率)、数据类型使用、可靠性、功率和密度来定制每个STT-MRAM高速缓存。此外,STT-MRAM高速缓存利用同构低级工艺集成,这不会导致额外的工艺开销,因为低级高速缓存的不同层次是同时被制造的。即,相同制造工艺可以被用于每种类型的STT-MRAM高速缓存,而在总的工艺流程中仅有微小变动。例如,在同一工艺流程中可以使用不同掩模布局以创建以不同方式调谐的高速缓存。

[0037] 此外,使用STT-MRAM高速缓存可以减小芯片成本。即,STT-MRAM高速缓存可以使用与SRAM高速缓存相比更少的空间。例如,根据一些方面,STT-MRAM高速缓存与相同密度的SRAM低级高速缓存相比可以节省大约2到3倍的面积。

[0038] 图6解说了用于关联和调谐STT-MRAM高速缓存600的方法的框图。如图6中所解说的,如框602中所示,第一STT-MRAM高速缓存与第一核相关联。如框604中所示,根据第一属性来调谐第一STT-MRAM。此外,如框606中所示,第二STT-MRAM高速缓存与第二核相关联。此外,如框608中所示,根据第二属性来调谐第二STT-MRAM。如框610中所示,该方法还可以包括将至少一个其他核与第一STT-MRAM高速缓存或者第二STT-MRAM相关联。

[0039] 图7示出其中可有利地采用本公开实施例的示例性无线通信系统700。出于解说目的,图7示出了三个远程单元720、730和750以及两个基站740。将认识到,无线通信系统可具有多得多的远程单元和基站。远程单元720、730和750包括带有低级STT-MRAM高速缓存725A、725B和725C的多核处理器。图7示出从基站740到远程单元720、730、和750的前向链路信号770,以及从远程单元720、730、和750到基站740的反向链路信号710。

[0040] 在图7中,远程单元720被示为移动电话,远程单元730被示为便携式计算机,而远程单元750被示为无线本地环路系统中的位置固定的远程单元。例如,远程单元可以是蜂窝电话、手持式个人通信系统(PCS)单元、机顶盒、音乐播放器、视频播放器、娱乐单元、导航设备、便携式数据单元(诸如个人数据助理)或者位置固定的数据单元(诸如仪表读数装备)。尽管图7解说了可采用带有根据本公开的教导的低级STT-MRAM高速缓存725A、725B、725C的多核处理器的远程单元,但本公开不限于所解说的这些示例性单元。例如,可在任何设备中适当地采用带有根据本公开各方面的低级STT-MRAM高速缓存的多核处理器。

[0041] 图8是解说用于具有上面公开的半导体组件(诸如具有低级STT-MRAM高速缓存的多核处理器)的电路、布局和逻辑设计的设计工作站的框图。设计工作站800包括硬盘801,该硬盘801包含操作系统软件、支持文件以及设计软件,诸如Cadence或OrCAD。设计工作站800还包括促成对电路810或半导体组件812(诸如带有低级STT-MRAM的多核处理器)的设计的显示器802。提供存储介质804以用于有形地存储电路设计810或半导体组件812。电路设计810或半导体组件812可以文件格式(诸如GDSII或GERBER)存储在存储介质804上。存储介质804可以是CD-ROM、DVD、硬盘、闪存、或其他合适的设备。此外,设计工作站800包括用于从存储介质804接受输入或将输出写入存储介质804的驱动装置803。

[0042] 存储介质804上记录的数据可指定逻辑电路配置、用于光刻掩模的图案数据、或者用于串写工具(诸如电子束光刻)的掩模图案数据。该数据可进一步包括与逻辑仿真相关联的逻辑验证数据,诸如时序图或网电路。在存储介质804上提供数据通过减少了用于设计半导体晶片的工艺数目来促成对电路设计810或半导体组件812的设计。

[0043] 在一个配置中,该存储器设备包括与多核处理器的第一核相关联并且根据第一属性来调谐的第一存储装置。该存储器设备还包括与该多核处理器的第二核相关联并且根据第二属性来调谐的第二存储装置。该存储装置可以是低级STT-MRAM高速缓存402-406502-504、第二级(L2)高速缓存、和/或配置成执行标识装置所叙述的功能的其他存储器类型。

[0044] 尽管已阐述了特定电路系统,但是本领域技术人员应当领会,并非所有所公开的电路系统都是实践所公开的实施例所必需的。此外,某些众所周知的电路未被描述,以便保持专注于本公开。

[0045] 本文中所描述的方法体系取决于应用可藉由各种手段来实现。例如,这些方法体系可在硬件、固件、软件或其任何组合中实现。对于硬件实现,这些处理单元可以在一个或多个专用集成电路(ASIC)、数字信号处理器(DSP)、数字信号处理器件(DSPD)、可编程逻辑器件(PLD)、现场可编程门阵列(FPGA)、处理器、控制器、微控制器、微处理器、电子器件、设计成执行本文中所描述功能的其他电子单元或其组合内实现。

[0046] 对于固件和/或软件实现,这些方法体系可以用执行本文所描述功能的模块(例如,规程、函数等等)来实现。有形地体现指令的任何机器或计算机可读介质可用于实现本文中所描述的方法体系。例如,软件代码可被存储在存储器中并由处理器执行。当由处理器执行时,执行中的软件代码生成实现本文所呈现的教导的不同方面的各种方法体系和功能性的操作环境。存储器可以实现在处理器内部或处理器外部。如本文所使用的,术语存储器是指任何类型的长期、短期、易失性、非易失性、或其他存储器,且并不限于任何特定类型的存储器或特定数目的存储器、或记忆存储在其上的介质类型。

[0047] 存储有定义本文所述方法体系和功能的软件代码的机器或计算机可读介质包括物理计算机存储介质。存储介质可以是能被计算机访问的任何可用介质。作为示例而非限制,这些计算机可读介质可包括RAM、ROM、EEPROM、CD-ROM或其它光盘存储、磁盘存储或其它磁存储设备、或可被用来存储指令或数据结构形式的期望程序代码且可被计算机访问的任何其它介质。如本文所用的盘(disk)和/或碟(disc)包括压缩碟(CD)、激光碟、光碟、数字多用碟(DVD)、软盘和蓝光碟,其中盘(disk)常常磁性地再现数据而碟(disc)用激光来光学地再现数据。上述的组合也应被包括在计算机可读介质的范围内。

[0048] 除了存储在计算机可读介质上,指令和/或数据还可作为包括在通信装置中的传输介质上的信号来提供。例如,通信装置可包括具有指示指令和数据的信号的收发机。这些指令和数据被配置成使一个或多个处理器实现权利要求中叙述的功能。

[0049] 尽管已详细描述了本教导及其优点,但是应当理解,能在本文中作出各种改变、替代和变更而不会脱离如由所附权利要求所定义的本教导的技术。而且,本申请的范围并非旨在被限定于说明书中所描述的过程、机器、制造、物质组成、装置、方法和步骤的特定方面。因为本领域普通技术人员将容易地从本公开领会到,根据本教导,可以利用现存或今后开发的与本文所描述的相应方面执行基本相同的功能或达成基本相同的结果的过程、机器、制造、物质组成、装置、方法或步骤。因此,所附权利要求旨在将这样的过程、机器、制造、物质组成、装置、方法或步骤包括在其范围内。

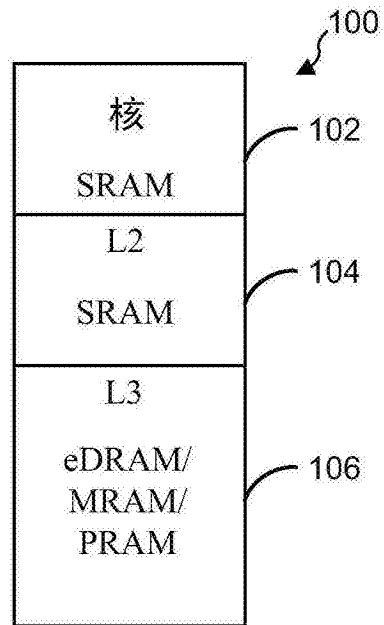


图1 (现有技术)

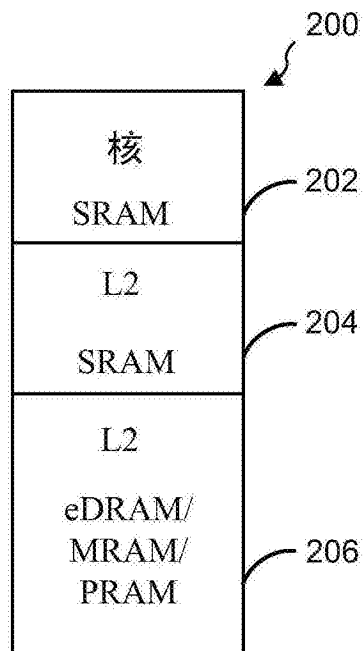


图2 (现有技术)

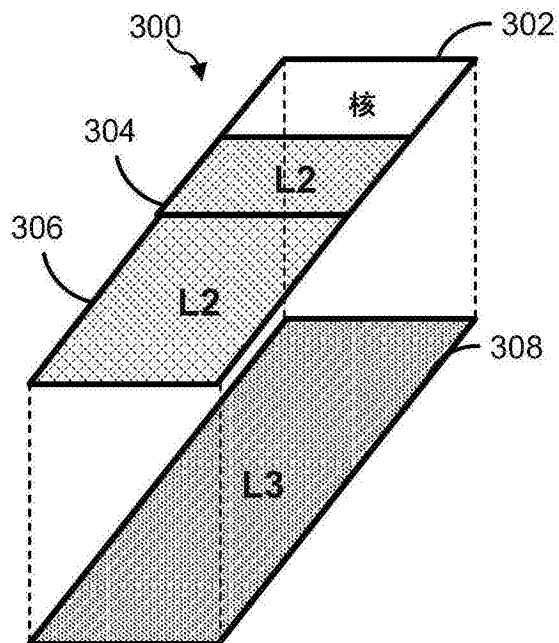


图3(现有技术)

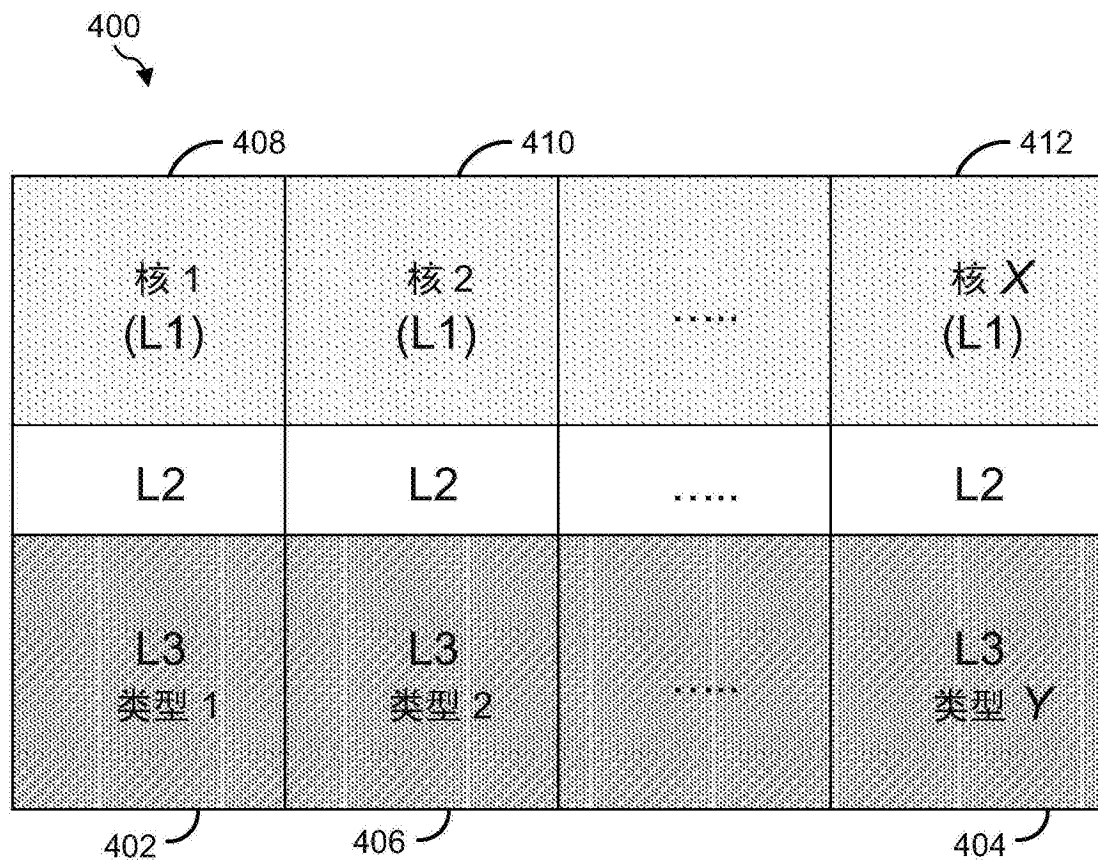


图4

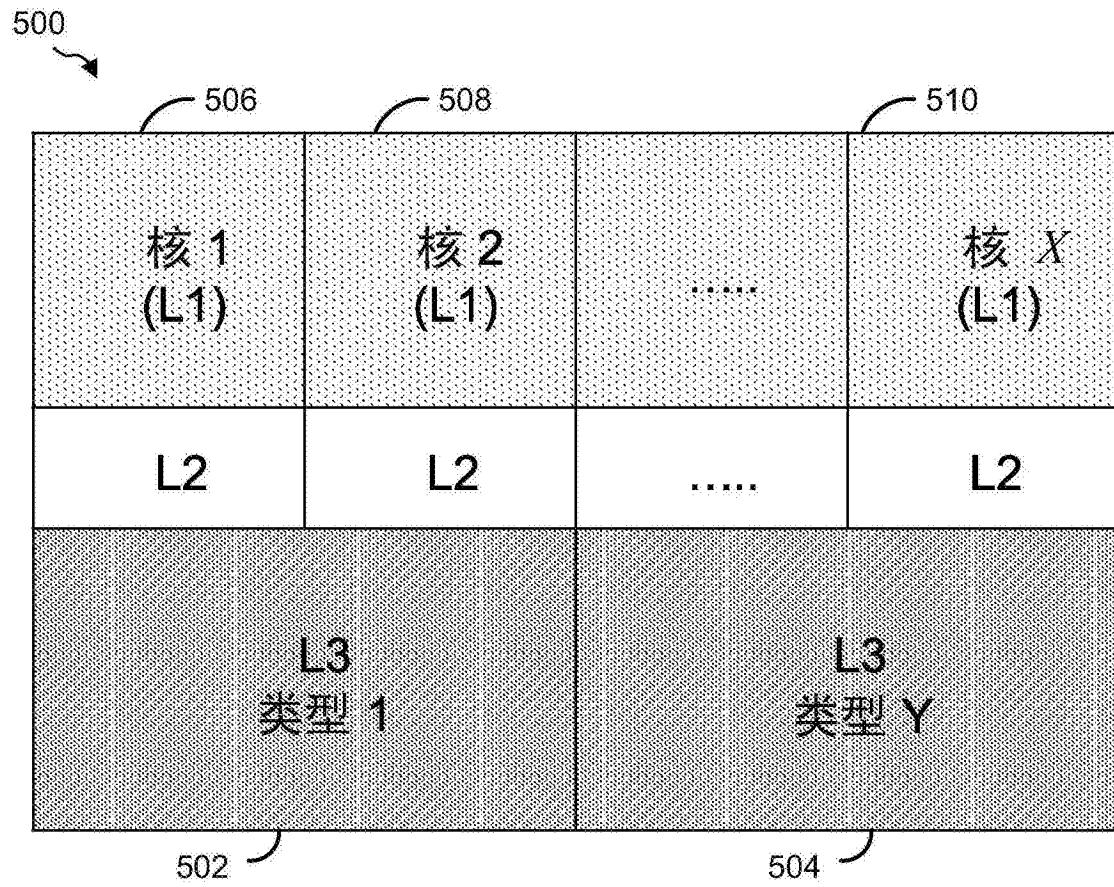


图5

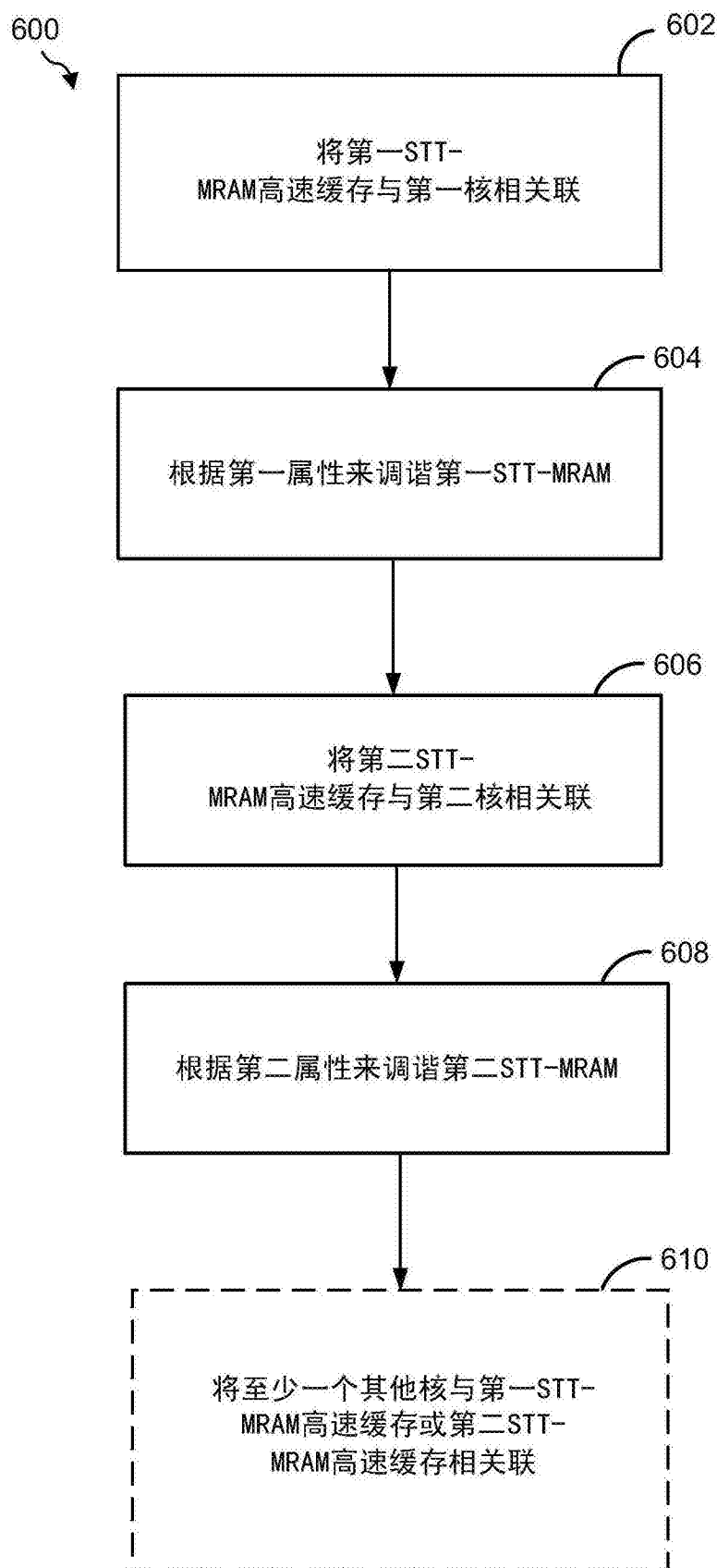


图6

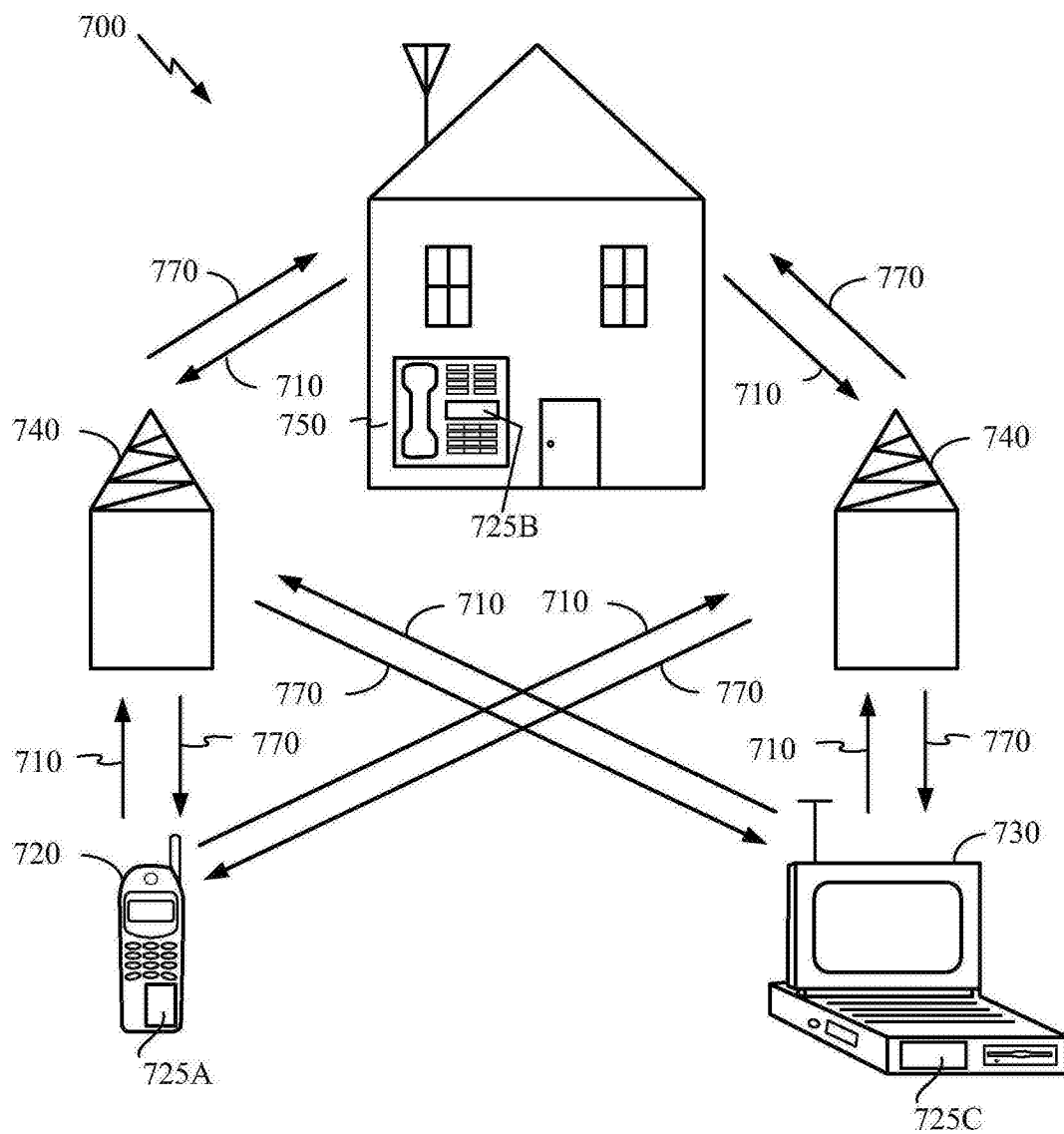


图7

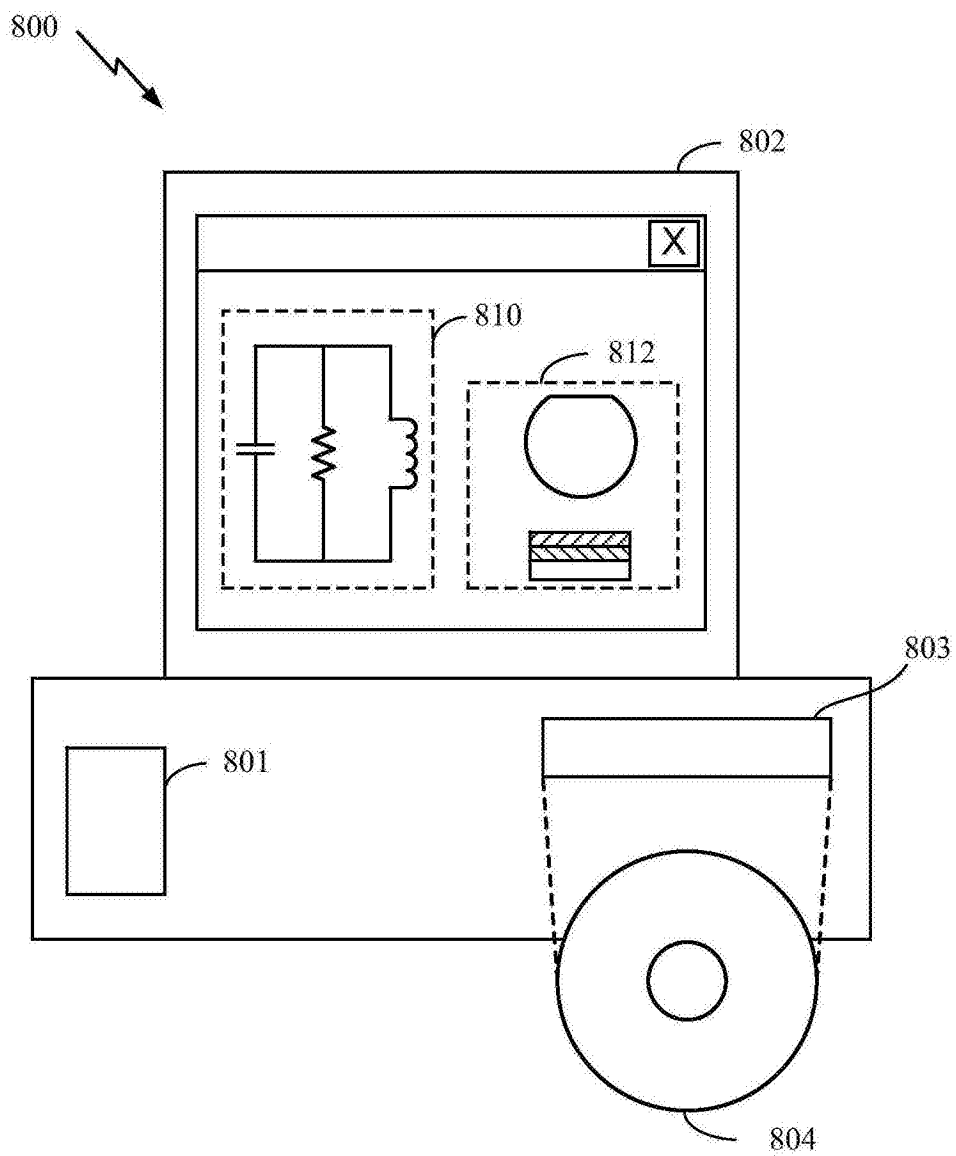


图8