

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 27/04

G11C 11/34



[12] 发明专利说明书

[21] ZL 专利号 98812670.2

[45] 授权公告日 2005 年 3 月 30 日

[11] 授权公告号 CN 1195324C

[22] 申请日 1998.12.21 [21] 申请号 98812670.2

[30] 优先权

[32] 1997.12.26 [33] JP [31] 359271/1997

[86] 国际申请 PCT/JP1998/005770 1998.12.21

[87] 国际公布 WO1999/034445 日 1999.7.8

[85] 进入国家阶段日期 2000.6.26

[71] 专利权人 株式会社日立制作所

地址 日本东京

[72] 发明人 水野弘之 石桥孝一郎 志村隆则

服部俊洋

审查员 赵百令

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

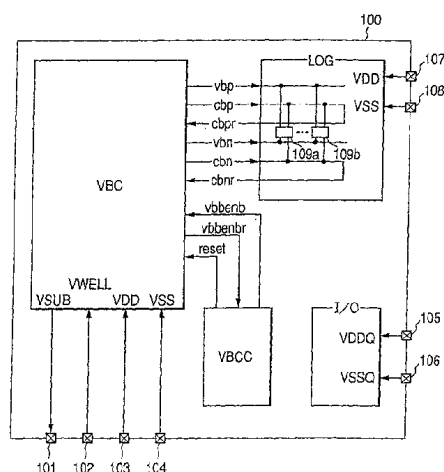
代理人 王永刚

权利要求书 5 页 说明书 26 页 附图 25 页

[54] 发明名称 半导体集成电路

[57] 摘要

为了提供在保持其高质量的同时,能够满足快速工作和低功耗特性的半导体 IC 装置,例如微处理器等,本发明的半导体 IC 装置构成为包括:具有形成于半导体衬底上的各晶体管的主电路(LOG),用于控制将加于衬底上的电压的衬底偏置控制电路(VBC),所说主电路包括开关晶体管(MN1 和 MP1),用于控制将加于衬底上的电压,从衬底偏置控制电路输入的控制信号进入每个开关晶体管的栅,并且所说控制信号反回所说衬底偏置控制电路。



ISSN 1008-4274

1、一种半导体集成电路，包括：

具有多个单元的主电路，各单元至少包括一个 MOS 晶体管；

衬底偏置控制电路，用于控制加到所述 MOS 晶体管的衬底上的衬底偏置电压；

备用态控制电路，用于通过控制所述衬底偏置控制电路，在至少激活和备用两种状态下转换所述半导体集成电路的状态，所述激活态允许第一亚阈值漏电流在所述主电路中流动，所述备用态允许小于所述第一亚阈值漏电流的第二亚阈值漏电流在所述主电路中流动；以及

多个衬底驱动 MOS 晶体管，用于驱动激活态的衬底偏置电压，各个衬底驱动 MOS 晶体管的源 - 漏通路位于源和各个单元的所述 MOS 晶体管的阱之间，以及所述衬底驱动 MOS 晶体管的栅极电位由所述衬底偏置控制电路控制，

其中，在所述激活态时浅控制所述衬底偏置电压，而在所述备用态时深控制所述衬底偏置电压；

在激活态时通过所述衬底驱动晶体管的源 - 漏通路施加所述衬底偏置电压，而在备用态时，从所述衬底偏置控制电路施加所述衬底偏置电压。

2、根据权利要求 1 的半导体集成电路，其中，用于控制每个所述衬底驱动 MOS 晶体管的所述栅电压的栅控制信号布设为与所述衬底驱动 MOS 晶体管的栅连接，然后返回到所述衬底偏置控制电路。

3、根据权利要求 1 的半导体集成电路，其中，所述衬底驱动 MOS 晶体管的阈值电压设定为大于构成所述主电路的 MOS 晶体管的阈值电压。

4、根据权利要求 1 的半导体集成电路，其中，所述半导体集成电路还包括用于与所述电路的外部连接的 I/O 电路，所述 I/O 电路的至少一个 MOS 晶体管具有的氧化膜比构成所述主电路的 MOS 晶体

管的氧化膜厚。

5、根据权利要求1的半导体集成电路，其中，所述半导体集成电路还包括用于探测所述主电路是否加电的加电复位电路，其中，所述衬底驱动 MOS 晶体管控制所述衬底偏置电压，以便在所述主电路加电后，在所述激活态被浅驱动一段固定的时间。

6、根据权利要求1的半导体集成电路，其中，所述半导体集成电路还包括第一电源电压和第二电源电压，

所述第一电源电压的绝对值大于所述第二电源电压的绝对值，为2V或2V以下，

所述第二电源电压提供给所述主电路，

所述第一电源电压提供给所述衬底偏置控制电路和备用态控制电路，

所述第一电源电压先于第二电源电压被激活，以及

所述衬底偏置控制电路进行控制，以便在激活了所述第二电源电压后，所述主电路在激活态保持一段固定的时间。

7、根据权利要求1的半导体集成电路，其中，在所述集成电路的状态从所述备用态变到所述激活态的过程中，所述衬底偏置控制电路用于控制所述衬底驱动 MOS 晶体管的栅极控制信号的输出阻抗，使之变为大于所述集成电路的状态已完全设定在所述激活态后的输出阻抗，从而调节从所述备用态变到所述激活态的速度，以便减小所述改变过程中的浪涌电流。

8、根据权利要求7的半导体集成电路，其中，所述栅极控信号的幅度设定为大于所述衬底驱动晶体管的栅击穿电压。

9、根据权利要求1的半导体集成电路，其中，

所述半导体集成电路包括负电压发生电路，以及

所述衬底偏置控制电路控制所述负电压发生电路，使之在备用态时的输出阻抗低于在激活态时的输出阻抗。

10、根据权利要求9的半导体集成电路，其中，

所述负电压发生电路包括第一和第二充电泵电路，

所述衬底偏置控制电路在所述备用态使用所述第一充电泵电路，在所述激活态使用所述第二充电泵电路，从而分别产生负电压，以及

所述第一充电泵电路的抽运电容设定为大于所述第二充电泵电路的抽运电容。

11、根据权利要求 10 的半导体集成电路，其中，所述半导体集成电路还包括第一和第二电源电压，所述负电压发生电路产生第三电源电压，

所述第一电源电压大于所述第二电源电压，为 2V 或 2V 以下，

所述第二电源电压被提供给所述主电路，

至少所述第一电源电压被提供给所述衬底偏置控制电路和所述备用态控制电路，

所述衬底偏置控制电路控制 PMOS 晶体管和 NMOS 晶体管的所述衬底偏置，从而在所述备用态时使 PMOS 晶体管的衬底偏置等于所述第二电源电压的电位，而 NMOS 晶体管的衬底偏置等于所述第三电源电压的电位，以及

所述第三电源电压由从所述第一电源电压减去所述第二电源电压得到。

12、根据权利要求 11 的半导体集成电路，其中，所述负电压发生电路至少具有一个比较器、一个用于产生为第二电源电压电位一半的电位的第一基准电压电路，和一个用于产生介于所述第一电源电压和所述第三电源电压间的中间电位的第二基准电压电路，以及

所述比较器把所述第一基准电压电路的电压输出与所述第二基准电压电路的电压输出进行比较，从而控制至少一个所述充电泵，以便稳定所述第三电源电压。

13、根据权利要求 12 的半导体集成电路，其中，每个所述第一和第二基准电压发生电路分别由多个相同类型 MOS 晶体管串联的串联电路构成，在每个所述 MOS 晶体管中，基准端子接源端，栅端接漏端，每个所述 MOS 晶体管选择为在饱和区工作。

14、根据权利要求 12 的半导体集成电路，其中，所述比较器具有 Schmitt 特性。

15、根据权利要求 1 的半导体集成电路，其中，所述主电路包括多个单元，这些单元电源网络由第一金属级加电，而另一电源网络由所述第一金属级之上的第二布线层形成，以便与所述第一金属级正交，开关单元设置在由所述第一布线层形成的电源网络和由所述第二布线层形成的电源网络的每个交点处，从而使由所述第一布线层形成的电源网络在每个开关单元处被连接到由所述第二布线层形成的电源网络，以及，所述衬底驱动 MOS 晶体管设置在所述开关单元中。

16、根据权利要求 15 的半导体集成电路，其中，在所述开关单元中，在电源和地之间还设有一个去耦电容器。

17、根据权利要求 15 的半导体集成电路，其中，在由所述第二布线层形成的所述电源网络之上还设置有由第四布线层形成的电源网络，使之与由第二布线层形成的电源网络平行对准，以及由所述第二和所述第四布线层形成的电源网络在所述开关单元之外彼此连接。

18、根据权利要求 17 的半导体集成电路，其中，还由第五布线层形成另一个电源网络，由所述第四布线层形成的所述电源网络在开关单元中与所述由第五布线层形成的所述电源网络彼此连接，与由所述第一布线层和所述第二布线层形成的电源网络所构成的电源网相比，更粗糙地形成由所述第四布线层和所述第五布线层形成的电源网络所构成的电源网，以及所述第四和第五布线层形成得比所述第一和第二布线层中的任一层都厚。

19、根据权利要求 15 的半导体集成电路，其中，构成所述单元的每个 MOS 晶体管的衬底偏置电源线由与所述第一金属级形成的电源网络平行的所述第一金属级形成，也由与所述第二布层形成的电源网络平行的第二布线层形成，由此，象上面所述的电源网络一样，所述第一金属级的所述衬底偏置电源线与所述第二布线层的所述衬

底偏置电源线在开关单元中彼此连接。

20、根据权利要求 19 的半导体集成电路，其中，用于控制每个所述衬底驱动 MOS 晶体管的栅电压的所述栅控信号，由形成在所述开关单元之上的所述第二布线层提供，它们设置成与由所述第二布线层形成的电源网络平行，并在所述开关单元中与每个所述衬底驱动 MOS 晶体管的栅端连接。

21、根据权利要求 20 的半导体集成电路，其中，由形成在所述开关单元之上的所述第二布线层布设的所述衬底偏置电源线和栅控制信号被设置在由形成于所述开关单元之上的所述第二布线层布设的各电源网络之间。

22、根据权利要求 15 的半导体集成电路，其中，所述半导体集成电路还包括数据通道电路，所述数据在所述数据流通道电路中流动，使之与由用于多个所述单元的所述第一金属级形成的所述电源网络平行。

23、根据权利要求 1 的半导体集成电路，其中，所述衬底偏置被设定为，在选择所述半导体集成电路时，使至少一个所述 MOS 晶体管的阈值电平较高。

24、根据权利要求 1 的半导体集成电路，其中，当所述 MOS 晶体管为源电位为第一电压的 PMOS 晶体管时，在激活态通过一个衬底驱动 MOS 晶体管的源 - 漏通路把所述源电位施加到该 PMOS 晶体管的阱中，而在备用态把高于该第一电压的第二电压施加到所述阱中。

25、根据权利要求 1 的半导体集成电路，其中，当所述 MOS 晶体管为源电位为第三电位的 NMOS 晶体管时，在激活态通过一个衬底驱动 MOS 晶体管的源 - 漏通路把所述源电位施加到该 NMOS 晶体管的阱中，而在备用态把低于该第三电压的第四电压施加到所述阱中。

半导体集成电路

技术领域

本发明涉及一种半导体集成电路,特别涉及一种工作速度快功耗低的半导体集成电路。

背景技术

本申请是于 1997 年 11 月 21 日申请的美国专利申请 PCT/JP97/04253 的一部分的继续。这里引用并结合该在先的美国专利申请的内容。

CMOS 集成电路(IC)现已广泛应用于形成例如微处理器等半导体集成电路。CMOS IC 消耗电功率的方式有两种,一是动态功耗,一是静态功耗。动态功耗是开关时的充放电引起的,静态功耗是亚阈值漏电流引起的。动态功耗消耗正比于电源电压 V_{DD} 平方的大电流,所以电源电压应降低,以有效地节约目标 CMOS IC 的功耗。近年来,电源电压已变得来越低,以适应这种目的。

另一方面,现在能买到的某些节能微处理器具有功率控制特征,并且其处理器具有多种工作模式,以便供给有源单元的时钟根据所设定的工作模式在其备用时间停止。

由于时钟信号源这样停止,所以可以尽可能减少这种有源单元中的不必要动态功耗。然而,无法减少亚阈值漏电流引起的静态功耗,此时该功耗仍保持在同一水平。

在低电源电压下,CMOS 电路的工作速度会下降。因此,为了防止 CMOS 电路的这种速度下降,MOS 晶体管的阈值电压必须随电源电压的降低而降低。然而,如果阈值电压降低,亚阈值漏电路会显著增大。并且,由于电源电压变低,亚阈值漏电流造成的静态功耗前所未有地更显著增大。这就是为什么目前急需实现能够满足快速工作和低功耗要求的例如微处理器等半导体集成电路的原因。

为了解决上述问题，例如，日本专利申请未审查公开公报平 6-54396 提出了一种通过设定可变衬底偏置控制 MOS 晶体管的阈值电压的方法。

在需要目标 CMOS 电路快速工作的激活态，对于 PMOS（P 沟道 MOS 晶体管）来说，衬底偏置设定为电源电位，对于 NMOS（N 沟道 MOS 晶体管）来说，衬底偏置设定为地电位。另一方面，在不需要 CMOS 电路快速工作的备用态，衬底偏置设定为高于 PMOS 的电源电压而低于 NMOS 的电源电压的电位（此后，该操作一般称作“在衬底上加偏置电压”）。

由于在备用态时这样设定衬底偏置电压，所以可以提高构成目标 CMOS 电路的 MOS 晶体管的阈值电平，因而可以减小由亚阈值漏电流造成的静态功耗。

为了使能满足快速工作和低功耗要求的微处理器等半导体集成电路成为现实，必须如上所述控制每个 CMOS 电路的衬底偏置，以便在激活半导体集成电路时，降低 MOS 晶体管的阈值电压，在半导体集成电路备用时，升高阈值电压，从而减小亚阈值漏电流。

然而，检测的结果是，本发明人发现在控制实际半导体集成电路的衬底偏置时，仍有以下问题未解决。

- （1）衬底偏置控制电路必须和以往一样容易测试。
- （2）必须通过控制衬底偏置防止 CMOS 电路发生故障。
- （3）必须通过控制衬底偏置减小电路面积的增大。
- （4）在衬底偏置变换时，必须防止半导体集成电路发生故障。

发明内容

为了解决以上问题，本发明提供了一种半导体集成电路，包括：具有多个单元的主电路，各单元至少包括一个 MOS 晶体管；衬底偏置控制电路，用于控制加到所述 MOS 晶体管的衬底上的衬底偏置电压；备用态控制电路，用于通过控制所述衬底偏置控制电路，在至少激活和备用两种状态下转换所述半导体集成电路的状态，所述激活态允许第一亚阈值漏电流在所述主电路中流动，所述备用态允许

小于所述第一亚阈值漏电流的第二亚阈值漏电流在所述主电路中流动；以及多个衬底驱动 MOS 晶体管，用于驱动激活态的衬底偏置电压，各个衬底驱动 MOS 晶体管的源 - 漏通路位于源和各个单元的所述 MOS 晶体管的阱之间，以及所述衬底驱动 MOS 晶体管的栅极电位由所述衬底偏置控制电路控制，其中，在所述激活态时浅控制所述衬底偏置电压，而在所述备用态时深控制所述衬底偏置电压；在激活态时通过所述衬底驱动晶体管的源 - 漏通路施加所述衬底偏置电压，而在备用态时，从所述衬底偏置控制电路施加所述衬底偏置电压。

本发明的半导体集成电路中，所述衬底驱动 MOS 晶体管的阈值电压设定为大于构成所述主电路的 MOS 晶体管的阈值电压。

本发明的半导体集成电路中，所述半导体集成电路还包括用于与所述电路的外部连接的 I/O 电路，所述 I/O 电路的至少一个 MOS 晶体管具有的氧化膜比构成所述主电路的 MOS 晶体管的氧化膜厚。

本发明的半导体集成电路还包括用于探测所述主电路是否加电的加电复位电路，其中，所述衬底驱动 MOS 晶体管控制所述衬底偏置电压，以便在所述主电路加电后，在所述激活态被浅驱动一段固定的时间。

本发明的半导体集成电路还包括第一电源电压和第二电源电压，所述第一电源电压的绝对值大于所述第二电源电压的绝对值，为 2V 或 2V 以下，所述第二电源电压提供给所述主电路，所述第一电源电压提供给所述衬底偏置控制电路和备用态控制电路，所述第一电源电压先于第二电源电压被激活，及所述衬底偏置控制电路进行控制，以便在激活了所述第二电源电压后，所述主电路在激活态保持一段固定的时间。

在根据本发明的半导体集成电路中，在所述集成电路的状态从所述备用态变到所述激活态的过程中，所述衬底偏置控制电路用于控制所述衬底驱动 MOS 晶体管的栅极控制信号的输出阻抗，使之变为大于所述集成电路的状态已完全设定在所述激活态后的输出阻抗，

从而调节从所述备用态变到所述激活态的速度，以便减小所述改变过程中的浪涌电流。

根据本发明的半导体集成电路，其中，所述栅极控信号的幅度设定为大于所述衬底驱动晶体管的栅击穿电压。

根据本发明的半导体集成电路，其中，所述半导体集成电路包括负电压发生电路，以及所述衬底偏置控制电路控制所述负电压发生电路，使之在备用态时的输出阻抗低于在激活态时的输出阻抗。

根据本发明的半导体集成电路，其中，所述负电压发生电路包括第一和第二充电泵电路，所述衬底偏置控制电路在所述备用态使用所述第一充电泵电路，在所述激活态使用所述第二充电泵电路，从而分别产生负电压，以及所述第一充电泵电路的抽运电容设定为大于所述第二充电泵电路的抽运电容。

根据本发明的半导体集成电路还包括第一和第二电源电压，所述负电压发生电路产生第三电源电压，所述第一电源电压大于所述第二电源电压，为 2V 或 2V 以下，所述第二电源电压被提供给所述主电路，至少所述第一电源电压被提供给所述衬底偏置控制电路和所述备用态控制电路，所述衬底偏置控制电路控制 PMOS 晶体管和 NMOS 晶体管的所述衬底偏置，从而在所述备用态时使 PMOS 晶体管的衬底偏置等于所述第二电源电压的电位，而 NMOS 晶体管的衬底偏置等于所述第三电源电压的电位，以及所述第三电源电压由从所述第一电源电压减去所述第二电源电压得到。

根据本发明的半导体集成电路，其中，所述负电压发生电路至少具有一个比较器、一个用于产生为第二电源电压电位一半的电位的第一基准电压电路，和一个用于产生介于所述第一电源电压和所述第三电源电压间的中间电位的第二基准电压电路，以及所述比较器把所述第一基准电压电路的电压输出与所述第二基准电压电路的电压输出进行比较，从而控制至少一个所述充电泵，以便稳定所述第三电源电压。

根据本发明的半导体集成电路，其中，每个所述第一和第二基准

电压发生电路分别由多个相同类型 MOS 晶体管串联的串联电路构成，在每个所述 MOS 晶体管中，基准端子接源端，栅端接漏端，每个所述 MOS 晶体管选择为在饱和区工作。

在根据本发明的半导体集成电路中，所述比较器具有 Schmitt 特性。

根据本发明的半导体集成电路，其中，所述主电路包括多个单元，这些单元电源网络由第一金属级加电，而另一电源网络由所述第一金属级之上的第二布线层形成，以便与所述第一金属级正交，开关单元设置在由所述第一布线层形成的电源网络和所述第二布线层形成的电源网络的每个交点处，从而使由所述第一布线层形成的电源网络在每个开关单元处被连接到由所述第二布线层形成的电源网络，另外，所述衬底驱动 MOS 晶体管设置在所述开关单元中。

根据本发明的半导体集成电路，其中，在所述开关单元中，在电源和地之间还设有一个去耦电容器。

根据本发明的半导体集成电路，其中，在由所述第二布线层形成的所述电源网络之上还设置有由第四布线层形成的电源网络，使之与由第二布线层形成的电源网络平行对准，以及由所述第二和所述第四布线层形成的电源网络在所述开关单元之外彼此连接。

在根据本发明的半导体集成电路中，还由第五布线层形成另一个电源网络，由所述第四布线层形成的所述电源网络在开关单元中与所述由第五布线层形成的所述电源网络彼此连接，与由所述第一和所述第二布线层形成的电源网络所构成的电源网相比，更粗糙地形成由所述第四和所述第五布线层形成的电源网络所构成的电源网，以及所述第四和第五布线层形成得比所述第一和第二布线层中的任一层都厚。

在根据本发明的半导体集成电路中，构成所述单元的每个 MOS 晶体管的衬底偏置电源线由与所述第一金属级形成的电源网络平行的所述第一金属级形成，也由与所述第二布层形成的电源网络平行的第二布线层形成，由此，象上面所述的电源网络一样，所述第一

金属级的所述衬底偏置电源线与所述第二布线层的所述衬底偏置电源线在开关单元中彼此连接。

根据本发明的半导体集成电路，其中，用于控制每个所述衬底驱动 MOS 晶体管的栅电压的所述栅控信号，由形成在所述开关单元之上的所述第二布线层提供，它们设置成与由所述第二布线层形成的电源网络平行，并在所述开关单元中与每个所述衬底驱动 MOS 晶体管的栅端连接。

在根据本发明的半导体集成电路中，由形成在所述开关单元之上的所述第二布线层布设的所述衬底偏置电源线和栅控制信号被设置在由形成于所述开关单元之上的所述第二布线层布设的各电源网络之间。

根据本发明的半导体集成电路，其中，所述半导体集成电路还包括数据通道电路，所述数据在所述数据流通道电路中流动，使之与由用于多个所述单元的所述第一金属级形成的所述电源网络平行。

根据本发明的半导体集成电路，所述衬底偏置被设定为在选择所述半导体集成电路时，使至少一个所述 MOS 晶体管的阈值电平较高。

根据本发明的半导体集成电路，当所述 MOS 晶体管为源电位为第一电压的 PMOS 晶体管时，在激活态通过一个衬底驱动 MOS 晶体管的源 - 漏通路把所述源电位施加到该 PMOS 晶体管的阱中，而在备用态时把高于该第一电压的第二电压施加到所述阱中。

根据本发明的半导体集成电路，当所述 MOS 晶体管为源电位为第三电位的 NMOS 晶体管时，在激活态时通过一个衬底驱动 MOS 晶体管的源 - 漏通路把所述源电位施加到该 NMOS 晶体管的阱中，而在备用态时把低于该第三电压的第四电压施加到所述阱中。

为使测试衬底偏置控制电路变得容易，使负电压发生电路的输出与一个焊盘连接。换言之，如果象其输出信号一样达到预置电压电平，那么必须检测负电压发生电路。为了该检测，负电压发生电压应配有和其一样的信号输出端子。

为了降低衬底阻抗，要在用于控制衬底偏置的主电路中提供多个

衬底 MOS 晶体管。在半导体集成电路被激活时，衬底驱动 MOS 晶体管用于驱动衬底偏置。这是由于在 IC 被激活时，必须降低阻抗以固定衬底电位，抑制晶体管阈值电平偏差，从而保证主电路中的各电路工作。

激活态下的半导体集成电路的驱动功率比备用态下的要高。所以，激活态时的驱动功率理想的是备用态时的 5 倍，更好是备用态时的 10 倍。

一般来说，在衬底偏置变换时，每个电路变得不稳定。为避免该问题，要将用于控制衬底驱动 MOS 晶体管的栅压的栅控制信号布线成连接到衬底驱动 MOS 晶体管后，控制信号返回到衬底偏置控制电路。

在另一实施例中，半导体集成电路具有由至少一个 MOS 晶体管构成的主电路，用于控制加于该 MOS 晶体管的衬底上的电压的衬底偏置控制电路，用于在至少激活和备用两种状态间转换半导体集成电路的备用态控制电路。激活态允许很大的亚阈值漏电流在主电路中流动，备用态允许较小的亚阈值漏电流在主电路中流动。于是，半导体集成电路在激活态时浅控制衬底偏置，并在备用态时深控制衬底偏置，从而在激活态浅驱动衬底偏置的功率变为在备用态深驱动衬底偏置的功率的 10 倍以上。

在深控制衬底偏置时，较好应避免使其衬底加了偏置电压的晶体管构成的主电路工作。在偏压加于晶体管的衬底时，衬底阻抗高。如果 MOS 晶体管被激活，因此，衬底电位容易改变。因此，在这种情况下，MOS 晶体管会发生故障。

该实施例中，至少两个 MOS 晶体管用于在激活态浅驱动衬底偏置。这些 MOS 晶体管设置为彼此间隔 20 微米以上。每个衬底驱动 MOS 晶体管的栅电位受衬底偏置控制电路的控制。

在本发明的另一实施例中，由第一和第二抽运电容器、第一和第二（两个）P 沟道晶体管、第一和第二（两个）N 沟道晶体管及振荡电路构成的充电泵电路中，第一抽运电容器、第一 P 沟道晶体管和第一 N 沟道晶体管用于在振荡电路的输出是‘H’时，抽运第一抽运

电容器的电荷，第二抽运电容器、第二 P 沟道晶体管和第二 N 沟道晶体管用于在振荡电路的输出是 ‘L’ 时，抽运第二抽运电容器的电荷。

在本发明的再一实施例中，半导体集成电路具有包括分别构成于半导体衬底上的各晶体管的主电路（LOG）和用于控制将加于每个衬底上的电压的衬底偏置控制电路（VBC）。主电路具有用于控制将加于每个衬底上的电压的开关晶体管（MN1 和 MP1），并通过每个开关晶体管的栅，接收来自衬底偏置控制电路的控制信号输出。控制信号可以构成返回到衬底偏置控制电路。

每个开关晶体管都设置在矩形开关单元中，其它各晶体管都设置在矩形标准单元中。开关单元和标准单元就布局而言最好并排设置。

用于驱动主电路中的晶体管（MN1 和 MP1）的电源（VSS 和 VDD）及由衬底偏置控制电路提供的衬底偏置电源（vbp 和 vbn）较好布设为与开关单元和标准单元在设置这些单元的方向垂直交叉。

就晶体管电阻而言，开关晶体管的阈值电平较好是高于其它晶体管的阈值电平。

就布局而言，开关晶体管（MN1 和 MP1）较好是插在用于主电路的晶体管的驱动电源（VSS 和 VDD）和由衬底偏置控制电路提供的衬底偏置的电源（vbp 和 vbn）之间。

每个晶体管的源和漏都可以接驱动电源（VSS 和 VDD），晶体管衬底电位可以接衬底偏置电源（vbp 和 vbn）。

控制信号输出后，衬底偏置控制电路可以探测控制信号（vbp 和 vbn）是否已通过主电路作为控制信号（vbpr 和 vbnr）返回，是否到达预定电压。然后，衬底偏置控制电路可以产生探测信号（vbbenbr），由此使主电路的工作稳定。

附图说明

图 1 是本发明半导体集成电路的框图。

图 2 是主电路的详细电路图。

图 3 是 I/O 电路的电路图。

图 4 是设于衬底偏置控制电路中的每个电路的框图。

图 5 是衬底偏置控制电路的工作波形。

图 6 是本另一实施例中衬底偏置控制电路的工作波形。

图 7 是 VBC 80 的电路图。

图 8 是 VBC 30 的电路图。

图 9 是 VBC 30 的工作波形。

图 10 是 VBC 85 的电路图。

图 11 是 VBC 85 的工作波形。

图 12 是设于 VSUBGEN 中的每个电路的框图。

图 13 是充电泵的电路图。

图 14 是充电泵的另一电路图。

图 15 是 VSUBSEN 的电路图。

图 16 展示了本发明的开关单元是如何设置的。

图 17 是标准单元的布局图。

图 18 是图 17 所示标准单元的剖面图。

图 19 是开关单元的布局图。

图 20 是图 19 所示开关单元的剖面图。

图 21 是电源的布线图及 vbp、vbn、cbp 和 cbn 的布线图。

图 22 是电源加强线的布线图。

图 23 是各阱的框图。

图 24 展示了开关单元是如何设于存储电路中的。

图 25 是一个阱的剖面图。

图 26 是深 N 阱的布局图。

图 27 是深 N 阱和保护带的布局图。

图 28 是图 27 的剖面图。

图 29 展示了 cbpr、cbnr 和 VBCR 是如何设置的。

具体实施方式

图 1 示出了半导体集成电路 100 的框图，该单元采用了本发明的衬底偏置控制电路。VBC 是衬底偏置控制电路。LOG 是其衬底偏置受控的主电路。LOG 由逻辑电路和存储电路构成。VBCC 是用于控

制衬底偏置控制电路的备用控制电路。I/O 是用于半导体 IC 装置 100 和外部接口的 I/O 电路。这里省略了不专用于衬底控制的各电路块间的布线。109a 和 109b 是衬底驱动电路。

半导体 IC 装置具有表示为 VDDQ、VDD 和 VWELL 的三类电源。VSS 和 VSSQ 是用于 VDD 和 VDDQ 的地电位。VDDQ 和 VSSQ 是用于 I/O 电路的电源。VDD 和 VSS 是用于主电路的电源。VWELL 是用于衬底偏置控制电路 VBC 的电源。

如图 1 所示，VDD 和 VSS 也供应到衬底偏置控制电路 VBC。衬底偏置控制电路 VBC 中引入了负电压发生电路，用于产生与 VDDQ 相反极性的负电压 VSUB。该实施例中，假设这些电源电压的电平为：VDDQ = VWELL = 3.3V，VDD = 1.8V，VSUB = -1.5V。

101、102、103 和 104 是半导体 IC 装置的焊盘。分别从 VWELL 给焊盘 102 提供 3.3V，从 VDD 给焊盘 103 提供 1.8V，从 VSS（地）给焊盘 104 提供 0V。101 是 VSUB 焊盘，但用于输出由衬底偏置控制电路内产生的负电压。可以监测焊盘 101 的电压，以便在半导体 IC 装置 100 的晶片测试时，探测设于衬底偏置控制电路 VBC 中的负电压发生电路的错误。一般说，焊盘 102 - 104 键合到半导体 IC 装置 100 的外部管脚上，但焊盘 101 不键合到任何管脚上。利用该测试法，可以节约外部管脚数。

vbbenb 是用于启动衬底偏置控制的信号，vbbenbr 是表示衬底偏置正受控的信号。另一方面，reset 是与半导体 IC 装置的 RESET 信号连接的 RESET 信号。vbp 是 PMOS 衬底偏置线，vbn 是 NMOS 衬底偏置线，cbp 是 PMOS 衬底控制线，cbn 是 NMOS 衬底控制线，cbpr 是 PMOS 衬底控制恢复线，cbnr 是 NMOS 衬底控制恢复线。衬底控制恢复线 cbpr 和 cbnr 用于 cbp 和 cbn 信号通过主电路后恢复的信号。恢复线 cbpr 和 cbnr 使用相同的网络。换言之，延迟后，两驱动电压 cbp 和 cbn 表现为 cbpr 和 cbnr。（见以下的图 2）。衬底驱动电路 109a 和 109b 的每一个分别连接 cbp、vbp、cbn 和 vbn。

图 2 示出了 6 根衬底偏置控制线（vbp-cbnr）是如何连接于主电

路 LOG 中的。VBCR 是恢复单元。该 VBCR 中，PMOS 衬底偏置控制线 cbp 连接到 PMOS 衬底控制恢复线 cbpr，NMOS 衬底偏置控制线 cbpn 连接到 NMOS 衬底控制恢复线 cbnr。

ncell 是标准单元。该实施例中，每个 ncell 表示为由 PMOS MP2 和 NMOS MN2 构成的 CMOS 反相器，以简化介绍。自然，每个 ncell 可以像由独立于其它部件的 NAND 门、锁存器等构成的单元那样结构上更复杂。每个 MOS 晶体管的衬底电位分别连接到 PMOS 的 vbp 和 NMOS 的 vbn。这些 MOS 晶体管构成分别如图 2 所示的 ncell。

swcell 是由衬底驱动电路构成的开关单元（等效于图 1 所示的 109a 和 109b），各衬底驱动电路分别由 PMOS MP1 和 NMOS MN1 及去耦电容器 CP1 和 CP2 构成。在 MP1 中，栅接 cbp，漏接 VBP，源接 VDD。因而，在 cbp 电压比 $VDD - V_{thp}$ （ V_{thp} ：MP1 阈值电压的绝对值）低时，MP1 被激活，vbp 被驱动到 VDD 电位（1.8V）。

另一方面，MN1 的栅、漏和源分别接 cbn、VBN 和 VSS（0V）。因而，在 cbn 电压高于 V_{thn} （ V_{thn} ：MN1 阈值电压的绝对值）时，MN1 被激活，vbn 被驱动到 VSS 电位（0V）。

一般说，设置一个以上 ncell。swcell 也是。ncell 的数量可以增加，从而在主电路 LOG 中集成复杂电路。swcell 的数量也可以增加，以便在 MP1 和 MN1 被激活时，分别将它们驱动到低阻抗，vbp 和 vbn 可以被驱动到 VDD 和 VSS。

除引入开关单元 swcell 的去耦电容器外，独立于上述的电容器，还在空间单元引入另一去耦电容器。例如，在标准单元将要并排设置时，空间单元是插到用于布线区的空间中的单元。如果去耦电容器引入这样的空间单元，整个芯片上的去耦电容器的总电容增大，因而很明显地减小了电源噪声。由于空间单元本来是仅设在布线层的自由空间，所以甚至在电容器插入其中时，该空间也不会增大。

swcell 中的 MP1 和 MN1 必须设定为使阈值电压高于 ncell 的 MOS 晶体管。理由如下：尽管 ncell 中的 MOS 晶体管衬底电位（接 vbp 或 vbn）与源电位无关，但 swcell 中的 MP1 和 MN1 的衬底电位

总是与漏电位相同，因而希望没有衬底偏置效应。这样，亚阈值漏电流在半导体 IC 装置中流动。

例如，如果假设对于 NMOS 晶体管 MN1 和 MN2 来说，分别设定 $v_{bp} = 3.3V$ ， $v_{bn} = -1.5V$ ， $V_{DD} = 1.8V$ ， $V_{SS} = 0V$ ，那么，ncell 中的 MN2 的源电位 S、漏电位 D 和衬底电位 B 变为 $S = 0.0V$ ， $D = 1.8V$ ， $B = -1.5V$ 。因而，由于衬底偏置效应，MN2 的阈值电压升高，所以亚阈值漏电流减小。相反，swcell 中的 MN1 的源电位 S、漏电位 D 和衬底电位 B 变为 $S = 0.0V$ ， $D = -1.5V$ ， $B = -1.5V$ 。因而，衬底偏置效应不产生改变阈值电压的作用。于是大亚阈值漏电流在 MN1 中的 V_{SS} 和 v_{bn} 间流动。

有一些将 swcell 中的 MP1 和 MN1 的阈值电压电平设定得高于 ncell 中的 MOS 晶体管的阈值电压电平的方法。例如，改变栅下的杂质浓度、栅长 (L) 或栅氧化膜厚度。对这些方法没有什么限制，但假定该实施例中改变栅长度 L 和栅氧化膜厚度，以得到高阈值电压的 MP1 和 MN1。用这些方法中的任一个，可以用高压 MOS 晶体管作为到/从微处理器的外部的输入/输出电路 (此后称作 I/O 电路)。

图 3 示出了 I/O 电路的实施例。图 3 中，只示出了 I/O 电路的一小部分。I/O 电路通过输入/输出端子 PAD 向和从芯片输入和输出信号。如果 SEL 是 “L”，则 PAD 用作输入端子。如果 SEL 是 “H” 则 PAD 用作输出端子。LC1 是用于将 VDD 幅度信号转换为 VDDQ 幅度信号的电平转换电路。VDDQ 幅度大于 VDD 幅度。因而，厚氧化膜晶体管设于电平转换单元 LC1 和输入/输出端子 PAD 之间。厚氧化膜晶体管由 VDDQ 驱动。该例中，SEL 设为 “L”，从而利用 PMOS 上拉晶体管上拉 PULL。只有在 PULL 必须上拉时才这样做。PMOS 也是厚氧化膜晶体管。

在输入侧，利用由 110P 和 110N 构成的反相器，将从外部进入的 VDDQ 幅度信号转换为 VDD 幅度信号。因而，这两个晶体管处理其电平仍不变的信号。所以，它们必须是厚氧化膜晶体管。

电阻器 111R、二极管 111D1 和 111D2 及晶体管 111 是输入保护

电路。二极管 111D1、111D2 可以是 MOS 晶体管。这些输入保护电路中的每一个的晶体管都是厚氧化膜晶体管。

由于这些晶体管不需要那么快的开关速度，处理高于 VDD 的电压，所以，对于上述厚氧化膜晶体管来说，可以设定较高的阈值电压电平。阈值电压电平可以设定为高于用于 ncell 的各晶体管的阈值电压电平。因而，在这种厚氧化膜晶体管截止时，可以抑制亚阈值电流降低。这种厚氧化膜晶体管可分别用作构成图 2 所示的开关 swcell 的 MP1 和 MN1。对于 MP1 和 MN1 来说，不需要附加的复杂工艺。

图 4 示出了衬底偏置控制电路 VBC 的内部结构。该控制电路包括 4 个电路块。VBC 80 接电源 VDD 和 VSS, VBC 30 接电源 VWELL 和 VSS, VBC 85 接电源 VDD, VSUB 和 VSUBGEN 接电源 VWELL、VDD 和 VSS。

因而，电源电压多数加于 VBC 30、VBC 85、和 VSUBGEN 中的电路上。然而，如果满足 $VDDQ = VWELL$ ，则提供给 I/O 电路的电源是 VDDQ 和 VSSQ，它们的总数变为 3.3V。因而，I/O 电路和衬底偏置控制电路可以共享它们的器件。

另一方面，VBC 80 加 1.8V 电源。因而，从 VBC 80 到 VBC 30 和 VBC 85 的信号线分别采用双轨信号(由正逻辑信号和负逻辑信号配对的平衡信号)。VBC 30 和 VBC 85 中的每个信号电平都改变(将 1.8V 的幅度信号转换为 3.3V 的幅度信号)。

VBC 80 是用于从衬底偏置控制电路的外部及 VBC 30 和/或 VBC 85 进入的信号 cbpr、cbnr、vbbenb、和 reset 间相互作用的接口电路块。VBC 30 是控制 PMOS 衬底偏置的电路块，VBC 85 是控制 NMOS 衬底偏置的电路块，VSUBGEN 是负电压发生电路块。

图 5 示出了工作波形的各实例。激活 I/O 电路电源 VDDQ 和衬底偏置控制电路 VBC 的电源 VWELL 后，激活主电路电源 VDD。由此，负电压发生电路块 VSUBGEN 启动，产生负电压 VSUB。另一方面，如果激活电源 VDD，则在固定时间内保持 d_reset 信号。

并且，如果以此方式保持该信号，则衬底偏置控制电路变到最优先的状态，这种状态下不加主电路的衬底偏置。换言之，衬底偏置控制电路变到激活态。（以此方式在衬底上加偏压，对于 PMOS 和 NMOS 来说，分别意味着将衬底偏置改变为 VDD 电位和 VSS 电位。并且，不在衬底上加偏压，对于 PMOS 和 NMOS 来说，分别意味着将衬底偏置变到高于 VDD 电位的电位和低于 VSS 电位的电位。）

在这种激活态下，对于 PMOS 衬底偏置线、NMOS 衬底偏置线、PMOS 衬底控制线和 NMOS 衬底控制线来说，设定 $v_{bp}=1.8V$ ， $v_{bn}=0V$ ， $cbp=0V$ ， $cbn=1.8V$ 。由于衬底控制恢复线 $cbpr$ 和 $cbnr$ 用于 cbp 和 cbn 的恢复信号，所以满足 $cbpr=cbp=0V$ ， $cbnr=cbn=1.8V$ 。

如果激活 VDD 后固定时间内没有 d-reset 信号，则衬底偏置受 vb_{benb} 信号的控制。如果 vb_{benb} 信号是 3.3V，则备用态设定为偏压加于目标衬底上。如果 vb_{benb} 信号是 0V，则激活态设定为没有偏压加于目标衬底上。

换言之，如果 vb_{benb} 信号的电平从 0V 变到 3.3V，则状态变化，从而满足 $v_{bp}=cbp=3.3V$ ， $v_{bn}=cbn=-1.5V$ 。然后，状态变化，以满足 $cbpr=cbp=3.3V$ ， $cbnr=cbn=-1.5V$ 。然后，在满足 $cbpr=3.3V$ ， $cbnr=0V$ 时， vb_{benb} 信号变到 3.3V。因此，如果 vb_{benb} 信号的电平从 0V 变到 3.3V，则该信号在一定时间后（ cbp 或 cbn 的恢复信号 $cbpr$ 和 $cbnr$ 恢复后）设定为 3.3V。

如果 vb_{benb} 信号的电平从 0V 变到 3.3V，则其它信号的电平也作如下变化： $v_{bp}=1.8V$ ， $cbp=0V$ ， $v_{bn}=0V$ ， $cbn=1.8V$ 。然后，这些其它信号的电平在一定时间后作如下变化： $cbpr=cbp=0V$ ， $cbnr=cbn=1.8V$ ， $vb_{benbr}=0V$ 。 vb_{benbr} 以这种方式用作 vb_{benb} 的恢复信号。另外，如图 2 所示，由于衬底电位由 cbp 和 cbn 的电位决定，所以还可以通过监测从 cbp 和 cbn 电位得到的 vb_{benbr} ，探测衬底电位状态。

图 6 示出了另一实施例的衬底偏置控制电路的工作波形，所有波形皆不同于图 5 所示的波形。如图 6 所示，在控制 cbp 和 cbn 时，

结构中的控制电路变得有点复杂，但这种复杂控制电路可以在激活态下允许更大电压分别加于图 2 所示 MP1 和 MN1 的源和栅端。于是 vbp 和 vbn 可以被驱动到低阻抗。这种情况下，等效于栅控制信号的 cbp 和 cbn 的幅度变得比衬底驱动晶体管 MP1 和 MN1 的栅击穿电压大。然而，如图 6 所示，如果 cbp 和 cbn 的电平慢慢改变，则 MP1 和 MN1 的栅和漏端间的电压及栅和源端间的电压都变得最高为 3.3V，等于或低于栅击穿电压。

以下将介绍每个电路块的具体电路图。为了简化介绍，假定每个电路块为产生图 4 所示波形的电路。

图 7 示出了 VBC 80 的电路图。数字 120 是 2 输入 NAND，121 是具有 Schmitt 特性的 2 输入 AND，122 是反相器，123 是 NOR，124 是具有 Schmitt 特性的缓冲器，125 是具有差分输出的缓冲器。126 是加电复位电路，激活电源 VDD 后，其输出 127 从 0V 一步步被充电到 1.8V。因此，2 输入 AND 121 在固定时间内输出 0V，然后，输出 1.8V。于是在激活电源 VDD 时，如图 5 所示，在固定时间内由该输出保持 d_reset 信号。尽管图 7 所示的加电复位电路 126 只由电阻器和电容器简单构成，但如果可能，电路 126 也可以以其它方式构成，以探测稳定的电源 VDD。

通过分别将信号 vbbenb、cbpr 和 cbnr 转换为双轨信号，可以得到信号 d_vbbenb、d_cbpr、d_cbnr。在复位加电态时，这些双轨信号用于激活衬底控制。作为用于产生图 5 所示 vbbenbr 的双轨信号的 d_vbbenbr，由 cbpr 和 cbnr 产生。

图 8 是 VBC 30 的电路图。数字 130 是电平转换电路，用于从 d_vbbenb 和 d_reset 信号的 1.8V 幅度的双轨信号 ($VDD - VSS$) 产生 3.3V 幅度信号 133。信号 133 在激活态或在加电信号复位时进入“L”。

数字 131 也是电平转换电路，用于从 d_cbpr 和 d_reset 信号的 1.8V 幅度的双轨信号 ($VDD - VSS$) 产生 3.3V 幅度信号 134 ($VWELL - VSS$)。在信号 cbpr 为 0V 时，或加电信号复位时，信号

134 变为 0V。如果信号 133 的电平变为 0V，则信号 vbp 进入高阻抗状态，cbp 和 cbpenbr 变为 0V。如果信号 cbp 变为 0V，主电路中每个 swcell 中的 MP1 被激活，信号 vbp 被驱动到 1.8V。

数字 132 也是一电平转换电路，用于从图 7 所示的 VBC 80 输出信号 d_vbbsenbr，作为 3.3V 幅度信号 vbbsenbr。

图 9 示出了 cbp 的信号电平是如何改变的。cbp 的输出阻抗分两步改变。cbp 被信号 133 控制的反相器 135 驱动。如果信号 133 和 134 都为 0V，则 NMOS 136 被激活，从而 cbp 被驱动。在该实施例中，NMOS 136 的栅宽设定为比反相器 135 中的 NMOS 宽。如果半导体 IC 装置进入激活态，信号 133 变为 0V，则反相器 135 将 cbp 驱动到 0V。然而，由于 cbp 布线在整个主电路中，并配有大负载容量，所以 cbp 被慢慢驱动到 0V。根据作为 cbp 的恢复信号的信号 cbpr 的移位可以探测 cbp 的移位。于是信号 d_cbpr 的电平改变。因此，信号 134 被驱动到 0V，NMOS 136 被激活。因此，cbp 在低阻抗下被驱动到 0V。以此方式，在激活态，低阻抗下，cbp 被驱动，几乎不受主电路工作产生的噪声的影响。并且，如果 cbp 被驱动到 0V，主电路中每个 swcell 中的 MP1 被激活。然而，如果 cbp 如图 8 (B) 所示被慢慢驱动到 0V，则可以充分保护每个 swcell 中的 MP1 不受同时开关噪声的影响。

图 10 示出了 VBC 85 的电路图。140 是电平转换电路，用于从 d_vbbsenb 和 d_reset 信号的 1.8V 幅度的双轨信号 ($V_{DD} - V_{SS}$) 产生 3.3V 幅度信号 142 ($V_{DD} - V_{SUB}$)。信号 142 在激活态或在加电信号复位时变为 1.8V。

数字 141 也是电平转换电路，用于从 d_cbnr 和 d_reset 信号的 1.8V 幅度的双轨信号 ($V_{DD} - V_{SS}$) 产生 3.3V 幅度信号 143 ($V_{DD} - V_{SUB}$)。在信号 cbnr 为 1.8V 时，或加电信号复位时，信号 143 变为 1.8V。如果信号 142 的电平被驱动为 1.8V，则信号 vbn 进入高阻抗状态，信号 cbn 被驱动到 1.8V。如果信号 cbn 变为 1.8V，主电路中每个 swcell 中的 MN1 被激活，信号 vbn 被驱动到 0V。

图 11 示出了 cbn 是如何移位的。象 cbp 一样, cbn 的输出阻抗分两步改变。cbn 被受信号 142 控制的反相器 144 驱动。如果信号 143 和 143 都为 1.8V, 则 PMOS 145 被激活, 从而也被 PMOS 145 驱动。在该实施例中, PMOS 145 的栅宽设定为比反相器 144 中的 PMOS 的栅宽要宽。如果半导体 IC 装置变为激活态, 信号 142 被驱动到 1.8V, 则反相器 144 将 cbn 驱动到 0V。然而, cbn 布线于整个主电路中, 并具有大负载容量。因此, cbn 被慢慢驱动到 0V。根据 cbn 的恢复信号 cbnr 的移位可以探测 cbn 的移位, 因此, 信号 d_cbnr 的电平改变。于是将信号 143 驱动到 1.8V, PMOS 145 被激活。因此, cbn 在低阻抗下被驱动到 1.8V。以此方式, 在激活半导体 IC 装置时, 就象 cbp 一样, cbn 在低阻抗下被驱动, 因此, 可以有效地保护半导体 IC 装置不受主电路工作产生的噪声的影响。如果 cbn 被驱动到 1.8V, 则主电路中每个 swcell 中的 MN1 被激活。然而, 如果 cbp 如图 11 所示被慢慢驱动到 1.8V, 则可以减少每个 swcell 中 MN1 的同时开关噪声。

如上所述, 根据本发明的衬底偏置控制方法, 在每个衬底上不加偏压(衬底受每个 swcell 驱动)的激活态下, 衬底驱动阻抗小于每个衬底上加偏压(衬底受 VBC 驱动)的备用态时的衬底驱动阻抗。因此, 如果在如上所述加电时, 半导体 IC 装置变到激活态, 则可以避免由于衬底电位不稳定造成的加电时流过电源的电流增大的问题及闩锁问题。此外, 衬底阻抗抑制得很低时, 尽管激活态下主电路工作增大了衬底噪声, 但可以减小该噪声, 因此防止了主电路的例如故障、闩锁等问题。

图 12 示出了负电压发生电路 VSUBGEN 的内部结构。该电路由三个电路块构成。VSUBSEN 是衬底偏置探测电路, PMP1 是充电泵电路 1, PMP2 是充电泵电路 2。衬底偏置探测电路 VSUBSEN 利用信号 vbpenb 监测 VSUB 的电位及激活态和备用态。因此, 可利用控制信号 pmp1enb 和 pmp2enb 控制 PMP1 和 PMP2, 从而满足 $VSUB = VDD + VSS - VWELL$ 。

保持信号 **pmp1enb** 时, 启动 PMP1, 保持信号 **pmp2enb** 时, 启动 PMP2. PMP1 和 PMP2 的抽运电容不同. PMP1 的抽运电容大于 PMP2. 信号 **vbpenb** 选择应用于 PMP1 或 PMP2 之间. PMP2 用于激活态, PMP1 用于备用态.

在半导体 IC 装置处于激活态时, **VSUB** 电位只用于衬底偏置控制电路. 所以, 没有很大的电流流到 **VSUB**. 因此, 采用其抽运容量小的 PMP2. 在备用态, **VSUB** 电位提供到整个主电路. 于是, 作为结电流等的这种电流流到 **VSUB**. 因此, 采用其抽运电容大的 PMP1.

图 13 示出了本发明的充电泵 1 PMP1 的电路图. OSC 是环形振荡器, 只有在保持信号 **pmp1enb** 时振荡, 将 **VSUB** 充电到负电压.

图 14 示出了通过在 Kiyoo Ito 撰写、Baifukan 出版的“VLSI 存储器 (第 266 页)”中介绍的充电泵电路中加入 PMOS 162 和 163 得到的充电泵的电路图. 在环形振荡器的一个振荡周期内, 充电泵利用 PMOS 160 和 162 给 **VSUB** 充电. 根据本发明, 还在图 13 所示的充电泵中加入 NMOS 164 和 165. 因此, **VSUB** 几乎不受 PMOS 160 和 161 的阈值电平的影响, 所以, 甚至在低电压工作时, **VSUB** 也可以令人满意地工作. 在 **VWELL** 为 3.3V 时, 图 14 所示结构只可以得到 $VSUB = -3.3V + v_{thp}$ (v_{thp} =PMOS 160 和 161 阈值电平的绝对值); 最高时 $VSUB = -2.3V$. 相反, 根据本发明的方法, 可以达到 $VSUB = -3.3V$ 等.

没有示出该实施例的充电泵电路 2 PMP2 的电路图. 然而, 用作图 13 中的电容器的 PMOS CP3 和 CP4 中的每一个的容量可以减小, 因此, 可以减小每个电容器的容量. 自然, 可以使其它 MOS 晶体管的尺寸优化, 使之适用于该 CP3 或 CP4.

图 15 示出了衬底偏置探测电路 **VSUBSEN** 的电路图. **VREFGEN** 是基准电压发生电路, 用于从串联的 NMOS 晶体管 150 和 151 得到 $VREF = (VDD - VSS) / 2$ 的输出. **V1GEN** 是 **VSUB** 电位探测电路, 用于从串联的 NMOS 晶体管 152 - 155 得到 $V1 = (VWELL - VSUB)$

1/2 的输出。该电路构成为能在每个 NMOS 晶体管的源和漏间加约 1V 电压,并使栅设定得较长。因此,可以将从 VDD 到 VSS 或从 VWELL 到 VSUB 的连续电流抑制得较低。此外,由于电路在饱和区工作,所以电路可以得到对于偏差不敏感的 VREF 或 V1。另外,本发明采用 NMOS 晶体管,不用 PMOS 晶体管。NMOS 晶体管的饱和特性优于 PMOS 晶体管。所以,甚至在只有约 1V 电压加于源和漏间时,电路也可以得到对 NMOS 晶体管间偏差不敏感的 VREF 或 V1。

AMP1、AMP2 和 AMP3 是差分放大器,它们结合构成一个差分放大器。由 AMP1、AMP2 和 AMP3 构成的差分放大器接收 VREF 和 V1,并在 $V_{REF} < V_1$ 时,保持 pmp1enb 或 pmp2enb。因此,VSUB 被充电到负电压。在 $V_{REF} > V_1$ 时,取消 pmp1enb 或 pmp2enb。由于 VSUB 造成了漏电流向着 VSS、VWELL 和 VDD,如果 pmp1enb 和 pmp2enb 都被取消,则 VSUB 将被放电到正电位。分别保持和取消 pmp1enb 或 pmp2enb,以便 $V_1 = V_{REF}$,即,保持 $VSUB = VDD - VWELL$ 。如果如上所述 $vbpenb = 3.3V$ (备用态),则保持 pmp1enb。如果 $vbpenb$ 为 0V(激活态),则保持 pmp2enb。

AMP1 和 AMP2 间形成反馈路径。于是,由 AMP1、AMP2 和 AMP3 构成的差分放大器具有迟滞特性。这里所说的迟滞特性是指该放大器的输出造成的差分放大器的差分点的改变。换言之,是指 Schmitt 特性。因此,防止了在 $V_1 = V_{REF}$ 附近,分别多次保持/取消 pmp1enb 或 pmp2enb,防上了功耗增大。

另外,在保持和取消 $vbpenb$ 之间,差分放大器的工作电流在 AMP1 - AMP3 内变化。在保持 vbp 的备用态,主电路的 vbn 接 VSUB。意味着较大衬底容量接到主电路上。所以,VSUB 的电平慢慢改变。由于 AMP1 和 AMP3 间不需要快速工作,所以可以限制工作电流,以便降低从 AMP1 - AMP3 处理时的功耗。另一方面,在取消 vbp 的激活态,只有衬底偏置控制电路 VBC 接 VSUB。这意味着较小的容量接 VSUB。所以,VSUB 的电平快速改变,所以由 AMP1 - AMP3 的处理需要快速工作。在激活态,功耗没有这么高。所以

在启动快速工作的 AMP1 和 AMP3 间的处理中设定较大工作电流。

以下将详细介绍本发明一个实施例的衬底偏置加电方法。

图 16 示出了 ncell 和 swcell 的布局图。swcell 在垂直 (Y) 方向连续设置。swcell 和 ncell 的高度齐平。在水平 (X) 方向, swcell 以在某一值内的可变间距 L 设置。自然, 这些单元也可以以等间距设置, 但改变间距会增大布局的自由度。无论如何, 间距 L 可根据以下各项决定。

(1) 电源线阻抗

(2) 电源布线迁移率

(3) ncell 工作时的 vbp 和 vbn 产生的衬底噪声

图 17 示出了 ncell 的内部布局。就象图 2 所示的情况一样, 以反相器作为例子。通过由平行设置的四条线构成的第一层金属布线(以后称为 M1)加 vbp、vbn、VDD 和 VSS。vbp 和 vbn 还分别通过表面高密度层施加。H 是单元高度, 表示垂直 (Y) 方向的基本重复单元。在垂直 (Y) 方向设置 ncell, 使它们相对于该高度彼此成镜像。因此, 在垂直位置, vbp 和 vbn 可以由相邻 ncell 共享, 减小了 ncell 的面积。

图 18 是沿图 17 中的 A-B 线的剖面图。N 阱是用于形成 MP2 的 N 阱, P 阱是用于形成 MN2 的 N 阱。深 N 阱是比 N 阱和 P 阱深的 N 阱。换言之, ncell 具有层阱结构。

图 19 示出了 swcell 的内部布局。象 ncell 的情况一样, H 是单元高度。按与 ncell 相同的方式, 通过 M1 加 vbp、vbn、VDD 和 VSS。如图 16 所示, swcell 在垂直 (Y) 方向连续设置。在水平方向, 这些单元按限定在某一值范围内的间距设置。由于这种设置, 可以在 swcell 的位置处形成电源加强线的布线。图 19 中, 在垂直方向平行设置的第二层金属线是两条电源加强线。这两条电源加强线间设置有两条加强线 vbp 和 vbn 和另外两条线 cbp 和 cbn。在两端的电源加强线 VDD 和 VSS 可用于保护四条衬底偏置控制线不受外部噪声影响。

MP1 由 6 个隔离的晶体管形成。MP1 中每个晶体管的栅、漏和源分别连接到 cbp、vbp 和 VSS。MN1 由 3 个隔离的晶体管构成。MN1 中每个晶体管的栅、漏和源分别接 cbn、vbn 和 VSS。去耦电容器 CP1 和 CP2 中的每一个被分成两个晶体管。CP1 和 CP2 的晶体管分别定位在 MP1 和 MN1 的两端。CP1 和 CP2 的电容量由 MOS 栅容量产生。

去耦电容器 CP1 和 CP2 与这些 MP1 和 MN1 的比例，没有特别的限制。在一个极端的实例中，可以略去去耦电容器 CP1 和 CP2 中的一个或两个。如果去耦电容器的尺寸增大，则利用这样的去耦电容器可以减少电源噪声。另一方面，如果 MP1 和 MN1 的尺寸增大，则在微处理器处于正常状态时，衬底偏置可以以小阻抗接电源，以便得到更有效的保护，避免受噪声及闩锁问题的影响。

这里，为了简化介绍，省略了形成于 M1 和 M2 的 VDD 线之间的 VIA 孔及形成于 M1 和 M2 的 VSS 线之间的 VIA 孔。VIA 孔可以形成于布线的每个交叉点上。

图 20 示出了沿图 19 的 A-B 线的剖面图。就象图 18 所示的一样，P 阱是用于形成 MN1 的 P 阱，深 N 阱是比 P 阱深的 N 阱。所以 swcell 称为层阱结构。这种情况下，实际上示出了图 19 中省略的 VIA 孔位于 M1 和 M2 的 VSS 线之间。如图 2 所示，MN2 用厚氧化膜晶体管，以便提高阈值电平。

图 21 示出了如何布设电源线 VDD 和 VSS 及衬底偏置线 vbp、vbn、cbp 和 cbn 的一个具体实例。在图 16 的布局中加入上述各线，便可以得到图 21 所示的电源线布局。在水平 (X) 方向，VDD、VSS、vbp 和 vbn 由 M1 彼此平行布线。如图 17 所示，vbp 由垂直设置的、其间有 vbp 的两个单元共享。而且两个 VSS 线平行布设在这两个单元之上和之下。vbn 也由垂直设置的、其间有 vbn 的两个单元共享。而且，两个 VSS 线平行布设在这两个单元之上和之下。自然，VDD 和 VSS 线可以比 vbp 和 vbn 线厚。

如图 19 所示，由 M2 布线的 VDD、VSS、vbp、vbn、cbp、cbn

在垂直（Y）方向设置于 swcell 上。VDD、VSS、vbp、vbn 象网一样在 M1 和 M2 的交叉点处彼此连接。

图 22 示出了如何加强电源 VDD 和 VSS 的情况。由第四和第五金属布线层（M4 和 M5）构成的电源线 VDD 和 VSS 象网一样以图 21 所示的基本单元布线。

在垂直（Y）方向布设的由 M2 形成的 VDD 和 VSS 之上，布设由 M4 形成的 VDD 和 VSS。而且，为了连接这些 VDD 和 VSS，需要第三金属布线层（M3）。如果这些 VDD 和 VSS 在每个 swcell 处连接，则垂直布设 M3。然而，这将导致在水平（X）方向没有 M3 路径的问题。

图 22 中，M2 和 M4 电源线每三个表示为 swcell2 和 swcell3 的 swcell 单元连接一次。利用这种连接，可以保证在水平（X）方向的 M3 布线路径。

M5 电源线只布设在表示为 swcell3 的每 6 个 swcell 上。所以，M5 电源线在每个 swcell3 处即 M5 和 M4 的交叉点处连接到 M4。

如上所述，利用 M4 和 M5 的粗间距电源网，加强了 M1 和 M2 的细间距电源网，所以降低了 VDD 和 VSS 电源线中每一条的阻抗。

尽管垂直方向的每条 M4 电源线布设在每个 swcell，但该条线也可以大致布设成每两个或三个 SWCEL 一条。尽管每个电源线的阻抗增大，但该布线方法可以确保垂直方向的 M4 路径。

图 23 示出了图 22 所示设置的 swcell 和阱间的关系。P 阱和 N 阱象带子一样交替设置，以便两个 ncell 共享一个阱。

图 24 示出了存储电路 swcell 和电源线的布局。图 24 中，未示出字线和位线，但字线实际设置于水平（X）方向，位线实际设置于垂直（Y）方向。在存单元中水平布线的存储器网状电源线由设置在其两端的电源线 200、201 和 202 加强。数字 203 是给每个字线驱动器和译码器供电的电源线。204 是给每个读出放大器供电的电源线。为每个电源线 200 - 204 设置单元 swcell，如图 24 所示。

一般说，多个字驱动器和多个字译码器中只有一个或两个同时

工作。因此，不会产生很大的衬底噪声。这就是为什么如图 24 所示，在电源线 203 的两端只设两个 swcell 的原因。

相反，许多读出放大器同时工作。然而，读出放大器内的电位设定为使电平从‘L’移到‘H’的节点数和电平从‘H’移到‘L’的节点数变得几乎相等。因此，甚至在许多读出放大器同时工作时，也不会产生很大衬底噪声。这种情况下，swcell 设置在除图 24 所示的电源线 204 两端外的位置，因而有效地减少了衬底噪声。

可以认为有许多设置 swcell 的其它方法。然而，简言之，唯一重要的是根据许多器件如何在同一阱上同时运行，在同一阱中设置更多 swcell。也可以利用 $|NH - NL|/NA$ 计算阱中存在的扩散层的变化（ NH = 除与电源连接的扩散层外的扩散层的面积， NH = 其电位从‘H’移到‘L’的扩散层的面积， NL = 其电位从‘L’移到‘H’的扩散层的面积），然后，根据计算结果，决定 swcell 的数量、swcell 的间距和 swcell 中 MOS 晶体管的尺寸。

例如，对于具有规则数据流例如数据通道的电路来说，只需要控制为使数据在数据通道中在图 22 所示的 X 方向流动。由于同时工作的单元分布到多个阱中，所以可以减小上述 $|NH - NL|/NA$ 。

图 25 示出了本发明的半导体 IC 装置的剖面图。如图 18 所示，表示为 302、304、306、308 和 310 的 N 与分别用于形成 PMOS 晶体管的 N 阱相同。表示 301、303、305、307、309 和 311 的 P 与分别用于形成 NMOS 晶体管的 P 阱相同。表示为 312 和 313 的深 N 是形成于比 N 和 P 更深位置处的 N 阱。半导体 IC 装置具有“三阱结构”。

深 N312 和 313 通过 P 衬底 310 和 P 阱 307 电隔离。因此，可以独立于形成于 301、303、305、307、309 和 311 上的 MOS 晶体管 B 的衬底电位，决定形成于 302、304、306、308 和 310 上的 MOS 晶体管 A 的衬底电位，反之也如此。此外，可以抑制由 MOS 晶体管 A 产生的噪声等，以有效地保护 MOS 晶体管 B 不受其影响。

图 26 示出了本发明的半导体 IC 装置的深 N 结构。CPG 是时钟

控制器，它包括例如 PLL（锁相环电路）等模拟电路。TLB 是地址转换器，CACHE 是高速缓冲存储器。CPU 是中央处理单元，FPU 是浮点算术单元，LOG1 是随机逻辑 1，LOG2 是随机逻辑 2，PAD 是 I/O 单元。每个电路块以此方式形成于彼此不同的深 N 上。

如图 25 所示，可以减小每个电路块产生的、影响其它电路块的噪声的影响。例如，由于 PAD 以大于内部信号的幅度驱动外部管脚，所以产生很大噪声。可以防止这种噪声造成对例如 CPG 等模拟电路的影响。

另外，由于衬底电位可以加于彼此独立的每个电路块上，所以可以设置其衬底不受 LOG2 中 vbp、vbn、cbp、cbn 的任一个控制的电路。换言之，可以设置其电源连接到 LOG2 的衬底电位的电路（ $VDD = vbp$ ， $VSS = vbn$ ）。

图 27 示出了深 N 间的保护带。保护带 gband1 设于各深 N 之间，如 27 所示。

图 28 是图 27 所示保护带的剖面图。设置于深 N 之间的 P 阱 307 通过 P+ 扩散层 314 接地到 VSS 电位。于是可以进一步减小深 N 间噪声的传输。例如，由于深 N312 的阻抗不那么低，所以 P 阱 305 中 MOS 晶体管产生的衬底噪声因电容耦合传输到深 N 312。而且，在该噪声由于电容耦合按与上述情况相同的方式传输到 P 衬底 300 时，衬底 300 以低阻抗被保护带固定于地电位。所以，在出现在 P 衬底上时，该噪声减少。所以，有效地抑制了形成于 302、304、306、308、310 上的 MOS 晶体管产生的噪声传输到形成于 301、303、305、307、309、311 上的 MOS 晶体管。

图 29 示出了图 2 所示半导体 IC 装置上的 cbp 和 cbpr 和恢复单元 VBCR 位置的布设图像。由于与 cbp 和 cbp 相同，所以这里省略了对 cbn 和 cbn 的介绍。由于 swcell 并排设置，如图 21 所示，所以 vbp 和 vbn 网状布线。然而，cbp 和 cbn 不网状布线，它们布线成条状。图 29 示出了设置和连接成旁路条状布线的 swcell。而且，恢复单元用于将进入的 cbp 和 cbn 作为 cbpr 和 cbnr 返回到衬底偏置控

制电路 VBC。所以，恢复单元设置成使 cbpr 的恢复时间晚于 cbpr 中传送时间最晚的 swcell 的 cbp 的达到时间。例如，这种恢复单元应设置在离衬底偏置控制电路 VBC 最远的地方。

在上述实施例中，在激活态下，加于衬底偏置上的电位是 1.8V 或 0.0V，在备用态下，为 3.3V 或 -1.5V。该电位值可以自由改变。在激活态下，可以在衬底偏置上加合适的电位，以调节 MOS 晶体管的阈值电平的偏差。

还可以将主电路分成多个电路块，以便每个电路块都具有例如 VBC30、VBC85 等控制电路，从而每个电路块都具有激活态和备用态。于是，可以控制每个电路块，使其它闲置的电路块设定在备用态。因此，可以更有效具体控制本发明半导体 IC 装置的功耗。在某些电路块中，甚至在备用态下，也不需要衬底上加偏置电压。例如，这是一种目标电路块由其阈值电平高，亚阈值漏电流可以忽略的 MOS 晶体管构成的情况。

根据上述实施例，在半导体 IC 装置的激活工作模式时，MOS 晶体管的阈值电平设定为低，在其备用工作模式用时设定为高。然而，加于衬底上的偏压可以设定为对于 IDDQ 测试假定为高阈值电平，如 1996 年 IEEE SPECTRUM（第 66 - 71 页）所述。

如果假定高阈值电平，则应在 IDDQ 测试时加比备用模式时所加的衬底电位高的衬底电位。换言之，PMOSFET 应加高于备用模式的电位，NMOSFET 应加低于备用模式的电位。这样可以减少 IDDQ 测试时流动的亚阈值漏电流，提高故障点测定的精度。

为了能够进行这种操作，在 IDDQ 测试时，VWELL 电位例如从 3.3V 增大到 4.0V，VSUB 电位从 -1.5V 降到 -2.2V。然而，对于一个电路来说，甚至在 VWELL 电位设定为不同于 VDDQ 电位时，也应采取适当的措施防止穿通电流在预定电路中流动。为此，转输到衬底偏置控制电路的所有信号都必须在 VBC 80 中降低电平，然后，在使用前，它们的电位必须被转换为 VWELL 或 VSUM 电位。目标电路应具有用于这种电压的缓冲器，以实现上述操作。

根据上述实施例，衬底结构由 3 阱层构成。该结构例如可以变为所谓的双翼 2 阱结构或 SOI（绝缘体上的硅）结构。

另外，如图 17、19 和 21 所示，M1 在单元中供应衬底偏置电源。然而，该结构可以改变。例如，这种电源也可以由不同扩散层或硅化物变换扩散层提供，如 1977 年 Symposium on VLSI circuit Digest of Technical Papers 第 95 - 96 页所介绍的。

下面是本申请各附图中的参考符号的介绍。

VBC: 衬底偏置控制电路，LOG: 主电路，VBCC: 备用控制电路，I/O: I/O 电路，vbbenb: 衬底偏置控制启动信号，vbbenbr: 衬底偏置控制信号，vbp: PMOS 衬底偏置线，vbn: NMOS 衬底偏置线，cbp: PMOS 衬底控制线，cbn: NMOS 衬底控制线，cbpr: PMOS 衬底控制恢复线，cbnr: NMOS 衬底控制恢复线，AMP1 和 AMP2: 差分放大器，AMP3: Schmitt 输入差分放大器，VBCR: 恢复单元，swcell: 开关单元，ncell: 标准单元，P-sub: P 衬底，PLL: 锁相环，CPG: 时钟控制器，TLB: 地址变换器，CHCHE: 高速缓冲存储器，CPU: 中央处理单元，FPU: 浮点算术单元，PAD: I/O 单元。

如上所述，本发明提供一种半导体 IC 装置，例如微处理等，相对于快速工作和低功耗特性可以满足以下要求：

- (1) 容易测试衬底偏置控制电路。
- (2) 通过控制衬底偏置，可以防止每个 CMOS 电路发生故障。
- (3) 通过控制衬底偏置，可以减小每个电路的面积的增长。
- (4) 在衬底偏置改变时，可以防止半导体 IC 装置发生故障。

图1

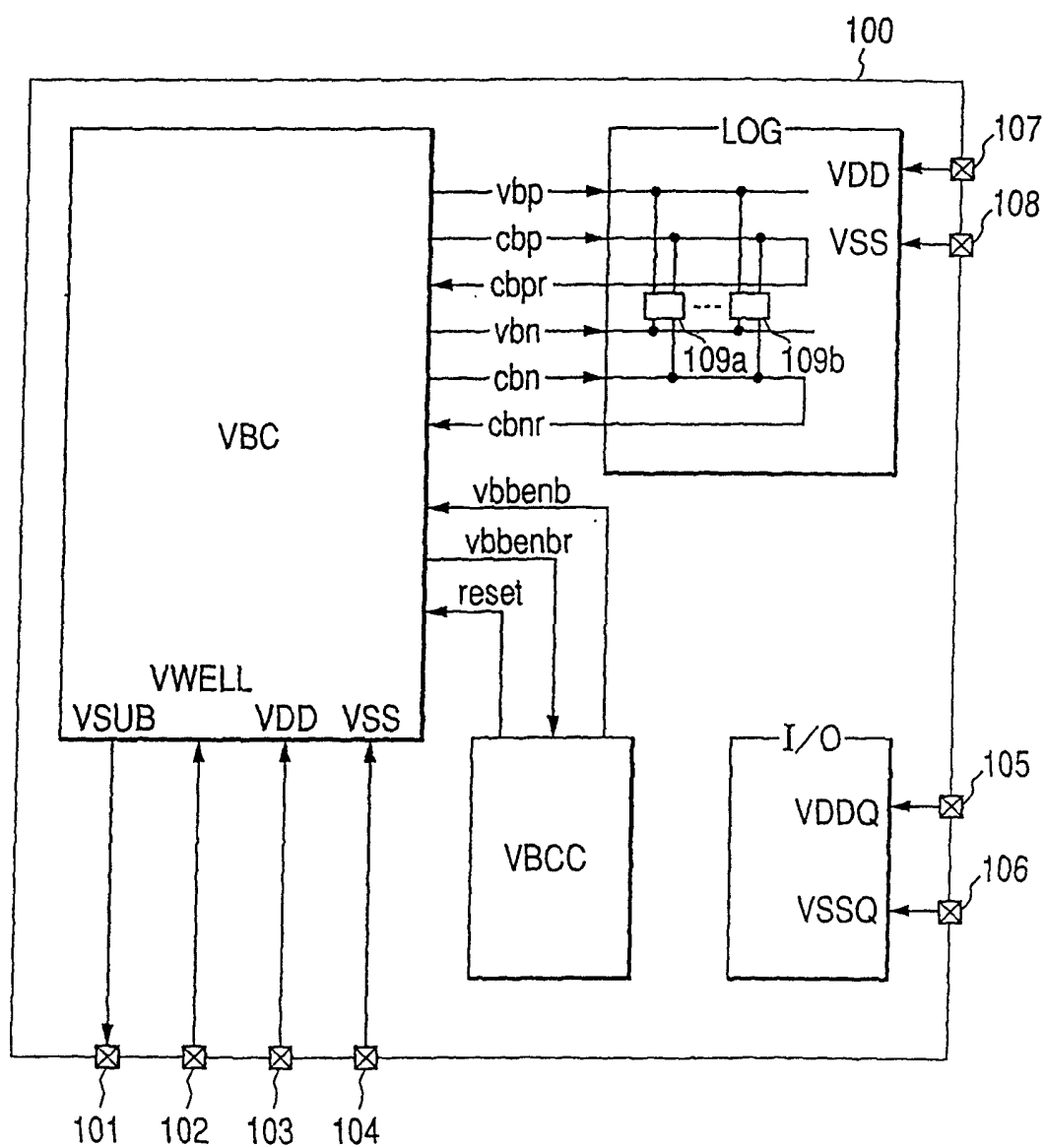


图2

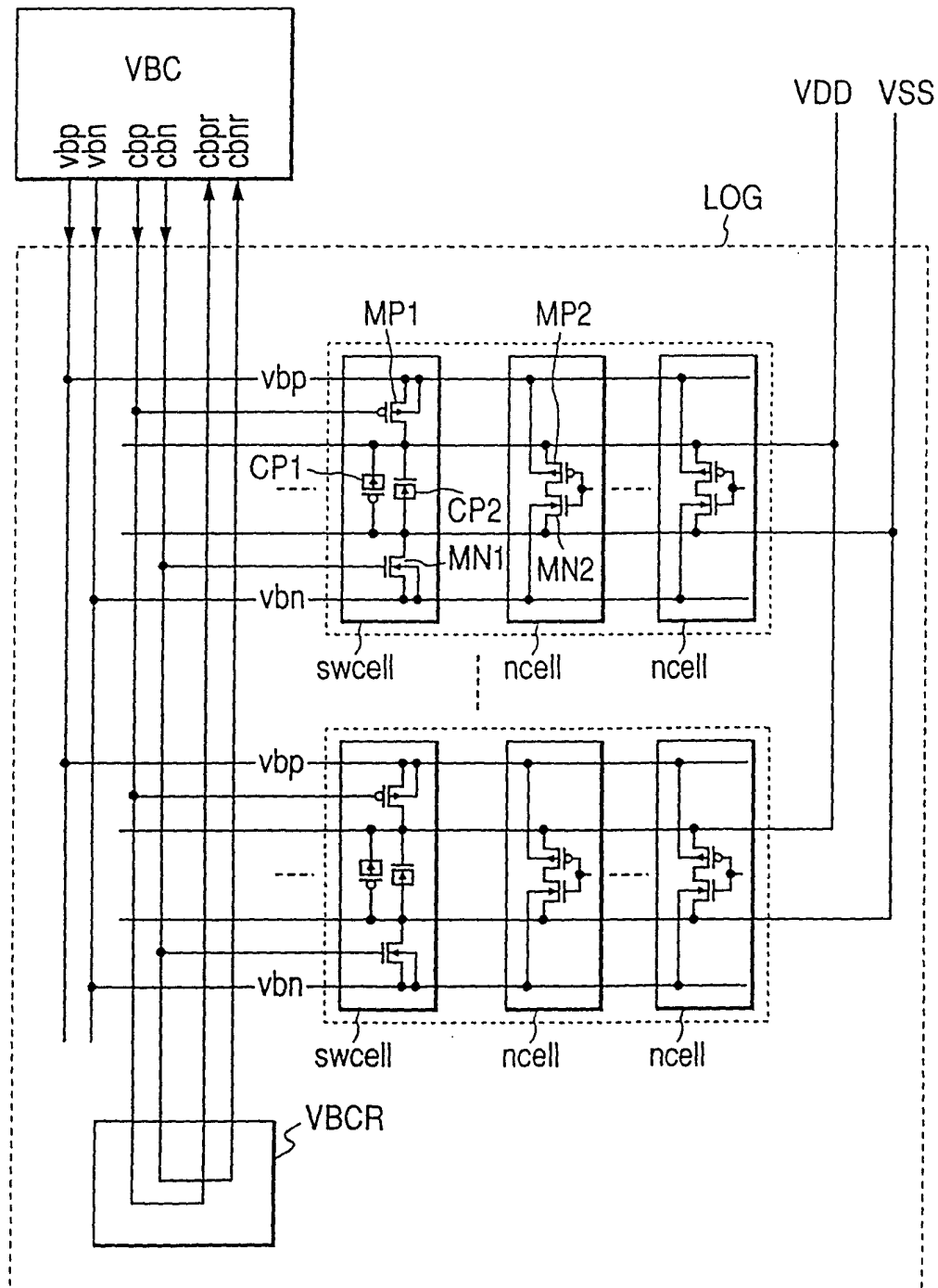
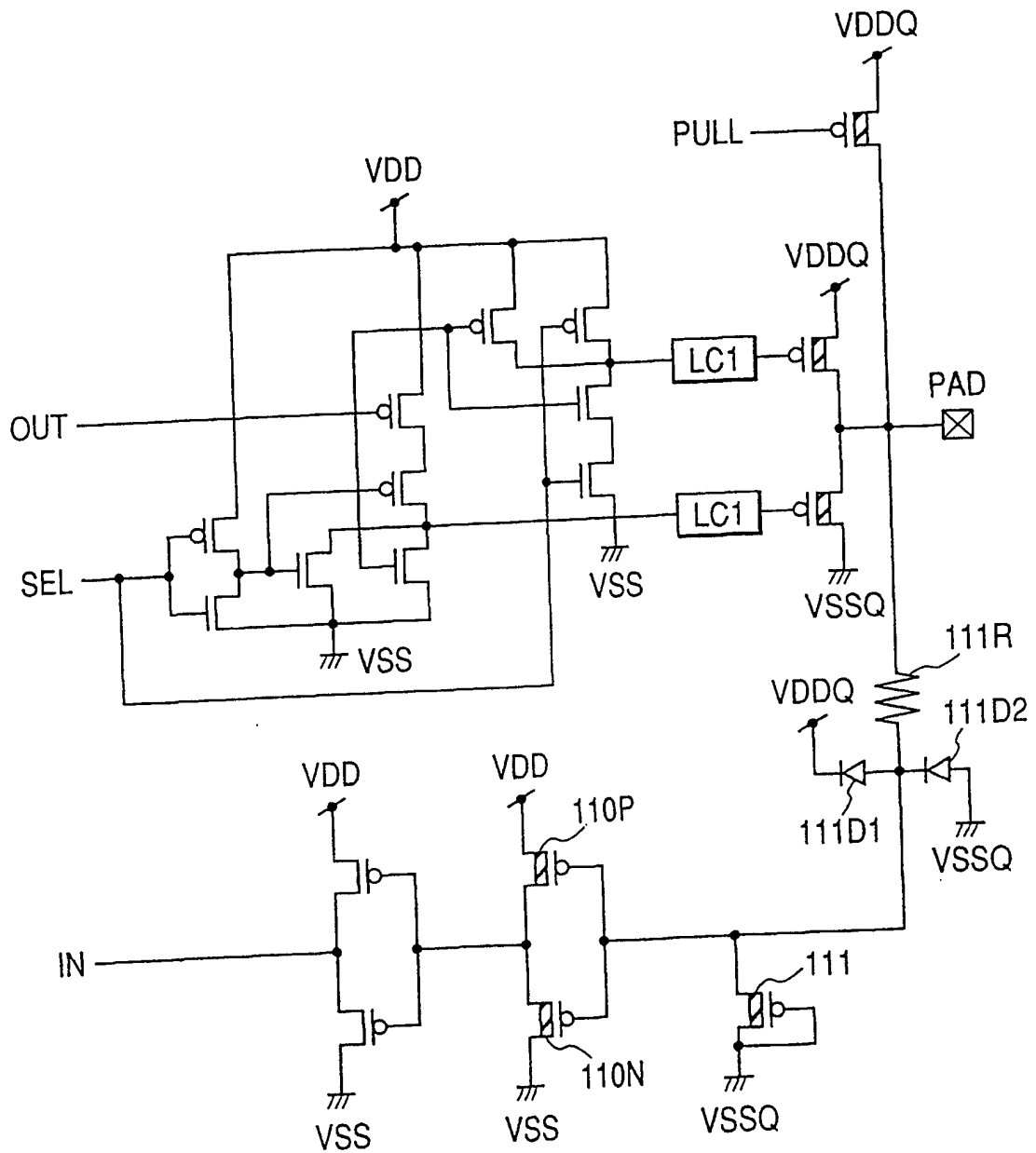


图 3



  = 厚氧化膜晶体管, 高阈值电平, 无 V_{BB} 控制

  = 薄氧化膜晶体管, 低阈值电平, 具有 V_{BB} 控制

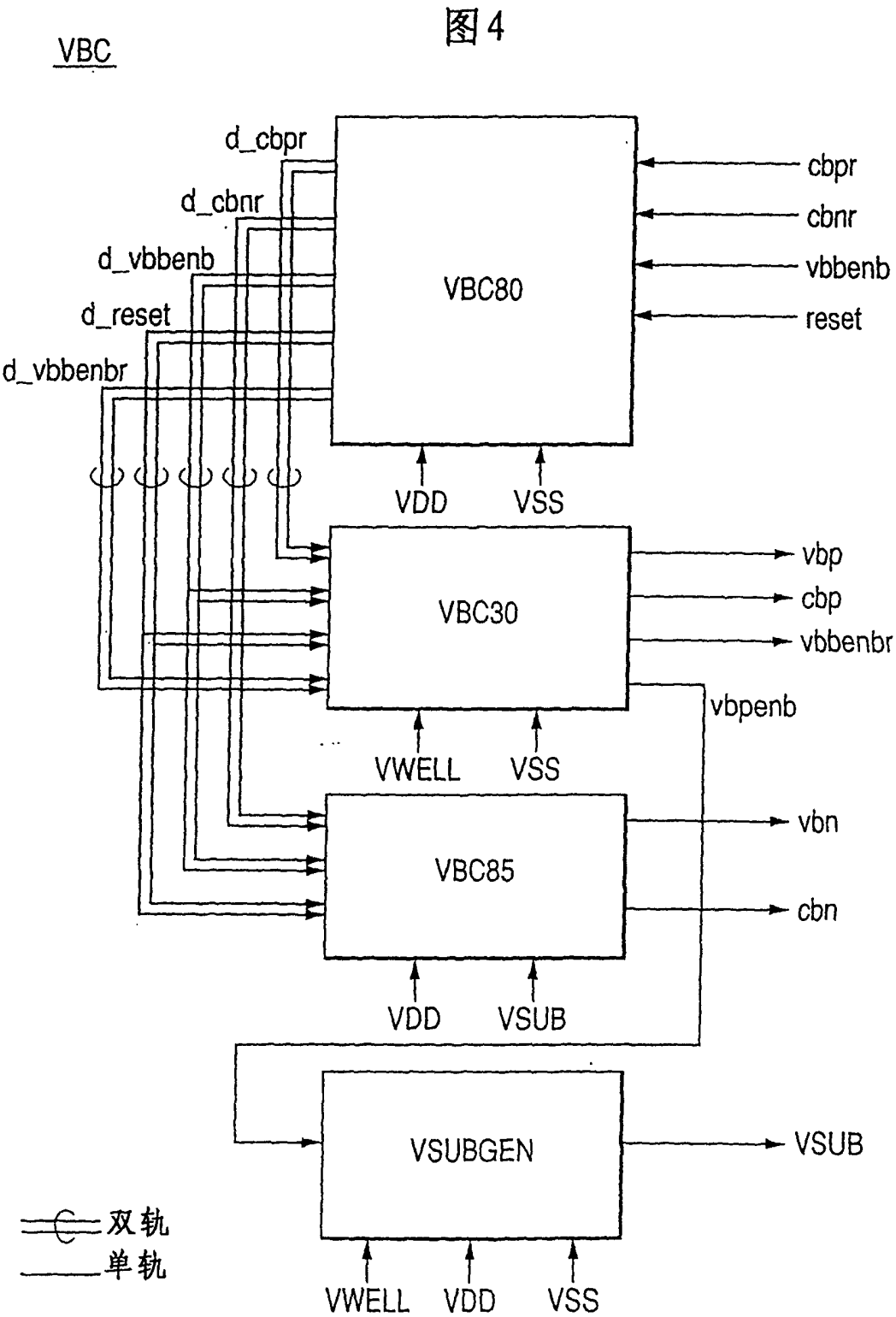


图 5

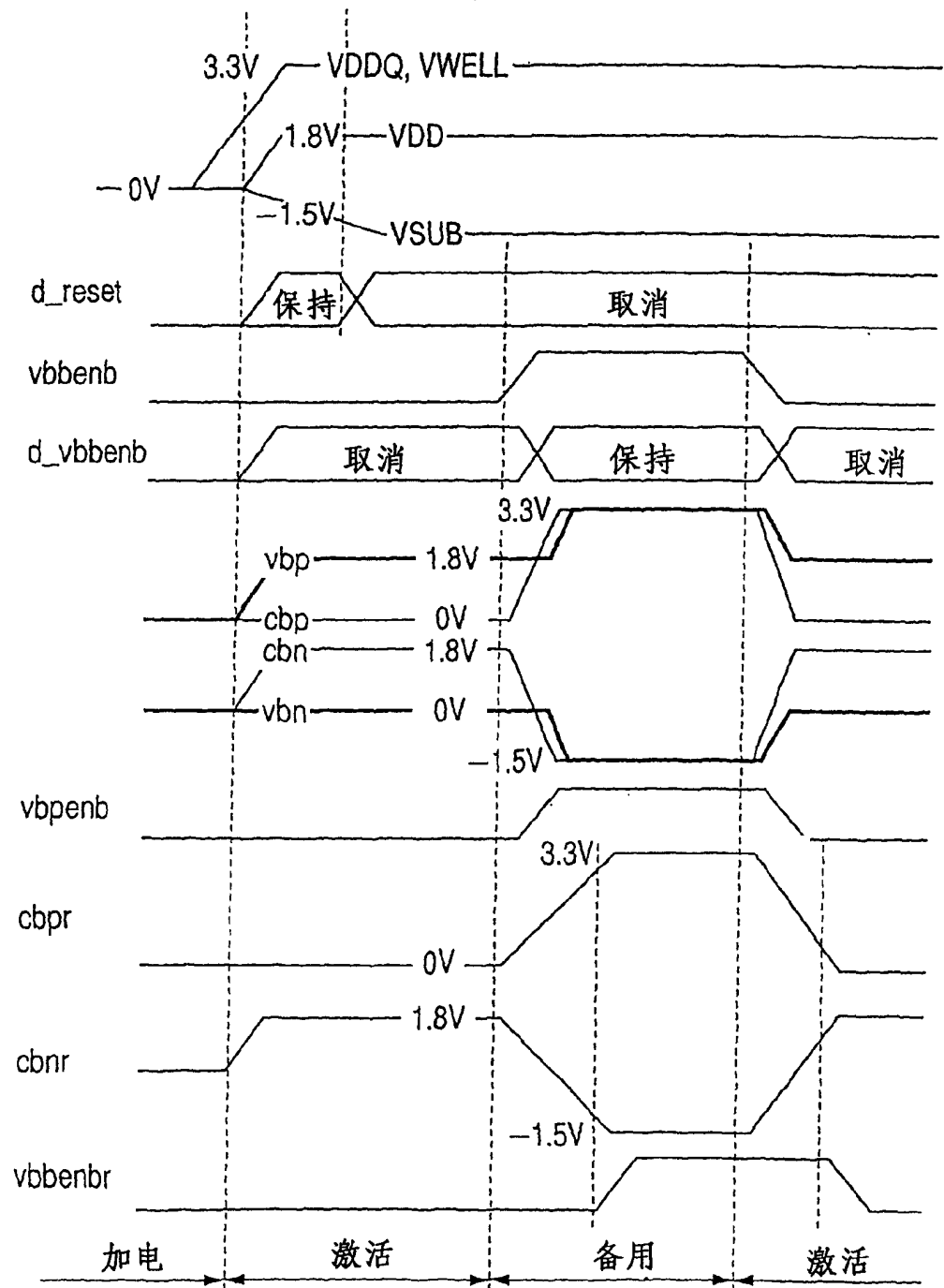


图 6

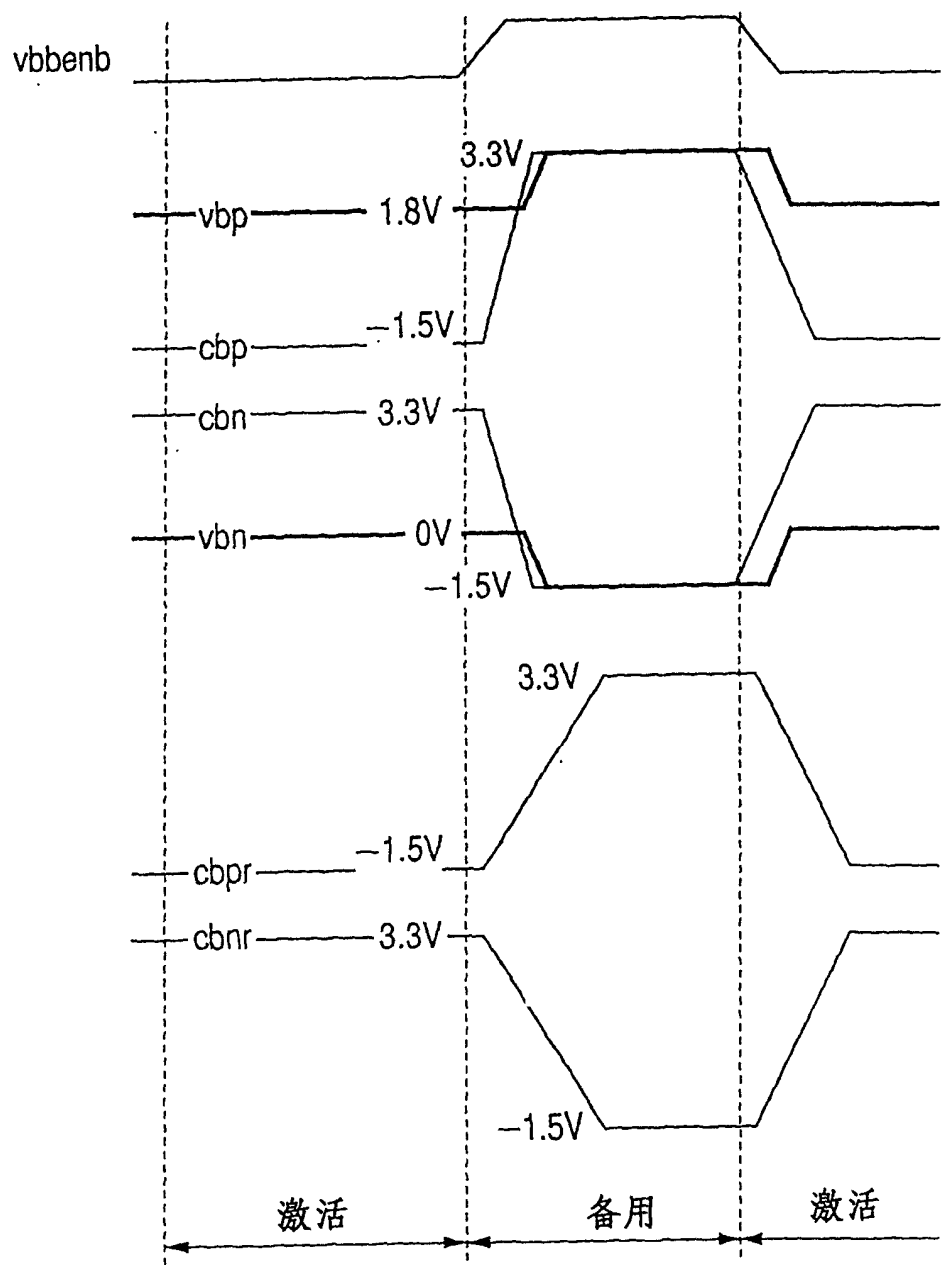


图7

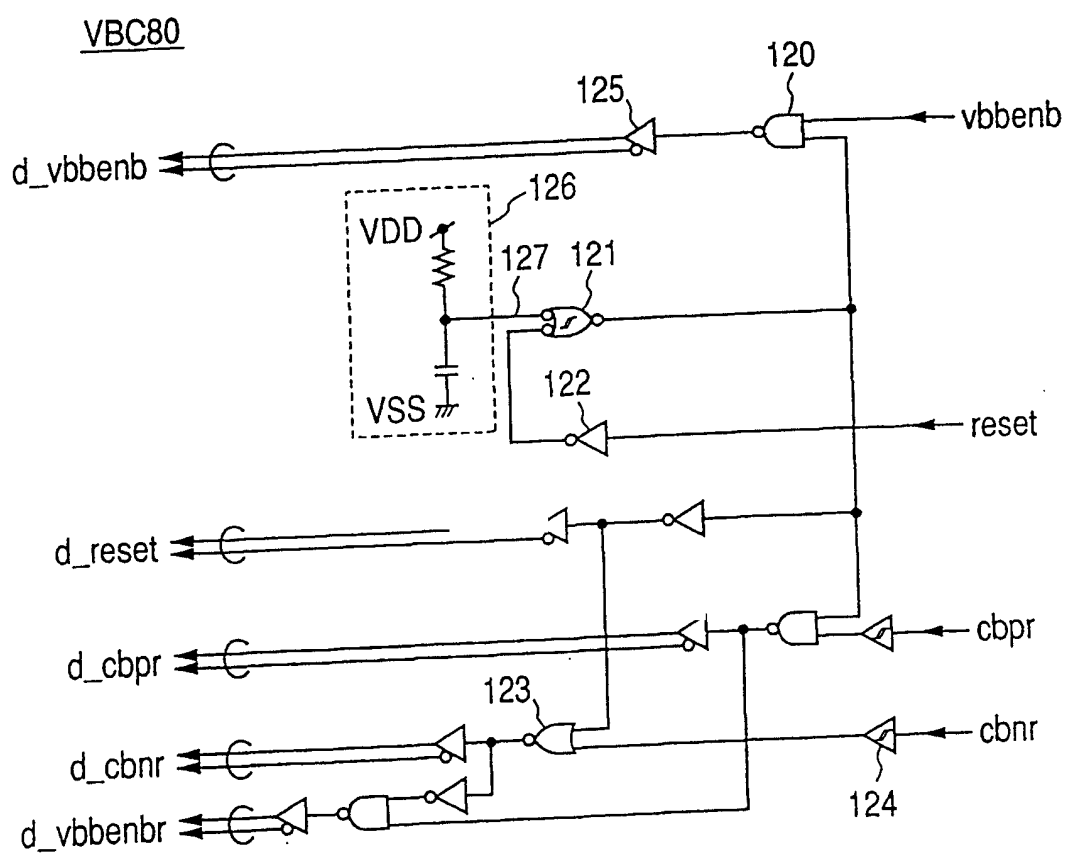


图 8

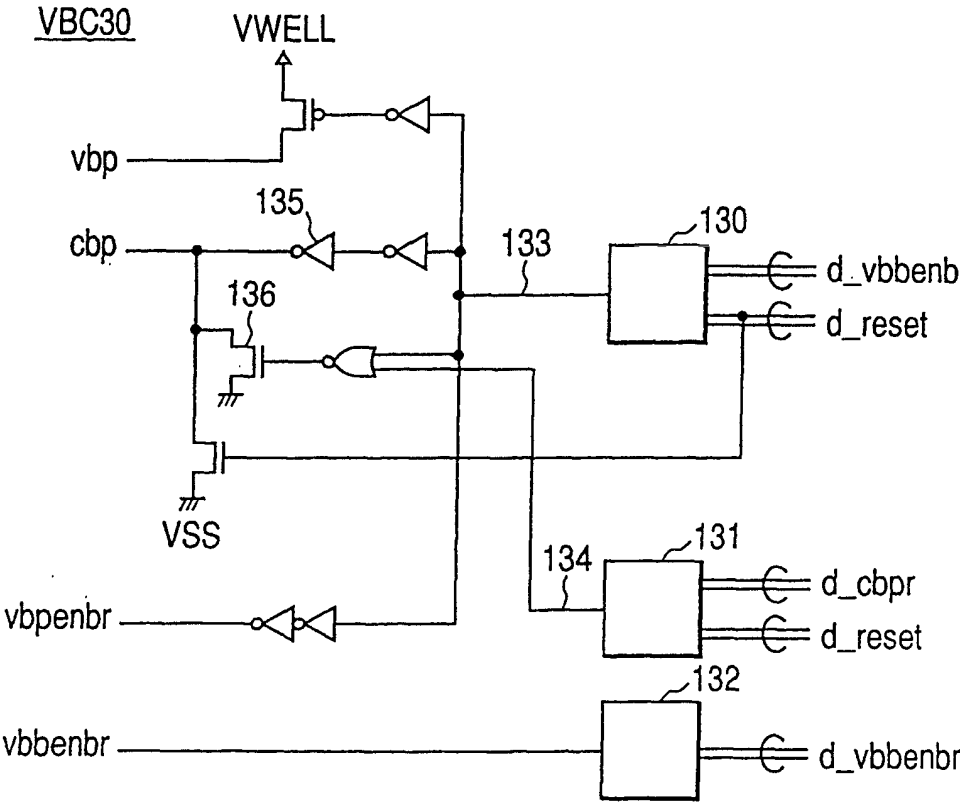


图 9

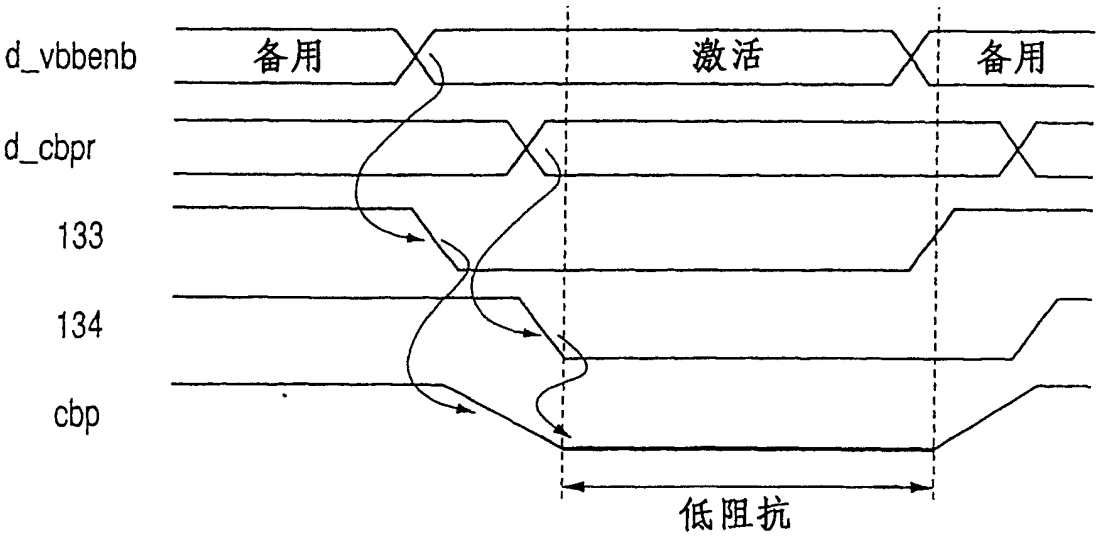


图10

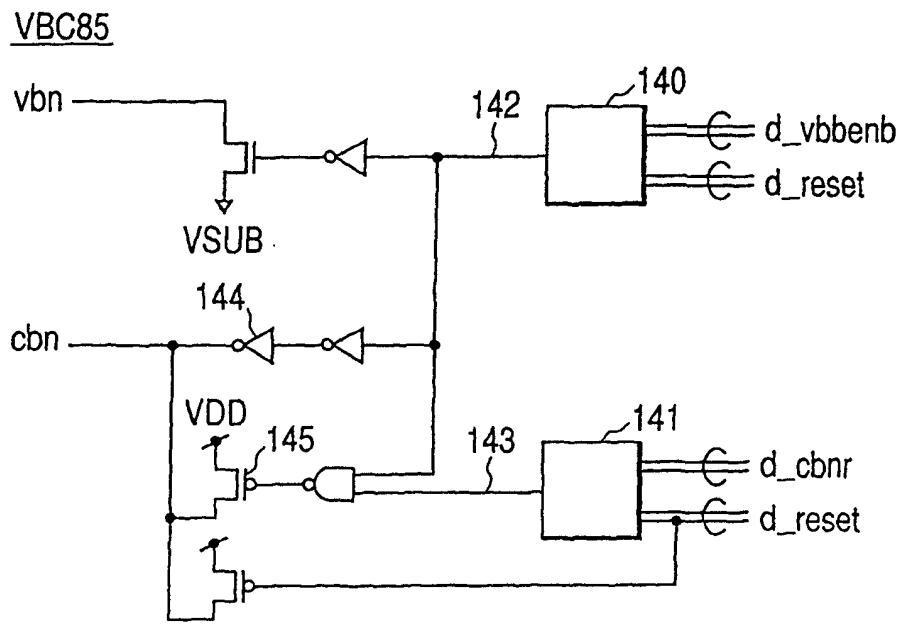


图11

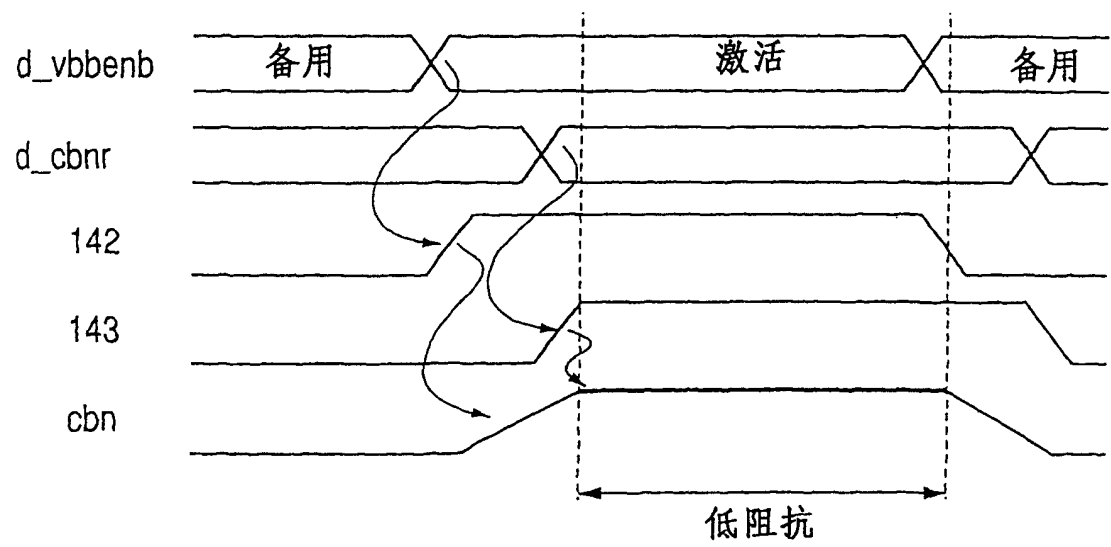


图12

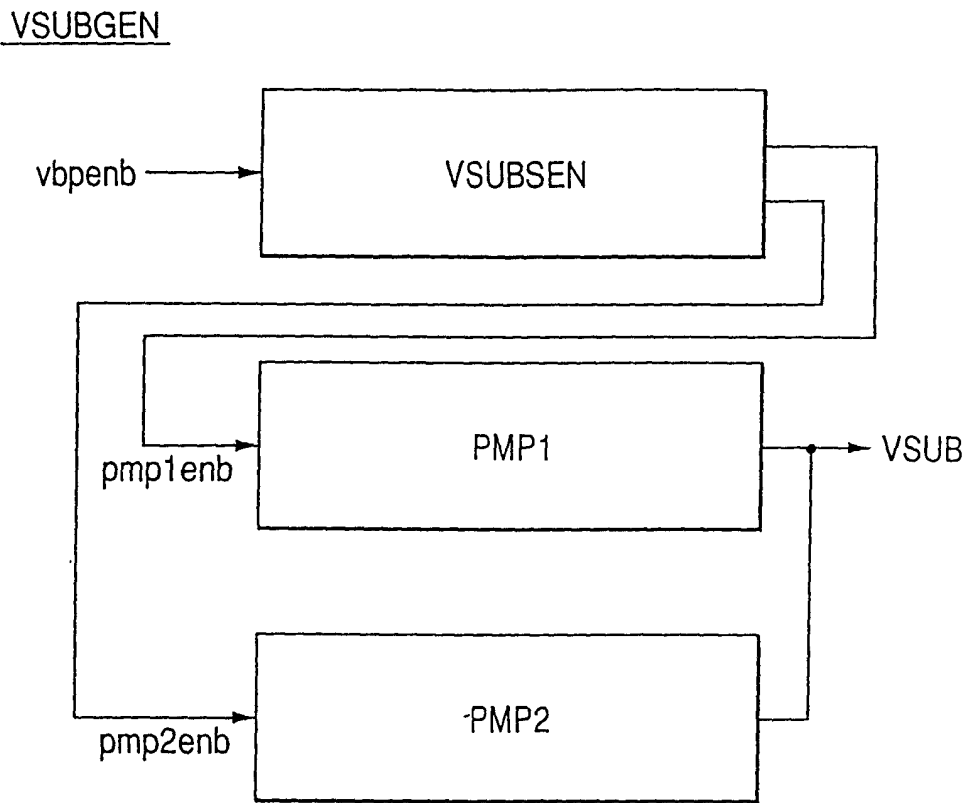


图13

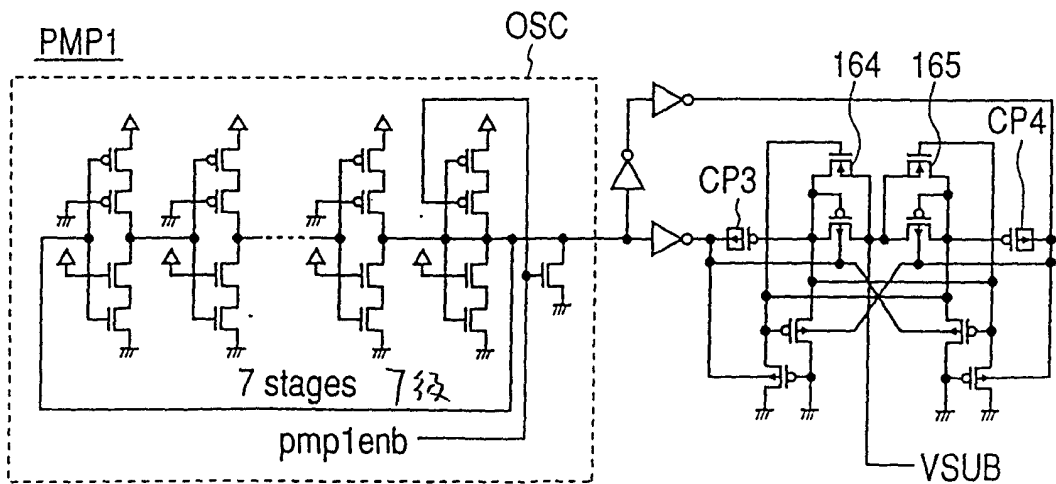


图14

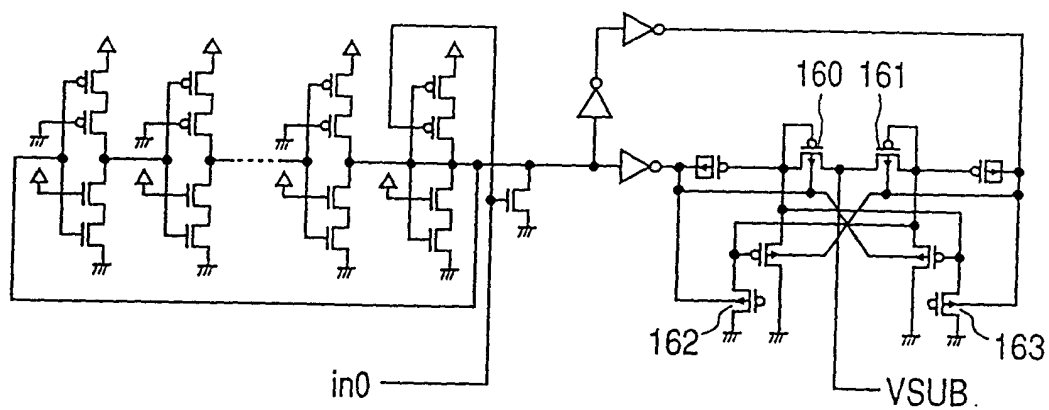


图15

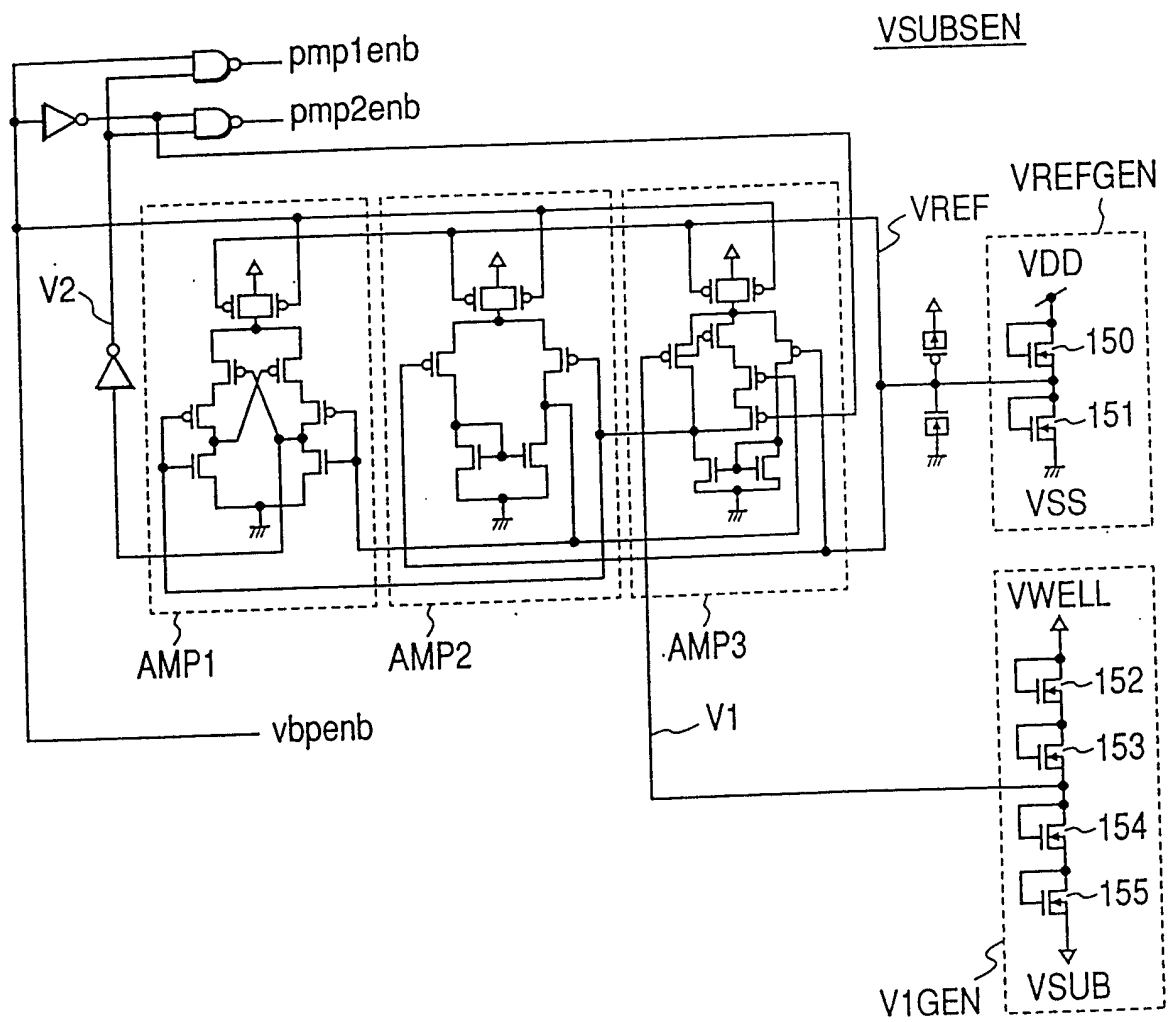


图 16

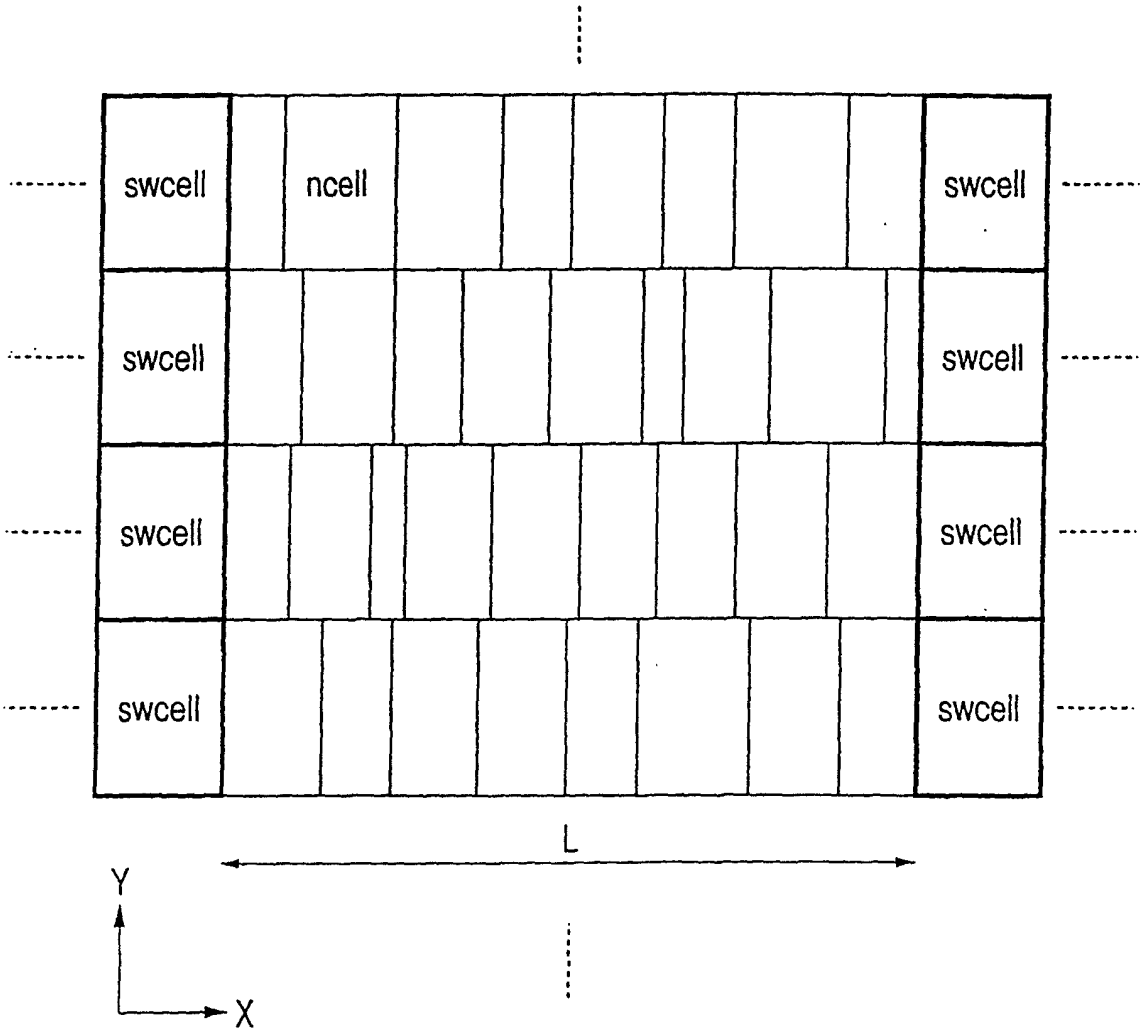
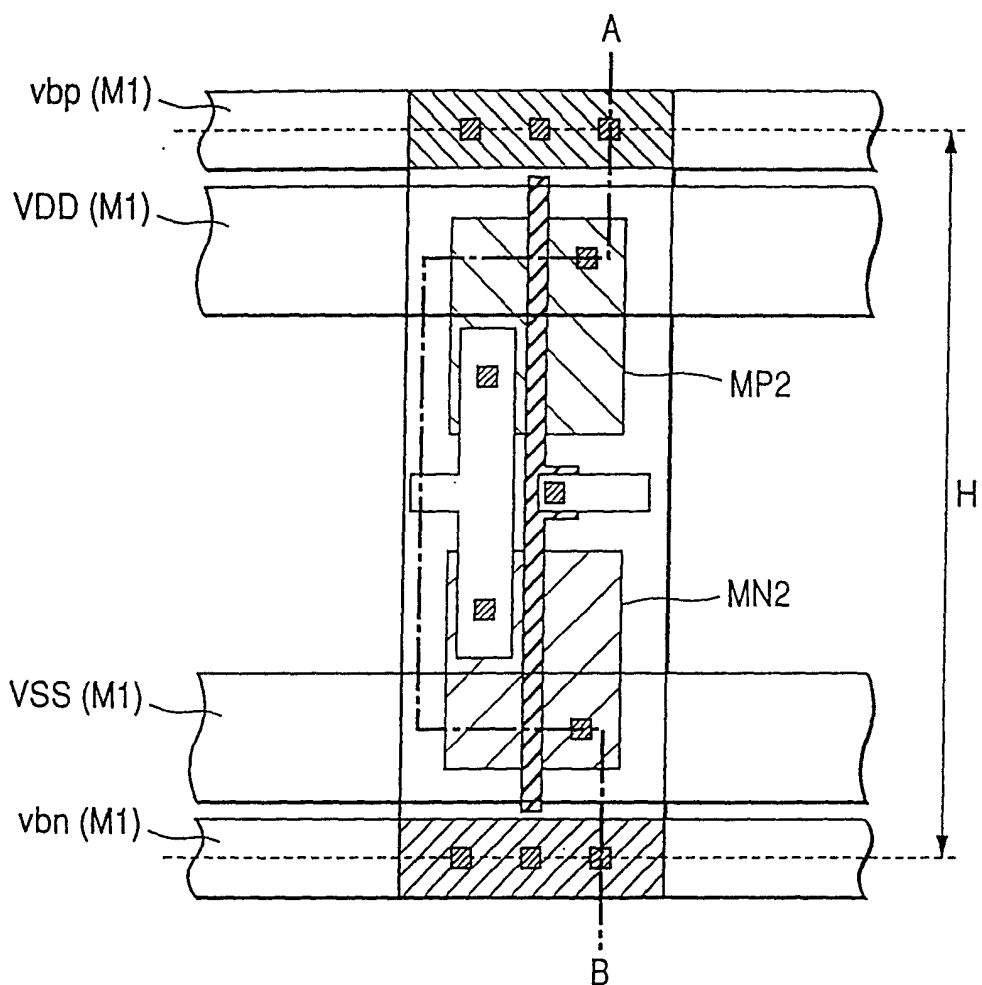


图17



 栅极

 M1

 接触孔

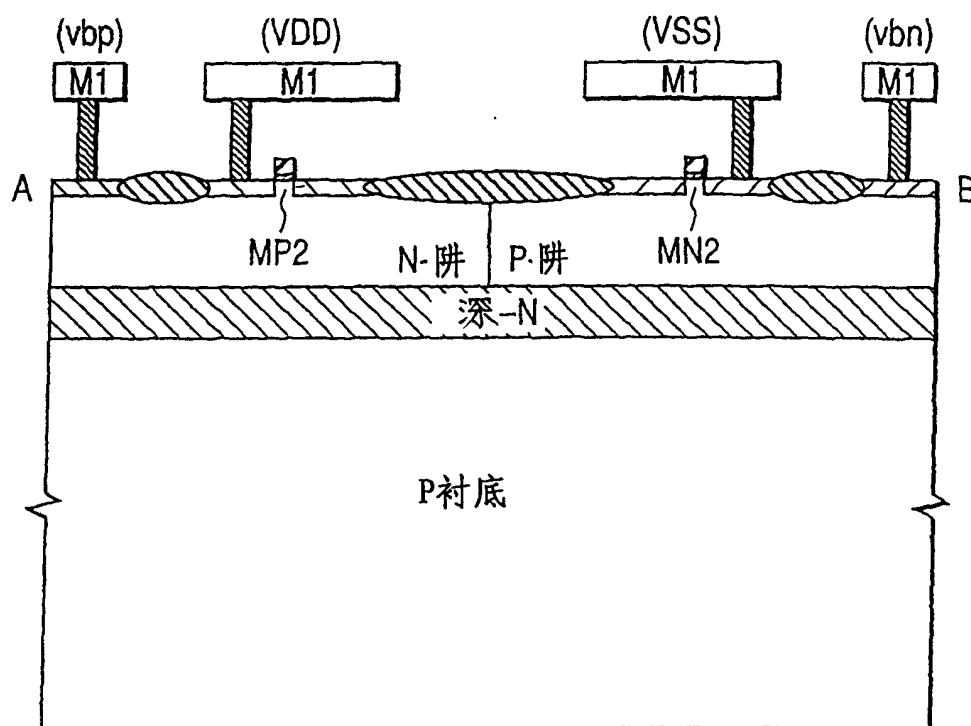
 NMOS 有源区

 PMOS 有源区

 PMOS V_{BB} 电源的高表面密度N区

 NMOS V_{BB} 电源的高表面密度P区

图 18



栅氧化膜

栅极

隔离

M1-M2通孔

NMOS有源区 (N+)

PMOS有源区 (P+)

PMOS V_{BB} 电源的高表面密度N区

NMOS V_{BB} 电源的高表面密度P区

图19

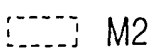
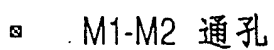
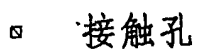
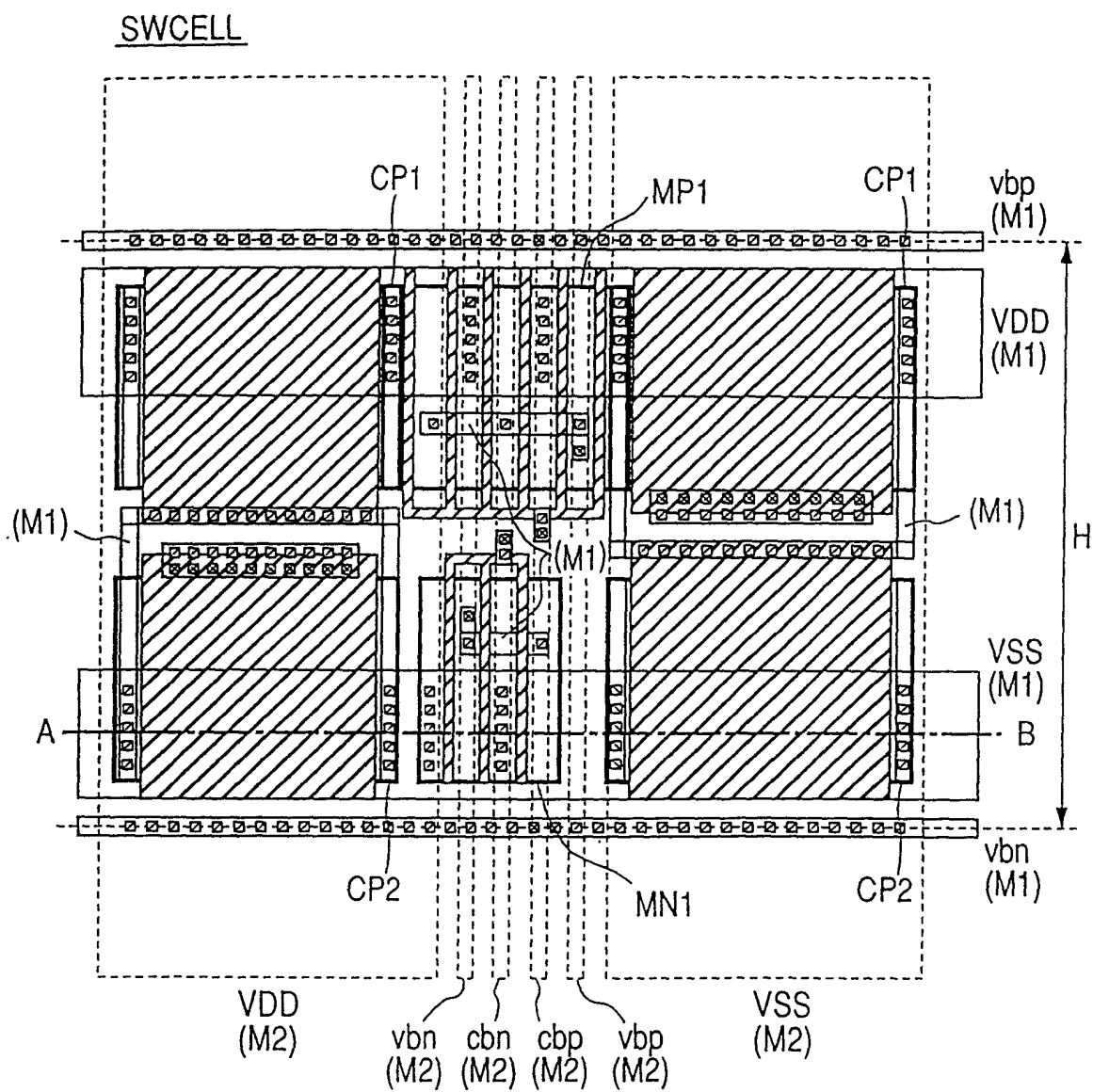


图20

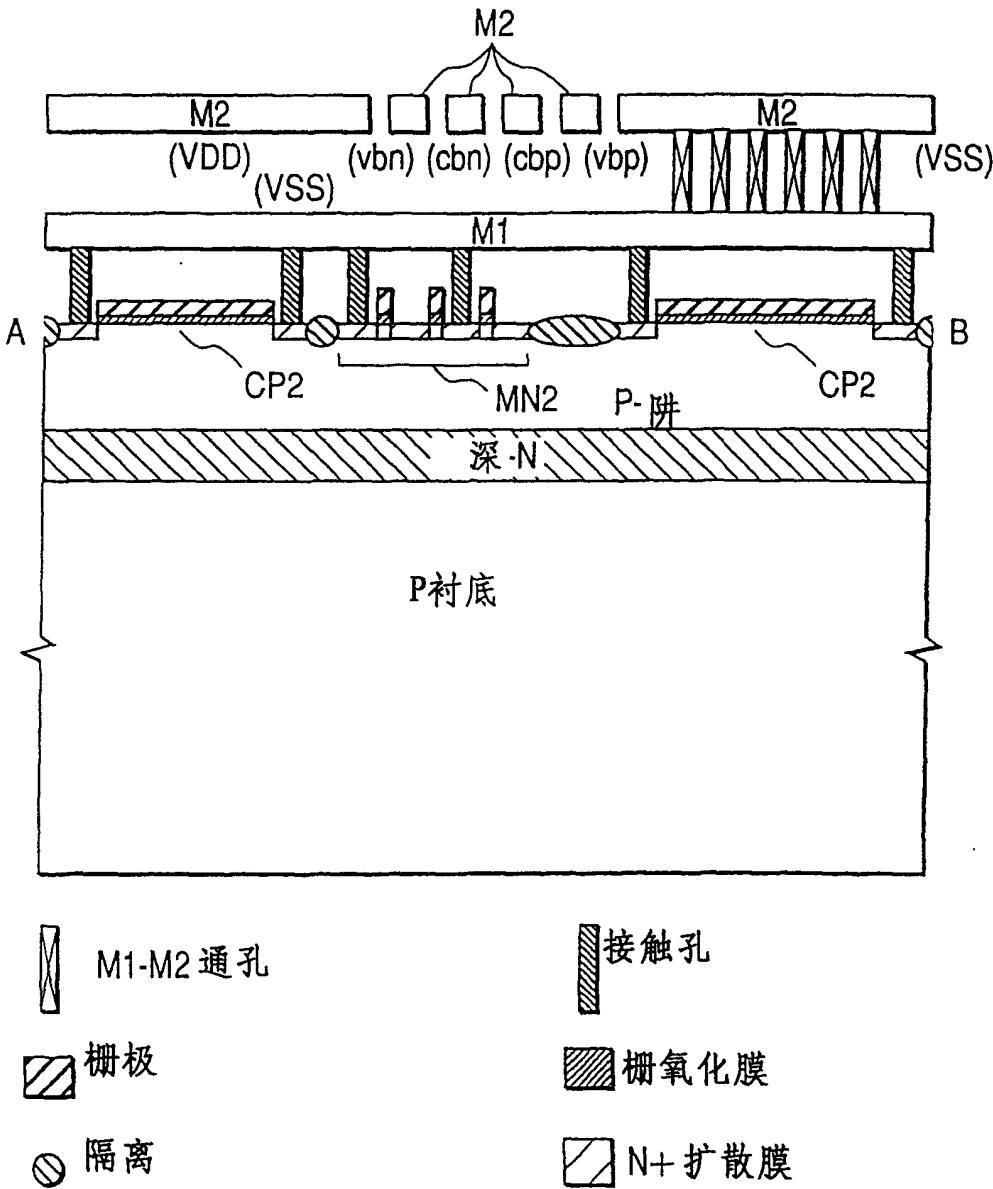


图 21

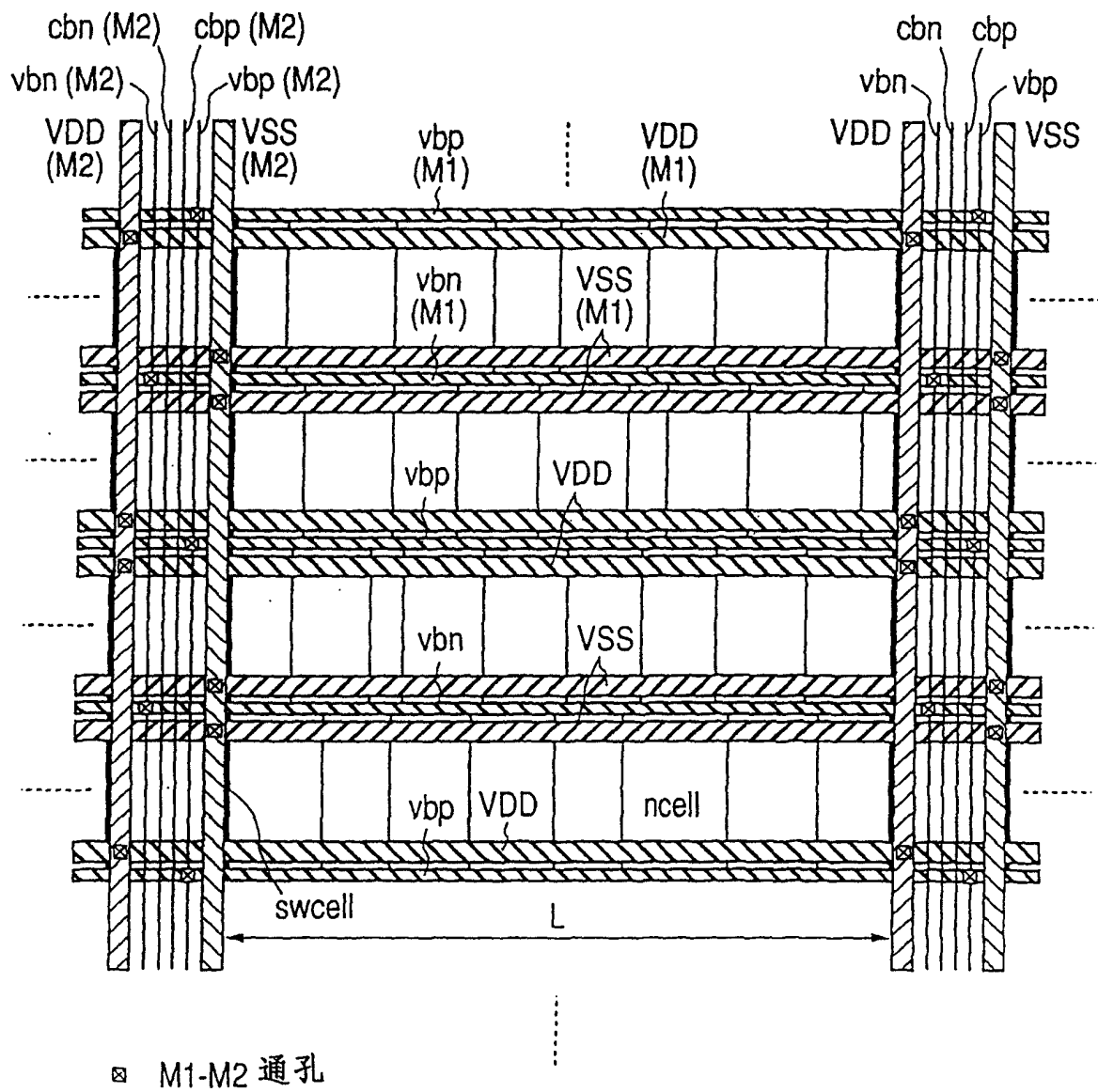


图22

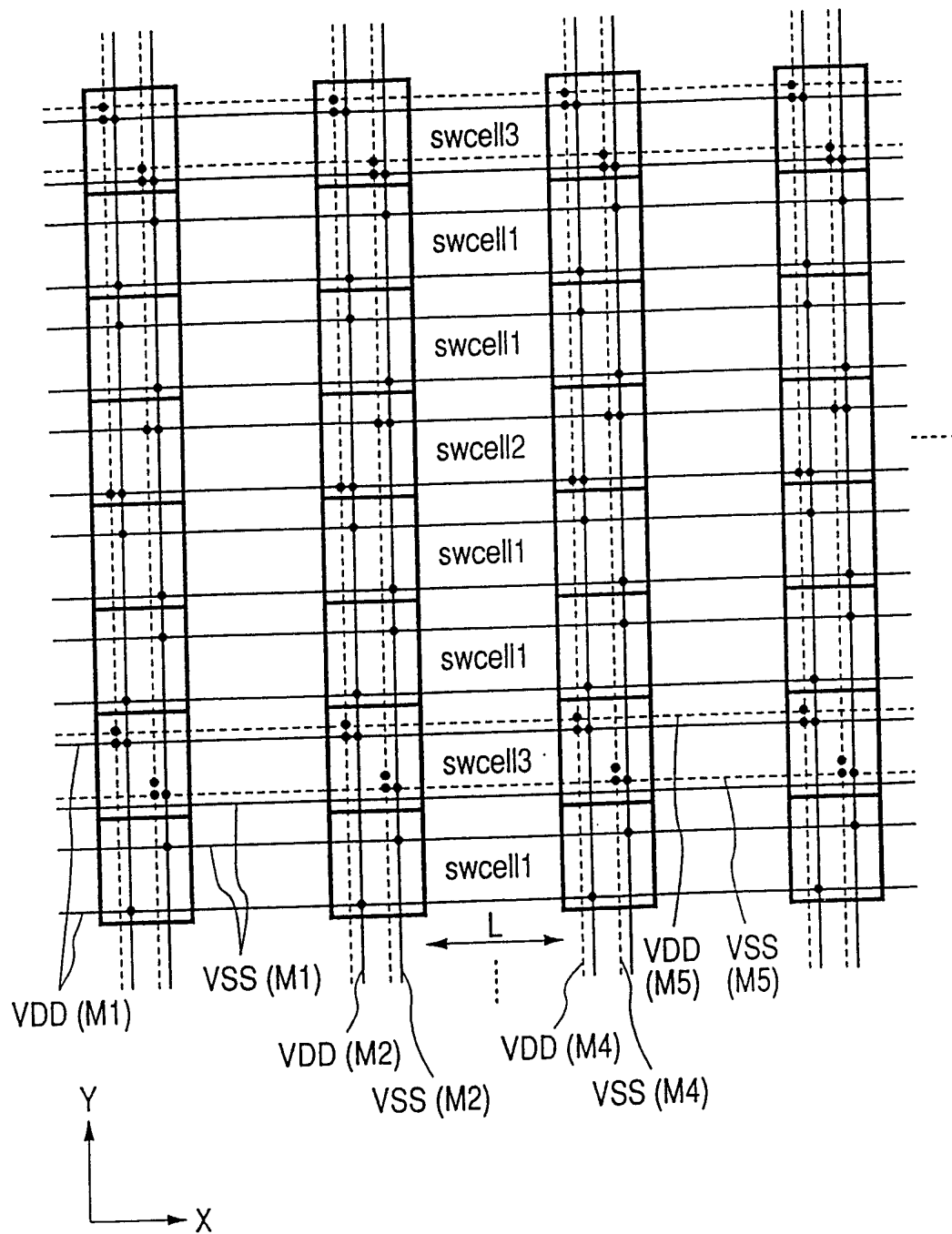


图23

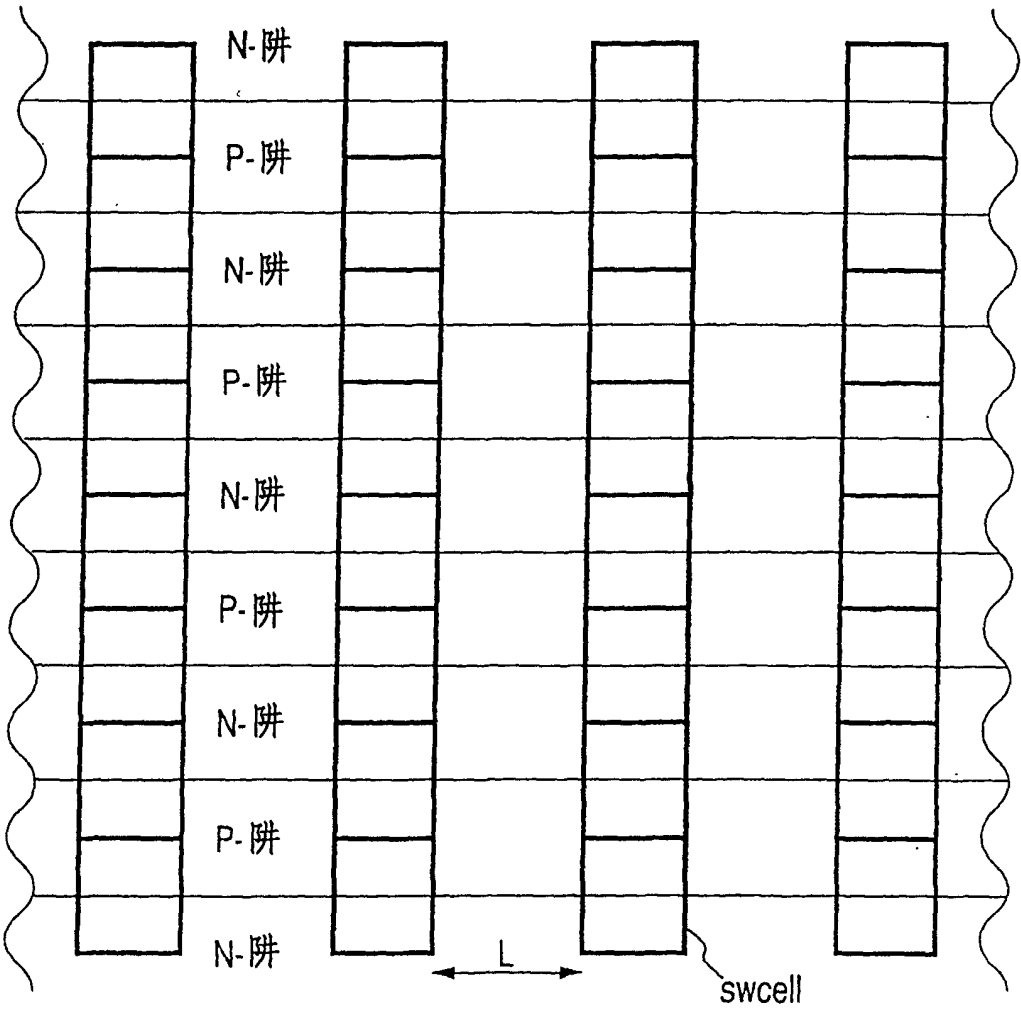


图24

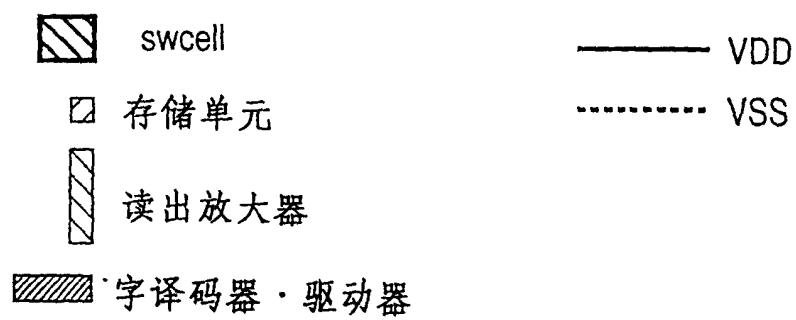
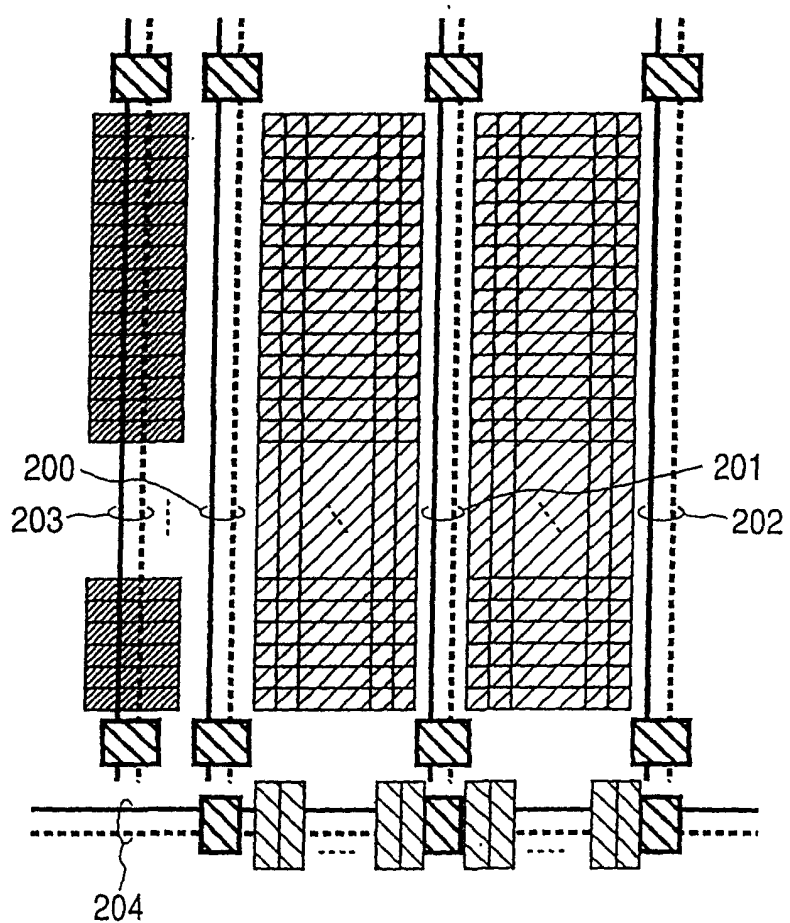


图 25

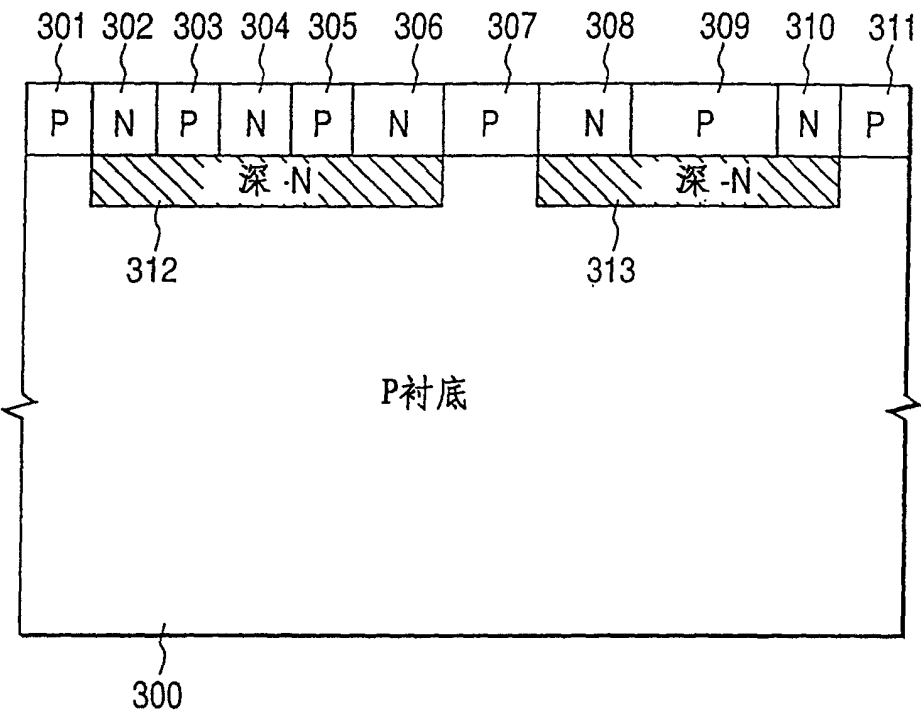


图 26

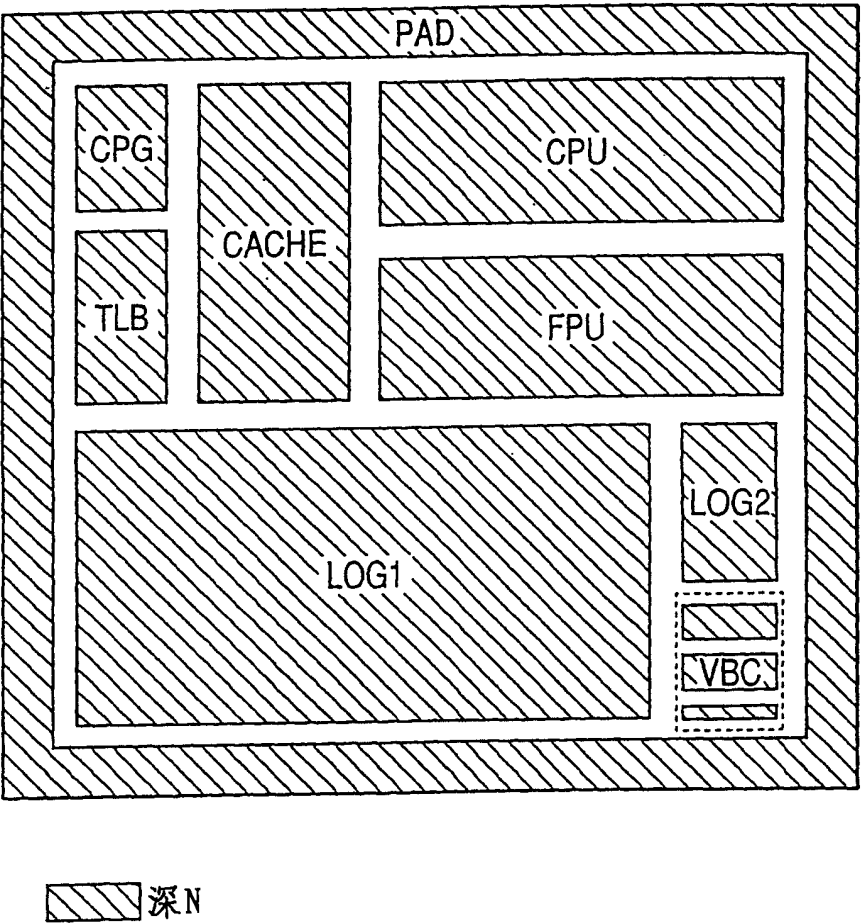


图 27

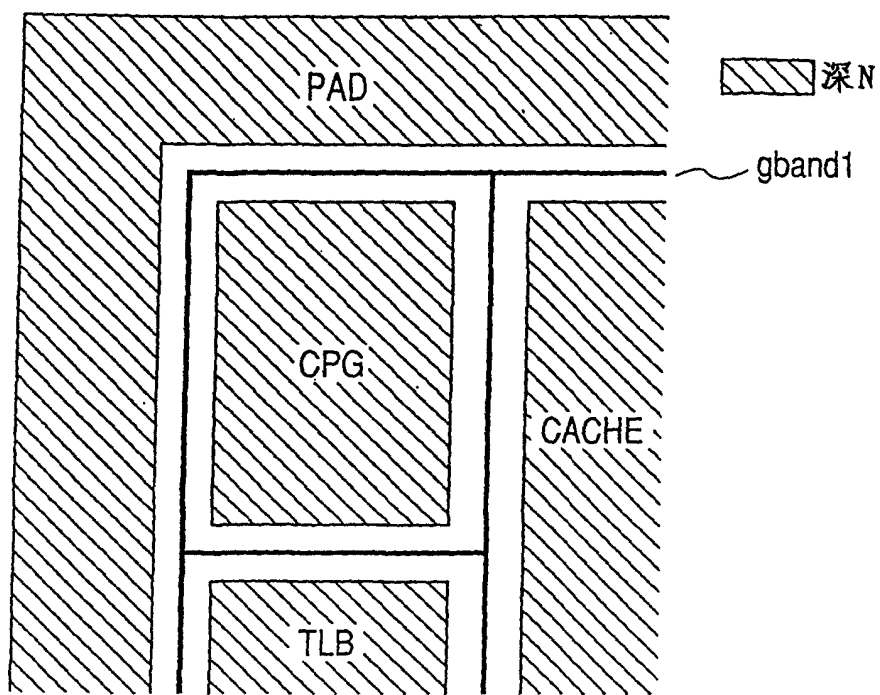


图 28

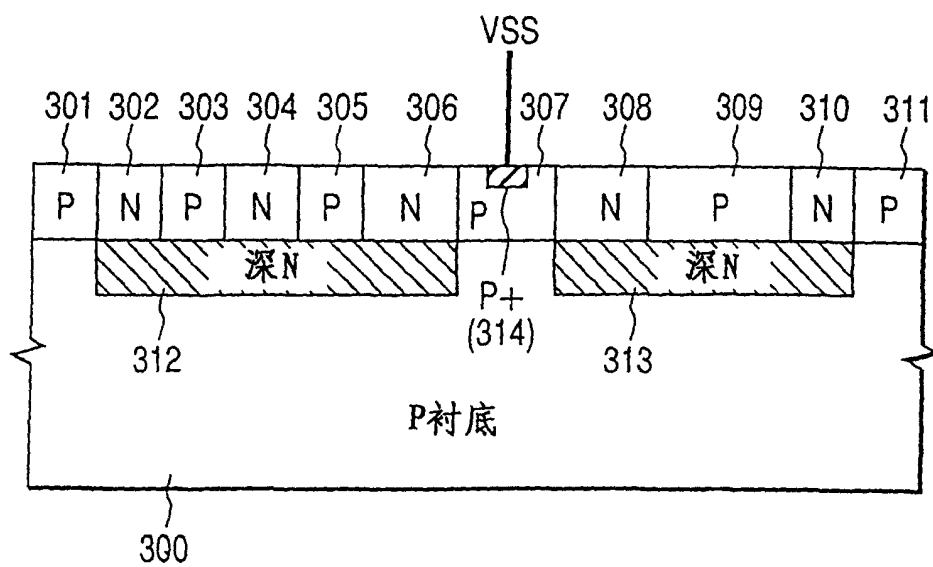


图 29

