

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3930461号
(P3930461)

(45) 発行日 平成19年6月13日(2007.6.13)

(24) 登録日 平成19年3月16日(2007.3.16)

(51) Int. Cl.

F I

H03F 3/26 (2006.01)

H03F 3/26

G02F 1/133 (2006.01)

G02F 1/133 550

G09G 3/20 (2006.01)

G09G 3/20 611A

G09G 3/36 (2006.01)

G09G 3/20 611J

G09G 3/20 623B

請求項の数 7 (全 19 頁) 最終頁に続く

(21) 出願番号 特願2003-202553 (P2003-202553)
 (22) 出願日 平成15年7月28日(2003.7.28)
 (65) 公開番号 特開2004-180268 (P2004-180268A)
 (43) 公開日 平成16年6月24日(2004.6.24)
 審査請求日 平成16年9月17日(2004.9.17)
 (31) 優先権主張番号 特願2002-285540 (P2002-285540)
 (32) 優先日 平成14年9月30日(2002.9.30)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100058479
 弁理士 鈴江 武彦
 (74) 代理人 100091351
 弁理士 河野 哲
 (74) 代理人 100088683
 弁理士 中村 誠
 (74) 代理人 100108855
 弁理士 蔵田 昌俊
 (74) 代理人 100084618
 弁理士 村松 貞男
 (74) 代理人 100092196
 弁理士 橋本 良郎
 最終頁に続く

(54) 【発明の名称】 増幅回路及びこれを用いた液晶ディスプレイ装置

(57) 【特許請求の範囲】

【請求項1】

第1、第2及び第3の電流出力端をそれぞれ有し、第2の電流出力端が第1ノードに接続され、第3の電流出力端が第2ノードにそれぞれ接続された第1、第2及び第3の電流源と；

第1、第2及び第3の電流入力端をそれぞれ有し、第1の電流入力端が前記第2ノードに接続され、第3の電流入力端が前記第1ノードに接続された第4、第5及び第6の電流源と；

信号入力端子からの入力信号を増幅した出力信号を発生し、該出力信号により前記第1及び第3の電流源の電流または第4の電流源の電流の少なくとも一方と前記第2の電流源の電流または第5及び第6の電流源の電流の少なくとも一方を制御する入力段と；

ゲート端子に所定のバイアス電圧が与えられ、ドレイン端子が前記第1の電流出力端に接続され、ソース端子が前記第2ノードに接続された第1導電型の第1トランジスタと；

ゲート端子に所定のバイアス電圧が与えられ、ソース端子が前記第1ノードに接続され、ドレイン端子が前記第2の電流入力端に接続された第2導電型の第2トランジスタと；

ゲート端子が前記第1ノードに接続され、ソース端子が高電位側の第1電源に接続され、ドレイン端子が信号出力端子に接続された第2導電型の第3トランジスタと；

ゲート端子が前記第2ノードに接続され、ソース端子が低電位側の第2電源に接続され、ドレイン端子が前記信号出力端子に接続された第1導電型の第4トランジスタとを具備する増幅回路。

10

20

【請求項 2】

前記入力段は、前記出力信号により前記第 1 及び第 3 の電流源の電流または前記第 2 の電流源の電流を制御する場合には、前記出力信号の電圧増加に対して前記第 1 及び第 3 の電流源の電流または前記第 2 の電流源の電流を減少させ、前記出力信号により前記第 4 の電流源の電流または前記第 5 及び第 6 の電流源の電流を制御する場合には、前記出力信号の電圧増加に対して前記第 4 の電流源の電流または前記第 5 及び第 6 の電流源の電流を増加させる請求項 1 記載の増幅回路。

【請求項 3】

前記第 1 及び第 2 トランジスタのゲート端子に、前記バイアス電圧として前記入力段の出力信号に依存した電圧または直流電圧を供給するバイアス供給回路をさらに具備する請求項 1 記載の増幅回路。

10

【請求項 4】

前記第 2 ノードと前記信号出力端子との間に接続された少なくともキャパシタを含むインピーダンス素子をさらに具備する請求項 1 記載の増幅回路。

【請求項 5】

前記第 2 及び第 3 トランジスタのドレイン端子と前記信号出力端子との間に接続された少なくとも抵抗素子を含むインピーダンス素子をさらに具備する請求項 1 記載の増幅回路。

【請求項 6】

前記抵抗素子は、電界効果トランジスタのオン抵抗により構成される請求項 5 記載の増幅回路。

20

【請求項 7】

複数の画素と、該複数の画素に映像信号に応じた信号電圧を選択的に与えるための信号線および該信号線と交差する走査線が配列形成された液晶ディスプレイと、

請求項 1 ～ 6 のいずれか 1 項に記載の増幅回路を有し、前記信号線を画像信号に応じて駆動する駆動回路と、

前記走査線を順次選択する選択回路とを具備する液晶ディスプレイ装置。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

30

本発明は、容量性負荷の高速駆動に適した増幅回路及びこれを用いた液晶ディスプレイ装置に関する。

【0002】**【従来の技術】**

増幅回路において、セトリングタイムは回路の性能を決定する重要なファクタの一つであり、これをできるだけ短くすることが要求される。特に、液晶セルのような大容量の容量性負荷を駆動する増幅回路では、電流駆動能力が低いと負荷を充放電するためにより時間がかかるため、高速なセトリングを実現することが難しい。

【0003】

電流駆動能力を高めるため、従来、出力段を A B 級やプッシュプル構成にした増幅回路が提案されている。そのような増幅回路は、例えば H.W.KLEIN, et. al., "Minimization of Charge Transfer Errors in Switched-Capacitor Stages," IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. SC-18, NO. 6, Dec., 1983 (非特許文献 1) の図 2 に記載されている。この増幅回路では、差動入力信号の正相信号及び逆相信号を差動対トランジスタのゲート端子で受け、差動対トランジスタのうち、正相信号を受ける第 1 トランジスタのドレイン電圧を出力段を構成するコンプリメンタリ・トランジスタ対の P M O S トランジスタのゲート端子に供給する。一方、逆相信号を受ける第 2 トランジスタのドレイン電圧を 2 段のカレントミラー回路からなるレベルシフト回路を介してコンプリメンタリ・トランジスタ対の N M O S トランジスタのゲート端子に供給する。

40

【0004】

50

【非特許文献 1】

H.W.KLEIN, et. al., "Minimization of Charge Transfer Errors in Switched-Capacitor Stages," IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. SC-18, NO. 6, Dec., 1983

【0005】

【発明が解決しようとする課題】

非特許文献 1 の増幅回路は、差動入力信号の正負両方の信号に対して高い電流駆動能力を得ることが難しいという問題がある。すなわち、差動入力信号の正相信号の電圧が逆相信号の電圧より大きい場合は、差動対トランジスタのうち正相信号がゲート端子に入力されている第 1 トランジスタにバイアス電流が流れる。このとき、逆相信号がゲート端子に入力されている第 2 トランジスタはオフ状態となるため、出力段の PMOS トランジスタのゲート電圧は低くなり、PMOS トランジスタは負荷に対して高い電流駆動能力を得ることができる。

10

【0006】

これに対して、差動入力信号の正相信号の電圧が逆相信号の電圧より小さい場合、第 1 トランジスタはオフ状態となり、第 2 トランジスタにバイアス電流が流れる。このとき、第 2 トランジスタに流れる電流に比例した電流が 2 段のカレントミラー回路を介して出力段の NMOS トランジスタに流れる。従って、NMOS トランジスタはバイアス電流に比例した電流しか流せないため、電流駆動能力が低いということになる。

【0007】

正負両方の入力信号に対して高い電流駆動能力を得るには、バイアス電流を増加させるか、あるいは出力段のトランジスタのチャネル長とチャネル幅の比を大きくとればよい。しかしバイアス電流を増加させると、回路の消費電流が大きくなる。チャネル長とチャネル幅の比を大きくとると、出力段のバイアス電流が増えるだけでなく、集積化した場合にチップ面積が大きくなってしまう。

20

【0008】

このように従来の容量性負荷駆動用の増幅回路では、セトリングタイムを短くするために正負両方の入力信号に対して電流駆動能力を高くしようとすると、消費電流が増加するという問題がある。

【0009】

本発明の目的は、従来よりも少ないバイアス電流で正負両方の大信号入力時に高い電流駆動能力を実現して、セトリングタイムを短縮できる増幅回路を提供することにある。

30

【0010】

【課題を解決するための手段】

上記の課題を解決するため、本発明の一つの態様に係る増幅回路では、信号入力端子からの入力信号を受ける入力段と、該入力段からの出力信号に依って駆動される出力段から構成される。出力段には、第 1 及び第 2 ノードにそれぞれ接続された第 1 及び第 2 の電流出力端を有する第 1 及び第 2 の電流源と、第 2 ノードに接続された電流入力端を有する第 3 の電流源が設けられる。入力段の出力信号によって、第 1 及び第 2 の電流源の電流または第 3 の電流源の電流の少なくとも一方が制御される。

【0011】

第 1 のノードには、ゲート端子に所定のバイアス電圧が与えられた第 1 導電型の第 1 トランジスタのドレイン端子が接続され、第 2 ノードには第 1 トランジスタのソース端子が接続される。

40

【0012】

出力段には、さらにコンプリメンタリ・トランジスタ対、すなわちゲート端子が第 1 ノードに接続され、ソース端子が高電位側の第 1 電源に接続された第 2 導電型の第 2 トランジスタと、ゲート端子が第 2 ノードに接続され、ソース端子が低電位側の第 2 電源に接続された第 1 導電型の第 3 トランジスタが設けられ、これら第 2 及び第 3 のドレイン端子は信号出力端子に接続される。

【0013】

50

このように構成された増幅回路では、第 1、第 3 の電流源にカスコード接続された第 1 トランジスタのゲート端子に所定のバイアス電圧を与えておくことにより、無信号入力時に第 2 トランジスタに流れるバイアス電流を制限することができる。一方、正の大信号入力時には第 1 トランジスタが大電流を流すことにより、また、負の大信号入力時には第 1 トランジスタがオフ状態となるようにすることにより、正負両方の大信号入力時に、信号出力端子に接続されている第 2 及び第 3 トランジスタの電流駆動能力が向上し、これによってセトリングタイムが短縮される。

【0014】

本発明の他の態様に係る増幅回路では、出力段に第 1、第 2 及び第 3 の電流出力端をそれぞれ有する第 1、第 2 及び第 3 の電流源と、第 1、第 2 及び第 3 の電流入力端をそれぞれ有する第 4、第 5 及び第 6 の電流源が設けられる。第 2 の電流出力端は第 1 ノードに接続され、第 3 の電流出力端は第 2 ノードに接続され、第 1 の電流入力端は第 2 ノードに接続され、第 3 の電流入力端は第 1 ノードに接続される。入力段からの出力信号出力信号により第 1 及び第 3 の電流源の電流または第 4 の電流源の電流の少なくとも一方と第 2 の電流源の電流または第 5 及び第 6 の電流源の少なくとも一方が制御される。

10

【0015】

ゲート端子に所定のバイアス電圧が与えられた第 1 導電型の第 1 トランジスタのドレイン端子が第 1 の電流出力端に接続され、第 1 トランジスタのソース端子が第 2 ノードに接続される。また、ゲート端子に所定のバイアス電圧が与えられた第 2 導電型の第 2 トランジスタのソース端子が第 1 ノードに接続され、ドレイン端子が第 2 の電流入力端に接続される。

20

【0016】

出力段には、さらにコンプリメンタリ・トランジスタ対、すなわちゲート端子が第 1 ノードに接続され、ソース端子が高電位側の第 1 電源に接続された第 2 導電型の第 3 トランジスタと、ゲート端子が第 2 ノードに接続され、ソース端子が低電位側の第 2 電源に接続された第 1 導電型の第 4 トランジスタが設けられ、これら第 2 及び第 3 のドレイン端子は信号出力端子に接続される。

【0017】

このように構成された増幅回路においても、正負両方の大信号入力時に、信号出力端子に接続されている第 3 及び第 4 トランジスタに対する電流駆動能力を高めて、セトリングタイムを短縮することができる。

30

【0018】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて説明する。

（第 1 の実施形態）

図 1 に、本発明の第 1 の実施形態に係る増幅回路を示す。図 1 に示す増幅回路は、信号入力端子 1 からの入力信号を増幅する入力段 2 と、入力段 1 からの出力信号をさらに増幅して信号出力端子 5 へ出力する出力段 3 を有する。信号出力端子 5 には、例えば容量性負荷 6 が接続される。

【0019】

40

出力段 3 は、p チャネル MOSFET（以下、PMOS トランジスタという）P1、n チャネル MOSFET（以下、NMOS トランジスタという）N1、N2 及び第 1～第 3 の電流源 I1、I2、I3 により構成されている。以下、出力段 3 の構成を詳しく説明する。

【0020】

第 1 及び第 2 の電流源 I1、I2 は、入力端が高電位側の第 1 電源 Vdd に接続された電流吐き出し型の電流源であり、電流出力端から電流を出力する。第 3 の電流源 I3 は、出力端が低電位側の第 2 電源 Vss（例えば、グラウンド）に接続された電流吸い込み型の電流源であり、電流入力端に電流を入力する。

【0021】

50

電流源 I_1 , I_2 , I_3 は、本実施形態ではいずれも電流値を外部からの制御信号により制御できる可変電流源であり、入力段 2 からの出力信号が制御信号として与えられる。入力段 2 の出力信号電圧に対して、電流源 I_1 , I_2 の電流と電流源 I_3 の電流とは相補的に変化するように構成される。すなわち、入力段 2 の出力信号の電圧増加に対して、電流源 I_1 , I_2 の電流は減少し、電流源 I_3 の電流は増加する。

【0022】

電流源 I_1 の電流出力端は、NMOS トランジスタ N_1 のドレイン端子に接続される。電流源 I_1 の電流出力端と NMOS トランジスタ N_1 のドレイン端子との接続点を第 1 ノード n_1 とする。NMOS トランジスタ N_1 のソース端子は、電流源 I_2 の電流出力端と電流源 I_3 の電流入力端に接続される。NMOS トランジスタ N_1 のソース端子と電流源 I_2 の電流出力端及び電流源 I_3 の電流入力端との接続点を第 2 ノード n_2 とする。

10

【0023】

NMOS トランジスタ N_1 のゲート端子には、バイアス回路 4 から適当なバイアス電圧が与えられている。バイアス回路 4 は、後述するように NMOS トランジスタ N_1 のゲート端子に信号入力端子 1 からの入力信号電圧に依存したバイアス電圧を供給するように構成されていてもよいが、直流のバイアス電圧を供給するようにしてもよい。

【0024】

PMOS トランジスタ P_1 及び NMOS トランジスタ N_2 は、最終段のコンプリメンタリ・トランジスタ対を形成している。PMOS トランジスタ P_1 のソース端子は第 1 電源 V_{dd} に接続され、NMOS トランジスタ N_2 のソース端子は第 2 電源 V_{ss} に接続され、トランジスタ P_1 , N_2 のドレイン端子は信号出力端子 5 に共通に接続される。PMOS トランジスタ P_1 のゲート端子は第 1 ノード n_1 に接続され、NMOS トランジスタ N_2 のゲート端子は第 2 ノード n_2 に接続される。

20

【0025】

次に、本実施形態の増幅回路の動作について説明する。

信号入力端子 1 からの入力信号は、入力段 2 によって増幅される。入力段 2 からの出力信号は、電流源 I_1 , I_2 , I_3 に制御信号として供給される。これにより電流源 I_1 , I_2 , I_3 には、入力段 2 からの出力信号に応じた電流が流れる。

【0026】

電流源 I_1 , I_2 , I_3 を流れる電流をそれぞれ i_1 , i_2 , i_3 で表すと、入力段 2 の出力信号電圧が高いときは電流 i_1 , i_2 は小さくなり、電流 i_3 が大きくなる。入力段 2 の出力信号電圧が低いときは電流 i_1 , i_2 が大きくなり、電流 i_3 は小さくなる。

30

【0027】

電流源 I_1 , I_2 , I_3 は、信号入力端子 1 への無信号入力時、つまり入力段 2 の出力信号電圧が零のときには、 $i_1 + i_2 = i_3$ となるように構成される。このとき、トランジスタ N_1 のソース電圧によりトランジスタ N_2 のゲート電圧が決定され、それに従いトランジスタ N_2 のバイアス電流が決定される。従って、バイアス回路 4 によってトランジスタ N_1 のゲート電圧（バイアス電圧）を適当な値に設定すれば、無信号入力時のトランジスタ P_1 , N_2 のバイアス電流を制限することができる。

【0028】

40

信号入力端子 1 への大信号入力時、つまり入力段 2 の出力信号電圧が大きく増減するときは、 $i_1 + i_2$ と i_3 の平衡が崩れる。このとき、以下のような動作により、正負の大信号入力時に容量性負荷 6 に対する高い電流駆動能力を実現することができる。

【0029】

まず、正の大信号入力時には、入力段 2 の出力信号電圧は高くなるため、電流 i_1 , i_2 は零に近い値となり、電流 i_3 が大きくなる。このためトランジスタ N_2 , P_1 のゲート電圧は、無信号入力時と比較して低くなる。従って、トランジスタ P_1 は大電流を信号出力端子 5 に供給する一方、トランジスタ N_2 はオフ状態となって電流を流さないのので、容量性負荷 6 に対して高い電流駆動能力を得ることができる。

【0030】

50

次に、負の大信号入力時には、入力段 2 の出力信号電圧は低くなるため、電流 i_1 , i_2 が大きくなり、電流 i_3 は零に近い値となる。これによりトランジスタ N 2 のゲート電圧が高くなる。このためトランジスタ N 1 のソース電圧は高くなり、N 1 がオフ状態となる。よってトランジスタ P 1 のゲート電圧も高くなる。従って、トランジスタ P 1 はオフ状態となる一方、トランジスタ N 2 には信号出力端子 5 から大電流を流入することにより、容量性負荷 6 に対して高い電流駆動能力を得ることができる。

【0031】

このように本実施形態の増幅回路では、無信号入力時のバイアス電流を制限して消費電流を削減しつつ、正負両方の大信号入力時に高い電流駆動能力を得ることができ、セトリングタイムを効果的に短縮することができる。

10

【0032】

次に、位相補償について説明する。図 1 に示したような入力段 2 と出力段 3 からなる二段構成の増幅回路では、より安定な動作を実現するために何らかの位相補償を行うことが望ましい。図 2 及び図 3 は、図 1 に示した実施形態の増幅回路に付加する位相補償回路の具体例を示す図である。

図 2 では、第 2 ノード n 2 と信号出力端子 5 との間に少なくともキャパシタを含む位相補償用のインピーダンス素子 7 を接続している。このようなキャパシタは、ミラー容量と呼ばれる。

【0033】

図 3 では、コンプリメンタリ・トランジスタ対を形成するトランジスタ P 1 , N 2 のドレイン端子と信号出力端子 5 との間に抵抗素子を含む位相補償用のインピーダンス素子 8 を接続している。インピーダンス素子 8 に含まれる抵抗素子については、電界効果トランジスタのオン抵抗により実現してもよい。

20

これらの位相補償手段については、例えば特開平 10 - 150427 号公報等に記載されているので、詳しい説明は省略する。

【0034】

(第 2 の実施形態)

図 4 には、図 1 に示す増幅回路の構成を変形した本発明の第 2 の実施形態に係る増幅回路を示す。

本実施形態の増幅回路では、電流源 I_1 , I_2 , I_3 のうち I_1 , I_2 のみが第 1 の実施形態と同様に入力段 2 の出力信号電圧によって制御される電流を流すように可変電流源として構成され、電流源 I_3 は電流値固定の単なる定電流源とされている。

30

【0035】

本実施形態において、入力段 2 の出力信号電圧が高いときは電流源 I_1 , I_2 を流れる電流 i_1 , i_2 が定電流源 I_3 を流れる電流 i_3 よりも小さくなり、入力段 2 の出力信号電圧が低いときは電流 i_1 , i_2 が電流 i_3 よりも大きくなり、また信号入力端子 1 への無信号入力時、つまり入力段 2 の出力信号電圧が零のときには $i_1 + i_2 = i_3$ となる点は、第 1 の実施形態と同様である。

【0036】

信号入力端子 1 への大信号入力時、つまり入力段 2 の出力信号電圧が大きく増減するとき

40

は、 $i_1 + i_2$ と i_3 の平衡が崩れるが、このときの動作は次のようになる。
まず、正の大信号入力時には、入力段 2 の出力信号電圧は高くなるため、電流 i_1 , i_2 が零に近い値 (それぞれ $i_{1\min}$, $i_{2\min}$ とする) となる。このとき、 $i_{1\min} + i_{2\min} < i_3$ を満たしているならば、トランジスタ N 2 , P 1 のゲート電圧は無信号入力時と比較して低くなる。従って、トランジスタ P 1 は大電流を信号出力端子に供給し、一方、トランジスタ N 2 はオフ状態となることにより、容量性負荷 6 に対して高い電流駆動能力を実現することができる。

【0037】

次に、負の大信号入力時には、入力段 2 の出力信号電圧は低くなるため、電流 i_1 , i_2 が大きく増加する (それぞれ $i_{1\max}$, $i_{2\max}$ とする)。このとき、 $i_{1\max} + i_{2\max} >$

50

i_3 を満たすならば、トランジスタN2のゲート電圧が高くなる。よって、トランジスタN1のソース電圧は高くなり、N1がオフ状態となる。これにより、トランジスタP1のゲート電圧も高くなる。さらに、 $i_{2\max} > i_3$ を満たすならばトランジスタN2のゲート電圧はより高くなる。従って、トランジスタP1はオフ状態となり、一方、トランジスタN2には信号出力端子5から大電流が流入することにより、容量性負荷6に対して高い電流駆動能力を実現することができる。

【0038】

このように本実施形態の回路構成によっても、第1の実施形態と同様に無信号入力時のバイアス電流を制限しつつ、正負両方の大信号入力時に高い電流駆動能力を得ることができ、セトリングタイムを短縮することが可能となる。

10

【0039】

(第3の実施形態)

図5には、図1に示す増幅回路の構成を変形した本発明の第3の実施形態に係る増幅回路を示す。

本実施形態の増幅回路では、第2の実施形態と逆に電流源 I_1 、 I_2 、 I_3 のうち I_3 のみが第1の実施形態と同様に入力段2の出力信号電圧によって制御される電流を流すように可変電流源によって構成され、電流源 I_1 、 I_2 は電流値固定の単なる定電流源とされている。すなわち、入力段2の出力信号電圧が高いときは電流源 I_3 の電流 i_3 が大きくなり、入力段2の出力信号電圧が低いときは i_3 が小さくなるように構成される。

【0040】

20

本実施形態の増幅回路では、無信号入力時には第1及び第2の実施形態と全く同様の動作を行い、信号入力端子1への大信号入力時には、次のような動作を行う。

まず、正の大信号入力時には、入力段2の出力信号電圧が高くなるため、電流源 I_3 を流れる電流 i_3 が大きくなる($i_{3\max}$ とする)。このとき、 $i_1 + i_2 < i_{3\max}$ を満たすならば、第1及び第2の実施形態と同様の結果が得られる。一方、負の大信号入力時は、入力段2からの出力信号電圧が低くなるため、電流 i_3 は小さくなる($i_{3\min}$ とする)。このとき、 $i_1 + i_2 > i_{3\min}$ を満たすならば、第1及び第2の実施形態と同様の結果が得られる。

このように本実施形態の回路構成においても、第1及び第2の実施形態と同様の効果を得ることができる。

30

【0041】

(第4の実施形態)

図6は、図1の構成を具体化した本発明の第4の実施形態に係る増幅回路であり、図1における入力段2にトランスコンダクタを用いた例を示している。入力段2は、トランスコンダクタ(G_m)9と電流源 I_0 とPMOSトランジスタP4~P6及びNMOSトランジスタN4、N5、N6により構成される。また、図6では図1に示した電流源 I_1 をPMOSトランジスタP3により、電流源 I_2 をPMOSトランジスタP2により、電流源 I_3 をNMOSトランジスタN3により、それぞれ実現している。

【0042】

トランジスタP5、P4は、第1のカレントミラー回路を形成しており、以下同様にトランジスタP6、P3、P2は第2のカレントミラー回路を形成し、トランジスタN4、N1は第3のカレントミラー回路を形成し、トランジスタN5、N3は第4のカレントミラー回路を形成している。

40

【0043】

入力段2において、信号入力端子1からの入力信号はトランスコンダクタ9によって電圧-電流変換され、トランスコンダクタ9の正相出力端子(+端子)と逆相出力端子(-端子)から互いに逆相の電流信号として出力される。

【0044】

無信号入力時には、トランスコンダクタ9の+端子と-端子から出力される電流は等しい。このとき、電流源トランジスタP2、P3に流れる電流は、第2のカレントミラー回路

50

によりトランジスタ P 6 に流れる電流に基づき決定される。電流源トランジスタ N 3 に流れる電流は、第 1、第 3 及び第 4 のカレントミラー回路を介してトランジスタ P 5 に流れる電流に基づき決定される。ここでトランジスタ N 3、P 2、P 3 のチャネル幅 (W) とチャネル長 (L) の比をそれぞれ $(W/L)_{N3}$ 、 $(W/L)_{P2}$ 、 $(W/L)_{P3}$ とすると、 $(W/L)_{N3} = (W/L)_{P2} + (W/L)_{P3}$ を満たすように設計を行うことにより、図 1 に示した増幅回路の無信号入力時の状態と等しくなり、トランジスタ N 1 のソース電圧により N 2 のゲート電圧を決定することが可能となる。

【0045】

トランジスタ N 1 のゲート電圧は、トランジスタ N 1 と N 4 とにより形成される第 3 のカレントミラー回路によって与えられている。従って、無信号入力時にはトランジスタ N 2 のゲート電圧はトランジスタ N 5 のゲート電圧と等しくなり、N 2 に流れる電流はトランジスタ P 5 に流れる電流に正比例する。従って、トランスコンダクタ 9 により無信号入力時にトランジスタ N 2 に流れる電流を制御することができる。

10

【0046】

正の大信号入力時には、トランスコンダクタ 9 の + 端子から出力される電流は大きくなり、- 端子から出力される電流は小さくなる。このとき、トランジスタ P 5 に流れる電流は大きくなり、トランジスタ P 6 に流れる電流は小さくなる。トランジスタ P 5 に流れる電流が大きくなると、トランジスタ P 5 はトランジスタ P 4 と第 1 のカレントミラー回路を生成しているため、トランジスタ P 4 に流れる電流も大きくなる。トランジスタ N 5 はダイオード接続の構成となっているので、N 5 に流れる電流が大きくなると N 5 のゲート電圧は高くなる。従って、入力段 2 からトランジスタ N 3 のゲート端子に与えられる電圧は高くなり、トランジスタ N 3 は大きい電流を流すようになる。また、トランジスタ P 6 に流れる電流が小さくなると P 6 のゲート電圧は高くなる。従って、入力段 2 からトランジスタ P 2、P 3 のゲート端子に与えられる電圧は高くなり、P 2、P 3 が流す電流は小さくなる。

20

【0047】

一方、負の大信号入力時には、トランスコンダクタ 9 の + 端子から出力される電流は小さくなり、- 端子から出力される電流は大きくなる。このとき、トランジスタ P 5 に流れる電流は小さくなり、トランジスタ P 6 に流れる電流は大きくなる。トランジスタ P 5 に流れる電流が小さくなると、トランジスタ P 5 と P 4 による第 1 のカレントミラー回路によりトランジスタ P 4 に流れる電流も小さくなる。トランジスタ N 5 はダイオード接続の構成となっているので、N 5 に流れる電流が小さくなると N 5 のゲート電圧は低くなる。従って、入力段 2 からトランジスタ N 3 のゲート端子に与えられる電圧は低くなり、N 3 に流れる電流は小さくなる。また、トランジスタ P 6 に流れる電流が大きくなると、P 6 のゲート電圧は低くなる。従って、入力段 2 からトランジスタ P 2、P 3 のゲート端子に与えられる電圧は低くなり、トランジスタ P 2、P 3 が流す電流は大きくなる。

30

【0048】

このように図 6 の回路構成により、図 1 に示した第 1 の実施形態で説明した増幅回路の動作を実現できることは明らかである。

なお、図 6 ではトランジスタ N 1 のゲート端子に交流的に接地されたバイアス電圧を供給しているが、図 7 に示すように、トランジスタ N 1 のゲート端子にトランスコンダクタ 9、トランジスタ P 5、P 4、N 4 を介して信号入力端子 1 から入力信号電圧に依存したバイアス電圧が供給されるようにしてもよい。このようにすると、大信号入力時にトランジスタ N 1 のゲート電圧に大信号入力の影響を与えることができるため、一時的な貫通電流が生じてしまうが、電流駆動能力を高くすることができる。

40

【0049】

図 8 は、図 6、図 7 におけるトランスコンダクタの具体的構成例であり、差動対トランジスタ M 1、M 2 によって構成される一般的なトランスコンダクタである。他に、特開平 7 - 183741 号公報に記載されているような広い同相入力電圧範囲を有するトランスコンダクタを用いることも有効である。

50

【 0 0 5 0 】

(第 5 の実施形態)

図 9 は、図 1 の構成を具体化した本発明の第 4 の実施形態に係る増幅回路であり、図 1 における入力段 2 にフォールデッドカスコード型の入力回路を用いた例を示している。すなわち、入力段 2 は P M O S トランジスタ P 3 , P 7 ~ P 9 、 N M O S トランジスタ N 1 , N 4 及び電流源 I 4 ~ I 6 により構成される。

【 0 0 5 1 】

また、図 9 では図 6 及び図 7 と同様に、出力段 3 における図 1 に示した電流源 I 1 を P M O S トランジスタ P 3 により、電流源 I 2 を P M O S トランジスタ P 2 により、それぞれ実現している。一方、図 1 に示した電流源 I 3 については電流源 I 6 と N M O S トランジスタ N 3 により実現している。このようにフォールデッドカスコード型の入力回路からなる入力段 2 と出力段 3 とで各々の構成要素の一部であるトランジスタ N 1 , P 3 及び電流源 I 6 を共有することによって、素子数の削減を図ることができる。

10

【 0 0 5 2 】

ここで、図 9 においては図 1 に示した電流源 I 1 , I 2 は P M O S トランジスタ P 3 , P 2 によりそれぞれ実現されているため、トランジスタ P 3 のドレイン・ソース間電圧とトランジスタ P 2 のドレイン・ソース間電圧の差により、流れる電流に偏差が生じる。この電流偏差は、増幅回路のオフセット電圧に影響を与える。この電流偏差を生じないようにするため、本実施形態では出力段 3 において電流源 I 2 の電流出力端であるトランジスタ P 2 のドレイン端子と、電流源 I 3 の電流入力端である電流源 I 6 とトランジスタ N 3 のドレイン端子との接続点との間に、トランジスタ P 4 が挿入されている。

20

【 0 0 5 3 】

すなわち、トランジスタ P 4 のソース端子は電流源 I 2 の電流出力端であるトランジスタ P 2 のドレイン端子に接続され、P 4 のドレイン端子は電流源 I 3 の電流入力端である電流源 I 6 とトランジスタ N 3 のドレイン端子との接続点に接続される。さらに、トランジスタ P 4 のゲート端子にはバイアス電圧 V bias1 が与えられている。

【 0 0 5 4 】

このような構成として、バイアス電圧 V bias1 として無信号入力時にトランジスタ P 4 のソース電圧がトランジスタ P 3 のドレイン電圧に等しくなるような電圧を与える。これによって無信号入力時のトランジスタ P 3 , P 2 のドレイン・ソース間電圧を等しくすることにより、トランジスタ P 3 , P 2 のドレイン・ソース間電圧の差の影響による前述の電流偏差を小さくすることができる。

30

【 0 0 5 5 】

(第 6 の実施形態)

図 10 は、図 9 に示す増幅回路を変形した本発明の第 6 の実施形態に係る増幅回路である。本実施形態の増幅回路では、出力段 3 に P M O S トランジスタ P 10 がさらに追加されている。トランジスタ P 10 のソース端子は、図 1 に示した電流源 I 3 の電流出力端であるトランジスタ P 3 のドレイン端子に接続され、トランジスタ P 8 のドレイン端子はトランジスタ P 4 のソース端子に接続されている。さらに、トランジスタ P 10 のゲート端子には図示しないバイアス電圧が与えられている。

40

【 0 0 5 6 】

図 9 に示した増幅回路では、大信号入力時にトランジスタ P 1 のゲート電圧が大きく変化することにより、増幅回路の電流駆動能力を増加させている。一方、負の大信号入力時にはトランジスタ P 1 のゲート電圧が電源電圧 (電源 V d d の電圧) まで変化して P 1 がオフ状態となるが、最終的なセトリングまでには P 1 のゲート電圧が電源電圧から無信号入力時の安定した電圧まで変化する時間分だけ遅延が生じる。

【 0 0 5 7 】

このようなセトリングの遅れを避けるため、本実施形態ではトランジスタ P 10 により、トランジスタ P 1 のゲート電圧が電源電圧まで変化することがないようにリミッタを設けて、セトリングタイムの短縮を図っている。トランジスタ P 4 に与えられるバイアス電圧

50

Vbias1は、無信号入力時にP4のソース電圧が無信号入力時にトランジスタP1のゲート電圧と等しくなるように設定されている。また、トランジスタP4はソースフォロワ回路と近似した構成となっているため、大信号入力時でもソース電圧に大きな変化は生じない。

【0058】

従って、トランジスタP4のソース端子とトランジスタP1のゲート端子の間を大信号入力時にトランジスタP10によって接続することで、トランジスタP1のゲート端子が電源電圧まで変化してしまうのを防ぐことができる。これにより最終的なセトリングを高速にでき、増幅回路のさらなる高速化を達成することができる。

【0059】

10

(第7の実施形態)

図11は、本発明の第7の実施形態に係る増幅回路の構成を示す図である。本実施形態の増幅回路は、出力段3の構成がこれまでの実施形態と異なる。本実施形態における出力段3は、PMOSTランジスタP11、P12、NMOSTランジスタN11、N12及び第1～第6の電流源I11～I16によって構成される。

【0060】

第1～第3の電流源I11、I12、I13は、入力端が高電位側の第1電源Vddに接続された電流吐き出し型の電流源であり、電流出力端から電流を出力する。第4～第6の電流源I14、I15、I16は、出力端が低電位側の第2電源Vss(例えば、グラウンド)に接続された電流吸い込み型の電流源であり、電流入力端に電流を入力する。

20

【0061】

電流源I11～I16は、本実施形態ではいずれも電流値を外部からの制御信号により制御できる可変電流源であり、入力段1からの出力信号が制御信号として与えられる。入力段2の出力信号電圧に対して、電流源I11～I13の電流と電流源I14～I16の電流とは相補的に変化するように構成される。

【0062】

電流源I11の電流出力端は、NMOSTランジスタN11のドレイン端子に接続される。電流源I12の電流出力端は、PMOSTランジスタP11のソース端子に接続される。電流源I12の電流出力端とPMOSTランジスタN11のソース端子との接続点を第1ノードn1と称する。第1ノードn1には、さらに電流源I16の電流入力端が接続される。PMOSTランジスタP11のドレイン端子は、電流源I15の電流入力端に接続される。

30

【0063】

NMOSTランジスタN11のソース端子は、電流源I13の電流出力端と電流源I14の電流入力端に接続される。NMOSTランジスタN11のソース端子と電流源I13の電流出力端及び電流源I14の電流入力端との接続点を第2ノードn2と称する。

【0064】

NMOSTランジスタN11及びPMOSTランジスタP11のゲート端子には、バイアス回路4から適当なバイアス電圧が与えられている。バイアス回路14は、トランジスタN11、P11のゲート端子に信号入力端子1からの入力信号電圧に依存したバイアス電圧を供給するように構成されていてもよいし、直流のバイアス電圧を供給するようにしてもよい。

40

【0065】

PMOSTランジスタP12及びNMOSTランジスタN12は、最終段のコンプリメンタリ・トランジスタ対を形成している。PMOSTランジスタP12のソース端子は第1電源Vddに接続され、NMOSTランジスタN12のソース端子は第2電源Vssに接続され、トランジスタP12、N12のドレイン端子は出力端子OUTに共通に接続される。PMOSTランジスタP12のゲート端子は第1ノードn1に接続され、NMOSTランジスタN12のゲート端子は第2ノードn2に接続される。

【0066】

50

次に、本実施形態の増幅回路の動作について説明する。

信号入力端子 1 からの入力信号は、入力段 2 によって増幅される。入力段 2 からの出力信号は、電流源 $I_{11} \sim I_{16}$ に制御信号として供給される。これにより電流源 $I_{11} \sim I_{16}$ には、入力段 2 からの出力信号に応じた電流が流れる。電流源 I_{11} , I_{12} , I_{13} , I_{14} , I_{15} , I_{16} を流れる電流をそれぞれ i_{11} , i_{12} , i_{13} , i_{14} , i_{15} , i_{16} で表す。

【0067】

入力段 2 からの出力信号電圧が高いときは、電流 $i_{11} \sim i_{13}$ が小さくなり、電流 $i_{14} \sim i_{16}$ が大きくなる。また、入力段 2 からの出力信号電圧が低いときは、電流 $i_{11} \sim i_{13}$ が大きくなり、電流 $i_{14} \sim i_{16}$ が小さくなる。

10

【0068】

電流源 I_{11} , I_{12} , I_{13} , I_{14} , I_{15} , I_{16} は、信号入力端子 1 への無信号入力時、つまり入力段 2 の出力信号電圧が零のときには、 $i_{11} + i_{13} = i_{14}$ 、 $i_{12} = i_{15} + i_{16}$ となるように構成される。このとき、トランジスタ N_{11} のソース電圧によりトランジスタ N_{12} のゲート電圧が決定され、それに従い N_{12} のバイアス電流が決定される。また、トランジスタ P_{11} のソース電圧によりトランジスタ P_{12} のゲート電圧が決定され、それに従い P_{12} のバイアス電流が決定される。従って、増幅回路の小信号利得は低くなる。無信号入力時のトランジスタ N_{12} , P_{12} のバイアス電流を制限したい場合には、バイアス回路 4 によってトランジスタ N_{11} , P_{11} のゲート電圧を適当な値に設定すればよい。

20

【0069】

信号入力端子 1 への大信号入力時、つまり入力段 2 の出力信号電圧が大きく増減するとき、以下のような動作より、正負の大信号入力時に容量性負荷 6 に対する高い電流駆動能力を実現することができる。

【0070】

まず、正の大信号入力時には、入力段 2 の出力信号電圧は高くなるため、電流 $i_{11} \sim i_{13}$ は零に近い値となり、電流 $i_{14} \sim i_{16}$ が大きくなる。このため、トランジスタ N_{12} のゲート電圧とトランジスタ P_{12} のゲート電圧は無信号入力時と比較して低い値となる。従って、トランジスタ P_{12} は大電流を信号出力端子 5 に供給し、一方、トランジスタ N_{12} はオフ状態となることにより、容量性負荷 6 に対して高い電流駆動能力を得ることができる。

30

【0071】

次に、負の大信号入力時には、入力段 2 の出力信号電圧は低くなるため、電流 $i_{11} \sim i_{13}$ は大きくなり、電流 $i_{14} \sim i_{16}$ は零に近い値となる。このため、トランジスタ N_{12} のゲート電圧とトランジスタ P_{12} のゲート電圧は無信号入力時と比較して高い値となる。従って、トランジスタ P_{12} はオフ状態となり、一方、トランジスタ N_{12} には信号出力端子 5 から大電流が流入することにより、容量性負荷 6 に対して高い電流駆動能力を得ることができる。

【0072】

このように本実施形態の増幅回路によっても、これまでの実施形態と同様に無信号入力時のバイアス電流を制限しつつ、正負両方の大信号入力時に高い電流駆動能力を得ることができ、セトリングタイムを短縮することができるという効果が得られる。

40

【0073】

本実施形態では、入力段 2 の出力信号により全ての電流源 $I_{11} \sim I_{16}$ の電流が制御されるようにしたが、第 2 及び第 3 の実施形態と同様の考えで、電流源 I_{11} , I_{13} の電流または電流源 I_{14} の電流の少なくとも一方と、電流源 I_{12} の電流または電流源 I_{15} , I_{16} の電流の少なくとも一方を制御するようにすることで、同様の結果を得ることができる。

【0074】

(第 8 の実施形態)

50

図 1 2 は、本発明の第 8 の実施形態に係る増幅回路であり、図 1 1 における入力段 2 にトランスコンダクタを用いた具体的構成を示している。入力段 2 は、トランスコンダクタ (G_m) 9 と P M O S トランジスタ P 1 6 ~ P 2 1 及び N M O S トランジスタ N 1 6 , N 1 7 により構成される。また、図 1 2 では図 1 1 に示した電流源 I 1 1 , I 1 2 , I 1 3 を P M O S トランジスタ P 1 3 , P 1 4 , P 1 5 によりそれぞれ実現し、また電流源 I 1 4 , I 1 5 , I 1 6 をトランジスタ N 1 3 , N 1 4 , N 1 5 によりそれぞれ実現している。

【 0 0 7 5 】

トランジスタ P 1 6 , P 2 0 は第 1 のカレントミラー回路を形成しており、以下同様にトランジスタ P 1 7 , P 2 1 は第 2 のカレントミラー回路を形成し、トランジスタ P 1 8 , P 1 3 , P 1 4 , P 1 5 は第 3 のカレントミラー回路を形成しており、以下同様にトランジスタ P 1 9 , P 1 1 は第 4 のカレントミラーを形成し、トランジスタ N 1 6 , N 1 1 は第 5 のカレントミラー回路を形成し、トランジスタ N 1 7 , N 1 3 , N 1 5 は第 6 のカレントミラー回路を形成している。

【 0 0 7 6 】

第 1 の実施形態と同様に、入力段 2 において信号入力端子 1 からの入力信号はトランスコンダクタ 9 によって電圧 - 電流変換され、トランスコンダクタ 9 の + 端子と - 端子から互いに逆相の電流信号として出力される。

【 0 0 7 7 】

無信号入力時には、トランスコンダクタ 9 の + 端子と - 端子から出力される電流は等しい。このとき、電流源トランジスタ P 1 3 ~ P 1 5 に流れる電流は、第 3 のカレントミラー回路によりトランジスタ P 1 8 に流れる電流に基づき決定される。電流源トランジスタ N 1 3 ~ N 1 5 に流れる電流は、第 1 ~ 第 6 のカレントミラー回路を介して、トランジスタ P 1 6 に流れる電流に基づき決定される。ここでトランジスタ N 1 3 ~ N 1 5 、トランジスタ P 1 3 ~ P 1 5 のチャネル長とチャネル幅の比をそれぞれ $(W/L)_{N13} \sim (W/L)_{N15}$, $(W/L)_{P13} \sim (W/L)_{P15}$ とすると、 $(W/L)_{N13} = (W/L)_{P13} + (W/L)_{P15}$, $(W/L)_{N14} + (W/L)_{N15} = (W/L)_{P14}$ を満たすように設計を行うことにより、図 8 に示した増幅回路の無信号入力時と等しくなる。従って、トランジスタ N 1 1 のソース電圧によりトランジスタ N 1 2 のゲート電圧を、トランジスタ P 1 1 のソース電圧によりトランジスタ P 1 2 のゲート電圧をそれぞれ決定することが可能となる。

【 0 0 7 8 】

トランジスタ N 1 1 のゲート電圧は、トランジスタ N 1 1 と N 1 6 とにより形成される第 5 のカレントミラー回路によって与えられている。従って、トランジスタ N 1 2 のゲート電圧はトランジスタ N 1 7 のゲート電圧と等しくなり、N 1 2 に流れる電流はトランジスタ P 1 6 に流れる電流に正比例する。

【 0 0 7 9 】

同様に、トランジスタ P 1 1 のゲート電圧はトランジスタ P 1 1 と P 1 9 とにより形成される第 4 のカレントミラー回路によって与えられている。従って、トランジスタ P 1 2 のゲート電圧はトランジスタ P 1 8 のゲート電圧と等しくなり、トランジスタ P 1 2 に流れる電流はトランジスタ P 1 8 に流れる電流に正比例する。すなわち、トランスコンダクタ 9 により無信号入力時に流れる電流を制御することができる。

【 0 0 8 0 】

正の大信号入力時には、トランスコンダクタ 9 の + 端子から出力される電流は大きくなり、- 端子から出力される電流は小さくなる。このとき、トランジスタ P 1 6 と P 1 7 に流れる電流は大きくなり、トランジスタ P 1 8 と P 1 9 に流れる電流は小さくなる。トランジスタ P 1 6 に流れる電流が大きくなると、トランジスタ P 1 6 と共に第 5 のカレントミラー回路を形成しているトランジスタ P 2 0 に流れる電流も大きくなり、トランジスタ N 1 7 に流れる電流も大きくなる。ここで、トランジスタ N 1 7 はダイオード接続されているため、流れる電流が大きくなるとゲート電圧が高くなる。

【 0 0 8 1 】

トランジスタ N 1 7 のゲート電圧が高くなると、トランジスタ N 1 7 と共に第 6 のカレン

10

20

30

40

50

トミラー回路を形成しているトランジスタN 1 3 ~ N 1 5 を流れる電流が大きくなる。すなわち、トランジスタN 1 3 ~ N 1 5 に相当する図 9 における電流源 I 1 4 ~ I 1 6 の電流が大きくなる。

【 0 0 8 2 】

トランジスタ P 1 8 に流れる電流が小さくなると、P 1 8 のゲート電圧は高くなる。トランジスタ P 1 8 のゲート電圧が高くなると、トランジスタ P 1 8 と共に第 3 のカレントミラー回路を構成しているトランジスタ P 1 3 ~ P 1 5 を流れる電流が小さくなる。すなわち、トランジスタ P 1 3 ~ P 1 5 に相当する図 9 における電流源 I 1 1 ~ I 1 3 の電流が小さくなる。

【 0 0 8 3 】

負の大信号入力時には、トランスコンダクタの + 端子の電流は小さくなり、- 端子の電流は大きくなる。このとき、トランジスタ P 1 6 と P 1 7 に流れる電流は小さくなり、トランジスタ P 1 8 と P 1 9 に流れる電流は大きくなる。トランジスタ P 1 6 に流れる電流が小さくなると、トランジスタ P 1 6 と共に第 1 のカレントミラー回路を形成しているトランジスタ P 2 0 に流れる電流も小さくなり、トランジスタ N 1 7 に流れる電流も小さくなる。ここでトランジスタ N 1 7 はダイオード接続されているため、流れる電流が小さくなるとゲート電圧が低くなる。

【 0 0 8 4 】

トランジスタ N 1 7 のゲート電圧が低くなると、トランジスタ N 1 7 と共に第 6 のカレントミラー回路を形成しているトランジスタ N 1 3 ~ N 1 5 を流れる電流が小さくなる。すなわち、トランジスタ N 1 3 ~ N 1 5 に相当する図 1 1 における電流源 I 1 4 ~ I 1 6 の電流が小さくなる。

【 0 0 8 5 】

トランジスタ P 1 8 に流れる電流が大きくなると、P 1 8 のゲート電圧は低くなる。トランジスタ P 1 8 のゲート電圧が低くなると、トランジスタ P 1 8 と共に第 3 のカレントミラー回路を形成しているトランジスタ P 1 3 ~ P 1 5 を流れる電流が大きくなる。すなわち、トランジスタ P 1 3 ~ P 1 5 に相当する図 1 1 における電流源 I 1 1 ~ I 1 3 の電流が大きくなる。

【 0 0 8 6 】

このように図 1 2 の回路構成により、図 1 1 に示した第 5 の実施形態で説明した増幅回路の動作を実現できることは明らかである。図 1 2 におけるトランスコンダクタ 9 としては、第 4 の実施形態で説明したと同様の回路を用いることができる。

【 0 0 8 7 】

さらに、本実施形態では入力段 2 の出力インピーダンスを低下させて増幅回路の利得を減少させることにより、位相補償を行っている。以下、図 1 3 及び図 1 4 を用いて本実施形態における位相補償の効果について説明する。図 1 4 は、本実施形態における位相補償について説明するための周波数特性図である。

【 0 0 8 8 】

図 1 3 は、増幅回路の等価回路図であり、(a) は図 2 で説明したようなミラー容量による位相補償を行った場合、(b) は本実施形態による位相補償を行った場合である。図 1 3 (a) (b) において、 g_{m1} は入力段のトランスコンダクタンス、 R_{1a} 、 R_{1b} は入力段の出力インピーダンス（正確には入力段の出力抵抗と出力段の入力抵抗との並列合成抵抗）、 C_1 は入力段の出力端に付加される容量成分、 g_{m2} は出力段のトランスコンダクタンス、 R_2 は出力段の出力抵抗、 C_c はミラー容量、 C_L は負荷の容量をそれぞれ表す。

【 0 0 8 9 】

図 1 3 (a) に示すようなミラー容量 C_c による位相補償を行う場合、増幅回路の信号出力端子に接続される容量性負荷の容量 C_L が大きいほど、図 1 4 の周波数特性における第 1 ポールの周波数を低周波側に、第 2 ポールの周波数を高周波側に安定化するのに大きなミラー容量 C_c が必要となる。必要なミラー容量 C_c は例えば数 pF にもなり、増幅

10

20

30

40

50

回路を集積回路化する場合、ミラー容量による占有面積が大きくなり、チップ面積を大きくしてしまうという大きな問題が発生する。

【0090】

これに対して、本実施形態の増幅回路では入力段2の出力インピーダンスを小さくして増幅回路の利得を減少させることにより、位相補償を行う。すなわち、位相補償を行う場合の図13(a)における入力段の出力インピーダンス R_{1a} に対して、図13(b)における入力段2の出力インピーダンス R_{1b} を小さくなるように構成する。これは、図12に示したような増幅回路の構成によって実現できる。

【0091】

このようにすると、図14の周波数特性図で低周波での利得は「低利得段」の特性に示されるように、位相補償がない場合あるいはミラー容量による位相補償を行った場合の利得 A_m から A_a へと低下する。デシベルでは、 $20 \log(R_{1a}/R_{1b})$ の利得低下となる。一方、第2ポールに関しては、入力段の出力インピーダンスの減少により、ミラー容量 C_c による補償を行った場合の P_{n2} に比較して、 P_{a2} のように高周波側に移動する。具体的には、 P_{a2} は P_{n2} の周波数から R_{1a}/R_{1b} 倍の周波数へ移動する。

10

【0092】

このように本実施形態によると、大きなミラー容量を用いることなく位相補償を行い、集積回路化に適した増幅回路を実現することができる。

【0093】

(増幅回路の応用例について)

20

上述した本発明の実施形態に基づき増幅回路は、例えば図15に示すような液晶ディスプレイ装置に好適である。図15の液晶ディスプレイ装置は、液晶セル101がマトリクス状に配列され、画像信号が供給される複数本の信号線104と複数本の走査線105が交差して配設されて構成された液晶ディスプレイパネル100と、画像信号を信号線104に供給して液晶ディスプレイパネル100を駆動するための液晶ディスプレイ駆動回路102、および走査線105を選択的に駆動する走査線選択回路103により構成される。

【0094】

液晶ディスプレイ駆動回路102は、図示しないが例えばRGB信号を記憶する1水平ラインに必要な画素数と同じ数の第1ラッチ群と、RGB信号をラッチするタイミングパルスを転送するシフトレジスタと、第1ラッチ群で記憶されたRGB信号を1水平期間の周期でさらに記憶する第2ラッチ群と、第2ラッチ群で記憶された1水平ラインのRGB信号をアナログ値に変換するD/A変換器群と、D/A変換器群によりアナログ電圧に変換されたRGB信号をそれぞれ増幅して、図15の液晶ディスプレイパネル100の信号線および液晶セルを駆動するための増幅回路群により構成される。この増幅回路群に、本発明の実施形態に基づく増幅回路を用いることができる。

30

【0095】

【発明の効果】

以上説明したように、本発明の増幅回路によれば無信号入力時のバイアス電流を任意に決定できることから、消費電流を削減することができると共に、また正負両方の大信号入力時に高い電流駆動能力を得ることができるので、セトリングタイムを短縮することが可能となる。

40

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る増幅回路の構成を示す回路図

【図2】位相補償手段を付加した増幅回路の一例を示す回路図

【図3】位相補償手段を付加した増幅回路の他の例を回路図

【図4】第1の実施形態を変形した本発明の第2の実施形態に係る増幅回路の構成を示す回路図

【図5】第1の実施形態を変形した本発明の第3の実施形態に係る増幅回路の構成を示す回路図

【図6】第1の実施形態をより具体化した本発明の第4の実施形態に係る増幅回路の構成

50

を示す回路図

【図 7】第 1 の実施形態をより具体化した本発明の第 4 の実施形態に係る増幅回路の構成を示す回路図

【図 8】図 6 の増幅回路で使用されるトランスコンダクタの例を示す回路図

【図 9】第 1 の実施形態をより具体化した本発明の第 5 の実施形態に係る増幅回路の構成を示す回路図

【図 10】第 1 の実施形態をより具体化した本発明の第 6 の実施形態に係る増幅回路の構成を示す回路図

【図 11】本発明の第 7 の実施形態に係る増幅回路の構成を示す回路図

【図 12】第 7 の実施形態をより具体化した本発明の第 6 の実施形態に係る増幅回路のより具体的な構成を示す回路図 10

【図 13】第 7 及び第 8 の実施形態における位相補償について説明するための等価回路図

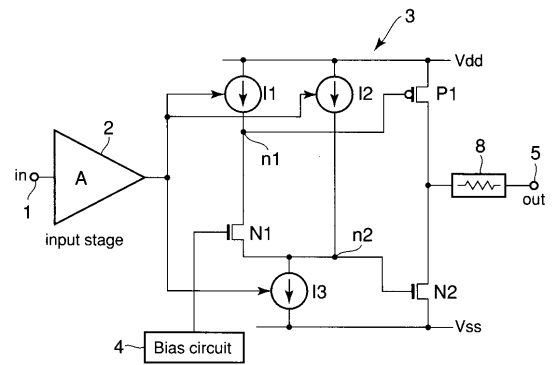
【図 14】第 7 及び第 8 の実施形態における位相補償について説明するための周波数特性を示す図

【図 15】本発明の増幅回路が適用可能な液晶ディスプレイ装置の構成を示す図

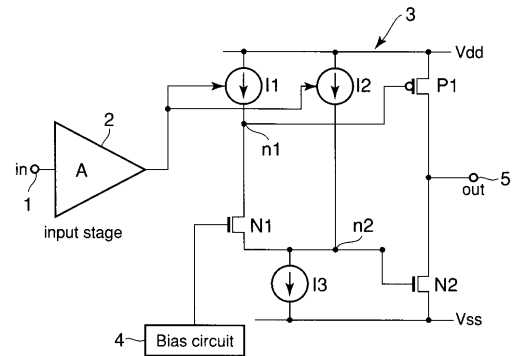
【符号の説明】

- 1 ... 信号入力端子
- 2 ... 入力段
- 3 ... 出力段
- 4 ... バイアス回路 20
- 5 ... 信号出力端子
- 6 ... 容量性負荷
- 7 ... 容量素子を含む位相補償用インピーダンス素子
- 8 ... 抵抗素子を含む位相補償用インピーダンス素子
- 9 ... トランスコンダクタ
- N 1 ... 第 1 トランジスタ
- P 1 ... 第 2 トランジスタ
- N 2 ... 第 3 トランジスタ
- N 4 ... 第 4 トランジスタ
- P 10 ... 第 5 トランジスタ 30
- I 1 ~ I 3 ... 第 1 ~ 第 3 の電流源
- n 1 ... 第 1 ノード
- n 2 ... 第 2 ノード
- N 1 1 ... 第 1 トランジスタ
- P 1 1 ... 第 2 トランジスタ
- P 1 2 ... 第 3 トランジスタ
- N 1 2 ... 第 4 トランジスタ
- I 1 1 ~ I 1 6 ... 第 1 ~ 第 6 の電流源

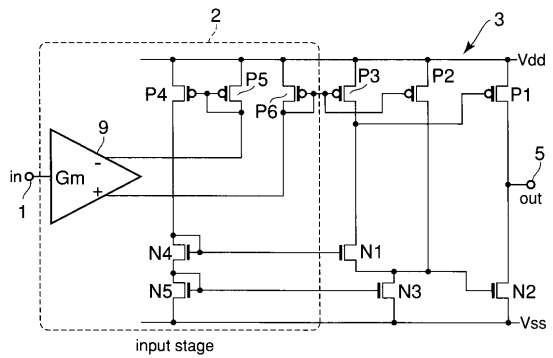
【 図 3 】



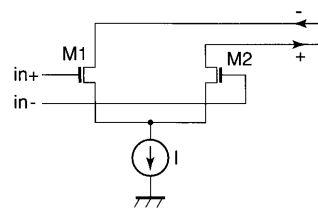
【 図 4 】



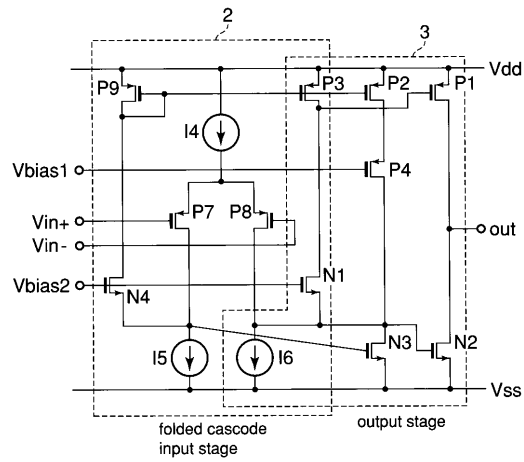
【 図 7 】



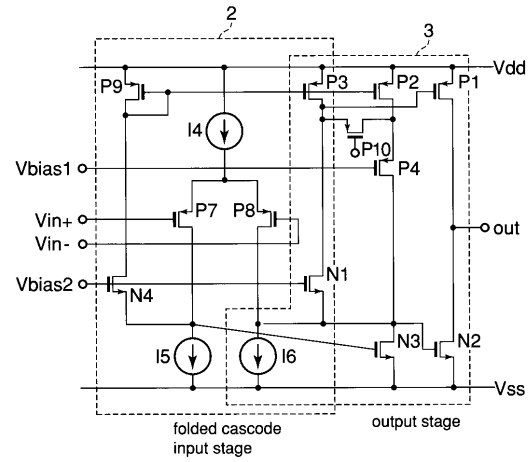
【 図 8 】



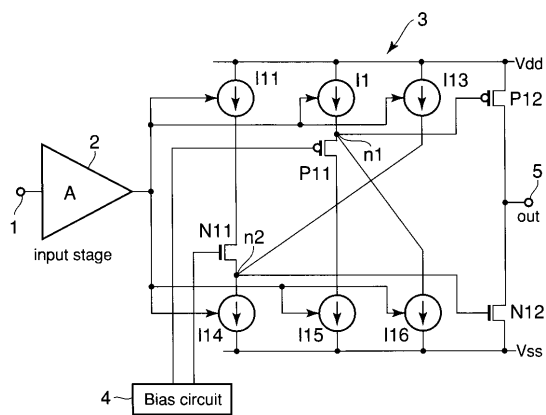
【図 9】



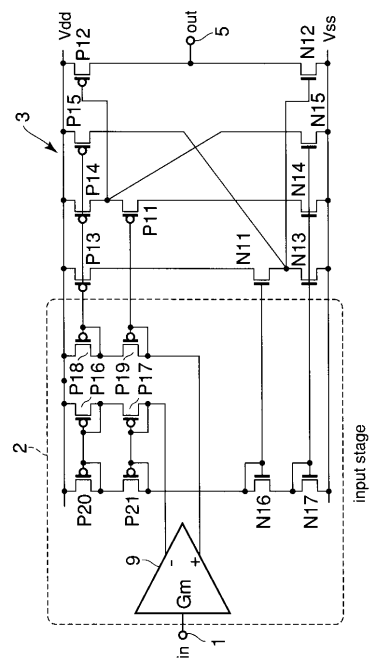
【図 10】



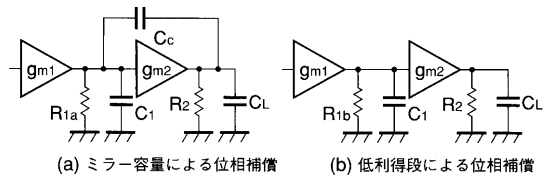
【図 11】



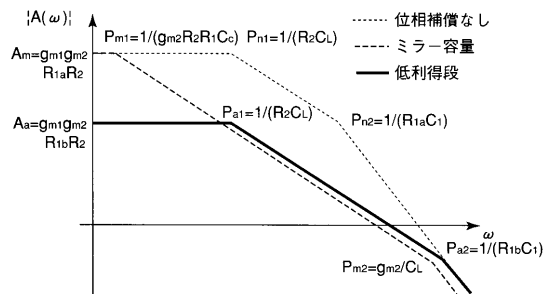
【図 12】



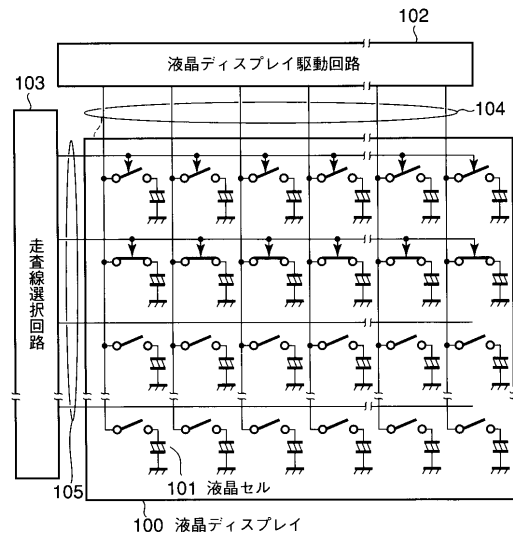
【図 13】



【図 14】



【図 15】



フロントページの続き

(51) Int.Cl. F I
G 0 9 G 3/36

(72)発明者 伊藤 類
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72)発明者 板倉 哲朗
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

審査官 嶋野 邦彦

(56)参考文献 特開昭63-051710(JP,A)
特開昭54-111262(JP,A)
特開平05-291844(JP,A)
特開平05-055836(JP,A)
特開平11-150427(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03F 1/00-3/45
H03F 3/50-3/52
H03F 3/62-3/64
H03F 3/68-3/72
G02F 1/133
G09G 3/18
G09G 3/20
G09G 3/36