

(19) 日本国特許庁 (JP)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2008-244018

(P2008-244018A)

(43) 公開日 平成20年10月9日 (2008.10.9)

| (51) Int.Cl. | F I | テーマコード (参考) |
|--------------------------------------|---------------------|-------------|
| H O 1 L 27/10 (2006.01) | H O 1 L 27/10 4 5 1 | 4 K O 2 9 |
| H O 1 L 21/3205 (2006.01) | H O 1 L 21/88 B | 5 F O 3 3 |
| H O 1 L 21/203 (2006.01) | H O 1 L 21/203 S | 5 F O 8 3 |
| C 2 3 C 14/08 (2006.01) | C 2 3 C 14/08 E | 5 F 1 0 3 |
| C 2 3 C 14/58 (2006.01) | C 2 3 C 14/58 Z | |
| 審査請求 未請求 請求項の数 3 O L (全 15 頁) 最終頁に続く | | |

(21) 出願番号 特願2007-80301 (P2007-80301)
 (22) 出願日 平成19年3月26日 (2007.3.26)

(71) 出願人 000231464
 株式会社アルバック
 神奈川県茅ヶ崎市萩園2500番地
 (74) 代理人 100068755
 弁理士 恩田 博宣
 (74) 代理人 100105957
 弁理士 恩田 誠
 (72) 発明者 西岡 浩
 静岡県裾野市須山1220-1 株式会社
 アルバック半導体技術研究所内
 (72) 発明者 郷 紅コウ
 静岡県裾野市須山1220-1 株式会社
 アルバック半導体技術研究所内

最終頁に続く

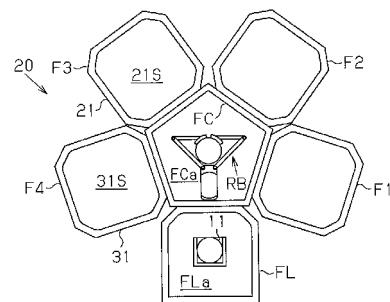
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】 (修正有)

【課題】抵抗変化型メモリ素子の抵抗変化の安定性と抵抗変化比を向上させた半導体装置の製造方法を提供する。

【解決手段】基板11を酸化物チャンバF3に搬入し、チタンを主成分とする第一ターゲットを酸素雰囲気の下でスパッタさせてチタン酸化物からなる酸化物層を形成し、酸化物層を有する基板11を照射チャンバF4に搬入し、酸化物層の表面にさらに酸素ラジカルを照射して可変抵抗体を形成した。

【選択図】図3



【特許請求の範囲】

【請求項 1】

可変抵抗体を含む記憶素子を基板の上に形成して半導体装置を製造する半導体装置の製造方法であって、

Ti、Ni、Cu、Hf、Zr、Zn、W、Co、Nb、Al、Si、Fe、Bi、La、Pr、Mn、Ca、Sr からなる群から選択される少なくともいずれか 1 つの元素、もしくは選択せれる前記元素と酸素または窒素との化合物を主成分とするターゲットを酸素雰囲気の下でスパッタして遷移金属酸化物を生成し、前記遷移金属酸化物を主成分とする酸化物層を前記基板の上に成膜する工程と、

前記酸化物層の表面にさらに酸素ラジカルを照射して前記可変抵抗体を形成する工程と、
を備えたこと、
を特徴とする半導体装置の製造方法。

10

【請求項 2】

請求項 1 に記載の半導体装置の製造方法であって、

前記酸化物層を形成する工程は、

前記基板を室温に維持して前記酸化物層を成膜すること、

前記可変抵抗体を形成する工程は、

前記基板を所定の温度に維持して前記酸化物層の表面に前記酸素ラジカルを照射すること、

を特徴とする半導体装置の製造方法。

20

【請求項 3】

請求項 2 に記載の半導体装置の製造方法であって、

前記基板を 200 ～ 300 に維持すること、

を特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置の製造方法に関する。

【背景技術】

【0002】

半導体メモリには、DRAM (Dynamic Random Access Memory) などの揮発性メモリとフラッシュメモリなどの不揮発性メモリがある。DRAMは、メモリセルが 1 つのスイッチ素子と 1 つの容量素子 (1T1C: 1Transistor 1Capacitor) によって構成されるため、集積度が高く、かつ、動作速度が速いという利点を有するが、電源オフ後にデータを保持できないという欠点がある。一方、フラッシュメモリは、不揮発性を有するが、DRAMに比べて集積度が低く、動作速度が遅いという欠点がある。

30

【0003】

近年、揮発性メモリと不揮発性メモリの利点を兼ね備えるユニバーサルメモリとして、抵抗値の違いをデータとして記憶するMRAM (Magnetic RAM) やReRAM (Resistance RAM) が注目されている (例えば、特許文献 1)。MRAMは、トンネル接合における磁化方向をデータとして保存するメモリである。MRAMは、メモリセルが 1 つのスイッチ素子と 1 つの磁気抵抗素子 (1T1R: 1Transistor 1Resistor) によって構成されるため、高集積化と高速化を可能にする。

40

【0004】

一方、ReRAMは、パルス電圧を受けて抵抗値を変化させる可変抵抗体を抵抗素子として利用する。そのため、MRAMに比べて簡単なセル構造を実現させることができ、より高い集積度と処理速度を実現可能にする。また、ReRAMは、100ns、5V以下の電圧パルスによって駆動できるため、電流から発生する磁場を用いるMRAMに比べて消費電力を低く抑えることができる。しかも、ReRAMは、MRAMに比べて十倍以上の抵抗変化比を利用するため、読み出しの余裕度 (マージン) を大きくでき、多値化を可

50

能にする。

【0005】

ReRAMに利用される可変抵抗体としては、遷移金属酸化物（例えば、CuO、NiO、TiO₂、HfO、ZrO、ZnO、WO₃、CoO、Nb₂O₅、Al₂O₃、SiO₂、Fe₂O₃、Bi₄Ti₃O₁₂、Nb₂O₅、LaNiO₃、SrTiO₃、Pr(Ma, Ca)O₃など）がある（例えば、特許文献1）。これら遷移金属酸化物の製造方法としては、遷移金属膜を熱酸化あるいはプラズマ酸化する酸化法や遷移金属を主成分とするターゲットを酸素雰囲気の下でスパッタする反応性スパッタ法が利用される（例えば、非特許文献1、非特許文献2）。また、プラズマ酸化を施す酸化源の一つとしては、特許文献2に示すラジカル源が知られている。

10

【特許文献1】特開2006-179926号公報

【特許文献2】特許第2978700号

【非特許文献1】IEDM2004 23__6__P587

【非特許文献2】IEDM2005 31__3__P765

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながら、ReRAMは、動作機構が解明されていないために、集積回路の開発がMRAMに比べて進んでいない。非特許文献1および非特許文献2のReRAMにおいては、繰り返しの書き換え動作によって抵抗変化にバラツキを来し、また、その抵抗変化比が2桁程度である。

20

【0007】

本願発明は、上記問題を解決するためになされたものであって、抵抗変化型メモリ素子の抵抗変化の安定性と抵抗変化比を向上させた半導体装置の製造方法および半導体装置の製造装置を提供することを目的とする。

【課題を解決するための手段】

【0008】

本発明者らは、遷移金属酸化物からなる可変抵抗体の製造方法を検討するなかで、遷移金属酸化物層の表面に対して施す酸素ラジカルの照射処理が、抵抗変化型メモリ素子の抵抗変化を長期にわたり安定させ、かつ、その抵抗変化比を大幅に向上させることを見出した。

30

【0009】

上記目的を達成するために、請求項1に記載の半導体装置の製造方法は、可変抵抗体を含む記憶素子を基板の上に形成して半導体装置を製造する半導体装置の製造方法であって、Ti、Ni、Cu、Hf、Zr、Zn、W、Co、Nb、Al、Si、Fe、Bi、La、Pr、Mn、Ca、Srからなる群から選択される少なくともいずれか1つの元素、もしくは選択した前記元素を酸素または窒素との化合物を主成分とするターゲットを酸素雰囲気の下でスパッタして遷移金属酸化物を生成し、前記遷移金属酸化物を主成分とする酸化物層を前記基板の上に成膜する工程と、前記酸化物層の表面にさらに酸素ラジカルを照射して前記可変抵抗体を形成する工程と、を備えたことを要旨とする。

40

【0010】

請求項1に記載の半導体装置の製造方法によれば、酸化物層の表面に施すラジカル照射処理が、可変抵抗体の抵抗変化を安定させる。したがって、抵抗変化型メモリ素子の抵抗変化の安定性と抵抗変化比を向上させることができる。

【0011】

請求項2に記載の発明では、請求項1に記載の半導体装置の製造方法であって、前記酸化物層を形成する工程は、前記基板を室温に維持して前記酸化物層を成膜すること、前記可変抵抗体を形成する工程は、前記基板を所定の温度に維持して前記酸化物層の表面に前記酸素ラジカルを照射すること、を要旨とする。

【0012】

50

請求項 3 に記載の発明では、請求項 2 に記載の半導体装置の製造方法であって、前記基板を 200 ~ 300 に維持することを要旨とする。

請求項 2 および請求項 3 に記載の半導体装置の製造方法によれば、酸化物層の成膜温度を規定する分だけ、酸化物層におけるパルクの状態を、より確実に再現させることができる。そして、照射処理の処理温度を規定する分だけ、可変抵抗体表面の状態を、より確実に再現させることができる。したがって、可変抵抗体の電気的特性を、より高い精度の下で再現させることができる。よって、抵抗変化型メモリ素子の抵抗変化の安定性と抵抗変化比を、より確実に向上させることができる。

【発明の効果】

【0013】

上記したように、本発明によれば、抵抗変化型不揮発性メモリの抵抗変化の安定性と抵抗変化比を向上させた半導体装置の製造方法を提供することができる。

【発明を実施するための最良の形態】

【0014】

以下、本発明を具体化した一実施形態を図面に従って説明する。まず、抵抗変化型メモリ素子を有する半導体装置 10 について説明する。

(半導体装置)

図 1 は、半導体装置 10 を模式的に示す要部斜視図であり、図 2 は、可変抵抗体 15 を駆動するための駆動波形を示すタイミングチャートである。

【0015】

図 1 において、半導体装置 10 の基板 11 には、複数の抵抗変化型メモリ素子 12 が配設されている。各抵抗変化型メモリ素子 12 は、それぞれ下部電極 13 (ワードライン)、薄膜ダイオード 14、可変抵抗体 15 (ビットライン) および上部電極 16 を有するユニポーラ (単極式) スイッチ方式のメモリ素子である。

【0016】

基板 11 としては、例えば、シリコン基板などの半導体基板を用いることができる。下部電極 13 および上部電極 16 としては、金属材料からなる単層構造体あるいは積層構造体を用いることができる。下部電極 13 および上部電極 16 としては、例えば、白金やチタンなどの金属材料を用いることができ、接続される薄膜ダイオード 14 や可変抵抗体 15 の材料に応じて適宜選択される。

【0017】

各薄膜ダイオード 14 は、それぞれ対応する抵抗変化型メモリ素子 12 を選択的に駆動させるためのスイッチング素子である。薄膜ダイオード 14 としては、例えば、可変抵抗体 15 よりも高い酸素濃度を有する遷移金属酸化物を用いることができ、p 型酸化物と n 型酸化物とからなる p - n 接合によって構成することができる。

【0018】

可変抵抗体 15 は、対応する下部電極 13 と上部電極 16 との間の電圧に応じ、低いレベルの抵抗値を示す状態 (以下単に、低抵抗状態という。) と、高いレベルの抵抗値を示す状態 (以下単に、高抵抗状態という。) を選択する。可変抵抗体 15 は、印加電圧が 0 V からリセット値 (例えば、2.5 V) に上昇するまで低抵抗状態を選択し、電圧がリセット値になるときに高抵抗状態を選択する。また、可変抵抗体 15 は、印加電圧がリセット値からセット値 (例えば、4.5 V) に上昇するまで高抵抗状態を選択し、電圧がセット値になるときに再び低抵抗状態を選択する。

【0019】

可変抵抗体 15 としては、遷移金属酸化物 (例えば、CuO、NiO、TiO₂、HfO、ZrO、ZnO、WO₃、CoO、Nb₂O₅、Al₂O₃、SiO₂、Fe₂O₃、Bi₄Ti₃O₁₂、Nb₂O₅、LaNiO₃、SrTiO₃、Pr(Ma, Ca)O₃ など) からなる単層構造体あるいは積層構造体を用いることができる。また、可変抵抗体 15 は、下部電極 13 と接続する領域に、下部電極 13 との密着性を向上させるための密着層を有する構成であってもよい。

10

20

30

40

50

【 0 0 2 0 】

上記可変抵抗体 15 は、反応性スパッタ法を用いる「成膜処理」と、酸化物層 15 a の表面に施す「照射処理」とによって形成される。

図 2 において、抵抗変化型メモリ素子 12 は、対応する可変抵抗体 15 にセット値よりも高いレベルの電圧（書き込み信号 V_w ）が入力されるとき、可変抵抗体 15 に低抵抗状態を選択させる。すなわち、抵抗変化型メモリ素子 12 は、時間 T_1 および時間 T_5 において書き込み動作を実行する。書き込み動作を実行後、抵抗変化型メモリ素子 12 は、対応する可変抵抗体 15 にリセット値よりも低いレベルの電圧（読み出し信号 V_r ）が入力されるとき、可変抵抗体 15 の低抵抗状態に対応する信号を出力し、可変抵抗体 15 の抵抗状態を読み出す。すなわち、抵抗変化型メモリ素子 12 は、時間 T_2 において読み出し動作を実行する。

10

【 0 0 2 1 】

抵抗変化型メモリ素子 12 は、対応する可変抵抗体 15 にセット値とリセット値との間のレベルの電圧（消去信号 V_d ）が入力されるとき、可変抵抗体 15 に高抵抗状態を選択させる。すなわち、抵抗変化型メモリ素子 12 は、時間 T_3 において消去動作を実行する。消去動作を実行後、抵抗変化型メモリ素子 12 は、可変抵抗体 15 に読み出し信号 V_r が入力されるとき、可変抵抗体 15 の高抵抗状態に対応する信号を出力し、可変抵抗体 15 の抵抗状態を読み出す。

【 0 0 2 2 】

これによって、各抵抗変化型メモリ素子 12 は、可変抵抗体 15 の抵抗値をメモリ情報として記憶することができる。ここで、抵抗変化型メモリ素子 12 が書き込み動作、読み出し動作、消去動作、読み出し動作の順に実行する一連の動作（時間 $T_1 \sim$ 時間 T_5 ）を、書き換え動作とし、書き換え動作の回数を、書き換え回数 C_s という。

20

【 0 0 2 3 】

なお、本実施形態においては、抵抗変化型メモリ素子 12 が、1つの薄膜ダイオード 14 と1つの可変抵抗体 15（1D1R：1Diode 1Resistor）によって構成されてユニポーラスイッチング方式で駆動されるが、これに限られるものではない。例えば、抵抗変化型メモリ素子 12 は、1つの薄膜トランジスタと1つの可変抵抗体 15（1T1R：1Transistor 1Resistor）によって構成されてバイポーラスイッチング方式で駆動されるものであってもよく、可変抵抗体 15 が成膜処理と照射処理とによって形成される構成であればよい。

30

【 0 0 2 4 】

（半導体装置の製造装置）

図 3 は、半導体装置の製造装置 20 を模式的に示す平面図である。図 2 において、製造装置 20 は、ロードロックチャンバ FL（以下単に、LLチャンバ FL という。）と、LLチャンバ FL に連結される搬送チャンバ FC を有する。また、製造装置 20 は、搬送チャンバ FC に連結される洗浄チャンバ F1、下地チャンバ F2、酸化物チャンバ F3 および照射チャンバ F4 を有する。

【 0 0 2 5 】

LLチャンバ FL は、減圧可能な内部空間（以下単に、収容室 FL a という。）を有し、複数の基板 11 を搬出および搬入可能にする。LLチャンバ FL は、基板 11 の成膜処理を開始するとき、収容室 FL a を減圧して収容する基板 11 を搬送チャンバ FC に搬入する。LLチャンバ FL は、基板 11 の照射処理を終了するとき、収容室 FL a を大気開放して収容する基板 11 を製造装置 20 の外部へ搬出する。

40

【 0 0 2 6 】

搬送チャンバ FC は、減圧可能な内部空間（以下単に、搬送室 FC a という。）を有し、LLチャンバ FL、洗浄チャンバ F1、下地チャンバ F2、酸化物チャンバ F3 および照射チャンバ F4 と解除可能に連通して共通する真空系を形成可能にする。搬送室 FC a は、基板 11 を搬送するための搬送ロボット RB を搭載し、基板 11 の成膜処理を開始するとき、成膜処理前の基板 11 を LLチャンバ FL から搬送チャンバ FC に搬入する。搬

50

送口ポット R B は、基板 1 1 の処理順序に関するデータに基づいて、搬入する基板 1 1 を図 3 における反時計回りの順に搬送する。すなわち、搬送口ポット R B は、搬入する基板 1 1 を、洗浄チャンバ F 1、下地チャンバ F 2、酸化物チャンバ F 3、照射チャンバ F 4 の順に搬送する。搬送口ポット R B は、基板 1 1 の照射処理を終了するとき、照射処理後の基板 1 1 を搬送チャンバ F C から L L チャンバ F L へ搬出する。

【 0 0 2 7 】

洗浄チャンバ F 1 は、基板 1 1 の表面を逆スパッタするスパッタチャンバであって、基板 1 1 の表面（例えば、下部電極 1 3 の表面）をスパッタ洗浄し、後工程にて成膜する上層の膜特性を安定させる。

【 0 0 2 8 】

下地チャンバ F 2 は、公知のスパッタ法を用いて基板 1 1 の上に密着層を成膜するためのチャンバである。密着層としては、例えば、T i、T a、N i、C o など、下部電極 1 3 と薄膜ダイオード 1 4 との間で密着性の得られる材料を適宜選択することができる。

【 0 0 2 9 】

図 4 は、酸化物チャンバ F 3 の内部を示す側断面図である。酸化物チャンバ F 3 は、反応性スパッタ法を用いて基板 1 1 に薄膜ダイオード 1 4 および可変抵抗体 1 5 を形成するスパッタチャンバである。なお、図 4 においては、各部材間の電氣的接続を一点鎖線で示す。

【 0 0 3 0 】

図 4 において、酸化物チャンバ F 3 は、搬送チャンバ F C に連結されるチャンバ本体 2 1 を有し、搬送チャンバ F C からの基板 1 1 をチャンバ本体 2 1 の内部空間（以下単に、成膜空間 2 1 S という。）に搬入する。

【 0 0 3 1 】

チャンバ本体 2 1 は、供給配管 2 2 を介してスパッタガス（例えば、アルゴン）と酸化ガス（例えば、酸素）のマスフローコントローラ M C に連結されて、所定の流量のスパッタガスと酸化ガスが供給される。チャンバ本体 2 1 は、排気配管 2 3 を介してターボ分子ポンプやロータリポンプなどからなる排気系 P U に連結されて、成膜空間 2 1 S の圧力を所定圧力（例えば、 10^{-1} P a ~ 10^{-2} P a）に減圧する。

【 0 0 3 2 】

成膜空間 2 1 S には、基板ホルダ 2 4 が配設されて、搬入する基板 1 1 を載置して位置決め固定する。基板ホルダ 2 4 は、その内部に冷却水を循環させる図示しない温調機構に接続されて、載置する基板 1 1 の温度を室温に調節する。基板ホルダ 2 4 は、チャンバ本体 2 1 の底部に配設される回転モータ M の出力軸に駆動連結されて、基板 1 1 の中心位置を含む回転軸 A を回転中心にして基板 1 1 をその周方向に回転させる。

【 0 0 3 3 】

基板ホルダ 2 4 の周囲には防着板 2 5 が配設されて、スパッタされたスパッタ粒子のチャンバ内壁への付着を抑制する。

基板ホルダ 2 4 の斜め上方には、第一ターゲット T G 1 と第二ターゲット T G 2 が配設されている。第一ターゲット T G 1 および第二ターゲット T G 2 は、それぞれ回転軸 A に対して対称に配設されて、その内表面の法線方向を回転軸 A から所定の角度だけ傾斜させる。第一ターゲット T G 1 は、薄膜ダイオード 1 4 を成膜するためのターゲットであって、例えば、T i、N i、C u、H f、Z r、Z n、W、C o、N b、A l、S i、F e、B i、L a、P r、M n、C a、S r からなる群から選択される少なくともいずれか 1 つの元素、もしくは選択される元素と酸素あるいは窒素との化合物を主成分とするターゲットを用いることができる。第二ターゲット T G 2 は、可変抵抗体 1 5 を成膜するためのターゲットであって、例えば、T i、N i、C u、H f、Z r、Z n、W、C o、N b、A l、S i、F e、B i、L a、P r、M n、C a、S r からなる群から選択される少なくともいずれか 1 つの元素、もしくは選択される元素と酸素あるいは窒素との化合物を主成分とするターゲットを用いることができる。

【 0 0 3 4 】

10

20

30

40

50

第一ターゲットTG1および第二ターゲットTG2の外側には、それぞれバックングプレート26が配設されている。各バックングプレート26は、それぞれ対応するターゲットTG1, TG2を成膜空間21Sの上部に取付けて、ターゲットTG1, TG2と基板11との間の距離を規定する。各バックングプレート26は、それぞれ対応する外部電源に接続されて、対応するターゲットTG1, TG2に所定の直流電圧を供給する。各ターゲットTG1, TG2は、それぞれ対応するバックングプレートが外部電源から直流電圧を受けるとき、チャンバ本体21にプラズマを生成して、プラズマに対するカソードとして機能する。各バックングプレート26の外側には、それぞれ対応する磁気回路27が配置されて、対応するターゲットTG1, TG2の内表面に沿ってマグネトロン磁場を形成する。

10

【0035】

各ターゲットTG1, TG2の内側には、シャッタ28が配設されている。シャッタ28は、各ターゲットTG1, TG2の内表面と対向する領域を閉じ、対応するターゲットTG1, TG2の内表面を基板11に対して遮蔽する。また、シャッタ28は、各ターゲットTG1, TG2の内表面と対向する領域を開け、対応するターゲットTG1, TG2の内表面を基板11に向けて露出する。

【0036】

酸化物チャンバF3は、基板11を基板ホルダ24に載置してその温度を室温に維持させ、基板ホルダ24を回転して酸化物チャンバF3にスパッタガスと酸化ガスを供給し、成膜空間21Sの圧力を所定の圧力に調整する。次いで、酸化物チャンバF3は、第一ターゲットTG1に対応するシャッタ28を開けて第一ターゲットTG1を露出し、第一ターゲットTG1に対応するバックングプレート26に直流電圧を供給して第一ターゲットTG1をスパッタする。第一ターゲットTG1からスパッタされるスパッタ粒子は、第一ターゲットTG1の内表面の略法線方向に沿って飛行して回転する基板11の表面に到達する。すなわち、スパッタ粒子は、基板11の表面に対して斜めに入射し、基板11の表面全体にわたって遷移金属酸化物層を形成する。

20

【0037】

この際、酸化物チャンバF3は、成膜空間21Sに供給する酸素量を減し、相対的に高い酸素濃度を有するスパッタ粒子の上に低い酸素濃度を有するスパッタ粒子を堆積させる。そして、酸化物チャンバF3は、基板11の表面全体にわたって酸素濃度の高いn型の遷移金属酸化物層と酸素濃度の低いp型の遷移金属酸化物層を積層する。これによって、酸化物チャンバF3は、基板11の凹凸形状に関わらず、所定の膜厚からなる薄膜ダイオード14を形成することができる。

30

【0038】

また、酸化物チャンバF3は、第二ターゲットTG2に対応するシャッタ28を開けて第二ターゲットTG2の内表面を露出し、第二ターゲットTG2に対応するバックングプレート26に直流電圧を印加して第二ターゲットTG2をスパッタする。第二ターゲットTG2からスパッタされるスパッタ粒子は、第二ターゲットTG2の内表面の略法線方向に沿って飛行して回転する基板11の表面に到達する。すなわち、スパッタ粒子は、基板11の表面に対して斜めに入射し、基板11の表面全体にわたって第二ターゲットTG2に対応する遷移金属酸化物層(酸化物層15a)を積層する。これによって、酸化物チャンバF3は、薄膜ダイオード14の凹凸形状に関わらず、所定の膜厚からなる酸化物層15aを形成することができる。

40

【0039】

図5は、照射チャンバF4の内部を示す側断面図である。照射チャンバF4は、酸化物層15aの表面に酸素ラジカルの照射処理を施して可変抵抗体15を形成するためのチャンバである。なお、図5においては、各部材間の電氣的結線を一点鎖線で示す。

【0040】

図5において、照射チャンバF4は、搬送チャンバFCに連結されるチャンバ本体31を有し、搬送チャンバFCからの基板11をチャンバ本体31の内部空間(以下単に、照

50

射空間 3 1 S という。)に搬入する。

【0041】

チャンバ本体 3 1 は、排気配管 3 2 を介してターボ分子ポンプやロータリポンプなどからなる排気系 P U に連結されて、照射空間 3 1 S の圧力を所定圧力（例えば、 10^{-1} Pa ~ 10^{-2} Pa）に減圧する。照射空間 3 1 S には、基板ホルダ 3 3 が配設されて、搬入する基板 1 1 を載置して位置決め固定する。基板ホルダ 3 3 は、ヒータ電源 G H に接続されるヒータ H を有し、載置する基板 1 1 の基板温度を所定の温度（例えば、200 ~ 300）に加熱する。

【0042】

照射空間 3 1 S であって基板ホルダ 3 3 と対向する位置には、ラジカル源 3 4 が配設されている。ラジカル源 3 4 としては、例えば特許文献 2 に開示される技術を用いることができる。

10

【0043】

照射チャンバ F 4 は、基板 1 1 を基板ホルダ 3 3 に載置して基板 1 1 を所定の温度（例えば、300）に加熱し、照射空間 3 1 S の圧力を所定の圧力（例えば、 10^{-1} Pa）に調整する。次いで、照射チャンバ F 4 は、ラジカル源 3 4 が生成する酸素ラジカルを基板 1 1 に向けて照射し、基板 1 1 の表面、すなわち、酸化物層 1 5 a の表面を所定の時間だけ酸素ラジカルに晒す。これによって、照射チャンバ F 4 は、酸化物層 1 5 a に対し、酸素ラジカル雰囲気下でアニール処理を施し、可変抵抗体 1 5 を形成する。この結果、照射チャンバ F 4 は、抵抗変化型メモリ素子 1 2 の抵抗変化を長期にわたり安定させ、かつ、その抵抗変化比を大幅に向上させることができる。

20

【0044】

（半導体装置の製造方法）

次に、上記製造装置 20 を用いた半導体装置の製造方法について以下に説明する。

まず、製造装置 20 は、L L チャンバ F L に基板 1 1 がセットされて、L L チャンバ F L の状態と搬送チャンバ F C の状態を検出し、処理順序に従って基板 1 1 の搬送処理を開始させる。

【0045】

すなわち、製造装置 20 は、L L チャンバ F L から搬送チャンバ F C に搬入される基板 1 1 を洗浄チャンバ F 1 に搬送させて、洗浄条件に基づいて洗浄処理を実行させる。製造装置 20 は、洗浄チャンバ F 1 の状態を検出して洗浄処理が終了したか否かを判断し、洗浄処理が終了すると、洗浄チャンバ F 1 の基板 1 1 を下地チャンバ F 2 に搬送させて、成膜条件に基づく成膜処理を実行させる。製造装置 20 は、下地チャンバ F 2 の状態を検出して下地の成膜処理が終了したか否かを判断し、下地の成膜処理が終了すると、下地チャンバ F 2 の基板 1 1 を酸化物チャンバ F 3 に搬送させて、成膜条件に基づく成膜処理を実行させる。

30

【0046】

製造装置 20 は、酸化物チャンバ F 3 の状態を検出して酸化物層 1 5 a の成膜処理が終了したか否かを判断し、酸化物層 1 5 a の成膜処理が終了すると、酸化物チャンバ F 3 の基板 1 1 を照射チャンバ F 4 に搬送させて、照射条件に基づく照射処理を実行させる。製造装置 20 は、照射チャンバ F 4 の状態を検出して酸化物層 1 5 a の照射処理が終了したか否か、すなわち、可変抵抗体 1 5 が形成されたか否かを判断し、可変抵抗体 1 5 が形成されると、照射チャンバ F 4 の基板 1 1 を L L チャンバ F L に搬送させる。

40

【0047】

以後同様に、製造装置 20 は、全ての基板 1 1 の各々に対して洗浄処理、成膜処理、照射処理の順に実行させて対応する可変抵抗体 1 5 を形成させる。そして、製造装置 20 は、L L チャンバ F L の状態を検出し、全ての基板 1 1 に可変抵抗体 1 5 を形成させると、L L チャンバ F L を大気開放させて全ての基板 1 1 を外部に搬出させる。

【0048】

（実施例 1）

50

次に、実施例を挙げて本発明の効果を説明する。図 6 は、上記製造装置 20 を用いて形成した抵抗変化型メモリ素子 12 の書き換え耐性を示す図である。表 1 は、上記製造装置 20 を用いて形成した各種条件における抵抗変化型メモリ素子 12 の書き換え耐性を示す。なお、表 1 において、“ ” 印は、3 桁以上の抵抗変化比が認められ、かつ、高抵抗状態および低抵抗状態の抵抗値がそれぞれ 10 の 5 乗台および 10 の 1 乗台に維持されて十分な安定性が認められたことを示す。一方、“ x ” 印は、抵抗変化比の向上あるいは抵抗変化の安定性が十分に認められなかったことを示す。

【 0 0 4 9 】

基板 11 の上に膜厚が 100 nm の白金 (Pt) からなる下部電極 13 を形成し、下部電極 13 の上に膜厚が 20 nm のチタン (Ti) 膜からなる密着層を形成した。次いで、以下の成膜条件および照射条件を用いて密着層の上にチタン酸化物からなる酸化物層 15a を積層し、その酸化物層 15a に照射処理を施して可変抵抗体 15 を形成した。続いて、可変抵抗体 15 の上に白金 (Pt) からなる上部電極 16 を積層して実施例 1 の抵抗変化型メモリ素子 12 を得た。そして、実施例 1 の抵抗変化型メモリ素子 12 を用いて書き換え動作を繰り返し、書き換え回数 Cs に対する抵抗変化を計測した。

10

【 0 0 5 0 】

図 6 は、実施例 1 の書き換え耐性を示す図であって、可変抵抗体 15 に +0.5 V を印加したときの高抵抗状態と低抵抗状態の抵抗変化を示す。なお、この際、書き込み信号 Vw として +4.5 V、50 ns パルス電圧を用い、消去信号 Vd として +2.5 V、50 ns のパルス電圧を用いた。

20

【表 1】

| | 成膜処理 | | 照射処理 | | | | 書き換え 耐性 |
|-------|--------------|------------|--------------|-------------|-------------|-------------|------------|
| | 基板温度 (°C) | ラジカル 添加 | 基板温度 (°C) | 照射時間 (分) | 酸素濃度 (%) | セル電力 (W) | |
| 実施例 1 | 25 | 無し | 300 | 60 | 40 | 100 | ○ |
| 実施例 2 | 25 | 無し | 200 | 60 | 20 | 100 | ○ |
| 実施例 3 | 25 | 無し | 200 | 60 | 40 | 100 | ○ |
| 実施例 4 | 25 | 無し | 200 | 60 | 60 | 100 | ○ |
| 比較例 1 | 25 | 無し | — | — | — | — | × |
| 比較例 2 | 25 | 無し | 300 | 60 | 0 | 0 | × |
| 比較例 3 | 25 | 無し | 400 | 60 | 40 | 100 | × |
| 比較例 4 | 200 | 無し | 200 | 60 | 40 | 100 | × |
| 比較例 5 | 25 | 有り | — | — | — | — | × |

【0051】

上記書き換え耐性の計測では、書き換え回数Csに関わらず、書き込み時（低抵抗状態）における抵抗値は約 6×10^{-1} （ ）であり、消去時（高抵抗状態）における抵抗値は 10^{-5} 台（ ）であって、抵抗値および抵抗変化比が略一定値に維持されている。すなわち、実施例 1 の抵抗変化型メモリ素子 12 は、抵抗変化の十分な安定性を示し、かつ、抵

10

20

30

40

50

抗変化比が3桁以上であって、十分に大きい抵抗変化比を保持していることが分かる。

【0052】

(成膜条件)

- ・第二ターゲット：チタンターゲット
- ・基板温度：25 ()
- ・スパッタガス：アルゴン
- ・酸化ガス：酸素
- ・酸素濃度：10 (%)
- ・スパッタ圧力：0.5 (Pa)
- ・ターゲット電力：150 (W)

10

(照射条件)

- ・基板温度：300 ()
- ・照射時間：60 (分)
- ・酸素濃度：40 (%)
- ・ラジカル源電力：100 (W)

なお、酸素濃度とは、空間に供給する気体の総流量に対する酸素流量の割合である。

【0053】

(実施例2～実施例4)

表1において、実施例1の照射処理における基板温度を200 ()に変更するとともに、照射処理における酸素濃度を、20 (%)、40 (%)、60 (%)に変更し、その他の条件を同じくして実施例2、実施例3、実施例4の抵抗変化型メモリ素子12を得た。そして、上記実施例2、実施例3、実施例4の各抵抗変化型メモリ素子12について、それぞれ書き換え耐性を計測した。

20

【0054】

表1において、実施例2～4の抵抗変化型メモリ素子12は、いずれも実施例1と同じく、抵抗変化の十分な安定性を示し、十分に大きい抵抗変化比を保持していることが分かる。

【0055】

(比較例1～比較例5)

表1において、実施例1の成膜処理を実行した後に照射処理を施すことなく上部電極16を積層して比較例1の抵抗変化型メモリ素子12を得た。

30

【0056】

また、実施例1の照射処理における酸素濃度を0 %、ラジカル源電力を0 Wに変更し、その他の条件を同じくして比較例2の抵抗変化型メモリ素子12を得た。また、実施例1の照射処理における基板温度を400 に変更し、その他の条件を同じくして比較例3の抵抗変化型メモリ素子12を得た。また、実施例1の成膜処理における基板温度を200 に変更し、その他の条件を同じくして比較例4の抵抗変化型メモリ素子12を得た。

【0057】

さらに、図7に示すように、酸化物チャンバF3にラジカル源34を搭載させ、成膜処理の際にラジカル源34を駆動させて酸素ラジカルを添加する成膜条件の下で酸化物層15aを形成し、照射処理を施すことなく上部電極16を積層して比較例5の抵抗変化型メモリ素子12を得た。そして、上記比較例1～5の各抵抗変化型メモリ素子12について、それぞれ書き換え耐性を計測した。

40

【0058】

表1において、比較例1～5の抵抗変化型メモリ素子12は、いずれも抵抗変化比の向上あるいは抵抗変化の安定性を十分に得られないことが分かる。

これらの結果、成膜処理後の照射処理、すなわち、酸化物層15aの表面に施す400未満の酸素ラジカルの照射処理によって、抵抗変化型メモリ素子12の抵抗変化比を向上させることができ、かつ、その抵抗変化を安定させることができる。

【0059】

50

上記実施形態によれば、以下の効果を奏する。

(1) 上記実施形態においては、基板 11 を酸化物チャンバ F3 に搬入し、チタンを主成分とする第一ターゲット TG1 を酸素雰囲気の下でスパッタさせてチタン酸化物からなる酸化物層 15a を形成した。そして、酸化物層 15a を有する基板 11 を照射チャンバ F4 に搬入して、酸化物層 15a の表面にさらに酸素ラジカルを照射して可変抵抗体 15 を形成した。

【0060】

したがって、酸化物層 15a の表面に施すラジカル照射処理によって、可変抵抗体 15 の抵抗変化を安定させて抵抗変化比を向上させることができる。この結果、抵抗変化型メモリ素子 12 の抵抗変化の安定性と抵抗変化比を向上させることができる。

10

【0061】

(2) 上記実施形態においては、基板温度を室温にして酸化物層 15a を成膜し、基板温度を 200 ~ 300 に加熱して酸化物層 15a の表面に酸素ラジカルを照射する。したがって、酸化物層 15a の成膜温度を規定する分だけ、酸化物層 15a におけるバルクの状態を、より確実に再現させることができる。また、照射処理の処理温度を規定する分だけ、可変抵抗体 15 の表面状態を、より確実に再現させることができる。よって、可変抵抗体 15 の電気的特性を、より高い精度の下で再現させることができる。

【0062】

尚、上記実施形態は、以下の態様で実施してもよい。

・上記実施形態において、半導体装置の製造装置 20 は、洗浄チャンバ F1、下地チャンバ F2、酸化物チャンバ F3 および照射チャンバ F4 を有する。これに限らず、例えば、製造装置 20 は、2 つ以上の酸化物チャンバ F3 を有する構成であってもよく、2 つ以上の照射チャンバ F4 を有する構成であってもよい。すなわち、半導体装置の製造装置 20 は、洗浄チャンバ F1、下地チャンバ F2、酸化物チャンバ F3 および照射チャンバ F4 の数量に限定されるものではない。これら各チャンバ F1, F2, F3, F4 の数量は、成膜時間や照射時間に応じて、適宜選択される構成であればよい。

20

【0063】

・上記実施形態において、半導体装置の製造装置 20 は、酸化物チャンバ F3 と、照射チャンバ F4 とをそれぞれ別体で構成する。これに限らず、例えば、半導体装置の製造装置 20 は、図 7 に示すように、酸化物チャンバ F3 がラジカル源 34 を搭載する構成であってもよい。これによれば、酸化物層 15a の成膜処理と酸化物層 15a の照射処理を 1 つのチャンバによって実行させることができる。

30

【0064】

・上記実施形態においては、共通する製造装置 20 を用いて、酸化物層 15a の成膜処理と、酸化物層 15a への照射処理を実行する。これに限らず、例えば、成膜処理と照射処理を異なる製造装置 20 を用いて実行してもよい。

【図面の簡単な説明】

【0065】

【図 1】本発明の半導体装置を示す要部斜視図。

【図 2】同じく、半導体装置の駆動波形を示すタイミングチャート。

40

【図 3】同じく、半導体装置の製造装置を示す平面図。

【図 4】同じく、酸化物チャンバを示す側断面図。

【図 5】同じく、照射チャンバを示す側断面図。

【図 6】同じく、半導体装置の書き換え耐性を示す図。

【図 7】変更例の酸化物チャンバを示す側断面図。

【符号の説明】

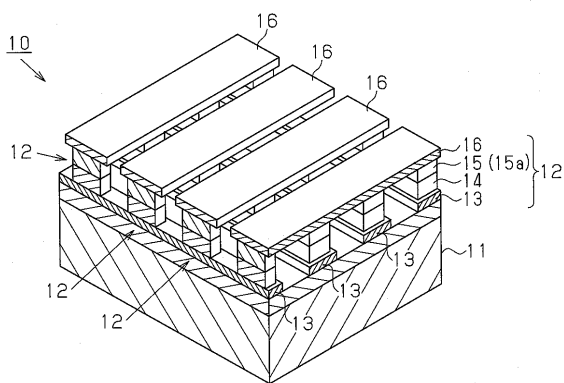
【0066】

F3 ... 酸化物チャンバ、F4 ... 照射チャンバ、H ... ヒータ、TG1 ... 第一ターゲット、TG2 ... 第二ターゲット、10 半導体装置、11 ... 基板、12 ... 記憶素子としての抵抗変化型メモリ素子、15 ... 可変抵抗体、15a ... 酸化物層、20 ... 半導体装置の製造装置、2

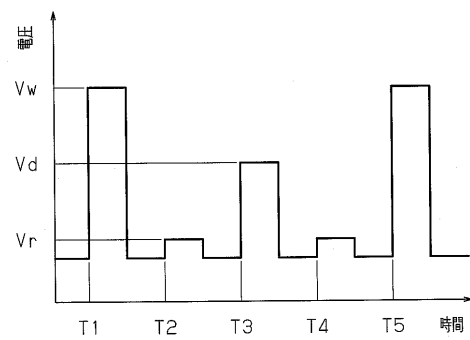
50

1 S ... 成膜空間。

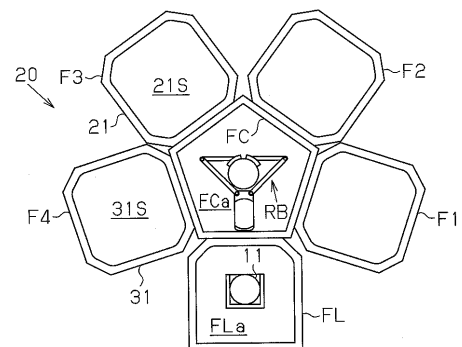
【図 1】



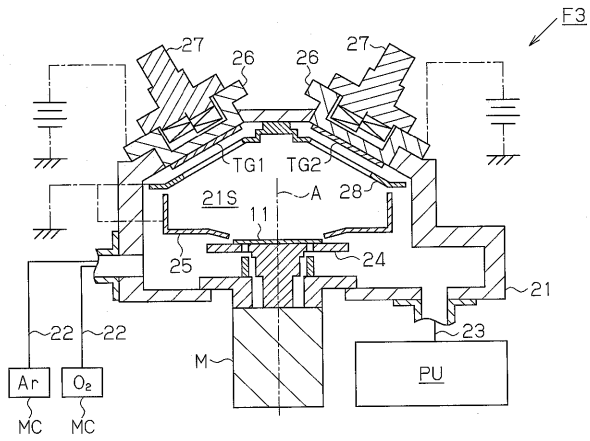
【図 2】



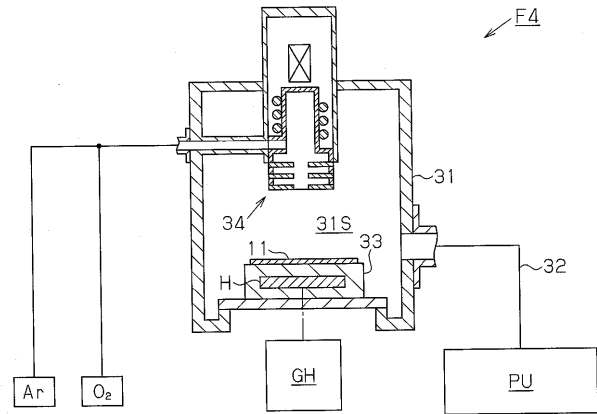
【図 3】



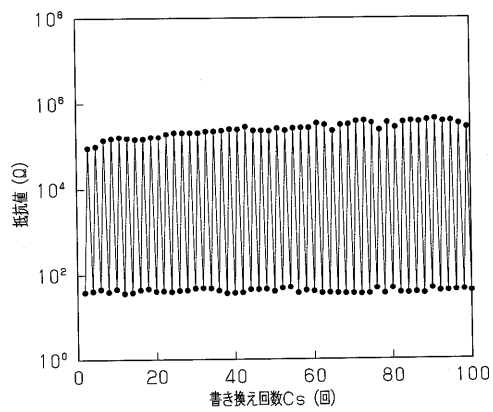
【図 4】



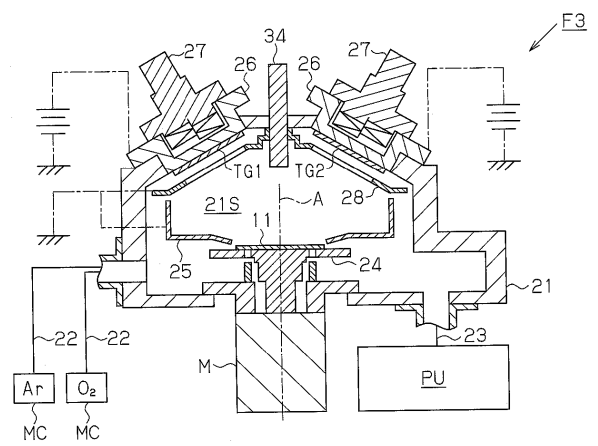
【図 5】



【図 6】



【図 7】



 フロントページの続き

| | | | | |
|--------------------------------|--|---------------|---|------------|
| (51)Int.Cl. | | F I | | テーマコード(参考) |
| H 0 1 L 45/00 (2006.01) | | H 0 1 L 45/00 | Z | |
| H 0 1 L 49/00 (2006.01) | | H 0 1 L 49/00 | Z | |

F ターム(参考) 4K029 AA06 AA24 BA43 BA44 BA45 BA46 BA47 BA48 BA49 BB02
 BB03 BC05 BD01 CA05 GA00 GA02
 5F033 HH03 HH07 HH08 HH11 HH15 HH16 HH17 HH18 HH19 HH35
 MM05 PP15 QQ00 QQ53 RR03 SS08 VV09 VV16 WW03
 5F083 FZ10 JA39 JA40 JA60 LA12 LA16 PR22
 5F103 AA08 BB22 BB42 DD30 JJ01 JJ03 NN01 PP20