



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2016년10월05일  
 (11) 등록번호 10-1662821  
 (24) 등록일자 2016년09월28일

(51) 국제특허분류(Int. Cl.)  
*G11C 16/12* (2006.01) *G11C 16/10* (2006.01)  
*G11C 16/24* (2006.01) *G11C 16/34* (2006.01)  
 (21) 출원번호 10-2010-0057265  
 (22) 출원일자 2010년06월16일  
 심사청구일자 2015년06월09일  
 (65) 공개번호 10-2011-0137192  
 (43) 공개일자 2011년12월22일  
 (56) 선행기술조사문헌  
 KR100842758 B1  
 KR100885785 B1  
 US6674685 B2  
 US6858906 B2

(73) 특허권자  
**삼성전자주식회사**  
 경기도 수원시 영통구 삼성로 129 (매탄동)  
 (72) 발명자  
**조경래**  
 경기도 수원시 영통구 동탄지성로488번길 22, 벽  
 산e빌리지아파트 102동 102호 (망포동)  
**은희석**  
 경기도 화성시 영통로27번길 20, 신영통현대4차아  
 파트 401동 601호 (반월동)  
**공준진**  
 경기도 용인시 수지구 진산로66번길 27, 삼성7차  
 아파트 703동 301호 (풍덕천동)  
 (74) 대리인  
**특허법인 고려**

전체 청구항 수 : 총 9 항

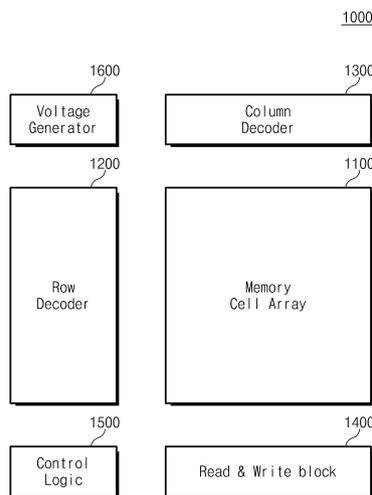
심사관 : 한선경

(54) 발명의 명칭 **멀티-페이지 프로그램 방법, 그것을 이용한 불 휘발성 메모리 장치, 그리고 그것을 포함한 데  
 이터 저장 시스템**

**(57) 요약**

여기에는 행들과 열들로 배열된 복수의 스트링들을 포함하는 불 휘발성 메모리 장치를 프로그램하는 방법이 제공되며, 이 방법은 프로그램될 데이터에 의거하여 하나의 열에 속한 선택 라인들 중 일부 또는 전부를 동시에 활성화시키고; 상기 하나의 열에 대응하는 비트 라인을 비트 라인 프로그램 전압으로 구동하고; 그리고 상기 열들에 대응하는 비트 라인들이 모두 구동될 때까지, 프로그램될 데이터에 의거하여 하나의 열에 속한 선택 라인들 중 일부 또는 전부를 동시에 활성화시키는 것과 상기 하나의 열에 대응하는 비트 라인을 비트 라인 프로그램 전압으로 구동하는 것을 반복하는 것을 포함한다.

**대표도 - 도1**



## 명세서

### 청구범위

#### 청구항 1

행들과 열들로 배열된 복수의 스트링들을 포함하는 불 휘발성 메모리 장치를 프로그램하는 방법에 있어서:

프로그램될 데이터에 의거하여 하나의 열에 속한 스트링 선택 라인들 중 일부 또는 전부를 동시에 활성화시키고;

상기 하나의 열에 대응하는 비트 라인을 비트 라인 프로그램 전압으로 구동하고; 그리고

상기 열들에 대응하는 비트 라인들이 모두 구동될 때까지, 프로그램될 데이터에 의거하여 하나의 열에 속한 스트링 선택 라인들 중 일부 또는 전부를 동시에 활성화시키는 것과 상기 하나의 열에 대응하는 비트 라인을 비트 라인 프로그램 전압으로 구동하는 것을 반복하는 것을 포함하고,

상기 복수의 스트링들 각각은 기판에 대하여 수직하게 형성되는 수직 스트링이고,

상기 행들 각각은 워드 라인이 신장되는 방향을 가리키고, 상기 열들 각각은 비트라인이 신장되는 방향을 가리키는 방법.

#### 청구항 2

삭제

#### 청구항 3

제 1 항에 있어서,

상기 수직 스트링들 각각은 워드 라인 층들에 형성된 대응하는 워드 라인들에 의해서 제어되는 메모리 셀 트랜지스터들을 포함하며, 동일 워드 라인 층의 워드 라인들은 서로 전기적으로 연결되는 것을 특징으로 하는 방법.

#### 청구항 4

제 3 항에 있어서,

선택된 워드 라인 층의 워드 라인들로 프로그램 전압을 동시에 인가하는 것을 더 포함하는 것을 특징으로 하는 방법.

#### 청구항 5

제 4 항에 있어서,

상기 워드 라인들로의 프로그램 전압의 인가는 상기 스트링 선택 라인들이 비활성화된 상태에서 행해지는 것을 특징으로 하는 방법.

#### 청구항 6

제 3 항에 있어서,

선택된 워드 라인 층의 워드 라인들에 연결된 수직 스트링들의 채널들을 비트 라인 프로그램 금지 전압으로 충전하는 것을 더 포함하는 것을 특징으로 하는 방법.

#### 청구항 7

제 1 항에 있어서,

상기 프로그램될 데이터는 1-비트 데이터와 m-비트 데이터(m은 2 또는 그 보다 큰 정수) 중 어느 하나인 것을 특징으로 하는 방법.

**청구항 8**

제 4 항에 있어서,

프로그램될 데이터에 의거하여 하나의 열에 속한 스트링 선택 라인들 중 일부 또는 전부를 동시에 활성화시키는 것은

각 열에 속한 메모리 셀 트랜지스터들에 저장될 데이터의 상태들 중 프로그램될 상태를 판별하고;

상기 프로그램될 상태의 메모리 셀 트랜지스터들에 대응하는 스트링 선택 라인들을 활성화시키고; 그리고

상기 프로그램될 상태를 제외한 나머지 상태들의 메모리 셀 트랜지스터들에 대응하는 스트링 선택 라인들을 비 활성화시키는 것을 포함하는 것을 특징으로 하는 방법.

**청구항 9**

제 8 항에 있어서,

상기 프로그램될 상태의 메모리 셀 트랜지스터들이 요구되는 상태로 프로그램되었는 지의 여부를 판별하는 것을 더 포함하며,

상기 프로그램될 상태의 메모리 셀 트랜지스터들이 요구되는 상태로 프로그램되었는 지의 여부를 판별하는 것은 상기 프로그램될 상태에 대한 검증 동작을 수행하는 것을 포함하되, 상기 프로그램될 상태에 대한 검증 동작은 스트링 선택 라인들의 행들이 순차적으로 활성화되는 상태에서 상기 프로그램될 상태를 검증하기 위한 검증 전압을 상기 워드 라인들로 인가함으로써 행해지는 것을 특징으로 하는 방법.

**청구항 10**

제 1 항에 있어서,

상기 행들 각각과 상기 열들로 정의되는 스트링들은 메모리 블록을 구성하는 것을 특징으로 하는 방법.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 반도체 메모리 장치에 관한 것으로, 좀 더 구체적으로는 멀티-페이지를 프로그램하는 방법 및 그것을 이용한 불 휘발성 메모리 장치에 관한 것이다.

**배경 기술**

[0002] 반도체 제조 기술의 발전과 더불어, 고밀도 메모리에 대한 요구가 계속되어 오고 있다. 이러한 요구를 충족시키기 위해서 다양한 방법들이 제안되어 오고 있다. 그러한 방법들 중 하나는 메모리 셀에 저장되는 데이터 비트들의 수를 증가시키는 것이다. 이와 더불어, 3차원 어레이 구조(three-dimensional array structure)를 갖는 메모리 장치('3D 메모리 장치'라 불림)가 제안되고 있다.

**발명의 내용**

**해결하려는 과제**

[0003] 본 발명의 목적은 복수의 페이지들을 프로그램하는 방법 및 그것을 이용한 불 휘발성 메모리 장치를 제공하는 것이다.

**과제의 해결 수단**

[0004] 본 발명의 일 특징은 행들과 열들로 배열된 복수의 스트링들을 포함하는 불 휘발성 메모리 장치를 프로그램하는 방법을 제공하는 것이며, 이 방법은 프로그램될 데이터에 의거하여 하나의 열에 속한 선택 라인들 중 일부 또는 전부를 동시에 활성화시키고; 상기 하나의 열에 대응하는 비트 라인을 비트 라인 프로그램 전압으로 구동하고; 그리고 상기 열들에 대응하는 비트 라인들이 모두 구동될 때까지, 프로그램될 데이터에 의거하여 하나의 열에 속한 선택 라인들 중 일부 또는 전부를 동시에 활성화시키는 것과 상기 하나의 열에 대응하는 비트 라인을 비트

라인 프로그램 전압으로 구동하는 것을 반복하는 것을 포함한다.

**발명의 효과**

[0005] 본 발명의 예시적인 실시예에 따르면, 동일한 워드 라인 층에 포함된 공통으로 연결된 워드 라인들의 메모리 셀들을 동시에 프로그램함으로써 동일한 워드 라인 층에 포함된 공통으로 연결된 워드 라인들의 메모리 셀들에 가해지는 프로그램 디스터브를 방지하는 것이 가능하다.

**도면의 간단한 설명**

[0006] 도 1은 본 발명의 예시적인 실시예에 따른 불 휘발성 메모리 장치를 개략적으로 보여주는 블록도이다.  
 도 2는 본 발명의 예시적인 실시예에 따른 도 1에 도시된 메모리 셀 어레이(1100)의 회로 구조를 개략적으로 보여주는 도면이다.  
 도 3은 본 발명의 예시적인 실시예에 따른 도 1에 도시된 제어 로직(1500)을 개략적으로 보여주는 블록도이다.  
 도 4 내지 도 6은 각 메모리 셀에 2-비트 데이터가 저장되는 경우 문턱 전압들의 변화를 설명하기 위한 도면들이다.  
 도 7은 본 발명의 예시적인 실시예에 따른 도 3에 도시된 선택 신호 발생기(1524)에 의해서 생성되는 스트링 선택 신호들(SS0~SSi)의 선택적인 활성화를 설명하기 위한 도면이다.  
 도 8은 도 3에 도시된 메모리(1522)에 저장된 데이터를 보여주는 도면이다.  
 도 9는 본 발명의 예시적인 실시예에 따른 불 휘발성 메모리 장치의 프로그램 방법을 설명하기 위한 흐름도이다.  
 도 10은 프로그램될 상태들과 각각 관련된 프로그램 루프들을 보여주는 도면이다.  
 도 11 내지 도 13은 프로그램될 상태들과 각각 관련된 스트링 선택 라인들의 선택적인 활성화를 보여주는 도면이다.  
 도 14는 본 발명의 다른 실시예에 따른 불 휘발성 메모리 장치의 프로그램 방법을 설명하기 위한 도면이다.  
 도 15는 도 14에서 설명된 프로그램 방법의 일 실시예를 설명하기 위한 도면이다.  
 도 16은 도 14에서 설명된 프로그램 방법의 다른 실시예를 설명하기 위한 도면이다.  
 도 17은 본 발명의 다른 실시예에 따른 불 휘발성 메모리 장치를 개략적으로 보여주는 블록도이다.  
 도 18은 본 발명의 또 다른 실시예에 따른 불 휘발성 메모리 장치를 개략적으로 보여주는 블록도이다.  
 도 19는 도 18에 도시된 읽기 및 쓰기 블록을 개략적으로 보여주는 블록도이다.  
 도 20은 본 발명의 예시적인 실시예에 따른 불 휘발성 메모리 장치를 포함한 데이터 저장 장치를 개략적으로 보여주는 블록도이다.  
 도 21은 본 발명의 예시적인 실시예에 따른 도 20에 도시된 제어기를 개략적으로 보여주는 블록도이다.  
 도 22는 본 발명의 예시적인 실시예들에 따른 불 휘발성 메모리 장치를 이용한 반도체 드라이브를 개략적으로 보여주는 블록도이다.  
 도 23은 도 22에 도시된 반도체 드라이브를 이용한 스토리지를 개략적으로 보여주는 블록도이다.  
 도 24는 도 22에 도시된 반도체 드라이브를 이용한 스트리지 서버를 개략적으로 보여주는 블록도이다.  
 도 25 내지 도 27은 본 발명의 예시적인 실시예들에 따른 데이터 저장 장치가 적용되는 시스템들을 개략적으로 보여주는 도면들이다.  
 도 28 내지 도 32는 본 발명의 예시적인 실시예들에 따른 불 휘발성 메모리 장치가 적용되는 다른 시스템들을 개략적으로 보여주는 도면들이다.  
 도 33 내지 도 43은 본 발명의 실시예에 따른 불 휘발성 메모리 장치의 제조 방법을 설명하기 위한 사시도들이다.

도 44는 본 발명의 또 다른 실시예에 따른 불 휘발성 메모리 장치를 개략적으로 보여주는 블록도이다.

도 45는 본 발명의 다른 예시적인 실시예에 따른 3차원(3D) 메모리 어레이의 단면을 보여주는 단면도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0007] 앞의 일반적인 설명 및 다음의 상세한 설명 모두 예시적이라는 것이 이해되어야 하며, 청구된 발명의 부가적인 설명이 제공되는 것으로 여겨져야 한다.
- [0008] 참조 부호들이 본 발명의 바람직한 실시 예들에 상세히 표시되어 있으며, 그것의 예들이 참조 도면들에 표시되어 있다. 가능한 어떤 경우에도, 동일한 참조 번호들이 동일한 또는 유사한 부분을 참조하기 위해서 설명 및 도면들에 사용된다.
- [0009] 아래에서, 불 휘발성 반도체 메모리 장치가 본 발명의 특징 및 기능을 설명하기 위한 한 예로서 사용된다. 하지만, 이 기술 분야에 정통한 사람은 여기에 기재된 내용에 따라 본 발명의 다른 이점들 및 성능을 쉽게 이해할 수 있을 것이다. 본 발명은 다른 실시 예들을 통해 또한, 구현되거나 적용될 수 있을 것이다. 게다가, 상세한 설명은 본 발명의 범위, 기술적 사상 그리고 다른 목적으로부터 상당히 벗어나지 않고 관점 및 응용에 따라 수정되거나 변경될 수 있다.
- [0010] 도 1은 본 발명의 예시적인 실시예에 따른 불 휘발성 메모리 장치를 개략적으로 보여주는 블록도이다.
- [0011] 본 발명에 따른 불 휘발성 메모리 장치(1000)는, 예를 들면, 낸드 플래시 메모리 장치일 것이다. 하지만, 본 발명이 플래시 메모리 장치에 국한되지 않음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다. 예를 들면, 본 발명은 노어 플래시 메모리 장치, PRAM, FeRAM, MRAM, 등과 같은 불 휘발성 메모리 장치들에도 적용될 수 있다. 도 1에 도시된 바와 같이, 본 발명의 예시적인 실시예에 따른 불 휘발성 메모리 장치(1000)는 메모리 셀 어레이(1100), 행 디코더 회로(1200), 열 디코더 회로(1300), 읽기 및 쓰기 블록(1400), 제어 로직(1500), 그리고 전압 발생 회로(1600)를 포함할 것이다.
- [0012] 메모리 셀 어레이(1100)는 단일-비트 데이터 그리고/또는 M-비트 데이터(M은 2 또는 그 보다 큰 정수)를 저장하기 위한 메모리 셀들을 포함할 것이다. 메모리 셀들(또는, 메모리 셀 트랜지스터들)은 행들(또는, 워드 라인들)과 열들(또는, 비트 라인들)의 교차 영역들에 2차원 또는 3차원적으로 각각 배열될 것이다. 각 메모리 셀은 가변 가능한 저항값을 가질 것이다. 예를 들면, 각 메모리 셀은 전하 저장을 통해 또는 가변 저항을 통해 변화되는 문턱 전압을 가질 것이다. 하지만, 메모리 셀 종류가 여기에 기재된 것에 국한되지 않음은 잘 이해될 것이다. 이후 설명되는 바와 같이, 본 발명의 예시적인 실시예에 따른 메모리 셀 어레이(1100)는 수직 채널 구조(three-dimensional vertical channel structure) 또는 수직 스트링 구조(vertical string structure)를 갖도록 구성될 것이다. 수직 채널 구조/수직 스트링 구조에 따르면, 하나의 스트링에 속한 메모리 셀들(또는 메모리 셀 트랜지스터들)의 채널들(또는, 스트링 채널)이 기판에 대해서 수직하게 형성될 것이다. 이는 이후 상세히 설명될 것이다.
- [0013] 계속해서 도 1를 참조하면, 행 디코더 회로(1200)는 제어 로직(1500)의 제어에 응답하여 동작하며, 메모리 셀 어레이(1100)의 행들의 선택 및 구동을 행할 것이다. 열 디코더 회로(1300)는 제어 로직(1500)의 제어에 응답하여 동작하며, 메모리 셀 어레이(1100)의 열들의 선택을 행할 것이다. 읽기 및 쓰기 블록(1400)은 제어 로직(1500)의 제어에 응답하여 동작하며, 메모리 셀 어레이(1100)로부터 데이터를 읽도록 그리고 메모리 셀 어레이(1100)에 데이터를 기입하도록 구성될 것이다. 전압 발생 회로(1600)는 제어 로직(1500)의 제어에 응답하여 동작하며, 각 동작(예를 들면, 읽기, 프로그램, 검증, 그리고 소거 동작들)에 필요한 전압들을 발생하도록 구성될 것이다.
- [0014] 도 2는 본 발명의 예시적인 실시예에 따른 도 1에 도시된 메모리 셀 어레이(1100)의 회로 구조를 개략적으로 보여주는 도면이다.
- [0015] 도 2를 참조하면, 본 발명의 예시적인 실시예에 따른 메모리 셀 어레이(1100)는 수직 스트링 구조를 갖도록 구현될 것이다. 수직 스트링 구조에 의하면, 스트링은 기판(미도시됨)과 수평하게 형성되는 것이 아니라, 기판과 수직하게 형성될 것이다. 도시의 편의상, 도 2에는 4개의 비트 라인들(BL0~BL3), 4개의 스트링 선택 라인 그룹들(SSL00~SSL03)~(SSL30~SSL33), 4개의 접지 선택 라인들(GSL0~GSL3), 4개의 워드 라인 층들(L1~L4)이 도시되어 있다. 하지만, 메모리 셀 어레이(1100)에는 보다 많은 워드 라인 층들, 비트 라인들, 그리고 선택 라인 그룹들이 제공됨은 잘 이해될 것이다. 워드 라인 층들(L1~L4) 각각에는 복수의, 예를 들면, 4개의 워드 라인들

(WL<sub>i1</sub>~WL<sub>i4</sub>)(i=1~4)이 비트 라인들(BL<sub>0</sub>~BL<sub>3</sub>)과 수직하게 배열될 것이다.

- [0016] 각 워드 라인 층에 배열된 워드 라인들(WL<sub>i1</sub>~WL<sub>i4</sub>)의 일단들은 전기적으로 공통으로 연결될 것이다. 공통으로 연결된 워드 라인들의 수는 다양하게 결정될 것이다. 4개의 워드 라인들(WL<sub>i1</sub>~WL<sub>i4</sub>)이 전기적으로 연결된 예가 도 2에 도시되어 있다. 스트링들(1101)은 동일하게 구성될 것이다. 각 스트링(1101)은 대응하는 스트링 선택 트랜지스터를 통해 대응하는 비트 라인과 연결되고, 대응하는 접지 선택 트랜지스터를 통해 공통 소오스 라인(CSL)에 연결된다. 예를 들면, 스트링(1101)은 스트링 선택 라인 그룹(SSL<sub>00</sub>~SSL<sub>03</sub>) 중 대응하는 하나의 스트링 선택 라인(SSL<sub>00</sub>)에 의해서 제어되는 스트링 선택 트랜지스터를 통해 비트 라인(BL<sub>0</sub>)에 연결되고, 접지 선택 라인(GSL<sub>0</sub>)에 의해서 제어되는 접지 선택 트랜지스터를 통해 공통 소오스 라인(CSL)에 연결된다. 스트링(1101)은 스트링 선택 라인 그룹(SSL<sub>00</sub>~SSL<sub>03</sub>) 중 대응하는 하나의 스트링 선택 라인(SSL<sub>01</sub>)에 의해서 제어되는 스트링 선택 트랜지스터를 통해 비트 라인(BL<sub>1</sub>)에 연결되고, 접지 선택 라인(GSL<sub>0</sub>)에 의해서 제어되는 접지 선택 트랜지스터를 통해 공통 소오스 라인(CSL)에 연결된다. 스트링(1101)은 스트링 선택 라인 그룹(SSL<sub>00</sub>~SSL<sub>03</sub>) 중 대응하는 하나의 스트링 선택 라인(SSL<sub>02</sub>)에 의해서 제어되는 스트링 선택 트랜지스터를 통해 비트 라인(BL<sub>2</sub>)에 연결되고, 접지 선택 라인(GSL<sub>0</sub>)에 의해서 제어되는 접지 선택 트랜지스터를 통해 공통 소오스 라인(CSL)에 연결된다. 스트링(1101)은 스트링 선택 라인 그룹(SSL<sub>00</sub>~SSL<sub>03</sub>) 중 대응하는 하나의 스트링 선택 라인(SSL<sub>03</sub>)에 의해서 제어되는 스트링 선택 트랜지스터를 통해 비트 라인(BL<sub>3</sub>)에 연결되고, 접지 선택 라인(GSL<sub>0</sub>)에 의해서 제어되는 접지 선택 트랜지스터를 통해 공통 소오스 라인(CSL)에 연결된다. 설명의 편의상, 하나의 스트링 선택 라인 그룹에 대한 연결이 설명되었지만, 나머지 스트링 선택 라인 그룹들에 연결된 스트링들 역시 앞서 설명된 것과 동일하게 비트 라인들과 공통 소오스 라인(CSL)에 연결될 것이다. 도면에서 이해되는 바와 같이, 수직 스트링들(1101)은 행들과 열들로 배열될 것이다.
- [0017] 상술한 바와 같이, 하나의 XZ 평면에 속한 스트링들의 메모리 셀들(예를 들면, WL<sub>11</sub>, WL<sub>21</sub>, WL<sub>31</sub>, 또는 WL<sub>41</sub>에 연결된 셀들)은 대응하는 스트링 선택 라인 그룹의 스트링 선택 라인들(예를 들면, SSL<sub>00</sub>~SSL<sub>03</sub>)이 활성화될 때 대응하는 비트 라인들(BL<sub>0</sub>~BL<sub>3</sub>)에 연결된다. 이후 설명되는 바와 같이, 각 스트링 선택 라인 그룹의 스트링 선택 라인들은 개별적으로 또는 동시에 활성화된다.
- [0018] 도 3은 본 발명의 예시적인 실시예에 따른 도 1에 도시된 제어 로직(1500)을 개략적으로 보여주는 블록도이다.
- [0019] 도 3을 참조하면, 제어 로직(1500)은 프로그램 스케줄러(1510)와 스트링 선택 라인 제어 유닛(String select line Control Unit: SCU)(1520)을 포함할 것이다. 프로그램 스케줄러(1510)는 불 휘발성 메모리 장치의 프로그램 동작을 전반적으로 제어하도록 구성될 것이다. 프로그램 스케줄러(1510)는, 각 프로그램 루프의 비트 라인 셋업시, 비트 라인들(BL<sub>0</sub>~BL<sub>j</sub>)을 순차적으로 비트 라인 프로그램 전압(예를 들면, 0V)으로 구동하도록 읽기 및 쓰기 블록(400)을 제어할 것이다. 또는, 프로그램 스케줄러(1510)는, 각 프로그램 루프의 비트 라인 셋업시, 프로그램될 데이터에 관계없이 비트 라인들(BL<sub>0</sub>~BL<sub>j</sub>)을 순차적으로 비트 라인 프로그램 전압(예를 들면, 0V)으로 구동하도록 읽기 및 쓰기 블록(1400)을 제어할 것이다. 비트 라인들(BL<sub>0</sub>~BL<sub>j</sub>)의 순차적인 구동은 비트 라인들(BL<sub>0</sub>~BL<sub>j</sub>)(또는, 스트링들의 채널들)을 비트 라인 프로그램 금지 전압(예를 들면, 전원 전압)으로 충전한 후 행해질 수도 있다. 이는 스트링 선택 라인들 그리고/또는 각 워드 라인 층의 워드 라인들이 활성화된 상태에서 행해질 것이다. 또는, 비트 라인들(BL<sub>0</sub>~BL<sub>j</sub>)의 순차적인 구동은 비트 라인들(BL<sub>0</sub>~BL<sub>j</sub>)(또는, 스트링들의 채널들)을 비트 라인 프로그램 금지 전압(예를 들면, 전원 전압)으로 충전하지 않은 상태에서 행해질 수도 있다.
- [0020] 스트링 선택 라인 제어 유닛(1520)은 프로그램 스케줄러(1510)에 의해서 제어되며, 행 디코더 회로(1200)를 통해 스트링 선택 라인 그룹들(SSL<sub>00</sub>~SSL<sub>0j</sub>)~(SSL<sub>i0</sub>~SSL<sub>ij</sub>)로 각각 전송될 스트링 선택 신호 그룹들(SS<sub>00</sub>~SS<sub>0j</sub>)~(SS<sub>i0</sub>~SS<sub>ij</sub>)의 활성화를 제어할 것이다. 특히, 각 프로그램 루프시, 각 스트링 선택 신호 그룹의 스트링 선택 신호들의 일부 또는 전부는 동시에 활성화될 것이다. 이때, 임의의 스트링 선택 신호 그룹의 활성화된 스트링 선택 신호들을 제외한 나머지 스트링 선택 신호들은 비활성화될 것이다. 도 3에 도시된 바와 같이, 스트링 선택 라인 제어 유닛(1520)은 메모리(1522)와 선택 신호 발생기(1524)를 포함할 것이다.
- [0021] 메모리(1522)는 하나의 워드 라인에 연결된 메모리 셀들에 저장될 데이터(예를 들면, 1-페이지 데이터) 뿐만 아니라, 동일한 워드 라인 층의 공통으로 연결된 워드 라인들(예를 들면, WL<sub>i1</sub>~WL<sub>i4</sub>)에 연결된 메모리 셀들에 저장될 데이터(예를 들면, 복수의 페이지 데이터)를 저장하는 데 사용될 것이다. 본 발명의 예시적인 실시예에 따른 불 휘발성 메모리 장치의 경우, 프로그램 동작시, 메모리(1522)에는 동일한 워드 라인 층의 공통으로 연결된 워드 라인들(예를 들면, WL<sub>i1</sub>~WL<sub>i4</sub>)에 연결된 메모리 셀들에 저장될 데이터(예를 들면, 복수의 페이지 데이터)가 저장될 것이다. 입출력 인터페이스(미도시됨)를 통해 전달되는 데이터는 프로그램 스케줄러(1510)의 제어 하에 메모리(1522)에 저장될 것이다. 메모리(1522)에 저장된 데이터 모두 또는 일부는 프로그램 스케줄러(151

0)의 제어에 따라 읽기 및 쓰기 블록(1400)로 전송될 수 있다. 메모리(1522)에 저장된 데이터는 프로그램 스케줄러(1510)의 제어에 따라 읽기 및 쓰기 블록(1400)에 의해서 읽혀진 데이터(예를 들면, 검증 읽기 동작시 읽혀진 데이터)에 의해서 갱신될 수 있다. 선택 신호 발생기(1524)는 메모리(1522)에 저장된 데이터에 의거하여 임의의 열에 대응하는 각 스트링 선택 신호 그룹의 스트링 선택 신호들 모두 또는 일부를 동시에 활성화시킬 것이다. 이는 이후 상세히 설명될 것이다.

[0022] 앞서 설명된 바와 같이, 읽기 및 쓰기 블록(1400)은 임의의 열에 대응하는 각 스트링 선택 신호 그룹의 스트링 선택 신호들 모두 또는 일부가 활성화될 때마다 프로그램 스케줄러(1510)의 제어에 따라 비트 라인들(BL0~BLj) 중 하나를 비트 라인 프로그램 전압으로 구동할 것이다. 임의의 열(예를 들면, BL0)에 대응하는 각 스트링 선택 신호 그룹의 스트링 선택 신호들(SS00~SSi0)(도 3 참조) 모두 또는 일부가 활성화될 때마다 비트 라인들(BL0~BLj) 중 하나(예를 들면, BL0)를 비트 라인 프로그램 전압으로 구동하는 것은 비트 라인들(BL0~BLj)이 모두 선택될 때까지 반복될 것이다. 이는 이후 상세히 설명될 것이다. 임의의 열에 대응하는 각 스트링 선택 신호 그룹의 스트링 선택 신호들 모두 또는 일부가 활성화될 때마다 비트 라인들(BL0~BLj) 중 하나를 비트 라인 프로그램 전압으로 구동함으로써 전기적으로 연결된 워드 라인들(예를 들면, 도 2 참조, WL11~WL14)의 메모리 셀들을 동시에 프로그램하는 것이 가능하다. 이는 이후 상세히 설명될 것이다.

[0023] 예시적인 실시예에 있어서, 각 스트링 선택 신호 그룹의 스트링 선택 신호들은 프로그램 스케줄러(1510)의 제어 하에 프로그램 동작의 스트링 선택 라인 셋업 및 비트 라인 충전 구간을 제외한 나머지 동작들(예를 들면, 검증 동작, 읽기 동작 등)에서 동시에 활성화될 것이다. 예를 들면, 스트링 선택 신호 그룹의 스트링 선택 신호들(SS00~SS0j)은 프로그램 스케줄러(1510)의 제어 하에 프로그램 동작의 스트링 선택 라인 셋업 및 비트 라인 충전 구간을 제외한 나머지 동작들(예를 들면, 검증 동작, 읽기 동작 등)에서 동시에 활성화될 것이다. 이때, 나머지 스트링 선택 신호 그룹들의 스트링 선택 신호들(SS10~SS1j)~(SSi0~SSij)은 비활성화될 것이다.

[0024] 도 4 내지 도 6은 각 메모리 셀에 2-비트 데이터가 저장되는 경우 문턱 전압들의 변화를 설명하기 위한 도면들이다.

[0025] 본 발명의 예시적인 실시예에 따르면, 각 메모리 셀은 m-비트 데이터(m은 2 또는 그 보다 큰 정수)를 저장할 것이다. 각 메모리 셀에 2-비트 데이터를 저장하는 방법들은 다양하게 구현될 수 있다. 예를 들면, 도 4에 도시된 바와 같이, 메모리 셀들은 소거 상태(S10)에서 프로그램 상태들(S11, S12, S13)로 순차적으로 프로그램될 수 있다. 프로그램 상태들(S11, S12, S13)은 대응하는 검증 전압들(Vvfy1, Vvfy2, Vvfy3)에 의해서 각각 판별될 것이다. 또는, 도 5에 도시된 바와 같이, 메모리 셀들은 소거 상태(S20)에서 프로그램 상태들(S23, S22, S21)로 순차적으로 프로그램될 수 있다. 프로그램 상태들(S21, S22, S23)은 대응하는 검증 전압들(Vvfy1, Vvfy2, Vvfy3)에 의해서 각각 판별될 것이다. 또는, 도 6에 도시된 바와 같이, 메모리 셀들에는 LSB 프로그램 과정과 MSB 프로그램 과정을 통해 2-비트 데이터가 저장될 수 있다. 각 메모리 셀에 2-비트 데이터를 프로그램하는 방식이 여기에 개시된 것에 국한되지 않음은 잘 이해될 것이다. 멀티-비트 데이터를 메모리 셀들에 저장하는 방법이 여기에 개시된 것에 국한되지 않음은 잘 이해될 것이다. 또한, 비트 순서(bit ordering)이 여기에 개시된 것에 국한되지 않음은 잘 이해될 것이다.

[0026] 도 7은 본 발명의 예시적인 실시예에 따른 도 3에 도시된 선택 신호 발생기(1524)에 의해서 생성되는 스트링 선택 신호들(SS0~SSi)의 선택적인 활성화를 설명하기 위한 도면이고, 도 8은 도 3에 도시된 메모리(1522)에 저장된 데이터의 일례를 보여주는 도면이다.

[0027] 본 발명의 예시적인 실시예에 따른 불 휘발성 메모리 장치(1000)는 공통으로 연결된 워드 라인들(예를 들면, 도 2 참조, WL11~WL14)의 메모리 셀들(또는, 메모리 셀 트랜지스터들)을 동시에 프로그램하도록 구성될 것이다. 이는 공통으로 연결된 워드 라인들(예를 들면, 도 2 참조, WL11~WL14)로 프로그램 전압을 인가하기 이전에 공통으로 연결된 워드 라인들(예를 들면, 도 2 참조, WL11~WL14)의 메모리 셀들을 포함하는 스트링들(1101)의 채널들을 선택적으로 0V로 충전하는 것을 필요로 한다. 이는 프로그램될 데이터에 따라 임의의 열에 대응하는 각 스트링 선택 라인 그룹의 스트링 선택 라인들 모두 또는 일부를 동시에 활성화시킴으로써 행해질 것이다. 예시적인 실시예에 있어서, 메모리 셀들이 도 5에 도시된 순서에 따라 프로그램 상태들(S23, S22, S21)로 순차적으로 프로그램된다고 가정하자. 하지만, 도 4 및 도 6에 도시된 순서들에 따라 메모리 셀들을 프로그램하는 것이 가능하다.

[0028] 워드 라인 층(예를 들면, L1)에 속한 워드 라인들(WL11~WL14)에 연결된 메모리 셀들은 "01" 상태로 프로그램될 메모리 셀들, "00" 상태로 프로그램될 메모리 셀들, "10" 상태로 프로그램될 메모리 셀들, 그리고 소거 상태로 유지될 메모리 셀들을 포함할 것이다. 상술한 가정에 따르면, 먼저, "01" 상태로 메모리 셀들을 프로그램하기

위한 동작이 수행될 것이다. "01" 상태로 메모리 셀을 프로그램하는 것은 공통으로 연결된 워드 라인들(예를 들면, 도 2 참조, WL11~WL14)로 프로그램 전압을 인가하기 이전에 0V의 전압으로 스트링 채널들("01" 상태로 프로그램될 메모리 셀들에 대응함)의 충전을 필요로 한다.

[0029] 0V의 전압으로 스트링 채널들의 충전을 위해서, 선택 신호 발생기(1524)는 메모리(1522)에 저장된 각 열(또는, 각 비트 라인)의 데이터 값들에 의거하여 "01" 상태로 프로그램될 메모리 셀들에 대응하는 스트링 선택 라인들을 동시에 활성화시키고 나머지 상태들로 프로그램될 메모리 셀들에 대응하는 스트링 선택 라인들을 비활성화시킨다. 예를 들면, 도 8을 참조하면, 선택 신호 발생기(1524)는 메모리(1522)에 저장된 임의의 열의 데이터 값들(예를 들면, 비트 라인(BL0)과 스트링 선택 라인들(SSL00, SSL10, SSL20, SSL30)에 의해서 지정되는 메모리 셀들에 저장될 데이터 값들)(01, 10, 00, 01)에 의거하여 "01" 상태로 프로그램될 메모리 셀들(예를 들면, BL0와 WL11 그리고 BL0와 WL14에 의해서 지정되는 메모리 셀들)에 대응하는 선택 신호들(예를 들면, SS00, SS30)을 동시에 활성화시키고 나머지 상태들(11, 10, 00)로 프로그램될 메모리 셀들에 대응하는 선택 신호들(SS10, SS20)을 비활성화시킨다. 이는 선택 신호들(SS00, SS30)에 대응하는 스트링 선택 라인들(SSL00, SSL30)이 활성화되고, 선택 신호들(SS10, SS20)에 대응하는 스트링 선택 라인들(SSL10, SSL20)이 비활성화됨을 의미한다.

[0030] 마찬가지로, 선택 신호 발생기(1524)는 메모리(1522)에 저장된 임의의 열의 데이터 값들(예를 들면, 비트 라인(BL1)과 스트링 선택 라인들(SSL01~SSL31)에 의해서 지정되는 메모리 셀들에 저장될 데이터 값들)(01, 00, 01, 10)에 의거하여 "01" 상태로 프로그램될 메모리 셀(BL1과 WL11 그리고 BL1과 WL13에 의해서 지정되는 메모리 셀들)에 대응하는 선택 신호들(예를 들면, SS01, SS21)을 동시에 활성화시키고 나머지 상태들(11, 10, 00)로 프로그램될 메모리 셀들에 대응하는 선택 신호들(SS11, SS31)을 비활성화시킨다. 이는 선택 신호들(SS01, SS21)에 대응하는 스트링 선택 라인들(SSL01, SSL21)이 활성화되고, 선택 신호들(SS11, SS31)에 대응하는 스트링 선택 라인들(SSL11, SSL31)이 비활성화됨을 의미한다. 나머지 비트 라인들 각각과 관련된 스트링 선택 라인들의 활성화는 앞서 설명된 것과 실질적으로 동일하게 행해질 것이다.

[0031] 이상의 설명으로부터 알 수 있듯이, 스트링 선택 라인들의 동시 활성화는 비트 라인 단위로 행해질 것이다. 즉, 특정 상태로 프로그램될 메모리 셀들에 대응하는 스트링 선택 라인들이 동시에 활성화될 것이다. 이러한 상태에서 하나의 비트 라인이 접지 전압으로 구동될 것이다. 이는 특정 상태로 프로그램될 메모리 셀들을 포함하는 스트링들의 채널들이 0V의 전압으로 충전됨을 의미한다. 앞서 설명된 방식에 따라 모든 비트 라인들이 순차적으로 구동된 후 공통으로 연결된 워드 라인들에 프로그램 전압이 공급될 것이다. 즉, 프로그램 동작이 실행될 것이다.

[0032] "01" 상태에 대한 프로그램 동작이 완료된 후, "00" 상태로 메모리 셀들을 프로그램하는 동작이 수행될 것이다. "00" 상태로 메모리 셀을 프로그램하는 것은 0V의 전압으로 스트링 채널의 충전을 필요로 한다. 0V의 전압으로 스트링 채널의 충전은 "01" 상태를 기준으로 설명된 것과 실질적으로 동일하게 행해지며, 그것에 대한 설명은 그러므로 생략될 것이다. 마지막으로, "00" 상태에 대한 프로그램 동작이 완료된 후, "10" 상태로 메모리 셀들을 프로그램하는 동작이 수행될 것이다. "10" 상태로 메모리 셀을 프로그램하는 것은 0V의 전압으로 스트링 채널의 충전을 필요로 한다. 0V의 전압으로 스트링 채널의 충전은 "01" 상태를 기준으로 설명된 것과 실질적으로 동일하게 행해지며, 그것에 대한 설명은 그러므로 생략될 것이다.

[0033] 예시적인 실시예에 있어서, 도 8에 도시된 각 행/워드 라인에 속한 데이터는 페이지 데이터를 구성할 것이다.

[0034] 도 9는 본 발명의 예시적인 실시예에 따른 불 휘발성 메모리 장치의 프로그램 방법을 설명하기 위한 흐름도이고, 도 10은 프로그램될 상태들과 각각 관련된 프로그램 루프들을 보여주는 도면이며, 도 11 내지 도 13은 프로그램될 상태들과 각각 관련된 스트링 선택 라인들의 선택적인 활성화를 보여주는 도면이다. 이하, 본 발명의 예시적인 실시예에 따른 불 휘발성 메모리 장치의 프로그램 방법이 참조 도면들에 의거하여 상세히 설명될 것이다.

[0035] 본 발명의 예시적인 실시예에 따른 프로그램 방법의 설명에 앞서, 각 워드 라인 층에 배열된 워드 라인들은 적어도 하나의 그룹을 구성하며, 그룹에 속한 워드 라인들(예를 들면, 4개의 워드 라인들)(예를 들면, WL11~WL14)은 전기적으로 연결된다고 가정하자. 하지만, 각 워드 라인 층에 배열된 워드 라인들이 복수의 그룹들로 구분될 수 있음은 잘 이해될 것이다. 그룹에 속하는 워드 라인들의 수가 변경될 수 있음은 잘 이해될 것이다. 스트링 선택 라인들의 동시 활성화는 그룹 단위로 제어될 것이다. 또한, 6개의 비트 라인들(BL0~BL5)이 메모리 셀 어레이(1100)에 배열되며 공통으로 연결된 워드 라인들의 메모리 셀들에 동시에 저장될 데이터가 도 8에 도시된 것과 동일하다고 가정하자.

- [0036] 먼저, S100 단계에서는 전기적으로 연결된 워드 라인들(WL11~WL14)의 메모리 셀들이 첫 번째 상태(예를 들면, 도 5 참조, "01" 상태)로 동시에 프로그램될 것이다. 이는 도 10 및 도 11을 참조하여 좀 더 구체적으로 설명될 것이다. 도 10을 참조하면, "01" 상태로의 프로그래밍은 복수의 프로그램 루프들을 통해 행해지며, 각 프로그램 루프는 스트링 선택 라인 셋업 및 비트 라인 충전 구간(P10), 프로그램 실행 구간(P11), 그리고 복수의 검증 구간들(P12\_0~P12\_n)(예시적인 실시예에 있어서, n은 3)을 포함할 것이다.
- [0037] 스트링 선택 라인 셋업 및 비트 라인 충전 구간(P10)에서, 스트링 선택 라인 제어 유니트(1520)의 선택 신호 발생기(1524)는 메모리(1522)에 저장된 데이터에 의거하여 각 스트링 선택 신호 그룹의 스트링 선택 신호들(입의 열에 대응함)을 선택적으로 활성화시킨다. 예를 들면, 도 8을 참조하면, 선택 신호 발생기(1524)는 비트 라인(BL0)에 연결될 그리고 "01" 상태로 프로그램될 메모리 셀들에 대응하는 스트링 선택 신호들(예를 들면, SS00, SS30)을 동시에 활성화시킬 것이다. 활성화된 스트링 선택 신호들(SS00, SS30)은 행 디코더 회로(1200)를 통해 대응하는 스트링 선택 라인들(SSL00, SSL30)으로 각각 전달될 것이다. 이는, 도 11에 도시된 바와 같이, 스트링 선택 라인들(SSL00, SSL30)에 의해서 각각 제어되는 선택 트랜지스터들이 턴 온됨을 의미한다. 스트링 선택 라인들(SSL00, SSL30)에 의해서 각각 제어되는 선택 트랜지스터들이 턴 온된 상태에서, 비트 라인(BL0)은 프로그램 스케줄러(1510)의 제어하에 페이지 버퍼(PB)를 통해 0V의 전압으로 충전될 것이다. 즉, 턴-온된 선택 트랜지스터들을 통해 스트링들의 채널들은 0V로 충전될 것이다. 턴-온된 선택 트랜지스터들을 통해 스트링들의 채널들이 0V로 충전된 후, 비트 라인(BL0)은 페이지 버퍼(PB)와 전기적으로 분리될 것이다. 비트 라인(BL0)에 연결된 스트링들의 선택적인 충전이 행해진 후, 비트 라인(BL1)에 연결된 스트링들의 선택적인 충전이 행해질 것이다. 비트 라인(BL1)에 연결된 스트링들의 선택적인 충전은 앞서 설명된 것과 실질적으로 동일하게 행해질 것이다. 마찬가지로, 나머지 비트 라인들(BL2~BL5) 각각과 관련된 선택적인 채널 충전 동작 역시 앞서 설명된 것과 실질적으로 동일하게 행해질 것이다.
- [0038] 결과적으로, "01" 상태로 프로그램될 메모리 셀들(전기적으로 연결된 워드 라인들(WL11~WL14)에 연결됨)을 포함한 스트링들의 채널들은 스트링 선택 라인들(SSL00~SSL05)~(SSL30~SSL35)의 활성화 및 비트 라인들(BL0~BL5)의 순차적인 구동을 통해 0V의 전압으로 충전될 것이다.
- [0039] 일단 "01" 상태로 프로그램될 메모리 셀들(전기적으로 연결된 워드 라인들(WL11~WL14)에 연결됨)을 포함한 스트링들의 채널들이 0V의 전압으로 충전되면, 프로그램 실행 구간(P11) 동안 전기적으로 연결된 워드 라인들(WL11~WL14)로 프로그램 전압이 공급될 것이다. 즉, 프로그램 동작이 실행될 것이다. 프로그램 동작이 실행될 때, 스트링 선택 라인들은 모두 비활성화될 것이다. 프로그램 실행 구간(P11) 다음에 스트링 선택 라인 단위로 검증 동작이 수행될 것이다. 좀 더 구체적으로 설명하면 다음과 같다.
- [0040] 먼저, 도 10을 참조하면, 검증 구간(P12\_0)에서는 스트링 선택 라인들(SSL00~SSL05)에 연결된 스트링들의 선택된 메모리 셀들(예를 들면, WL11에 연결된 메모리 셀들)에 대한 검증 동작이 수행될 것이다. 검증 동작시, 전기적으로 연결된 워드 라인들(WL11~WL14)에는 "01" 상태를 검증하기 위한 검증 전압(V<sub>fy3</sub>)이 인가될 것이다. 이때, 스트링 선택 라인들(SSL10~SSL15)~(SSL30~SSL35)이 비활성화되기 때문에, 워드 라인(WL11)에 연결된 메모리 셀들에 대한 검증 동작이 수행될 것이다. 즉, 읽기 및 쓰기 블록(1400)은 비트 라인들(BL0~BL5)을 통해 워드 라인(WL11)에 연결된 메모리 셀들로부터 데이터를 읽는다. 메모리(1522)에 저장된 데이터 값들(WL11에 속한 메모리 셀들에 저장된 데이터 값들) 중 "01" 값들은 프로그램 스케줄러(1510)의 제어 하에 읽혀진 데이터 값들에 따라 패스 값("11" 값)으로 변경될 것이다. 이는 이후 행해지는 프로그램 루프에서 프로그램 완료된 메모리 셀의 프로그램 동작을 금지하기 위한 것이다. 다음 검증 구간(P12\_1)에서는 스트링 선택 라인들(SSL10~SSL15)에 연결된 스트링들의 선택된 메모리 셀들에 대한 검증 동작이 수행되며, 이는 앞서 설명된 것과 실질적으로 동일하게 수행될 것이다. 마찬가지로, 나머지 검증 구간들(P12\_2~P12\_3)의 검증 동작들 역시 앞서 설명된 것과 실질적으로 동일하게 수행될 것이다.
- [0041] 다시 도 9를 참조하면, S110 단계에서는 첫 번째 상태("01" 상태)에 대한 프로그램 동작이 완료되었는지의 여부가 판별될 것이다. 첫 번째 상태("01" 상태)에 대한 프로그램 동작이 완료되지 않는 것으로 판별되면, 절차는 S120 단계로 진행할 것이다. S120 단계에서, 프로그램 루프 횟수가 첫 번째 상태에 대응하는 최대 프로그램 루프에 도달하였는지의 여부가 판별될 것이다. 프로그램 루프 횟수가 첫 번째 상태에 대응하는 최대 프로그램 루프에 도달하지 않는 것으로 판별되면, 절차는 S100 단계로 진행할 것이다. 다음 프로그램 루프에서 프로그램 전압이 정해진 증가분만큼 증가될 것이다. 프로그램 루프 횟수가 첫 번째 상태에 대응하는 최대 프로그램 루프에 도달한 것으로 판별되면, 절차는 S130 단계로 진행할 것이다. S130 단계에서는 프로그램 동작이 프로그램 페일로 처리될 것이다.

- [0042] S110 단계를 참조하면, 만약 첫 번째 상태의 프로그램 동작이 완료된 것으로 판별되면, 절차는 S140 단계로 진행할 것이다. S140 단계에서는 전기적으로 연결된 워드 라인들(WL11~WL14)의 메모리 셀들이 두 번째 상태(예를 들면, 도 5 참조, "00" 상태)로 동시에 프로그램될 것이다. 도 10을 참조하면, "00" 상태로의 프로그래밍은 복수의 프로그램 루프들을 통해 행해지며, 각 프로그램 루프는 스트링 선택 라인 셋업 및 비트 라인 충전 구간(P20), 프로그램 실행 구간(P21), 그리고 복수의 검증 구간들(P22\_0~P22\_n)(예시적인 실시예에 있어서, n은 3)을 포함할 것이다.
- [0043] 스트링 선택 라인 셋업 및 비트 라인 충전 구간(P20)에서, 스트링 선택 라인 제어 유니트(1520)의 선택 신호 발생기(1524)는 메모리(1522)에 저장된 데이터에 의거하여 스트링 선택 신호들(SS00~SS05)~(SS30~SS35)을 선택적으로 활성화시킨다. 예를 들면, 도 8을 참조하면, 선택 신호 발생기(1524)는 비트 라인(BL0)에 연결될 그리고 "00" 상태로 프로그램될 메모리 셀에 대응하는 스트링 선택 신호(예를 들면, SS20)을 활성화시킬 것이다. 활성화된 스트링 선택 신호(SS20)는 행 디코더 회로(1200)를 통해 대응하는 스트링 선택 라인(SSL20)으로 각각 전달될 것이다. 이는, 도 12에 도시된 바와 같이, 스트링 선택 라인(SSL20)에 의해서 제어되는 선택 트랜지스터가 턴 온됨을 의미한다. 스트링 선택 라인(SSL20)에 의해서 제어되는 선택 트랜지스터가 턴 온된 상태에서, 비트 라인(BL0)은 프로그램 스케줄러(1510)의 제어하에 페이지 버퍼(PB)를 통해 0V의 전압으로 충전될 것이다. 즉, 턴-온된 선택 트랜지스터를 통해 스트링의 채널은 0V로 충전될 것이다. 턴-온된 선택 트랜지스터를 통해 스트링의 채널이 0V로 충전된 후, 비트 라인(BL0)은 페이지 버퍼(PB)와 전기적으로 분리될 것이다. 비트 라인(BL0)에 연결된 스트링의 선택적인 충전이 행해진 후, 비트 라인(BL1)에 연결된 스트링들의 선택적인 충전이 행해질 것이다. 비트 라인(BL1)에 연결된 스트링들의 선택적인 충전은 앞서 설명된 것과 실질적으로 동일하게 행해질 것이다. 마찬가지로, 나머지 비트 라인들(BL2~BL5) 각각과 관련된 선택적인 채널 충전 동작 역시 앞서 설명된 것과 실질적으로 동일하게 행해질 것이다.
- [0044] 결과적으로, "00" 상태로 프로그램될 메모리 셀들(전기적으로 연결된 워드 라인들(WL11~WL14)에 연결됨)을 포함한 스트링들의 채널들은 스트링 선택 라인 그룹들의 스트링 선택 라인들의 활성화 및 비트 라인들(BL0~BL5)의 순차적인 구동을 통해 0V의 전압으로 충전될 것이다.
- [0045] 일단 "00" 상태로 프로그램될 메모리 셀들(전기적으로 연결된 워드 라인들(WL11~WL14)에 연결됨)을 포함한 스트링들의 채널들이 0V의 전압으로 충전되면, 프로그램 실행 구간(P21) 동안 전기적으로 연결된 워드 라인들(WL11~WL14)로 프로그램 전압이 공급될 것이다. 즉, 프로그램 동작이 실행될 것이다. 프로그램 실행 구간(P21) 다음에 스트링 단위로 검증 동작이 수행될 것이다. 좀 더 구체적으로 설명하면 다음과 같다.
- [0046] 먼저, 검증 구간(P22\_0)에서는 스트링 선택 라인들(SSL00~SSL05)에 연결된 스트링들의 선택된 메모리 셀들에 대한 검증 동작이 수행될 것이다. 검증 동작시, 전기적으로 연결된 워드 라인들(WL11~WL14)에는 "00" 상태를 검증하기 위한 검증 전압(Vvfy2)이 인가될 것이다. 이때, 스트링 선택 라인들(SSL10~SSL15)~(SSL30~SSL35)이 비활성화되기 때문에, 워드 라인(WL11)에 연결된 메모리 셀들에 대한 검증 동작이 수행될 것이다. 즉, 읽기 및 쓰기 블록(1400)은 비트 라인들(BL0~BL5)을 통해 워드 라인(WL11)에 연결된 메모리 셀들로부터 데이터를 읽는다. 메모리(1522)에 저장된 데이터 값들(WL11에 속한 메모리 셀들에 저장될 데이터 값들) 중 "00" 값들은 프로그램 스케줄러(1510)의 제어 하에 읽혀진 데이터 값들에 따라 패스 값("11" 값)으로 변경될 것이다. 이는 이후 행해지는 프로그램 루프에서 프로그램 완료된 메모리 셀의 프로그램 동작을 금지하기 위한 것이다. 다음 검증 구간(P22\_1)에서는 스트링 선택 라인(SSL10~SSL15)에 연결된 스트링들의 선택된 메모리 셀들에 대한 검증 동작이 수행되며, 이는 앞서 설명된 것과 실질적으로 동일하게 수행될 것이다. 마찬가지로, 나머지 검증 구간들(P22\_3, P22\_3)의 검증 동작들 역시 앞서 설명된 것과 실질적으로 동일하게 수행될 것이다.
- [0047] 다시 도 9를 참조하면, S150 단계에서는 두 번째 상태("00" 상태)에 대한 프로그램 동작이 완료되었는지의 여부가 판별될 것이다. 두 번째 상태("00" 상태)에 대한 프로그램 동작이 완료되지 않는 것으로 판별되면, 절차는 S160 단계로 진행할 것이다. S160 단계에서, 프로그램 루프 횟수가 두 번째 상태에 대응하는 최대 프로그램 루프에 도달하였는지의 여부가 판별될 것이다. 프로그램 루프 횟수가 두 번째 상태에 대응하는 최대 프로그램 루프에 도달하지 않는 것으로 판별되면, 절차는 S140 단계로 진행할 것이다. 다음 프로그램 루프에서 프로그램 전압이 정해진 증가분만큼 증가될 것이다. 프로그램 루프 횟수가 두 번째 상태에 대응하는 최대 프로그램 루프에 도달한 것으로 판별되면, 절차는 S130 단계로 진행할 것이다. S130 단계에서는 프로그램 동작이 프로그램 페일로 처리될 것이다.
- [0048] S150 단계를 참조하면, 만약 두 번째 상태의 프로그램 동작이 완료된 것으로 판별되면, 절차는 S170 단계로 진행할 것이다. S170 단계에서는 전기적으로 연결된 워드 라인들(WL11~WL14)의 메모리 셀들이 세 번째 상태(예를

들면, 도 5 참조, "10" 상태로 동시에 프로그램될 것이다. 도 10을 참조하면, "10" 상태로의 프로그래밍은 복수의 프로그램 루프들을 통해 행해지며, 각 프로그램 루프는 스트링 선택 라인 셋업 및 비트 라인 충전 구간(P30), 프로그램 실행 구간(P31), 그리고 복수의 검증 구간들(P32\_0~P32\_n)(예시적인 실시예에 있어서, n은 3)을 포함할 것이다.

[0049] 스트링 선택 라인 셋업 및 비트 라인 충전 구간(P30)에서, 스트링 선택 라인 제어 유닛(1520)의 선택 신호 발생기(1524)는 메모리(1522)에 저장된 데이터에 의거하여 스트링 선택 신호들(SS0~SS3)을 선택적으로 활성화시킨다. 예를 들면, 도 8을 참조하면, 선택 신호 발생기(1524)는 비트 라인(BL0)에 연결된 그리고 "10" 상태로 프로그램될 메모리 셀에 대응하는 스트링 선택 신호(예를 들면, SS10)를 활성화시킬 것이다. 활성화된 스트링 선택 신호(SS10)는 행 디코더 회로(1200)를 통해 대응하는 스트링 선택 라인(SSL10)으로 전달될 것이다. 이는, 도 13에 도시된 바와 같이, 스트링 선택 라인(SSL10)에 의해서 제어되는 선택 트랜지스터가 턴 온됨을 의미한다. 스트링 선택 라인(SSL10)에 의해서 제어되는 선택 트랜지스터가 턴 온된 상태에서, 비트 라인(BL0)은 프로그램 스케줄러(510)의 제어하에 페이지 버퍼(PB)를 통해 0V의 전압으로 충전될 것이다. 즉, 턴-온된 선택 트랜지스터를 통해 스트링의 채널은 0V로 충전될 것이다. 턴-온된 스트링 선택 트랜지스터를 통해 스트링의 채널이 0V로 충전된 후, 비트 라인(BL0)은 페이지 버퍼(PB)와 전기적으로 분리될 것이다. 비트 라인(BL0)에 연결된 스트링의 선택적인 충전이 행해진 후, 비트 라인(BL1)에 연결된 스트링들의 선택적인 충전이 행해질 것이다. 비트 라인(BL1)에 연결된 스트링들의 선택적인 충전은 앞서 설명된 것과 실질적으로 동일하게 행해질 것이다. 마찬가지로, 나머지 비트 라인들(BL2~BL5) 각각과 관련된 선택적인 채널 충전 동작 역시 앞서 설명된 것과 실질적으로 동일하게 행해질 것이다.

[0050] 결과적으로, "10" 상태로 프로그램될 메모리 셀들(전기적으로 연결된 워드 라인들(WL11~WL14)에 연결됨)을 포함한 스트링들의 채널들은 스트링 선택 라인들(SSL00~SSL05)~(SSL30~SSL35)의 활성화 및 비트 라인들(BL0~BL5)의 순차적인 구동을 통해 0V의 전압으로 충전될 것이다.

[0051] 일단 "10" 상태로 프로그램될 메모리 셀들(전기적으로 연결된 워드 라인들(WL11~WL14)에 연결됨)을 포함한 스트링들의 채널들이 0V의 전압으로 충전되면, 프로그램 실행 구간(P31) 동안 전기적으로 연결된 워드 라인들(WL11~WL14)로 프로그램 전압이 공급될 것이다. 즉, 프로그램 동작이 실행될 것이다. 프로그램 실행 구간(P31) 다음에 스트링 단위로 검증 동작이 수행될 것이다. 좀 더 구체적으로 설명하면 다음과 같다.

[0052] 먼저, 검증 구간(P32\_0)에서는 스트링 선택 라인들(SSL00~SSL05)에 연결된 스트링들의 선택된 메모리 셀들에 대한 검증 동작이 수행될 것이다. 검증 동작시, 전기적으로 연결된 워드 라인들(WL11~WL14)에는 "00" 상태를 검증하기 위한 검증 전압(Vvfy1)이 인가될 것이다. 이때, 스트링 선택 라인들(SSL10~SSL15)~(SSL30~SSL35)이 비활성화되기 때문에, 워드 라인(WL11)에 연결된 메모리 셀들에 대한 검증 동작이 수행될 것이다. 즉, 읽기 및 쓰기 블록(1400)은 비트 라인들(BL0~BL5)을 통해 워드 라인(WL11)에 연결된 메모리 셀들로부터 데이터를 읽는다. 메모리(522)에 저장된 데이터 값들(WL11에 속한 메모리 셀들에 저장될 데이터 값들) 중 "10" 값들은 프로그램 스케줄러(510)의 제어 하에 읽혀진 데이터 값들에 따라 패스 값("11" 값)으로 변경될 것이다. 이는 이후 행해지는 프로그램 루프에서 프로그램 완료된 메모리 셀의 프로그램 동작을 금지하기 위한 것이다. 다음 검증 구간(P32\_1)에서는 스트링 선택 라인들(SSL10~SSL15)에 연결된 스트링들의 선택된 메모리 셀들에 대한 검증 동작이 수행되며, 이는 앞서 설명된 것과 실질적으로 동일하게 수행될 것이다. 마찬가지로, 나머지 검증 구간들(P32\_3, P32\_3)의 검증 동작들 역시 앞서 설명된 것과 실질적으로 동일하게 수행될 것이다.

[0053] 다시 도 9를 참조하면, S180 단계에서는 세 번째 상태("10" 상태)에 대한 프로그램 동작이 완료되었는지의 여부가 판별될 것이다. 세 번째 상태("10" 상태)에 대한 프로그램 동작이 완료되지 않는 것으로 판별되면, 절차는 S190 단계로 진행할 것이다. S190 단계에서, 프로그램 루프 횟수가 세 번째 상태에 대응하는 최대 프로그램 루프에 도달하였는지의 여부가 판별될 것이다. 프로그램 루프 횟수가 세 번째 상태에 대응하는 최대 프로그램 루프에 도달하지 않는 것으로 판별되면, 절차는 S170 단계로 진행할 것이다. 다음 프로그램 루프에서 프로그램 전압이 정해진 증가분만큼 증가될 것이다. 프로그램 루프 횟수가 세 번째 상태에 대응하는 최대 프로그램 루프에 도달한 것으로 판별되면, 절차는 S130 단계로 진행할 것이다. S130 단계에서는 프로그램 동작이 프로그램 페일로 처리될 것이다. S180 단계를 참조하면, 만약 세 번째 상태의 프로그램 동작이 완료된 것으로 판별되면, S200 단계에서 프로그램 동작이 프로그램 패스로 처리될 것이다.

[0054] 예시적인 실시예에 있어서, 각 비트 라인에 연결된 스트링들의 채널들은 각 비트 라인을 0V로 구동하기에 앞서 전원 전압으로 충전될 것이다. 하지만, 각 비트 라인에 연결된 스트링들의 채널들은 각 비트 라인을 0V로 구동하기에 앞서 플로팅 상태로 유지될 수도 있다.

- [0055] 예시적인 실시예에 있어서, 현재 상태를 프로그램하는 데 필요한 프로그램 전압의 시작 레벨은 이전 상태를 프로그램할 때 사용된 프로그램 전압의 최종 레벨보다 낮게 설정될 것이다. 하지만, 현재 상태를 프로그램하는 데 필요한 프로그램 전압의 시작 레벨은 이전 상태를 프로그램할 때 사용된 프로그램 전압의 최종 레벨과 같게 설정될 수 있다.
- [0056] 예시적인 실시예에 있어서, 본 발명의 예시적인 실시예에 따른 프로그램 방법은 도 4에서 설명된 프로그램 방식에도 동일하게 적용될 것이다. 마찬가지로, 본 발명의 예시적인 실시예에 따른 프로그램 방법은 도 6에서 설명된 프로그램 방식에도 동일하게 적용될 것이다. LSB 프로그래밍시 스트링 선택 라인들은 1-비트 데이터에 의거하여 선택적으로 활성화되는 반면에, MSB 프로그래밍시 스트링 선택 라인들은 이니셜 읽기 동작을 통해 읽혀진 데이터(LSB 데이터)와 외부에서 제공되는 MSB 데이터에 의거하여 선택적으로 활성화될 것이다. LSB 데이터 및 MSB 데이터는 메모리(1522)에 저장될 것이다.
- [0057] 도 14는 본 발명의 다른 실시예에 따른 불 휘발성 메모리 장치의 프로그램 방법을 설명하기 위한 도면이다.
- [0058] 도 14를 참조하면, 첫 번째 상태를 프로그램하기 위한 프로그램 루프들이 종료되기 이전에, 두 번째 상태를 프로그램하기 위한 프로그램 루프들이 진행할 것이다. 즉, 첫 번째 상태의 프로그램 및 검증 동작들은 두 번째 상태의 프로그램 및 검증 동작들과 동시에 행해질 것이다. 마찬가지로, 두 번째 상태를 프로그램하기 위한 프로그램 루프들이 종료되기 이전에, 세 번째 상태를 프로그램하기 위한 프로그램 루프들이 진행할 것이다. 즉, 두 번째 상태의 프로그램 및 검증 동작들은 세 번째 상태의 프로그램 및 검증 동작들과 동시에 행해질 것이다. 도 14에 도시된 바와 같이, 공통으로 연결된 워드 라인들의 메모리 셀들이 첫 번째 내지 세 번째 상태들로 프로그램되는 동안, 프로그램 전압(Vpgm)은 일정한 기울기로 증가될 것이다. 공통으로 연결된 워드 라인들의 메모리 셀들은 2개의 상태들의 프로그램 및 검증 동작들이 동시에 수행되는 구간들(B100, B110)을 제외한 나머지 구간들에서 도 9에서 설명된 것과 실질적으로 동일한 방식으로 프로그램될 것이다.
- [0059] 2개의 상태들의 프로그램 및 검증 동작들이 동시에 수행되는 구간들(B100, B110) 각각에서 행해지는 스트링 선택 라인들의 동시 활성화는 도 9에서 설명된 것과 다르게 행해질 것이다. 예를 들면, 첫 번째 상태가 "10"이고, 두 번째 상태가 "00"이고, 세 번째 상태가 "01"이라고 가정하자. 구간(B100)에서는 첫 번째 및 두 번째 상태들 "10" 및 "00"에 대한 프로그램 및 검증 동작들이 동시에 수행되고, 구간(B110)에서는 두 번째 및 세 번째 상태들 "00" 및 "01"에 대한 프로그램 및 검증 동작들이 동시에 수행될 것이다. 이는 도 15 및 도 16을 참조하여 상세히 설명될 것이다. 첫 번째 및 두 번째 상태들이 동시에 프로그램되는 구간(B100)에서, 첫 번째 상태에 대한 검증 종료는 미리 정해진 프로그램 루프에서 자동적으로 종료될 것이다. 두 번째 및 세 번째 상태들이 동시에 프로그램되는 구간(B110)에서, 두 번째 상태에 대한 검증 종료는 미리 정해진 프로그램 루프에서 자동적으로 종료될 것이다. 마찬가지로, 세 번째 상태에 대한 검증 종료는 미리 정해진 프로그램 루프에서 자동적으로 종료될 것이다.
- [0060] 도 15는 도 14에서 설명된 프로그램 방법의 일 실시예를 설명하기 위한 도면이다. 프로그램 방법의 설명에 앞서, 각 워드 라인 층에 배열된 워드 라인들은 적어도 하나의 그룹을 구성하며, 그룹에 속한 워드 라인들(예를 들면, 4개의 워드 라인들)(예를 들면, WL11~WL14)은 전기적으로 연결된다고 가정하자. 또한, 6개의 비트 라인들(BL0~BL5)이 메모리 셀 어레이(1100)에 배열되며 동시에 프로그램될 데이터가 도 8에 도시된 것과 동일하다고 가정하자.
- [0061] 도 15를 참조하면, 공통으로 연결된 워드 라인들의 메모리 셀들을 첫 번째 상태로 프로그램하기 위한 복수의 프로그램 루프들(PL0~PL1) 각각은 스트링 선택 라인 셋업 및 비트 라인 충전 구간, 프로그램 실행 구간, 그리고 복수의 검증 구간들을 포함할 것이다. 프로그램 루프들(PL0~PL1) 각각의 구간들은 도 10에서 설명된 것과 실질적으로 동일하게 행해지며, 그것에 대한 설명은 그러므로 생략될 것이다.
- [0062] 프로그램 루프들(PL2~PL3)에서는 첫 번째 상태 및 두 번째 상태로의 프로그래밍이 동시에 행해질 것이다. 좀 더 구체적으로 설명하면, 프로그램 루프들(PL2~PL3) 각각의 스트링 선택 라인 셋업 및 비트 라인 충전 구간 동안, 스트링 선택 라인 제어 유닛(1520)의 선택 신호 발생기(1524)는 메모리(1522)에 저장된 데이터에 의거하여 스트링 선택 신호 그룹들의 스트링 선택 신호들을 선택적으로 활성화시킨다. 예를 들면, 도 8을 참조하면, 선택 신호 발생기(1524)는 비트 라인(BL0)에 연결될 그리고 첫 번째 및 두 번째 상태들(예를 들면, "01" 및 "00")로 프로그램될 메모리 셀들에 대응하는 스트링 선택 신호들(예를 들면, SS00, SS20, SS30)을 동시에 활성화시킬 것이다. 활성화된 스트링 선택 신호들(SS00, SS20, SS30)은 행 디코더 회로(1200)를 통해 대응하는 스트링 선택 라인들(SSL00, SSL20, SSL30)으로 각각 전달될 것이다. 이는 스트링 선택 라인들(SSL00, SSL20, SSL30)에 의해서 제어되는 트랜지스터들이 턴 온됨을 의미한다. 스트링 선택 라인들(SSL00, SSL20, SSL30)에 의

해서 제어되는 선택 트랜지스터들이 턴 온된 상태에서, 비트 라인(BL0)은 프로그램 스케줄러(1510)의 제어하에 페이지 버퍼(PB)를 통해 0V의 전압으로 충전될 것이다. 즉, 턴-온된 선택 트랜지스터들을 통해 스트링들의 채널들은 0V로 충전될 것이다. 턴-온된 선택 트랜지스터들을 통해 스트링들의 채널들이 0V로 충전된 후, 비트 라인(BL0)은 페이지 버퍼(PB)와 전기적으로 분리될 것이다. 비트 라인(BL0)에 연결된 스트링들의 선택적인 충전이 행해진 후, 비트 라인(BL1)에 연결된 스트링들의 선택적인 충전이 행해질 것이다. 비트 라인(BL1)에 연결된 스트링들의 선택적인 충전은 앞서 설명된 것과 실질적으로 동일하게 행해질 것이다. 마찬가지로, 나머지 비트 라인들(BL2~BL5) 각각과 관련된 선택적인 채널 충전 동작 역시 앞서 설명된 것과 실질적으로 동일하게 행해질 것이다.

[0063] 결과적으로, "01" 및 "00" 상태들로 프로그램될 메모리 셀들(전기적으로 연결된 워드 라인들(WL11~WL14)에 연결됨)을 포함한 스트링들의 채널들은 스트링 선택 라인 그룹들의 스트링 선택 라인들의 활성화 및 비트 라인들(BL0~BL5)의 순차적인 구동을 통해 0V의 전압으로 충전될 것이다.

[0064] 일단 "01" 및 "00" 상태들로 프로그램될 메모리 셀들(전기적으로 연결된 워드 라인들(WL11~WL14)에 연결됨)을 포함한 스트링들의 채널들이 0V의 전압으로 충전되면, 프로그램 실행 구간 동안 전기적으로 연결된 워드 라인들(WL11~WL14)로 프로그램 전압이 공급될 것이다. 즉, 프로그램 동작이 실행될 것이다. 프로그램 실행 구간에 이어서, 검증 전압들(Vvfy3, Vvfy2)을 이용하여 "01" 및 "00" 상태에 대한 검증 동작들이 도 15에 도시된 바와 같이 연속적으로 수행될 것이다. "01" 및 "00" 상태들의 검증 동작들은 스트링 선택 라인 그룹들이 순차적으로 활성화되는 상태에서 순차적으로 행해질 것이다. 검증 동작은 도 10에서 설명된 것과 실질적으로 동일하게 수행되며, 그것에 대한 설명은 그러므로 생략될 것이다.

[0065] 프로그램 루프(PL3) 이후에는 "01" 상태에 대한 프로그램 및 검증 동작들은 수행되지 않는다. 즉, "01" 상태에 대한 프로그램 및 검증 동작들은 정해진 프로그램 루프 횟수 이후 자동적으로 중지될 것이다.

[0066] 공통으로 연결된 워드 라인들의 메모리 셀들을 두 번째 상태로 프로그램하기 위한 프로그램 루프들(PL4~PL5) 각각은 스트링 선택 라인 셋업 및 비트 라인 충전 구간, 프로그램 실행 구간, 그리고 복수의 검증 구간들을 포함할 것이다. 프로그램 루프들(PL4~PL5) 각각의 구간들은 도 10에서 설명된 것과 실질적으로 동일하게 행해지며, 그것에 대한 설명은 그러므로 생략될 것이다.

[0067] 프로그램 루프들(PL6~PL7)에서는 두 번째 상태 및 세 번째 상태로의 프로그래밍이 동시에 행해질 것이다. 좀 더 구체적으로 설명하면, 프로그램 루프들(PL6~PL7) 각각의 스트링 선택 라인 셋업 및 비트 라인 충전 구간 동안, 스트링 선택 라인 제어 유닛(1520)의 선택 신호 발생기(1524)는 메모리(1522)에 저장된 데이터에 의거하여 스트링 선택 신호 그룹들의 스트링 선택 신호들을 선택적으로 활성화시킨다. 예를 들면, 도 8을 참조하면, 선택 신호 발생기(1524)는 비트 라인(BL0)에 연결될 그리고 두 번째 및 세 번째 상태들(예를 들면, "00" 및 "10")로 프로그램될 메모리 셀들에 대응하는 스트링 선택 신호들(예를 들면, SS10, SS20)을 동시에 활성화시킬 것이다. 활성화된 스트링 선택 신호들(SS10, SS20)은 행 디코더 회로(1200)를 통해 대응하는 스트링 선택 라인들(SSL10, SSL20)으로 각각 전달될 것이다. 이는 스트링 선택 라인들(SSL10, SSL20)에 의해서 제어되는 트랜지스터들이 턴 온됨을 의미한다. 스트링 선택 라인들(SSL10, SSL20)에 의해서 제어되는 트랜지스터들이 턴 온된 상태에서, 비트 라인(BL0)은 프로그램 스케줄러(1510)의 제어하에 페이지 버퍼(PB)를 통해 0V의 전압으로 충전될 것이다. 즉, 턴-온된 스트링 선택 트랜지스터들을 통해 스트링들의 채널들은 0V로 충전될 것이다. 턴-온된 스트링 선택 트랜지스터들을 통해 스트링들의 채널들이 0V로 충전된 후, 비트 라인(BL0)은 페이지 버퍼(PB)와 전기적으로 분리될 것이다. 비트 라인(BL0)에 연결된 스트링들의 선택적인 충전이 행해진 후, 비트 라인(BL1)에 연결된 스트링들의 선택적인 충전이 행해질 것이다. 비트 라인(BL1)에 연결된 스트링들의 선택적인 충전은 앞서 설명된 것과 실질적으로 동일하게 행해질 것이다. 마찬가지로, 나머지 비트 라인들(BL2~BL5) 각각과 관련된 선택적인 채널 충전 동작 역시 앞서 설명된 것과 실질적으로 동일하게 행해질 것이다.

[0068] 결과적으로, 두 번째 및 세 번째 상태들로 프로그램될 메모리 셀들(전기적으로 연결된 워드 라인들(WL11~WL14)에 연결됨)을 포함한 스트링들의 채널들은 스트링 선택 라인들의 활성화 및 비트 라인들(BL0~BL5)의 순차적인 구동을 통해 0V의 전압으로 충전될 것이다.

[0069] 일단 두 번째 및 세 번째 상태들로 프로그램될 메모리 셀들(전기적으로 연결된 워드 라인들(WL11~WL14)에 연결됨)을 포함한 스트링들의 채널들이 0V의 전압으로 충전되면, 프로그램 실행 구간 동안 전기적으로 연결된 워드 라인들(WL11~WL14)로 프로그램 전압이 공급될 것이다. 즉, 프로그램 동작이 실행될 것이다. 프로그램 실행 구간에 이어서, 검증 전압들(Vvfy2, Vvfy1)을 이용하여 두 번째 및 세 번째 상태들에 대한 검증 동작들이 도 15에 도시된 바와 같이 연속적으로 수행될 것이다. 두 번째 및 세 번째 상태들 각각의 검증 동작들은 스트링 선택 라

인 그룹들이 순차적으로 활성화되는 상태에서 순차적으로 행해질 것이다. 각 검증 동작은 도 10에서 설명된 것과 실질적으로 동일하게 수행되며, 그것에 대한 설명은 그러므로 생략될 것이다.

- [0070] 프로그램 루프(PL7) 이후에는 두 번째 상태에 대한 프로그램 및 검증 동작들은 수행되지 않는다. 즉, 두 번째 상태에 대한 프로그램 및 검증 동작들은 정해진 프로그램 루프 횟수 이후 자동적으로 중지될 것이다.
- [0071] 공통으로 연결된 워드 라인들의 메모리 셀들을 세 번째 상태로 프로그램하기 위한 프로그램 루프들(PL8~PL9) 각각은 스트링 선택 라인 셋업 및 비트 라인 충전 구간, 프로그램 실행 구간, 그리고 복수의 검증 구간들을 포함할 것이다. 프로그램 루프들(PL8~PL9) 각각의 구간들은 도 10에서 설명된 것과 실질적으로 동일하게 행해지며, 그것에 대한 설명은 그러므로 생략될 것이다.
- [0072] 도 16은 도 14에서 설명된 프로그램 방법의 다른 실시예를 설명하기 위한 도면이다. 도 16에 도시된 실시예는 다음과 같은 차이점을 제외하면 도 15에 도시된 것과 실질적으로 동일하며, 그것에 대한 설명은 그러므로 생략될 것이다.
- [0073] 첫 번째 및 두 번째 상태들이 동시에 프로그램되는 프로그램 루프들(PL2~PL3)을 참조하면, 첫 번째 및 두 번째 상태들의 검증 동작들은 하나의 스트링 선택 라인이 연속적으로 활성화된 상태에서 연속적으로 행해진다. 예를 들면, 첫 번째 상태의 검증 전압(Vvfy3)을 이용한 검증 동작과 두 번째 상태의 검증 전압(Vvfy2)을 이용한 검증 동작은 스트링 선택 라인 그룹(SSL00~SSL05)이 활성화될 때 연속적으로 수행된다. 이러한 검증 동작들은 나머지 스트링 선택 라인 그룹들에 대해서 반복적으로 행해질 것이다.
- [0074] 또한, 두 번째 및 세 번째 상태들이 동시에 프로그램되는 프로그램 루프들(PL6~PL7)을 참조하면, 두 번째 및 세 번째 상태들의 검증 동작들은 하나의 스트링 선택 라인이 연속적으로 활성화된 상태에서 연속적으로 행해진다. 예를 들면, 두 번째 상태의 검증 전압(Vvfy2)을 이용한 검증 동작과 세 번째 상태의 검증 전압(Vvfy1)을 이용한 검증 동작은 스트링 선택 라인 그룹(SSL00~SSL05)이 활성화될 때 연속적으로 수행된다. 이러한 검증 동작들은 나머지 스트링 선택 라인 그룹들에 대해서 반복적으로 행해질 것이다.
- [0075] 도 17은 본 발명의 다른 실시예에 따른 불 휘발성 메모리 장치를 개략적으로 보여주는 블록도이다.
- [0076] 도 17에 도시된 불 휘발성 메모리 장치(1000A)는 도 3에서 설명된 메모리(1700)가 제어 로직(1500)의 외부에 제공된다는 점을 제외하면 도 1 및 도 3에서 설명된 것과 실질적으로 동일하며, 그것에 대한 그러므로 생략될 것이다.
- [0077] 도 18은 본 발명의 또 다른 실시예에 따른 불 휘발성 메모리 장치를 개략적으로 보여주는 블록도이다.
- [0078] 도 18을 참조하면, 본 발명의 또 다른 실시예에 따른 불 휘발성 메모리 장치(2000)는 메모리 셀 어레이(2100), 행 디코더 회로(2200), 열 디코더 회로(2300), 읽기 및 쓰기 블록(2400), 제어 로직(2500), 그리고 전압 발생 회로(2600)를 포함할 것이다. 도 18에 도시된 구성 요소들(2100, 2200, 2300, 2600)은 도 1에 도시된 것과 실질적으로 동일하며, 그것에 대한 설명은 그러므로 생략될 것이다.
- [0079] 읽기 및 쓰기 블록(2400)은 제어 로직(2500)의 제어에 응답하여 동작하며, 각 프로그램 루프의 스트링 선택 라인 셋업 및 비트 라인 충전 구간에서 메모리 셀 어레이(2100)의 비트 라인들을 순차적으로 비트 라인 프로그램 전압(예를 들면, 0V)으로 구동할 것이다. 읽기 및 쓰기 블록(2400)은 각 워드 라인 층의 공통으로 연결된 워드 라인들의 메모리 셀들에 동시에 프로그램될 데이터를 임시 저장하는 복수의 페이지 버퍼 세트들(2410)을 포함할 것이다. 복수의 페이지 버퍼 세트들(2410)은 각 프로그램 루프의 스트링 선택 라인 셋업 및 비트 라인 충전 구간에서 프로그램될 데이터 값들에 따라 메모리 셀들에 저장될 상태를 나타내는 상태 정보(SI0~SIi)를 제어 로직(2500)으로 제공하며, 이는 이후 상세히 설명될 것이다.
- [0080] 제어 로직(2500)은 불 휘발성 메모리 장치(2000)의 전반적인 동작을 제어하도록 구성될 것이다. 제어 로직(2500)은 프로그램 스케줄러(2510)와 선택 신호 발생기(2520)를 포함할 것이다. 프로그램 스케줄러(2510)는 프로그램 동작을 제어하도록 구성되며, 선택 신호 발생기(2520)는 복수의 페이지 버퍼 세트들(2410)로부터 제공되는 상태 정보(SI0~SIi)에 응답하여 복수의 그룹들의 스트링 선택 신호들(SS00~SS0j)~(SSI0~SSIj)을 발생할 것이다. 복수의 그룹들의 스트링 선택 신호들(SS00~SS0j)~(SSI0~SSIj)은 행 디코더 회로(2200)를 통해 스트링 선택 라인들(예를 들면, 공통으로 연결된 워드 라인들에 각각 대응함)으로 전달될 것이다.
- [0081] 도 19는 도 18에 도시된 읽기 및 쓰기 블록을 개략적으로 보여주는 블록도이다.
- [0082] 도 19를 참조하면, 읽기 및 쓰기 블록(2400)은 복수의 페이지 버퍼 세트들(2411~2413)을 포함할 것이다. 페이지

지 버퍼 세트들(2411~2413) 각각은 비트 라인들(BL0~BLj)에 각각 대응하는 복수의 페이지 버퍼들(PB)을 포함할 것이다. 페이지 버퍼 세트들(2411~2413)은 각 워드 라인 층의 공통으로 연결된 워드 라인들에 각각 대응할 것이다. 즉, 페이지 버퍼 세트들(2411~2413)은 각 워드 라인 층의 공통으로 연결된 워드 라인들의 메모리 셀들에 동시에 저장될 데이터를 저장할 것이다. 예를 들면, 도 2에서 설명된 바와 같이, 4개의 워드 라인들이 전기적으로 연결되는 경우, 읽기 및 쓰기 블록(2400)은 적어도 4개의 페이지 버퍼 세트들을 포함할 것이다. 페이지 버퍼 세트들(2411~2413)에 저장되는 데이터는 도 8에서 설명된 바와 같은 데이터를 구성할 것이다. 페이지 버퍼 세트(2411)의 페이지 버퍼들(PB) 각각은 프로그램될 데이터 비트들을 저장하기 위한 적어도 2개의 데이터 래치들(DL1, DL2), 제어 로직(2500)의 제어에 응답하여 데이터 래치들(DL1, DL2)에 저장된 데이터 비트들을 논리적으로 조합하기 위한 스위치 회로(SW), 그리고 스위치 회로(SW)에 의해서 조합된 상태 정보(SI)를 래치하기 위한 상태 래치(SL)를 포함할 것이다.

[0083] 도 18에 도시된 불 휘발성 메모리 장치는 각 워드 라인 층에 포함된 공통으로 연결된 워드 라인들의 메모리 셀들을 동시에 프로그램하도록 구성될 것이다. 도 18에 도시된 불 휘발성 메모리 장치의 프로그램 동작은 다음과 같은 점을 제외하면 도 9에서 설명된 것과 실질적으로 동일하게 행해질 것이다. 도 9에서 설명된 프로그램 방법의 경우, 복수의 그룹들의 스트링 선택 신호들의 활성화가 메모리(1522)에 저장된 데이터에 의거하여 행해진다. 이에 반면, 도 18에 도시된 불 휘발성 메모리 장치(2000)의 경우, 복수의 그룹들의 스트링 선택 신호들(SS00~SS0j)~(SSi0~SSij)의 활성화는 페이지 버퍼 세트들(2411~2413)로부터 제공되는 상태 정보에 의거하여 행해진다.

[0084] 예를 들면, "01" 상태의 프로그램 동작의 경우, 데이터 래치들(DL1, DL2)에 저장된 데이터 값들의 상태는 제어 로직(2500)에 의해서 제어되는 스위치 회로(SW)를 통해 비트 라인(BL0)에 반영될 것이다. 예를 들면, 공통으로 연결된 워드 라인들의 메모리 셀들이 "01" 상태로 프로그램된다고 가정하자. 만약 데이터 래치들(DL1, DL2)에 저장된 데이터 값들의 상태가 "01" 상태이면, 비트 라인(BL0)은 스위치 회로(SW)를 통해 접지 전압으로 설정될 것이다. 이때, 상태 래치(SL)에도 로우-레벨 신호가 래치될 것이다. 로우-레벨 신호가 래치되는 경우, 상태 래치(SL)는 로우 레벨의 상태 정보(SI)를 출력할 것이다. 로우 레벨의 상태 정보(SI)는 비트 라인(BL0)에 연결된 페이지 버퍼(PB)에 저장된 데이터가 프로그램될 데이터임을 나타낸다. 즉, "01" 상태의 프로그램 동작시, 데이터 래치들(DL1, DL2)에 저장된 데이터 값들의 상태가 "01" 상태인 경우 로우 레벨의 상태 신호(SI)가 제어 로직(2500)의 선택 신호 발생기(2520)로 제공될 것이다. 이에 반해서, "01" 상태의 프로그램 동작시 데이터 래치들(DL1, DL2)에 저장된 데이터 값들의 상태가 "00", "10", 또는 "11" 상태인 경우 하이 레벨의 상태 신호(SI)가 제어 로직(2500)의 선택 신호 발생기(2520)로 제공될 것이다. 상태 정보는 앞서 설명된 것과 동일한 방식에 따라 각 열에 속한 페이지 버퍼들(PB)에 의해서 생성될 것이다.

[0085] "01" 상태의 프로그램 동작시, 하나의 비트 라인(예를 들면, BL0)에 연결된 페이지 버퍼들(PB)은 상태 신호들(SI0~SIi)을 발생하며, 선택 신호 발생기(2520)는 상태 신호들(SI0~SIi)에 응답하여 복수의 그룹들의 스트링 선택 신호들 모두 또는 일부를 동시에 활성화시킨다. 예를 들면, 선택 신호 발생기(2520)는 상태 신호들(SI0~SIi) 중 로우 레벨의 상태 신호들에 대응하는 임의의 열에 속한 스트링 선택 신호들을 동시에 활성화시킨다. 앞서 설명된 방식에 따라 스트링 선택 라인들의 활성화가 결정되며, 각 비트 라인 역시 앞서 설명된 방식에 따라 접지 전압으로 구동될 것이다. 결과적으로, 공통으로 연결된 워드 라인들의 메모리 셀들은 동시에 프로그램될 것이다. 도 18에 도시된 불 휘발성 메모리 장치 역시 도 10, 도 15, 도 16에서 설명된 검증 방식들 중 어느 하나를 이용하여 검증 동작을 수행할 것이다.

[0086] "01" 상태의 프로그램 동작과 마찬가지로, 나머지 상태들 각각의 프로그램 동작 역시 페이지 버퍼 세트들을 이용한 스트링 선택 라인들의 활성화 및 비트 라인의 구동과 동일한 방식으로 행해지며, 그것에 대한 설명은 그러므로 생략될 것이다.

[0087] 도 20은 본 발명의 예시적인 실시예에 따른 불 휘발성 메모리 장치를 포함한 데이터 저장 장치를 개략적으로 보여주는 블록도이다.

[0088] 도 20을 참조하면, 데이터 저장 장치(3000)는 저장 매체(3100)와 제어기(3200)를 포함할 것이다. 저장 매체(3100)는 텍스트, 그래픽, 소프트웨어 코드, 등과 같은 다양한 데이터 형태들을 갖는 데이터 정보를 저장하는데 사용될 것이다. 저장 매체(3100)는 도 1, 도 17, 또는 도 18에서 설명된 불 휘발성 메모리 장치로 구성되며, 불 휘발성 메모리 장치는 각 워드 라인 층의 공통으로 연결된 워드 라인들의 메모리 셀들을 동시에 프로그램하도록 구성될 것이다. 이는 앞서 설명된 것과 실질적으로 동일하게 수행되며, 그것에 대한 설명은 그러므로 생략될 것이다. 제어기(3200)는 외부 요청에 응답하여 저장 매체(3100)를 제어하도록 구성될 것이다.

- [0089] 도 21은 본 발명의 예시적인 실시예에 따른 도 20에 도시된 제어기를 개략적으로 보여주는 블록도이다. 도 21를 참조하면, 본 발명의 예시적인 실시예에 따른 제어기(3200)는 제 1 인터페이스(3210), 제 2 인터페이스(3220), 처리 유닛(3230), 버퍼(3240), ECC 유닛(3250), 그리고 롬(3260)을 포함할 것이다.
- [0090] 제 1 인터페이스(3210)는 외부(또는, 호스트)와 인터페이스하도록 구성될 것이다. 제 2 인터페이스(3220)는 도 20에 도시된 저장 매체(3100)와 인터페이스하도록 구성될 것이다. 처리 유닛(3230)는 제어기(3200)의 전반적인 동작을 제어하도록 구성될 것이다. 예를 들면, 처리 유닛(3230)는 롬(3260)에 저장된 플래시 변환 계층(Flash Translation Layer: FTL)과 같은 펌웨어를 운용하도록 구성될 것이다. 버퍼(3240)는 제 1 인터페이스(3210)를 통해 외부로부터 전달되는 데이터를 임시 저장하는 데 사용될 것이다. 버퍼(3240)는 제 2 인터페이스(3220)를 통해 저장 매체(3100)로부터 전달되는 데이터를 임시 저장하는 데 사용될 것이다. ECC 유닛(3250)는 저장 매체(3100)에 저장될 데이터를 부호화하도록 그리고 저장 매체(3100)로부터 읽혀진 데이터를 복호화하도록 구성될 것이다.
- [0091] 도 22는 본 발명의 예시적인 실시예들에 따른 불 휘발성 메모리 장치를 이용한 반도체 드라이브를 개략적으로 보여주는 블록도이다.
- [0092] 도 22를 참조하면, 반도체 드라이브(4000)(SSD)는 저장 매체(4100)와 제어기(4200)를 포함할 것이다. 저장 매체(4100)는 복수의 채널들을 통해 제어기(4200)와 연결될 것이다. 각 채널에는 복수의 불 휘발성 메모리들이 공통으로 연결될 것이다. 각 불 휘발성 메모리는, 도 1, 도 17, 또는 도 18에서 설명된 바와 같이, 각 워드 라인 층의 공통으로 연결된 워드 라인들의 메모리 셀들을 동시에 프로그램하도록 구성될 것이다. 제어기(4200)는 저장 매체(4100)를 제어하도록 구성될 것이다.
- [0093] 도 23은 도 22에 도시된 반도체 드라이브를 이용한 스토리지를 개략적으로 보여주는 블록도이고, 도 24는 도 22에 도시된 반도체 드라이브를 이용한 스트리지 서버를 개략적으로 보여주는 블록도이다.
- [0094] 본 발명의 예시적인 실시예에 따른 반도체 드라이브(4000)는 스토리지를 구성하는 데 사용될 수 있다. 도 23에 도시된 바와 같이, 스토리지는 도 22에서 설명된 것과 실질적으로 동일하게 구성되는 복수의 반도체 드라이브들을 포함할 것이다. 본 발명의 예시적인 실시예에 따른 반도체 드라이브(4000)는 스토리지 서버를 구성하는 데 사용될 수 있다. 도 24에 도시된 바와 같이, 스토리지 서버는 도 22에서 설명된 것과 실질적으로 동일하게 구성되는 복수의 반도체 드라이브들(4000)과 서버(4000A)를 포함할 것이다. 또한, 이 분야에 잘 알려진 RAID 제어기(4000B)가 스토리지 서버에 제공될 수 있음은 잘 이해될 것이다.
- [0095] 도 25 내지 도 27은 본 발명의 예시적인 실시예들에 따른 데이터 저장 장치가 적용되는 시스템들을 개략적으로 보여주는 도면들이다.
- [0096] 본 발명의 예시적인 실시예들에 따른 데이터 저장 장치를 포함한 반도체 드라이브가 스토리지에 적용되는 경우, 도 25에 도시된 바와 같이, 시스템(6000)은 유선 그리고/또는 무선으로 호스트와 통신하는 스토리지(6100)를 포함할 것이다. 본 발명의 예시적인 실시예들에 따른 데이터 저장 장치를 포함한 반도체 드라이브가 스토리지 서버에 적용되는 경우, 도 26에 도시된 바와 같이, 시스템(7000)은 유선 그리고/또는 무선으로 호스트와 통신하는 스토리지 서버들(7100, 7200)을 포함할 것이다. 또한, 도 27에 도시된 바와 같이, 본 발명의 예시적인 실시예에 따른 데이터 저장 장치를 포함한 반도체 드라이브는 메일 서버(8100)에도 적용될 수 있다.
- [0097] 도 28 내지 도 32은 본 발명의 예시적인 실시예들에 따른 불 휘발성 메모리 장치가 적용되는 다른 시스템들을 개략적으로 보여주는 도면들이다.
- [0098] 도 28은 본 발명의 실시예들에 따른 불 휘발성 메모리 장치가 사용되는 휴대폰 시스템(cellular phone system)을 개략적으로 보여주는 블록도이다.
- [0099] 도 28을 참조하면, 휴대폰 시스템은 소리를 압축하거나 압축된 소리를 푸는(compression or decompression) ADPCM 코덱 회로(9202), 스피커(speaker)(9203), 마이크로폰(microphone)(9204), 디지털 데이터를 시분할 멀티플렉싱하는 TDMA회로(9206), 무선 신호의 캐리어 주파수(carrier frequency)를 세팅하는 PLL회로(9210), 무선 신호를 전달하거나 받기 위한 RF 회로(9211) 등을 포함할 수 있다.
- [0100] 또한, 휴대폰 시스템은 여러가지 종류의 메모리 장치를 포함할 수 있는데, 예를 들어, 휴대폰 시스템은 불 휘발성 메모리 장치(9207), ROM(9208), SRAM(9209)를 포함할 수 있다. 휴대폰 시스템의 불 휘발성 메모리 장치(9207)로서, 예를 들어, 본 발명의 예시적인 실시예들에 따른 불 휘발성 메모리 장치가 사용될 수 있다. ROM(9208)은 프로그램을 저장할 수 있고, SRAM(9209)은 시스템 컨트롤 마이크로컴퓨터(9212)를 위한 작업 영역

으로써 역할을 하거나 데이터를 일시적으로 저장한다. 여기서, 시스템 컨트롤 마이크로컴퓨터(9212)는 프로세서로서, 불 휘발성 메모리 장치(9207)의 라이트 동작 및 리드 동작을 제어할 수 있다.

- [0101] 도 29는 본 발명의 실시예들에 따른 불 휘발성 메모리 장치가 사용되는 메모리 카드(memory card)의 예시적 도면이다. 메모리 카드는 예를 들어, MMC 카드, SD카드, 멀티유즈(multiuse) 카드, 마이크로 SD카드, 메모리 스틱, 콤팩트 SD 카드, ID 카드, PCMCIA 카드, SSD카드, 칩카드(chipcard), 스마트카드(smartcard), USB카드 등일 수 있다.
- [0102] 도 29를 참조하면, 메모리 카드는 외부와의 인터페이스를 수행하는 인터페이스부(9221), 버퍼 메모리를 갖고 메모리 카드의 동작을 제어하는 컨트롤러(9222), 본 발명의 실시예들에 따른 불 휘발성 메모리 장치(9207)를 적어도 하나 포함할 수 있다. 컨트롤러(9222)는 프로세서로서, 불 휘발성 메모리 장치(9207)의 라이트 동작 및 리드 동작을 제어할 수 있다. 구체적으로, 컨트롤러(9222)는 데이터 버스(DATA)와 어드레스 버스(ADDRESS)를 통해서 불 휘발성 메모리 장치(9207), 인터페이스부(9221)와 커플링되어 있다.
- [0103] 도 30은 본 발명의 실시예들에 따른 불 휘발성 메모리 장치가 사용되는 디지털 스틸 카메라(digital still camera)의 예시적 도면이다.
- [0104] 도 30을 참조하면, 디지털 스틸 카메라는 바디(9301), 슬롯(9302), 렌즈(9303), 디스플레이부(9308), 셔터 버튼(9312), 스트로브(strobe)(9318) 등을 포함한다. 특히, 슬롯(9308)에는 메모리 카드(9331)가 삽입될 수 있고, 메모리 카드(9331)는 본 발명의 실시예들에 따른 불 휘발성 메모리 장치(9207)를 적어도 하나 포함할 수 있다.
- [0105] 메모리 카드(9331)가 접촉형(contact type)인 경우, 메모리 카드(9331)가 슬롯(9308)에 삽입될 때 메모리 카드(9331)와 회로 기판 상의 특정 전기 회로가 전기적으로 접촉하게 된다. 메모리 카드(9331)가 비접촉형(non-contact type)인 경우, 무선 신호를 통해서 메모리 카드(9331)가 액세스될 것이다.
- [0106] 도 31은 도 30의 메모리 카드가 사용되는 다양한 시스템을 설명하는 예시적 도면이다.
- [0107] 도 31을 참조하면, 메모리 카드(9331)는 (a) 비디오 카메라, (b) 텔레비전, (c) 오디오 장치, (d) 게임장치, (e) 전자 음악 장치, (f) 휴대폰, (g) 컴퓨터, (h) PDA(Personal Digital Assistant), (i) 보이스 레코더(voice recorder), (j) PC 카드 등에 사용될 수 있다.
- [0108] 도 32는 본 발명의 실시예들에 따른 비휘발성 메모리 장치가 사용되는 이미지 센서(image sensor) 시스템의 예시적 도면이다.
- [0109] 도 32를 참조하면, 이미지 센서 시스템은 이미지 센서(9332), 입출력 장치(9336), RAM(9348), CPU(9344), 본 발명의 실시예들에 따른 불 휘발성 메모리 장치(9354) 등을 포함할 수 있다. 각 구성요소, 즉, 이미지 센서(9332), 입출력 장치(9336), RAM(9348), CPU(9344), 불 휘발성 메모리 장치(9354)는 버스(9352)를 통해서 서로 통신한다. 이미지 센서(9332)는 포토게이트, 포토다이오드 등과 같은 포토센싱(photo sensing) 소자를 포함할 수 있다. 각각의 구성 요소는 프로세서와 함께 하나의 칩으로 구성될 수도 있고, 프로세서와 각각 별개의 칩으로 구성될 수도 있다.
- [0110] 도 33 내지 도 43은 본 발명의 실시예에 따른 불 휘발성 메모리 장치의 제조 방법을 설명하기 위한 사시도들이다.
- [0111] 도 33을 참조하면, 기판(10) 상에 주형 구조체(100)를 형성한다. 기판(10)은 반도체 특성을 갖는 물질들, 절연성 물질들, 절연성 물질에 의해 덮인 반도체 또는 도전체 중의 하나일 수 있다. 예를 들면, 기판(10)은 실리콘 웨이퍼일 수 있다. 주형 구조체(100)는 복수의 절연막들(121~129: 120) 및 복수의 희생막들(131~138: 130)을 포함할 수 있다. 절연막들(120) 및 희생막들(130)은, 도시된 것처럼, 교대로 그리고 반복적으로 적층될 수 있다. 희생막(130)은 절연막(120)에 대해 식각 선택성을 가지고 식각될 수 있는 물질로 형성될 수 있다. 즉, 소정의 식각 레시피를 사용하여 희생막(130)을 식각하는 공정에서, 희생막(130)은 절연막(120)의 식각을 최소화하면서 식각될 수 있는 물질로 형성될 수 있다.
- [0112] 도 34 및 도 35를 참조하면, 주형 구조체(100)를 관통하는 개구부들(105)을 형성한 후, 개구부들(105)의 내벽들을 콘포말하게 덮는 수직막(150)을 형성한다. 수직막(150)은 개구부들(105)로부터 수평적으로 연장되어 주형 구조체(100)의 상부면을 덮을 수도 있다. 개구부들(105)을 형성하는 단계는 주형 구조체(100) 상에 개구부들(105)의 위치를 정의하는 소정의 마스크 패턴을 형성하는 단계 및 이를 식각 마스크로 사용하여 주형 구조체(100)를 이방성 식각하는 단계를 포함할 수 있다. 한편, 주형 구조체(100)는 적어도 두 종류의 서로 다른 막들을 포

함하기 때문에, 개구부(105)의 측벽은 기판(10)의 상부면에 완전하게 수직하지 않을 수 있다.

- [0113] 한편, 주형 구조체(100)가 기판(10) 상에 직접 형성되는 실시예의 경우, 개구부(105)는 도시된 것처럼 기판(10)의 상부면을 노출시키도록 형성될 수 있다. 이에 더하여, 이방성 식각 단계에서의 과도식각(over-etch)의 결과로서, 도시된 것처럼 개구부(105) 아래의 기판(10)은 소정의 깊이로 리세스될 수 있다. 수직막(150)은 하나의 박막 또는 복수의 박막들로 구성될 수 있다. 예를 들면, 수직막(150)은 전하트랩형 비휘발성 메모리 트랜지스터의 메모리 요소로서 사용되는 박막들 중의 적어도 하나를 포함할 수 있다.
- [0114] 도 36을 참조하면, 개구부들(105) 각각의 내벽을 차례로 덮는 수직 패턴(155) 및 반도체 스페이서(165)를 형성한다. 이 단계는 수직막(150)이 형성된 결과물을 콘포말하게 덮는 제 1 반도체막을 형성한 후, 제 1 반도체막 및 수직막(150)을 이방성 식각하여 개구부들(105)의 바닥에서 기판(10)의 상부면을 노출시키는 단계를 포함할 수 있다. 이에 따라, 수직 패턴(155) 및 반도체 스페이서(165)는 열린 양단을 갖는 원통 모양으로 형성될 수 있다. 또한, 제 1 반도체막을 이방성 식각하는 단계에서의 과도식각(over-etch)의 결과로서, 도시된 것처럼, 반도체 스페이서(165)에 의해 노출되는 기판(10)의 상부면은 리세스될 수 있다.
- [0115] 도 37 및 도 38을 참조하면, 수직 패턴(155)이 형성된 결과물 상에 제 2 반도체막(170) 및 매립 절연막(180)을 차례로 형성한다.
- [0116] 제 2 반도체막(170)은 원자층 증착(ALD) 또는 화학적 기상 증착(CVD) 기술들 중의 한가지를 사용하여 형성되는 다결정 실리콘막일 수 있다. 일 실시예에 따르면, 제 2 반도체막(170)은 개구부(105)를 완전히 매립하지 않는 두께를 가지고 콘포말하게 형성될 수 있다. 즉, 도시된 것처럼, 제 2 반도체막(170)은 개구부(105) 내에 핀홀(105a)을 정의할 수 있다. 매립 절연막(180)은 핀홀(105a)을 채우도록 형성될 수 있으며, 에스오지 기술을 이용하여 형성되는 절연성 물질들 및 실리콘 산화막 중의 한가지일 수 있다.
- [0117] 도 39를 참조하면, 주형 구조체(100)를 관통하면서 희생막들(130) 및 절연막들(120)의 측벽들을 노출시키는 트렌치들(200)을 형성한다. 트렌치들(200)은 도시된 것처럼 개구부들(105)로부터 이격되어 이들 사이를 가로지를 수 있다. 트렌치들(200)을 형성하는 단계는 주형 구조체(100)의 상부 또는 매립 절연막(180)의 상부에 식각 마스크를 형성한 후, 기판(10)의 상부면이 노출될 때까지 식각 마스크 아래의 막들을 이방성 식각하는 단계를 포함할 수 있다. 이에 따라, 도시된 것처럼, 주형 구조체(100)의 상부에서 제 2 반도체막(170) 및 매립 절연막(180)은 패턴되어 트렌치들(200)의 상부 입구들을 정의할 수 있다. 이방성 식각 단계에서의 과도식각(over-etch)의 결과로서, 도시된 것처럼 트렌치(200) 아래의 기판(10)은 소정의 깊이로 리세스될 수 있다.
- [0118] 도 40을 참조하면, 노출된 희생막들(130)을 선택적으로 제거하여 절연막들(120) 사이에 리세스 영역들(210)을 형성한다. 리세스 영역들(210)은 트렌치들(200)로부터 수평적으로 연장되어 형성되는 갭 영역일 수 있으며, 수직 패턴들(155)의 측벽들을 노출시키도록 형성된다. 보다 구체적으로, 리세스 영역(210)의 외곽 경계(outer boundary)는 그것의 상/하부에 위치하는 절연막들(120) 및 그것의 양측에 위치하는 트렌치들(200)에 의해 한정된다. 또한, 리세스 영역(210)의 내부 경계(internal boundary)는 그것을 수직하게 관통하는 수직 패턴들(155)에 의해 정의된다. 리세스 영역들(210)을 형성하는 단계는 절연막들(120) 및 수직 패턴들(155)에 대해 식각 선택성을 갖는 식각 레시피를 사용하여 희생막들(130)을 수평적으로 식각하는 단계를 포함할 수 있다. 예를 들면, 희생막들(130)이 실리콘 질화막이고 절연막들(120)이 실리콘 산화막인 경우, 수평적 식각 단계는 인산을 포함하는 식각액을 사용하여 수행될 수 있다.
- [0119] 도 41을 참조하면, 리세스 영역들(210)을 채우는 수평 구조체들(HS)을 형성한다. 수평 구조체(HS)는 리세스 영역(210)의 내벽을 덮는 수평 패턴들(220) 및 리세스 영역(210)의 나머지 공간을 채우는 도전 패턴(230)을 포함할 수 있다. 수평 구조체들(HS)을 형성하는 단계는 리세스 영역들(210)을 차례로 채우는 수평막 및 도전막을 차례로 형성한 후, 트렌치들(200) 내에서 도전막을 제거하여 리세스 영역들(210) 내에 도전 패턴들(230)을 남기는 단계를 포함할 수 있다. 수평막 또는 수평 패턴들(220)은, 수직막(150)의 경우와 유사하게, 하나의 박막 또는 복수의 박막들로 구성될 수 있다. 일 실시예에 따르면, 수평 패턴(220)이 전하트랩형 비휘발성 메모리 트랜지스터의 블록킹 유전막을 포함할 수 있다.
- [0120] 불 휘발성 메모리 장치를 위한 본 발명의 일 실시예에 따르면, 도전 패턴들(230)을 형성한 후, 불순물 영역들(240)을 형성하는 단계가 더 실시될 수 있다. 불순물 영역들(240)은 이온 주입 공정을 통해 형성될 수 있으며, 트렌치(200)를 통해 노출된 기판(10) 내에 형성될 수 있다. 한편, 불순물 영역들(240)은 기판(10)과 다른 도전형을 가질 수 있다. 이와 달리, 제 2 반도체막(170)과 접하는 기판(10)의 영역(이하, 콘택 영역)은 기판(10)과 동일한 도전형을 가질 수 있다. 이에 따라, 불순물 영역들(240)은 기판(10) 또는 제 2 반도체막(170)과 피엔-접

합을 구성할 수 있다.

- [0121] 일 실시예에 따르면, 불순물 영역들(240) 각각은 서로 연결되어 등전위 상태에 있을 수 있다. 다른 실시예에 따르면, 불순물 영역들(240) 각각은 서로 다른 전위를 가질 수 있도록 전기적으로 분리될 수 있다. 또 다른 실시예에 따르면, 불순물 영역들(240)은, 서로 다른 복수의 불순물 영역들을 포함하는, 독립적인 복수의 소오스 그룹들을 구성할 수 있으며, 소오스 그룹들 각각은 서로 다른 전위를 갖도록 전기적으로 분리될 수 있다.
- [0122] 도 42를 참조하면, 트렌치들(200)을 채우는 전극 분리 패턴(250)을 형성한다. 전극 분리 패턴(250)을 형성하는 단계는 불순물 영역들(240)이 형성된 결과물 상에 전극 분리막을 형성한 후, 그 결과물을 식각하여 주형 구조체(100)의 상부면을 노출시키는 단계를 포함할 수 있다. 전극 분리막은 실리콘 산화막, 실리콘 질화막 및 실리콘 산화질화막 중의 적어도 한가지로 형성될 수 있으며, 식각 단계는 화학적-기계적 연마 기술 또는 에치백 기술과 같은 평탄화 기술을 사용하여 실시될 수 있다. 평탄화 식각의 결과로서, 매립 절연막(180) 및 제 2 반도체막(170)은, 도시된 것처럼 개구부들(105) 각각의 내부에 국소적으로 배치되는, 매립 패턴들(185) 및 반도체 몸체부들(175)을 형성할 수 있다.
- [0123] 본 발명의 일 실시예에 따르면, 수직 패턴(155), 반도체 스페이서(165) 및 반도체 몸체부(175)는 하나의 수직 구조체(VS)를 구성할 수 있으며, 기판(10) 상에는, 주형 구조체(100)를 관통하면서 2차원적으로 배열되는, 복수의 수직 구조체들(VS)이 형성될 수 있다. 상술한 구성에 따르면, 수직 구조체들(VS)이 배치되는 위치는 개구부들(105)에 의해 정의된다. 한편, 매립 패턴(185) 역시 수직 구조체(VS)를 구성할 수 있다.
- [0124] 도 43을 참조하면, 수직 구조체들(VS) 각각의 상부에는 상부 플러그들(260)이 형성되고, 상부 플러그들(260)의 상부에는 이들을 연결하는 상부 배선들(270)이 형성될 수 있다.
- [0125] 일 실시예에 따르면, 반도체 스페이서(165) 및 반도체 몸체부(175)의 상부 영역은 상부 불순물 영역(미도시)을 가질 수 있다. 상부 불순물 영역의 바닥은 수평 구조체들(HS) 중의 최상층의 상부면보다 높을 수 있다. 또한, 상부 불순물 영역은 그것의 아래에 위치하는 반도체 스페이서(165)의 일부분과 다른 도전형으로 도핑될 수 있다. 이에 따라, 상부 불순물 영역은 그 하부 영역과 다이오드를 구성할 수 있다. 이 실시예에 따르면, 상부 플러그들(260)은 도핑된 실리콘 및 금속성 물질들 중의 한가지일 수 있다.
- [0126] 다른 실시예에 따르면, 상부 플러그들(260)은 반도체 스페이서(165) 및 반도체 몸체부(175)과 다른 도전형으로 도핑된 실리콘막일 수 있다. 이 경우, 상부 플러그들(260)은 반도체 스페이서(165) 및 반도체 몸체부(175)과 피연 접합을 구성할 수 있다.
- [0127] 상부 배선들(270) 각각은 상부 플러그(260)를 통해 반도체 스페이서(165) 및 반도체 몸체부(175)에 전기적으로 연결될 수 있으며, 수평 구조체들(HS)을 가로지르도록 형성될 수 있다. 불 휘발성 메모리 장치를 위한 실시예에 따르면, 상부 배선들(270)은 복수의 셀 스트링들의 일단들에 접속하는 비트라인들로 사용될 수 있다.
- [0128] 도 44는 본 발명의 또 다른 실시예에 따른 불 휘발성 메모리 장치를 개략적으로 보여주는 블록도이다.
- [0129] 도 44를 참조하면, 불 휘발성 메모리 장치(10000)는 복수의 메모리 블록들을 갖는 메모리 셀 어레이(11000)를 포함한다. 메모리 셀 어레이(11000)의 메모리 블록들은 복수의 비트 라인들(BL<sub>0</sub>~BL<sub>m-1</sub>)을 공유하도록 구성될 것이다. 즉, 메모리 셀 어레이(11000)는 2차원 어레이 구조를 갖도록 구성될 것이다. 메모리 블록들 각각은 비트 라인들(BL<sub>0</sub>~BL<sub>m-1</sub>)에 각각 대응하는 복수의 스트링들을 포함할 것이다. 각 메모리 블록의 스트링들은 스트링 선택 라인(SSL)에 의해서 공통으로 제어되는 선택 트랜지스터들을 통해 대응하는 비트 라인들(BL<sub>0</sub>~BL<sub>m-1</sub>)에 연결될 것이다. 메모리 블록들에 배열된 선택 라인들(SSL)은 행 디코더 회로(12000)에 연결될 것이다. 비트 라인들(BL<sub>0</sub>~BL<sub>m-1</sub>)은 페이지 버퍼들로 구성된 읽기 및 쓰기 블록(1300)에 연결될 것이다. 제어 로직(14000)은 메모리 블록들 모두 또는 일부에 배열된 선택 라인들(SSL)을 동시에 활성화시키도록 행 디코더 회로(12000)를 제어할 것이다. 이는 앞서 설명된 것과 실질적으로 동일하게 행해질 것이다. 제어 로직(14000)은 메모리 블록들 모두 또는 일부에 배열된 선택 라인들(SSL)이 동시에 활성화될 때마다 비트 라인들 각각을 비트 라인 프로그램 전압(예를 들면, 접지 전압)으로 구동하도록 읽기 및 쓰기 블록(1300)을 제어할 것이다. 이는 앞서 설명된 것과 실질적으로 동일하게 행해질 것이다.
- [0130] 예시적인 실시예에 있어서, 앞서 설명된 검증 방식들이 도 44에 도시된 불 휘발성 메모리 장치(10000)에도 동일하게 적용됨은 잘 이해될 것이다.
- [0131] 도 45는 본 발명의 다른 예시적인 실시예에 따른 3차원(3D) 메모리 어레이의 단면을 보여주는 단면도이다. 3D 메모리 어레이(300)는 플래시 메모리 어레이, 읽기 전용 메모리(Read Only Memory) 어레이, 스택틱 랜덤 액세스

메모리(Static Random Access Memory) 어레이, 실리콘-산화막-질화막-산화막-실리콘(Silicon-Oxide-Nitride-Oxide-Silicon:SONOS) 메모리 어레이, 또는 그와 같은 것일 수 있다.

[0132] 메모리 어레이(300)는 실리콘 또는 그와 같은 것으로 이루어진 기판(302)을 포함한다. 복수의, 예를 들면, 2개의 메모리 물질층들(304<sub>1</sub>, 304<sub>2</sub>)이 메모리 어레이(300) 내의 다른 레벨들에 각각 형성된다. 특히, 메모리 물질층들(304<sub>1</sub>, 304<sub>2</sub>)은 기판(302) 상에 겹쳐있다/적층되어 있다. 메모리 물질층들(304<sub>1</sub>, 304<sub>2</sub>)을 서로 분리하도록 산화막과 같은 절연층(306)이 연속적인 메모리 물질층들(304<sub>1</sub>, 304<sub>2</sub>) 사이에 형성되어 있다.

[0133] 기판(302)과 메모리 물질층들 상에는 메모리 셀들의 스트링들이 형성되어 있다. 기판(302)과 메모리 물질층들(304<sub>1</sub>, 304<sub>2</sub>) 각각에는 단지 하나의 스트링만이 도시되어 있다. 스트링은 제 1 선택 트랜지스터, 제 2 선택 트랜지스터, 그리고 제 1 및 제 2 선택 트랜지스터들 사이에 직렬 연결된 복수의 메모리 셀들을 포함할 것이다. 예를 들면, 기판(102) 상에 형성된 스트링은 1 선택 트랜지스터(SSTL1), 제 2 선택 트랜지스터(GSTL1), 그리고 제 1 및 제 2 선택 트랜지스터들(SSTL1, GSTL1) 사이에 직렬 연결된 복수의 메모리 셀들을 포함하고, 메모리 물질층(304<sub>1</sub>) 상에 형성된 스트링은 1 선택 트랜지스터(SSTL2), 제 2 선택 트랜지스터(GSTL2), 그리고 제 1 및 제 2 선택 트랜지스터들(SSTL2, GSTL2) 사이에 직렬 연결된 복수의 메모리 셀들을 포함하며, 메모리 물질층(304<sub>2</sub>) 상에 형성된 스트링은 제 1 선택 트랜지스터(SSTL3), 제 2 선택 트랜지스터(GSTL3), 그리고 제 1 및 제 2 선택 트랜지스터들(SSTL3, GSTL3) 사이에 직렬 연결된 복수의 메모리 셀들을 포함한다.

[0134] 제 1 선택 트랜지스터들(SSTL1, SSTL2, SSTL3)의 드레인들은 컨택 플러그(308)에 공통으로 연결되어 있다. 컨택 플러그(308)는 메인 스트링 선택 트랜지스터(SSTM)의 소오스에 전기적으로 연결되고, 메인 스트링 선택 트랜지스터(SSTM)의 드레인은 컨택 플러그(310)에 전기적으로 연결되어 있다. 컨택 플러그(310)는 비트 라인(MBL)에 전기적으로 연결되어 있다. 비트 라인(MBL)은 메인 비트 라인으로서 사용되고, 컨택 플러그(308)는 로컬 비트 라인으로서 사용될 것이다. 제 2 선택 트랜지스터들(GSTL1, GSTL2, GSTL3)의 소오스들은 컨택 플러그(312)에 공통으로 연결되어 있다. 컨택 플러그(312)는 메인 접지 선택 트랜지스터(GSTM)의 드레인에 전기적으로 연결되고, 메인 접지 선택 트랜지스터(GSTM)의 소오스는 공통 소오스 라인(common source line: CSL)(314)에 전기적으로 연결되어 있다. 공통 소오스 라인(314)은 메인 공통 소오스 라인으로서 사용되고, 컨택 플러그(312)는 로컬 공통 소오스 라인으로서 사용될 것이다.

[0135] 본 발명의 예시적인 실시예에 있어서, 메모리 셀들은 전하 저장층을 갖는 다양한 셀 구조들 중 하나를 이용하여 구현될 수 있다. 전하 저장층을 갖는 셀 구조는 전하 트랩층을 이용하는 전하 트랩 플래시 구조, 어레이들이 다층으로 적층되는 스택 플래시 구조, 각 스트링의 채널이 기판에 대해 수직으로 형성되는 수직 채널 메모리 구조, 소오스-드레인이 없는 플래시 구조, 핀-타입 플래시 구조, 등을 포함할 것이다.

[0136] 전하 저장층으로서 전하 트랩 플래시 구조를 갖는 메모리 장치가 미국특허 제6858906호, 미국공개특허 제2004-0169238호, 그리고 미국공개특허 제2006-0180851호에 각각 게재되어 있으며, 이 출원의 레퍼런스로 포함될 것이다. 소오스/드레인이 없는 플래시 구조는 대한민국특허 제673020호에 게재되어 있으며, 이 출원의 레퍼런스로 포함될 것이다.

[0137] 본 발명의 예시적인 실시예들에 따른 불 휘발성 메모리 장치 그리고/또는 제어기는 다양한 형태들의 패키지를 이용하여 실장될 수 있다. 예를 들면, 본 발명의 예시적인 실시예들에 따른 불 휘발성 메모리 장치 그리고/또는 컨트롤러는 PoP(Package on Package), Ball grid arrays(BGAs), Chip scale packages(CSPs), Plastic Leaded Chip Carrier(PLCC), Plastic Dual In-Line Package(PDIP), Die in Wafer Pack, Die in Wafer Form, Chip On Board(COB), Ceramic Dual In-Line Package(CERDIP), Plastic Metric Quad Flat Pack(MQFP), Thin Quad Flatpack(TQFP), Small Outline(SOIC), Shrink Small Outline Package(SSOP), Thin Small Outline(TSOP), Thin Quad Flatpack(TQFP), System In Package(SIP), Multi Chip Package(MCP), Wafer-level Fabricated Package(WFP), Wafer-Level Processed Stack Package(WSP), 등과 같은 패키지들을 이용하여 실장될 수 있다.

[0138] 본 발명의 범위 또는 기술적 사상을 벗어나지 않고 본 발명의 구조가 다양하게 수정되거나 변경될 수 있음은 이 분야에 숙련된 자들에게 자명하다. 상술한 내용을 고려하여 볼 때, 만약 본 발명의 수정 및 변경이 아래의 청구항들 및 동등물의 범주 내에 속한다면, 본 발명이 이 발명의 변경 및 수정을 포함하는 것으로 여겨진다.

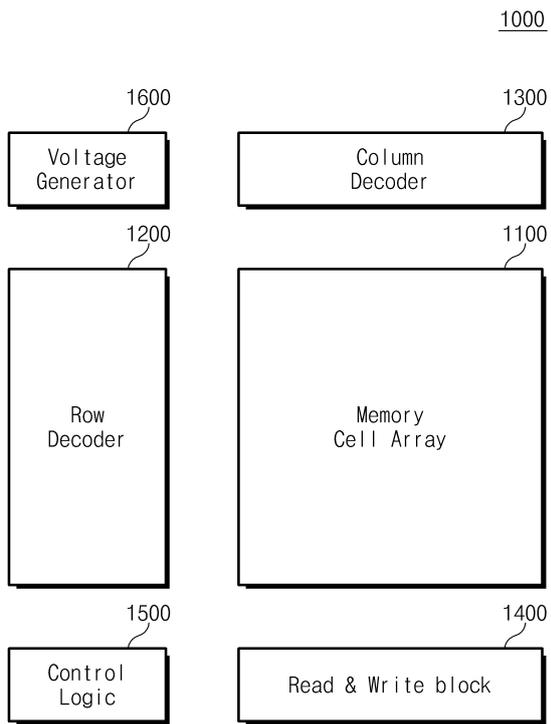
**부호의 설명**

[0139] 1100: 메모리 셀 어레이

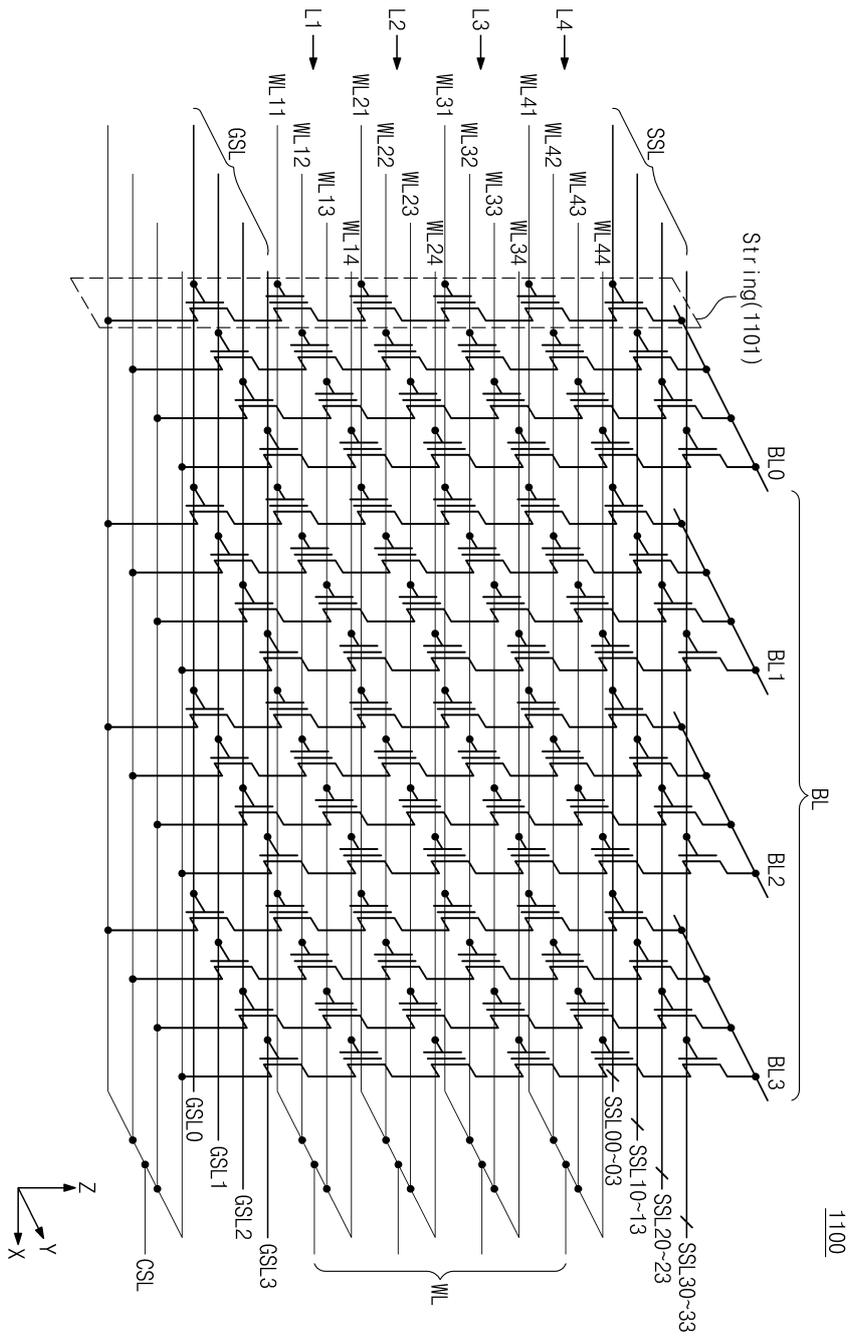
- 1200: 행 디코더 회로
- 1300: 열 디코더 회로
- 1400: 읽기 및 쓰기 블록
- 1500: 제어 로직
- 1600: 전압 발생 회로

도면

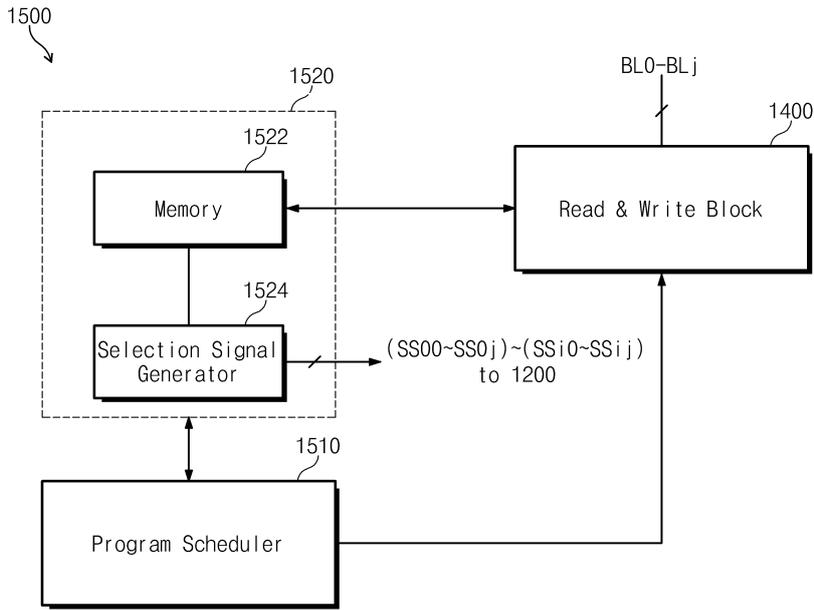
도면1



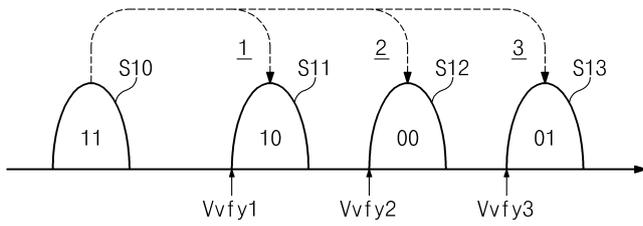
도면2



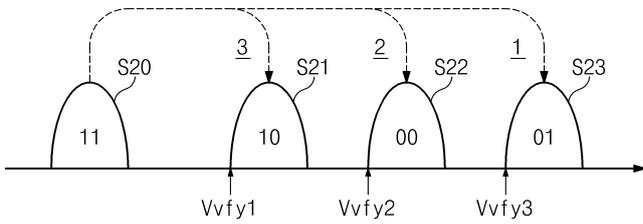
도면3



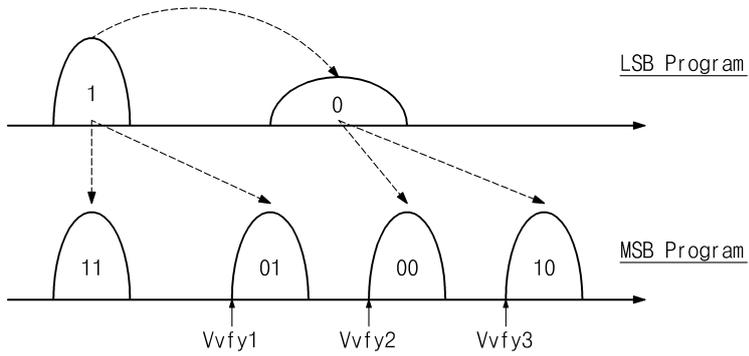
도면4



도면5



도면6

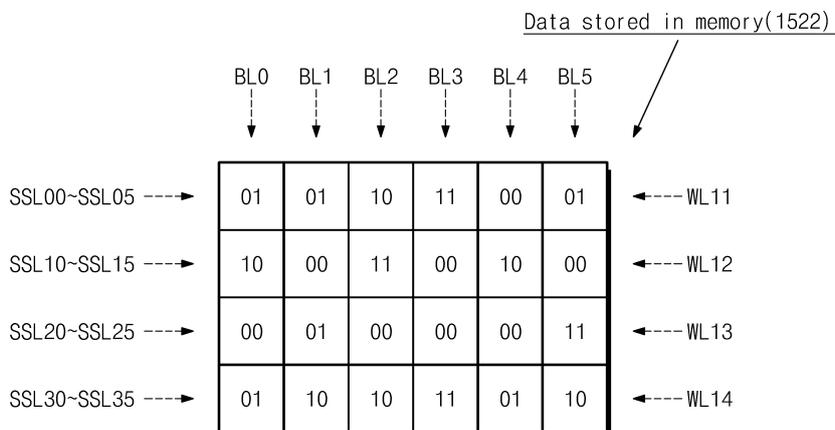


도면7

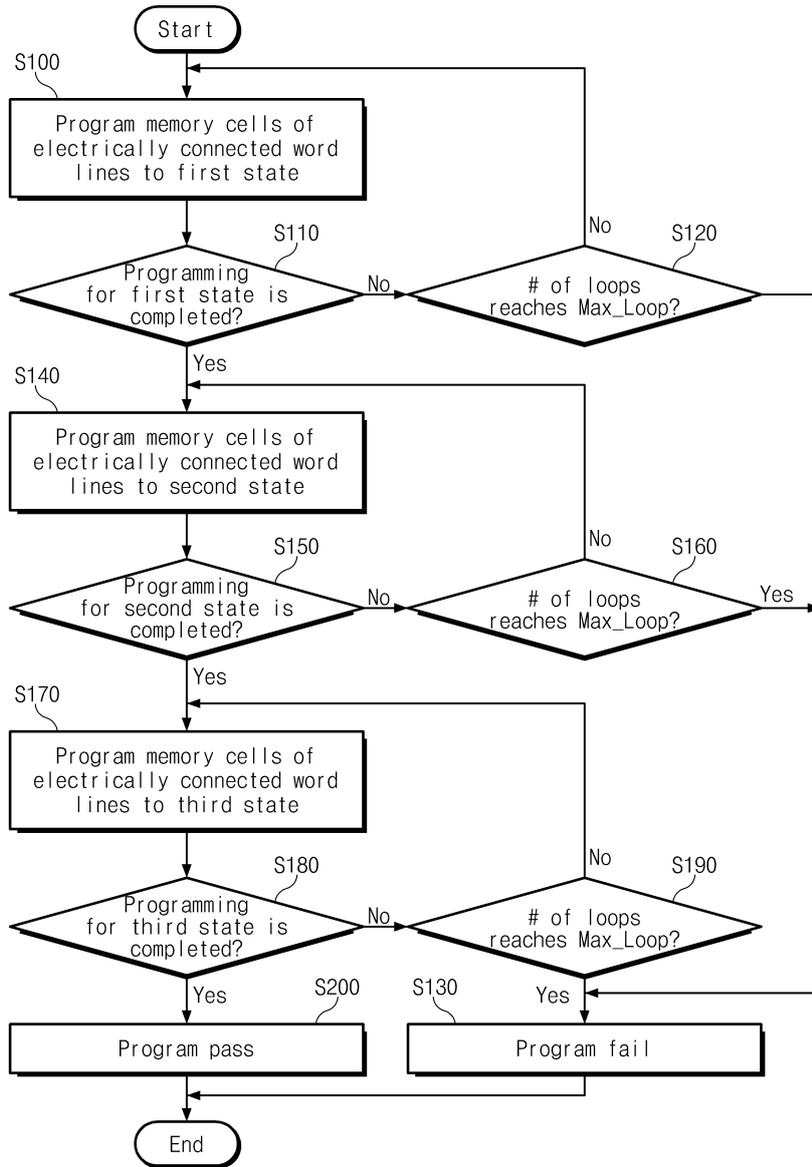
Decoding Rule

Data	11	10	00	01	Verify
SSL	OFF	OFF	OFF	ON	Vvfy3
SSL	OFF	OFF	ON	OFF	Vvfy2
SSL	OFF	ON	OFF	OFF	Vvfy1

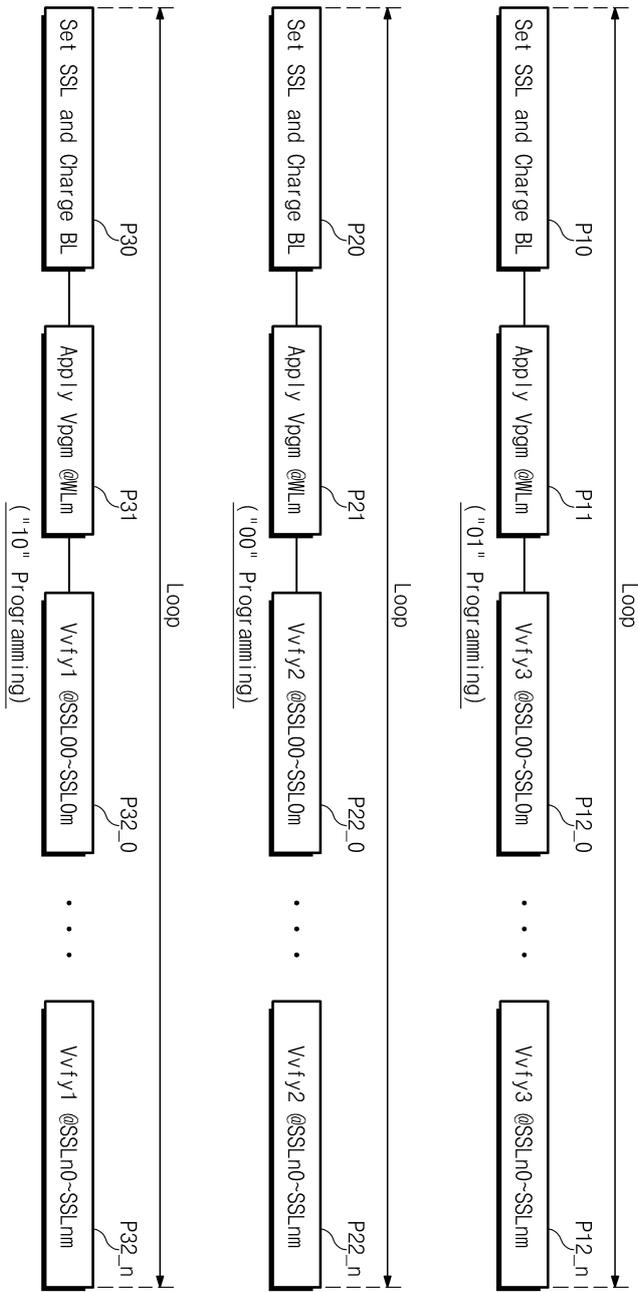
도면8



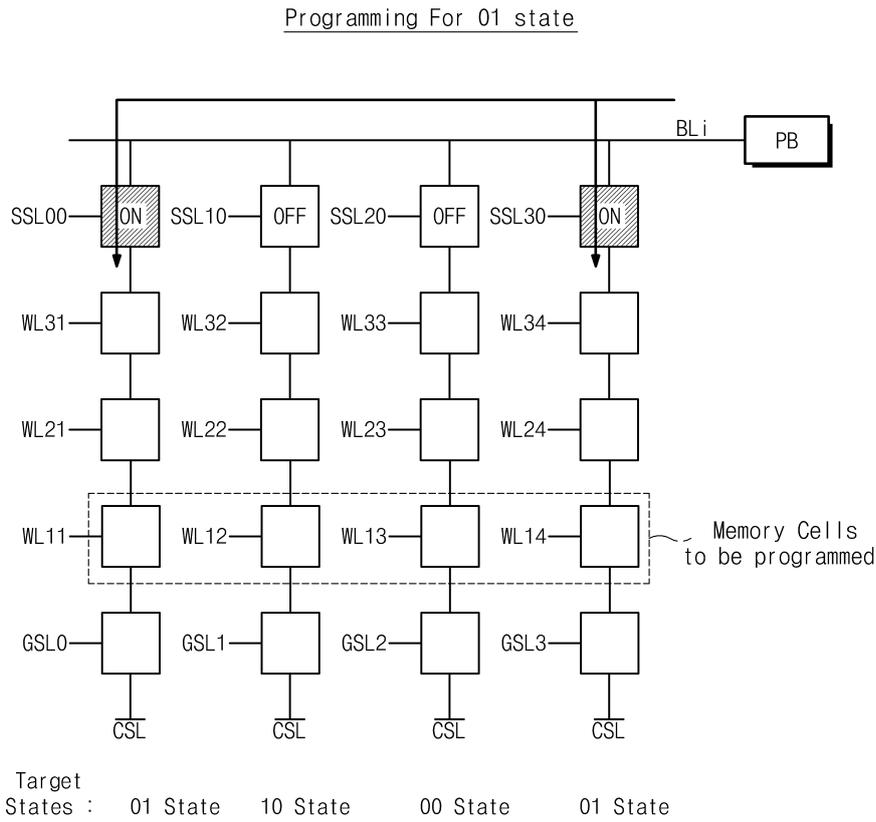
도면9



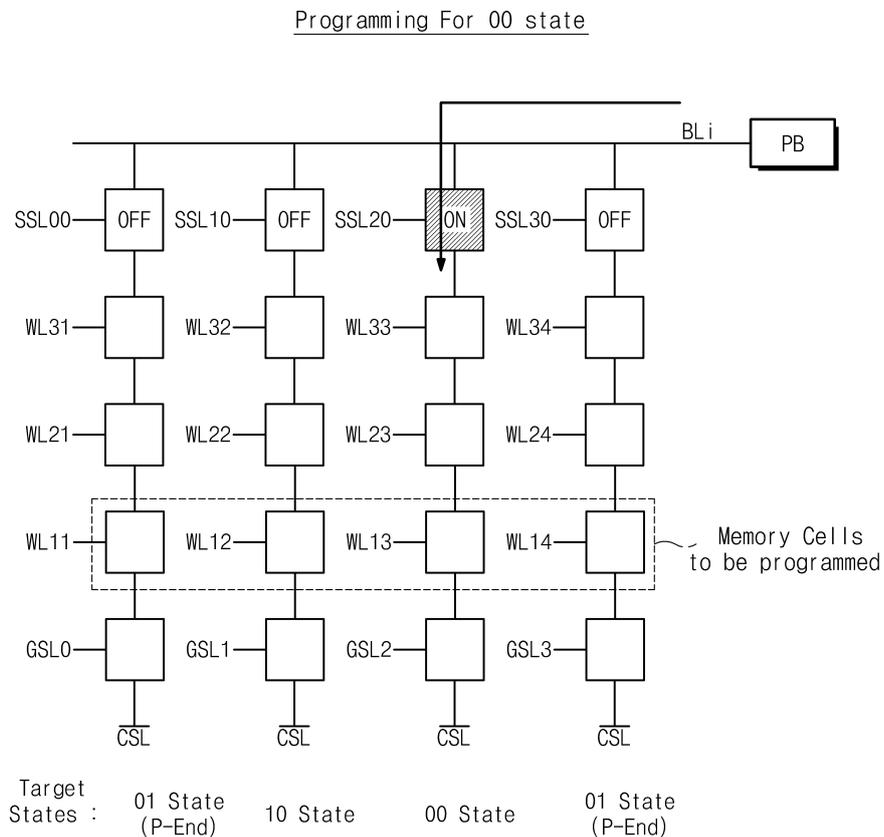
도면10



도면11

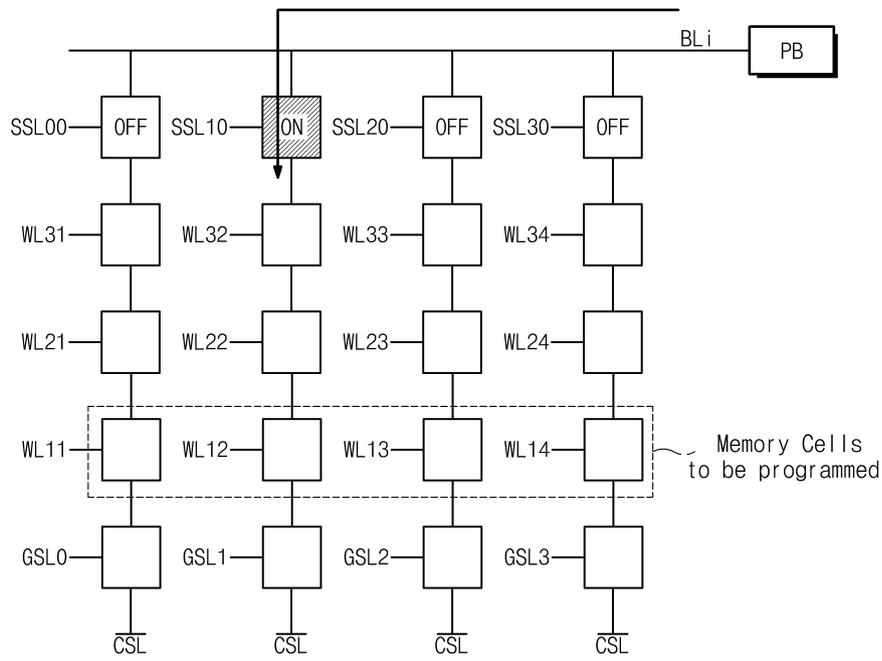


도면12



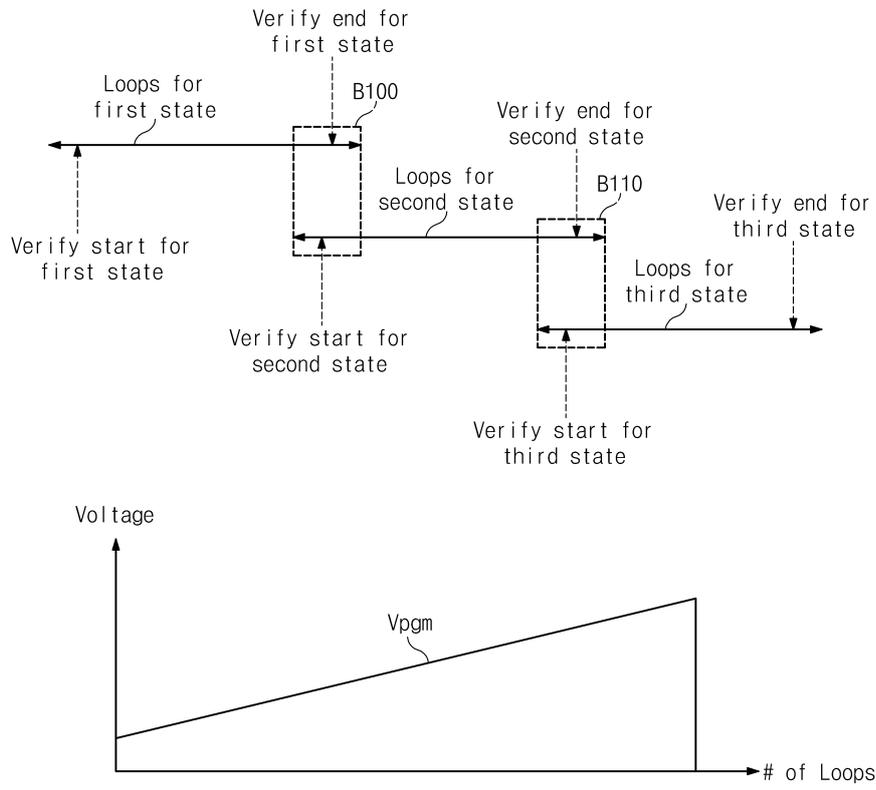
도면13

Programming For 10 state

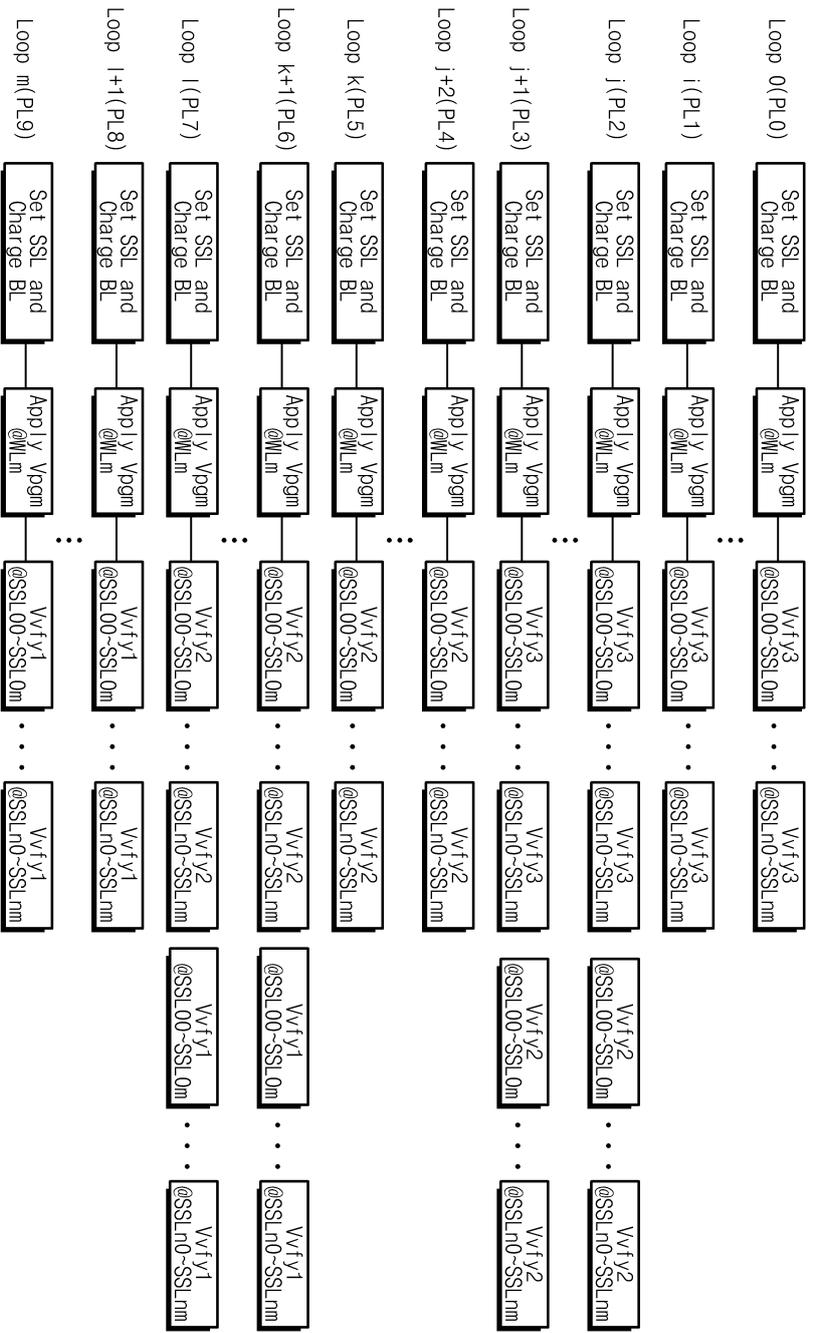


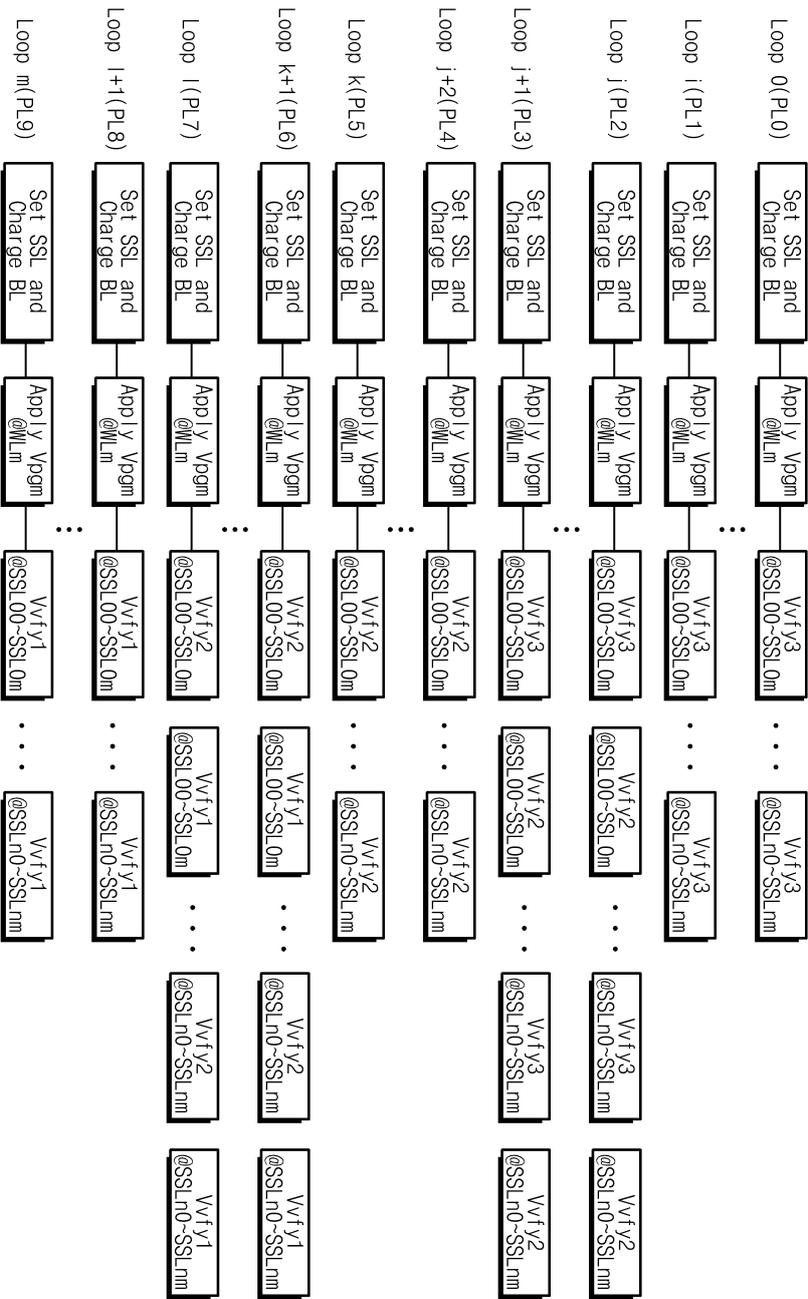
Target States : 01 State (P-End)    10 State    00 State (P-End)    01 State (P-End)

도면14



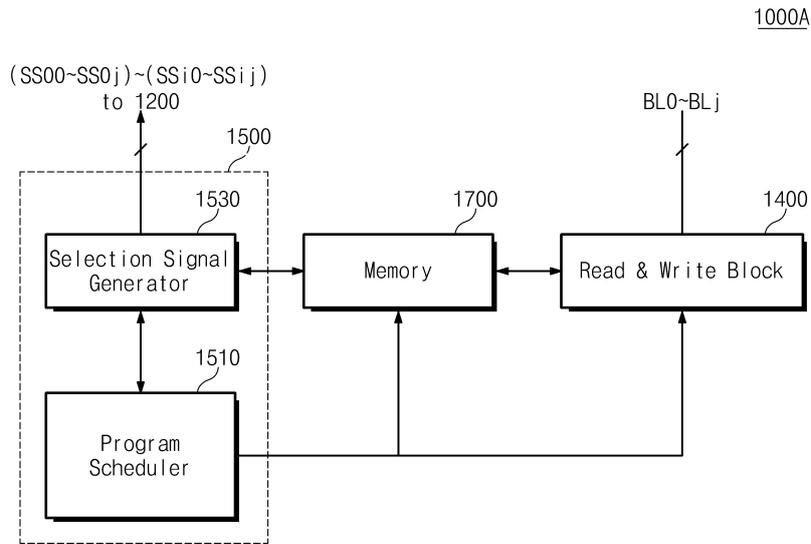
도면15



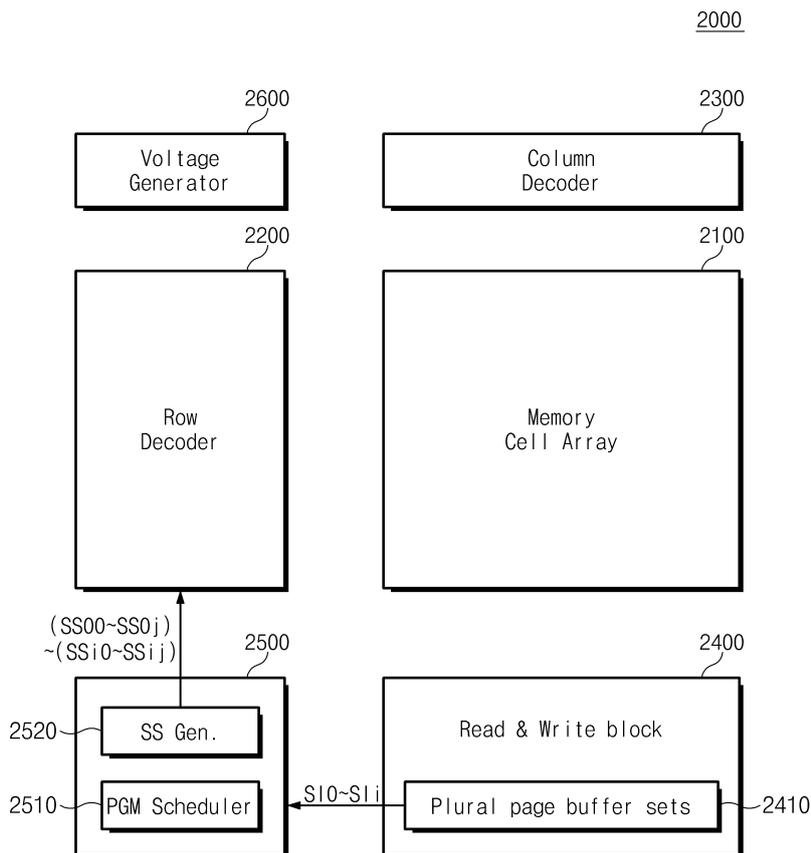


도면16

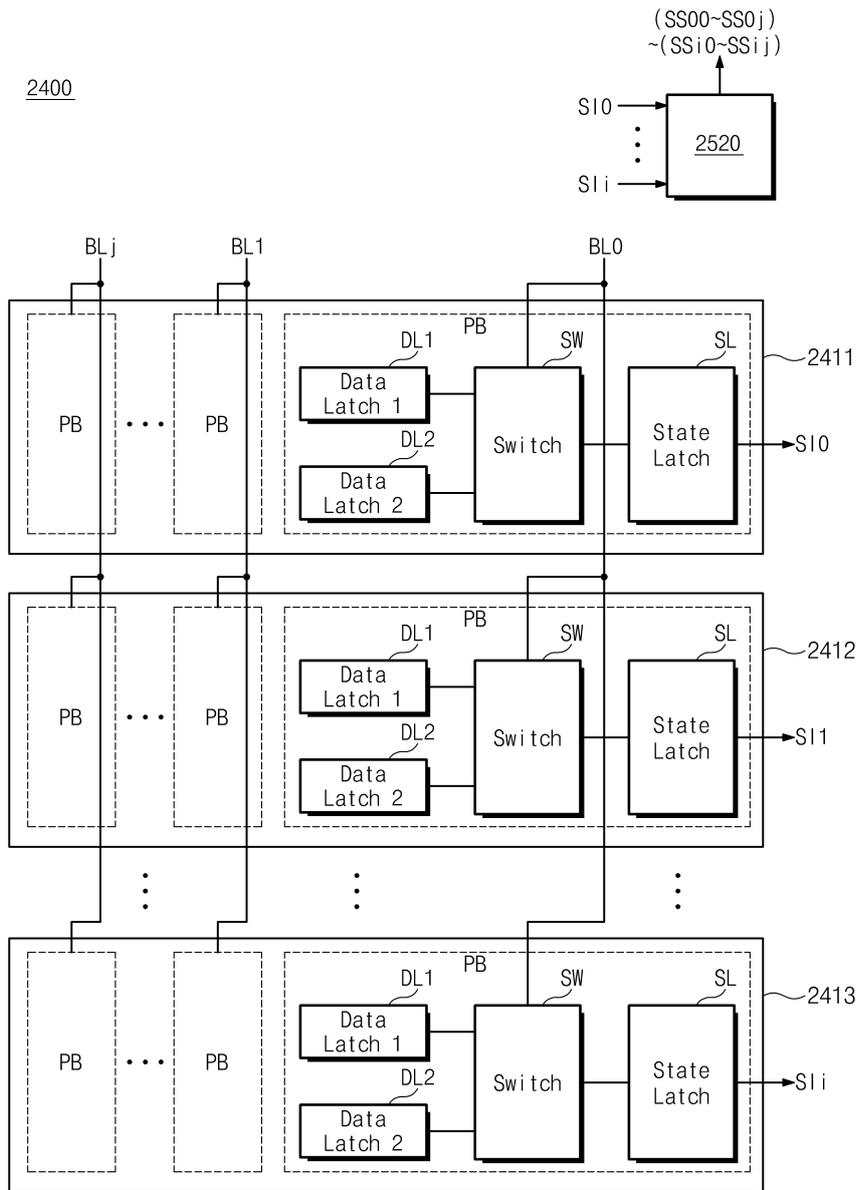
도면17



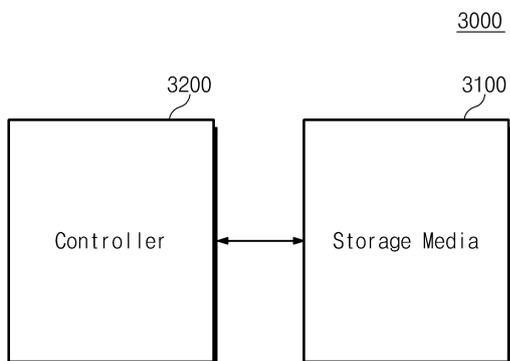
도면18



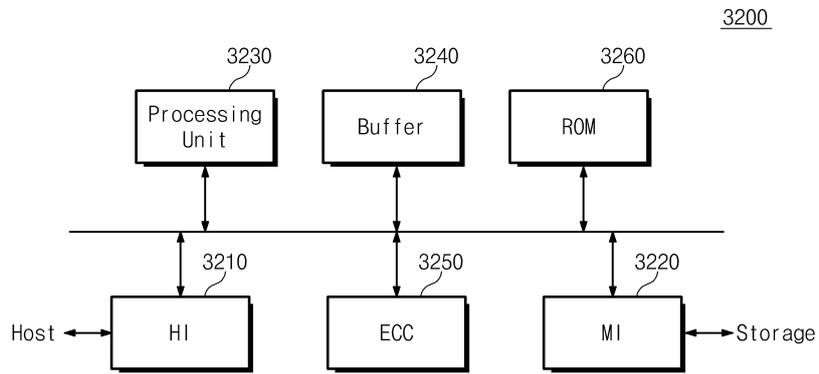
도면19



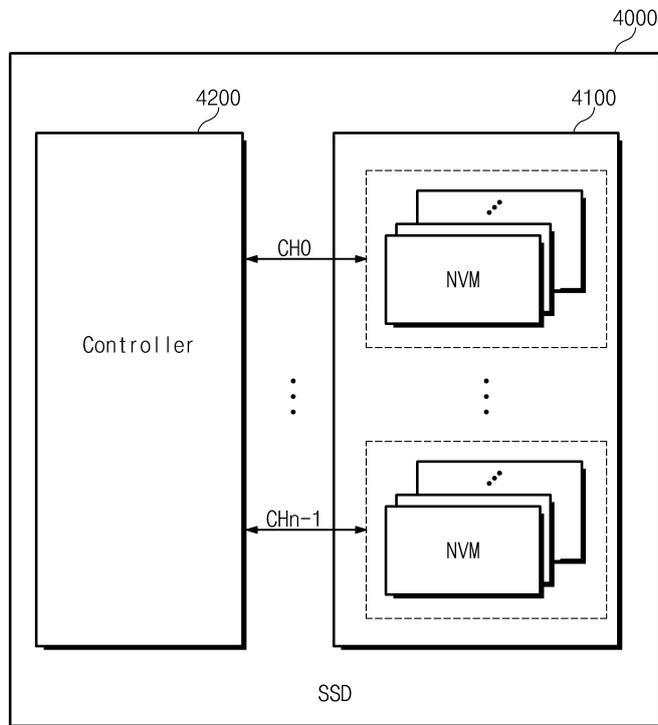
도면20



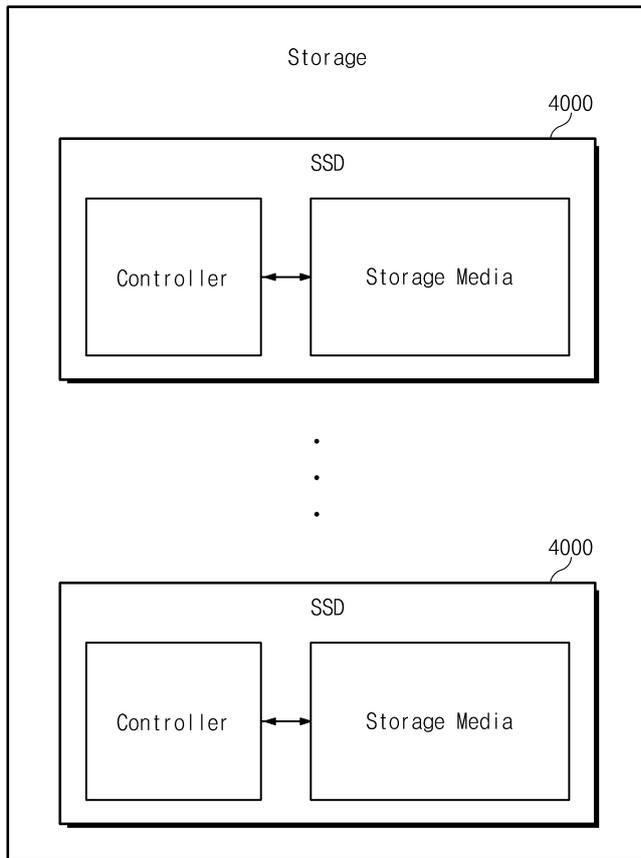
도면21



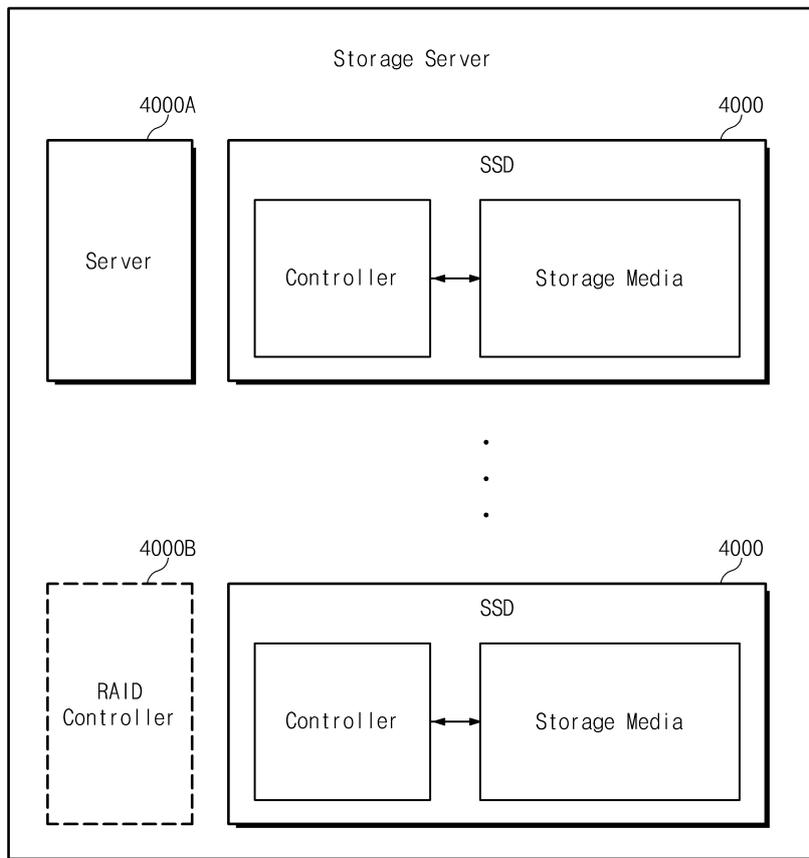
도면22



도면23

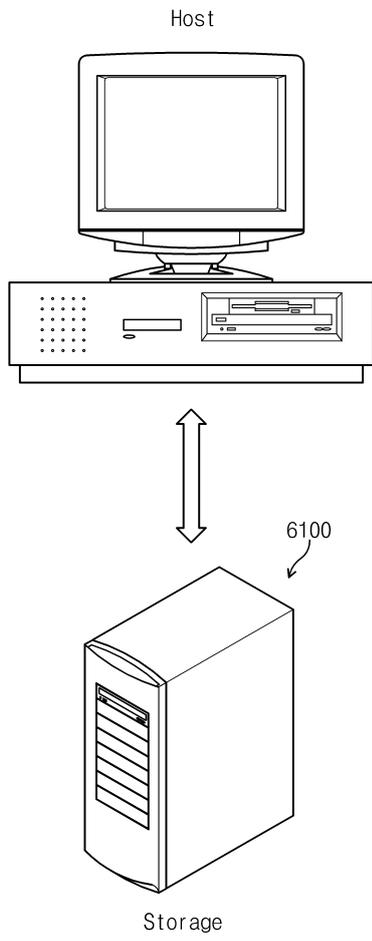


도면24



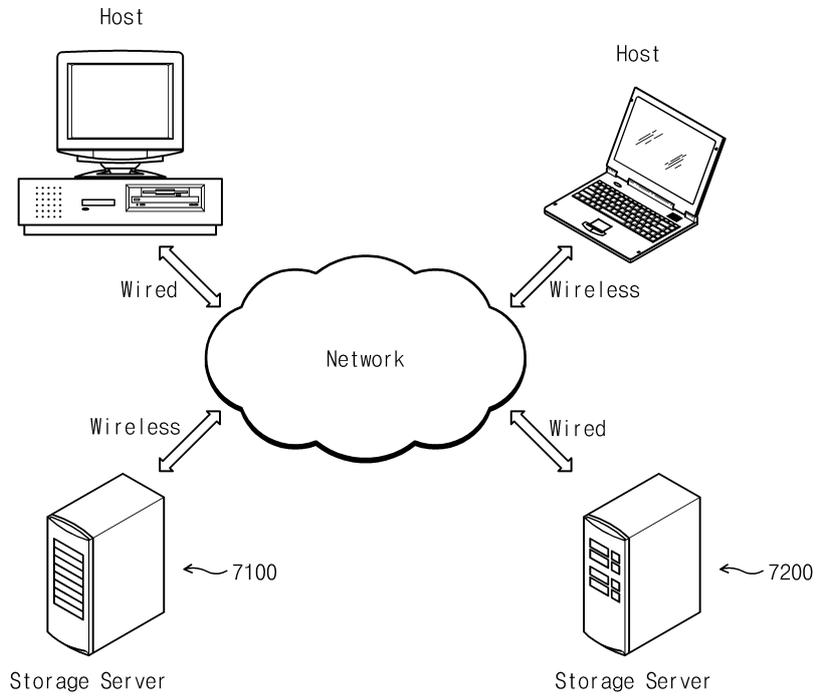
도면25

6000

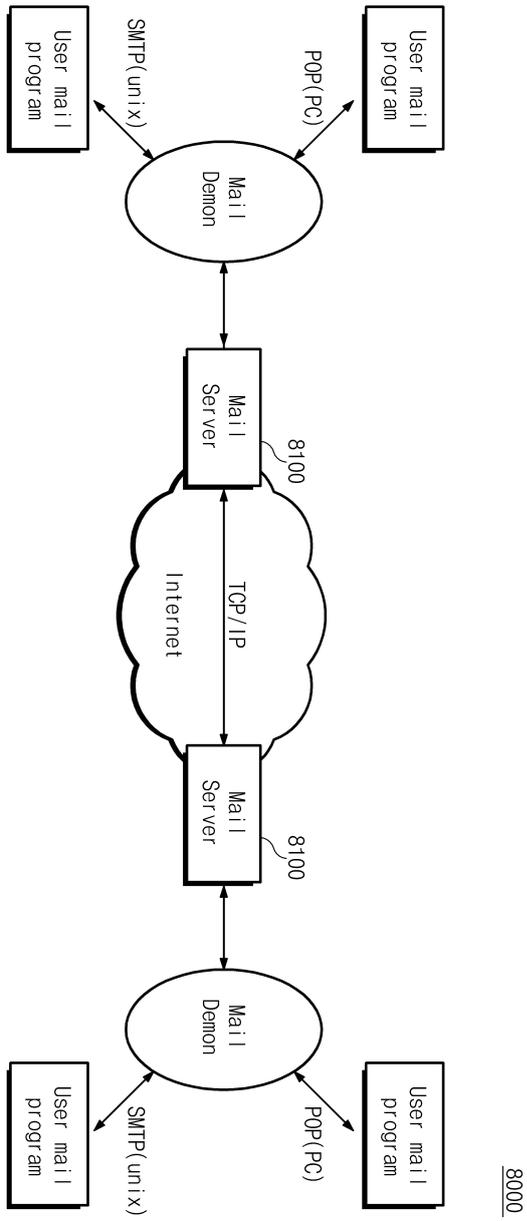


도면26

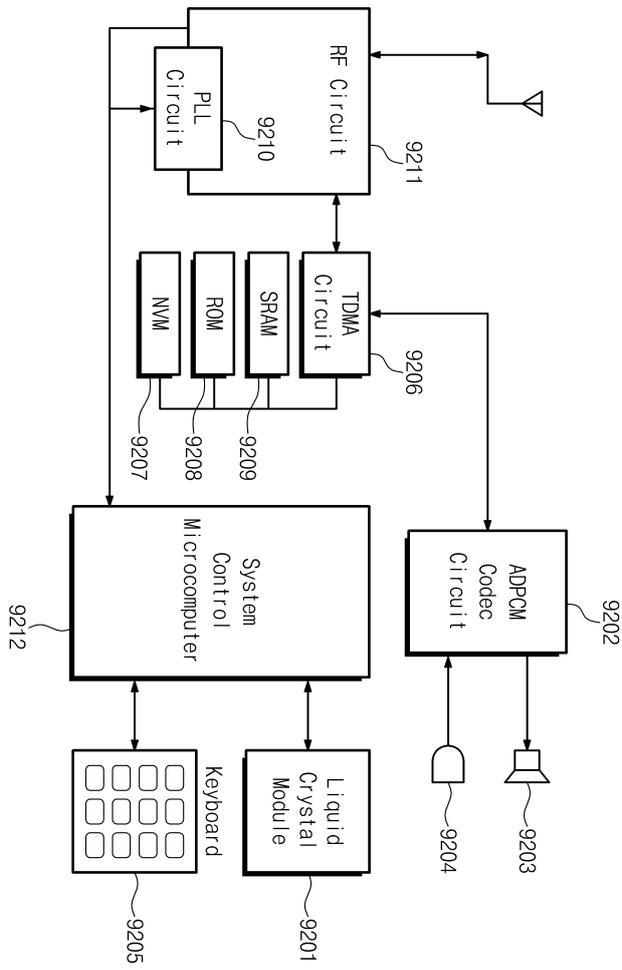
7000



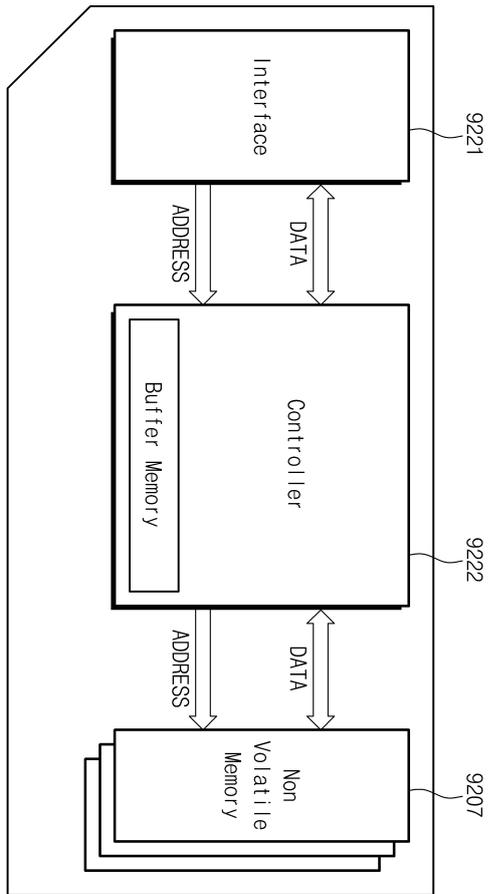
도면27



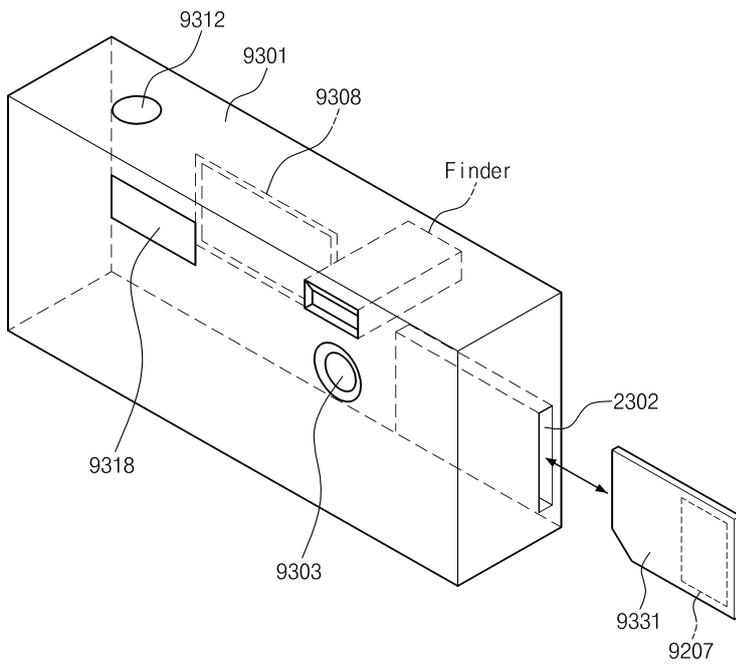
도면28



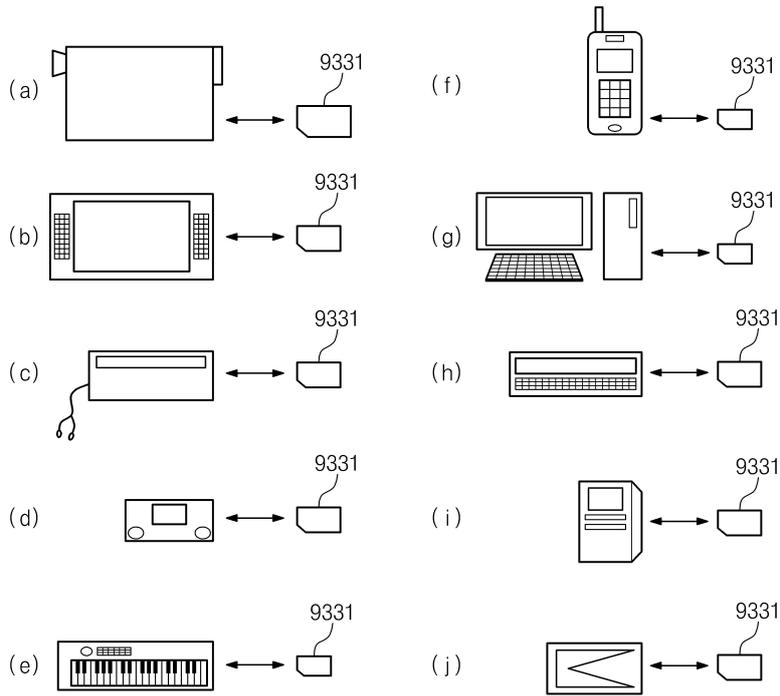
도면29



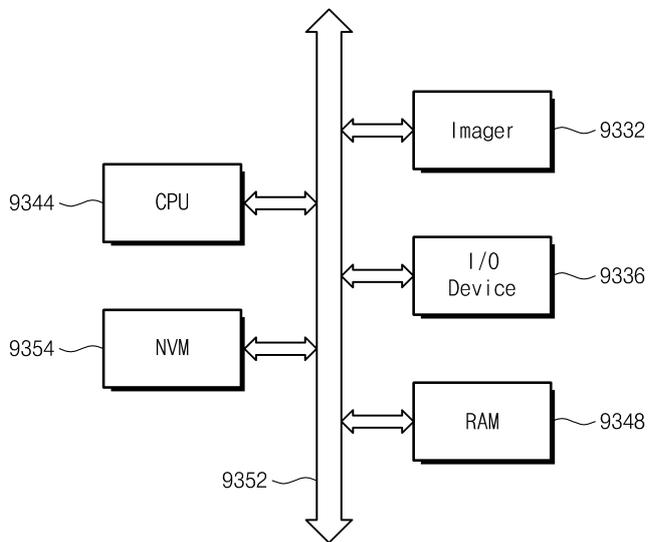
도면30



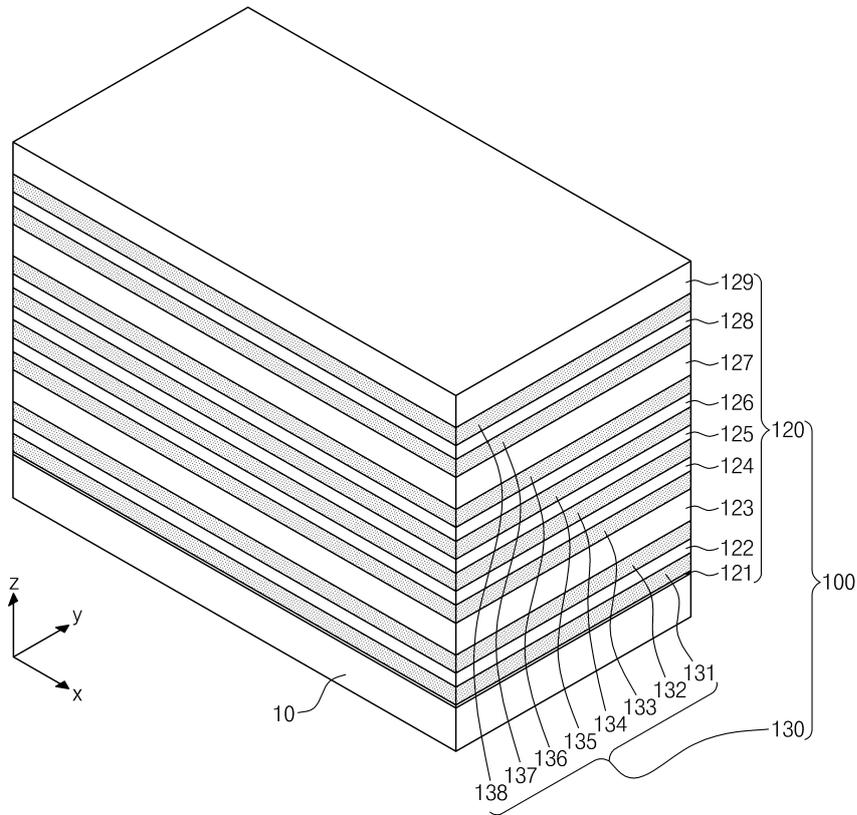
도면31



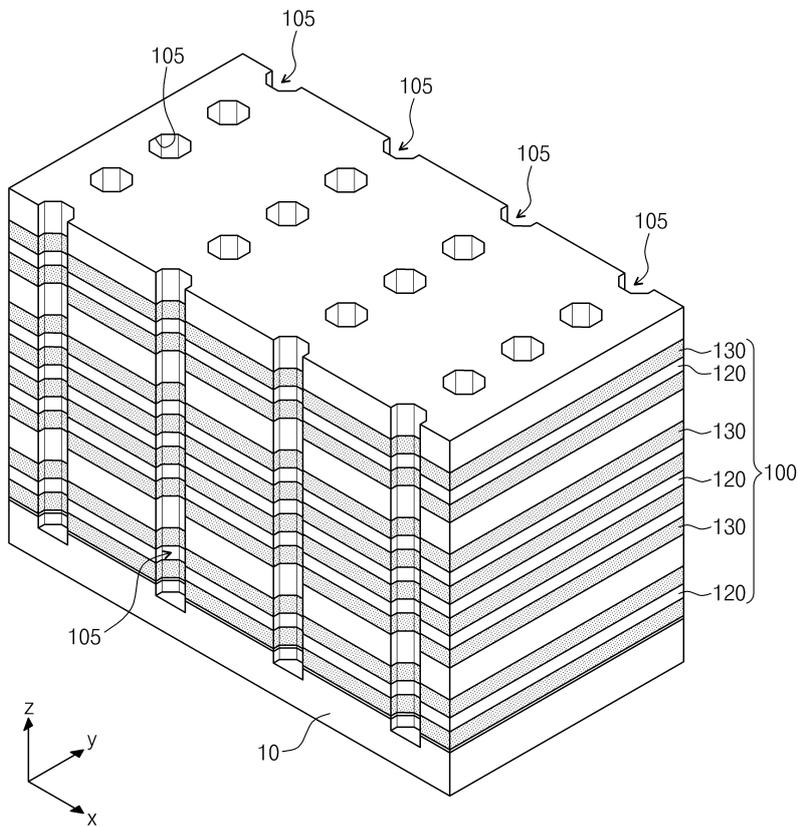
도면32



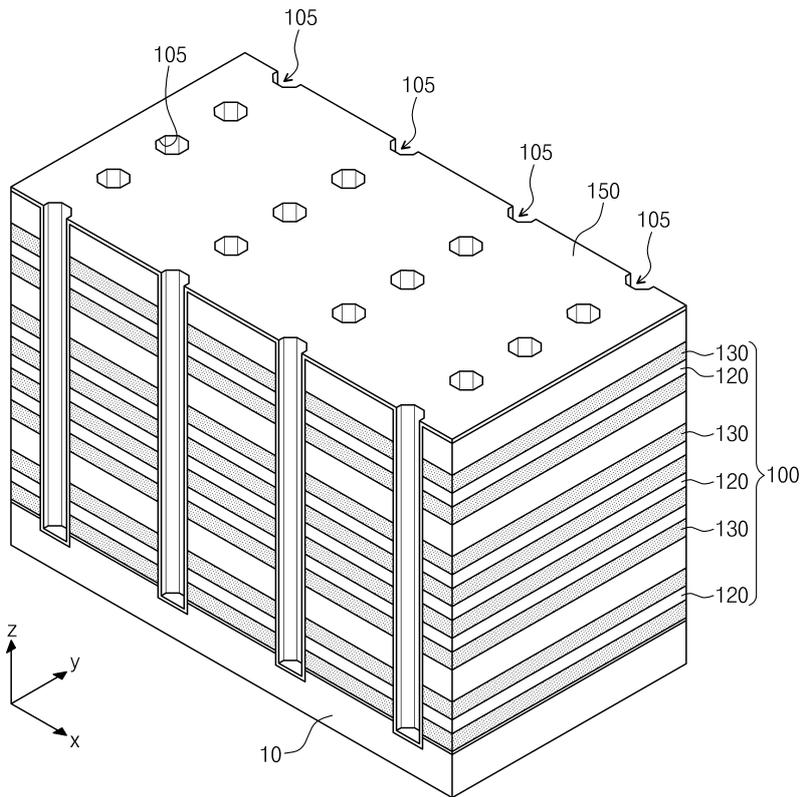
도면33



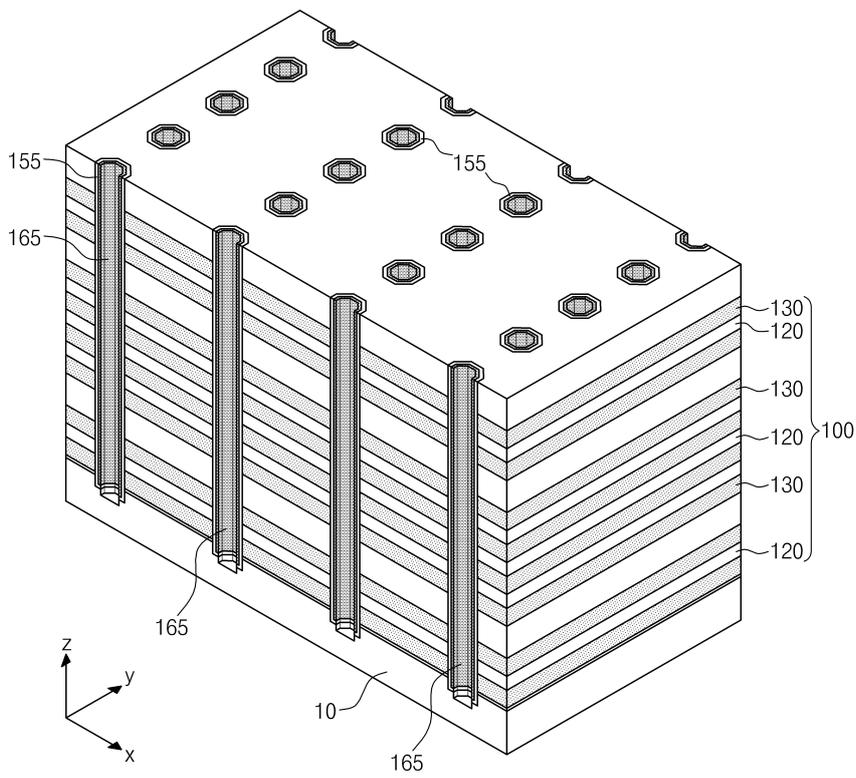
도면34



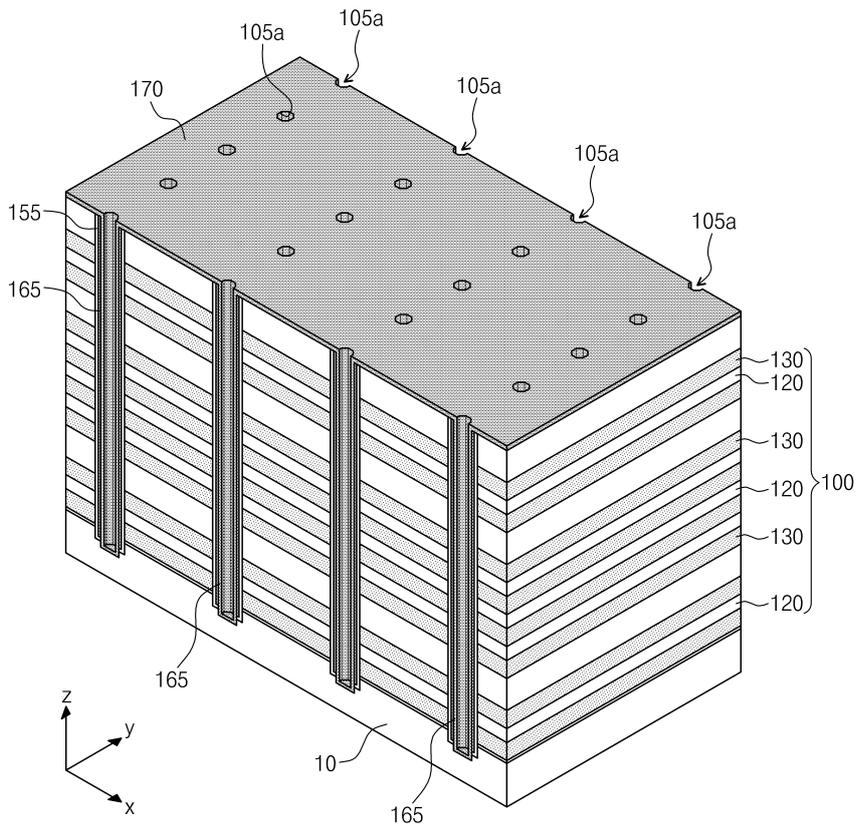
도면35



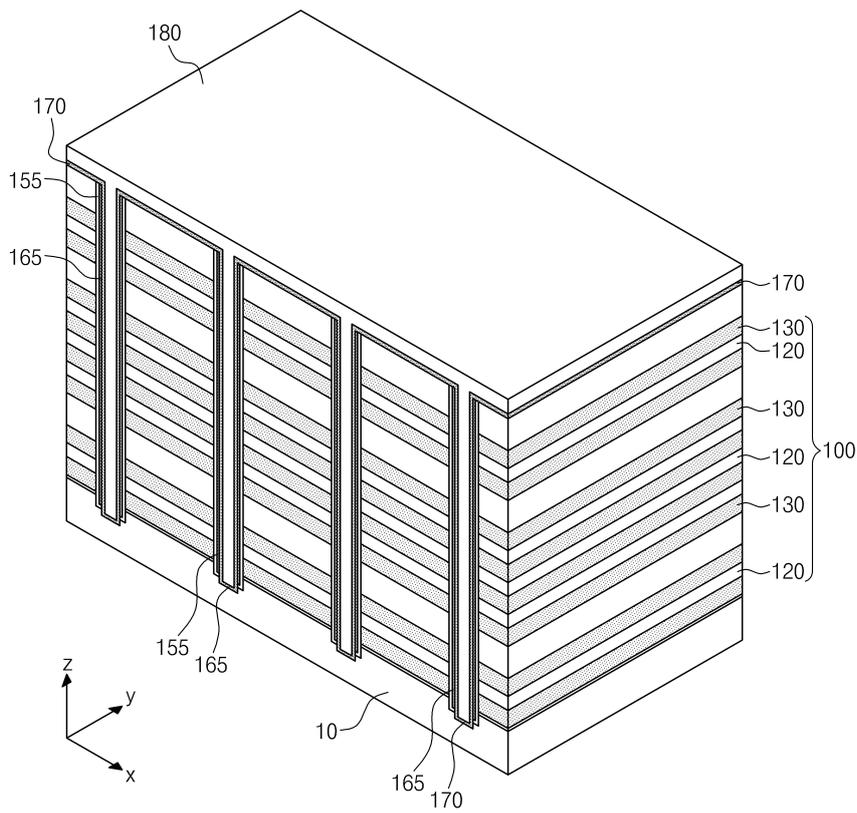
도면36



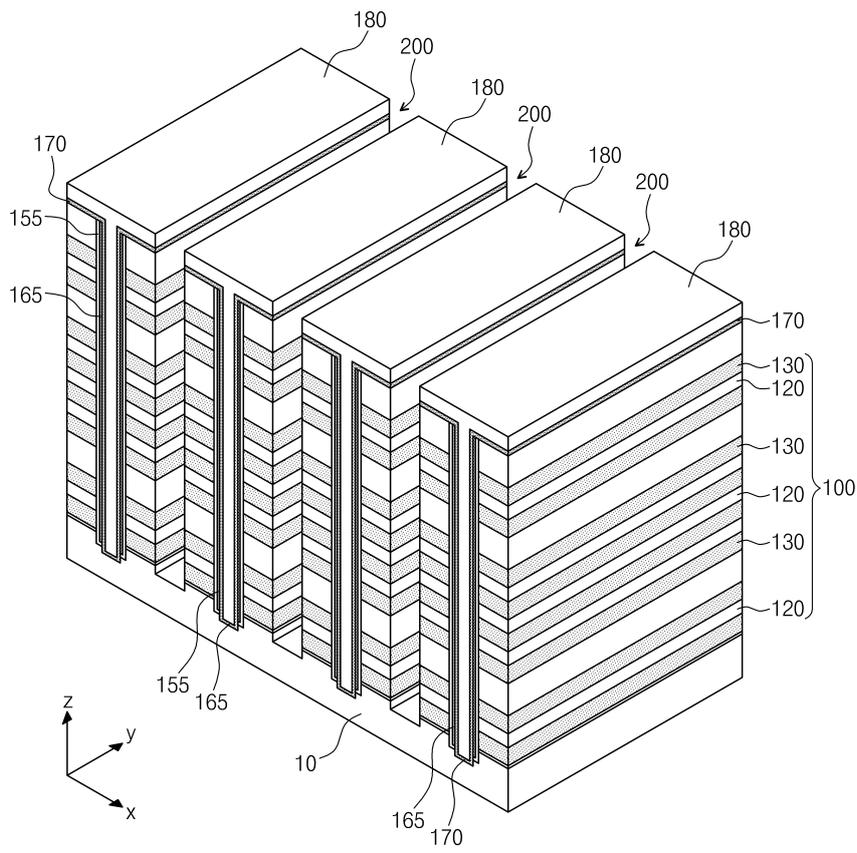
도면37



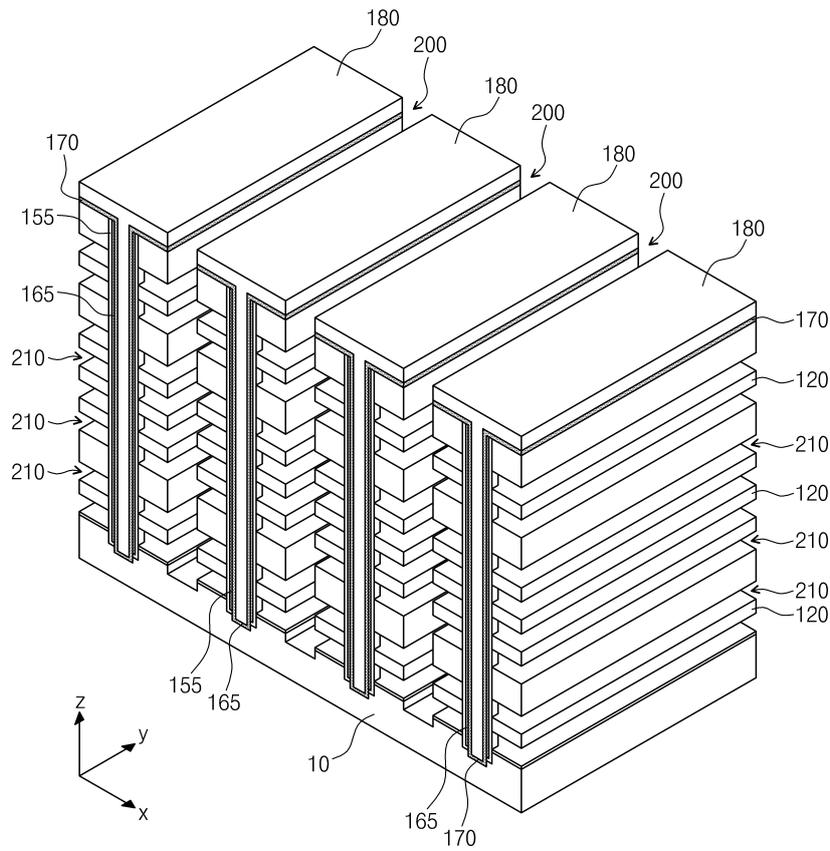
도면38



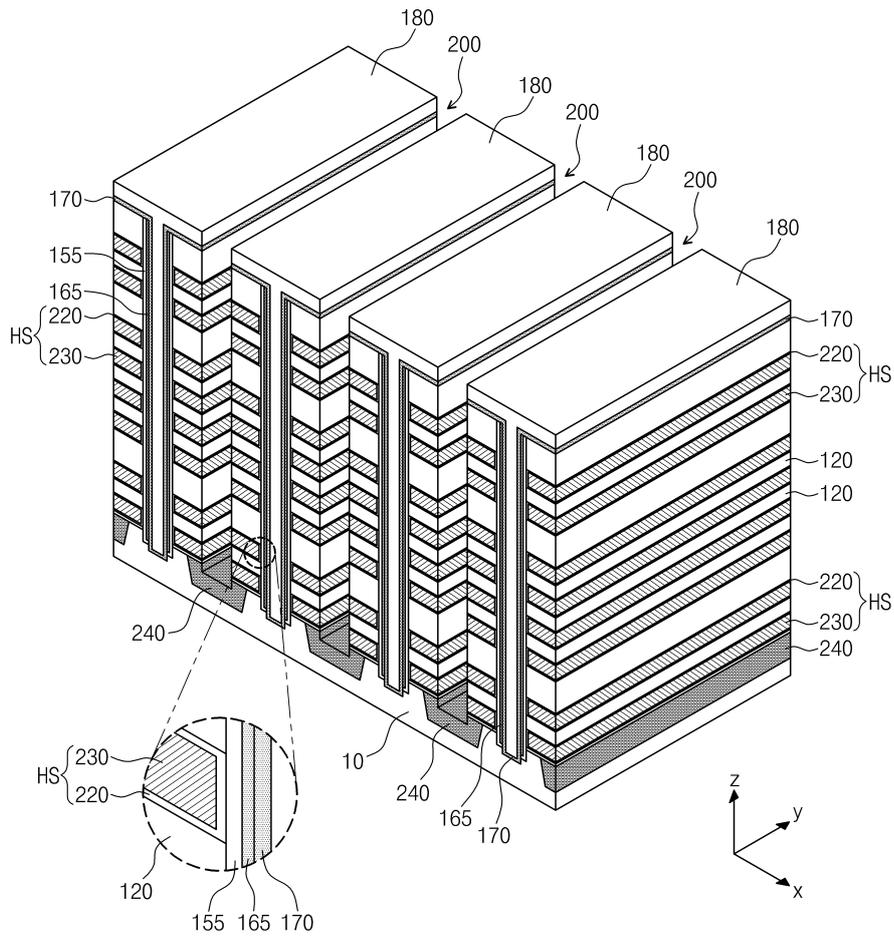
도면39



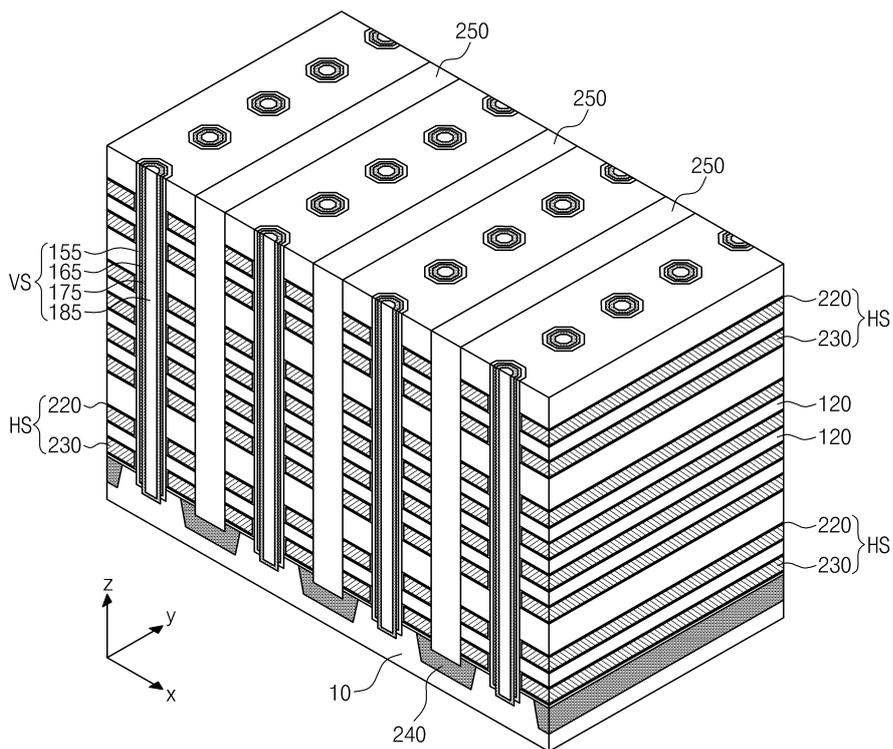
도면40



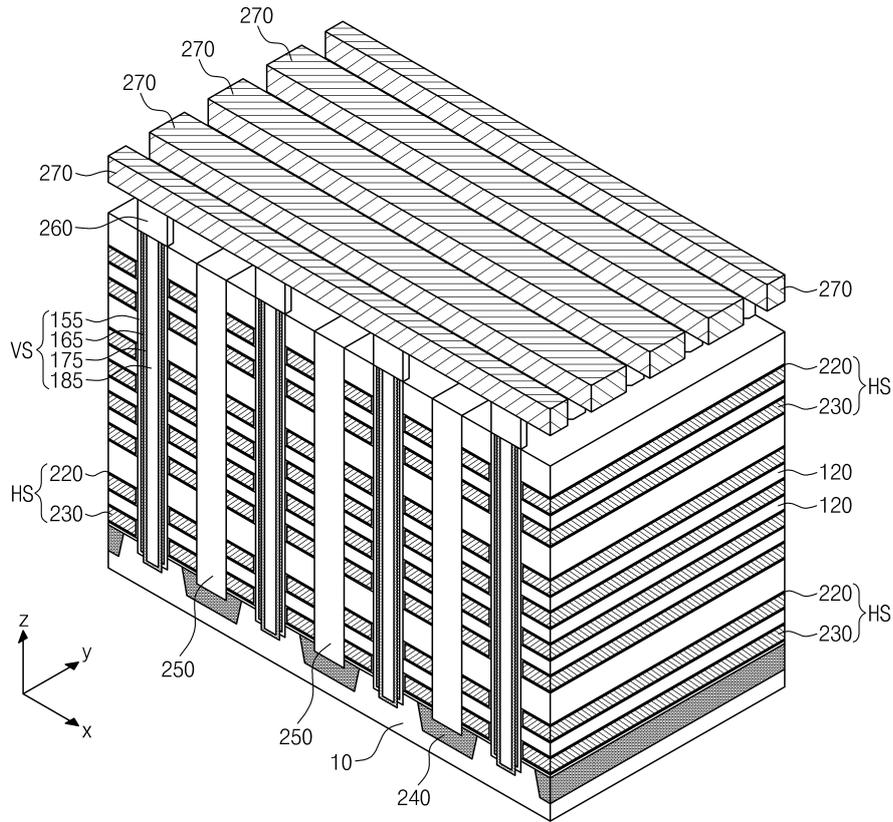
도면41



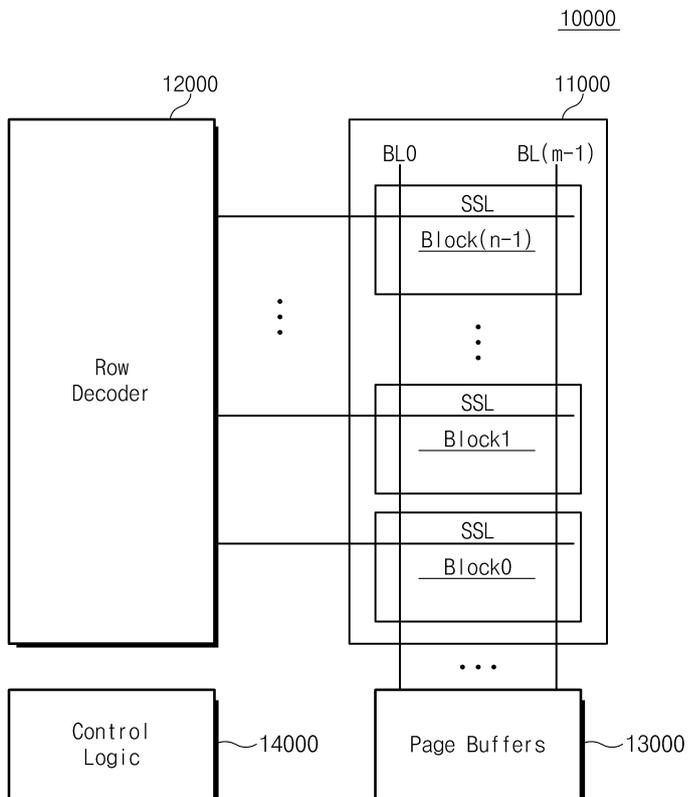
도면42



도면43



도면44



도면45

