

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4801406号  
(P4801406)

(45) 発行日 平成23年10月26日 (2011.10.26)

(24) 登録日 平成23年8月12日 (2011.8.12)

(51) Int. Cl.

F I

H O 1 L 21/336 (2006.01)

H O 1 L 29/78 6 2 7 G

H O 1 L 29/786 (2006.01)

G O 2 F 1/1368

G O 2 F 1/1368 (2006.01)

H O 1 L 21/20

H O 1 L 21/20 (2006.01)

H O 1 L 21/322 P

H O 1 L 21/322 (2006.01)

H O 1 L 29/78 6 2 7 Z

請求項の数 13 (全 51 頁)

(21) 出願番号 特願2005-285796 (P2005-285796)  
 (22) 出願日 平成17年9月30日 (2005.9.30)  
 (65) 公開番号 特開2006-128665 (P2006-128665A)  
 (43) 公開日 平成18年5月18日 (2006.5.18)  
 審査請求日 平成19年9月21日 (2007.9.21)  
 (31) 優先権主張番号 特願2004-287879 (P2004-287879)  
 (32) 優先日 平成16年9月30日 (2004.9.30)  
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (72) 発明者 山崎 舜平  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 小路 博信  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内

審査官 宮澤 尚之

最終頁に続く

(54) 【発明の名称】 液晶表示装置の作製方法

(57) 【特許請求の範囲】

【請求項1】

絶縁表面上にゲート電極を形成し、

前記ゲート電極上に  $\text{SiN}_x\text{O}_y$  ( $x > 0$ 、 $y = 0$ 、 $x > y$ ) からなる第1のゲート絶縁膜を形成し、前記第1のゲート絶縁膜上に  $\text{SiO}_x\text{N}_y$  ( $x > 0$ 、 $y = 0$ 、 $x > y$ ) からなる第2のゲート絶縁膜を形成し、前記第2のゲート絶縁膜上に  $\text{SiN}_x\text{O}_y$  ( $x > 0$ 、 $y = 0$ 、 $x > y$ ) からなる第3のゲート絶縁膜を形成し、

前記第3のゲート絶縁膜上に触媒元素を有する層を形成し、

前記触媒元素を有する層上に第1の半導体膜を形成し、

前記第1の半導体膜上に不純物元素を有する第2の半導体膜を形成した後加熱して前記第1の半導体膜を結晶化させると共に、前記触媒元素を前記第2の半導体膜へ移動させ、加熱された前記第2の半導体膜に接する第1の導電層を形成し、

前記第1の導電層の一部をエッチングして、ソース電極及びドレイン電極を形成し、

前記第2の半導体膜の一部をエッチングして、ソース領域及びドレイン領域を形成し、

前記ソース電極及び前記ドレイン電極上に第1の絶縁膜を形成し、

前記第1の絶縁膜及び前記第1のゲート絶縁膜乃至第3のゲート絶縁膜の一部をエッチングして、前記ゲート電極の一部を露出した後、前記ゲート電極に接続するゲート配線を形成し、

10

20

前記ゲート配線上に第2の絶縁膜を形成し、

前記第1の絶縁膜及び前記第2の絶縁膜の一部をエッチングして前記ソース電極又は前記ドレイン電極の一部を露出した後、前記ソース電極又は前記ドレイン電極に接続する画素電極を形成することを特徴とする液晶表示装置の作製方法。

【請求項2】

絶縁表面上にゲート電極を形成し、

前記ゲート電極上に $\text{SiN}_x\text{O}_y$  ( $x > 0$ 、 $y = 0$ 、 $x > y$ ) からなる第1のゲート絶縁膜を形成し、

前記第1のゲート絶縁膜上に $\text{SiO}_x\text{N}_y$  ( $x > 0$ 、 $y = 0$ 、 $x > y$ ) からなる第2のゲート絶縁膜を形成し、

前記第2のゲート絶縁膜上に $\text{SiN}_x\text{O}_y$  ( $x > 0$ 、 $y = 0$ 、 $x > y$ ) からなる第3のゲート絶縁膜を形成し、

前記第3のゲート絶縁膜上に触媒元素を有する層を形成し、

前記触媒元素を有する層上に第1の半導体膜を形成し、

前記ゲート電極、前記触媒元素を有する層、及び前記第1の半導体膜が重畳する領域上に保護層を形成し、

前記第1の半導体膜及び前記保護層上に不純物元素を有する第2の半導体膜を形成した後加熱して前記第1の半導体膜を結晶化させると共に、前記触媒元素を前記第2の半導体膜へ移動させ、

加熱された前記第2の半導体膜に接する第1の導電層を形成し、

前記第1の導電層の一部をエッチングして、ソース電極及びドレイン電極を形成し、

前記第2の半導体膜の一部をエッチングして、ソース領域及びドレイン領域を形成し、

前記ソース電極及び前記ドレイン電極上に第1の絶縁膜を形成し、

前記第1の絶縁膜及び前記第1のゲート絶縁膜乃至第3のゲート絶縁膜の一部をエッチングして、前記ゲート電極の一部を露出した後、前記ゲート電極に接続するゲート配線を形成し、

前記ゲート配線上に第2の絶縁膜を形成し、

前記第1の絶縁膜及び前記第2の絶縁膜の一部をエッチングして前記ソース電極又は前記ドレイン電極の一部を露出した後、前記ソース電極又は前記ドレイン電極に接続する画素電極を形成することを特徴とする液晶表示装置の作製方法。

【請求項3】

請求項1または請求項2において、

前記第2の半導体膜に希ガスが含まれていることを特徴とする液晶表示装置の作製方法。

【請求項4】

絶縁表面上にゲート電極を形成し、

前記ゲート電極上に $\text{SiN}_x\text{O}_y$  ( $x > 0$ 、 $y = 0$ 、 $x > y$ ) からなる第1のゲート絶縁膜を形成し、

前記第1のゲート絶縁膜上に $\text{SiO}_x\text{N}_y$  ( $x > 0$ 、 $y = 0$ 、 $x > y$ ) からなる第2のゲート絶縁膜を形成し、

前記第2のゲート絶縁膜上に $\text{SiN}_x\text{O}_y$  ( $x > 0$ 、 $y = 0$ 、 $x > y$ ) からなる第3のゲート絶縁膜を形成し、

前記第3のゲート絶縁膜上に触媒元素を有する層を形成し、

前記触媒元素を有する層上に第1の半導体膜を形成し、

前記第1の半導体膜上に希ガス元素を有する第2の半導体膜を形成した後加熱して前記第1の半導体膜を結晶化させると共に、前記触媒元素を前記第2の半導体膜へ移動させ、

加熱された前記第2の半導体膜を除去し

前記第1の半導体膜上に不純物元素を有する第3の半導体膜を形成し、

前記第3の半導体膜に接する第1の導電層を形成し、

前記第1の導電層の一部をエッチングして、ソース電極及びドレイン電極を形成し、

10

20

30

40

50

前記第3の半導体膜の一部をエッチングして、ソース領域及びドレイン領域を形成し、  
前記ソース電極及び前記ドレイン電極上に第1の絶縁膜を形成し、

前記第1の絶縁膜及び前記第1のゲート絶縁膜乃至第3のゲート絶縁膜の一部をエッチングして、前記ゲート電極の一部を露出した後、前記ゲート電極に接続するゲート配線を形成し、

前記ゲート配線上に第2の絶縁膜を形成し、

前記第1の絶縁膜及び前記第2の絶縁膜の一部をエッチングして前記ソース電極又は前記ドレイン電極の一部を露出した後、前記ソース電極又は前記ドレイン電極に接続する画素電極を形成することを特徴とする液晶表示装置の作製方法。

【請求項5】

絶縁表面上にゲート電極を形成し、

前記ゲート電極上に  $\text{SiN}_x\text{O}_y$  ( $x > 0$ 、 $y = 0$ 、 $x > y$ ) からなる第1のゲート絶縁膜を形成し、

前記第1のゲート絶縁膜上に  $\text{SiO}_x\text{N}_y$  ( $x > 0$ 、 $y = 0$ 、 $x > y$ ) からなる第2のゲート絶縁膜を形成し、

前記第2のゲート絶縁膜上に  $\text{SiN}_x\text{O}_y$  ( $x > 0$ 、 $y = 0$ 、 $x > y$ ) からなる第3のゲート絶縁膜を形成し、

前記第3のゲート絶縁膜上に触媒元素を有する層を形成し、

前記触媒元素を有する層上に第1の半導体膜を形成し、

前記ゲート電極、前記触媒元素を有する層、及び前記第1の半導体膜が重畳する領域上に保護層を形成し、

前記第1の半導体膜及び前記保護層上に希ガス元素を有する第2の半導体膜を形成した後加熱して前記第1の半導体膜を結晶化させると共に、前記触媒元素を前記第2の半導体膜へ移動させ、

加熱された前記第2の半導体膜を除去し、

前記第1の半導体膜上に不純物元素を有する第3の半導体膜を形成し、

前記第3の半導体膜をエッチングしてソース領域及びドレイン領域を形成し、

前記ゲート絶縁膜の一部をエッチングして、前記ゲート電極の一部を露出した後、前記ゲート電極に接続するゲート配線と、前記ソース領域及び前記ドレイン領域に接するソース電極及びドレイン電極とを形成し、

前記ソース電極及び前記ドレイン電極上に第1の絶縁膜を形成し、

前記第1の絶縁膜及び前記第1のゲート絶縁膜乃至第3のゲート配線の一部を露出した後、前記ゲート配線に接続する導電層を形成し、

前記ゲート配線上に第2の絶縁膜を形成し、

前記第1の絶縁膜及び前記第2の絶縁膜の一部をエッチングして前記ソース電極又は前記ドレイン電極の一部を露出した後、前記ソース電極又は前記ドレイン電極に接する画素電極を形成することを特徴とする液晶表示装置の作製方法。

【請求項6】

請求項1乃至請求項5のいずれか一項において、

前記第3のゲート絶縁膜の膜厚は1～3nmであることを特徴とする液晶表示装置の作製方法。

【請求項7】

請求項1乃至請求項6のいずれか一項において、

前記ソース電極又は前記ドレイン電極の形成と同時にソース配線を形成することを特徴とする液晶表示装置の作製方法。

【請求項8】

請求項1乃至請求項7のいずれか一項において、

前記ゲート電極は、タンゲステン、モリブデン、ジルコニウム、ハフニウム、バナジウム、ニオブ、タンタル、クロム、コバルト、ニッケル、白金又はリンを含有する結晶性珪素膜、酸化インジウムスズ、酸化亜鉛、酸化インジウム亜鉛、ガリウムを添加した酸化亜

10

20

30

40

50

鉛、又は酸化珪素を含む酸化インジウムスズで形成されることを特徴とする液晶表示装置の作製方法。

【請求項 9】

請求項 1 乃至請求項 8 のいずれか一項において、

前記不純物元素はリン、ヒ素、アンチモン、ビスマスから選ばれた元素であることを特徴とする液晶表示装置の作製方法。

【請求項 10】

請求項 1 乃至請求項 9 のいずれか一項において、

前記触媒元素は、タングステン、モリブデン、ジルコニウム、ハフニウム、バナジウム、ニオブ、タンタル、クロム、コバルト、チタン、銅、ニッケル、及び白金から選ばれる一つ又は複数であることを特徴とする液晶表示装置の作製方法。

10

【請求項 11】

請求項 1 乃至請求項 10 のいずれか一項において、

前記ゲート配線は、銅で形成されることを特徴とする液晶表示装置の作製方法。

【請求項 12】

絶縁表面上に第 1 のゲート電極と第 2 のゲート電極とを形成し、

前記第 1 のゲート電極及び前記第 2 のゲート電極上に  $\text{SiN}_x\text{O}_y$  ( $x > 0$ 、 $y = 0$ 、 $x > y$ ) からなる第 1 のゲート絶縁膜を形成し、

前記第 1 のゲート絶縁膜上に  $\text{SiO}_x\text{N}_y$  ( $x > 0$ 、 $y = 0$ 、 $x > y$ ) からなる第 2 のゲート絶縁膜を形成し、

20

前記第 2 のゲート絶縁膜上に  $\text{SiN}_x\text{O}_y$  ( $x > 0$ 、 $y = 0$ 、 $x > y$ ) からなる第 3 のゲート絶縁膜を形成し、

前記第 3 のゲート絶縁膜上に触媒元素を有する層を形成し、

前記触媒元素を有する層上に第 1 の半導体膜を形成し、

前記第 1 の半導体膜上に n 型を付与する第 1 の不純物元素が添加された第 2 の半導体膜を形成した後、加熱して前記第 1 の半導体膜を結晶化させると共に、前記触媒元素を前記第 2 の半導体膜へ移動させ、

前記第 2 の半導体膜をエッチングして第 1 の半導体領域と第 3 の半導体領域とを形成し、且つ、前記第 1 の半導体膜をエッチングして前記第 1 の半導体領域と重なる第 2 の半導体領域と前記第 3 の半導体領域と重なる第 4 の半導体領域とを形成し、

30

前記第 1 の半導体領域の全部を覆う第 1 のマスクと、前記第 3 の半導体領域の一部を覆う第 2 のマスクと、を形成し、

前記第 1 のマスク及び前記第 2 のマスクが形成された状態で、前記第 3 の半導体領域に p 型を付与する第 2 の不純物元素を添加し、

前記第 1 のマスク及び前記第 2 のマスクを除去し、

前記第 3 のゲート絶縁膜と前記第 1 の半導体領域と前記第 3 の半導体領域上とに第 1 の導電層を形成し、

前記第 1 の導電層の一部エッチングして、前記第 3 のゲート絶縁膜上にソース配線を形成し、かつ、前記第 1 の半導体領域上に第 1 のソース電極及び第 1 のドレイン電極を形成し、かつ、前記第 3 の半導体領域上に第 2 のソース電極及び第 2 のドレイン電極を形成し、

40

前記第 1 の半導体領域をエッチングして、第 1 のソース領域及び第 1 のドレイン領域を形成し、且つ、前記第 3 の半導体領域をエッチングして第 2 のソース領域及び第 2 のドレイン領域を形成し、

前記第 1 のソース電極上、前記第 1 のドレイン電極上、前記第 2 のソース電極上、及び前記第 2 のドレイン電極上に第 1 の絶縁膜を形成し、

前記第 1 の絶縁膜及び前記第 1 のゲート絶縁膜乃至第 3 のゲート絶縁膜の一部をエッチングして、前記第 1 のゲート電極及び前記第 2 のゲート電極の一部を露出した後、前記第 1 のゲート電極及び前記第 2 のゲート電極に接続するゲート配線を形成し、

前記ゲート配線上に第 2 の絶縁膜を形成し、

50

前記第1の絶縁膜及び前記第2の絶縁膜の一部をエッチングして前記第1のソース電極又は前記第1のドレイン電極の一部を露出した後、前記第1のソース電極又は前記第1のドレイン電極に接続する画素電極を形成することを特徴とする液晶表示装置の作製方法。

【請求項13】

絶縁表面上に第1のゲート電極と第2のゲート電極とを形成し、

前記第1のゲート電極及び前記第2のゲート電極上に $\text{SiN}_x\text{O}_y$  ( $x > 0$ 、 $y = 0$ 、 $x > y$ ) からなる第1のゲート絶縁膜を形成し、

前記第1のゲート絶縁膜上に $\text{SiO}_x\text{N}_y$  ( $x > 0$ 、 $y = 0$ 、 $x > y$ ) からなる第2のゲート絶縁膜を形成し、

前記第2のゲート絶縁膜上に $\text{SiN}_x\text{O}_y$  ( $x > 0$ 、 $y = 0$ 、 $x > y$ ) からなる第3のゲート絶縁膜を形成し、 10

前記第3のゲート絶縁膜上に触媒元素を有する層を形成し、

前記触媒元素を有する層上に第1の半導体膜を形成し、

前記第1の半導体膜上にn型を付与する第1の不純物元素が添加された第2の半導体膜を形成し、

前記第2の半導体膜をエッチングして第1の半導体領域と第3の半導体領域とを形成し、且つ、前記第1の半導体膜をエッチングして前記第1の半導体領域と重なる第2の半導体領域と前記第3の半導体領域と重なる第4の半導体領域とを形成した後、加熱して、前記第2の半導体領域を結晶化させると共に前記触媒元素を前記第1の半導体領域へ移動させ、かつ前記第4の半導体領域を結晶化させると共に前記触媒元素を前記第3の半導体領域へ移動させ、 20

前記第1の半導体領域の全部を覆う第1のマスクと、前記第3の半導体領域の一部を覆う第2のマスクと、を形成し、

前記第1のマスク及び前記第2のマスクが形成された状態で、前記第3の半導体領域にp型を付与する第2の不純物元素を添加し、

前記第1のマスク及び前記第2のマスクを除去し、

前記第3のゲート絶縁膜と前記第1の半導体領域と前記第3の半導体領域上とに第1の導電層を形成し、

前記第1の導電層の一部エッチングして、前記第3のゲート絶縁膜上にソース配線を形成し、かつ、前記第1の半導体領域上に第1のソース電極及び第1のドレイン電極を形成し、かつ、前記第3の半導体領域上に第2のソース電極及び第2のドレイン電極を形成し、 30

前記第1の半導体領域をエッチングして、第1のソース領域及び第1のドレイン領域を形成し、且つ、前記第3の半導体領域をエッチングして第2のソース領域及び第2のドレイン領域を形成し、

前記第1のソース電極上、前記第1のドレイン電極上、前記第2のソース電極上、及び前記第2のドレイン電極上に第1の絶縁膜を形成し、

前記第1の絶縁膜及び前記第1のゲート絶縁膜乃至第3のゲート絶縁膜の一部をエッチングして、前記第1のゲート電極及び前記第2のゲート電極の一部を露出した後、前記第1のゲート電極及び前記第2のゲート電極に接続するゲート配線を形成し、 40

前記ゲート配線上に第2の絶縁膜を形成し、

前記第1の絶縁膜及び前記第2の絶縁膜の一部をエッチングして前記第1のソース電極又は前記第1のドレイン電極の一部を露出した後、前記第1のソース電極又は前記第1のドレイン電極に接続する画素電極を形成することを特徴とする液晶表示装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、結晶性半導体膜で形成される逆スタガ型薄膜トランジスタを有する液晶表示装置の作製方法に関するものである。

【背景技術】

## 【 0 0 0 2 】

近年、液晶ディスプレイ（LCD）やELディスプレイに代表されるフラットパネルディスプレイ（FPD）は、これまでのCRTに替わる表示装置として注目を集めている。特にアクティブマトリクス駆動の大型液晶パネルを搭載した大画面液晶テレビの開発は、液晶パネルメーカーにとって注力すべき重要な課題になっている。また、近年液晶テレビに追随し、大画面ELテレビの開発も行われている。

## 【 0 0 0 3 】

従来の液晶装置において、各画素を駆動する半導体素子としてはアモルファスシリコンを用いた薄膜トランジスタ（以下、TFTと示す。）が用いられている。

## 【 0 0 0 4 】

一方、従来の液晶テレビにおいては、視野角特性の限界、液晶材料等が原因の高速動作の限界による画像のぼやけが欠点であったが、近年それを解消する新たな表示モードとして、OCBモードが提案されている（非特許文献1）。

【非特許文献1】長広恭明他編、「日経マイクロデバイス別冊 フラットパネル・ディスプレイ2002」、日系BP社、2001年10月、P102 - 109

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【 0 0 0 5 】

一方、LCDの画質を向上させるために高速動作が可能なスイッチング素子が必要とされている。しかしながら、非晶質半導体膜を用いたTFTでは限界がある。例えば、OCBモードの液晶表示装置を実現することが困難となる。

## 【 0 0 0 6 】

本発明は、このような状況に鑑みなされたものであり、少ないフォトマスク数で、しきい値のずれが生じにくいTFTを有する液晶表示装置の作製方法を提供する。また、高速動作が可能なTFTを有する液晶表示装置の作製方法を提供する。また、スイッチング特性が高く、コントラストがすぐれた表示が可能な液晶表示装置の作製方法を提供する。

## 【課題を解決するための手段】

## 【 0 0 0 7 】

本発明は、耐熱性の高い材料でゲート電極を形成した後、非晶質半導体膜を成膜し、該非晶質半導体膜に接する触媒元素層を形成し、該触媒元素層上にドナー型元素又は希ガス元素を有する層、若しくはドナー型元素及び希ガス元素を有する層を形成し加熱して結晶性半導体膜を形成し、触媒元素を結晶性半導体膜から除いた後、該結晶性半導体膜の一部を用いて半導体領域を形成し、該半導体領域に電気的に接するソース電極及びドレイン電極を形成し、ゲート電極に接続する走査線を形成して、逆スタガ型TFTを形成することを要旨とする。

## 【 0 0 0 8 】

本発明の一は、絶縁表面上にゲート電極を形成し、ゲート電極上にゲート絶縁膜を形成し、ゲート絶縁膜上に触媒元素を有する層を形成し、触媒元素を有する層上に第1の半導体膜を形成し、第1の半導体膜上に不純物元素を有する第2の半導体膜を形成した後加熱し、加熱された第2の半導体膜に接する第1の導電層を形成し、第1の導電層の一部をエッチングして、ソース電極及びドレイン電極を形成し、第2の半導体膜の一部をエッチングして、ソース領域及びドレイン領域を形成し、ゲート絶縁膜及びソース電極及びドレイン電極上に絶縁膜を形成し、絶縁膜及びゲート絶縁膜の一部をエッチングして、ゲート電極の一部を露出した後、ゲート電極に接続するゲート配線を形成し、絶縁膜の一部をエッチングしてソース電極又はドレイン電極の一部を露出した後、ソース電極又はドレイン電極に接続する第1の電極を形成することを特徴とする液晶表示装置の作製方法である。

## 【 0 0 0 9 】

本発明の一は、絶縁表面上にゲート電極を形成し、ゲート電極上にゲート絶縁膜を形成し、ゲート絶縁膜上に第1の半導体膜を形成し、第1の半導体膜上に触媒元素を有する層を形成し、触媒元素を有する層上に不純物元素を有する第2の半導体膜を形成した後加熱

10

20

30

40

50

し、加熱された第2の半導体膜に接する第1の導電層を形成し、第1の導電層の一部をエッチングして、ソース電極及びドレイン電極を形成し、第2の半導体膜の一部をエッチングして、ソース領域及びドレイン領域を形成し、ゲート絶縁膜及びソース電極及びドレイン電極上に絶縁膜を形成し、絶縁膜及びゲート絶縁膜の一部をエッチングして、ゲート電極の一部を露出した後、ゲート電極に接続するゲート配線を形成し、絶縁膜の一部をエッチングしてソース電極又はドレイン電極の一部を露出した後、ソース電極又はドレイン電極に接続する第1の電極を形成することを特徴とする液晶表示装置の作製方法である。

【0010】

本発明の一は、絶縁表面上にゲート電極を形成し、ゲート電極上にゲート絶縁膜を形成し、ゲート絶縁膜上に触媒元素を有する層を形成し、触媒元素を有する層上に第1の半導体膜を形成し、ゲート電極、触媒元素を有する層、及び第1の半導体膜が重畳する領域上に保護層を形成し、第1の半導体膜及び保護層上に不純物元素を有する第2の半導体膜を形成した後加熱し、加熱された第2の半導体膜に接する第1の導電層を形成し、第1の導電層の一部をエッチングして、ソース電極及びドレイン電極を形成し、第2の半導体膜の一部をエッチングして、ソース領域及びドレイン領域を形成し、ゲート絶縁膜及びソース電極及びドレイン電極上に絶縁膜を形成し、絶縁膜及びゲート絶縁膜の一部をエッチングして、ゲート電極の一部を露出した後、ゲート電極に接続するゲート配線を形成し、絶縁膜の一部をエッチングしてソース電極又はドレイン電極の一部を露出した後、ソース電極又はドレイン電極に接続する第1の電極を形成することを特徴とする液晶表示装置の作製方法である。

【0011】

本発明の一は、絶縁表面上にゲート電極を形成し、ゲート電極上にゲート絶縁膜を形成し、ゲート絶縁膜上に第1の半導体膜を形成し、第1の半導体膜上に触媒元素を有する層を形成し、ゲート電極、第1の半導体膜及び触媒元素を有する層が重畳する領域に保護層を形成し、保護層及び触媒元素を有する層上に不純物元素を有する第2の半導体膜を形成した後加熱し、加熱された第2の半導体膜に接する第1の導電層を形成し、第1の導電層の一部をエッチングして、ソース電極及びドレイン電極を形成し、第2の半導体膜の一部をエッチングして、ソース領域及びドレイン領域を形成し、ゲート絶縁膜及びソース電極及びドレイン電極上に絶縁膜を形成し、絶縁膜及びゲート絶縁膜の一部をエッチングして、ゲート電極の一部を露出した後、ゲート電極に接続するゲート配線を形成し、絶縁膜の一部をエッチングしてソース電極又はドレイン電極の一部を露出した後、ソース電極又はドレイン電極に接続する第1の電極を形成することを特徴とする液晶表示装置の作製方法である。

【0012】

本発明の一は、基板上にゲート電極を形成し、ゲート電極上にゲート絶縁膜を形成し、ゲート絶縁膜上に触媒元素を有する層を形成し、触媒元素を有する層上に第1の半導体膜を形成し、第1の半導体膜上に不純物元素を有する第2の半導体膜を形成した後加熱し、加熱された第2の半導体膜をエッチングしてソース領域及びドレイン領域を形成し、ゲート絶縁膜の一部をエッチングして、ゲート電極の一部を露出した後、ゲート電極に接続するゲート配線と、ソース領域及びドレイン領域に接するソース電極及びドレイン電極とを形成し、ゲート絶縁膜、ゲート配線、ソース電極及びドレイン電極上に絶縁膜を形成し、絶縁膜の一部をエッチングして、ゲート配線の一部を露出した後、ゲート配線に接続する導電層を形成し、絶縁膜の一部をエッチングしてソース電極又はドレイン電極の一部を露出した後、ソース電極又はドレイン電極に接する第1の電極を形成することを特徴とする液晶表示装置の作製方法である。

【0013】

本発明の一は、基板上にゲート電極を形成し、ゲート電極上にゲート絶縁膜を形成し、ゲート絶縁膜上に第1の半導体膜を形成し、第1の半導体膜上に触媒元素を有する層を形成し、触媒元素を有する層上に不純物元素を有する第2の半導体膜を形成した後加熱し、加熱された第2の半導体膜をエッチングしてソース領域及びドレイン領域を形成し、ゲート

ト絶縁膜の一部をエッチングして、ゲート電極の一部を露出した後、ゲート電極に接続するゲート配線と、ソース領域及びドレイン領域に接するソース電極及びドレイン電極とを形成し、ゲート絶縁膜、ゲート配線、ソース電極及びドレイン電極上に絶縁膜を形成し、絶縁膜の一部をエッチングして、ゲート配線の一部を露出した後、ゲート配線に接続する導電層を形成し、絶縁膜の一部をエッチングしてソース電極又はドレイン電極の一部を露出した後、ソース電極又はドレイン電極に接する第1の電極を形成することを特徴とする液晶表示装置の作製方法である。

【0014】

本発明の一は、基板上にゲート電極を形成し、ゲート電極上にゲート絶縁膜を形成し、ゲート絶縁膜上に触媒元素を有する層を形成し、触媒元素を有する層上に第1の半導体膜を形成し、ゲート電極、触媒元素を有する層、及び第1の半導体膜が重畳する領域上に保護層を形成し、第1の半導体膜及び保護層上に不純物元素を有する第2の半導体膜を形成した後加熱し、加熱された第2の半導体膜をエッチングしてソース領域及びドレイン領域を形成し、ゲート絶縁膜の一部をエッチングして、ゲート電極の一部を露出した後、ゲート電極に接続するゲート配線と、ソース領域及びドレイン領域に接するソース電極及びドレイン電極とを形成し、ゲート絶縁膜、ゲート配線、ソース電極及びドレイン電極上に絶縁膜を形成し、絶縁膜の一部をエッチングして、ゲート配線の一部を露出した後、ゲート配線に接続する導電層を形成し、絶縁膜の一部をエッチングしてソース電極又はドレイン電極の一部を露出した後、ソース電極又はドレイン電極に接する第1の電極を形成することを特徴とする液晶表示装置の作製方法である。

【0015】

本発明の一は、基板上にゲート電極を形成し、ゲート電極上にゲート絶縁膜を形成し、ゲート絶縁膜上に第1の半導体膜を形成し、第1の半導体膜上に触媒元素を有する層を形成し、ゲート電極、第1の半導体膜及び触媒元素を有する層が重畳する領域に保護層を形成し、保護層及び触媒元素を有する層上に不純物元素を有する第2の半導体膜を形成した後加熱し、加熱された第2の半導体膜をエッチングしてソース領域及びドレイン領域を形成し、ゲート絶縁膜の一部をエッチングして、ゲート電極の一部を露出した後、ゲート電極に接続するゲート配線と、ソース領域及びドレイン領域に接するソース電極及びドレイン電極とを形成し、ゲート絶縁膜、ゲート配線、ソース電極及びドレイン電極上に絶縁膜を形成し、絶縁膜の一部をエッチングして、ゲート配線の一部を露出した後、ゲート配線に接続する導電層を形成し、絶縁膜の一部をエッチングしてソース電極又はドレイン電極の一部を露出した後、ソース電極又はドレイン電極に接する第1の電極を形成することを特徴とする液晶表示装置の作製方法である。

【0016】

なお、ソース電極又はドレイン電極に接する第1の電極を形成した後、ゲート電極に接続するゲート配線を形成してもよい。また、ゲート電極に接続するゲート配線を形成した後、ソース電極又はドレイン電極に接する第1の電極を形成してもよい。

【0017】

ゲート配線は、3つ以上のゲート電極に接続されていてもよい。また、ゲート配線は、2つのゲート電極に接続されていてもよい。

【0018】

なお、ゲート絶縁膜、ゲート配線、ソース電極及びドレイン電極上形成する絶縁膜の代わりに、ソース電極又はドレイン電極の一部を覆う絶縁膜を形成してもよい。

【0019】

また、ゲート電極は、絶縁表面上に導電膜を形成し、導電膜上に感光性樹脂を吐出又は塗布し、感光性樹脂の一部に紫外光または近傍の波長の光を照射し、現像後マスクを形成した後、マスクを用いて導電膜をエッチングして形成する。

【0020】

また、ゲート電極は、耐熱性を有する導電層で形成されている。代表的には、タングステン、モリブデン、ジルコニウム、ハフニウム、バナジウム、ニオブ、タンタル、クロム

10

20

30

40

50



、コバルト、ニッケル、白金又はリンを含有する結晶性珪素膜、酸化インジウムスズ、酸化亜鉛、酸化インジウム亜鉛、ガリウムを添加した酸化亜鉛、又は酸化珪素を含む酸化インジウムスズで形成される。

【 0 0 2 1 】

また、触媒元素は、タングステン、モリブデン、ジルコニウム、ハフニウム、バナジウム、ニオブ、タンタル、クロム、コバルト、銅、チタン、ニッケル、及び白金から選ばれる一つ又は複数である。

【 0 0 2 2 】

また、不純物元素はリン、ヒ素、アンチモン、ビスマスから選ばれた元素である。

【 0 0 2 3 】

また、本発明の一は、上記半導体装置を有する液晶テレビジョンである。

【 0 0 2 4 】

また、本発明において、半導体装置としては、半導体素子で構成された集積回路、表示装置、無線タグ、ＩＣタグ、表示装置等が挙げられる。表示装置としては、代表的には液晶表示装置、ＤＭＤ（Ｄｉｇｉｔａｌ　Ｍｉｃｒｏｍｉｒｒｏｒ　Ｄｅｖｉｃｅ；デジタルマイクロミラーデバイス）、ＰＤＰ（Ｐｌａｓｍａ　Ｄｉｓｐｌａｙ　Ｐａｎｅｌ；プラズマディスプレイパネル）、ＦＥＤ（Ｆｉｅｌｄ　Ｅｍｉｓｓｉｏｎ　Ｄｉｓｐｌａｙ；フィールドエミッションディスプレイ）、電気泳動表示装置（電子ペーパー）等の表示装置があげられる。

【 0 0 2 5 】

なお、本発明において、液晶表示装置とは、液晶表示素子を用いたデバイス、即ち画像表示デバイスを指す。また、液晶表示パネルにコネクタ、例えばフレキシブルプリント配線（ＦＰＣ：Ｆｌｅｘｉｂｌｅ　Ｐｒｉｎｔｅｄ　Ｃｉｒｃｕｉｔ）もしくはＴＡＢ（Ｔａｐｅ　Ａｕｔｏｍａｔｅｄ　Ｂｏｎｄｉｎｇ）テープもしくはＴＣＰ（Ｔａｐｅ　Ｃａｒｒｉｅｒ　Ｐａｃｋａｇｅ）が取り付けられたモジュール、ＴＡＢテープやＴＣＰの先にプリント配線基板が設けられたモジュール、または表示素子にＣＯＧ（Ｃｈｉｐ　Ｏｎ　Ｇｌａｓｓ）方式によりＩＣ（集積回路）やＣＰＵが直接実装されたモジュールも全て表示装置に含むものとする。

【発明の効果】

【 0 0 2 6 】

本発明により、少ないフォトリソ数で、結晶性半導体膜で形成される逆スタガ型ＴＦＴを形成することができる。本発明の逆スタガ型ＴＦＴは、非晶質半導体膜の結晶化工程と、非晶質半導体膜の結晶化を促進するための触媒元素のゲッタリング工程とを同時に行うことが可能であるため、工程数の削減が可能である。特に、加熱処理数を削減できるため、省エネルギー化が可能であり、また、スループットを向上させることができる。

【 0 0 2 7 】

また、本発明の逆スタガ型ＴＦＴは、ゲート電極に耐熱性の高い材料を用いており、また活性化工程、結晶化工程、ゲッタリング工程等を同時に行った後、低抵抗材料を用いて信号線、走査線等の配線を形成している。このため、結晶性を有し、不純物触媒元素が少なく、配線抵抗の低いＴＦＴを形成することが可能である。また、本発明の液晶表示装置は、絶縁膜上に画素電極を形成することが可能であり、開口率を増加させることが可能である。

【 0 0 2 8 】

また、結晶性半導体膜で形成されるＴＦＴは、非晶質半導体膜で形成される逆スタガ型ＴＦＴと比較して１０～５０倍程度、移動度が高い。また、ソース領域及びドレイン領域には、アクセプター型元素又はドナー型元素に加え、触媒元素をも含む。このため、半導体領域との接触抵抗の低いソース領域及びドレイン領域が形成できる。この結果、高速動作が必要な半導体装置を作製することが可能である。代表的には、ＯＣＢモードのような応答速度が速く且つ高視野角な表示が可能な液晶表示装置を製造することが可能である。

【 0 0 2 9 】

また、液晶表示装置の周辺部に、画素領域内のＴＦＴと同時に走査線駆動回路を形成することが可能である。このため、小型化された液晶表示装置を作製することが可能である。

【００３０】

また、非晶質半導体膜で形成されるＴＦＴと比較して、しきい値のずれが生じにくく、ＴＦＴ特性のバラツキを低減することが可能である。このため、非晶質半導体膜で形成されるＴＦＴをスイッチング素子として用いた液晶表示装置と比較して、表示ムラを低減することが可能であり、信頼性の高い半導体装置を作製することが可能である。

【００３１】

更には、結晶化工程と共に行われるゲッタリング工程により、成膜段階で半導体膜中に混入する触媒元素をもゲッタリングするため、オフ電流を低減することが可能であり、代表的には６桁以上のＯＮ／ＯＦＦ比を有するＴＦＴを形成することが可能である。このようなＴＦＴを液晶表示装置のスイッチング素子に設けることにより、コントラストを向上させることが可能である。

【００３２】

さらには、上記の作製工程により形成された半導体装置、又は液晶表示装置を有する液晶テレビジョンの、スループットや歩留まりを向上させることが可能であり、低コストで作製することができる。

【発明を実施するための最良の形態】

【００３３】

以下、発明を実施するための最良の形態について図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は本実施の形態の記載内容に限定して解釈されるものではない。また、各図面において共通の部分は同じ符号を付して詳しい説明を省略する。

【００３４】

（実施形態１）

本実施形態においては、結晶性半導体膜を有する逆スタガ型ＴＦＴの作製工程を、図１～図２を用いて説明する。

【００３５】

図１（Ａ）に示すように、基板１０１上に第１の導電膜１０２を形成し、第１の導電膜１０２上に感光性材料１０３を塗布又は吐出し乾燥焼成する。次に、感光性材料１０３を、フォトリソを用いて部分的に感光、現像し、図１（Ｂ）に示すような第１のマスク１１１、１１２を形成する。

【００３６】

基板１０１としては、ガラス基板、石英基板、アルミナなどのセラミック等絶縁物質で形成される基板、シリコンウェハ、金属板等を用いることができる。また、基板１０１として、３２０ｍｍ×４００ｍｍ、３７０ｍｍ×４７０ｍｍ、５５０ｍｍ×６５０ｍｍ、６００ｍｍ×７２０ｍｍ、６８０ｍｍ×８８０ｍｍ、１０００ｍｍ×１２００ｍｍ、１１００ｍｍ×１２５０ｍｍ、１１５０ｍｍ×１３００ｍｍのような大面積基板を用いることができる。

【００３７】

第１の導電膜１０２は、ＰＶＤ法（Physical Vapor Deposition）、ＣＶＤ法（Chemical Vapor Deposition）、蒸着法等により基板全面に形成する。

【００３８】

第１の導電膜１０２は、高融点材料を用いて形成することが好ましい。高融点材料を用いることにより、後の結晶化工程、ゲッタリング工程、活性化工程等の加熱工程が可能となる。高融点材料としては、タングステン（Ｗ）、モリブデン（Ｍｏ）、ジルコニウム（Ｚｒ）、ハフニウム（Ｈｆ）、バナジウム（Ｖ）、ニオブ（Ｎｂ）、タンタル（Ｔａ）、

10

20

30

40

50

クロム(Cr)、コバルト(Co)、ニッケル(Ni)、チタン(Ti)、白金(Pt)等の金属又はその合金、若しくはその金属窒化物を適宜用いることができる。また、これら複数の膜を積層して形成しても良い。代表的には、基板表面側から窒化タンタル膜及びその上に形成されるタングステン膜、窒化タンタル膜及びその上に形成されるモリブデン、窒化チタン膜及びその上に形成されるタングステン膜、窒化チタン膜及びその上に形成されるモリブデン膜等の積層構造としてもよい。また、リンを含有する珪素膜(非晶質半導体膜、結晶性半導体膜を含む)、酸化インジウムスズ、酸化亜鉛、酸化インジウム亜鉛、ガリウムを添加した酸化亜鉛、又は酸化珪素を含む酸化インジウムスズを用いることもできる。

#### 【0039】

10

感光性材料103の材料としては、紫外光から赤外光に感光する材料ネガ型感光性材料又はポジ型感光性材料を用いる。感光性材料の代表例としては、エポキシ樹脂、クリル樹脂、フェノール樹脂、ノボラック樹脂、アクリル樹脂、メラミン樹脂、ウレタン樹脂等の感光性を示す樹脂材料を用いる。また、ベンゾシクロブテン、パリレン、フレア、ポリイミドなどの感光性を示す有機材料等を用いることができる。また、代表的なポジ型感光性樹脂として、ノボラック樹脂と感光剤であるナフトキノンジアジド化合物を有する感光性樹脂が挙げられ、ネガ型感光性樹脂として、ベース樹脂、ジフェニルシランジオール及び酸発生剤などを有する感光性樹脂が挙げられる。

#### 【0040】

次に、図1(C)に示すように、第1のマスクを用いて、第1の導電膜102をエッチングして、第2の導電膜121a、122aを形成する。第2の導電膜121aは、ゲート電極として機能し、第2の導電膜122aは、ゲート電極においてゲート配線と接続する領域(以下、ゲート電極の接続部と示す。)である。なお、図1(C)においては、第2の導電膜121a、122aは分断された状態で表示されているが、実際には図3(C)に示すように、接続された同一の領域である。

20

#### 【0041】

次に、第1のマスクを除去した後、膜厚10~200nm、好ましくは50~100nmの第1の絶縁膜123を形成し、第1の絶縁膜上に触媒元素を有する層125及び膜厚50~250nmの第1の半導体膜124を形成する。ここでは触媒元素とは半導体膜の結晶化を促進又は助長させる元素のことである。なお、この段階では加熱による結晶化は行わない。

30

#### 【0042】

第1の絶縁膜123は、ゲート絶縁膜として機能する。第1の絶縁膜123は、酸化珪素( $\text{SiO}_x$ )、窒化珪素( $\text{SiN}_x$ )、酸化窒化珪素( $\text{SiO}_x\text{N}_y$ )( $x>y$ )、窒化酸化珪素( $\text{SiN}_x\text{O}_y$ )( $x>y$ )などを適宜用いることができる。更には、第2の導電膜121a、122aを陽極酸化して、第1の絶縁膜の代わりに、陽極酸化膜を形成しても良い。なお、基板側から不純物などの拡散を防止するため、基板側に接する絶縁膜として、窒化珪素( $\text{SiN}_x$ )、窒化酸化珪素( $\text{SiN}_x\text{O}_y$ )( $x>y$ )などを用い、後に形成される第1の半導体膜124との界面特性から、酸化珪素( $\text{SiO}_x$ )、酸化窒化珪素( $\text{SiO}_x\text{N}_y$ )( $x>y$ )を第1の半導体膜側に形成して、積層構造の第1の絶縁膜を形成することが望ましい。しかしながら、該構造に限定されず、酸化珪素( $\text{SiO}_x$ )、窒化珪素( $\text{SiN}_x$ )、酸化窒化珪素( $\text{SiO}_x\text{N}_y$ )( $x>y$ )、窒化酸化珪素( $\text{SiN}_x\text{O}_y$ )( $x>y$ )等のいずれかを適宜組み合わせで積層構造としてもよい。なお、酸化珪素( $\text{SiO}_x$ )膜には、水素が含まれている。第1の絶縁膜123は、CVD法、PVD法等の公知の手法により形成する。

40

#### 【0043】

また、半導体膜に接する絶縁膜123の最上層に、膜厚0.01~10nm、好ましくは1~3nmの窒化珪素膜、あるいは窒化珪素酸化膜を形成すると好ましい。本実施の形態では、半導体膜に結晶化を促進する触媒元素(本実施の形態ではニッケルを用いる)を添加し、結晶化と同時にゲッタリング処理を行って除去する。酸化珪素膜と珪素膜との界

50

面状態は良好であるが、界面において珪素膜中の触媒元素と酸化珪素中の酸素が反応し、金属酸化物（本実施の形態では酸化ニッケル（ $\text{NiO}_x$ ））になりやすく、触媒元素がゲッタリングされにくくなる場合がある。また、窒化珪素膜は、窒化珪素膜の応力や、トラップの影響により、半導体膜との界面状態に悪影響を与える恐れがある。よって、半導体膜に接する絶縁膜の最上層に、膜厚  $0.01 \sim 10 \text{ nm}$ 、好ましくは  $1 \sim 3 \text{ nm}$  の窒化珪素膜、あるいは窒化酸化珪素膜を形成する。本実施の形態では、基板 101 上に窒化酸化珪素膜と酸化窒化珪素膜とを積層した後、酸化窒化珪素膜上に膜厚  $1 \sim 3 \text{ nm}$  の窒化酸化珪素膜を形成し、3 層の積層構造とする。このような構造であると、半導体膜中の触媒元素のゲッタリング効率も上がり、かつ半導体膜への窒化珪素膜の悪影響も軽減できる。また積層される絶縁膜は、同チャンバー内で真空を破らずに同一温度下で、反応ガスを切り変えながら連続的に形成するとよい。真空を破らずに連続的に形成すると、積層する膜同士の界面が汚染されるのを防ぐことができる。なお、本発明の実施形態においては、第 1 の絶縁膜 123 を 3 層構造で示しているが、これらを代表して第 1 の絶縁膜 123 として示す。

10

#### 【0044】

第 1 の半導体膜 124 としては、非晶質半導体、非晶質状態と結晶状態とが混在したセミアモルファス半導体、非晶質半導体中に  $0.5 \text{ nm} \sim 20 \text{ nm}$  の結晶粒を観察することができる微結晶半導体、及び結晶性半導体から選ばれたいずれかの状態を有する膜で形成する。特に、 $0.5 \text{ nm} \sim 20 \text{ nm}$  の結晶粒を観察することができる微結晶状態はいわゆるマイクロクリスタル（ $\mu\text{c}$ ）と呼ばれている。いずれも、シリコン、シリコン・ゲルマニウム（ $\text{SiGe}$ ）等を主成分とする半導体膜を用いることができる。なお、セミアモルファスシリコンを、以下セミアモルファス半導体とも表記する。

20

#### 【0045】

なお、後の結晶化で良質な結晶構造を有する半導体膜を得るためには、第 1 の半導体膜 124 の膜中に含まれる酸素、窒素などの不純物濃度を  $5 \times 10^{18} / \text{cm}^3$ （以下、濃度はすべて二次イオン質量分析法（SIMS）にて測定した原子濃度として示す。）以下に低減させておくことが良い。これらの不純物は、触媒元素と反応しやすく、後の結晶化を妨害する要因となり、また、結晶化後においても捕獲中心や再結合中心の密度を増加させる要因となる。

#### 【0046】

触媒元素を有する層 125 の形成方法としては、PVD 法、CVD 法、蒸着法等により第 1 の絶縁膜 123 表面に、触媒元素又は触媒元素の珪化物の薄膜を形成する方法、第 1 の半導体膜 124 表面に触媒元素を含む溶液を塗布する方法などがある。触媒元素としては、タングステン（ $\text{W}$ ）、モリブデン（ $\text{Mo}$ ）、ジルコニウム（ $\text{Zr}$ ）、ハフニウム（ $\text{Hf}$ ）、バナジウム（ $\text{V}$ ）、ニオブ（ $\text{Nb}$ ）、タンタル（ $\text{Ta}$ ）、クロム（ $\text{Cr}$ ）、コバルト（ $\text{Co}$ ）、チタン（ $\text{Ti}$ ）、銅（ $\text{Cu}$ ）、ニッケル（ $\text{Ni}$ ）、白金（ $\text{Pt}$ ）等の一つ又は複数をを用いて形成することができる。ここでは、 $1 \sim 200 \text{ ppm}$ 、好ましくは  $10 \sim 150 \text{ ppm}$  のニッケルを含む溶液を塗布する。

30

#### 【0047】

次に、TFET のチャネル領域となる領域に 3 族元素（13 族元素、以下、アクセプター型元素と示す。）、または 5 族元素（15 族元素、以下、ドナー型元素と示す。）を低濃度に添加するチャネルドーピング工程を全面または選択的に行う。このチャネルドーピング工程は、TFET しきい値電圧を制御するための工程である。なお、ここではジボラン（ $\text{B}_2\text{H}_6$ ）を質量分離しないでプラズマ励起したイオンドーピング法でボロンを添加する。なお、質量分離を行うイオン注入法を用いてもよい。

40

#### 【0048】

次に、第 1 の半導体膜 124 上に、ドナー型元素が含まれる膜厚  $80 \sim 250 \text{ nm}$  の第 2 の半導体膜 132 を形成する。珪化物気体にリン、ヒ素のようなドナー型元素を有する気体を加えたプラズマ CVD 法で成膜する。このような手法により第 2 の半導体膜を形成することで、第 1 の半導体膜と第 2 の半導体膜との界面が形成される。また、ドナー型元

50

素が含まれる第2の半導体膜132としては、第1の半導体膜と同様の半導体膜を形成した後、ドナー型元素をイオンドープ法又はイオン注入法により添加して形成することができる。このときの、第2の半導体膜132では、リンの濃度が $1 \times 10^{19} \sim 3 \times 10^{21} / \text{cm}^3$ であることが好ましい。

#### 【0049】

さらには、上記プラズマCVD法、又はイオンドープ法、イオン注入法を用いて、第1の半導体膜124に接する側に、低濃度領域（以下、 $n^-$ 領域と示す。）、その上に高濃度領域（以下、 $n^+$ 領域と示す。）の積層構造としても良い。このとき、 $n^-$ 領域のドナー型元素の濃度は、 $1 \times 10^{17} \sim 3 \times 10^{19} / \text{cm}^3$ 、好ましくは $1 \times 10^{18} \sim 1 \times 10^{19} / \text{cm}^3$ とし、 $n^+$ 領域のドナー型元素の濃度は、 $n^-$ 領域のドナー型元素の10～100倍とする。また、 $n^-$ 領域の膜厚は50～200nmであり、 $n^+$ 領域の膜厚は30～100nm好ましくは40～60nmである。ここでは、第2の半導体膜132として、波線より第1の半導体膜124側の領域を $n^-$ 領域とし、その表面に $n^+$ 領域を示す。

#### 【0050】

このときのドナー型元素が含まれる第2の半導体膜の不純物のプロファイルを図16に示す。図16(A)は、第1の半導体膜124上に、プラズマCVD法によりドナー型元素が含まれる第2の半導体膜132aを形成した時の、ドナー型元素のプロファイル150aを示す。なお、第2の半導体膜132aは、表面から $n^+$ 領域144a及び $n^-$ 領域144bの界面までは、膜の深さ方向に対して一定の濃度（第1の濃度）のドナー型元素が分布している。また、 $n^+$ 領域144a及び $n^-$ 領域144bの界面から、第1の半導体膜124の界面までは、膜の深さ方向に対して一定の濃度（第2の濃度）のドナー型元素が分布している。このとき、第1の濃度は第2の濃度より高い。

#### 【0051】

一方、図16(B)は、第1の半導体膜124上に、非晶質半導体、セミアモルファス半導体、微結晶半導体、及び結晶性半導体から選ばれたいずれかの状態を有する半導体膜を形成し、イオンドープ法又はイオン注入法により該半導体膜にドナー型元素を添加して第2の半導体膜132bを形成した時の、ドナー型元素のプロファイル150bを示す。図16(B)に示すように、第2の半導体膜132bの表面付近は、ドナー型元素濃度が比較的高い。この領域を $n^+$ 領域144aと示す。一方、第1の半導体膜124に近づくにつれ、ドナー型元素濃度が減少している。ドナー型元素濃度が $1 \times 10^{17} \sim 3 \times 10^{19} / \text{cm}^3$ の領域、好ましくは $1 \times 10^{18} \sim 1 \times 10^{19} / \text{cm}^3$ の領域を $n^-$ 領域144bと示す。また、 $n^+$ 領域144aのドナー型元素の濃度は、 $n^-$ 領域のドナー型元素の10～100倍である。

#### 【0052】

$n^+$ 領域144aは後にソース領域及びドレイン領域として機能し、 $n^-$ 領域144bはLDD領域として機能する。なお、 $n^+$ 領域と $n^-$ 領域それぞれの界面は存在せず、相対的なドナー型元素濃度の、濃度の大小によって変化する。このようにイオンドープ法又はイオン注入法により形成されたドナー型元素が含まれる第2の半導体膜132aまたは132bは、添加条件によって濃度プロファイルを制御することが可能であり、 $n^+$ 領域と $n^-$ 領域の膜厚を適宜制御することが可能である。

#### 【0053】

なお、ドナー型元素が含まれる第2の半導体膜132aまたは132bは、希ガス元素、代表的にはアルゴンが添加されることにより、結晶格子の歪が形成され、後に行われるゲッタリング工程で、より触媒元素をゲッタリングすることが可能である。

#### 【0054】

次に、第1の半導体膜124及び第2の半導体膜132を加熱して、第1の半導体膜124の結晶化を行うと共に、図1(E)の矢印で示すように、第1の半導体膜の結晶化を促した触媒元素を第2の半導体膜132に移動させて、触媒元素のゲッタリングを同時に行う。

#### 【0055】

10

20

30

40

50

結晶化は、半導体の結晶化を助長する触媒元素が接した半導体膜の部分でシリサイドが形成され、それを核として進行する。ここでは、脱水素化のための熱処理（400～550、0.5～2時間）の後、結晶化のための熱処理（550～650で1～24時間）を行う。また、RTA（Rapid Thermal Anneal）、GRTA（Gas Rapid Thermal Anneal）により結晶化を行っても良い。ここで、レーザ光照射を行わず結晶化することで、結晶性のばらつきを低減することが可能であり、後に形成されるTFEのばらつきを抑制することが可能である。また、結晶表面で突起上に結晶成長するリッジ（凸部）が形成されにくいため、半導体領域表面が比較的平坦であり、ゲート絶縁膜と介してゲート電極との間に流れるリーク電流を抑制することが可能である。

10

#### 【0056】

また、ゲッタリング工程により、結晶化された第1の半導体膜中の触媒元素がデバイス特性に影響を与えない濃度、即ち膜中のニッケル濃度が $1 \times 10^{18} / \text{cm}^3$ 以下、望ましくは $1 \times 10^{17} / \text{cm}^3$ 以下とすることができる。このような膜を第1の結晶性半導体膜141と示す。また、ゲッタリング後の触媒元素が移動した第2の半導体膜も同様に結晶化されているため、第2の結晶性半導体膜142と示す。更に、本実施形態においては、ゲッタリング工程と共に、第2の結晶性半導体膜142中のドナー型元素の活性化を行っている。

#### 【0057】

次に、図2（A）に示すように、第2の結晶性半導体膜142上に第2のマスク143を形成し、該第2のマスクを用いて第2の結晶性半導体膜142及び第1の結晶性半導体膜141をエッチングして、図2（B）に示すような第1の半導体領域152及び第2の半導体領域151を形成する。第2のマスク143を形成することで、後に形成される半導体領域の面積を縮小することが可能であり、半導体素子の高集積化や透過型液晶表示装置の開口率を高めることが可能である。

20

#### 【0058】

なお、以下の実施形態及び実施例のマスク形成工程において、半導体材料で形成される膜又は領域上に感光性材料を塗布する前には、半導体膜又は領域表面に、膜厚が数nm程度の絶縁膜を形成することが好ましい。この工程により半導体材料と感光性材料とが直接接触すること回避することが可能であり、不純物が半導体膜中に侵入するのを防止できる。なお、絶縁膜の形成方法としては、オゾン水等の酸化力のある溶液を塗布する方法、酸素プラズマ、オゾンプラズマを照射する方法等が挙げられる。

30

#### 【0059】

第2の結晶性半導体膜及び第1の結晶性半導体膜は、 $\text{Cl}_2$ 、 $\text{BCl}_3$ 、 $\text{SiCl}_4$ もしくは $\text{CCl}_4$ などを代表とする塩素系ガス、 $\text{CF}_4$ 、 $\text{SF}_6$ 、 $\text{NF}_3$ 、 $\text{CHF}_3$ などを代表とするフッ素系ガス、あるいは $\text{O}_2$ を用いてエッチングすることができる。第2の結晶性半導体膜をエッチングして、第1の半導体領域152を形成し、第1の結晶性半導体膜をエッチングして第2の半導体領域151を形成する。

#### 【0060】

次に、第2のマスク143を除去した後、図2（C）に示すように、膜厚500～1500nm、好ましくは500～1000nmの第3の導電膜153を成膜する。次に、第3の導電膜153上に感光性材料を塗布し、露光した後、現像して、第3のマスク154を形成する。

40

#### 【0061】

第3の導電膜153の材料としては、銀（Ag）、金（Au）、銅（Cu）、ニッケル（Ni）、白金（Pt）、パラジウム（Pd）、イリジウム（Ir）、ロジウム（Rh）、タングステン（W）、アルミニウム（Al）、タンタル（Ta）、モリブデン（Mo）、カドミウム（Cd）、亜鉛（Zn）、鉄（Fe）、チタン（Ti）、シリコン（Si）、ゲルマニウム（Ge）、ジルコニウム（Zr）、バリウム（Ba）等の金属を用いることができる。また、これらの材料からなる導電膜を積層して第3の導電膜を形成すること

50

ができる。第3の導電膜153は配線として機能する。配線抵抗を低下させるため、低抵抗材料を用いることが好ましい。

【0062】

ここで、銅を配線として用いる場合のバリア膜としては、窒化シリコン、酸化窒化シリコン、窒化アルミニウム、窒化チタン、窒化タンタルなど窒素を含む絶縁性又は導電性の物質を用いると良い。

【0063】

次に、図2(D)に示すように第3のマスク154を用いて第3の導電膜153を所望の形状にエッチングして、第4の導電膜162、163を形成する。第4の導電膜162、163は、ソース電極及びドレイン電極として機能する。このとき、第3の導電膜を分断して、ソース電極及びドレイン電極を形成すると共に、ソース配線又はドレイン配線の幅が細くなるようにエッチングすることで、後に形成される液晶表示装置の開口率を高めることが可能である。

【0064】

次に、第3のマスク154を用いて、第1の半導体領域152の露出部をエッチングして、ソース領域及びドレイン領域として機能する第3の半導体領域164、165を形成する。このとき、第2の半導体領域151の一部がオーバーエッチングされても良い。このときのオーバーエッチングされた第2の半導体領域を第4の半導体領域166と示す。第4の半導体領域166はチャンネル形成領域として機能する。

【0065】

次に、第3のマスクを除去した後、図2(E)に示すように、第4の導電膜162、163及び第4の半導体領域166表面上に、パッシベーション膜として機能する膜厚100~300nmの第2の絶縁膜171を成膜することが好ましい。パッシベーション膜は、プラズマCVD法又はスパッタリング法などの薄膜形成法を用い、窒化珪素、酸化珪素、窒化酸化珪素、酸化窒化珪素、酸化窒化アルミニウム、または酸化アルミニウム、ダイヤモンドライクカーボン(DLC)、窒素含有炭素(CN)、その他の絶縁性材料を用いて形成することができる。なお、パッシベーション膜は単層でも積層構造でもよい。ここでは、第4の半導体領域166の界面特性から酸化珪素、又は酸化窒化珪素を形成し、その上に窒化珪素膜、又は窒化酸化珪素膜を成膜することが好ましい。

【0066】

この後、第4の半導体領域を水素雰囲気又は窒素雰囲気で加熱して水素化することが好ましい。なお、窒素雰囲気で加熱する場合は、第2の絶縁膜に水素を含む絶縁膜を形成することが好ましい。

【0067】

以上の工程により、結晶性半導体膜を有する逆スタガ型TFTを形成することができる。

【0068】

次に、第2の絶縁膜171上に、膜厚500~1500nmの第3の絶縁膜172を形成する。第3の絶縁膜としては、酸化珪素、窒化珪素、酸化窒化珪素、酸化アルミニウム、窒化アルミニウム、酸窒化アルミニウムその他の無機絶縁性材料、又はアクリル酸、メタクリル酸及びこれらの誘導体、又はポリイミド(polyimide)、芳香族ポリアミド、ポリベンゾイミダゾール(polybenzimidazole)などの耐熱性高分子、又はシリカガラスに代表されるシロキサンポリマー系材料を出発材料として形成された珪素、酸素、水素からなる化合物のうちSi-O-Si結合を含む無機シロキサンポリマー、アルキルシロキサンポリマー、アルキルシルセスキオキサンポリマー、水素化シルセスキオキサンポリマー、水素化アルキルシルセスキオキサンポリマーに代表される珪素上の水素がメチルやフェニルのような有機基によって置換された有機シロキサンポリマー系の絶縁材料を用いることができる。形成方法としては、CVD法、塗布法、印刷法等公知の手法を用いて形成する。なお、塗布法で形成することにより、第3の絶縁膜の表面を平坦化することが可能である。ここでは、塗布法によりアクリル樹脂を塗布し焼成して

、第3の絶縁膜を形成する。また、反射型液晶表示装置や半透過型液晶表示装置の場合、第3の絶縁膜は凹凸を有することで、光をより外部に反射することが可能となる。この場合、第3の絶縁膜を液滴吐出法、印刷法等を用いることで、凹凸を有する絶縁膜を形成することが可能である。

【0069】

なお、第2の絶縁膜171が、後に形成される第5の導電膜173と第4の導電膜162、163との間に寄生容量が生じない程度の膜厚を有する場合、第3の絶縁膜172は必ずしも必要ではない。

【0070】

次に、第3の絶縁膜172上に第4のマスク（図示しない。）を形成した後、第3の絶縁膜172及び第2の絶縁膜171の一部をエッチングして、ゲート電極の接続部となる第2の導電膜122aを露出する。次に、第4のマスクを除去した後、ゲート配線として機能する膜厚500～1500nm、好ましくは500～1000nmの第5の導電膜173を形成する。第4のマスクは、第2のマスク143と同様の手法及び材料を適宜用いることが可能である。第5の導電膜173の材料及び形成方法は、第3の導電膜153と同様の材料及び形成方法を適宜選択すればよい。なお、配線抵抗を抑制するため、低抵抗材料を用いることが好ましい。

【0071】

次に、第5の導電膜173及び第3の絶縁膜172上に第4の絶縁膜174を形成する。第4の絶縁膜174としては、第3の絶縁膜172と同様の材料を適宜用いることが可能である。また、反射型液晶表示装置又は半透過型液晶表示装置を形成する場合、第4の絶縁膜は凹凸を有することで、光をより外部に反射することが可能となる。この場合、第3の絶縁膜を液滴吐出法、印刷法等を用いることで、凹凸を有する絶縁膜を形成することが可能である。

【0072】

次に、第4の絶縁膜174上に第5のマスク（図示しない。）を形成した後、第4の絶縁膜174、第3の絶縁膜172及び第2の絶縁膜171の一部をエッチングして、第4の導電膜163の一部を露出する。次に、第5のマスクを除去した後、画素電極として機能する膜厚100～200nmの第6の導電膜175を形成する。第5のマスクは、第2のマスク143と同様の手法及び材料を適宜用いることが可能である。第6の導電膜175の代表的な材料としては、透光性を有する導電膜、又は反射性を有する導電膜がある。透光性を有する導電膜の材料としては、酸化インジウムスズ（ITO）、酸化亜鉛（ZnO）、酸化インジウム亜鉛（IZO）、ガリウムを添加した酸化亜鉛（GZO）、酸化珪素を含む酸化インジウムスズ等が挙げられる。また、反射性を有する導電膜の材料としては、アルミニウム（Al）、チタン（Ti）、銀（Ag）、タンタル（Ta）などの金属、又は該金属と化学量論的組成比以下の濃度で窒素を含む金属材料、若しくは該金属の窒化物である窒化チタン（TiN）、窒化タンタル（Ta<sub>2</sub>N）などが挙げられる。さらには、半透過型液晶表示装置の場合、第6の導電膜を透光性を有する導電膜と、反射性を有する導電膜とで形成すれば良い。

【0073】

第6の導電膜175の形成方法としては、液滴吐出法、スパッタリング法、蒸着法、CVD法、塗布法等を適宜用いる。液滴吐出法を用いることで、選択的に第6の導電膜を形成することが可能である。また、スパッタリング法、蒸着法、CVD法、塗布法等を用いた場合、第2の導電膜と同様にマスクを形成した後、該マスクを用いて導電膜をエッチングして第6の導電膜を形成する。

【0074】

なお、ここでは第5の導電膜173としてはゲート配線として機能する導電膜を形成し、第6の導電膜175としては画素電極として機能する導電膜を形成したが、これに限定されない。画素電極として機能する導電膜を形成した後、ゲート配線として機能する導電膜を形成してもよい。



## 【 0 0 7 5 】

以上の工程により、アクティブマトリクス基板を形成することが可能である。

## 【 0 0 7 6 】

本実施形態の逆スタガ型 T F T は、非晶質半導体膜の結晶化工程と、非晶質半導体膜の結晶化を促進するための触媒元素のゲッタリング工程とを同時に行うことが可能であるため、工程数の削減が可能である。特に、加熱処理数を削減できるため、省エネルギー化が可能であり、また、スループットを向上させることができる。

## 【 0 0 7 7 】

また、逆スタガ型 T F T は、ゲート電極に耐熱性の高い材料を用いており、また活性化工程、ゲッタリング工程、結晶化工程等の加熱処理を行った後、低抵抗材料を用いて信号線、走査線等の配線を形成している。このため、結晶性を有し、不純物触媒元素が少なく、配線抵抗の低い T F T を形成することが可能である。また、本発明の液晶表示装置は、絶縁膜上に画素電極を形成することが可能であり、開口率を増加させることが可能である。

10

## 【 0 0 7 8 】

このため、結晶性半導体膜で形成されるため非晶質半導体膜で形成される逆スタガ型 T F T と比較して移動度が高い。また、ソース領域及びドレイン領域には、ドナー型元素に加え、触媒元素をも含む。このため、半導体領域との接触抵抗の低いソース領域及びドレイン領域が形成できる。この結果、高速動作が必要な半導体装置を作製することが可能である。

20

## 【 0 0 7 9 】

更には、ゲッタリング工程により、成膜段階で半導体膜中に混入する触媒元素をもゲッタリングするため、オフ電流を低減することが可能である。このような T F T を液晶表示装置のスイッチング素子に設けることにより、コントラストを向上させることが可能である。

## 【 0 0 8 0 】

## (実施形態 2)

本実施形態は、実施形態 1 において、触媒元素の添加領域の異なる例を、図 20 を用いて説明する。

## 【 0 0 8 1 】

図 20 ( A ) に示すように、実施形態 1 と同様に基板 1 0 1 上に第 2 の導電膜 1 2 1 a 及び 1 2 2 a を形成し、その上に第 1 の絶縁膜 1 2 3 を形成する。

30

## 【 0 0 8 2 】

次に図 20 ( B ) に示すように、第 1 の絶縁膜 1 2 3 上に第 1 の半導体膜 1 2 4 を形成し、第 1 の半導体膜上に触媒元素を有する層 1 2 5 を形成する。

## 【 0 0 8 3 】

次に図 20 ( C ) に示すように、触媒元素を有する層 1 2 5 の上に、ドナー型元素が含まれる第 2 の半導体膜 1 3 2 を形成する。本実施形態ではリンを有する気体を加えたプラズマ C V D 方で成膜する。

## 【 0 0 8 4 】

次に、第 1 の半導体膜 1 2 4 及び第 2 の半導体膜 1 3 2 を加熱して、非晶質である第 1 の半導体膜 1 2 4 の結晶化を行うと共に、図 20 ( D ) の矢印で示すように、触媒元素を第 2 の半導体膜 1 3 2 に移動させて、触媒元素のゲッタリングを同時に行う。図 20 ( D ) 中の矢印は、第 1 の半導体膜の結晶化を促した触媒元素の移動の方向である。更に、第 2 の半導体膜 1 3 2 中のドナー型元素の活性化も同時に行っている。なお、結晶化及びゲッタリング後の第 1 の半導体膜を第 1 の結晶性半導体膜 1 4 1 と示す。また、結晶化及びゲッタリング後の触媒元素が移動した第 2 の半導体膜を、第 2 の結晶性半導体膜 1 4 2 と示す。

40

## 【 0 0 8 5 】

この後、実施形態 1 と同様の工程により、結晶性半導体膜を有する逆スタガ型 T F T を

50

形成することができる。また、実施形態 1 と同様の効果を有する。

【 0 0 8 6 】

( 実施形態 3 )

本実施形態は、実施形態 1 において、チャネル形成領域の形成方法の異なる例を図 2 1 を用いて説明する。

【 0 0 8 7 】

図 2 1 ( A ) に示すように、実施形態 1 と同様に、第 1 のマスク ( 図示しない。 ) を用いて基板 1 0 1 上に第 2 の導電膜 1 2 1 a 及び 1 2 2 a を形成し、その上に第 1 の絶縁膜 1 2 3 を形成した後、第 1 の絶縁膜上に触媒元素を有する層 1 2 5 を形成する。

【 0 0 8 8 】

次に図 2 1 ( B ) に示すように、触媒元素を有する層 1 2 5 上に第 1 の半導体膜 1 2 4 を形成する。その上に絶縁膜を形成し、第 2 のマスク ( 図示しない。 ) を用いて絶縁膜の一部をエッチングして保護膜 1 2 6 を形成する。

【 0 0 8 9 】

次に図 2 1 ( C ) に示すように、第 2 の半導体膜 1 3 2 を基板全面に形成する。その後、熱処理を行うことによって、図 2 1 ( D ) に示すように第 1 の半導体膜 1 2 4 の結晶化及びゲッタリング及び第 2 の半導体膜の活性化を同時に行う。図 2 1 ( D ) 中の矢印は、第 1 の半導体膜の結晶化を促した触媒元素が第 2 の結晶性半導体膜 1 4 2 へ移動する様子を模式的に表したものである。なお、結晶化及びゲッタリング後の第 1 の半導体膜を第 1 の結晶性半導体膜 1 4 1 と示す。また、結晶化及びゲッタリング後の触媒元素が移動した第 2 の半導体膜を、第 2 の結晶性半導体膜 1 4 2 と示す。

【 0 0 9 0 】

この後、実施形態 1 と同様の工程により、図 2 1 ( E ) に示すような結晶性半導体膜を有する逆スタガ型 T F T を形成することができる。本実施形態のように保護膜を形成しておけば第 2 の半導体領域 1 5 1 をエッチングせず、残した状態で第 3 の導電膜 1 5 3 および第 2 の半導体膜 1 3 2 をエッチングすることができるため歩留まりを向上させることが可能である。また、実施形態 1 と同様の効果を有する。

【 0 0 9 1 】

( 実施形態 4 )

本実施形態は、実施形態 3 において、触媒元素の添加領域が異なる例を、図 3 7 を用いて説明する。

【 0 0 9 2 】

図 3 7 ( A ) に示すように、実施形態 1 と同様に、第 1 のマスク ( 図示しない。 ) を用いて基板 1 0 1 上に第 2 の導電膜 1 2 1 a 及び 1 2 2 a を形成し、その上に第 1 の絶縁膜 1 2 3 を形成した後、第 1 の絶縁膜上に第 1 の半導体膜 1 2 4 を形成する。

【 0 0 9 3 】

次に図 3 7 ( B ) に示すように、第 1 の半導体膜 1 2 4 上に触媒元素を有する層 1 2 5 を形成した後、絶縁膜を形成し、該絶縁膜の一部を第 2 のマスク ( 図示しない。 ) を用いてエッチングして、保護膜 1 2 6 を形成する。

【 0 0 9 4 】

次に図 3 7 ( C ) に示すように、基板全面に第 2 の半導体膜 1 3 2 を形成した後、熱処理を行い、図 3 7 ( D ) に示すように第 1 の非晶質半導体膜の結晶化及び触媒元素のゲッタリング及び、第 2 の半導体膜の活性化を行う。図 3 7 ( D ) 中の矢印は、第 1 の半導体膜の結晶化を促した触媒元素が第 2 の結晶性半導体膜 1 4 2 へ移動する様子を模式的に表したものである。なお、結晶化及びゲッタリング後の第 1 の半導体膜を第 1 の結晶性半導体膜 1 4 1 と示す。また、結晶化及びゲッタリング後の触媒元素が移動した第 2 の半導体膜を、第 2 の結晶性半導体膜 1 4 2 と示す。

【 0 0 9 5 】

この後、実施形態 1 と同様の工程により、図 3 7 ( E ) に示すような結晶性半導体膜を有する逆スタガ型 T F T を形成することができる。また、実施形態 1 と同様の効果を有す

10

20

30

40

50

る。

【 0 0 9 6 】

本実施形態で形成される逆スタガ型 T F T は、ゲート電極に耐熱性の高い材料を用いており、また活性化工程、ゲッタリング工程、結晶化工程等の加熱処理を行った後、低抵抗材料を用いて信号線、走査線等の配線を形成している。このため、結晶性を有し、不純物触媒元素が少なく、配線抵抗の低い T F T を形成することが可能である。また、本発明の液晶表示装置は、絶縁膜上に画素電極を形成することが可能であり、開口率を増加させることが可能である。

【 0 0 9 7 】

このため、結晶性半導体膜で形成されるため非晶質半導体膜で形成される逆スタガ型 T F T と比較して移動度が高い。また、ソース領域及びドレイン領域には、ドナー型元素に加え、触媒元素をも含む。このため、半導体領域との接触抵抗の低いソース領域及びドレイン領域が形成できる。この結果、高速動作が必要な半導体装置を作製することが可能である。

【 0 0 9 8 】

また、非晶質半導体膜で形成される T F T と比較して、しきい値のずれが生じにくく、T F T 特性のバラツキを低減することが可能である。このため、非晶質半導体膜で形成される T F T をスイッチング素子として用いた液晶表示装置と比較して、表示ムラを低減することが可能であり、信頼性の高い半導体装置を作製することが可能である。

【 0 0 9 9 】

更には、ゲッタリング工程により、成膜段階で半導体膜中に混入する触媒元素をもゲッタリングするため、オフ電流を低減することが可能である。このような T F T を液晶表示装置のスイッチング素子に設けることにより、コントラストを向上させることが可能である。

【 0 1 0 0 】

( 実施形態 5 )

本実施形態では、実施形態 1 で示したアクティブマトリクス基板のソース配線、ゲート配線、及び画素電極の積層の構造について、図 3 を用いて説明する。

【 0 1 0 1 】

図 3 ( A ) は、本実施形態における逆スタガ型 T F T と、ゲート配線として機能する第 5 の導電膜との積層構造を示す図であり、図 3 ( C ) の A - B の断面構造に相当する。

【 0 1 0 2 】

図 3 ( B ) は、ソース配線として機能する第 4 の導電膜、ゲート配線として機能する第 5 の導電膜、ゲート電極の接続部として機能する第 2 の導電膜、及び画素電極として機能する第 6 の導電膜の積層構造を示す図であり、図 3 ( C ) の C - D の断面構造に相当する。以下、ソース配線として機能する第 4 の導電膜をソース配線 1 6 2 a、1 6 2 b、ゲート配線として機能する第 5 の導電膜をゲート配線 1 7 3 a、1 7 3 b、ゲート電極の接続部として機能する第 2 の導電膜をゲート電極の接続部 1 2 2 a、1 2 2 b、及び画素電極として機能する第 6 の導電膜を画素電極 1 7 5 と示す。

【 0 1 0 3 】

図 3 ( B ) に示すように、ゲート電極の接続部 1 2 2 b 上に第 1 の絶縁膜 1 2 3 が形成され、第 1 の絶縁膜 1 2 3 上に、容量配線 1 8 1、ソース配線 1 6 2 b、ドレイン電極 1 6 3 が形成される。また、容量配線 1 8 1、ソース配線 1 6 2 b、ドレイン電極 1 6 3、第 1 の絶縁膜 1 2 3 すべての上に第 2 の絶縁膜 1 7 1、第 3 の絶縁膜 1 7 2 が形成され、第 3 の絶縁膜 1 7 2 上にゲート配線 1 7 3 a が形成される。即ち、ソース配線、ドレイン電極は、第 2 の絶縁膜 1 7 1、第 3 の絶縁膜 1 7 2 を介してゲート配線 1 7 3 a と交差している。

【 0 1 0 4 】

図 3 ( B ) に示すように、ゲート配線 1 7 3 a 及び第 3 の絶縁膜 1 7 2 全ての上に第 4 の絶縁膜 1 7 4 が形成され、第 4 の絶縁膜上に画素電極 1 7 5 が形成されている。即ち、

10

20

30

40

50

第4の絶縁膜を介して、ゲート配線173aの一部を画素電極175が覆っている。画素電極175が形成される第4の絶縁膜174は、平坦化膜で形成されているため、後に画素電極間に充填される液晶材料の配向の乱れを抑制することが可能であり、液晶表示装置のコントラストを向上させることが可能である。

【0105】

なお、ここでは、第4の絶縁膜174を、ゲート配線173及び第3の絶縁膜172全ての上に形成したが、ゲート配線173及びその周辺の第3の絶縁膜172を覆うように設けてもよい。

【0106】

また、本実施形態では、図3(C)のE-Fで示すように、ソース配線上に画素電極の端部が形成されている。このため、透過型液晶表示装置の場合、画素電極端部で液晶材料の配向乱れが生じたとしても、その領域をソース配線が覆っているため、表示ムラを低減することが可能である。

【0107】

(実施形態6)

本実施形態では、ゲート配線とソース配線の積層構造の異なるアクティブマトリクス基板について図4を用いて説明する。

【0108】

図4(A)は、本実施形態における逆スタガ型TF-Tとゲート配線との積層構造を示す図であり、図4(C)のA-Bの断面構造に相当する。第1の絶縁膜123上には、第4の半導体領域、ドレイン電極として機能する第4の導電膜(以下、ドレイン電極と示す。)163、画素電極1112、ゲート配線1113が形成される。ドレイン電極163と画素電極1112は絶縁膜を介さないで接続されている。また、ゲート電極の接続部122aとゲート配線1113とは、第1の絶縁膜123を介して接続されている。また、ソース配線162a、ドレイン電極163、画素電極1112、第1の絶縁膜123、ゲート配線1113上にはパッシベーション膜として機能する絶縁膜1114が形成される。

【0109】

図4(B)は、ソース配線162b、ゲート配線1113、ゲート電極の接続部122b、及び画素電極1112の積層構造を示す図であり、図4(C)のC-Dの断面構造に相当する。

【0110】

図4(B)に示すように、ゲート電極の接続部122b上に第1の絶縁膜123が形成され、第1の絶縁膜123上に、容量配線181、ソース配線162b、ドレイン電極163、ドレイン電極163に接続する画素電極1112が形成される。また、容量配線181、ソース配線162b上に第2の絶縁膜1111が形成され、第2の絶縁膜1111上にゲート配線1113が形成される。即ち、ソース配線、ドレイン電極は、第2の絶縁膜1111を介してゲート配線1113と交差している。

【0111】

また、ゲート配線1113と画素電極1112とが重なる領域に第3の絶縁膜を形成してもよい。この場合、画素電極が形成される領域を拡大することが可能であり、開口率を増加させることが可能である。

【0112】

(実施形態7)

本実施形態では、ゲート配線とソース配線の積層構造の異なるアクティブマトリクス基板について図5を用いて説明する。

【0113】

図5(A)は、本実施形態における逆スタガ型TF-Tとゲート配線との積層構造を示す図であり、図5(C)のA-Bの断面構造に相当する。

【0114】

図5(B)は、ソース配線162b、ゲート配線1121b、ゲート電極の接続部12

10

20

30

40

50

2 b、及び画素電極 1 1 2 2 の積層構造を示す図であり、図 5 ( C ) の C - D の断面構造に相当する。

【 0 1 1 5 】

図 5 ( B ) に示すように、ゲート電極の接続部 1 2 2 a、1 2 2 b 上に第 1 の絶縁膜 1 2 3 が形成され、第 1 の絶縁膜 1 2 3 上に、容量配線 1 8 1、ソース配線 1 6 2 b、ドレイン電極 1 6 3 が形成される。また、容量配線 1 8 1、ソース配線 1 6 2 b、ドレイン電極 1 6 3、及び第 1 の絶縁膜 1 2 3 すべての上に第 2 の絶縁膜 1 7 1、第 3 の絶縁膜 1 7 2 が形成され、第 3 の絶縁膜 1 7 2 上にゲート配線 1 1 2 1 b が形成される。即ち、ソース配線 1 6 2 b、ドレイン電極 1 6 3 は、第 2 の絶縁膜 1 7 1、第 3 の絶縁膜 1 7 2 を介してゲート配線 1 1 2 1 b と交差している。

10

【 0 1 1 6 】

なお、ここでは、図 5 ( C ) に示すように、ゲート配線 1 1 2 1 b は、画素ごとに形成されており、隣り合う画素に設けられたゲート電極の接続部 1 2 2 a、1 2 2 b に接続されている。このため、ゲート配線 1 1 2 1 b の材料は、特に低抵抗材料である必要はなく、材料の選択の幅が広がる。

【 0 1 1 7 】

また、第 3 の絶縁膜 1 7 2 全ての上に第 4 の絶縁膜 1 7 4 が形成され、第 4 の絶縁膜上に画素電極 1 1 2 2 が形成されている。即ち、第 4 の絶縁膜 1 7 4 を介して、ゲート配線 1 1 2 1 b の一部を画素電極 1 1 2 2 が覆っている。画素電極 1 1 2 2 が形成される第 4 の絶縁膜 1 7 4 は、平坦化膜で形成されているため、後に画素電極間に充填される液晶材料の配向の乱れを抑制することが可能であり、液晶表示装置のコントラストを向上させることが可能である。

20

【 0 1 1 8 】

なお、ここでは、第 4 の絶縁膜 1 7 4 を、ゲート配線 1 1 2 1 b 及び第 3 の絶縁膜 1 7 2 全ての上に形成したが、ゲート配線 1 1 2 1 b 及びその周辺の第 3 の絶縁膜 1 7 2 を覆うように設けてもよい。

【 0 1 1 9 】

( 実施形態 8 )

本実施形態では、ゲート配線とソース配線の積層構造の異なるアクティブマトリクス基板について図 6 を用いて説明する。

30

【 0 1 2 0 】

図 6 ( A ) は、本実施形態における逆スタガ型 T F T とゲート配線との積層構造を示す図であり、図 6 ( C ) の A - B の断面構造に相当する。第 1 の絶縁膜 1 2 3 上には、第 4 の半導体領域、ドレイン電極 1 6 3、画素電極 1 1 3 2、ゲート配線 1 1 3 3 a が形成される。ドレイン電極 1 6 3 と画素電極 1 1 3 2 は絶縁膜を介さないで接続されている。

【 0 1 2 1 】

図 6 ( B ) は、ソース配線 1 6 2 b、ゲート配線 1 1 3 3 b、ゲート電極の接続部 1 2 2 b、及び画素電極 1 1 3 2 の積層構造を示す図であり、図 6 ( C ) の C - D の断面構造に相当する。

【 0 1 2 2 】

40

図 6 ( B ) に示すように、ゲート電極の接続部 1 2 2 b 上に第 1 の絶縁膜 1 2 3 が形成され、第 1 の絶縁膜 1 2 3 上に、容量配線 1 8 1、ソース配線 1 6 2 b、ドレイン電極 1 6 3、ドレイン電極 1 6 3 に接続する画素電極 1 1 3 2 が形成される。また、容量配線 1 8 1、ソース配線 1 6 2 b 上に第 2 の絶縁膜 1 1 3 1 が形成され、第 2 の絶縁膜 1 1 3 1 上にゲート配線 1 1 3 3 b が形成される。即ち、ソース配線、ドレイン電極は、第 2 の絶縁膜 1 1 3 1 を介してゲート配線 1 1 3 3 b と交差している。

【 0 1 2 3 】

また、ゲート配線 1 1 3 3 b と画素電極 1 1 3 2 とが重なる領域に第 3 の絶縁膜を形成してもよい。この場合、画素電極が形成する領域を拡大することが可能であり、開口率を増加させることが可能である。

50

## 【 0 1 2 4 】

## (実施形態 9)

本実施形態では、ゲート配線とソース配線の積層構造の異なるアクティブマトリクス基板について図 7 を用いて説明する。

## 【 0 1 2 5 】

図 7 ( A ) は、本実施形態における逆スタガ型 T F T とゲート配線として機能する第 5 の導電膜との積層構造を示す図であり、図 7 ( C ) の A - B の断面構造に相当する。

## 【 0 1 2 6 】

図 7 ( B ) は、ソース配線 1 1 4 3 b、ゲート配線 1 1 4 5 a、1 1 4 5 b、ゲート電極の接続部 1 2 2 b、及び画素電極 1 1 4 2 の積層構造を示す図であり、図 7 ( C ) の C - D の断面構造に相当する。

10

## 【 0 1 2 7 】

図 7 ( B ) に示すように、ゲート電極の接続部 1 2 2 b 上に第 1 の絶縁膜 1 2 3 が形成され、第 1 の絶縁膜 1 2 3 上に、容量配線 1 1 4 4、ソース配線 1 1 4 3 b、ドレイン電極 1 1 4 7、ゲート配線 1 1 4 5 a、1 1 4 5 b が形成される。なお、ゲート配線 1 1 4 5 a、1 1 4 5 b は、それぞれ第 1 の絶縁膜 1 2 3 を介してゲート電極の接続部 1 2 2 a、1 2 2 b に接続されている。

## 【 0 1 2 8 】

また、図 7 ( C ) に示すように、ゲート配線 1 1 4 5 a、1 1 4 5 b は、各画素にそれぞれ設けられている。ここでは、ゲート配線 1 1 4 5 a、1 1 4 5 b とソース配線 1 1 4 3 b、ドレイン電極 1 1 4 3 a、容量配線 1 1 4 4 それぞれは、交差していない。このためこれらの電極及び配線を同時に形成できるため、量産性を向上させることが可能である。

20

## 【 0 1 2 9 】

また、ゲート配線 1 1 4 5 a、1 1 4 5 b とソース配線 1 1 4 3 b、ドレイン電極 1 1 4 3 a、容量配線 1 1 4 4 すべての上に第 2 の絶縁膜 1 7 1、第 3 の絶縁膜 1 7 2 が形成され、第 3 の絶縁膜 1 7 2 上に導電膜 1 1 4 6 a、1 1 4 6 b が形成される。また、導電膜 1 1 4 6 a、1 1 4 6 b は、第 2 の絶縁膜 1 7 1、第 3 の絶縁膜 1 7 2 を介して、それぞれゲート配線 1 1 4 5 a、1 1 4 5 b と接続している。このため、各画素に設けられたゲート配線は、導電膜 1 1 4 6 a、1 1 4 6 b を介して電氣的に接続している。また、ソース配線は、第 2 の絶縁膜 1 7 1、第 3 の絶縁膜 1 7 2 を介してゲート配線 1 1 4 5 a、1 1 4 5 b 及び導電膜 1 1 4 6 a、1 1 4 6 b と交差している。

30

## 【 0 1 3 0 】

なお、ここでは、導電膜 1 1 4 6 a、1 1 4 6 b は、画素ごとに形成されており、隣り合う画素に設けられたゲート電極の接続部 1 2 2 a、1 2 2 b に接続されている。このため、導電膜 1 1 4 6 a、1 1 4 6 b の材料の選択の幅が広がる。

## 【 0 1 3 1 】

また、第 3 の絶縁膜 1 7 2 上に第 4 の絶縁膜 1 7 4 が形成され、第 4 の絶縁膜上に画素電極 1 1 4 2 が形成されている。即ち、第 4 の絶縁膜を介して、導電膜 1 1 4 6 b の一部を画素電極 1 1 4 2 が覆っている。画素電極 1 1 4 2 が形成される第 4 の絶縁膜 1 7 4 は、平坦化膜で形成されているため、後に画素電極間に充填される液晶材料の配向の乱れを抑制することが可能であり、液晶表示装置のコントラストを向上させることが可能である。

40

## 【 0 1 3 2 】

なお、ここでは、第 4 の絶縁膜 1 7 4 を、ゲート配線 1 1 4 5 a、1 1 4 5 b 及び第 3 の絶縁膜 1 7 2 全ての上に形成したが、ゲート配線 1 1 4 5 a、1 1 4 5 b 及びその周辺の第 3 の絶縁膜 1 7 2 を覆うように設けてもよい。

## 【 0 1 3 3 】

## (実施形態 10)

本実施形態では、ゲート配線とソース配線の積層構造の異なるアクティブマトリクス基

50

板について図 8 を用いて説明する。

【 0 1 3 4 】

図 8 ( A ) は、本実施形態における逆スタガ型 T F T とゲート配線との積層構造を示す図であり、図 8 ( C ) の A - B の断面構造に相当する。第 1 の絶縁膜 1 2 3 上には、ソース配線 1 1 5 3 a、第 4 の半導体領域、ドレイン電極 1 1 5 7、画素電極 1 1 5 2、ゲート配線 1 1 5 5 a が形成される。ドレイン電極 1 1 5 7 と画素電極 1 1 5 2 は絶縁膜を介さないで接続されている。

【 0 1 3 5 】

図 8 ( B ) は、ソース配線 1 1 5 3 b、ゲート配線 1 1 5 5 a、1 1 5 5 b、ゲート電極の接続部 1 2 2 b、及び画素電極 1 1 5 2 の積層構造を示す図であり、図 8 ( C ) の C - D の断面構造に相当する。

10

【 0 1 3 6 】

図 8 ( B ) に示すように、ゲート電極の接続部 1 2 2 b 上に第 1 の絶縁膜 1 2 3 が形成され、第 1 の絶縁膜 1 2 3 上に、容量配線 1 1 5 4、ソース配線 1 1 5 3 b、ドレイン電極 1 1 5 7、ドレイン電極 1 1 5 7 に接続する画素電極 1 1 5 2、ゲート配線 1 1 5 5 a、1 1 5 5 b が形成される。また、容量配線 1 1 5 4、ソース配線 1 1 5 3 b 上に第 2 の絶縁膜 1 1 5 1 が形成され、第 2 の絶縁膜 1 1 5 1 上に導電膜 1 1 5 6 b が形成される。ゲート配線 1 1 5 5 a、1 1 5 5 b は、各画素にそれぞれ設けられている。ここでは、ゲート配線 1 1 5 5 a、1 1 5 5 b とソース配線 1 1 5 3 b、ドレイン電極 1 1 5 7、容量配線 1 1 5 4 それぞれは、交差しておらず、同時に形成できるため、量産性を向上させる

20

【 0 1 3 7 】

また、導電膜 1 1 5 6 a、1 1 5 6 b は、第 2 の絶縁膜 1 1 5 1 を介して、それぞれゲート配線 1 1 5 5 a、1 1 5 5 b と接続している。このため、各画素に設けられたゲート配線は、導電膜 1 1 5 6 a、1 1 5 6 b を介して電氣的に接続している。また、ソース配線、ドレイン電極は、第 2 の絶縁膜 1 1 5 1 を介してゲート配線 1 1 5 5 a、1 1 5 5 b 及び導電膜 1 1 5 6 a、1 1 5 6 b と交差している。

【 0 1 3 8 】

本実施形態では、ソース配線、容量配線と、ゲート配線とが交差する領域にのみ第 2 の絶縁膜 1 1 5 1 を設けている。

30

【 0 1 3 9 】

また、ソース配線 1 1 5 3 a、容量配線 1 1 5 4、導電膜 1 1 5 6 b と画素電極 1 1 5 2 とが重なる領域に第 3 の絶縁膜を形成してもよい。この場合、画素電極が形成される領域を拡大することが可能であり、開口率を増加させることが可能である。

【 0 1 4 0 】

( 実施形態 1 1 )

本実施形態では、ゲート配線とソース配線の積層構造の異なるアクティブマトリクス基板について図 3 4 を用いて説明する。

【 0 1 4 1 】

図 3 4 ( A ) は、本実施形態における逆スタガ型 T F T とゲート配線との積層構造を示す図であり、図 3 4 ( C ) の A - B の断面構造に相当する。第 1 の絶縁膜 1 2 3 上には、第 4 の半導体領域、ドレイン電極 1 1 5 7、画素電極 1 1 5 2 が形成される。ドレイン電極 1 1 5 7 と画素電極 1 1 5 2 は絶縁膜を介さないで接続されている。また、ゲート電極の接続部 1 2 2 a 上の第 1 の絶縁膜は除去されており、その上にゲート配線 1 1 6 5 a が形成されている。このような構造により、ゲート電極の接続部とゲート配線との接触抵抗を抑制することが可能である。また、本実施形態のようなゲート電極の接続部 1 2 2 a とゲート配線 1 1 6 5 a との接続構造を、実施形態 2 乃至実施形態 1 0 それぞれに適用することが可能である。

40

【 0 1 4 2 】

図 3 4 ( B ) は、ソース配線 1 1 6 3 b、ゲート配線 1 1 6 5 a、1 1 6 5 b、導電膜

50

1 2 3 b、及び画素電極 1 1 5 2 の積層構造を示す図であり、図 3 4 ( C ) の C - D の断面構造に相当する。

【 0 1 4 3 】

図 3 4 ( B ) に示すように、第 2 の導電膜 1 2 1 a、ゲート電極の接続部 1 2 2 a と同様の工程で形成された導電膜 1 2 3 b が基板表面には、形成されている。また、ゲート電極の接続部 1 2 2 a 表面の第 1 の絶縁膜を除去するときに、導電膜 1 2 3 b の表面上の第 1 の絶縁膜を除去する。この後、導電膜 1 2 3 b 上に第 2 の絶縁膜 1 1 6 1 形成する。このとき、導電膜 1 2 3 b の両端部が露出するように、第 2 の絶縁膜 1 1 6 1 を形成することが好ましい。

【 0 1 4 4 】

次に、第 1 の絶縁膜上にドレイン電極を形成すると同時に、導電膜 1 2 3 b 上にゲート配線 1 1 6 5 a、1 1 6 5 b を形成し、また同時に第 2 の絶縁膜 1 1 6 1 上にソース配線 1 1 6 3 b、容量配線 1 1 6 4 を形成する。ここでは、これらの導電膜は、交差しておらず、同時に形成できるため、量産性を向上させることが可能である。

【 0 1 4 5 】

また、本実施形態では、画素ごとに形成されたゲート配線 1 1 6 5 a、1 1 6 5 b が導電膜 1 2 3 a、1 2 3 b を介して電氣的に接続されている。また、導電膜 1 2 3 b 上に形成された第 2 の絶縁膜 1 1 6 1 を介して、ゲート配線とソース配線とが交差している。

【 0 1 4 6 】

本実施形態では、ソース配線、容量配線と、ゲート配線とが交差する領域にのみ第 2 の絶縁膜 1 1 6 1 を設けている。

【 0 1 4 7 】

また、ゲート配線 1 1 6 5 a、1 1 6 5 b、容量配線 1 1 6 4、及びソース配線 1 1 6 3 a、1 1 6 3 b と画素電極 1 1 5 2 とが重なる領域に、第 3 の絶縁膜を形成してもよい。この場合、画素電極を形成する領域を拡大することが可能であり、開口率を増加させることが可能である。

【 0 1 4 8 】

( 実施形態 1 2 )

本実施形態では、ドナー型元素を有する半導体膜の代わりに、希ガス元素を有する半導体膜を用いて触媒元素をゲッタリングして T F T を形成する工程について、図 9 を用いて説明する。

【 0 1 4 9 】

図 9 ( A ) に示すように、実施形態 1 と同様の工程により第 1 の半導体膜 1 2 4 を形成する。なお、この後チャネルドープ工程を行っても良い。

【 0 1 5 0 】

次に、第 1 の半導体膜 1 2 4 上に P V D 法、C V D 法等の公知の手法により希ガス元素を有する第 2 の半導体膜 2 3 2 を形成する。第 2 の半導体膜 2 3 2 としては、非晶質半導体膜であることが好ましい。

【 0 1 5 1 】

次に、第 1 の半導体膜 1 2 4 及び第 2 の半導体膜 2 3 2 を実施形態 1 と同様の手法により加熱して、第 1 の半導体膜を結晶化すると共に、図 9 ( B ) の矢印で示すように、第 1 の半導体膜 1 2 4 の結晶化を促した触媒元素を第 2 の半導体膜 2 3 2 に移動させて、触媒元素をゲッタリングする。この工程により、実施形態 1 と同様に第 1 の半導体膜中の触媒元素がデバイス特性に影響を与えない濃度、即ち膜中の触媒元素濃度が  $1 \times 10^{18} / \text{cm}^3$  以下、望ましくは  $1 \times 10^{17} / \text{cm}^3$  以下とすることができる。このような膜を第 1 の結晶性半導体膜 2 4 1 と示す。また、ゲッタリング後の触媒元素が移動した第 2 の半導体膜も同様に結晶化されているため、第 2 の結晶性半導体膜 2 4 2 と示す。

【 0 1 5 2 】

次に、図 9 ( C ) に示すように、第 2 の結晶性半導体膜 2 4 2 を除去した後、導電性を有する第 3 の半導体膜 2 4 3 を成膜する。ここで、第 3 の半導体膜 2 4 3 としては、珪化

10

20

30

40

50



物気体にボロン、リン、ヒ素のような 1 3 族 ( 3 族 ) 又は 1 5 族 ( 5 族 ) の元素を有する気体を加えたプラズマ C V D 法で成膜する。なお、第 3 の半導体膜 2 4 3 は、非晶質半導体、セミアモルファス半導体、結晶性半導体、マイクロクリスタル (  $\mu c$  ) から選ばれたいずれかの状態を有する膜で形成すればよい。なお、第 3 の半導体膜 2 4 3 が導電性を有する非晶質半導体膜、セミアモルファス半導体、又はマイクロクリスタル (  $\mu c$  ) のいずれかである場合は、この後、不純物を活性化する加熱処理を行う。一方、第 2 の結晶性半導体膜 2 4 2 が導電性を有する結晶性半導体である場合、加熱処理は行わなくとも良い。ここでは、プラズマ C V D 法により、膜厚 1 0 0 n m のリンが含まれる非晶質珪素膜を成膜した後、5 5 0 度 2 時間で加熱して、不純物を活性化する。

【 0 1 5 3 】

10

次に、図 9 ( D ) に示すように、実施形態 1 と同様の工程により第 1 の半導体領域 2 5 2、第 2 の半導体領域 2 5 1、第 3 の導電膜 1 5 3 を形成する。次に、感光性材料を塗布又は吐出した後、露光、現像を行い、図 9 ( D ) に示すようなマスク 2 5 4 を形成する。

【 0 1 5 4 】

次に、図 9 ( E ) に示すように、ソース電極 ( ソース配線 ) 1 6 2 a 及びドレイン電極 ( ドレイン配線 ) 1 6 3 を形成する。また、実施形態 1 と同様の工程により、第 1 の半導体領域をエッチングしてソース領域及びドレイン領域として機能する第 3 の半導体領域 2 6 2、及びチャネル形成領域として機能する第 4 の半導体領域 2 6 1 を形成することができる。

【 0 1 5 5 】

20

この後、実施形態 1 と同様の工程により、逆スタガ型 T F T 及びアクティブマトリクス基板を形成することができる。本実施形態で形成される T F T を用いることにより実施形態 1 と同様の効果を得ることができる。また、実施形態 1 乃至実施形態 1 1 のいずれかにも、本実施形態を適用することが可能である。

【 0 1 5 6 】

( 実施形態 1 3 )

本実施形態では、n チャネル T F T と p チャネル T F T とを同一基板に形成する工程を図 1 0 を用いて形成する。

【 0 1 5 7 】

図 1 0 ( A ) に示すように、実施形態 1 と同様に基板 1 0 1 上に第 1 の導電膜 3 0 1、3 0 2 を形成し、第 1 の導電膜上に第 1 の絶縁膜 1 2 3 を形成する。次に、実施形態 1 と同様の工程により、触媒元素を有する層、及び第 1 の半導体膜、及びその上にドナー型元素が含まれる第 2 の半導体膜を形成する。次に、マスクを用いて、第 1 の半導体膜を所望の形状にエッチングして、第 1 の半導体領域を形成し、第 2 の半導体膜を所望の形状にエッチングして、第 2 の半導体領域を形成する。

30

【 0 1 5 8 】

次に、第 1 の半導体領域及び第 2 の半導体領域を加熱して、第 1 の半導体領域に含まれる触媒元素を第 2 の半導体領域に移動させて、触媒元素をゲッタリングする。ここでは、ゲッタリング後の触媒元素が移動した第 2 の半導体領域を第 3 の半導体領域 3 1 2、3 1 3 と示し、触媒元素濃度が低減された第 1 の半導体領域を第 4 の半導体領域 3 1 1、3 1 4 と示す。なお、第 3 の半導体領域及び第 4 の半導体領域は、それぞれゲッタリング工程の加熱により結晶性化されている。

40

【 0 1 5 9 】

本実施形態では、各半導体領域を形成した後ゲッタリング工程を行ったが、実施形態 1 のように、各半導体膜のゲッタリング工程を行った後、半導体膜を所望の形状にエッチングして、各半導体領域を形成しても良い。

【 0 1 6 0 】

次に、第 3 の半導体領域 3 1 2、3 1 3 及び第 4 の半導体領域 3 1 1、3 1 4 表面に酸化膜を形成した後、図 1 0 ( B ) に示すように、マスク 3 2 1、3 2 2 を形成する。マスク 3 2 1 は、後に n チャネル型 T F T となる第 3 の半導体領域 3 1 3、第 4 の半導体領域

50

3 1 1の全部を覆っている。一方、マスク3 2 2は、後にpチャネル型T F Tとなる第3の半導体領域3 1 2の一部と第4の半導体領域3 1 4の一部を覆っている。このとき、マスク3 2 2は、後に形成されるpチャネル型T F Tのチャネル長よりも狭いことが好ましい。

#### 【0 1 6 1】

次に、第3の半導体領域3 1 2の露出部に、3族元素(1 3族元素、以下、アクセプター元素と示す。)を添加し、p型不純物領域3 2 4を形成する。このときマスク3 2 2に覆われる領域は、n型不純物領域3 2 5として残存する。n型を呈する第3の半導体領域3 1 2の2 ~ 1 0倍の不純物濃度となるようにアクセプター型元素を添加することにより、p型不純物領域を形成することができる。

10

#### 【0 1 6 2】

図1 7に、p型不純物領域の不純物元素のプロファイルを示す。

#### 【0 1 6 3】

図1 7 ( A ) は、C V D法により、 $n^-$ 領域濃度及び $n^+$ 領域濃度を有する第2の半導体膜を形成した後、アクセプター型元素を添加したときの、各元素のプロファイルを示す。ドナー型元素のプロファイル1 5 0 aは図1 6 ( A )と同様に、第1の濃度及び第2の濃度を示す。また、アクセプター型元素のプロファイル6 0 3は、第3の半導体領域表面付近では、濃度が高く、第4の半導体領域3 1 4に近づくにつれ、濃度が減少している。 $n^+$ 領域に含まれるドナー型元素の2 ~ 1 0倍の濃度のアクセプター型元素を有する領域を $p^+$ 領域6 0 2 aと示し、 $n^-$ 領域のドナー型元素の2 ~ 1 0倍の濃度のアクセプター型

20

#### 【0 1 6 4】

図1 7 ( B ) は、非晶質半導体、セミアモルファス半導体、微結晶半導体、及び結晶性半導体から選ばれたいずれかの状態を有する膜の半導体膜を形成し、イオンドーブ法又はイオン注入法により該半導体膜にドナー型元素を添加して、 $n^-$ 領域濃度及び $n^+$ 領域濃度を有する第2の半導体膜を形成した後、アクセプター型元素を添加したときの、各元素のプロファイルを示す。ドナー型元素のプロファイル1 5 0 bは図1 6 ( A )のドナー型元素のプロファイル1 5 0 aと同様である。また、アクセプター型元素のプロファイル6 1 3は、図1 7 ( A )のアクセプター型元素のプロファイル6 0 3と同様である。 $n^+$ 領域に含まれるドナー型元素の2 ~ 1 0倍の濃度のアクセプター型元素を有する領域を $p^+$ 領域6 0 2 aと示し、 $n^-$ 領域のドナー型元素の2 ~ 1 0倍の濃度のアクセプター型元素を有する領域を $p^-$ 領域6 0 2 bと示す。

30

#### 【0 1 6 5】

なお、ドナー型元素が含まれる第2の半導体膜1 3 2は、希ガス元素、代表的にはアルゴンが添加されることにより、結晶格子の歪が形成され、後に行われるゲッタリング工程で、より触媒元素をゲッタリングすることが可能である。

#### 【0 1 6 6】

つぎに、マスク3 2 1、3 2 2を除去した後、第3の半導体領域3 1 3及びp型不純物領域3 2 4、n型不純物領域3 2 5を加熱して、不純物元素を活性化する。加熱の方法としては、L R T A ( L a m p R a p i d T h e r m a l A n n e a l )、G R T A、ファーンズアニール等を適宜用いることができる。ここでは、5 5 0度で1時間加熱する。

40

#### 【0 1 6 7】

次に、図1 0 ( C )に示すように、実施形態1と同様に、第2の導電膜3 3 1、3 3 2を形成する。次に、マスク3 3 3を形成して、図1 0 ( D )に示すように、ソース領域及びドレイン領域として機能する第5の半導体領域3 4 3、3 4 4を形成する。次に、マスク3 3 3を除去した後第2の導電膜3 3 1、3 3 2及び第5の半導体領域3 4 3、3 4 4表面上に、パッシベーション膜を成膜することが好ましい。

#### 【0 1 6 8】

以上の工程により、同一基板上にnチャネル型T F Tとpチャネル型T F Tとを形成す

50

ることができる。本実施形態で形成されるＴＦＴを用いることにより実施形態１と同様の効果を得ることができる。また、単チャネルＴＦＴで形成される駆動回路と比較して、低電圧駆動が可能なＣＭＯＳ回路を形成することが可能である。更には、ドナー型元素（例えば、リン）と比較してアクセプター型元素（例えば、ボロン）は原子半径が小さいため、比較的低い加速電圧及び濃度で、半導体膜中にアクセプター型元素を添加することが可能である。本実施形態では、アクセプター型元素のみ半導体膜に添加しているため、従来のＣＭＯＳ回路の作製工程と比較して、短時間、かつ省エネルギーで作製することが可能であり、この結果低コスト化が可能である。

【０１６９】

また、実施形態１乃至実施形態１２のいずれにも、本実施形態を適用することが可能である。

10

【０１７０】

（実施形態１４）

本実施形態では、実施形態１３と異なるゲッタリング工程により形成された結晶性半導体膜を有するｎチャネル型ＴＦＴ及びｐチャネル型の作製工程について、図１１を用いて説明する。

【０１７１】

実施形態１に従って、基板１０１上に第１の導電膜３０１、３０２を形成する。次に、実施形態１３に従って、図９（Ｂ）に示すような、触媒元素を有する層及び第１の半導体膜を形成した後、第１の半導体膜表面に数ｎｍの絶縁膜を形成する。次に、第１のマスクを形成し、第１の半導体膜を所望の形状にエッチングして、図１１（Ａ）に示すような第１の半導体領域４０１、４０２、触媒元素を有する層１２５ａ、１２５ｂを形成する。

20

【０１７２】

次に、図１１（Ｂ）に示すように、第１の半導体領域４０１、４０２上に第２のマスク４０３、４０４を形成した後、第１の半導体領域の露出部にドナー型元素４０５を添加する。このとき、ドナー型元素が添加された領域をｎ型不純物領域４０６、４０７と示す。ここでは、イオンドーピング法によりリンを添加する。なお、第２のマスク４０３、４０４に覆われた第１の半導体領域には、リンは添加されないが触媒元素は含まれている。

【０１７３】

次に、第２のマスク４０３、４０４を除去し、第１の半導体領域を加熱して結晶化すると共に、図１１（Ｃ）の矢印で示すように、第１の半導体領域の結晶化を促した触媒元素を、ｎ型不純物領域４０６、４０７に移動させて、触媒元素をゲッタリングする。ここでは、ゲッタリング後の触媒元素が移動した第１の半導体領域をソース領域及びドレイン領域４１３、４１４と示し、触媒元素濃度が低減された第１の半導体領域をチャネル形成領域４１１、４１２と示す。なお、チャネル形成領域４１１、４１２とソース領域及びドレイン領域４１３、４１４は、それぞれゲッタリング工程の加熱により結晶性化されており、また、ソース領域及びドレイン領域４１３、４１４中に含まれるドナー型元素は活性化されている。

30

【０１７４】

次に、図１１（Ｄ）に示すように、第３のマスク４２１、４２２を形成する。第３のマスク４２１は、後にｎチャネル型ＴＦＴとなるチャネル形成領域４１１及びソース領域及びドレイン領域４１３の全部を覆っている。一方、第３のマスク４２２は、後にｐチャネル型ＴＦＴとなるチャネル形成領域４１２の一部又は全部を覆っている。このとき、第３のマスク４２２は、後に形成されるｐチャネル型ＴＦＴのチャネル長よりも狭いことが好ましい。

40

【０１７５】

次に、ソース領域及びドレイン領域４１４、及びチャネル形成領域４１２の露出部に、アクセプター元素を添加し、ｐ型不純物領域４２４を形成する。このとき、ソース領域及びドレイン領域４１４のドナー型元素濃度の２～１０倍の濃度となるようにアクセプター型元素を添加することにより、ｐ型不純物領域を形成することができる。

50

## 【 0 1 7 6 】

つぎに、第3のマスク421、422を除去した後、ソース領域及びドレイン領域414、及びp型不純物領域424を加熱して、不純物元素を活性化する。加熱の方法としては、LRTA、GRTA、ファーンেসアニール等を適宜用いることができる。ここでは、550度で1時間加熱する。

## 【 0 1 7 7 】

次に、図11(E)に示すように、実施形態13と同様に、第2の導電膜341、342を形成する。次に、第2の導電膜341、342及びチャネル形成領域411、412の表面上に、パッシベーション膜を成膜することが好ましい。

## 【 0 1 7 8 】

以上の工程により、同一基板上にnチャネル型TFETとpチャネル型TFETとを形成することができる。本実施形態で形成されるTFETを用いることにより実施形態1と同様の効果を得ることができる。更には、実施形態6と比較して、成膜工程が削減できるため、スループットを向上させることが可能である。

## 【 0 1 7 9 】

なお、実施形態1乃至実施形態14（ただし実施形態12は除く）のいずれかにも、本実施形態を適用することが可能である。

## 【 0 1 8 0 】

## （実施形態15）

本実施形態においては、実施形態13を用いてゲッタリング工程を行った結晶性半導体膜を用いてnチャネルTFETとpチャネルTFETとを同一基板に形成する工程を図12を用いて形成する。

## 【 0 1 8 1 】

実施形態13の工程にしたがって、基板101上に第1の導電膜301、302を形成し、第1の導電膜上に第1の絶縁膜123を形成する。次に、触媒元素を有する層、第1の半導体膜と、希ガス元素を有する第2の半導体膜を形成する。次に、第1の半導体膜及び第2の半導体膜を実施形態1と同様の手法により加熱して結晶化すると共に、図12(A)の矢印で示すように、第1の半導体膜の結晶化を促す触媒元素を第2の半導体膜に移動させて、触媒元素をゲッタリングする。触媒元素がゲッタリングされた第1の半導体膜を第1の結晶性半導体膜501と示す。また、ゲッタリング後の触媒元素が移動した第2の半導体膜も同様に結晶化されているため、第2の結晶性半導体膜502と示す。

## 【 0 1 8 2 】

次に、図12(B)に示すように、第2の結晶性半導体膜502をエッチングした後、第1の結晶性半導体膜501表面に数nmの絶縁膜を成膜する。次に、第1のマスクを形成して第1の結晶性半導体膜をエッチングして第1の半導体領域511、512を形成する。次に、第2のマスク513、514を形成する。第2のマスク513は、後にnチャネル型TFETのチャネル形成領域となる部分を覆っている。一方、第2のマスク514は、後にpチャネル型TFETとなる第1の半導体領域512の全部を覆っている。次に、第1の半導体領域511の露出部にドナー型元素515を添加する。このとき、ドナー型元素515が添加された領域をn型不純物領域516と示す。また、第2のマスク513に覆われた領域はチャネル形成領域517として機能する。

## 【 0 1 8 3 】

次に、第2のマスク513、514を除去した後、図12(C)に示すように、新たに第3のマスク521、522を形成する。第3のマスク521は、後にnチャネル型TFETとなるチャネル形成領域517及びn型不純物領域516の全部を覆っている。一方、第3のマスク522は、後にpチャネル型TFETのチャネル形成領域となる領域を覆う。

## 【 0 1 8 4 】

次に、半導体領域512の露出部に、アクセプター型元素523を添加し、p型不純物領域524を形成する。また、第3のマスク522に覆われた領域はチャネル形成領域525として機能する。つぎに、第3のマスク521、522を除去した後、n型不純物領

10

20

30

40

50

域 5 1 6 及び p 型不純物領域 5 2 4 を加熱して、不純物元素を活性化する。加熱の方法としては、L R T A、G R T A、ファーネスアニール等を適宜用いることができる。

【 0 1 8 5 】

次に、図 1 2 ( D ) に示すように、実施形態 1 と同様に、第 2 の導電膜 3 4 1、3 4 2 を形成する。この後、チャンネル形成領域 5 1 7、5 2 5 の一部をエッチングしてもよい。次に、第 2 の導電膜 3 4 1、3 4 2 及びチャンネル形成領域 5 1 7、5 2 5 の表面上に、パッシベーション膜を成膜することが好ましい。

【 0 1 8 6 】

以上の工程により、同一基板上に n チャンネル型 T F T と p チャンネル型 T F T とを形成することができる。本実施形態で形成される T F T を用いることにより実施形態 1 と同様の効果を得ることができる。

【 0 1 8 7 】

なお、実施形態 1 乃至実施形態 1 3 のいずれかにも、本実施形態を適用することが可能である。

【 0 1 8 8 】

( 実施形態 1 6 )

本実施形態では実施形態 1 4 の変形例を用いて、n チャンネル T F T と p チャンネル T F T とを同一基板に形成する工程を、図 1 3 を用いて形成する。

【 0 1 8 9 】

実施形態 1 4 にしたがって、図 1 3 ( A ) に示すように、触媒元素及びドナー型元素を有する第 3 の半導体領域 3 1 2、3 1 3 及び第 4 の半導体領域 3 1 1、3 1 4 を形成する。次に、図 1 3 ( B ) に示すように、マスク 3 2 1 を形成した後、第 3 の半導体領域 3 1 2 にアクセプター型元素 3 2 3 を添加して p 型不純物領域 6 0 1 を形成する。このとき、n 型不純物領域である第 3 の半導体領域 3 1 2 の 2 ~ 1 0 倍の濃度となるようにアクセプター型元素 3 2 3 を添加することにより、p 型不純物領域を形成することができる。また、アクセプター型元素 3 2 3 としてボロンを用いた場合、分子半径が小さいため、第 3 の半導体領域より深いところまで添加される。このため、添加条件によっては、第 4 の半導体領域の上部にボロンが添加される。この後、第 3 の半導体領域 3 1 3 及び p 型不純物領域 6 0 1 を加熱して、アクセプター型元素及びドナー型元素を活性化する。なお、ここでは、第 4 の半導体領域 3 1 4 にまでアクセプター元素を添加しないように、ドーピング条件を制御する。

【 0 1 9 0 】

次に、実施形態 1 5 にしたがって第 2 の導電膜 3 3 1、3 3 2 を形成する。次に、マスクを用いて、第 2 の導電膜 3 3 1、3 3 2、第 3 の半導体領域 3 1 3 及び p 型不純物領域 6 0 1 の露出部をエッチングして、図 1 3 ( D ) に示すようなソース領域及びドレイン領域として機能する第 5 の半導体領域 3 4 3、6 2 1、及びチャンネル形成領域として機能する第 6 の半導体領域 3 4 5、6 2 2 を形成することができる。この後、導電膜 3 4 1、3 4 2 及びチャンネル形成領域 3 4 5、6 2 2 の表面上に、パッシベーション膜を成膜することが好ましい。

【 0 1 9 1 】

以上の工程により、同一基板上に n チャンネル型 T F T と p チャンネル型 T F T とを形成することができる。本実施形態で形成される T F T を用いることにより実施形態 1 と同様の効果を得ることができる。更には、実施形態 1 4 と同様に、アクセプター型元素のみ半導体膜に添加しているため、従来の C M O S 回路の作製工程と比較して、短時間で、かつ省エネルギー作製することが可能であり、この結果低コスト化が可能である

【 0 1 9 2 】

なお、実施形態 1 乃至実施形態 1 2 のいずれかにも、本実施形態を適用することが可能である。

【 0 1 9 3 】

( 実施形態 1 7 )

本実施形態では、上記実施形態において、ゲート電極とソース電極及びドレイン電極との端部の位置関係、即ちゲート電極の幅とチャンネル長の大きさの関係について、図 1 4 及び図 1 5 を用いて説明する。

【 0 1 9 4 】

図 1 4 ( A ) は、ゲート電極 1 2 1 a 上をソース電極及びドレイン電極の端部が z 1 だけ重なっている。ここでは、ゲート電極 1 2 1 a と、ソース電極及びドレイン電極とが重なっている領域をオーバーラップ領域と呼ぶ。即ち、ゲート電極の幅 y 1 がチャンネル長 x 1 よりも大きい。オーバーラップ領域の幅 z 1 は、 $(y 1 - x 1) / 2$  で表される。このようなオーバーラップ領域を有する n チャンネル T F T は、ソース電極及びドレイン電極と、半導体領域との間に、図 9 ( B ) で示すような n + 領域と n - 領域とを有することが好ましい。この構造により、電界の緩和効果が大きくなり、ホットキャリア耐性を高めることが可能となる。

10

【 0 1 9 5 】

図 1 4 ( B ) は、ゲート電極 1 2 1 a の端部と、ソース電極及びドレイン電極の端部が一致している。即ち、ゲート電極の幅 y 2 とチャンネル長 x 2 とが等しい。

【 0 1 9 6 】

図 1 4 ( C ) は、ゲート電極 1 2 1 a とソース電極及びドレイン電極の端部とが z 3 だけ離れている。ここでは、ゲート電極 1 2 1 a と、ソース電極及びドレイン電極とが離れている領域をオフセット領域と呼ぶ。即ち、ゲート電極の幅 y 3 がチャンネル長 x 3 よりも小さい。オフセット領域の幅 z 3 は、 $(x 3 - y 3) / 2$  で表される。このような構造の T F T は、オフ電流を低減することができるため、該 T F T を表示装置のスイッチング素子として用いた場合、コントラストを向上させることができる。

20

【 0 1 9 7 】

図 1 5 ( A ) は、ゲート電極の幅 y 4 が、チャンネル長 x 4 よりも大きい。また、ゲート電極 1 2 1 a の第 1 の端部とソース電極又はドレイン電極の一方の端部とが一致し、ゲート電極 1 2 1 a の第 2 の端部とソース電極又はドレイン電極の他方の端部とが z 4 だけ重なっている。オーバーラップ領域の幅 z 4 は、 $(y 4 - x 4)$  で表される。

【 0 1 9 8 】

図 1 5 ( B ) は、ゲート電極の幅 y 5 が、チャンネル長 x 5 よりも小さい。また、ゲート電極 1 2 1 a の第 1 の端部とソース電極又はドレイン電極の一方の端部とが一致し、ゲート電極 1 2 1 a の第 2 の端部とソース電極又はドレイン電極の他方の端部とが z 5 だけ離れている。オフセット領域の幅 z 5 は、 $(x 5 - y 5)$  で表される。ゲート電極 1 2 1 a の第 1 の端部と端部が一致する電極をソース電極とし、オフセット領域を有する電極をドレイン電極とすることで、ドレイン電極付近での電界緩和が可能となる。

30

【 0 1 9 9 】

さらには、半導体領域が複数のゲート電極を覆ういわゆるマルチゲート構造の T F T としても良い。この様な構造の T F T も、オフ電流を低減することができる。

【 0 2 0 0 】

なお、実施形態 1 乃至実施形態 1 6 のいずれかにも、本実施形態を適用することが可能である。

40

【 0 2 0 1 】

( 実施形態 1 8 )

上記実施形態において、チャンネル形成領域表面に対して垂直な端部を有するソース電極及びドレイン電極を示したが、この構造に限定されない。図 1 8 に示すように、チャンネル形成領域表面に対して 9 0 度より大きく、1 8 0 度未満、好ましくは 1 3 5 ~ 1 4 5 度を有する端部であってもよい。また、ソース電極とチャンネル形成領域表面との角度を 1、ドレイン電極とチャンネル形成領域表面との角度を 2 とすると、1 と 2 が等しくてもよい。また、異なってもよい。このような形状のソース電極及びドレイン電極は、ドライエッチング法により形成することが可能である。

【 0 2 0 2 】

50

また、図 19 に示すように、ソース電極及びドレイン電極 2149a、2149b の端部が湾曲面 2150a、2150b を有していても良い。

【0203】

なお、実施形態 1 乃至実施形態 17 のいずれかにも、本実施形態を適用することが可能である。

【実施例 1】

【0204】

次に、アクティブマトリクス基板及びそれを有する液晶表示装置の作製方法について図 22 ~ 図 24 を用いて説明する。図 22 ~ 図 24 は、アクティブマトリクス基板における縦断面構造図であり、駆動回路部 A - A'、及び画素部 B - B' を模式的に示す。

10

【0205】

図 22 (A) に示すように、基板 800 上に膜厚 100 ~ 200 nm の第 1 の導電膜を成膜する。ここでは、基板 800 にガラス基板を用い、その表面上に第 1 の導電膜として、膜厚 150 nm の酸化珪素を有する酸化インジウム膜をスパッタリング法により成膜する。次に、感光性材料を第 1 の導電膜上に塗布し、レーザビーム直接描画装置を用いて感光性材料を露光、現像して、第 1 のマスクを形成する。次に、第 1 のマスクを用いて第 1 の導電膜をエッチングして第 1 の導電膜 801 ~ 804 を形成する。ここでは、ドライエッチング法によりタングステン膜をエッチングして、第 1 の導電膜 801 ~ 804 である酸化珪素を含む酸化インジウム膜を形成する。なお、第 1 の導電膜 801 ~ 803 はゲート電極として機能し、第 1 の導電膜 804 はゲート電極の接続部として機能する。

20

【0206】

次に、基板 800 及び第 1 の導電膜 801 ~ 804 表面上に、第 1 の絶縁膜を形成する。ここでは、第 1 の絶縁膜 805、806 として、膜厚 50 nm ~ 100 nm の窒化珪素膜と、膜厚 50 ~ 100 nm の酸化窒化珪素膜 ( $\text{SiO}_x\text{N}_y$  ( $x > y$ )) を、CVD 法により積層させて形成する。なお、第 1 の絶縁膜はゲート絶縁膜として機能する。このとき、窒化珪素膜と酸化窒化珪素膜とを、大気に解放せず原料ガスの切り替えのみで連続成膜することが好ましい。また、実施形態 1 と同様に 3 層構造にしてもよい。

【0207】

次に触媒元素を有する層 808 を PVD 法、CVD 法、蒸着法等の公知の方法にて形成する。ここでは 100 ppm のニッケル触媒を含む溶液をスピコート法により塗布する。

30

【0208】

次に、図 22 (B) に示すように触媒元素を有する層 808 上に、膜厚 10 ~ 100 nm の非晶質半導体膜 807 を形成する。ここでは、膜厚 100 nm のアモルファスシリコン膜を CVD 法により成膜する。次に、後の TFT のチャネル領域となる領域に p 型または n 型の不純物元素を低濃度に添加するチャネルドーピング工程を全面または選択的に行う。次に膜厚 100 nm のドナー型元素を含む半導体膜 812 を成膜する。ここでは、シランガスと、0.5% フォスフィンガス (流量比シラン/フォスフィンが 10/17) とを用いて、リンを有するアモルファスシリコン膜を成膜する。

【0209】

40

次に、非晶質半導体膜 807 を加熱して図 22 (C) に示すような、結晶性半導体膜 813 を形成する。ここでは、電気炉を用い、500 度で 1 時間加熱して半導体膜中の水素出しを行った後、550 度で 4 時間加熱してニッケルを含む結晶性シリコン膜を形成する。

【0210】

この加熱によって触媒元素はドナー型元素を含む半導体膜 812 に移動しゲッタリングされるとともに、ドナー型元素は活性化する。即ち、触媒元素を含む結晶性半導体膜中の触媒元素を、ドナー型元素を含む半導体膜 812 へ移動させる。このときの触媒元素濃度が低減された結晶性半導体膜を図 22 (C) の 813 で示す。ここでは、結晶性シリコン膜となる。また、触媒元素が移動した、ドナー型元素を含む半導体膜も加熱により結晶性

50

半導体膜となる。即ち、触媒元素及びドナー型元素を含む結晶性半導体膜となる。これを、図22(C)の814で示す。ここでは、ニッケル及びリンを含む結晶性シリコン膜となる。

#### 【0211】

次に、図23(A)に示すように、触媒元素及びドナー型元素を含む結晶性半導体膜814及び結晶性半導体膜813を、第2のマスク815～817を用いて所望の形状にエッチングする。エッチングされた触媒元素及びドナー型元素を含む結晶性半導体膜814は、図23(B)に示す第1の半導体領域824～826となり、エッチングされた結晶性半導体膜813は、第2の半導体領域821～823となる。

#### 【0212】

次に、駆動回路において、一部のTFTのゲート電極とソース電極又はドレイン電極とを接続させるために、第3のマスクを用いて第1の絶縁膜805、806の一部をエッチングして、図27に示すようなコンタクトホール850を形成する。なお、後に形成される第3の導電膜831～833は破線で示す。第3のマスクは、第1のマスク又は第2のマスクと同様の形成方法を適宜用いることができる。該コンタクトホールを介してゲート電極802と、後に形成されるソース電極又はドレイン電極833を接続することにより、抵抗を形成することが可能となり、隣り合うTFTと接続されることで、インバータを形成することが可能である。

#### 【0213】

次に、図23(B)に示すように、第1の半導体領域824～826及び第2の半導体領域821～823の表面に、膜厚500～1000nm第2の導電膜827を形成する。

#### 【0214】

次に、感光性材料829を塗布し、露光、現像して第4のマスクを形成した後、第2の導電膜をエッチングして、図23(C)に示すような、ソース電極及びソース配線、並びにドレイン電極として機能する第3の導電膜831～836を形成する。また、この工程において、第2の導電膜を分断して、ソース電極及びドレイン電極を形成すると共に、ソース配線又はドレイン配線の幅が細くなるようにエッチングすることで、後に形成される液晶表示装置の開口率を高めることが可能である。

#### 【0215】

次に、第4のマスクを残したまま、第1の半導体領域824～826をエッチングして、ソース領域及びドレイン領域837～843を形成する。このとき、第2の半導体領域821～823の一部もエッチングされる。エッチングされた第2の半導体領域821～823を第3の半導体領域844～846とする。第3の半導体領域844～846は、チャンネル形成領域として機能する。

#### 【0216】

次に、第4のマスクを除去した後、第4の導電膜及び第3の半導体領域表面上に第2の絶縁膜851及び第3の絶縁膜852を形成する。ここでは、第2の絶縁膜として水素を含む膜厚の150nm酸化窒化珪素膜( $\text{SiO}_x\text{N}_y$  ( $x > y$ ))をCVD法により形成する。また、第3の絶縁膜として膜厚200nmの窒化珪素膜を、CVD法により成膜する。窒化珪素膜は、外部からの不純物をブロッキングする保護膜として機能する。

#### 【0217】

次に、第3の半導体領域844～846を加熱して水素化する。ここでは、窒素雰囲気中で410℃1時間の加熱を行うことで、第2の絶縁膜851に含まれる水素が第3の半導体領域844～846に添加され、水素化される。

#### 【0218】

以上の工程により、nチャンネル型TFT861、862で形成される駆動回路(A)-(A')と、ダブルゲート803を有するnチャンネル型TFT863を有する画素部(B)-(B')とで構成される、液晶表示装置のアクティブマトリクス基板を形成することができる。本実施例では、nチャンネル型TFTで駆動回路が形成されているため、pチャ

10

20

30

40

50



ネル型 T F T を形成する必要がなく、工程数を削減することが可能である。なお、n チャネル型 T F T でなく、p チャネル型 T F T のみで駆動回路及び画素 T F T を構成してもよい。

#### 【0219】

次に、図 24 (A) に示すように、第 3 の絶縁膜 852 上に第 4 の絶縁膜 871 を形成する。ここでは、アクリルを塗布し焼成して第 4 の絶縁膜 871 を形成する。次に、第 4 の絶縁膜 871 上に第 5 のマスクを形成した後、第 4 の絶縁膜 871、第 3 の絶縁膜 852、第 2 の絶縁膜 851 をそれぞれエッチングして、ゲート電極の接続部として機能する第 1 の導電膜 804 の一部を露出する。次に、ゲート電極の接続部として機能する第 1 の導電膜 804 に接続するゲート配線として機能する第 4 の導電膜 872 を形成する。

10

#### 【0220】

次に、第 5 の絶縁膜 873 を形成する。第 5 の絶縁膜 873 も第 4 の絶縁膜と同様の材料を適宜用いることが可能である。ここでは、第 5 の絶縁膜 873 にアクリルを用いる。次に、第 5 の絶縁膜 873 上に第 6 のマスクを形成した後、第 5 の絶縁膜 ~ 第 2 の絶縁膜をエッチングして、第 3 の導電膜 836 の一部を露出する。

#### 【0221】

次に、第 3 の導電膜 836 に接するように、膜厚 100 ~ 300 nm の第 5 の導電膜を成膜する。第 5 の導電膜の材料としては、透光性を有する導電膜、又は反射性を有する導電膜があげられる。透光性を有する導電膜の材料としては、酸化インジウムスズ (ITO)、酸化亜鉛 (ZnO)、酸化インジウム亜鉛 (IZO)、ガリウムを添加した酸化亜鉛 (GZO)、酸化珪素を含む酸化インジウムスズ等が挙げられる。また、反射性を有する導電膜の材料としては、アルミニウム (Al)、チタン (Ti)、銀 (Ag)、タンタル (Ta) などの金属、又は該金属と化学量論的組成比以下の濃度で窒素を含む金属材料、若しくは該金属の窒化物である窒化チタン (TiN)、窒化タンタル (TaN) などが挙げられる。また、第 5 の導電膜の形成方法としては、液滴吐出法、塗布法、スパッタリング法、蒸着法、CVD 法等を適宜用いる。なお、塗布法、スパッタリング法、蒸着法、CVD 法等を用いる場合、感光性材料の露光等によりマスクを形成した後、導電膜をエッチングする。ここでは、膜厚 110 nm の酸化珪素を含むインジウム錫酸化物 (ITO) をスパッタリング法により成膜し、所望の形状にエッチングして画素電極として機能する第 5 の導電膜 874 を形成する。

20

30

#### 【0222】

次に、図 24 (B) に示すように、第 5 の絶縁膜 873 及び第 5 の導電膜 874 を覆うように印刷法やスピンコート法により、絶縁膜を成膜し、ラビングを行って配向膜 881 を形成する。なお、斜方蒸着法により配向膜 881 を形成することで、低温で形成することが可能であり、耐熱性の低いプラスチック上に配向膜を形成することが可能である。

#### 【0223】

対向基板 882 上に第 2 の画素電極 (対向電極) 883 及び配向膜 884 を形成する。次に、対向基板 882 上に閉ループ状のシール材を形成する。このとき、シール材は画素部の周辺の領域に液滴吐出法を用いて形成する。次に、ディスペンサ式 (滴下式) により、シール材で形成された閉ループ内側に、液晶材料を滴下する。

40

#### 【0224】

シール材には、フィラーが混入されていてもよく、さらに、対向基板 882 にはカラーフィルタや遮蔽膜 (ブラックマトリクス) などが形成されていても良い。

#### 【0225】

次に、真空中で、配向膜 884 及び第 2 の画素電極 (対向電極) 883 が設けられた対向基板 882 とアクティブマトリクス基板とを貼り合わせ、紫外線硬化を行って、液晶材料が充填された液晶層 885 を形成する。なお、液晶層 885 を形成する方法として、ディスペンサ式 (滴下式) の代わりに、対向基板を貼り合わせてから毛細管現象を用いて液晶材料を注入するディップ式 (汲み上げ式) を用いることができる。

#### 【0226】

50

以上の工程により液晶表示パネルを作製することができる。なお、静電破壊防止のための保護回路、代表的にはダイオードなどを、接続端子とソース配線（ゲート配線）の間または画素部に設けてもよい。この場合、上記したTFTと同様の工程で作製し、画素部のゲート配線層とダイオードのドレイン又はソース配線層とを接続することにより、ダイオードとして動作させることができる。

#### 【0227】

以上の工程により液晶表示装置を形成することができる。なお、実施形態1乃至実施形態18のいずれをも本実施例に適用することができる。

#### 【実施例2】

#### 【0228】

10

次に、実施例1において、駆動回路がCMOS回路で形成されるアクティブマトリクス基板及びそれを有する液晶表示装置の作製方法について図25、図26、図28を用いて説明する。図28は、アクティブマトリクス基板の駆動回路の平面図である。また、駆動回路部A-A'、及び画素部のB-B'の縦断面構造を図25、及び図26に模式的に示す。

#### 【0229】

実施例1と同様の工程により、図25(A)に示すように、基板800上にゲート電極として機能する第1の導電膜801～804、第1の絶縁膜805、806、第1の半導体領域824～826、第2の半導体領域821～823を形成する。次に、後のnチャネル型TFTとなる領域にマスク891を形成する。ここでは、感光性材料の塗布、露光、現像、エッチングを行い、後のnチャネル型TFTとなる第1の半導体領域824、826及び第2の半導体領域821、823を覆うマスク891を形成する。

20

#### 【0230】

次に、後にpチャネル型TFTとなる第1の半導体領域825に、アクセプター型元素を添加し、図25(B)に示すように、p型半導体領域893を形成する。

#### 【0231】

この後、実施例1と同様の工程により、ソース電極及びソース配線、並びにドレイン電極として機能する第3の導電膜831～836を形成する。また、ソース領域及びドレイン領域837～843、チャネル形成領域として機能する第3の半導体領域844～846を形成する。このときの上面図を図28に示す。また、第2の絶縁膜851及び第3の絶縁膜852を形成した後、第3の半導体領域844～846を加熱して水素化する。

30

#### 【0232】

次に、図26(A)に示すように、第4の絶縁膜871を形成した後、ゲート電極として機能する第1の導電膜804の一部を露出し、ゲート電極と接続されるゲート配線を形成する。この後、実施例1と同様に第5の絶縁膜873を形成した後、第3の導電膜833に接続する第5の導電膜874を形成する。

#### 【0233】

以上の工程により、図26(A)に示すような、nチャネル型TFT896及びpチャネル型TFT897のCMOS回路で形成される駆動回路A-A'と、ダブルゲート803を有するnチャネル型TFT863を有する画素部B-B'とで構成される、液晶表示装置のアクティブマトリクス基板を形成することができる。

40

#### 【0234】

この後、実施例1と同様の工程により、図26(B)に示すような液晶表示装置を形成することが可能である。

#### 【実施例3】

#### 【0235】

本実施例では、本発明の半導体装置の一形態に相当する液晶表示装置パネルの外観について、図29を用いて説明する。図29(A)は、第1の基板1600と、第2の基板1604との間を第1のシール材1605及び第2のシール材1606によって封止されたパネルの上面図であり、図29(B)は、図29(A)のA-A'、及びB-B'それぞれ

50

れにおける断面図に相当する。また、第1の基板1600に、実施例1で形成されたアクティブマトリクス基板を用いることが可能である。

【0236】

図29(A)において、点線で示された1602は画素部、1603は走査線駆動回路である。また、実線で示された1601は信号線(ゲート線)駆動回路である。本実施例において、画素部1602、及び走査線駆動回路1603は第1のシール材1605及び第2のシール材1606で封止されている領域内にある。また、1601は信号線(ソース線)駆動回路であり、チップ状の信号線駆動回路1601が第1の基板1600上に設けられている。

【0237】

また、1600は第1の基板、1604は第2の基板、1605及び1606はそれぞれ、密閉空間の間隔を保持するためのギャップ材が含有されている第1のシール材及び第2のシール材である。第1の基板1600と第2の基板1604とは第1のシール材1605及び第2のシール材1606によって封止されており、それらの間には液晶材料が充填されている。

【0238】

次に、断面構造について図29(B)を用いて説明する。第1の基板1600上には駆動回路及び画素部が形成されており、TFTを代表とする半導体素子を複数有している。第2の基板1604表面には、カラーフィルタ1621が設けられている。駆動回路として走査線駆動回路1603と画素部1602とを示す。走査線駆動回路1603はnチャネル型TFT1612、1613からなる回路が形成される。なお、実施例2と同様に、CMOS回路によって駆動回路を形成しても良い。

【0239】

本実施例においては、同一基板上に走査線駆動回路、及び画素部のTFTが形成されている。このため、表示装置の容積を縮小することができる。

【0240】

画素部1602には、複数の画素が形成されており、各画素には液晶素子1615が形成されている。液晶素子1615は、第1の電極1616、第2の電極1618及びその間に充填されている液晶材料1619が重なっている部分である。液晶素子1615が有する第1の電極1616は、配線1617を介して画素駆動用TFT1611と電氣的に接続されている。また、ゲート電極1625は、コンタクトホールを介してゲート配線1626と接続されている。ここでは、ゲート配線1626を形成した後、第1の電極1616を形成しているが、第1の電極1616を形成した後、ゲート配線1626を形成してもよい。液晶素子1615の第2の電極1618は、第2の基板1604側に形成される。また、各画素電極表面には配向膜1630、1631が形成されている。

【0241】

1622は柱状のスペーサーであり、第1の電極1616と第2の電極1618との間の距離(セルギャップ)を制御するために設けられており、絶縁膜を所望の形状にエッチングして形成される。なお、球状スペーサーを用いても良い。信号線駆動回路1601または画素部1602に与えられる各種信号及び電位は、接続配線1623を介して、FPC1609から供給されている。なお、接続配線1623とFPCとは、異方性導電膜又は異方性導電樹脂1627で電氣的に接続されている。なお、異方性導電膜又は異方性導電樹脂の代わりに半田等の導電性ペーストを用いてもよい。

【0242】

図示しないが、第1の基板1600及び第2の基板1604の一方又は両方の表面には、接着剤によって偏光板が固定されている。なお、偏光板の他に位相差板を設けてもよい。

【実施例4】

【0243】

本実施例では、基板周辺部に設けられた走査線入力端子部と信号線入力端子部の構造に

10

20

30

40

50

ついて、図 3 5 を用いて説明する。図 3 5 ( A )、( C ) 及び ( E ) は、それぞれ基板周辺部の平面図であり、図 3 5 ( B )、( D ) 及び ( F ) は、それぞれ図 3 5 ( A )、( C ) 及び ( E ) の K - L、及び M - N の縦断面図である。なお、K - L は走査線入力端子部の縦断面図を示し、M - N は信号線入力端子部の縦断面図を示す。

【 0 2 4 4 】

図 3 5 ( A ) 及び図 3 5 ( B ) に示すように、第 1 の基板 1 1 及び第 2 の基板 2 1 は、シール材 2 0 を用いて封止されており、これらの内部には、液晶材料 2 7 が充填されている。また、シール材内部には、画素電極 1 9 及び画素 T F T 1 が配列された画素部が形成されている。

【 0 2 4 5 】

10

図 3 5 ( A ) 及び図 3 5 ( B ) においては、走査線入力端子 1 3 と信号線入力端子 2 6 は、画素 T F T 1 のゲート電極 1 2 と同様の工程により形成されている。また、走査線入力端子 1 3 は、第 1 の層間絶縁膜 1 6 上に形成されたゲート配線 1 7 を介して各ゲート電極と接続されている。また、信号線入力端子 2 6 は、ソース配線 1 4 と接続されている。

【 0 2 4 6 】

また、画素電極 1 9 は第 1 の層間絶縁膜 1 6 上に形成された第 2 の層間絶縁膜 1 8 上に形成されている。なお、第 1 の層間絶縁膜 1 6 及び第 2 の層間絶縁膜 1 8 を介して、ドレイン電極 1 5 と接続されている。

【 0 2 4 7 】

走査線入力端子 1 3 と信号線入力端子 2 6 は、それぞれ接続層 2 2、2 3 を介して F P C 2 4、2 5 に接続されている。なお、図 3 5 ( A ) においては、接続層 2 2、2 3 及び F P C 2 4、2 5 は破線で示している。

20

【 0 2 4 8 】

図 3 5 ( C ) 及び図 3 5 ( D ) においては、走査線入力端子 3 3 はソース配線 1 4 と同様の工程で形成され、信号線入力端子は、ソース配線 1 4 の一部である。即ち、ソース配線 1 4 と同時に各入力端子が形成されている。また、走査線入力端子 3 3 とゲート電極 1 2 とは、第 1 の層間絶縁膜 1 6 上に形成されたゲート配線 1 7 で接続されている。

【 0 2 4 9 】

その他の構造は、図 3 5 ( A ) 及び図 3 5 ( B ) と同様である。

【 0 2 5 0 】

30

図 3 5 ( E ) 及び図 3 5 ( F ) においては、走査線入力端子はゲート配線 4 3 の一部であり、信号線入力端子 4 4 は、ゲート配線 4 3 と同時に形成される。即ち、ゲート配線 4 3 と同時に各入力端子が形成されている。また、信号線入力端子 4 4 は、ソース配線 1 4 上に形成された第 1 の層間絶縁膜 1 6 が除去された後、露出されたソース配線 1 4 上に形成される。

【 0 2 5 1 】

その他の構造は、図 3 5 ( A ) 及び図 3 5 ( B ) と同様である。

【 0 2 5 2 】

なお、本実施例は、実施形態 1 に示される T F T の構造を用いて説明したが、適宜実施形態 2 乃至実施形態 1 8 に適用することが可能である。

40

【 実施例 5 】

【 0 2 5 3 】

本発明の半導体装置に具備される保護回路の一例について説明する。保護回路は、T F T、ダイオード、抵抗素子及び容量素子等から選択された 1 つ又は複数の素子によって構成されるものであり、以下にはいくつかの保護回路の構成とその動作について説明する。まず、外部回路と内部回路の間に配置される保護回路であって、1 つの入力端子に対応した保護回路の等価回路図の構成について、図 3 6 を用いて説明する。図 3 6 ( A ) に示す保護回路は、p 型 T F T 7 2 2 0、7 2 3 0、容量素子 7 2 1 0、7 2 4 0、抵抗素子 7 2 5 0 を有する。抵抗素子 7 2 5 0 は 2 端子の抵抗であり、一端には入力電圧  $V_{in}$  (以下、 $V_{in}$  と表記) が、他端には低電位電圧  $V_{SS}$  (以下、 $V_{SS}$  と表記) が与えられる

50

。

#### 【0254】

図36(B)に示す保護回路は、p型TFT7220、7230を、整流性を有するダイオード7260、7270で代用した等価回路図である。図36(C)に示す保護回路は、p型TFT7220、7230を、TFT7350、7360、7370、7380で代用した等価回路図である。また、上記とは別の構成の保護回路として、図36(D)に示す保護回路は、抵抗7280、7290と、n型TFT7300を有する。図36(E)に示す保護回路は、抵抗7280、7290、p型TFT7310及びn型TFT7320を有する。なお、上記保護回路を構成する素子は、耐圧に優れた非晶質半導体により構成することが好ましい。本実施例は、上記実施の形態と自由に組み合わせることが可能である。

10

#### 【実施例6】

#### 【0255】

本実施例では、上記実施例に示した液晶パネルへの駆動回路の実装について、図30を用いて説明する。

#### 【0256】

図30(A)に示すように、画素部1401の周辺に信号線駆動回路1402、及び走査線駆動回路1403a、1403bを実装する。図30(A)では、信号線駆動回路1402、及び走査線駆動回路1403a、1403b等として、公知の異方性導電接着剤、及び異方性導電フィルムを用いた実装方法、COG方式、ワイヤボンディング方法、並びに半田バンプを用いたリフロー処理等により、基板1400上にICチップ1405を実装する。ここでは、COG方式を用いる。そして、FPC(フレキシブルプリントサーキット)1406を介して、ICチップと外部回路とを接続する。

20

#### 【0257】

なお、信号線駆動回路1402の一部、例えばアナログスイッチを基板上に一体形成し、かつその他の部分を別途ICチップで実装してもよい。

#### 【0258】

また、図30(B)に示すように、セミアモルファス半導体や結晶性半導体でTFTを代表とする半導体素子を形成する場合、画素部1401と走査線駆動回路1403a、1403b等を基板上に一体形成し、信号線駆動回路1402等を別途ICチップとして実装する場合がある。図30(B)において、信号線駆動回路1402として、COG方式により、基板1400上にICチップ1405を実装する。そして、FPC1406を介して、ICチップと外部回路とを接続する。

30

#### 【0259】

なお、信号線駆動回路1402の一部、例えばアナログスイッチを基板上に一体形成し、かつその他の部分を別途ICチップで実装してもよい。

#### 【0260】

さらに、図30(C)に示すように、COG方式に代えて、TAB方式により信号線駆動回路1402等を実装する場合がある。そして、FPC1406を介して、ICチップと外部回路とを接続する。図30(C)において、信号線駆動回路をTAB方式により実装しているが、走査線駆動回路をTAB方式により実装してもよい。

40

#### 【0261】

ICチップをTAB方式により実装すると、基板に対して画素部を大きく設けることができ、狭額縁化を達成することができる。

#### 【0262】

なお、信号線駆動回路1402の一部、例えばアナログスイッチを基板上に一体形成し、かつその他の部分を別途ICチップで実装してもよい。

#### 【0263】

ICチップは、シリコンウェハを用いて形成するが、ICチップの代わりにガラス基板上に集積回路を形成したIC(以下、ドライバICと表記する)を設けてもよい。ICチ

50

ップは、円形のシリコンウェハからＩＣチップを取り出すため、母体基板形状に制約がある。一方ドライバＩＣは、母体基板がガラスであり、形状に制約がないため、生産性を高めることができる。そのため、ドライバＩＣの形状寸法は自由に設定することができる。例えば、ドライバＩＣの長辺の長さを１５～８０ｍｍとして形成すると、ＩＣチップを実装する場合と比較し、必要な数を減らすことができる。その結果、接続端子数を低減することができ、製造上の歩留まりを向上させることができる。

#### 【０２６４】

ドライバＩＣは、基板上に形成された結晶性半導体を用いて形成することができ、結晶性半導体は連続発振型のレーザ光を照射することで形成するとよい。連続発振型のレーザ光を照射して得られる半導体膜は、結晶欠陥が少なく、大粒径の結晶粒を有する。その結果、このような半導体膜を有するトランジスタは、移動度や応答速度が良好となり、高速駆動が可能となり、ドライバＩＣに好適である。

#### 【実施例７】

#### 【０２６５】

本実施例では、表示モジュールについて説明する。ここでは、表示モジュールの一例として、液晶モジュールを、図３１を用いて示す。

#### 【０２６６】

図３１（Ａ）は、白色ライト及びカラーフィルタを用いてカラー表示をする液晶モジュールの断面図を示す。

#### 【０２６７】

図３１（Ａ）に示すように、アクティブマトリクス基板１２０１と対向基板１２０２とが、シール材１２００により固着され、それらの間には画素部１２０３と液晶層１２０４とが設けられ表示領域を形成している。

#### 【０２６８】

着色層１２０５は、カラー表示を行う場合に必要であり、ＲＧＢ方式の場合は、赤、緑、青の各色に対応した着色層が各画素に対応して設けられている。アクティブマトリクス基板１２０１と対向基板１２０２との外側には、光学フィルム（偏光板、位相差板など）１２０６、１２０７が配設されている。また、光学フィルム１２０６の表面には、保護膜１２１６が形成されており、外部からの衝撃を緩和している。

#### 【０２６９】

アクティブマトリクス基板１２０１に設けられた接続端子１２０８には、ＦＰＣ１２０９を介して配線基板１２１０が接続されている。配線基板１２１０には、画素駆動回路（ＩＣチップ、ドライバＩＣ等）、コントロール回路や電源回路などの外部回路１２１２が組み込まれている。

#### 【０２７０】

冷陰極管１２１３、反射板１２１４、及び光学フィルム１２１５、インバータ（図示しない）はバックライトユニットであり、これらが光源となって液晶表示パネルへ光を投射する。液晶パネル、光源、配線基板、ＦＰＣ等は、ベゼル１２１７で保持及び保護されている。

#### 【０２７１】

このような構造の液晶モジュールとしては、ＴＮ（Ｔｗｉｓｔｅｄ　Ｎｅｍａｔｉｃ）モード、ＩＰＳ（Ｉｎ－Ｐｌａｎｅ－Ｓｗｉｔｃｈｉｎｇ）モード、ＭＶＡ（Ｍｕｌｔｉ－ｄｏｍａｉｎ　Ｖｅｒｔｉｃａｌ　Ａｌｉｇｎｍｅｎｔ）モード、ＡＳＭ（Ａｘｉａｌｌｙ　Ｓｙｍｍｅｔｒｉｃ　ａｌｉｇｎｅｄ　Ｍｉｃｒｏ－ｃｅｌｌ）モード、ＯＣＢ（Ｏｐｔｉｃａｌ　Ｃｏｍｐｅｎｓａｔｅｄ　Ｂｅｎｄ）モード等を適宜適用することが可能である。

#### 【０２７２】

図３１（Ｂ）は、カラーフィルタを用いず、カラー表示を行うことが可能なフィールドシーケンシャル方式の駆動方法を用いる液晶モジュールを示す。フィールドシーケンシャル方式の駆動方法は、液晶パネルによって光シャッタを行って、ＲＧＢの３色のバックラ

10

20

30

40

50

イトを高速で点灯させてカラー表示を行い、人間の目の時間的な分解能力の限界を利用し、連続時間的な加法混色によってカラー表示を実現するものである。バックライトとしては、R（赤）、G（緑）、B（青）の光を発する冷陰極管またはダイオード（LED）を用いることができる。

#### 【0273】

ここでは、いわゆるセル構造を有しており、OCB（Optically Compensated Bend）モードという表示モードを用いる。セル構造とは、液晶分子のプレチルト角がアクティブマトリクス基板と対向基板との基板間の中心面に対して面対称の関係で配向された構造である。セル構造の配向状態は、基板間に電圧が印加されていない時はスプレイ配向となり、電圧を印加するとベンド配向に移行する。さらに電圧を印加するとベンド配向の液晶分子が両基板と垂直に配向し、光が透過する状態となる。なお、OCBモードにすると、従来のTNモードより約10倍速い高速応答性を実現できる。

10

#### 【0274】

また、液晶層1204に充填される材料としては、ネマチック液晶、スメクチック液晶、強誘電性液晶、又は反強誘電性液晶、若しくはこれらの材料を複数混合した材料を用いることができる。

#### 【0275】

また、OCBモードによる表示においては、液晶パネルを挟持する一対の光学フィルム（偏光板、位相差板など）1206、1207は、リタレーションの視角依存性を3次元的に補償するため、2軸性位相差板を用いることが好ましい。

20

#### 【0276】

ここでは、R（赤）、G（緑）、B（青）それぞれに発光するLED1221～1223が反射板1214内に設けられている。また、これらのLEDの発光を制御するコントローラ（図示しない。）が設けられている。フィールドシーケンシャル駆動方法においては、LED点灯期間TR期間、TG期間およびTB期間に、それぞれR、G、BのLEDが順に点灯する。赤のLEDの点灯期間（TR）には、赤に対応したビデオ信号が液晶パネルに供給され、液晶パネルに赤の画像1画面分が書き込まれる。また、緑のLEDの点灯期間（TG）には、緑に対応したビデオデータが液晶パネルに供給され、液晶パネルに緑の画像1画面分が書き込まれる。また、青のLEDの点灯期間（TB）には、青に対応したビデオデータが液晶表示装置に供給され、液晶表示装置に青の画像1画面分が書き込まれる。これらの3回の画像の書き込みにより、1フレームが形成される。

30

#### 【0277】

なお、本実施例は実施形態1乃至実施形態18のいずれとも自由に組み合わせて用いることができる。

#### 【実施例8】

#### 【0278】

上記実施例に示される半導体装置又は液晶表示装置を筐体に組み込んだ電子機器として、テレビジョン装置（単にテレビ、又はテレビジョン受信機ともよぶ）、デジタルカメラ、デジタルビデオカメラ、携帯電話装置（単に携帯電話機、携帯電話ともよぶ）、PDA等の携帯情報端末、携帯型ゲーム機、コンピュータ用のモニター、コンピュータ、カーオーディオ等の音響再生装置、家庭用ゲーム機等の記録媒体を備えた画像再生装置等が挙げられる。その具体例について、図32を参照して説明する。

40

#### 【0279】

図32（A）に示す携帯情報端末は、本体9201、表示部9202等を含んでいる。表示部9202は、実施形態1～18、及び実施例1～7で示すものを適用することができる。本発明の一である液晶表示装置を用いることにより、高画質な表示が可能な携帯情報端末を安価に提供することができる。

#### 【0280】

図32（B）に示すデジタルビデオカメラは、表示部9701、表示部9702等を含

50

んでいる。表示部 9701 及び 9702 は、実施形態 1～18、及び実施例 1～7 で示すものを適用することができる。本発明の一である液晶表示装置を用いることにより、高画質な表示が可能なデジタルビデオカメラを安価に提供することができる。

【0281】

図 32 (C) に示す携帯端末は、本体 9101、表示部 9102 等を含んでいる。表示部 9102 は、実施形態 1～18、及び実施例 1～7 で示すものを適用することができる。本発明の一である液晶表示装置を用いることにより、高画質な表示が可能な携帯端末を安価に提供することができる。

【0282】

図 32 (D) に示す携帯型のテレビジョン装置は、本体 9301、表示部 9302 等を含んでいる。表示部 9302 は、実施形態 1～18、及び実施例 1～7 で示すものを適用することができる。本発明の一である液晶表示装置を用いることにより、高画質な表示が可能な携帯型のテレビジョン装置を安価に提供することができる。このようなテレビジョン装置は携帯電話などの携帯端末に搭載する小型のものから、持ち運びをすることができる中型のもの、また、大型のもの（例えば 40 インチ以上）まで、幅広く適用することができる。

【0283】

図 32 (E) に示す携帯型のコンピュータは、本体 9401、表示部 9402 等を含んでいる。表示部 9402 は、実施形態 1～18、及び実施例 1～7 で示すものを適用することができる。本発明の一である液晶表示装置を用いることにより、高画質な表示が可能な携帯型のコンピュータを安価に提供することができる。

【0284】

図 32 (F) に示すテレビジョン装置は、本体 9501、表示部 9502 等を含んでいる。表示部 9502 は、実施形態 1～18、及び実施例 1～7 で示すものを適用することができる。本発明の一である液晶表示装置を用いることにより、高画質な表示が可能なテレビジョン装置を安価に提供することができる。

【0285】

上記に挙げた電子機器において、二次電池を用いているものは、消費電力を削減した分、電子機器の使用時間を長持ちさせることができ、二次電池を充電する頻度を下げることができる。

【0286】

図 33 に示す大型テレビジョンは、本体 9601、表示部 9602 等を含んでいる。また、本体の裏又は上部には、壁掛用の支持体が設けられている。図 33 では、大型テレビジョンの代表例として、壁掛けテレビジョンを示す。図 33 に示すように壁 9603 にかけて表示することができる。また、鉄道の駅や空港などにおける情報表示板や、街頭における広告表示板など特に大面積の表示媒体として様々な用途に適用することができる。表示部 9602 は、実施形態 1～18、及び実施例 1～7 で示すものを適用することができる。本発明の一である液晶表示装置を用いることにより、高画質な表示が可能な大型テレビジョンを安価に提供することができる。

【図面の簡単な説明】

【0287】

【図 1】本発明に係る液晶表示装置の作製工程を説明する断面図。

【図 2】本発明に係る液晶表示装置の構造を説明する平面図及び断面図。

【図 3】本発明に係る液晶表示装置の構造を説明する断面図。

【図 4】本発明に係る液晶表示装置の構造を説明する平面図及び断面図。

【図 5】本発明に係る液晶表示装置の構造を説明する平面図及び断面図。

【図 6】本発明に係る液晶表示装置の構造を説明する平面図及び断面図。

【図 7】本発明に係る液晶表示装置の構造を説明する平面図及び断面図。

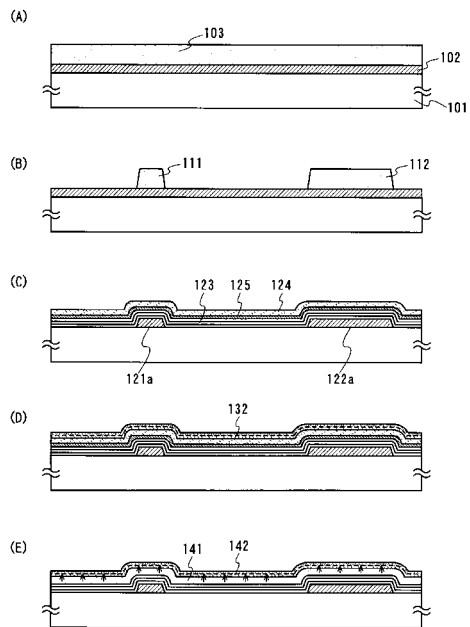
【図 8】本発明に係る液晶表示装置の構造を説明する平面図及び断面図。

【図 9】本発明に係る液晶表示装置の作製工程を説明する断面図。

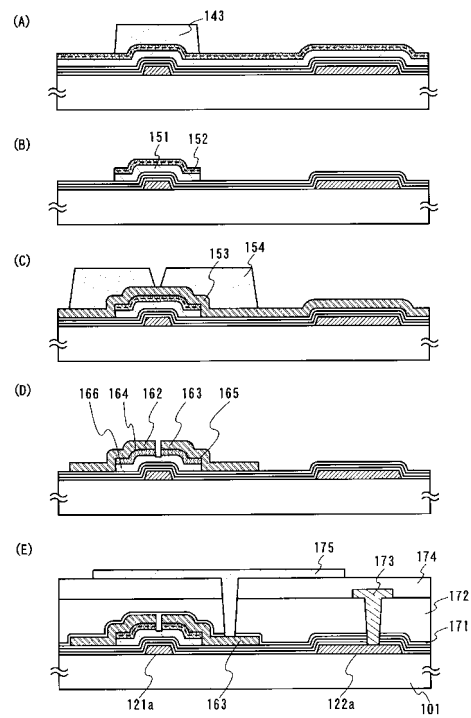


- 【図 1 0】本発明に係る液晶表示装置の作製工程を説明する断面図。
- 【図 1 1】本発明に係る液晶表示装置の作製工程を説明する断面図。
- 【図 1 2】本発明に係る液晶表示装置の作製工程を説明する断面図。
- 【図 1 3】本発明に係る液晶表示装置の作製工程を説明する断面図。
- 【図 1 4】本発明に係る液晶表示装置の構造を説明する断面図。
- 【図 1 5】本発明に係る液晶表示装置の構造を説明する断面図。
- 【図 1 6】本発明に係る液晶表示装置の不純物濃度を説明する断面図。
- 【図 1 7】本発明に係る液晶表示装置の不純物濃度を説明する断面図。
- 【図 1 8】本発明に係る液晶表示装置の構造を説明する断面図。
- 【図 1 9】本発明に係る液晶表示装置の構造を説明する断面図。 10
- 【図 2 0】本発明に係る液晶表示装置の作製工程を説明する断面図。
- 【図 2 1】本発明に係る液晶表示装置の作製工程を説明する断面図。
- 【図 2 2】本発明に係る液晶表示装置の作製工程を説明する段面図。
- 【図 2 3】本発明に係る液晶表示装置の作製工程を説明する段面図。
- 【図 2 4】本発明に係る液晶表示装置の作製工程を説明する段面図。
- 【図 2 5】本発明に係る液晶表示装置の作製工程を説明する段面図。
- 【図 2 6】本発明に係る液晶表示装置の作製工程を説明する段面図。
- 【図 2 7】本発明に係る液晶表示装置の駆動回路の接続を説明する平面図。
- 【図 2 8】本発明に係る液晶表示装置の駆動回路の接続を説明する平面図。
- 【図 2 9】本発明に係る液晶表示パネルの構成を説明する平面図及び断面図。 20
- 【図 3 0】本発明に係る液晶表示装置の駆動回路の実装方法を説明する平面図。
- 【図 3 1】本発明に係る液晶表示モジュールの構成を説明する図。
- 【図 3 2】電子機器の一例を説明する図。
- 【図 3 3】電子機器の一例を説明する図。
- 【図 3 4】本発明に係る液晶表示装置の構造を説明する平面図及び断面図。
- 【図 3 5】本発明に係る液晶表示装置の作製工程を説明する段面図。
- 【図 3 6】保護回路を説明する回路図。
- 【図 3 7】本発明に係る液晶表示装置の作製工程を説明する断面図。
- 【符号の説明】
- 【 0 2 8 8】 30
- 1 0 1 基板
- 1 0 2 第 1 の導電膜
- 1 0 3 感光性材料
- 1 1 1 第 1 のマスク
- 1 1 2 第 1 のマスク
- 1 2 1 a 第 2 の導電膜（ゲート電極）
- 1 2 2 a 第 2 の導電膜（ゲート電極の接続部）
- 1 2 3 第 1 の絶縁膜
- 1 2 4 第 1 の半導体膜
- 1 2 5 触媒元素を有する層 40
- 1 3 2 第 2 の半導体膜
- 1 4 1 第 1 の結晶性半導体膜
- 1 4 2 第 2 の結晶性半導体膜

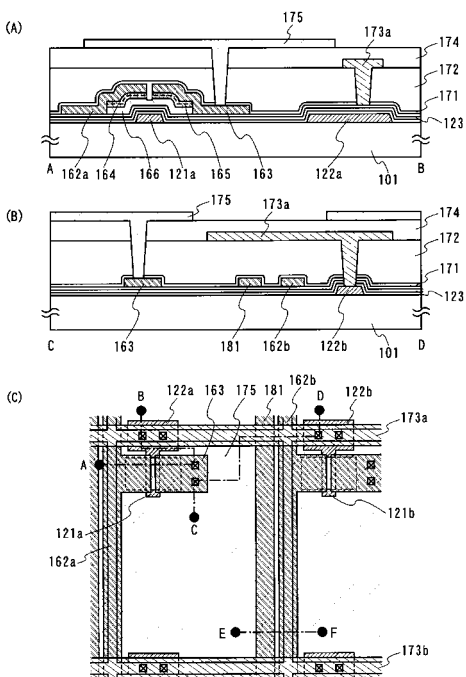
【図 1】



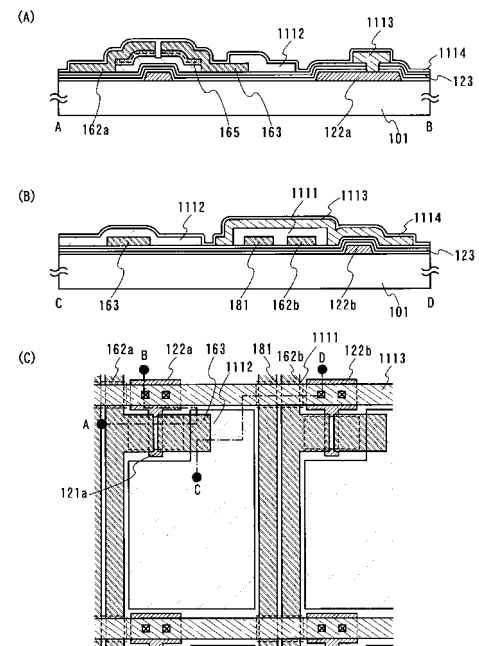
【図 2】



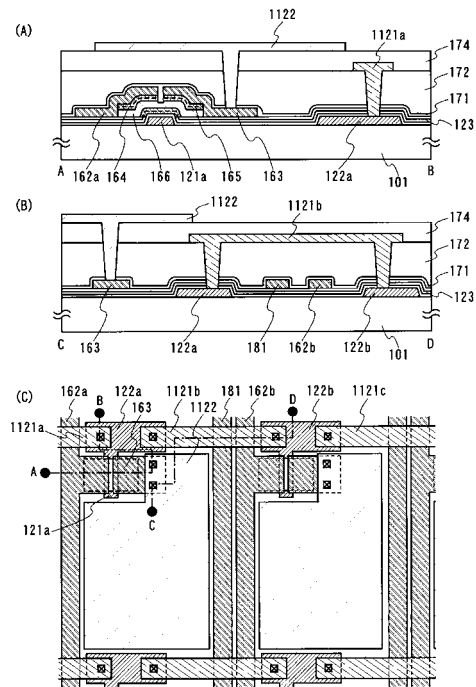
【図 3】



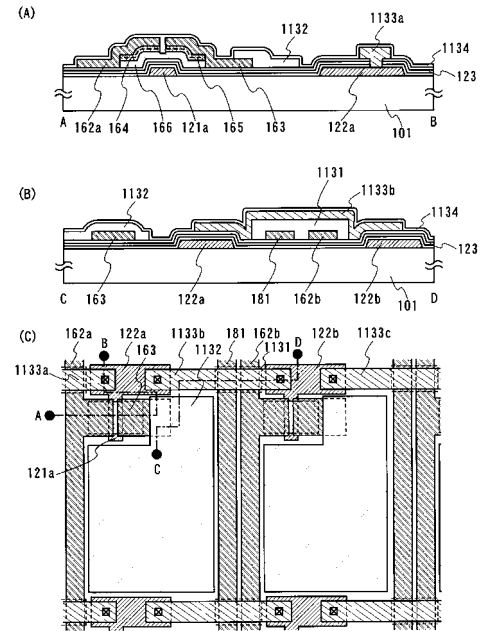
【図 4】



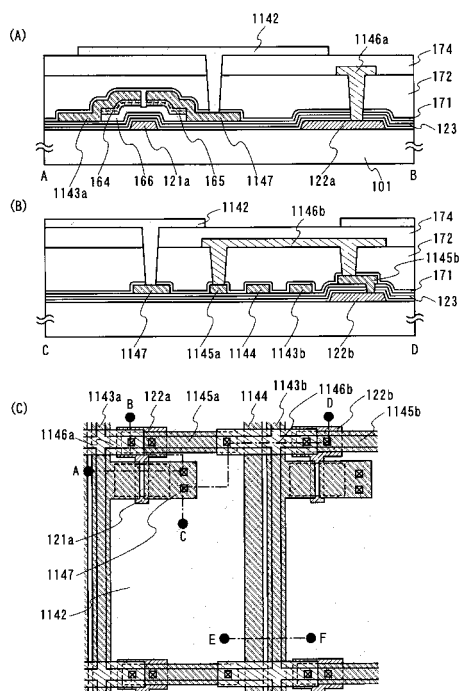
【図 5】



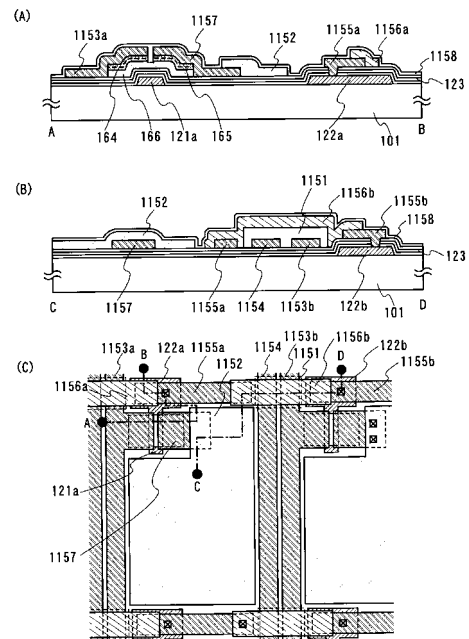
【図 6】



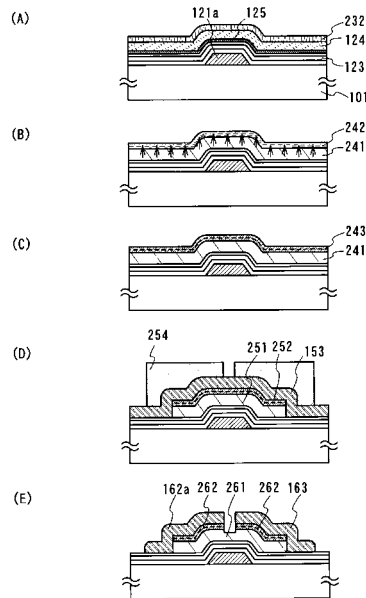
【図 7】



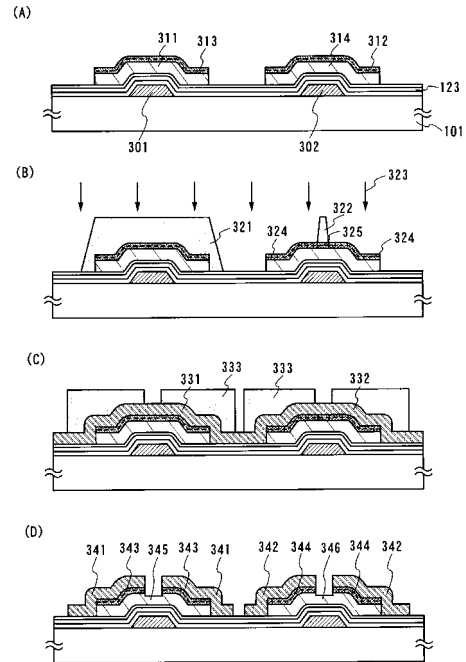
【図 8】



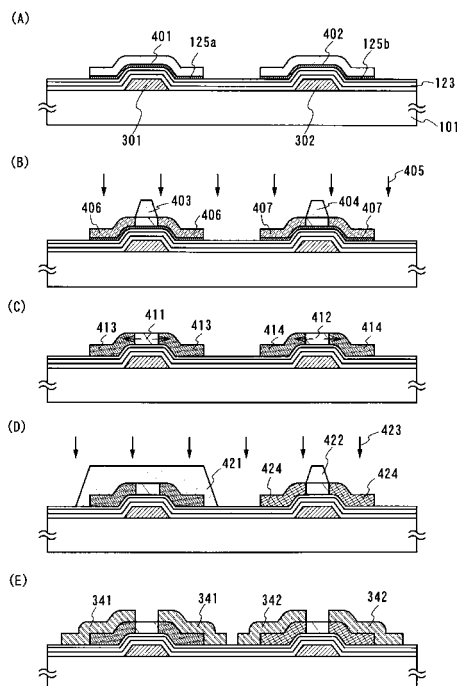
【図 9】



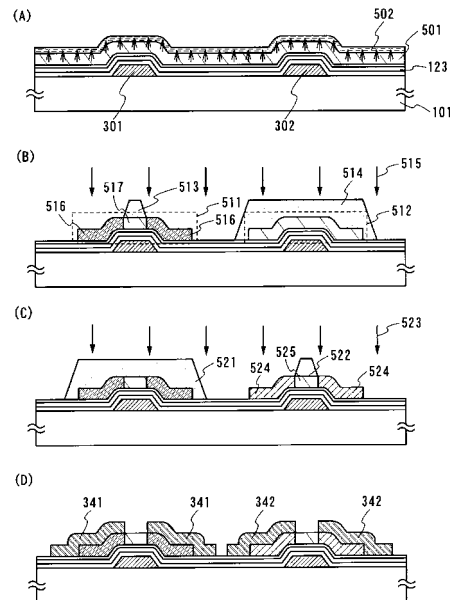
【図 10】



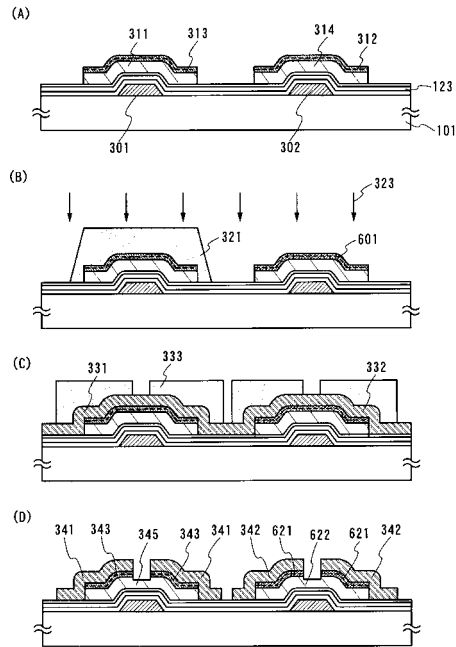
【図 11】



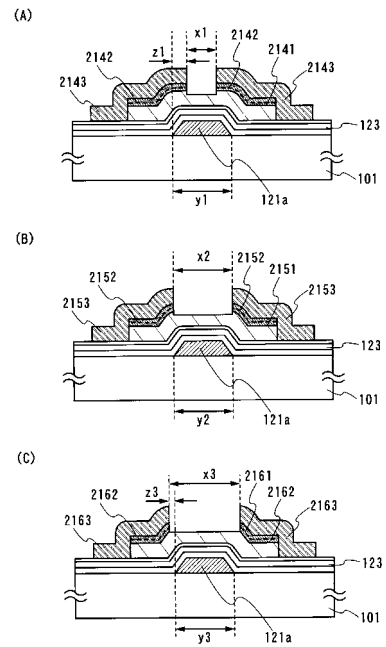
【図 12】



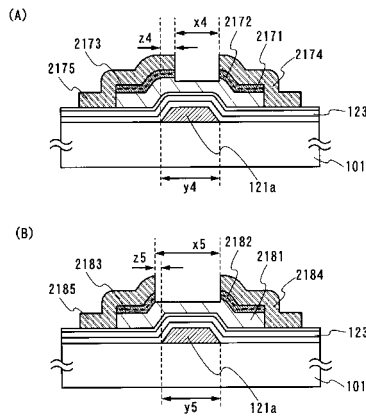
【図13】



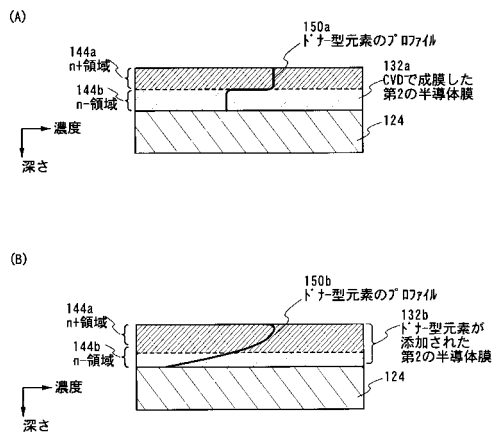
【図14】



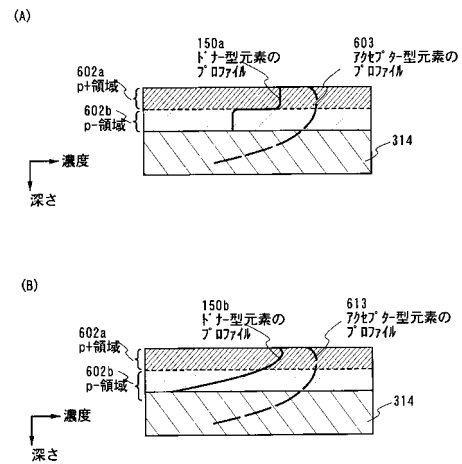
【図15】



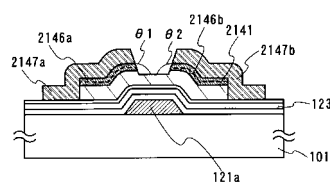
【図16】



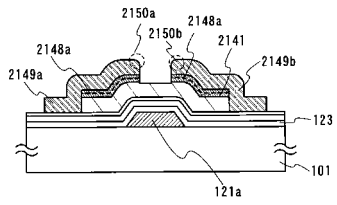
【図17】



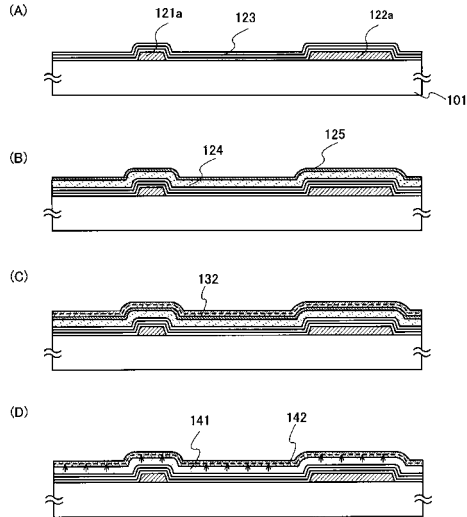
【図18】



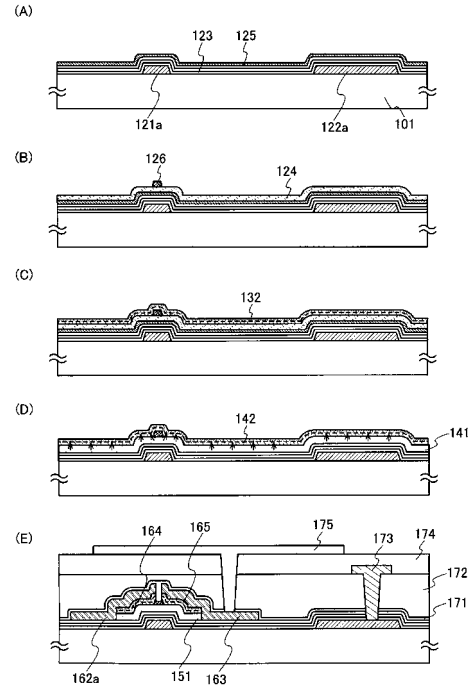
【図 19】



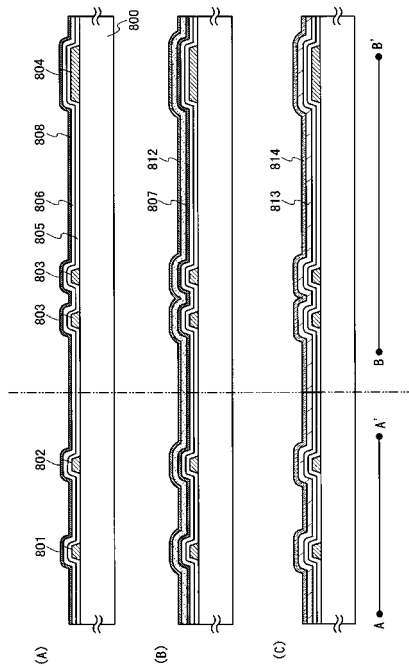
【図 20】



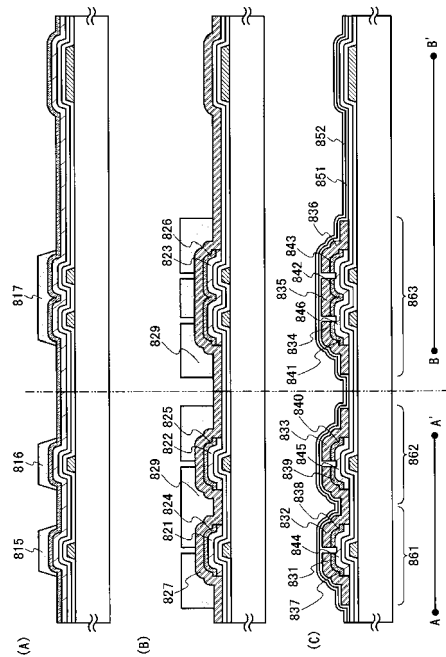
【図 21】



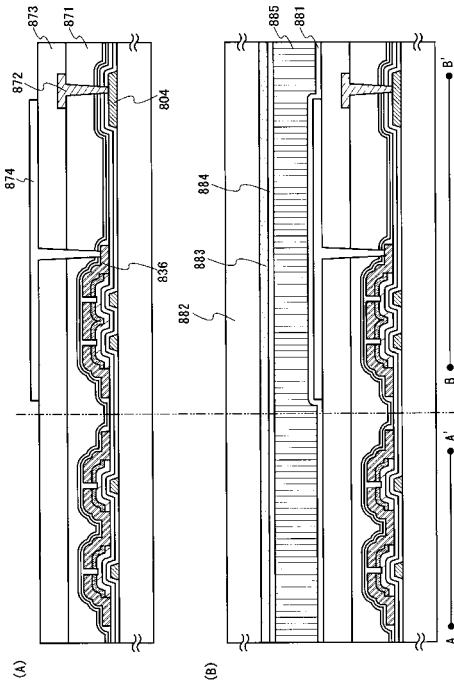
【図 22】



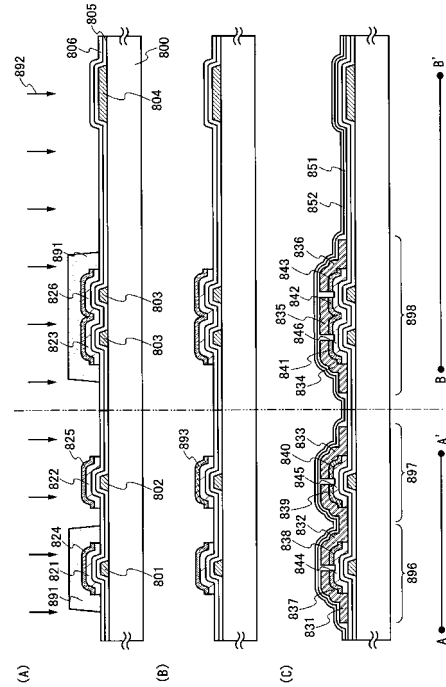
【図 23】



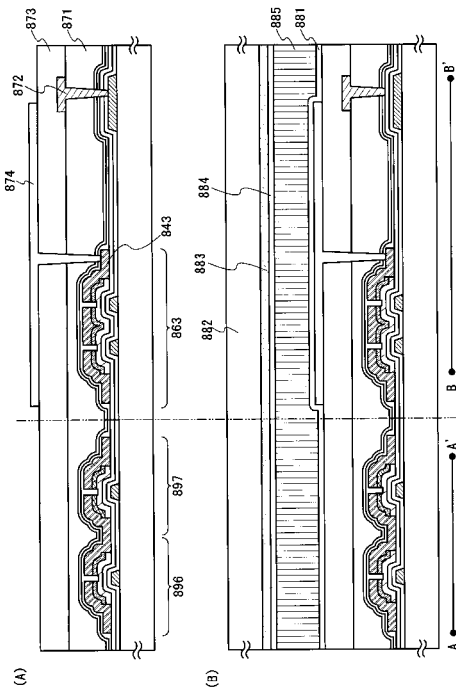
【図 24】



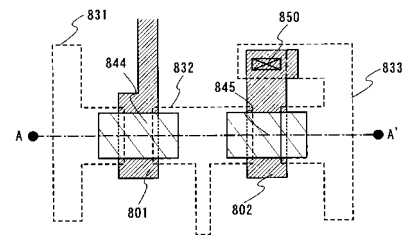
【図 25】



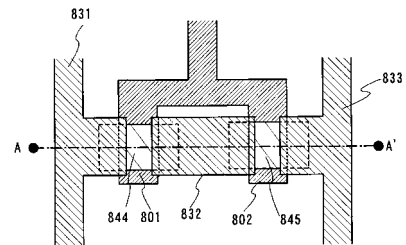
【図 26】



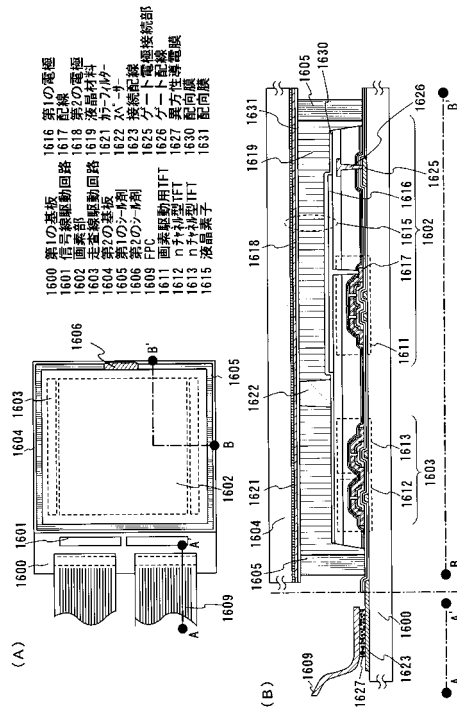
【図 27】



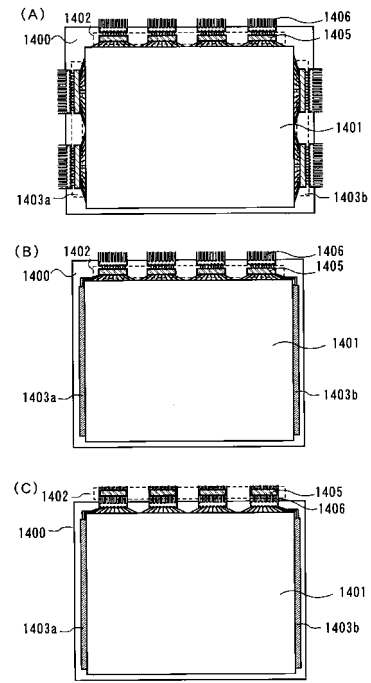
【図 28】



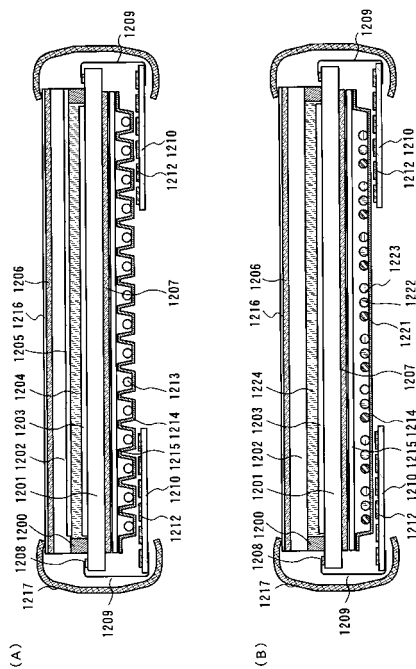
【図 29】



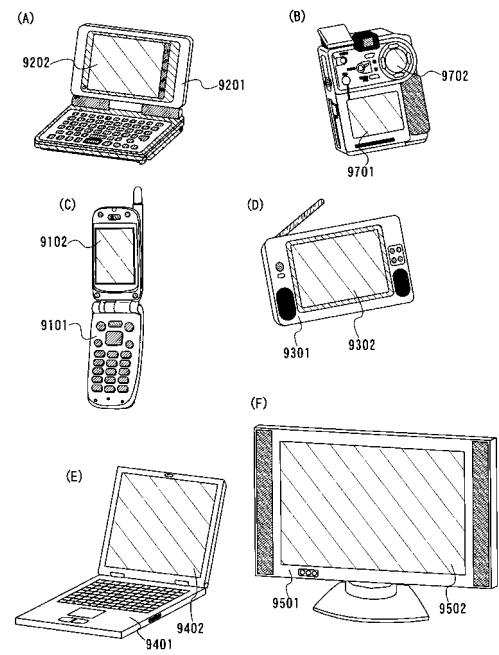
【図 30】



【図 31】

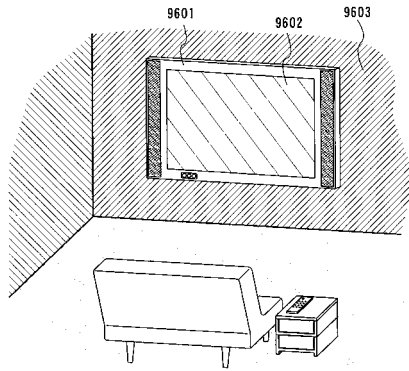


【図 32】

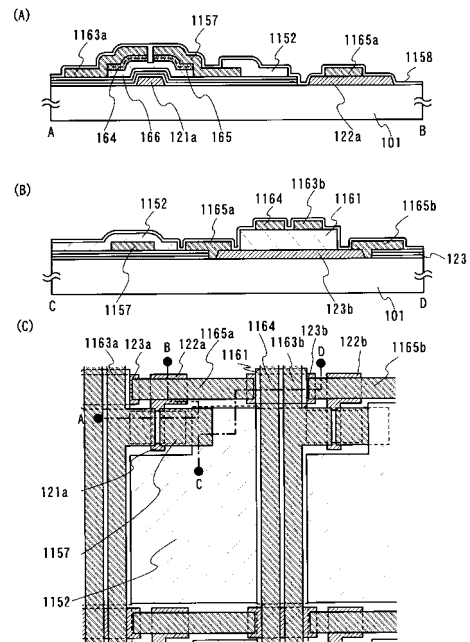




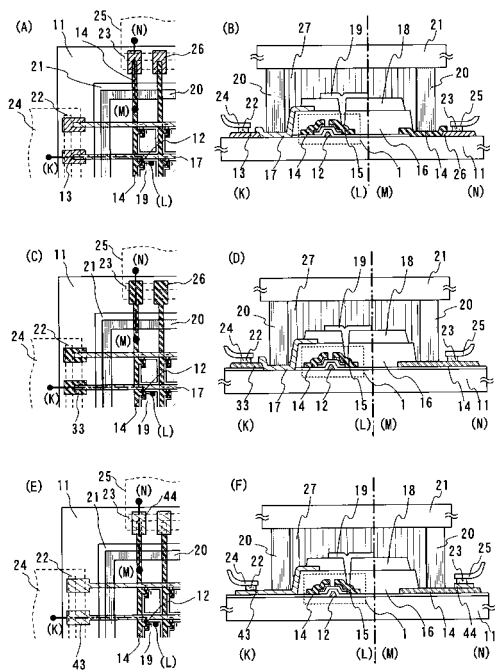
【図 3 3】



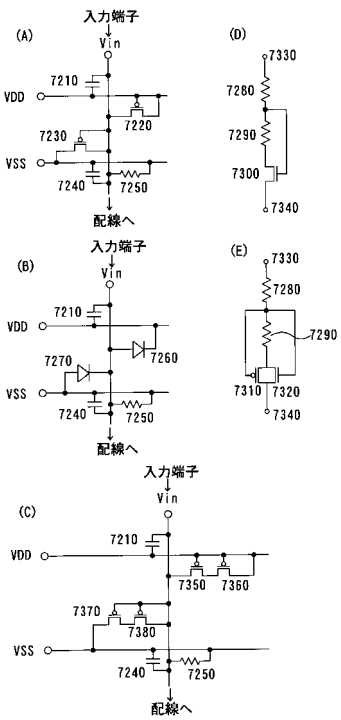
【図 3 4】



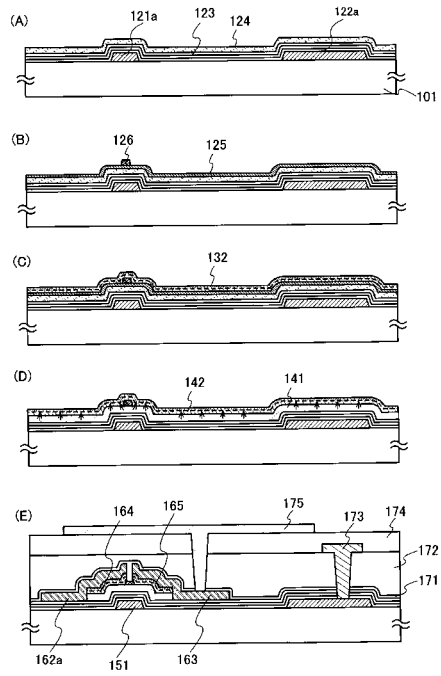
【図 3 5】



【図 3 6】



## 【図 37】



---

フロントページの続き

(56)参考文献 特開2002-124683(JP,A)  
特開平08-330602(JP,A)  
特開2004-241770(JP,A)  
特開平11-177104(JP,A)  
特開2002-324808(JP,A)  
特開2000-353666(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L	21/336
H01L	29/786
H01L	21/20
H01L	21/322