

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4801406号
(P4801406)

(45) 発行日 平成23年10月26日(2011.10.26)

(24) 登録日 平成23年8月12日(2011.8.12)

(51) Int.Cl.	F 1
HO1L 21/336 (2006.01)	HO1L 29/78 627G
HO1L 29/786 (2006.01)	GO2F 1/1368
GO2F 1/1368 (2006.01)	HO1L 21/20
HO1L 21/20 (2006.01)	HO1L 21/322 P
HO1L 21/322 (2006.01)	HO1L 29/78 627Z

請求項の数 13 (全 51 頁)

(21) 出願番号	特願2005-285796 (P2005-285796)
(22) 出願日	平成17年9月30日 (2005.9.30)
(65) 公開番号	特開2006-128665 (P2006-128665A)
(43) 公開日	平成18年5月18日 (2006.5.18)
審査請求日	平成19年9月21日 (2007.9.21)
(31) 優先権主張番号	特願2004-287879 (P2004-287879)
(32) 優先日	平成16年9月30日 (2004.9.30)
(33) 優先権主張国	日本国 (JP)

(73) 特許権者	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(72) 発明者	山崎 舜平 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(72) 発明者	小路 博信 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内

審査官 宮澤 尚之

最終頁に続く

(54) 【発明の名称】 液晶表示装置の作製方法

(57) 【特許請求の範囲】

【請求項 1】

絶縁表面上にゲート電極を形成し、
前記ゲート電極上に $SiNxOy$ ($x > 0$, $y > 0$, $x > y$) からなる第1のゲート絶縁膜を形成し、
前記第1のゲート絶縁膜上に $SiOxNy$ ($x > 0$, $y > 0$, $x > y$) からなる第2のゲート絶縁膜を形成し、
前記第2のゲート絶縁膜上に $SiNxOy$ ($x > 0$, $y > 0$, $x > y$) からなる第3のゲート絶縁膜を形成し、
前記第3のゲート絶縁膜上に触媒元素を有する層を形成し、
前記触媒元素を有する層上に第1の半導体膜を形成し、

前記第1の半導体膜上に不純物元素を有する第2の半導体膜を形成した後加熱して前記第1の半導体膜を結晶化させると共に、前記触媒元素を前記第2の半導体膜へ移動させ、
加熱された前記第2の半導体膜に接する第1の導電層を形成し、
前記第1の導電層の一部をエッチングして、ソース電極及びドレイン電極を形成し、
前記第2の半導体膜の一部をエッチングして、ソース領域及びドレイン領域を形成し、
前記ソース電極及び前記ドレイン電極上に第1の絶縁膜を形成し、
前記第1の絶縁膜及び前記第1のゲート絶縁膜乃至第3のゲート絶縁膜の一部をエッチングして、前記ゲート電極の一部を露出した後、前記ゲート電極に接続するゲート配線を形成し、

10

20

前記ゲート配線上に第2の絶縁膜を形成し、

前記第1の絶縁膜及び前記第2の絶縁膜の一部をエッティングして前記ソース電極又は前記ドレイン電極の一部を露出した後、前記ソース電極又は前記ドレイン電極に接続する画素電極を形成することを特徴とする液晶表示装置の作製方法。

【請求項2】

絶縁表面上にゲート電極を形成し、

前記ゲート電極上に SiN_xO_y ($x > 0$ 、 $y > 0$ 、 $x > y$)からなる第1のゲート絶縁膜を形成し、

前記第1のゲート絶縁膜上に SiO_xNy ($x > 0$ 、 $y > 0$ 、 $x > y$)からなる第2のゲート絶縁膜を形成し、

前記第2のゲート絶縁膜上に SiN_xO_y ($x > 0$ 、 $y > 0$ 、 $x > y$)からなる第3のゲート絶縁膜を形成し、

前記第3のゲート絶縁膜上に触媒元素を有する層を形成し、

前記触媒元素を有する層上に第1の半導体膜を形成し、

前記ゲート電極、前記触媒元素を有する層、及び前記第1の半導体膜が重畳する領域上に保護層を形成し、

前記第1の半導体膜及び前記保護層上に不純物元素を有する第2の半導体膜を形成した後加熱して前記第1の半導体膜を結晶化させると共に、前記触媒元素を前記第2の半導体膜へ移動させ、

加熱された前記第2の半導体膜に接する第1の導電層を形成し、

前記第1の導電層の一部をエッティングして、ソース電極及びドレイン電極を形成し、

前記第2の半導体膜の一部をエッティングして、ソース領域及びドレイン領域を形成し、

前記ソース電極及び前記ドレイン電極上に第1の絶縁膜を形成し、

前記第1の絶縁膜及び前記第1のゲート絶縁膜乃至第3のゲート絶縁膜の一部をエッティングして、前記ゲート電極の一部を露出した後、前記ゲート電極に接続するゲート配線を形成し、

前記ゲート配線上に第2の絶縁膜を形成し、

前記第1の絶縁膜及び前記第2の絶縁膜の一部をエッティングして前記ソース電極又は前記ドレイン電極の一部を露出した後、前記ソース電極又は前記ドレイン電極に接続する画素電極を形成することを特徴とする液晶表示装置の作製方法。

【請求項3】

請求項1または請求項2において、

前記第2の半導体膜に希ガスが含まれていることを特徴とする液晶表示装置の作製方法。

【請求項4】

絶縁表面上にゲート電極を形成し、

前記ゲート電極上に SiN_xO_y ($x > 0$ 、 $y > 0$ 、 $x > y$)からなる第1のゲート絶縁膜を形成し、

前記第1のゲート絶縁膜上に SiO_xNy ($x > 0$ 、 $y > 0$ 、 $x > y$)からなる第2のゲート絶縁膜を形成し、

前記第2のゲート絶縁膜上に SiN_xO_y ($x > 0$ 、 $y > 0$ 、 $x > y$)からなる第3のゲート絶縁膜を形成し、

前記第3のゲート絶縁膜上に触媒元素を有する層を形成し、

前記触媒元素を有する層上に第1の半導体膜を形成し、

前記第1の半導体膜上に希ガス元素を有する第2の半導体膜を形成した後加熱して前記第1の半導体膜を結晶化させると共に、前記触媒元素を前記第2の半導体膜へ移動させ、

加熱された前記第2の半導体膜を除去し

前記第1の半導体膜上に不純物元素を有する第3の半導体膜を形成し、

前記第3の半導体膜に接する第1の導電層を形成し、

前記第1の導電層の一部をエッティングして、ソース電極及びドレイン電極を形成し、

10

20

30

40

50

前記第3の半導体膜の一部をエッティングして、ソース領域及びドレイン領域を形成し、前記ソース電極及び前記ドレイン電極上に第1の絶縁膜を形成し、

前記第1の絶縁膜及び前記第1のゲート絶縁膜乃至第3のゲート絶縁膜の一部をエッティングして、前記ゲート電極の一部を露出した後、前記ゲート電極に接続するゲート配線を形成し、

前記ゲート配線上に第2の絶縁膜を形成し、

前記第1の絶縁膜及び前記第2の絶縁膜の一部をエッティングして前記ソース電極又は前記ドレイン電極の一部を露出した後、前記ソース電極又は前記ドレイン電極に接続する画素電極を形成することを特徴とする液晶表示装置の作製方法。

【請求項5】

10

絶縁表面上にゲート電極を形成し、

前記ゲート電極上に SiN_xO_y ($x > 0$ 、 $y > 0$ 、 $x > y$)からなる第1のゲート絶縁膜を形成し、

前記第1のゲート絶縁膜上に SiO_xNy ($x > 0$ 、 $y > 0$ 、 $x > y$)からなる第2のゲート絶縁膜を形成し、

前記第2のゲート絶縁膜上に SiN_xO_y ($x > 0$ 、 $y > 0$ 、 $x > y$)からなる第3のゲート絶縁膜を形成し、

前記第3のゲート絶縁膜上に触媒元素を有する層を形成し、

前記触媒元素を有する層上に第1の半導体膜を形成し、

前記ゲート電極、前記触媒元素を有する層、及び前記第1の半導体膜が重畳する領域上有保護層を形成し、

20

前記第1の半導体膜及び前記保護層上に希ガス元素を有する第2の半導体膜を形成した後加熱して前記第1の半導体膜を結晶化させると共に、前記触媒元素を前記第2の半導体膜へ移動させ、

加熱された前記第2の半導体膜を除去し、

前記第1の半導体膜上に不純物元素を有する第3の半導体膜を形成し、

前記第3の半導体膜をエッティングしてソース領域及びドレイン領域を形成し、

前記ゲート絶縁膜の一部をエッティングして、前記ゲート電極の一部を露出した後、前記ゲート電極に接続するゲート配線と、前記ソース領域及び前記ドレイン領域に接するソース電極及びドレイン電極とを形成し、

30

前記ソース電極及び前記ドレイン電極上に第1の絶縁膜を形成し、

前記第1の絶縁膜及び前記第1のゲート絶縁膜乃至第3のゲート配線の一部を露出した後、前記ゲート配線に接続する導電層を形成し、

前記ゲート配線上に第2の絶縁膜を形成し、

前記第1の絶縁膜及び前記第2の絶縁膜の一部をエッティングして前記ソース電極又は前記ドレイン電極の一部を露出した後、前記ソース電極又は前記ドレイン電極に接する画素電極を形成することを特徴とする液晶表示装置の作製方法。

【請求項6】

請求項1乃至請求項5のいずれか一項において、

前記第3のゲート絶縁膜の膜厚は $1 \sim 3 \text{ nm}$ であることを特徴とする液晶表示装置の作製方法。

40

【請求項7】

請求項1乃至請求項6のいずれか一項において、

前記ソース電極又は前記ドレイン電極の形成と同時にソース配線を形成することを特徴とする液晶表示装置の作製方法。

【請求項8】

請求項1乃至請求項7のいずれか一項において、

前記ゲート電極は、タンゲステン、モリブデン、ジルコニウム、ハフニウム、バナジウム、ニオブ、タンタル、クロム、コバルト、ニッケル、白金又はリンを含有する結晶性珪素膜、酸化インジウムスズ、酸化亜鉛、酸化インジウム亜鉛、ガリウムを添加した酸化亜

50

鉛、又は酸化珪素を含む酸化インジウムスズで形成されることを特徴とする液晶表示装置の作製方法。

【請求項 9】

請求項 1 乃至 請求項 8 のいずれか一項において、

前記不純物元素はリン、ヒ素、アンチモン、ビスマスから選ばれた元素であることを特徴とする液晶表示装置の作製方法。

【請求項 10】

請求項 1 乃至 請求項 9 のいずれか一項において、

前記触媒元素は、タンゲステン、モリブデン、ジルコニウム、ハフニウム、バナジウム、ニオブ、タンタル、クロム、コバルト、チタン、銅、ニッケル、及び白金から選ばれる一つ又は複数であることを特徴とする液晶表示装置の作製方法。 10

【請求項 11】

請求項 1 乃至 請求項 10 のいずれか一項において、

前記ゲート配線は、銅で形成されることを特徴とする液晶表示装置の作製方法。

【請求項 12】

絶縁表面上に第 1 のゲート電極と第 2 のゲート電極とを形成し、

前記第 1 のゲート電極及び前記第 2 のゲート電極上に SiN_xO_y ($x > 0$ 、 $y < 0$ 、
 $x > y$) からなる第 1 のゲート絶縁膜を形成し、

前記第 1 のゲート絶縁膜上に SiO_xNy ($x > 0$ 、 $y < 0$ 、 $x > y$) からなる第 2 のゲート絶縁膜を形成し、 20

前記第 2 のゲート絶縁膜上に SiN_xO_y ($x > 0$ 、 $y < 0$ 、 $x > y$) からなる第 3 のゲート絶縁膜を形成し、

前記第 3 のゲート絶縁膜上に触媒元素を有する層を形成し、

前記触媒元素を有する層上に第 1 の半導体膜を形成し、

前記第 1 の半導体膜上に n 型を付与する第 1 の不純物元素が添加された第 2 の半導体膜を形成した後、加熱して前記第 1 の半導体膜を結晶化させると共に、前記触媒元素を前記第 2 の半導体膜へ移動させ、

前記第 2 の半導体膜をエッチングして第 1 の半導体領域と第 3 の半導体領域とを形成し、且つ、前記第 1 の半導体膜をエッチングして前記第 1 の半導体領域と重なる第 2 の半導体領域と前記第 3 の半導体領域と重なる第 4 の半導体領域とを形成し、 30

前記第 1 の半導体領域の全部を覆う第 1 のマスクと、前記第 3 の半導体領域の一部を覆う第 2 のマスクと、を形成し、

前記第 1 のマスク及び前記第 2 のマスクが形成された状態で、前記第 3 の半導体領域に p 型を付与する第 2 の不純物元素を添加し、

前記第 1 のマスク及び前記第 2 のマスクを除去し、

前記第 3 のゲート絶縁膜と前記第 1 の半導体領域と前記第 3 の半導体領域上とに第 1 の導電層を形成し、

前記第 1 の導電層の一部エッチングして、前記第 3 のゲート絶縁膜上にソース配線を形成し、かつ、前記第 1 の半導体領域上に第 1 のソース電極及び第 1 のドレイン電極を形成し、かつ、前記第 3 の半導体領域上に第 2 のソース電極及び第 2 のドレイン電極を形成し、 40

前記第 1 の半導体領域をエッチングして、第 1 のソース領域及び第 1 のドレイン領域を形成し、且つ、前記第 3 の半導体領域をエッチングして第 2 のソース領域及び第 2 のドレイン領域を形成し、

前記第 1 のソース電極上、前記第 1 のドレイン電極上、前記第 2 のソース電極上、及び前記第 2 のドレイン電極上に第 1 の絶縁膜を形成し、

前記第 1 の絶縁膜及び前記第 1 のゲート絶縁膜乃至第 3 のゲート絶縁膜の一部をエッチングして、前記第 1 のゲート電極及び前記第 2 のゲート電極の一部を露出した後、前記第 1 のゲート電極及び前記第 2 のゲート電極に接続するゲート配線を形成し、

前記ゲート配線上に第 2 の絶縁膜を形成し、 50

前記第1の絶縁膜及び前記第2の絶縁膜の一部をエッティングして前記第1のソース電極又は前記第1のドレイン電極の一部を露出した後、前記第1のソース電極又は前記第1のドレイン電極に接続する画素電極を形成することを特徴とする液晶表示装置の作製方法。

【請求項13】

絶縁表面上に第1のゲート電極と第2のゲート電極とを形成し、

前記第1のゲート電極及び前記第2のゲート電極上に SiN_xO_y ($x > 0$ 、 $y = 0$ 、 $x > y$)からなる第1のゲート絶縁膜を形成し、

前記第1のゲート絶縁膜上に SiO_xNy ($x > 0$ 、 $y = 0$ 、 $x > y$)からなる第2のゲート絶縁膜を形成し、

前記第2のゲート絶縁膜上に SiN_xO_y ($x > 0$ 、 $y = 0$ 、 $x > y$)からなる第3のゲート絶縁膜を形成し、10

前記第3のゲート絶縁膜上に触媒元素を有する層を形成し、

前記触媒元素を有する層上に第1の半導体膜を形成し、

前記第1の半導体膜上にn型を付与する第1の不純物元素が添加された第2の半導体膜を形成し、

前記第2の半導体膜をエッティングして第1の半導体領域と第3の半導体領域とを形成し、且つ、前記第1の半導体膜をエッティングして前記第1の半導体領域と重なる第2の半導体領域と前記第3の半導体領域と重なる第4の半導体領域とを形成した後、加熱して、前記第2の半導体領域を結晶化させると共に前記触媒元素を前記第1の半導体領域へ移動させ、かつ前記第4の半導体領域を結晶化させると共に前記触媒元素を前記第3の半導体領域へ移動させ、20

前記第1の半導体領域の全部を覆う第1のマスクと、前記第3の半導体領域の一部を覆う第2のマスクと、を形成し、

前記第1のマスク及び前記第2のマスクが形成された状態で、前記第3の半導体領域にp型を付与する第2の不純物元素を添加し、

前記第1のマスク及び前記第2のマスクを除去し、

前記第3のゲート絶縁膜と前記第1の半導体領域と前記第3の半導体領域上とに第1の導電層を形成し、

前記第1の導電層の一部エッティングして、前記第3のゲート絶縁膜上にソース配線を形成し、かつ、前記第1の半導体領域上に第1のソース電極及び第1のドレイン電極を形成し、かつ、前記第3の半導体領域上に第2のソース電極及び第2のドレイン電極を形成し、30

前記第1の半導体領域をエッティングして、第1のソース領域及び第1のドレイン領域を形成し、且つ、前記第3の半導体領域をエッティングして第2のソース領域及び第2のドレイン領域を形成し、

前記第1のソース電極上、前記第1のドレイン電極上、前記第2のソース電極上、及び前記第2のドレイン電極上に第1の絶縁膜を形成し、

前記第1の絶縁膜及び前記第1のゲート絶縁膜乃至第3のゲート絶縁膜の一部をエッティングして、前記第1のゲート電極及び前記第2のゲート電極の一部を露出した後、前記第1のゲート電極及び前記第2のゲート電極に接続するゲート配線を形成し、40

前記ゲート配線上に第2の絶縁膜を形成し、

前記第1の絶縁膜及び前記第2の絶縁膜の一部をエッティングして前記第1のソース電極又は前記第1のドレイン電極の一部を露出した後、前記第1のソース電極又は前記第1のドレイン電極に接続する画素電極を形成することを特徴とする液晶表示装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、結晶性半導体膜で形成される逆スタガ型薄膜トランジスタを有する液晶表示装置の作製方法に関するものである。

【背景技術】

【0002】

近年、液晶ディスプレイ（LCD）やELディスプレイに代表されるフラットパネルディスプレイ（FPD）は、これまでのCRTに替わる表示装置として注目を集めている。特にアクティブマトリクス駆動の大型液晶パネルを搭載した大画面液晶テレビの開発は、液晶パネルメーカーにとって注力すべき重要な課題になっている。また、近年液晶テレビに追随し、大画面ELテレビの開発も行われている。

【0003】

従来の液晶装置において、各画素を駆動する半導体素子としてはアモルファスシリコンを用いた薄膜トランジスタ（以下、TFTと示す。）が用いられている。

【0004】

一方、従来の液晶テレビにおいては、視野角特性の限界、液晶材料等が原因の高速動作の限界による画像のぼやけが欠点であったが、近年それを解消する新たな表示モードとして、OCBモードが提案されている（非特許文献1）。

【非特許文献1】長広恭明他編、「日経マイクロデバイス別冊 フラットパネル・ディスプレイ2002」、日系BP社、2001年10月、P102-109

【発明の開示】**【発明が解決しようとする課題】****【0005】**

一方、LCDの画質を向上させるために高速動作が可能なスイッチング素子が必要とされている。しかしながら、非晶質半導体膜を用いたTFTでは限界がある。例えば、OCBモードの液晶表示装置を実現することが困難となる。

【0006】

本発明は、このような状況に鑑みなされたものであり、少ないフォトマスク数で、しきい値のずれが生じにくいTFTを有する液晶表示装置の作製方法を提供する。また、高速動作が可能なTFTを有する液晶表示装置の作製方法を提供する。また、スイッチング特性が高く、コントラストがすぐれた表示が可能な液晶表示装置の作製方法を提供する。

【課題を解決するための手段】**【0007】**

本発明は、耐熱性の高い材料でゲート電極を形成した後、非晶質半導体膜を成膜し、該非晶質半導体膜に接する触媒元素層を形成し、該触媒元素層上にドナー型元素又は希ガス元素を有する層、若しくはドナー型元素及び希ガス元素を有する層を形成し加熱して結晶性半導体膜を形成し、触媒元素を結晶性半導体膜から除いた後、該結晶性半導体膜の一部を用いて半導体領域を形成し、該半導体領域に電気的に接するソース電極及びドレイン電極を形成し、ゲート電極に接続する走査線を形成して、逆スタガ型TFTを形成することを要旨とする。

【0008】

本発明の一は、絶縁表面上にゲート電極を形成し、ゲート電極上にゲート絶縁膜を形成し、ゲート絶縁膜上に触媒元素を有する層を形成し、触媒元素を有する層上に第1の半導体膜を形成し、第1の半導体膜上に不純物元素を有する第2の半導体膜を形成した後加熱し、加熱された第2の半導体膜に接する第1の導電層を形成し、第1の導電層の一部をエッティングして、ソース電極及びドレイン電極を形成し、第2の半導体膜の一部をエッティングして、ソース領域及びドレイン領域を形成し、ゲート絶縁膜及びソース電極及びドレイン電極上に絶縁膜を形成し、絶縁膜及びゲート絶縁膜の一部をエッティングして、ゲート電極の一部を露出した後、ゲート電極に接続するゲート配線を形成し、絶縁膜の一部をエッティングしてソース電極又はドレイン電極の一部を露出した後、ソース電極又はドレイン電極に接続する第1の電極を形成することを特徴とする液晶表示装置の作製方法である。

【0009】

本発明の一は、絶縁表面上にゲート電極を形成し、ゲート電極上にゲート絶縁膜を形成し、ゲート絶縁膜上に第1の半導体膜を形成し、第1の半導体膜上に触媒元素を有する層を形成し、触媒元素を有する層上に不純物元素を有する第2の半導体膜を形成した後加熱

10

20

30

40

50

し、加熱された第2の半導体膜に接する第1の導電層を形成し、第1の導電層の一部をエッチングして、ソース電極及びドレイン電極を形成し、第2の半導体膜の一部をエッティングして、ソース領域及びドレイン領域を形成し、ゲート絶縁膜及びソース電極及びドレイン電極上に絶縁膜を形成し、絶縁膜及びゲート絶縁膜の一部をエッティングして、ゲート電極の一部を露出した後、ゲート電極に接続するゲート配線を形成し、絶縁膜の一部をエッティングしてソース電極又はドレイン電極の一部を露出した後、ソース電極又はドレイン電極に接続する第1の電極を形成することを特徴とする液晶表示装置の作製方法である。

【0010】

本発明の一は、絶縁表面上にゲート電極を形成し、ゲート電極上にゲート絶縁膜を形成し、ゲート絶縁膜上に触媒元素を有する層を形成し、触媒元素を有する層上に第1の半導体膜を形成し、ゲート電極、触媒元素を有する層、及び第1の半導体膜が重畳する領域上に保護層を形成し、第1の半導体膜及び保護層上に不純物元素を有する第2の半導体膜を形成した後加熱し、加熱された第2の半導体膜に接する第1の導電層を形成し、第1の導電層の一部をエッティングして、ソース電極及びドレイン電極を形成し、第2の半導体膜の一部をエッティングして、ソース領域及びドレイン領域を形成し、ゲート絶縁膜及びソース電極及びドレイン電極上に絶縁膜を形成し、絶縁膜及びゲート絶縁膜の一部をエッティングして、ゲート電極の一部を露出した後、ゲート電極に接続するゲート配線を形成し、絶縁膜の一部をエッティングしてソース電極又はドレイン電極の一部を露出した後、ソース電極又はドレイン電極に接続する第1の電極を形成することを特徴とする液晶表示装置の作製方法である。

10

【0011】

本発明の一は、絶縁表面上にゲート電極を形成し、ゲート電極上にゲート絶縁膜を形成し、ゲート絶縁膜上に第1の半導体膜を形成し、第1の半導体膜上に触媒元素を有する層を形成し、ゲート電極、第1の半導体膜及び触媒元素を有する層が重畳する領域に保護層を形成し、保護層及び触媒元素を有する層上に不純物元素を有する第2の半導体膜を形成した後加熱し、加熱された第2の半導体膜に接する第1の導電層を形成し、第1の導電層の一部をエッティングして、ソース電極及びドレイン電極を形成し、第2の半導体膜の一部をエッティングして、ソース領域及びドレイン領域を形成し、ゲート絶縁膜及びソース電極及びドレイン電極上に絶縁膜を形成し、絶縁膜及びゲート絶縁膜の一部をエッティングして、ゲート電極の一部を露出した後、ゲート電極に接続するゲート配線を形成し、絶縁膜の一部をエッティングしてソース電極又はドレイン電極の一部を露出した後、ソース電極又はドレイン電極に接続する第1の電極を形成することを特徴とする液晶表示装置の作製方法である。

20

【0012】

本発明の一は、基板上にゲート電極を形成し、ゲート電極上にゲート絶縁膜を形成し、ゲート絶縁膜上に触媒元素を有する層を形成し、触媒元素を有する層上に第1の半導体膜を形成し、第1の半導体膜上に不純物元素を有する第2の半導体膜を形成した後加熱し、加熱された第2の半導体膜をエッティングしてソース領域及びドレイン領域を形成し、ゲート絶縁膜の一部をエッティングして、ゲート電極の一部を露出した後、ゲート電極に接続するゲート配線と、ソース領域及びドレイン領域に接するソース電極及びドレイン電極とを形成し、ゲート絶縁膜、ゲート配線、ソース電極及びドレイン電極上に絶縁膜を形成し、絶縁膜の一部をエッティングして、ゲート配線の一部を露出した後、ゲート配線に接続する導電層を形成し、絶縁膜の一部をエッティングしてソース電極又はドレイン電極の一部を露出した後、ソース電極又はドレイン電極に接する第1の電極を形成することを特徴とする液晶表示装置の作製方法である。

30

【0013】

本発明の一は、基板上にゲート電極を形成し、ゲート電極上にゲート絶縁膜を形成し、ゲート絶縁膜上に第1の半導体膜を形成し、第1の半導体膜上に触媒元素を有する層を形成し、触媒元素を有する層上に不純物元素を有する第2の半導体膜を形成した後加熱し、加熱された第2の半導体膜をエッティングしてソース領域及びドレイン領域を形成し、ゲー

40

50

ト絶縁膜の一部をエッティングして、ゲート電極の一部を露出した後、ゲート電極に接続するゲート配線と、ソース領域及びドレイン領域に接するソース電極及びドレイン電極とを形成し、ゲート絶縁膜、ゲート配線、ソース電極及びドレイン電極上に絶縁膜を形成し、絶縁膜の一部をエッティングして、ゲート配線の一部を露出した後、ゲート配線に接続する導電層を形成し、絶縁膜の一部をエッティングしてソース電極又はドレイン電極の一部を露出した後、ソース電極又はドレイン電極に接する第1の電極を形成することを特徴とする液晶表示装置の作製方法である。

【0014】

本発明の一は、基板上にゲート電極を形成し、ゲート電極上にゲート絶縁膜を形成し、ゲート絶縁膜上に触媒元素を有する層を形成し、触媒元素を有する層上に第1の半導体膜を形成し、ゲート電極、触媒元素を有する層、及び第1の半導体膜が重畳する領域上に保護層を形成し、第1の半導体膜及び保護層上に不純物元素を有する第2の半導体膜を形成した後加熱し、加熱された第2の半導体膜をエッティングしてソース領域及びドレイン領域を形成し、ゲート絶縁膜の一部をエッティングして、ゲート電極の一部を露出した後、ゲート電極に接続するゲート配線と、ソース領域及びドレイン領域に接するソース電極及びドレイン電極とを形成し、ゲート絶縁膜、ゲート配線、ソース電極及びドレイン電極上に絶縁膜を形成し、絶縁膜の一部をエッティングして、ゲート配線の一部を露出した後、ゲート配線に接続する導電層を形成し、絶縁膜の一部をエッティングしてソース電極又はドレイン電極の一部を露出した後、ソース電極又はドレイン電極に接する第1の電極を形成することを特徴とする液晶表示装置の作製方法である。

10

【0015】

本発明の一は、基板上にゲート電極を形成し、ゲート電極上にゲート絶縁膜を形成し、ゲート絶縁膜上に第1の半導体膜を形成し、第1の半導体膜上に触媒元素を有する層を形成し、ゲート電極、第1の半導体膜及び触媒元素を有する層が重畳する領域に保護層を形成し、保護層及び触媒元素を有する層上に不純物元素を有する第2の半導体膜を形成した後加熱し、加熱された第2の半導体膜をエッティングしてソース領域及びドレイン領域を形成し、ゲート絶縁膜の一部をエッティングして、ゲート電極の一部を露出した後、ゲート電極に接続するゲート配線と、ソース領域及びドレイン領域に接するソース電極及びドレイン電極とを形成し、ゲート絶縁膜、ゲート配線、ソース電極及びドレイン電極上に絶縁膜を形成し、絶縁膜の一部をエッティングして、ゲート配線の一部を露出した後、ゲート配線に接続する導電層を形成し、絶縁膜の一部をエッティングしてソース電極又はドレイン電極の一部を露出した後、ソース電極又はドレイン電極に接する第1の電極を形成することを特徴とする液晶表示装置の作製方法である。

20

【0016】

なお、ソース電極又はドレイン電極に接する第1の電極を形成した後、ゲート電極に接続するゲート配線を形成してもよい。また、ゲート電極に接続するゲート配線を形成した後、ソース電極又はドレイン電極に接する第1の電極を形成してもよい。

【0017】

ゲート配線は、3つ以上のゲート電極に接続されていてもよい。また、ゲート配線は、2つのゲート電極に接続されていてもよい。

40

【0018】

なお、ゲート絶縁膜、ゲート配線、ソース電極及びドレイン電極上形成する絶縁膜の代わりに、ソース電極又はドレイン電極の一部を覆う絶縁膜を形成してもよい。

【0019】

また、ゲート電極は、絶縁表面上に導電膜を形成し、導電膜上に感光性樹脂を吐出又は塗布し、感光性樹脂の一部に紫外光または近傍の波長の光を照射し、現像後マスクを形成した後、マスクを用いて導電膜をエッティングして形成する。

【0020】

また、ゲート電極は、耐熱性を有する導電層で形成されている。代表的には、タンゲステン、モリブデン、ジルコニウム、ハフニウム、バナジウム、ニオブ、タンタル、クロム

50

、コバルト、ニッケル、白金又はリンを含有する結晶性珪素膜、酸化インジウムスズ、酸化亜鉛、酸化インジウム亜鉛、ガリウムを添加した酸化亜鉛、又は酸化珪素を含む酸化インジウムスズで形成される。

【0021】

また、触媒元素は、タンゲステン、モリブデン、ジルコニウム、ハフニウム、バナジウム、ニオブ、タンタル、クロム、コバルト、銅、チタン、ニッケル、及び白金から選ばれる一つ又は複数である。

【0022】

また、不純物元素はリン、ヒ素、アンチモン、ビスマスから選ばれた元素である。

【0023】

また、本発明の一は、上記半導体装置を有する液晶テレビジョンである。 10

【0024】

また、本発明において、半導体装置としては、半導体素子で構成された集積回路、表示装置、無線タグ、ICタグ、表示装置等が挙げられる。表示装置としては、代表的には液晶表示装置、DMD (Digital Micromirror Device ; デジタルマイクロミラーデバイス)、PDP (Plasma Display Panel ; プラズマディスプレイパネル)、FED (Field Emission Display ; フィールドエミッションディスプレイ)、電気泳動表示装置(電子ペーパー)等の表示装置があげられる。

【0025】

なお、本発明において、液晶表示装置とは、液晶表示素子を用いたデバイス、即ち画像表示デバイスを指す。また、液晶表示パネルにコネクター、例えばフレキシブルプリント配線(FPC : Flexible Printed Circuit)もしくはTAB (Tape Automated Bonding)テープもしくはTCP (Tape Carrier Package)が取り付けられたモジュール、TABテープやTCPの先にプリント配線基板が設けられたモジュール、または表示素子にCOG (Chip On Glass)方式によりIC(集積回路)やCPUが直接実装されたモジュールも全て表示装置に含むものとする。 20

【発明の効果】

【0026】

本発明により、少ないフォトマスク数で、結晶性半導体膜で形成される逆スタガ型TFTを形成することができる。本発明の逆スタガ型TFTは、非晶質半導体膜の結晶化工程と、非晶質半導体膜の結晶化を促進するための触媒元素のゲッタリング工程とを同時にうことが可能であるため、工程数の削減が可能である。特に、加熱処理数を削減できるため、省エネルギー化が可能であり、また、スループットを向上させることができる。 30

【0027】

また、本発明の逆スタガ型TFTは、ゲート電極に耐熱性の高い材料を用いており、また活性化工程、結晶化工程、ゲッタリング工程等を同時に行った後、低抵抗材料を用いて信号線、走査線等の配線を形成している。このため、結晶性を有し、不純物触媒元素が少なく、配線抵抗の低いTFTを形成することが可能である。また、本発明の液晶表示装置は、絶縁膜上に画素電極を形成することが可能であり、開口率を増加させることができる。 40

【0028】

また、結晶性半導体膜で形成されるTFTは、非晶質半導体膜で形成される逆スタガ型TFTと比較して10~50倍程度、移動度が高い。また、ソース領域及びドレイン領域には、アクセプター型元素又はドナー型元素に加え、触媒元素をも含む。このため、半導体領域との接触抵抗の低いソース領域及びドレイン領域が形成できる。この結果、高速動作が必要な半導体装置を作製することが可能である。代表的には、OBCモードのような応答速度が速く且つ高視野角な表示が可能な液晶表示装置を製造することが可能である。

【0029】

10

20

30

40

50

また、液晶表示装置の周辺部に、画素領域内のTFTと同時に走査線駆動回路を形成することができる。このため、小型化された液晶表示装置を作製することが可能である。

【0030】

また、非晶質半導体膜で形成されるTFTと比較して、しきい値のずれが生じにくく、 TFT特性のバラツキを低減することが可能である。このため、非晶質半導体膜で形成されるTFTをスイッチング素子として用いた液晶表示装置と比較して、表示ムラを低減することが可能であり、信頼性の高い半導体装置を作製することが可能である。

【0031】

更には、結晶化工程と共に行われるゲッタリング工程により、成膜段階で半導体膜中に混入する触媒元素をもゲッタリングするため、オフ電流を低減することが可能であり、代表的には6桁以上のON/OFF比を有するTFTを形成することが可能である。このようなTFTを液晶表示装置のスイッチング素子に設けることにより、コントラストを向上させることができる。

10

【0032】

さらには、上記の作製工程により形成された半導体装置、又は液晶表示装置を有する液晶テレビジョンの、スループットや歩留まりを向上させることができることが可能であり、低成本で作製することができる。

【発明を実施するための最良の形態】

【0033】

20

以下、発明を実施するための最良の形態について図面を参照しながら説明する。但し、本発明は多くの異なる様様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は本実施の形態の記載内容に限定して解釈されるものではない。また、各図面において共通の部分は同じ符号を付して詳しい説明を省略する。

【0034】

(実施形態1)

本実施形態においては、結晶性半導体膜を有する逆スタガ型TFTの作製工程を、図1～図2を用いて説明する。

【0035】

30

図1(A)に示すように、基板101上に第1の導電膜102を形成し、第1の導電膜102上に感光性材料103を塗布又は吐出し乾燥焼成する。次に、感光性材料103を、フォトマスクを用いて部分的に感光、現像し、図1(B)に示すような第1のマスク111、112を形成する。

【0036】

基板101としては、ガラス基板、石英基板、アルミナなどのセラミック等絶縁物質で形成される基板、シリコンウェハ、金属板等を用いることができる。また、基板101として、320mm×400mm、370mm×470mm、550mm×650mm、600mm×720mm、680mm×880mm、1000mm×1200mm、1100mm×1250mm、1150mm×1300mmのような大面積基板を用いることができる。

40

【0037】

第1の導電膜102は、PVD法(Physical Vapor Deposition)、CVD法(Chemical Vapor Deposition)、蒸着法等により基板全面に形成する。

【0038】

第1の導電膜102は、高融点材料を用いて形成することが好ましい。高融点材料を用いることにより、後の結晶化工程、ゲッタリング工程、活性化工程等の加熱工程が可能となる。高融点材料としては、タンゲステン(W)、モリブデン(Mo)、ジルコニウム(Zr)、ハフニウム(Hf)、バナジウム(V)、ニオブ(Nb)、タンタル(Ta)、

50

クロム(Cr)、コバルト(Co)、ニッケル(Ni)、チタン(Ti)、白金(Pt)等の金属又はその合金、若しくはその金属窒化物を適宜用いることができる。また、これら複数の膜を積層して形成しても良い。代表的には、基板表面側から窒化タンタル膜及びその上に形成されるタンゲステン膜、窒化タンタル膜及びその上に形成されるモリブデン、窒化チタン膜及びその上に形成されるタンゲステン膜、窒化チタン膜及びその上に形成されるモリブデン膜等の積層構造としてもよい。また、リンを含有する珪素膜(非晶質半導体膜、結晶性半導体膜を含む)、酸化インジウムスズ、酸化亜鉛、酸化インジウム亜鉛、ガリウムを添加した酸化亜鉛、又は酸化珪素を含む酸化インジウムスズを用いることもできる。

【 0039 】

10

感光性材料 103 の材料としては、紫外光から赤外光に感光する材料ネガ型感光性材料又はポジ型感光性材料を用いる。感光性材料の代表例としては、エポキシ樹脂、クリル樹脂、フェノール樹脂、ノボラック樹脂、アクリル樹脂、メラミン樹脂、ウレタン樹脂等の感光性を示す樹脂材料を用いる。また、ベンゾシクロブテン、パリレン、フレア、ポリイミドなどの感光性を示す有機材料等を用いることができる。また、代表的なポジ型感光性樹脂として、ノボラック樹脂と感光剤であるナフトキノンジアジド化合物を有する感光性樹脂が挙げられ、ネガ型感光性樹脂として、ベース樹脂、ジフェニルシランジオール及び酸発生剤などを有する感光性樹脂が挙げられる。

【 0040 】

20

次に、図 1 (C) に示すように、第 1 のマスクを用いて、第 1 の導電膜 102 をエッチングして、第 2 の導電膜 121a、122a を形成する。第 2 の導電膜 121a は、ゲート電極として機能し、第 2 の導電膜 122a は、ゲート電極においてゲート配線と接続する領域(以下、ゲート電極の接続部と示す。) である。なお、図 1 (C) においては、第 2 の導電膜 121a、122a は分断された状態で表示されているが、実際には図 3 (C) に示すように、接続された同一の領域である。

【 0041 】

30

次に、第 1 のマスクを除去した後、膜厚 10 ~ 200 nm、好ましくは 50 ~ 100 nm の第 1 の絶縁膜 123 を形成し、第 1 の絶縁膜上に触媒元素を有する層 125 及び膜厚 50 ~ 250 nm の第 1 の半導体膜 124 を形成する。ここでは触媒元素とは半導体膜の結晶化を促進又は助長させる元素のことである。なお、この段階では加熱による結晶化は行わない。

【 0042 】

40

第 1 の絶縁膜 123 は、ゲート絶縁膜として機能する。第 1 の絶縁膜 123 は、酸化珪素(SiO_x)、窒化珪素(SiN_x)、酸化窒化珪素(SiO_xN_y)(x > y)、窒化酸化珪素(SiN_xO_y)(x > y)などを適宜用いることができる。更には、第 2 の導電膜 121a、122a を陽極酸化して、第 1 の絶縁膜の代わりに、陽極酸化膜を形成しても良い。なお、基板側から不純物などの拡散を防止するため、基板側に接する絶縁膜として、窒化珪素(SiN_x)、窒化酸化珪素(SiN_xO_y)(x > y)などを用い、後に形成される第 1 の半導体膜 124 との界面特性から、酸化珪素(SiO_x)、酸化窒化珪素(SiO_xN_y)(x > y)を第 1 の半導体膜側に形成して、積層構造の第 1 の絶縁膜を形成することが望ましい。しかしながら、該構造に限定されず、酸化珪素(SiO_x)、窒化珪素(SiN_x)、酸化窒化珪素(SiO_xN_y)(x > y)、窒化酸化珪素(SiN_xO_y)(x > y)等のいずれかを適宜組み合わせて積層構造としてもよい。なお、酸化珪素(SiO_x)膜には、水素が含まれている。第 1 の絶縁膜 123 は、CVD 法、PVD 法等の公知の手法により形成する。

【 0043 】

50

また、半導体膜に接する絶縁膜 123 の最上層に、膜厚 0.01 ~ 10 nm、好ましくは 1 ~ 3 nm の窒化珪素膜、あるいは窒化珪素酸化膜を形成すると好ましい。本実施の形態では、半導体膜に結晶化を促進する触媒元素(本実施の形態ではニッケルを用いる)を添加し、結晶化と同時にゲッタリング処理を行って除去する。酸化珪素膜と珪素膜との界

面状態は良好であるが、界面において珪素膜中の触媒元素と酸化珪素中の酸素が反応し、金属酸化物（本実施の形態では酸化ニッケル（NiO_x））になりやすく、触媒元素がゲッタリングされにくくなる場合がある。また、窒化珪素膜は、窒化珪素膜の応力や、トラップの影響により、半導体膜との界面状態に悪影響を与える恐れがある。よって、半導体膜に接する絶縁膜の最上層に、膜厚0.01～10nm、好ましくは1～3nmの窒化珪素膜、あるいは窒化酸化珪素膜を形成する。本実施の形態では、基板101上に窒化酸化珪素膜と酸化窒化珪素膜とを積層した後、酸化窒化珪素膜上に膜厚1～3nmの窒化酸化珪素膜を形成し、3層の積層構造とする。このような構造であると、半導体膜中の触媒元素のゲッタリング効率も上がり、かつ半導体膜への窒化珪素膜の悪影響も軽減できる。また積層される絶縁膜は、同チャンバー内で真空を破らずに同一温度下で、反応ガスを切り変えながら連続的に形成するとよい。真空を破らずに連続的に形成すると、積層する膜同士の界面が汚染されるのを防ぐことができる。なお、本発明の実施形態においては、第1の絶縁膜123を3層構造で示しているが、これらを代表して第1の絶縁膜123として示す。10

【0044】

第1の半導体膜124としては、非晶質半導体、非晶質状態と結晶状態とが混在したセミアモルファス半導体、非晶質半導体中に0.5nm～20nmの結晶粒を観察することができる微結晶半導体、及び結晶性半導体から選ばれたいずれかの状態を有する膜で形成する。特に、0.5nm～20nmの結晶粒を観察することができる微結晶状態はいわゆるマイクロクリスタル（μc）と呼ばれている。いずれも、シリコン、シリコン・ゲルマニウム（SiGe）等を主成分とする半導体膜を用いることができる。なお、セミアモルファスシリコンを、以下セミアモルファス半導体とも表記する。20

【0045】

なお、後の結晶化で良質な結晶構造を有する半導体膜を得るためにには、第1の半導体膜124の膜中に含まれる酸素、窒素などの不純物濃度を $5 \times 10^{18} / \text{cm}^3$ （以下、濃度はすべて二次イオン質量分析法（SIMS）にて測定した原子濃度として示す。）以下に低減させておくと良い。これらの不純物は、触媒元素と反応しやすく、後の結晶化を妨害する要因となり、また、結晶化後においても捕獲中心や再結合中心の密度を増加させる要因となる。

【0046】

触媒元素を有する層125の形成方法としては、PVD法、CVD法、蒸着法等により第1の絶縁膜123表面に、触媒元素又は触媒元素の珪化物の薄膜を形成する方法、第1の半導体膜124表面に触媒元素を含む溶液を塗布する方法などがある。触媒元素としては、タンクステン（W）、モリブデン（Mo）、ジルコニウム（Zr）、ハフニウム（Hf）、バナジウム（V）、ニオブ（Nb）、タンタル（Ta）、クロム（Cr）、コバルト（Co）、チタン（Ti）、銅（Cu）、ニッケル（Ni）、白金（Pt）等の一つ又は複数を用いて形成することができる。ここでは、1～200ppm、好ましくは10～150ppmのニッケルを含む溶液を塗布する。30

【0047】

次に、TFTのチャネル領域となる領域に3族元素（13族元素、以下、アクセプター型元素と示す。）、または5族元素（15族元素、以下、ドナー型元素と示す。）を低濃度に添加するチャネルドープ工程を全面または選択的に行う。このチャネルドープ工程は、TFTしきい値電圧を制御するための工程である。なお、ここではジボラン（B₂H₆）を質量分離しないでプラズマ励起したイオンドープ法でボロンを添加する。なお、質量分離を行いうイオン注入法を用いてもよい。40

【0048】

次に、第1の半導体膜124上に、ドナー型元素が含まれる膜厚80～250nmの第2の半導体膜132を形成する。珪化物気体にリン、ヒ素のようなドナー型元素を有する気体を加えたプラズマCVD法で成膜する。このような手法により第2の半導体膜を形成することで、第1の半導体膜と第2の半導体膜との界面が形成される。また、ドナー型元50

素が含まれる第2の半導体膜132としては、第1の半導体膜と同様の半導体膜を形成した後、ドナー型元素をイオンドープ法又はイオン注入法により添加して形成することができる。このときの、第2の半導体膜132では、リンの濃度が $1 \times 10^{19} \sim 3 \times 10^{21}$ /cm³であることが好ましい。

【0049】

さらには、上記プラズマCVD法、又はイオンドープ法、イオン注入法を用いて、第1の半導体膜124に接する側に、低濃度領域（以下、n⁻領域と示す。）、その上に高濃度領域（以下、n⁺領域と示す。）の積層構造としても良い。このとき、n⁻領域のドナー型元素の濃度は、 $1 \times 10^{17} \sim 3 \times 10^{19}$ /cm³、好ましくは $1 \times 10^{18} \sim 1 \times 10^{19}$ /cm³とし、n⁺領域のドナー型元素の濃度は、n⁻領域のドナー型元素の10～100倍とする。また、n⁻領域の膜厚は50～200nmであり、n⁺領域の膜厚は30～100nm好ましくは40～60nmである。ここでは、第2の半導体膜132として、波線より第1の半導体膜124側の領域をn⁻領域とし、その表面にn⁺領域を示す。10

【0050】

このときのドナー型元素が含まれる第2の半導体膜の不純物のプロファイルを図16に示す。図16(A)は、第1の半導体膜124上に、プラズマCVD法によりドナー型元素が含まれる第2の半導体膜132aを形成した時の、ドナー型元素のプロファイル150aを示す。なお、第2の半導体膜132aは、表面からn⁺領域144a及びn⁻領域144bの界面までは、膜の深さ方向に対して一定の濃度（第1の濃度）のドナー型元素が分布している。また、n⁺領域144a及びn⁻領域144bの界面から、第1の半導体膜124の界面までは、膜の深さ方向に対して一定の濃度（第2の濃度）のドナー型元素が分布している。このとき、第1の濃度は第2の濃度より高い。20

【0051】

一方、図16(B)は、第1の半導体膜124上に、非晶質半導体、セミアモルファス半導体、微結晶半導体、及び結晶性半導体から選ばれたいずれかの状態を有する半導体膜を形成し、イオンドープ法又はイオン注入法により該半導体膜にドナー型元素を添加して第2の半導体膜132bを形成した時の、ドナー型元素のプロファイル150bを示す。図16(B)に示すように、第2の半導体膜132bの表面付近は、ドナー型元素濃度が比較的高い。この領域をn⁺領域144aと示す。一方、第1の半導体膜124に近づくにつれ、ドナー型元素濃度が減少している。ドナー型元素濃度が $1 \times 10^{17} \sim 3 \times 10^{19}$ /cm³の領域、好ましくは $1 \times 10^{18} \sim 1 \times 10^{19}$ /cm³の領域をn⁻領域144bと示す。また、n⁺領域144aのドナー型元素の濃度は、n⁻領域のドナー型元素の10～100倍である。30

【0052】

n⁺領域144aは後にソース領域及びドレイン領域として機能し、n⁻領域144bはLDD領域として機能する。なお、n⁺領域とn⁻領域それぞれの界面は存在せず、相対的なドナー型元素濃度の、濃度の大小によって変化する。このようにイオンドープ法又はイオン注入法により形成されたドナー型元素が含まれる第2の半導体膜132aまたは132bは、添加条件によって濃度プロファイルを制御することが可能であり、n⁺領域とn⁻領域の膜厚を適宜制御することが可能である。40

【0053】

なお、ドナー型元素が含まれる第2の半導体膜132aまたは132bは、希ガス元素、代表的にはアルゴンが添加されることにより、結晶格子の歪が形成され、後に行われるゲッタリング工程で、より触媒元素をゲッタリングすることが可能である。

【0054】

次に、第1の半導体膜124及び第2の半導体膜132を加熱して、第1の半導体膜124の結晶化を行うと共に、図1(E)の矢印で示すように、第1の半導体膜の結晶化を促した触媒元素を第2の半導体膜132に移動させて、触媒元素のゲッタリングを同時に進行。

【0055】

結晶化は、半導体の結晶化を助長する触媒元素が接した半導体膜の部分でシリサイドが形成され、それを核として進行する。ここでは、脱水素化のための熱処理(400～550、0.5～2時間)の後、結晶化のための熱処理(550～650で1～24時間)を行う。また、RTA(Rapid Thermal Anneal)、GRTA(Gas Rapid Thermal Anneal)により結晶化を行っても良い。ここで、レーザ光照射を行わず結晶化することで、結晶性のばらつきを低減することが可能であり、後に形成されるTFTのばらつきを抑制することが可能である。また、結晶表面で突起上に結晶成長するリッジ(凸部)が形成されにくいため、半導体領域表面が比較的平坦であり、ゲート絶縁膜と介してゲート電極との間に流れるリーク電流を抑制することが可能である。

10

【0056】

また、ゲッタリング工程により、結晶化された第1の半導体膜中の触媒元素がデバイス特性に影響を与えない濃度、即ち膜中のニッケル濃度が $1 \times 10^{18} / \text{cm}^3$ 以下、望ましくは $1 \times 10^{17} / \text{cm}^3$ 以下とすることができる。このような膜を第1の結晶性半導体膜141と示す。また、ゲッタリング後の触媒元素が移動した第2の半導体膜も同様に結晶化されているため、第2の結晶性半導体膜142と示す。更に、本実施形態においては、ゲッタリング工程と共に、第2の結晶性半導体膜142中のドナー型元素の活性化を行っている。

【0057】

次に、図2(A)に示すように、第2の結晶性半導体膜142上に第2のマスク143を形成し、該第2のマスクを用いて第2の結晶性半導体膜142及び第1の結晶性半導体膜141をエッチングして、図2(B)に示すような第1の半導体領域152及び第2の半導体領域151を形成する。第2のマスク143を形成することで、後に形成される半導体領域の面積を縮小することが可能であり、半導体素子の高集積化や透過型液晶表示装置の開口率を高めることが可能である。

20

【0058】

なお、以下の実施形態及び実施例のマスク形成工程において、半導体材料で形成される膜又は領域上に感光性材料を塗布する前には、半導体膜又は領域表面に、膜厚が数nm程度の絶縁膜を形成することが好ましい。この工程により半導体材料と感光性材料とが直接接触すること回避することが可能であり、不純物が半導体膜中に侵入するのを防止できる。なお、絶縁膜の形成方法としては、オゾン水等の酸化力のある溶液を塗布する方法、酸素プラズマ、オゾンプラズマを照射する方法等が挙げられる。

30

【0059】

第2の結晶性半導体膜及び第1の結晶性半導体膜は、Cl₂、BCl₃、SiCl₄もしくはCCl₄などを代表とする塩素系ガス、CF₄、SF₆、NF₃、CHF₃などを代表とするフッ素系ガス、あるいはO₂を用いてエッチングすることができる。第2の結晶性半導体膜をエッチングして、第1の半導体領域152を形成し、第1の結晶性半導体膜をエッチングして第2の半導体領域151を形成する。

【0060】

次に、第2のマスク143を除去した後、図2(C)に示すように、膜厚500～1500nm、好ましくは500～1000nmの第3の導電膜153を成膜する。次に、第3の導電膜153上に感光性材料を塗布し、露光した後、現像して、第3のマスク154を形成する。

40

【0061】

第3の導電膜153の材料としては、銀(Ag)、金(Au)、銅(Cu)、ニッケル(Ni)、白金(Pt)、パラジウム(Pd)、イリジウム(Ir)、ロジウム(Rh)、タンゲステン(W)、アルミニウム(Al)、タンタル(Ta)、モリブデン(Mo)、カドミウム(Cd)、亜鉛(Zn)、鉄(Fe)、チタン(Ti)、シリコン(Si)、ゲルマニウム(Ge)、ジルコニウム(Zr)、バリウム(Ba)等の金属を用いることができる。また、これらの材料からなる導電膜を積層して第3の導電膜を形成すること

50

ができる。第3の導電膜153は配線として機能する。配線抵抗を低下させるため、低抵抗材料を用いることが好ましい。

【0062】

ここで、銅を配線として用いる場合のバリア膜としては、窒化シリコン、酸化窒化シリコン、窒化アルミニウム、窒化チタン、窒化タンタルなど窒素を含む絶縁性又は導電性の物質を用いると良い。

【0063】

次に、図2(D)に示すように第3のマスク154を用いて第3の導電膜153を所望の形状にエッティングして、第4の導電膜162、163を形成する。第4の導電膜162、163は、ソース電極及びドレイン電極として機能する。このとき、第3の導電膜を分断して、ソース電極及びドレイン電極を形成すると共に、ソース配線又はドレイン配線の幅が細くなるようにエッティングすることで、後に形成される液晶表示装置の開口率を高めることが可能である。
10

【0064】

次に、第3のマスク154を用いて、第1の半導体領域152の露出部をエッティングして、ソース領域及びドレイン領域として機能する第3の半導体領域164、165を形成する。このとき、第2の半導体領域151の一部がオーバーエッティングされても良い。このときのオーバーエッティングされた第2の半導体領域を第4の半導体領域166と示す。第4の半導体領域166はチャネル形成領域として機能する。

【0065】

次に、第3のマスクを除去した後、図2(E)に示すように、第4の導電膜162、163及び第4の半導体領域166表面上に、パッシベーション膜として機能する膜厚100~300nmの第2の絶縁膜171を成膜することが好ましい。パッシベーション膜は、プラズマCVD法又はスパッタリング法などの薄膜形成法を用い、窒化珪素、酸化珪素、窒化酸化珪素、酸化窒化珪素、酸化窒化アルミニウム、または酸化アルミニウム、ダイアモンドライカーボン(DLC)、窒素含有炭素(CN)、その他の絶縁性材料を用いて形成することができる。なお、パッシベーション膜は単層でも積層構造でもよい。ここでは、第4の半導体領域166の界面特性から酸化珪素、又は酸化窒化珪素を形成し、その上に窒化珪素膜、又は窒化酸化珪素膜を成膜することが好ましい。
20

【0066】

この後、第4の半導体領域を水素雰囲気又は窒素雰囲気で加熱して水素化することが好ましい。なお、窒素雰囲気で加熱する場合は、第2の絶縁膜に水素を含む絶縁膜を形成することが好ましい。

【0067】

以上の工程により、結晶性半導体膜を有する逆スタガ型TFTを形成することができる。

【0068】

次に、第2の絶縁膜171上に、膜厚500~1500nmの第3の絶縁膜172を形成する。第3の絶縁膜としては、酸化珪素、窒化珪素、酸化窒化珪素、酸化アルミニウム、窒化アルミニウム、酸窒化アルミニウムその他の無機絶縁性材料、又はアクリル酸、メタクリル酸及びこれらの誘導体、又はポリイミド(polyimide)、芳香族ポリアミド、ポリベンゾイミダゾール(polybenzimidazole)などの耐熱性高分子、又はシリカガラスに代表されるシロキサンポリマー系材料を出発材料として形成された珪素、酸素、水素からなる化合物のうちSi-O-Si結合を含む無機シロキサンポリマー、アルキルシロキサンポリマー、アルキルシリセスキオキサンポリマー、水素化シリセスキオキサンポリマー、水素化アルキルシリセスキオキサンポリマーに代表される珪素上の水素がメチルやフェニルのような有機基によって置換された有機シロキサンポリマー系の絶縁材料を用いることができる。形成方法としては、CVD法、塗布法、印刷法等公知の手法を用いて形成する。なお、塗布法で形成することにより、第3の絶縁膜の表面を平坦化することが可能である。ここでは、塗布法によりアクリル樹脂を塗布し焼成して
40

、第3の絶縁膜を形成する。また、反射型液晶表示装置や半透過型液晶表示装置の場合、第3の絶縁膜は凹凸を有することで、光をより外部に反射することが可能となる。この場合、第3の絶縁膜を液滴吐出法、印刷法等を用いることで、凹凸を有する絶縁膜を形成することが可能である。

【0069】

なお、第2の絶縁膜171が、後に形成される第5の導電膜173と第4の導電膜162、163との間に寄生容量が生じない程度の膜厚を有する場合、第3の絶縁膜172は必ずしも必要ではない。

【0070】

次に、第3の絶縁膜172上に第4のマスク(図示しない。)を形成した後、第3の絶縁膜172及び第2の絶縁膜171の一部をエッティングして、ゲート電極の接続部となる第2の導電膜122aを露出する。次に、第4のマスクを除去した後、ゲート配線として機能する膜厚500～1500nm、好ましくは500～1000nmの第5の導電膜173を形成する。第4のマスクは、第2のマスク143と同様の手法及び材料を適宜用いることが可能である。第5の導電膜173の材料及び形成方法は、第3の導電膜153と同様の材料及び形成方法を適宜選択すればよい。なお、配線抵抗を抑制するため、低抵抗材料を用いることが好ましい。10

【0071】

次に、第5の導電膜173及び第3の絶縁膜172上に第4の絶縁膜174を形成する。第4の絶縁膜174としては、第3の絶縁膜172と同様の材料を適宜用いることが可能である。また、反射型液晶表示装置又は半透過型液晶表示装置を形成する場合、第4の絶縁膜は凹凸を有することで、光をより外部に反射することが可能となる。この場合、第3の絶縁膜を液滴吐出法、印刷法等を用いることで、凹凸を有する絶縁膜を形成することが可能である。20

【0072】

次に、第4の絶縁膜174上に第5のマスク(図示しない。)を形成した後、第4の絶縁膜174、第3の絶縁膜172及び第2の絶縁膜171の一部をエッティングして、第4の導電膜163の一部を露出する。次に、第5のマスクを除去した後、画素電極として機能する膜厚100～200nmの第6の導電膜175を形成する。第5のマスクは、第2のマスク143と同様の手法及び材料を適宜用いることが可能である。第6の導電膜175の代表的な材料としては、透光性を有する導電膜、又は反射性を有する導電膜がある。透光性を有する導電膜の材料としては、酸化インジウムスズ(ITO)、酸化亜鉛(ZnO)、酸化インジウム亜鉛(IZO)、ガリウムを添加した酸化亜鉛(GZO)、酸化珪素を含む酸化インジウムスズ等が挙げられる。また、反射性を有する導電膜の材料としては、アルミニウム(Al)、チタン(Ti)、銀(Ag)、タンタル(Ta)などの金属、又は該金属と化学量論的組成比以下の濃度で窒素を含む金属材料、若しくは該金属の窒化物である窒化チタン(TiN)、窒化タンタル(TaN)などが挙げられる。さらには、半透過型液晶表示装置の場合、第6の導電膜を透光性を有する導電膜と、反射性を有する導電膜とで形成すれば良い。30

【0073】

第6の導電膜175の形成方法としては、液滴吐出法、スパッタリング法、蒸着法、CVD法、塗布法等を適宜用いる。液滴吐出法を用いることで、選択的に第6の導電膜を形成することが可能である。また、スパッタリング法、蒸着法、CVD法、塗布法等を用いた場合、第2の導電膜と同様にマスクを形成した後、該マスクを用いて導電膜をエッティングして第6の導電膜を形成する。40

【0074】

なお、ここでは第5の導電膜173としてはゲート配線として機能する導電膜を形成し、第6の導電膜175としては画素電極として機能する導電膜を形成したが、これに限定されない。画素電極として機能する導電膜を形成した後、ゲート配線として機能する導電膜を形成してもよい。50

【 0 0 7 5 】

以上の工程により、アクティブマトリクス基板を形成することが可能である。

【 0 0 7 6 】

本実施形態の逆スタガ型 TFT は、非晶質半導体膜の結晶化工程と、非晶質半導体膜の結晶化を促進するための触媒元素のゲッタリング工程とを同時にを行うことが可能であるため、工程数の削減が可能である。特に、加熱処理数を削減できるため、省エネルギー化が可能であり、また、スループットを向上させることができる。

【 0 0 7 7 】

また、逆スタガ型 TFT は、ゲート電極に耐熱性の高い材料を用いており、また活性化工程、ゲッタリング工程、結晶化工程等の加熱処理を行った後、低抵抗材料を用いて信号線、走査線等の配線を形成している。このため、結晶性を有し、不純物触媒元素が少なく、配線抵抗の低い TFT を形成することが可能である。また、本発明の液晶表示装置は、絶縁膜上に画素電極を形成することが可能であり、開口率を増加させることができること。

10

【 0 0 7 8 】

このため、結晶性半導体膜で形成されるため非晶質半導体膜で形成される逆スタガ型 TFT と比較して移動度が高い。また、ソース領域及びドレイン領域には、ドナー型元素に加え、触媒元素をも含む。このため、半導体領域との接触抵抗の低いソース領域及びドレイン領域が形成できる。この結果、高速動作が必要な半導体装置を作製することが可能である。

20

【 0 0 7 9 】

更には、ゲッタリング工程により、成膜段階で半導体膜中に混入する触媒元素をもゲッタリングするため、オフ電流を低減することが可能である。このような TFT を液晶表示装置のスイッチング素子に設けることにより、コントラストを向上させることが可能である。

【 0 0 8 0 】**(実施形態 2)**

本実施形態は、実施形態 1 において、触媒元素の添加領域の異なる例を、図 20 を用いて説明する。

【 0 0 8 1 】

30

図 20 (A) に示すように、実施形態 1 と同様に基板 101 上に第 2 の導電膜 121a 及び 122a を形成し、その上に第 1 の絶縁膜 123 を形成する。

【 0 0 8 2 】

次に図 20 (B) に示すように、第 1 の絶縁膜 123 上に第 1 の半導体膜 124 を形成し、第 1 の半導体膜上に触媒元素を有する層 125 を形成する。

【 0 0 8 3 】

次に図 20 (C) に示すように、触媒元素を有する層 125 の上に、ドナー型元素が含まれる第 2 の半導体膜 132 を形成する。本実施形態ではリンを有する気体を加えたプラズマ CVD 方で成膜する。

【 0 0 8 4 】

40

次に、第 1 の半導体膜 124 及び第 2 の半導体膜 132 を加熱して、非晶質である第 1 の半導体膜 124 の結晶化を行うと共に、図 20 (D) の矢印で示すように、触媒元素を第 2 の半導体膜 132 に移動させて、触媒元素のゲッタリングを同時に進行。図 20 (D) 中の矢印は、第 1 の半導体膜の結晶化を促した触媒元素の移動の方向である。更に、第 2 の半導体膜 132 中のドナー型元素の活性化も同時に進行している。なお、結晶化及びゲッタリング後の第 1 の半導体膜を第 1 の結晶性半導体膜 141 と示す。また、結晶化及びゲッタリング後の触媒元素が移動した第 2 の半導体膜を、第 2 の結晶性半導体膜 142 と示す。

【 0 0 8 5 】

この後、実施形態 1 と同様の工程により、結晶性半導体膜を有する逆スタガ型 TFT を

50

形成することができる。また、実施形態 1 と同様の効果を有する。

【0086】

(実施形態 3)

本実施形態は、実施形態 1 において、チャネル形成領域の形成方法の異なる例を図 2 1 を用いて説明する。

【0087】

図 2 1 (A) に示すように、実施形態 1 と同様に、第 1 のマスク (図示しない。) を用いて基板 1 0 1 上に第 2 の導電膜 1 2 1 a 及び 1 2 2 a を形成し、その上に第 1 の絶縁膜 1 2 3 を形成した後、第 1 の絶縁膜上に触媒元素を有する層 1 2 5 を形成する。

【0088】

次に図 2 1 (B) に示すように、触媒元素を有する層 1 2 5 上に第 1 の半導体膜 1 2 4 を形成する。その上に絶縁膜を形成し、第 2 のマスク (図示しない。) を用いて絶縁膜の一部をエッチングして保護膜 1 2 6 を形成する。

【0089】

次に図 2 1 (C) に示すように、第 2 の半導体膜 1 3 2 を基板全面に形成する。その後、熱処理を行うことによって、図 2 1 (D) に示すように第 1 の半導体膜 1 2 4 の結晶化及びゲッタリング及び第 2 の半導体膜の活性化を同時に行う。図 2 1 (D) 中の矢印は、第 1 の半導体膜の結晶化を促した触媒元素が第 2 の結晶性半導体膜 1 4 2 へ移動する様子を模式的に表したものである。なお、結晶化及びゲッタリング後の第 1 の半導体膜を第 1 の結晶性半導体膜 1 4 1 と示す。また、結晶化及びゲッタリング後の触媒元素が移動した第 2 の半導体膜を、第 2 の結晶性半導体膜 1 4 2 と示す。

【0090】

この後、実施形態 1 と同様の工程により、図 2 1 (E) に示すような結晶性半導体膜を有する逆スタガ型 TFT を形成することができる。本実施形態のように保護膜を形成しておけば第 2 の半導体領域 1 5 1 をエッチングせず、残した状態で第 3 の導電膜 1 5 3 および第 2 の半導体膜 1 3 2 をエッチングすることができるため歩留まりを向上させることが可能である。また、実施形態 1 と同様の効果を有する。

【0091】

(実施形態 4)

本実施形態は、実施形態 3 において、触媒元素の添加領域が異なる例を、図 3 7 を用いて説明する。

【0092】

図 3 7 (A) に示すように、実施形態 1 と同様に、第 1 のマスク (図示しない。) を用いて基板 1 0 1 上に第 2 の導電膜 1 2 1 a 及び 1 2 2 a を形成し、その上に第 1 の絶縁膜 1 2 3 を形成した後、第 1 の絶縁膜上に第 1 の半導体膜 1 2 4 を形成する。

【0093】

次に図 3 7 (B) に示すように、第 1 の半導体膜 1 2 4 上に触媒元素を有する層 1 2 5 を形成した後、絶縁膜を形成し、該絶縁膜の一部を第 2 のマスク (図示しない。) を用いてエッチングして、保護膜 1 2 6 を形成する。

【0094】

次に図 3 7 (C) に示すように、基板全面に第 2 の半導体膜 1 3 2 を形成した後、熱処理を行い、図 3 7 (D) に示すように第 1 の非晶質半導体膜の結晶化及び触媒元素のゲッタリング及び、第 2 の半導体膜の活性化を行う。図 3 7 (D) 中の矢印は、第 1 の半導体膜の結晶化を促した触媒元素が第 2 の結晶性半導体膜 1 4 2 へ移動する様子を模式的に表したものである。なお、結晶化及びゲッタリング後の第 1 の半導体膜を第 1 の結晶性半導体膜 1 4 1 と示す。また、結晶化及びゲッタリング後の触媒元素が移動した第 2 の半導体膜を、第 2 の結晶性半導体膜 1 4 2 と示す。

【0095】

この後、実施形態 1 と同様の工程により、図 3 7 (E) に示すような結晶性半導体膜を有する逆スタガ型 TFT を形成することができる。また、実施形態 1 と同様の効果を有す

10

20

30

40

50

る。

【0096】

本実施形態で形成される逆スタガ型TFTは、ゲート電極に耐熱性の高い材料を用いており、また活性化工程、ゲッタリング工程、結晶化工程等の加熱処理を行った後、低抵抗材料を用いて信号線、走査線等の配線を形成している。このため、結晶性を有し、不純物触媒元素が少なく、配線抵抗の低いTFTを形成することが可能である。また、本発明の液晶表示装置は、絶縁膜上に画素電極を形成することが可能であり、開口率を増加させることが可能である。

【0097】

このため、結晶性半導体膜で形成されるため非晶質半導体膜で形成される逆スタガ型TFTと比較して移動度が高い。また、ソース領域及びドレイン領域には、ドナー型元素に加え、触媒元素をも含む。このため、半導体領域との接触抵抗の低いソース領域及びドレイン領域が形成できる。この結果、高速動作が必要な半導体装置を作製することが可能である。

【0098】

また、非晶質半導体膜で形成されるTFTと比較して、しきい値のずれが生じにくく、TFT特性のバラツキを低減することが可能である。このため、非晶質半導体膜で形成されるTFTをスイッチング素子として用いた液晶表示装置と比較して、表示ムラを低減することが可能であり、信頼性の高い半導体装置を作製することが可能である。

【0099】

更には、ゲッタリング工程により、成膜段階で半導体膜中に混入する触媒元素をもゲッタリングするため、オフ電流を低減することが可能である。このようなTFTを液晶表示装置のスイッチング素子に設けることにより、コントラストを向上させることが可能である。

【0100】

(実施形態5)

本実施形態では、実施形態1で示したアクティブマトリクス基板のソース配線、ゲート配線、及び画素電極の積層の構造について、図3を用いて説明する。

【0101】

図3(A)は、本実施形態における逆スタガ型TFTと、ゲート配線として機能する第5の導電膜との積層構造を示す図であり、図3(C)のA-Bの断面構造に相当する。

【0102】

図3(B)は、ソース配線として機能する第4の導電膜、ゲート配線として機能する第5の導電膜、ゲート電極の接続部として機能する第2の導電膜、及び画素電極として機能する第6の導電膜の積層構造を示す図であり、図3(C)のC-Dの断面構造に相当する。以下、ソース配線として機能する第4の導電膜をソース配線162a、162b、ゲート配線として機能する第5の導電膜をゲート配線173a、173b、ゲート電極の接続部として機能する第2の導電膜をゲート電極の接続部122a、122b、及び画素電極として機能する第6の導電膜を画素電極175と示す。

【0103】

図3(B)に示すように、ゲート電極の接続部122b上に第1の絶縁膜123が形成され、第1の絶縁膜123上に、容量配線181、ソース配線162b、ドレイン電極163が形成される。また、容量配線181、ソース配線162b、ドレイン電極163、第1の絶縁膜123すべての上に第2の絶縁膜171、第3の絶縁膜172が形成され、第3の絶縁膜172上にゲート配線173aが形成される。即ち、ソース配線、ドレイン電極は、第2の絶縁膜171、第3の絶縁膜172を介してゲート配線173aと交差している。

【0104】

図3(B)に示すように、ゲート配線173a及び第3の絶縁膜172全ての上に第4の絶縁膜174が形成され、第4の絶縁膜上に画素電極175が形成されている。即ち、

10

20

30

40

50

第4の絶縁膜を介して、ゲート配線173aの一部を画素電極175が覆っている。画素電極175が形成される第4の絶縁膜174は、平坦化膜で形成されているため、後に画素電極間に充填される液晶材料の配向の乱れを抑制することが可能であり、液晶表示装置のコントラストを向上させることが可能である。

【0105】

なお、ここでは、第4の絶縁膜174を、ゲート配線173及び第3の絶縁膜172全ての上に形成したが、ゲート配線173及びその周辺の第3の絶縁膜172を覆うように設けてもよい。

【0106】

また、本実施形態では、図3(C)のE-Fで示すように、ソース配線上に画素電極の端部が形成されている。このため、透過型液晶表示装置の場合、画素電極端部で液晶材料の配向乱れが生じたとしても、その領域をソース配線が覆っているため、表示ムラを低減することが可能である。10

【0107】

(実施形態6)

本実施形態では、ゲート配線とソース配線の積層構造の異なるアクティブラトリクス基板について図4を用いて説明する。

【0108】

図4(A)は、本実施形態における逆スタガ型TFTとゲート配線との積層構造を示す図であり、図4(C)のA-Bの断面構造に相当する。第1の絶縁膜123上には、第4の半導体領域、ドレイン電極として機能する第4の導電膜(以下、ドレイン電極と示す。)163、画素電極1112、ゲート配線1113が形成される。ドレイン電極163と画素電極1112は絶縁膜を介さないで接続されている。また、ゲート電極の接続部122aとゲート配線1113とは、第1の絶縁膜123を介して接続されている。また、ソース配線162a、ドレイン電極163、画素電極1112、第1の絶縁膜123、ゲート配線1113上にはパッシベーション膜として機能する絶縁膜1114が形成される。20

【0109】

図4(B)は、ソース配線162b、ゲート配線1113、ゲート電極の接続部122b、及び画素電極1112の積層構造を示す図であり、図4(C)のC-Dの断面構造に相当する。30

【0110】

図4(B)に示すように、ゲート電極の接続部122b上に第1の絶縁膜123が形成され、第1の絶縁膜123上に、容量配線181、ソース配線162b、ドレイン電極163、ドレイン電極163に接続する画素電極1112が形成される。また、容量配線181、ソース配線162b上に第2の絶縁膜1111が形成され、第2の絶縁膜1111上にゲート配線1113が形成される。即ち、ソース配線、ドレイン電極は、第2の絶縁膜1111を介してゲート配線1113と交差している。

【0111】

また、ゲート配線1113と画素電極1112とが重なる領域に第3の絶縁膜を形成してもよい。この場合、画素電極が形成される領域を拡大することが可能であり、開口率を増加させることができる。40

【0112】

(実施形態7)

本実施形態では、ゲート配線とソース配線の積層構造の異なるアクティブラトリクス基板について図5を用いて説明する。

【0113】

図5(A)は、本実施形態における逆スタガ型TFTとゲート配線との積層構造を示す図であり、図5(C)のA-Bの断面構造に相当する。

【0114】

図5(B)は、ソース配線162b、ゲート配線1121b、ゲート電極の接続部1250

2 b、及び画素電極 1 1 2 2 の積層構造を示す図であり、図 5 (C) の C - D の断面構造に相当する。

【 0 1 1 5 】

図 5 (B) に示すように、ゲート電極の接続部 1 2 2 a、1 2 2 b 上に第 1 の絶縁膜 1 2 3 が形成され、第 1 の絶縁膜 1 2 3 上に、容量配線 1 8 1、ソース配線 1 6 2 b、ドレイン電極 1 6 3 が形成される。また、容量配線 1 8 1、ソース配線 1 6 2 b、ドレイン電極 1 6 3 、及び第 1 の絶縁膜 1 2 3 すべての上に第 2 の絶縁膜 1 7 1、第 3 の絶縁膜 1 7 2 が形成され、第 3 の絶縁膜 1 7 2 上にゲート配線 1 1 2 1 b が形成される。即ち、ソース配線 1 6 2 b、ドレイン電極 1 6 3 は、第 2 の絶縁膜 1 7 1、第 3 の絶縁膜 1 7 2 を介してゲート配線 1 1 2 1 b と交差している。

10

【 0 1 1 6 】

なお、ここでは、図 5 (C) に示すように、ゲート配線 1 1 2 1 b は、画素ごとに形成されており、隣り合う画素に設けられたゲート電極の接続部 1 2 2 a、1 2 2 b に接続されている。このため、ゲート配線 1 1 2 1 b の材料は、特に低抵抗材料である必要はなく、材料の選択の幅が広がる。

【 0 1 1 7 】

また、第 3 の絶縁膜 1 7 2 全ての上に第 4 の絶縁膜 1 7 4 が形成され、第 4 の絶縁膜上に画素電極 1 1 2 2 が形成されている。即ち、第 4 の絶縁膜 1 7 4 を介して、ゲート配線 1 1 2 1 b の一部を画素電極 1 1 2 2 が覆っている。画素電極 1 1 2 2 が形成される第 4 の絶縁膜 1 7 4 は、平坦化膜で形成されているため、後に画素電極間に充填される液晶材料の配向の乱れを抑制することが可能であり、液晶表示装置のコントラストを向上させることが可能である。

20

【 0 1 1 8 】

なお、ここでは、第 4 の絶縁膜 1 7 4 を、ゲート配線 1 1 2 1 b 及び第 3 の絶縁膜 1 7 2 全ての上に形成したが、ゲート配線 1 1 2 1 b 及びその周辺の第 3 の絶縁膜 1 7 2 を覆うように設けてもよい。

【 0 1 1 9 】

(実施形態 8)

本実施形態では、ゲート配線とソース配線の積層構造の異なるアクティブラトリクス基板について図 6 を用いて説明する。

30

【 0 1 2 0 】

図 6 (A) は、本実施形態における逆スタガ型 TFT とゲート配線との積層構造を示す図であり、図 6 (C) の A - B の断面構造に相当する。第 1 の絶縁膜 1 2 3 上には、第 4 の半導体領域、ドレイン電極 1 6 3 、画素電極 1 1 3 2 、ゲート配線 1 1 3 3 a が形成される。ドレイン電極 1 6 3 と画素電極 1 1 3 2 は絶縁膜を介さないで接続されている。

【 0 1 2 1 】

図 6 (B) は、ソース配線 1 6 2 b 、ゲート配線 1 1 3 3 b 、ゲート電極の接続部 1 2 2 b 、及び画素電極 1 1 3 2 の積層構造を示す図であり、図 6 (C) の C - D の断面構造に相当する。

【 0 1 2 2 】

図 6 (B) に示すように、ゲート電極の接続部 1 2 2 b 上に第 1 の絶縁膜 1 2 3 が形成され、第 1 の絶縁膜 1 2 3 上に、容量配線 1 8 1、ソース配線 1 6 2 b、ドレイン電極 1 6 3 、ドレイン電極 1 6 3 に接続する画素電極 1 1 3 2 が形成される。また、容量配線 1 8 1、ソース配線 1 6 2 b 上に第 2 の絶縁膜 1 1 3 1 が形成され、第 2 の絶縁膜 1 1 3 1 上にゲート配線 1 1 3 3 b が形成される。即ち、ソース配線、ドレイン電極は、第 2 の絶縁膜 1 1 3 1 を介してゲート配線 1 1 3 3 b と交差している。

40

【 0 1 2 3 】

また、ゲート配線 1 1 3 3 b と画素電極 1 1 3 2 とが重なる領域に第 3 の絶縁膜を形成してもよい。この場合、画素電極が形成する領域を拡大することが可能であり、開口率を増加させることが可能である。

50

【0124】

(実施形態9)

本実施形態では、ゲート配線とソース配線の積層構造の異なるアクティブラトリクス基板について図7を用いて説明する。

【0125】

図7(A)は、本実施形態における逆スタガ型TFTとゲート配線として機能する第5の導電膜との積層構造を示す図であり、図7(C)のA-Bの断面構造に相当する。

【0126】

図7(B)は、ソース配線1143b、ゲート配線1145a、1145b、ゲート電極の接続部122b、及び画素電極1142の積層構造を示す図であり、図7(C)のC-Dの断面構造に相当する。10

【0127】

図7(B)に示すように、ゲート電極の接続部122b上に第1の絶縁膜123が形成され、第1の絶縁膜123上に、容量配線1144、ソース配線1143b、ドレイン電極1147、ゲート配線1145a、1145bが形成される。なお、ゲート配線1145a、1145bは、それぞれ第1の絶縁膜123を介してゲート電極の接続部122a、122bに接続されている。

【0128】

また、図7(C)に示すように、ゲート配線1145a、1145bは、各画素にそれぞれ設けられている。ここでは、ゲート配線1145a、1145bとソース配線1143b、ドレイン電極1143a、容量配線1144それぞれは、交差していない。このためこれらの電極及び配線を同時に形成できるため、量産性を向上させることが可能である。20

【0129】

また、ゲート配線1145a、1145bとソース配線1143b、ドレイン電極1143a、容量配線1144すべての上に第2の絶縁膜171、第3の絶縁膜172が形成され、第3の絶縁膜172上に導電膜1146a、1146bが形成される。また、導電膜1146a、1146bは、第2の絶縁膜171、第3の絶縁膜172を介して、それぞれゲート配線1145a、1145bと接続している。このため、各画素に設けられたゲート配線は、導電膜1146a、1146bを介して電気的に接続している。また、ソース配線は、第2の絶縁膜171、第3の絶縁膜172を介してゲート配線1145a、1145b及び導電膜1146a、1146bと交差している。30

【0130】

なお、ここでは、導電膜1146a、1146bは、画素ごとに形成されており、隣り合う画素に設けられたゲート電極の接続部122a、122bに接続されている。このため、導電膜1146a、1146bの材料の選択の幅が広がる。

【0131】

また、第3の絶縁膜172上に第4の絶縁膜174が形成され、第4の絶縁膜上に画素電極1142が形成されている。即ち、第4の絶縁膜を介して、導電膜1146bの一部を画素電極1142が覆っている。画素電極1142が形成される第4の絶縁膜174は、平坦化膜で形成されているため、後に画素電極間に充填される液晶材料の配向の乱れを抑制することが可能であり、液晶表示装置のコントラストを向上させることが可能である。40

【0132】

なお、ここでは、第4の絶縁膜174を、ゲート配線1145a、1145b及び第3の絶縁膜172全ての上に形成したが、ゲート配線1145a、1145b及びその周辺の第3の絶縁膜172を覆うように設けてもよい。

【0133】

(実施形態10)

本実施形態では、ゲート配線とソース配線の積層構造の異なるアクティブラトリクス基

50

板について図8を用いて説明する。

【0134】

図8(A)は、本実施形態における逆スタガ型TFTとゲート配線との積層構造を示す図であり、図8(C)のA-Bの断面構造に相当する。第1の絶縁膜123上には、ソース配線1153a、第4の半導体領域、ドレイン電極1157、画素電極1152、ゲート配線1155aが形成される。ドレイン電極1157と画素電極1152は絶縁膜を介さないで接続されている。

【0135】

図8(B)は、ソース配線1153b、ゲート配線1155a、1155b、ゲート電極の接続部122b、及び画素電極1152の積層構造を示す図であり、図8(C)のC-Dの断面構造に相当する。

10

【0136】

図8(B)に示すように、ゲート電極の接続部122b上に第1の絶縁膜123が形成され、第1の絶縁膜123上に、容量配線1154、ソース配線1153b、ドレイン電極1157、ドレイン電極1157に接続する画素電極1152、ゲート配線1155a、1155bが形成される。また、容量配線1154、ソース配線1153b上に第2の絶縁膜1151が形成され、第2の絶縁膜1151上に導電膜1156bが形成される。ゲート配線1155a、1155bは、各画素にそれぞれ設けられている。ここでは、ゲート配線1155a、1155bとソース配線1153b、ドレイン電極1157、容量配線1154それぞれは、交差しておらず、同時に形成できるため、量産性を向上させることが可能である。

20

【0137】

また、導電膜1156a、1156bは、第2の絶縁膜1151を介して、それぞれゲート配線1155a、1155bと接続している。このため、各画素に設けられたゲート配線は、導電膜1156a、1156bを介して電気的に接続している。また、ソース配線、ドレイン電極は、第2の絶縁膜1151を介してゲート配線1155a、1155b及び導電膜1156a、1156bと交差している。

【0138】

本実施形態では、ソース配線、容量配線と、ゲート配線とが交差する領域にのみ第2の絶縁膜1151を設けている。

30

【0139】

また、ソース配線1153a、容量配線1154、導電膜1156bと画素電極1152とが重なる領域に第3の絶縁膜を形成してもよい。この場合、画素電極が形成される領域を拡大することが可能であり、開口率を増加させることが可能である。

【0140】

(実施形態11)

本実施形態では、ゲート配線とソース配線の積層構造の異なるアクティブラトリクス基板について図34を用いて説明する。

【0141】

図34(A)は、本実施形態における逆スタガ型TFTとゲート配線との積層構造を示す図であり、図34(C)のA-Bの断面構造に相当する。第1の絶縁膜123上には、第4の半導体領域、ドレイン電極1157、画素電極1152が形成される。ドレイン電極1157と画素電極1152は絶縁膜を介さないで接続されている。また、ゲート電極の接続部122a上の第1の絶縁膜は除去されており、その上にゲート配線1165aが形成されている。このような構造により、ゲート電極の接続部とゲート配線との接触抵抗を抑制することが可能である。また、本実施形態のようなゲート電極の接続部122aとゲート配線1165aとの接続構造を、実施形態2乃至実施形態10それぞれに適用することが可能である。

40

【0142】

図34(B)は、ソース配線1163b、ゲート配線1165a、1165b、導電膜

50

123b、及び画素電極1152の積層構造を示す図であり、図34(C)のC-Dの断面構造に相当する。

【0143】

図34(B)に示すように、第2の導電膜121a、ゲート電極の接続部122aと同様の工程で形成された導電膜123bが基板表面には、形成されている。また、ゲート電極の接続部122a表面の第1の絶縁膜を除去するときに、導電膜123bの表面上の第1の絶縁膜を除去する。この後、導電膜123b上に第2の絶縁膜1161形成する。このとき、導電膜123bの両端部が露出するように、第2の絶縁膜1161を形成することが好ましい。

【0144】

次に、第1の絶縁膜上にドレイン電極を形成すると同時に、導電膜123b上にゲート配線1165a、1165bを形成し、また同時に第2の絶縁膜1161上にソース配線1163b、容量配線1164を形成する。ここでは、これらの導電膜は、交差しておらず、同時に形成できるため、量産性を向上させることができる。

【0145】

また、本実施形態では、画素ごとに形成されたゲート配線1165a、1165bが導電膜123a、123bを介して電気的に接続されている。また、導電膜123b上に形成された第2の絶縁膜1161を介して、ゲート配線とソース配線とが交差している。

【0146】

本実施形態では、ソース配線、容量配線と、ゲート配線とが交差する領域にのみ第2の絶縁膜1161を設けている。

【0147】

また、ゲート配線1165a、1165b、容量配線1164、及びソース配線1163a、1163bと画素電極1152とが重なる領域に、第3の絶縁膜を形成してもよい。この場合、画素電極を形成する領域を拡大することが可能であり、開口率を増加させることができある。

【0148】

(実施形態12)

本実施形態では、ドナー型元素を有する半導体膜の代わりに、希ガス元素を有する半導体膜を用いて触媒元素をゲッタリングしてTFTを形成する工程について、図9を用いて説明する。

【0149】

図9(A)に示すように、実施形態1と同様の工程により第1の半導体膜124を形成する。なお、この後チャネルドープ工程を行っても良い。

【0150】

次に、第1の半導体膜124上にPVD法、CVD法等の公知の手法により希ガス元素を有する第2の半導体膜232を形成する。第2の半導体膜232としては、非晶質半導体膜であることが好ましい。

【0151】

次に、第1の半導体膜124及び第2の半導体膜232を実施形態1と同様の手法により加熱して、第1の半導体膜を結晶化すると共に、図9(B)の矢印で示すように、第1の半導体膜124の結晶化を促した触媒元素を第2の半導体膜232に移動させて、触媒元素をゲッタリングする。この工程により、実施形態1と同様に第1の半導体膜中の触媒元素がデバイス特性に影響を与えない濃度、即ち膜中の触媒元素濃度が $1 \times 10^{18} / \text{cm}^3$ 以下、望ましくは $1 \times 10^{17} / \text{cm}^3$ 以下とすることができる。このような膜を第1の結晶性半導体膜241と示す。また、ゲッタリング後の触媒元素が移動した第2の半導体膜も同様に結晶化されているため、第2の結晶性半導体膜242と示す。

【0152】

次に、図9(C)に示すように、第2の結晶性半導体膜242を除去した後、導電性を有する第3の半導体膜243を成膜する。ここで、第3の半導体膜243としては、珪化

10

20

30

40

50

物気体にボロン、リン、ヒ素のような13族(3族)又は15族(5族)の元素を有する気体を加えたプラズマCVD法で成膜する。なお、第3の半導体膜243は、非晶質半導体、セミアモルファス半導体、結晶性半導体、マイクロクリスタル(μ c)から選ばれたいずれかの状態を有する膜で形成すればよい。なお、第3の半導体膜243が導電性を有する非晶質半導体膜、セミアモルファス半導体、又はマイクロクリスタル(μ c)のいずれかである場合は、この後、不純物を活性化する加熱処理を行う。一方、第2の結晶性半導体膜242が導電性を有する結晶性半導体である場合、加熱処理は行わなくとも良い。ここでは、プラズマCVD法により、膜厚100nmのリンが含まれる非晶質珪素膜を成膜した後、550度2時間で加熱して、不純物を活性化する。

【0153】

10

次に、図9(D)に示すように、実施形態1と同様の工程により第1の半導体領域252、第2の半導体領域251、第3の導電膜153を形成する。次に、感光性材料を塗布又は吐出した後、露光、現像を行い、図9(D)に示すようなマスク254を形成する。

【0154】

次に、図9(E)に示すように、ソース電極(ソース配線)162a及びドレイン電極(ドレイン配線)163を形成する。また、実施形態1と同様の工程により、第1の半導体領域をエッチングしてソース領域及びドレイン領域として機能する第3の半導体領域262、及びチャネル形成領域として機能する第4の半導体領域261を形成することができる。

【0155】

20

この後、実施形態1と同様の工程により、逆スタガ型TFT及びアクティブマトリクス基板を形成することができる。本実施形態で形成されるTFTを用いることにより実施形態1と同様の効果を得ることができる。また、実施形態1乃至実施形態11のいずれかにも、本実施形態を適用することが可能である。

【0156】

(実施形態13)

本実施形態では、nチャネルTFTとpチャネルTFTとを同一基板に形成する工程を図10を用いて形成する。

【0157】

30

図10(A)に示すように、実施形態1と同様に基板101上に第1の導電膜301、302を形成し、第1の導電膜上に第1の絶縁膜123を形成する。次に、実施形態1と同様の工程により、触媒元素を有する層、及び第1の半導体膜、及びその上にドナー型元素が含まれる第2の半導体膜を形成する。次に、マスクを用いて、第1の半導体膜を所望の形状にエッチングして、第1の半導体領域を形成し、第2の半導体膜を所望の形状にエッチングして、第2の半導体領域を形成する。

【0158】

次に、第1の半導体領域及び第2の半導体領域を加熱して、第1の半導体領域に含まれる触媒元素を第2の半導体領域に移動させて、触媒元素をゲッタリングする。ここでは、ゲッタリング後の触媒元素が移動した第2の半導体領域を第3の半導体領域312、313と示し、触媒元素濃度が低減された第1の半導体領域を第4の半導体領域311、314と示す。なお、第3の半導体領域及び第4の半導体領域は、それぞれゲッタリング工程の加熱により結晶化されている。

40

【0159】

本実施形態では、各半導体領域を形成した後ゲッタリング工程を行ったが、実施形態1のように、各半導体膜のゲッタリング工程を行った後、半導体膜を所望の形状にエッチングして、各半導体領域を形成しても良い。

【0160】

50

次に、第3の半導体領域312、313及び第4の半導体領域311、314表面に酸化膜を形成した後、図10(B)に示すように、マスク321、322を形成する。マスク321は、後にnチャネル型TFTとなる第3の半導体領域313、第4の半導体領域

311の全部を覆っている。一方、マスク322は、後にpチャネル型TFTとなる第3の半導体領域312の一部と第4の半導体領域314の一部を覆っている。このとき、マスク322は、後に形成されるpチャネル型TFTのチャネル長よりも狭いことが好ましい。

【0161】

次に、第3の半導体領域312の露出部に、3族元素(13族元素、以下、アクセプター元素と示す。)を添加し、p型不純物領域324を形成する。このときマスク322に覆われる領域は、n型不純物領域325として残存する。n型を呈する第3の半導体領域312の2~10倍の不純物濃度となるようにアクセプター型元素を添加することにより、p型不純物領域を形成することができる。

10

【0162】

図17に、p型不純物領域の不純物元素のプロファイルを示す。

【0163】

図17(A)は、CVD法により、n⁻領域濃度及びn⁺領域濃度を有する第2の半導体膜を形成した後、アクセプター型元素を添加したときの、各元素のプロファイルを示す。ドナー型元素のプロファイル150aは図16(A)と同様に、第1の濃度及び第2の濃度を示す。また、アクセプター型元素のプロファイル603は、第3の半導体領域表面付近では、濃度が高く、第4の半導体領域314に近づくにつれ、濃度が減少している。n⁺領域に含まれるドナー型元素の2~10倍の濃度のアクセプター型元素を有する領域をp⁺領域602aと示し、n⁻領域のドナー型元素の2~10倍の濃度のアクセプター型元素を有する領域をp⁻領域602bと示す。

20

【0164】

図17(B)は、非晶質半導体、セミアモルファス半導体、微結晶半導体、及び結晶性半導体から選ばれたいずれかの状態を有する膜の半導体膜を形成し、イオンドープ法又はイオン注入法により該半導体膜にドナー型元素を添加して、n⁻領域濃度及びn⁺領域濃度を有する第2の半導体膜を形成した後、アクセプター型元素を添加したときの、各元素のプロファイルを示す。ドナー型元素のプロファイル150bは図16(A)のドナー型元素のプロファイル150aと同様である。また、アクセプター型元素のプロファイル613は、図17(A)のアクセプター型元素のプロファイル603と同様である。n⁺領域に含まれるドナー型元素の2~10倍の濃度のアクセプター型元素を有する領域をp⁺領域602aと示し、n⁻領域のドナー型元素の2~10倍の濃度のアクセプター型元素を有する領域をp⁻領域602bと示す。

30

【0165】

なお、ドナー型元素が含まれる第2の半導体膜132は、希ガス元素、代表的にはアルゴンが添加されることにより、結晶格子の歪が形成され、後に行われるゲッタリング工程で、より触媒元素をゲッタリングすることが可能である。

【0166】

つぎに、マスク321、322を除去した後、第3の半導体領域313及びp型不純物領域324、n型不純物領域325を加熱して、不純物元素を活性化する。加熱の方法としては、LRTA(Lamp Rapid Thermal Anneal)、GRTA、ファーネスアニール等を適宜用いることができる。ここでは、550度で1時間加熱する。

40

【0167】

次に、図10(C)に示すように、実施形態1と同様に、第2の導電膜331、332を形成する。次に、マスク333を形成して、図10(D)に示すように、ソース領域及びドレイン領域として機能する第5の半導体領域343、344を形成する。次に、マスク333を除去した後第2の導電膜331、332及び第5の半導体領域343、344表面上に、パッシベーション膜を成膜することが好ましい。

【0168】

以上の工程により、同一基板上にnチャネル型TFTとpチャネル型TFTとを形成す

50

ることができる。本実施形態で形成されるTFTを用いることにより実施形態1と同様の効果を得ることができる。また、単チャネルTFTで形成される駆動回路と比較して、低電圧駆動が可能なCMOS回路を形成することが可能である。更には、ドナー型元素（例えば、リン）と比較してアクセプター型元素（例えば、ボロン）は原子半径が小さいため、比較的低い加速電圧及び濃度で、半導体膜中にアクセプター型元素を添加することが可能である。本実施形態では、アクセプター型元素のみ半導体膜に添加しているため、従来のCOMS回路の作製工程と比較して、短時間、かつ省エネルギーで作製することが可能であり、この結果低コスト化が可能である。

【0169】

また、実施形態1乃至実施形態12のいずれにも、本実施形態を適用することが可能である。

10

【0170】

(実施形態14)

本実施形態では、実施形態13と異なるゲッタリング工程により形成された結晶性半導体膜を有するnチャネル型TFT及びpチャネル型の作製工程について、図11を用いて説明する。

【0171】

実施形態1に従って、基板101上に第1の導電膜301、302を形成する。次に、実施形態13に従って、図9(B)に示すような、触媒元素を有する層及び第1の半導体膜を形成した後、第1の半導体膜表面に数nmの絶縁膜を形成する。次に、第1のマスクを形成し、第1の半導体膜を所望の形状にエッチングして、図11(A)に示すような第1の半導体領域401、402、触媒元素を有する層125a、125bを形成する。

20

【0172】

次に、図11(B)に示すように、第1の半導体領域401、402上に第2のマスク403、404を形成した後、第1の半導体領域の露出部にドナー型元素405を添加する。このとき、ドナー型元素が添加された領域をn型不純物領域406、407と示す。ここでは、イオンドーピング法によりリンを添加する。なお、第2のマスク403、404に覆われた第1の半導体領域には、リンは添加されないが触媒元素は含まれている。

【0173】

次に、第2のマスク403、404を除去し、第1の半導体領域を加熱して結晶化すると共に、図11(C)の矢印で示すように、第1の半導体領域の結晶化を促した触媒元素を、n型不純物領域406、407に移動させて、触媒元素をゲッタリングする。ここでは、ゲッタリング後の触媒元素が移動した第1の半導体領域をソース領域及びドレイン領域413、414と示し、触媒元素濃度が低減された第1の半導体領域をチャネル形成領域411、412と示す。なお、チャネル形成領域411、412とソース領域及びドレイン領域413、414は、それぞれゲッタリング工程の加熱により結晶性化されており、また、ソース領域及びドレイン領域413、414中に含まれるドナー型元素は活性化されている。

30

【0174】

次に、図11(D)に示すように、第3のマスク421、422を形成する。第3のマスク421は、後にnチャネル型TFTとなるチャネル形成領域411及びソース領域及びドレイン領域413の全部を覆っている。一方、第3のマスク422は、後にpチャネル型TFTとなるチャネル形成領域412の一部又は全部を覆っている。このとき、第3のマスク422は、後に形成されるpチャネル型TFTのチャネル長よりも狭いことが好ましい。

40

【0175】

次に、ソース領域及びドレイン領域414、及びチャネル形成領域412の露出部に、アクセプター元素を添加し、p型不純物領域424を形成する。このとき、ソース領域及びドレイン領域414のドナー型元素濃度の2~10倍の濃度となるようにアクセプター型元素を添加することにより、p型不純物領域を形成することができる。

50

【 0 1 7 6 】

つぎに、第3のマスク421、422を除去した後、ソース領域及びドレイン領域414、及びp型不純物領域424を加熱して、不純物元素を活性化する。加熱の方法としては、LRTA、GRTA、ファーネスアニール等を適宜用いることができる。ここでは、550度で1時間加熱する。

【 0 1 7 7 】

次に、図11(E)に示すように、実施形態13と同様に、第2の導電膜341、342を形成する。次に、第2の導電膜341、342及びチャネル形成領域411、412の表面上に、パッシベーション膜を成膜することが好ましい。

【 0 1 7 8 】

以上の工程により、同一基板上にnチャネル型TFTとpチャネル型TFTとを形成することができる。本実施形態で形成されるTFTを用いることにより実施形態1と同様の効果を得ることができる。更には、実施形態6と比較して、成膜工程が削減できるため、スループットを向上させることが可能である。

【 0 1 7 9 】

なお、実施形態1乃至実施形態14(ただし実施形態12は除く)のいずれかにも、本実施形態を適用することが可能である。

【 0 1 8 0 】**(実施形態15)**

本実施形態においては、実施形態13を用いてゲッタリング工程を行った結晶性半導体膜を用いてnチャネルTFTとpチャネルTFTとを同一基板に形成する工程を図12を用いて形成する。

【 0 1 8 1 】

実施形態13の工程にしたがって、基板101上に第1の導電膜301、302を形成し、第1の導電膜上に第1の絶縁膜123を形成する。次に、触媒元素を有する層、第1の半導体膜と、希ガス元素を有する第2の半導体膜を形成する。次に、第1の半導体膜及び第2の半導体膜を実施形態1と同様の手法により加熱して結晶化すると共に、図12(A)の矢印で示すように、第1の半導体膜の結晶化を促す触媒元素を第2の半導体膜に移動させて、触媒元素をゲッタリングする。触媒元素がゲッタリングされた第1の半導体膜を第1の結晶性半導体膜501と示す。また、ゲッタリング後の触媒元素が移動した第2の半導体膜も同様に結晶化されているため、第2の結晶性半導体膜502と示す。

【 0 1 8 2 】

次に、図12(B)に示すように、第2の結晶性半導体膜502をエッチングした後、第1の結晶性半導体膜501表面に数nmの絶縁膜を成膜する。次に、第1のマスクを形成して第1の結晶性半導体膜をエッチングして第1の半導体領域511、512を形成する。次に、第2のマスク513、514を形成する。第2のマスク513は、後にnチャネル型TFTのチャネル形成領域となる部分を覆っている。一方、第2のマスク514は、後にpチャネル型TFTとなる第1の半導体領域512の全部を覆っている。次に、第1の半導体領域511の露出部にドナー型元素515を添加する。このとき、ドナー型元素515が添加された領域をn型不純物領域516と示す。また、第2のマスク513に覆われた領域はチャネル形成領域517として機能する。

【 0 1 8 3 】

次に、第2のマスク513、514を除去した後、図12(C)に示すように、新たに第3のマスク521、522を形成する。第3のマスク521は、後にnチャネル型TFTとなるチャネル形成領域517及びn型不純物領域516の全部を覆っている。一方、第3のマスク522は、後にpチャネル型TFTのチャネル形成領域となる領域を覆う。

【 0 1 8 4 】

次に、半導体領域512の露出部に、アクセプター型元素523を添加し、p型不純物領域524を形成する。また、第3のマスク522に覆われた領域はチャネル形成領域525として機能する。つぎに、第3のマスク521、522を除去した後、n型不純物領

10

20

30

40

50

域 516 及び p 型不純物領域 524 を加熱して、不純物元素を活性化する。加熱の方法としては、LRTA、GRTA、ファーネスアニール等を適宜用いることができる。

【0185】

次に、図 12 (D) に示すように、実施形態 1 と同様に、第 2 の導電膜 341、342 を形成する。この後、チャネル形成領域 517、525 の一部をエッチングしてもよい。次に、第 2 の導電膜 341、342 及びチャネル形成領域 517、525 の表面上に、パッシベーション膜を成膜することが好ましい。

【0186】

以上の工程により、同一基板上に n チャネル型 TFT と p チャネル型 TFT とを形成することができる。本実施形態で形成される TFT を用いることにより実施形態 1 と同様の効果を得ることができる。10

【0187】

なお、実施形態 1 乃至実施形態 13 のいずれかにも、本実施形態を適用することが可能である。

【0188】

(実施形態 16)

本実施形態では実施形態 14 の変形例を用いて、n チャネル TFT と p チャネル TFT とを同一基板に形成する工程を、図 13 を用いて形成する。

【0189】

実施形態 14 にしたがって、図 13 (A) に示すように、触媒元素及びドナー型元素を有する第 3 の半導体領域 312、313 及び第 4 の半導体領域 311、314 を形成する。次に、図 13 (B) に示すように、マスク 321 を形成した後、第 3 の半導体領域 312 にアクセプター型元素 323 を添加して p 型不純物領域 601 を形成する。このとき、n 型不純物領域である第 3 の半導体領域 312 の 2 ~ 10 倍の濃度となるようにアクセプター型元素 323 を添加することにより、p 型不純物領域を形成することができる。また、アクセプター型元素 323 としてボロンを用いた場合、分子半径が小さいため、第 3 の半導体領域より深いところまで添加される。このため、添加条件によっては、第 4 の半導体領域の上部にボロンが添加される。この後、第 3 の半導体領域 313 及び p 型不純物領域 601 を加熱して、アクセプター型元素及びドナー型元素を活性化する。なお、ここでは、第 4 の半導体領域 314 にまでアクセプター元素を添加しないように、ドーピング条件を制御する。2030

【0190】

次に、実施形態 15 にしたがって第 2 の導電膜 331、332 を形成する。次に、マスクを用いて、第 2 の導電膜 331、332、第 3 の半導体領域 313 及び p 型不純物領域 601 の露出部をエッチングして、図 13 (D) に示すようなソース領域及びドレイン領域として機能する第 5 の半導体領域 343、621、及びチャネル形成領域として機能する第 6 の半導体領域 345、622 を形成することができる。この後、導電膜 341、342 及びチャネル形成領域 345、622 の表面上に、パッシベーション膜を成膜することが好ましい。

【0191】

以上の工程により、同一基板上に n チャネル型 TFT と p チャネル型 TFT とを形成することができる。本実施形態で形成される TFT を用いることにより実施形態 1 と同様の効果を得ることができます。更には、実施形態 14 と同様に、アクセプター型元素のみ半導体膜に添加しているため、従来の CMOS 回路の作製工程と比較して、短時間で、かつ省エネルギー作製することができる、この結果低コスト化が可能である40

【0192】

なお、実施形態 1 乃至実施形態 12 のいずれかにも、本実施形態を適用することができます。

【0193】

(実施形態 17)

本実施形態では、上記実施形態において、ゲート電極とソース電極及びドレイン電極との端部の位置関係、即ちゲート電極の幅とチャネル長の大きさの関係について、図14及び図15を用いて説明する。

【0194】

図14(A)は、ゲート電極121a上をソース電極及びドレイン電極の端部が z_1 だけ重なっている。ここでは、ゲート電極121aと、ソース電極及びドレイン電極とが重なっている領域をオーバーラップ領域と呼ぶ。即ち、ゲート電極の幅 y_1 がチャネル長 x_1 よりも大きい。オーバーラップ領域の幅 z_1 は、 $(y_1 - x_1) / 2$ で表される。このようなオーバーラップ領域を有するnチャネルTFTは、ソース電極及びドレイン電極と、半導体領域との間に、図9(B)で示すようなn+領域とn-領域とを有することが好ましい。この構造により、電界の緩和効果が大きくなり、ホットキャリア耐性を高めることができるとなる。10

【0195】

図14(B)は、ゲート電極121aの端部と、ソース電極及びドレイン電極の端部が一致している。即ち、ゲート電極の幅 y_2 とチャネル長 x_2 とが等しい。

【0196】

図14(C)は、ゲート電極121aとソース電極及びドレイン電極の端部とが z_3 だけ離れている。ここでは、ゲート電極121aと、ソース電極及びドレイン電極とが離れている領域をオフセット領域と呼ぶ。即ち、ゲート電極の幅 y_3 がチャネル長 x_3 よりも小さい。オフセット領域の幅 z_3 は、 $(x_3 - y_3) / 2$ で表される。このような構造のTFTは、オフ電流を低減することができるため、該TFTを表示装置のスイッチング素子として用いた場合、コントラストを向上させることができる。20

【0197】

図15(A)は、ゲート電極の幅 y_4 が、チャネル長 x_4 よりも大きい。また、ゲート電極121aの第1の端部とソース電極又はドレイン電極の一方の端部とが一致し、ゲート電極121aの第2の端部とソース電極又はドレイン電極の他方の端部とが z_4 だけ重なっている。オーバーラップ領域の幅 z_4 は、 $(y_4 - x_4)$ で表される。

【0198】

図15(B)は、ゲート電極の幅 y_5 が、チャネル長 x_5 よりも小さい。また、ゲート電極121aの第1の端部とソース電極又はドレイン電極の一方の端部とが一致し、ゲート電極121aの第2の端部とソース電極又はドレイン電極の他方の端部とが z_5 だけ離れている。オフセット領域の幅 z_5 は、 $(x_5 - y_5)$ で表される。ゲート電極121aの第1の端部と端部が一致する電極をソース電極とし、オフセット領域を有する電極をドレイン電極とすることで、ドレイン電極付近での電界緩和が可能となる。30

【0199】

さらには、半導体領域が複数のゲート電極を覆ういわゆるマルチゲート構造のTFTとしても良い。この様な構造のTFTも、オフ電流を低減することができる。

【0200】

なお、実施形態1乃至実施形態16のいずれかにも、本実施形態を適用することが可能である。40

【0201】

(実施形態18)

上記実施形態において、チャネル形成領域表面に対して垂直な端部を有するソース電極及びドレイン電極を示したが、この構造に限定されない。図18に示すように、チャネル形成領域表面に対して90度より大きく、180度未満、好ましくは135~145度を有する端部であってもよい。また、ソース電極とチャネル形成領域表面との角度を1、ドレイン電極とチャネル形成領域表面との角度を2とすると、1と2が等しくてもよい。また、異なっていてもよい。このような形状のソース電極及びドレイン電極は、ドライエッチング法により形成することが可能である。

【0202】

また、図19に示すように、ソース電極及びドレイン電極2149a、2149bの端部が湾曲面2150a、2150bを有していても良い。

【0203】

なお、実施形態1乃至実施形態17のいずれかにも、本実施形態を適用することが可能である。

【実施例1】

【0204】

次に、アクティブマトリクス基板及びそれを有する液晶表示装置の作製方法について図22～図24を用いて説明する。図22～図24は、アクティブマトリクス基板における縦断面構造図であり、駆動回路部A-A'、及び画素部B-B'を模式的に示す。

10

【0205】

図22(A)に示すように、基板800上に膜厚100～200nmの第1の導電膜を成膜する。ここでは、基板800にガラス基板を用い、その表面上に第1の導電膜として、膜厚150nmの酸化珪素を有する酸化インジウム膜をスパッタリング法により成膜する。次に、感光性材料を第1の導電膜上に塗布し、レーザビーム直接描画装置を用いて感光性材料を露光、現像して、第1のマスクを形成する。次に、第1のマスクを用いて第1の導電膜をエッチングして第1の導電膜801～804を形成する。ここでは、ドライエッティング法によりタンゲステン膜をエッチングして、第1の導電膜801～804である酸化珪素を含む酸化インジウム膜を形成する。なお、第1の導電膜801～803はゲート電極として機能し、第1の導電膜804はゲート電極の接続部として機能する。

20

【0206】

次に、基板800及び第1の導電膜801～804表面上に、第1の絶縁膜を形成する。ここでは、第1の絶縁膜805、806として、膜厚50nm～100nmの窒化珪素膜と、膜厚50～100nmの酸化窒化珪素膜(SiO_xN_y(x>y))を、CVD法により積層させて形成する。なお、第1の絶縁膜はゲート絶縁膜として機能する。このとき、窒化珪素膜と酸化窒化珪素膜とを、大気に解放せず原料ガスの切り替えのみで連続成膜することが好ましい。また、実施形態1と同様に3層構造にしてもよい。

【0207】

次に触媒元素を有する層808をPVD法、CVD法、蒸着法等の公知の方法にて形成する。ここでは100ppmのニッケル触媒を含む溶液をスピンドル法により塗布する。

30

【0208】

次に、図22(B)に示すように触媒元素を有する層808上に、膜厚10～100nmの非晶質半導体膜807を形成する。ここでは、膜厚100nmのアモルファシリコン膜をCVD法により成膜する。次に、後の TFT のチャネル領域となる領域にp型またはn型の不純物元素を低濃度に添加するチャネルドープ工程を全面または選択的に行う。次に膜厚100nmのドナー型元素を含む半導体膜812を成膜する。ここでは、シランガスと、0.5% フオスフィンガス(流量比シラン/フオスフィンが10/17)とを用いて、リンを有するアモルファシリコン膜を成膜する。

【0209】

40

次に、非晶質半導体膜807を加熱して図22(C)に示すような、結晶性半導体膜813を形成する。ここでは、電気炉を用い、500度で1時間加熱して半導体膜膜中の水素出しを行った後、550度で4時間加熱してニッケルを含む結晶性シリコン膜を形成する。

【0210】

この加熱によって触媒元素はドナー型元素を含む半導体膜812に移動しゲッタリングされるとともに、ドナー型元素は活性化する。即ち、触媒元素を含む結晶性半導体膜中の触媒元素を、ドナー型元素を含む半導体膜812へ移動させる。このときの触媒元素濃度が低減された結晶性半導体膜を図22(C)の813で示す。ここでは、結晶性シリコン膜となる。また、触媒元素が移動した、ドナー型元素を含む半導体膜も加熱により結晶性

50

半導体膜となる。即ち、触媒元素及びドナー型元素を含む結晶性半導体膜となる。これを、図22(C)の814で示す。ここでは、ニッケル及びリンを含む結晶性シリコン膜となる。

【0211】

次に、図23(A)に示すように、触媒元素及びドナー型元素を含む結晶性半導体膜814及び結晶性半導体膜813を、第2のマスク815～817を用いて所望の形状にエッチングする。エッチングされた触媒元素及びドナー型元素を含む結晶性半導体膜814は、図23(B)に示す第1の半導体領域824～826となり、エッチングされた結晶性半導体膜813は、第2の半導体領域821～823となる。

【0212】

次に、駆動回路において、一部のTFTのゲート電極とソース電極又はドレイン電極とを接続させるために、第3のマスクを用いて第1の絶縁膜805、806の一部をエッチングして、図27に示すようなコンタクトホール850を形成する。なお、後に形成される第3の導電膜831～833は破線で示す。第3のマスクは、第1のマスク又は第2のマスクと同様の形成方法を適宜用いることができる。該コンタクトホールを介してゲート電極802と、後に形成されるソース電極又はドレイン電極833を接続することにより、抵抗を形成することが可能となり、隣り合うTFTと接続されることで、インバータを形成することが可能である。

【0213】

次に、図23(B)に示すように、第1の半導体領域824～826及び第2の半導体領域821～823の表面に、膜厚500～1000nm第2の導電膜827を形成する。

【0214】

次に、感光性材料829を塗布し、露光、現像して第4のマスクを形成した後、第2の導電膜をエッチングして、図23(C)に示すような、ソース電極及びソース配線、並びにドレイン電極として機能する第3の導電膜831～836を形成する。また、この工程において、第2の導電膜を分断して、ソース電極及びドレイン電極を形成すると共に、ソース配線又はドレイン配線の幅が細くなるようにエッチングすることで、後に形成される液晶表示装置の開口率を高めることができる。

【0215】

次に、第4のマスクを残したまま、第1の半導体領域824～826をエッチングして、ソース領域及びドレイン領域837～843を形成する。このとき、第2の半導体領域821～823の一部もエッチングされる。エッチングされた第2の半導体領域821～823を第3の半導体領域844～846とする。第3の半導体領域844～846は、チャネル形成領域として機能する。

【0216】

次に、第4のマスクを除去した後、第4の導電膜及び第3の半導体領域表面上に第2の絶縁膜851及び第3の絶縁膜852を形成する。ここでは、第2の絶縁膜として水素を含む膜厚の150nm酸化窒化珪素膜(SiO_xN_y(x>y))をCVD法により形成する。また、第3の絶縁膜として膜厚200nmの窒化珪素膜を、CVD法により成膜する。窒化珪素膜は、外部からの不純物をブロッキングする保護膜として機能する。

【0217】

次に、第3の半導体領域844～846を加熱して水素化する。ここでは、窒素雰囲気で410～1時間の加熱を行うことで、第2の絶縁膜851に含まれる水素が第3の半導体領域844～846に添加され、水素化される。

【0218】

以上の工程により、nチャネル型TFT861、862で形成される駆動回路(A)-(A')と、ダブルゲート803を有するnチャネル型TFT863を有する画素部(B)-(B')とで構成される、液晶表示装置のアクティブラトリックス基板を形成することができる。本実施例では、nチャネル型TFTで駆動回路が形成されているため、pチャ

10

20

30

40

50

ネル型 TFT を形成する必要がなく、工程数を削減することが可能である。なお、n チャネル型 TFT でなく、p チャネル型 TFT のみで駆動回路及び画素 TFT を構成してもよい。

【 0 2 1 9 】

次に、図 24 (A) に示すように、第 3 の絶縁膜 852 上に第 4 の絶縁膜 871 を形成する。ここでは、アクリルを塗布し焼成して第 4 の絶縁膜 871 を形成する。次に、第 4 の絶縁膜 871 上に第 5 のマスクを形成した後、第 4 の絶縁膜 871、第 3 の絶縁膜 852、第 2 の絶縁膜 851 をそれぞれエッティングして、ゲート電極の接続部として機能する第 1 の導電膜 804 の一部を露出する。次に、ゲート電極の接続部として機能する第 1 の導電膜 804 に接続するゲート配線として機能する第 4 の導電膜 872 を形成する。

10

【 0 2 2 0 】

次に、第 5 の絶縁膜 873 を形成する。第 5 の絶縁膜 873 も第 4 の絶縁膜と同様の材料を適宜用いることが可能である。ここでは、第 5 の絶縁膜 873 にアクリルを用いる。次に、第 5 の絶縁膜 873 上に第 6 のマスクを形成した後、第 5 の絶縁膜～第 2 の絶縁膜をエッティングして、第 3 の導電膜 836 の一部を露出する。

【 0 2 2 1 】

次に、第 3 の導電膜 836 に接するように、膜厚 100～300 nm の第 5 の導電膜を成膜する。第 5 の導電膜の材料としては、透光性を有する導電膜、又は反射性を有する導電膜があげられる。透光性を有する導電膜の材料としては、酸化インジウムスズ (ITO)、酸化亜鉛 (ZnO)、酸化インジウム亜鉛 (IZO)、ガリウムを添加した酸化亜鉛 (GZO)、酸化珪素を含む酸化インジウムスズ等が挙げられる。また、反射性を有する導電膜の材料としては、アルミニウム (Al)、チタン (Ti)、銀 (Ag)、タンタル (Ta) などの金属、又は該金属と化学量論的組成比以下の濃度で窒素を含む金属材料、若しくは該金属の窒化物である窒化チタン (TiN)、窒化タンタル (TaN) などが挙げられる。また、第 5 の導電膜の形成方法としては、液滴吐出法、塗布法、スパッタリング法、蒸着法、CVD 法等を適宜用いる。なお、塗布法、スパッタリング法、蒸着法、CVD 法等を用いる場合、感光性材料の露光等によりマスクを形成した後、導電膜をエッティングする。ここでは、膜厚 110 nm の酸化珪素を含むインジウム錫酸化物 (ITO) をスパッタリング法により成膜し、所望の形状にエッティングして画素電極として機能する第 5 の導電膜 874 を形成する。

20

【 0 2 2 2 】

次に、図 24 (B) に示すように、第 5 の絶縁膜 873 及び第 5 の導電膜 874 を覆うように印刷法やスピンドルコート法により、絶縁膜を成膜し、ラビングを行って配向膜 881 を形成する。なお、斜方蒸着法により配向膜 881 を形成することで、低温で形成することが可能であり、耐熱性の低いプラスチック上に配向膜を形成することが可能である。

【 0 2 2 3 】

対向基板 882 上に第 2 の画素電極 (対向電極) 883 及び配向膜 884 を形成する。次に、対向基板 882 上に閉ループ状のシール材を形成する。このとき、シール材は画素部の周辺の領域に液滴吐出法を用いて形成する。次に、ディスペンサ式 (滴下式) により、シール材で形成された閉ループ内側に、液晶材料を滴下する。

30

【 0 2 2 4 】

シール材には、フィラーが混入されていてもよく、さらに、対向基板 882 にはカラー・フィルタや遮蔽膜 (ブラックマトリクス) などが形成されていても良い。

【 0 2 2 5 】

次に、真空中で、配向膜 884 及び第 2 の画素電極 (対向電極) 883 が設けられた対向基板 882 とアクティブマトリクス基板とを貼り合わせ、紫外線硬化を行って、液晶材料が充填された液晶層 885 を形成する。なお、液晶層 885 を形成する方法として、ディスペンサ式 (滴下式) の代わりに、対向基板を貼り合わせてから毛細管現象を用いて液晶材料を注入するディップ式 (汲み上げ式) を用いることができる。

40

【 0 2 2 6 】

50

以上の工程により液晶表示パネルを作製することができる。なお、静電破壊防止のための保護回路、代表的にはダイオードなどを、接続端子とソース配線（ゲート配線）の間または画素部に設けてもよい。この場合、上記した TFT と同様の工程で作製し、画素部のゲート配線層とダイオードのドレイン又はソース配線層とを接続することにより、ダイオードとして動作させることができる。

【0227】

以上の工程により液晶表示装置を形成することができる。なお、実施形態 1 乃至実施形態 18 のいずれをも本実施例に適用することができる。

【実施例 2】

【0228】

10

次に、実施例 1 において、駆動回路が CMOS 回路で形成されるアクティブマトリクス基板及びそれを有する液晶表示装置の作製方法について図 25、図 26、図 28 を用いて説明する。図 28 は、アクティブマトリクス基板の駆動回路の平面図である。また、駆動回路部 A - A' 及び画素部の B - B' の縦断面構造を図 25、及び図 26 に模式的に示す。

【0229】

実施例 1 と同様の工程により、図 25 (A) に示すように、基板 800 上にゲート電極として機能する第 1 の導電膜 801 ~ 804、第 1 の絶縁膜 805、806、第 1 の半導体領域 824 ~ 826、第 2 の半導体領域 821 ~ 823 を形成する。次に、後の n チャネル型 TFT となる領域にマスク 891 を形成する。ここでは、感光性材料の塗布、露光、現像、エッチングを行い、後の n チャネル型 TFT となる第 1 の半導体領域 824、826 及び第 2 の半導体領域 821、823 を覆うマスク 891 を形成する。

20

【0230】

次に、後に p チャネル型 TFT となる第 1 の半導体領域 825 に、アクセプター型元素を添加し、図 25 (B) に示すように、p 型半導体領域 893 を形成する。

【0231】

この後、実施例 1 と同様の工程により、ソース電極及びソース配線、並びにドレイン電極として機能する第 3 の導電膜 831 ~ 836 を形成する。また、ソース領域及びドレイン領域 837 ~ 843、チャネル形成領域として機能する第 3 の半導体領域 844 ~ 846 を形成する。このときの上面図を図 28 に示す。また、第 2 の絶縁膜 851 及び第 3 の絶縁膜 852 を形成した後、第 3 の半導体領域 844 ~ 846 を加熱して水素化する。

30

【0232】

次に、図 26 (A) に示すように、第 4 の絶縁膜 871 を形成した後、ゲート電極として機能する第 1 の導電膜 804 の一部を露出し、ゲート電極と接続されるゲート配線を形成する。この後、実施例 1 と同様に第 5 の絶縁膜 873 を形成した後、第 3 の導電膜 833 に接続する第 5 の導電膜 874 を形成する。

【0233】

以上の工程により、図 26 (A) に示すような、n チャネル型 TFT 896 及び p チャネル型 TFT 897 の CMOS 回路で形成される駆動回路 A - A' と、ダブルゲート 803 を有する n チャネル型 TFT 863 を有する画素部 B - B' とで構成される、液晶表示装置のアクティブマトリクス基板を形成することができる。

40

【0234】

この後、実施例 1 と同様の工程により、図 26 (B) に示すような液晶表示装置を形成することが可能である。

【実施例 3】

【0235】

本実施例では、本発明の半導体装置の一形態に相当する液晶表示装置パネルの外観について、図 29 を用いて説明する。図 29 (A) は、第 1 の基板 1600 と、第 2 の基板 1604 との間を第 1 のシール材 1605 及び第 2 のシール材 1606 によって封止されたパネルの上面図であり、図 29 (B) は、図 29 (A) の A - A'、及び B - B' それぞ

50

れにおける断面図に相当する。また、第1の基板1600に、実施例1で形成されたアクティブマトリクス基板を用いることが可能である。

【0236】

図29(A)において、点線で示された1602は画素部、1603は走査線駆動回路である。また、実線で示された1601は信号線(ゲート線)駆動回路である。本実施例において、画素部1602、及び走査線駆動回路1603は第1のシール材1605及び第2のシール材1606で封止されている領域内にある。また、1601は信号線(ソース線)駆動回路であり、チップ状の信号線駆動回路1601が第1の基板1600上に設けられている。

【0237】

また、1600は第1の基板、1604は第2の基板、1605及び1606はそれぞれ、密閉空間の間隔を保持するためのギャップ材が含有されている第1のシール材及び第2のシール材である。第1の基板1600と第2の基板1604とは第1のシール材1605及び第2のシール材1606によって封止されており、それらの間には液晶材料が充填されている。

【0238】

次に、断面構造について図29(B)を用いて説明する。第1の基板1600上には駆動回路及び画素部が形成されており、TFTを代表とする半導体素子を複数有している。第2の基板1604表面には、カラーフィルタ1621が設けられている。駆動回路として走査線駆動回路1603と画素部1602とを示す。走査線駆動回路1603はnチャネル型TFT1612、1613からなる回路が形成される。なお、実施例2と同様に、CMOS回路によって駆動回路を形成しても良い。

【0239】

本実施例においては、同一基板上に走査線駆動回路、及び画素部のTFTが形成されている。このため、表示装置の容積を縮小することができる。

【0240】

画素部1602には、複数の画素が形成されており、各画素には液晶素子1615が形成されている。液晶素子1615は、第1の電極1616、第2の電極1618及びその間に充填されている液晶材料1619が重なっている部分である。液晶素子1615が有する第1の電極1616は、配線1617を介して画素駆動用TFT1611と電気的に接続されている。また、ゲート電極1625は、コンタクトホールを介してゲート配線1626と接続されている。ここでは、ゲート配線1626を形成した後、第1の電極1616を形成しているが、第1の電極1616を形成した後、ゲート配線1626を形成してもよい。液晶素子1615の第2の電極1618は、第2の基板1604側に形成される。また、各画素電極表面には配向膜1630、1631が形成されている。

【0241】

1622は柱状のスペーサーであり、第1の電極1616と第2の電極1618との間の距離(セルギャップ)を制御するために設けられており、絶縁膜を所望の形状にエッチングして形成される。なお、球状スペーサーを用いていても良い。信号線駆動回路1601または画素部1602に与えられる各種信号及び電位は、接続配線1623を介して、FPC1609から供給されている。なお、接続配線1623とFPCとは、異方性導電膜又は異方性導電樹脂1627で電気的に接続されている。なお、異方性導電膜又は異方性導電樹脂の代わりに半田等の導電性ペーストを用いてもよい。

【0242】

図示しないが、第1の基板1600及び第2の基板1604の一方又は両方の表面には、接着剤によって偏光板が固定されている。なお、偏光板の他に位相差板を設けてもよい。

【実施例4】

【0243】

本実施例では、基板周辺部に設けられた走査線入力端子部と信号線入力端子部の構造に

10

20

30

40

50

について、図35を用いて説明する。図35(A)、(C)及び(E)は、それぞれ基板周辺部の平面図であり、図35(B)、(D)及び(F)は、それぞれ図35(A)、(C)及び(E)のK-L、及びM-Nの縦断面図である。なお、K-Lは走査線入力端子部の縦断面図を示し、M-Nは信号線入力端子部の縦断面図を示す。

【0244】

図35(A)及び図35(B)に示すように、第1の基板11及び第2の基板21は、シール材20を用いて封止されており、これらの内部には、液晶材料27が充填されている。また、シール材内部には、画素電極19及び画素TFT1が配列された画素部が形成されている。

【0245】

図35(A)及び図35(B)においては、走査線入力端子13と信号線入力端子26は、画素TFT1のゲート電極12と同様の工程により形成されている。また、走査線入力端子13は、第1の層間絶縁膜16上に形成されたゲート配線17を介して各ゲート電極と接続されている。また、信号線入力端子26は、ソース配線14と接続されている。

【0246】

また、画素電極19は第1の層間絶縁膜16上に形成された第2の層間絶縁膜18上に形成されている。なお、第1の層間絶縁膜16及び第2の層間絶縁膜18を介して、ドレン電極15と接続されている。

【0247】

走査線入力端子13と信号線入力端子26は、それぞれ接続層22、23を介してFPC24、25に接続されている。なお、図35(A)においては、接続層22、23及びFPC24、25は破線で示している。

【0248】

図35(C)及び図35(D)においては、走査線入力端子33はソース配線14と同様の工程で形成され、信号線入力端子は、ソース配線14の一部である。即ち、ソース配線14と同時に各入力端子が形成されている。また、走査線入力端子33とゲート電極12とは、第1の層間絶縁膜16上に形成されたゲート配線17で接続されている。

【0249】

その他の構造は、図35(A)及び図35(B)と同様である。

【0250】

図35(E)及び図35(F)においては、走査線入力端子はゲート配線43の一部であり、信号線入力端子44は、ゲート配線43と同時に形成される。即ち、ゲート配線43と同時に各入力端子が形成されている。また、信号線入力端子44は、ソース配線14上に形成された第1の層間絶縁膜16が除去された後、露出されたソース配線14上に形成される。

【0251】

その他の構造は、図35(A)及び図35(B)と同様である。

【0252】

なお、本実施例は、実施形態1に示されるTFTの構造を用いて説明したが、適宜実施形態2乃至実施形態18に適用することが可能である。

【実施例5】

【0253】

本発明の半導体装置に具備される保護回路の一例について説明する。保護回路は、TFT、ダイオード、抵抗素子及び容量素子等から選択された1つ又は複数の素子によって構成されるものであり、以下にはいくつかの保護回路の構成とその動作について説明する。まず、外部回路と内部回路の間に配置される保護回路であって、1つの入力端子に対応した保護回路の等価回路図の構成について、図36を用いて説明する。図36(A)に示す保護回路は、p型TFT7220、7230、容量素子7210、7240、抵抗素子7250を有する。抵抗素子7250は2端子の抵抗であり、一端には入力電圧V_{in}(以下、V_{in}と表記)が、他端には低電位電圧VSS(以下、VSSと表記)が与えられる

10

20

30

40

50

。

【0254】

図36(B)に示す保護回路は、p型TFT7220、7230を、整流性を有するダイオード7260、7270で代用した等価回路図である。図36(C)に示す保護回路は、p型TFT7220、7230を、TFT7350、7360、7370、7380で代用した等価回路図である。また、上記とは別の構成の保護回路として、図36(D)に示す保護回路は、抵抗7280、7290と、n型TFT7300を有する。図36(E)に示す保護回路は、抵抗7280、7290、p型TFT7310及びn型TFT7320を有する。なお、上記保護回路を構成する素子は、耐圧に優れた非晶質半導体により構成することが好ましい。本実施例は、上記実施の形態と自由に組み合わせることが可能である。10

【実施例6】

【0255】

本実施例では、上記実施例に示した液晶パネルへの駆動回路の実装について、図30を用いて説明する。

【0256】

図30(A)に示すように、画素部1401の周辺に信号線駆動回路1402、及び走査線駆動回路1403a、1403bを実装する。図30(A)では、信号線駆動回路1402、及び走査線駆動回路1403a、1403b等として、公知の異方性導電接着剤、及び異方性導電フィルムを用いた実装方法、COG方式、ワイヤボンディング方法、並びに半田バンプを用いたリフロー処理等により、基板1400上にICチップ1405を実装する。ここでは、COG方式を用いる。そして、FPC(フレキシブルプリントサーキット)1406を介して、ICチップと外部回路とを接続する。20

【0257】

なお、信号線駆動回路1402の一部、例えばアナログスイッチを基板上に一体形成し、かつその他の部分を別途ICチップで実装してもよい。

【0258】

また、図30(B)に示すように、セミアモルファス半導体や結晶性半導体でTFTを代表とする半導体素子を形成する場合、画素部1401と走査線駆動回路1403a、1403b等を基板上に一体形成し、信号線駆動回路1402等を別途ICチップとして実装する場合がある。図30(B)において、信号線駆動回路1402として、COG方式により、基板1400上にICチップ1405を実装する。そして、FPC1406を介して、ICチップと外部回路とを接続する。30

【0259】

なお、信号線駆動回路1402の一部、例えばアナログスイッチを基板上に一体形成し、かつその他の部分を別途ICチップで実装してもよい。

【0260】

さらに、図30(C)に示すように、COG方式に代えて、TAB方式により信号線駆動回路1402等を実装する場合がある。そして、FPC1406を介して、ICチップと外部回路とを接続する。図30(C)において、信号線駆動回路をTAB方式により実装しているが、走査線駆動回路をTAB方式により実装してもよい。40

【0261】

ICチップをTAB方式により実装すると、基板に対して画素部を大きく設けることができ、狭額縫化を達成することができる。

【0262】

なお、信号線駆動回路1402の一部、例えばアナログスイッチを基板上に一体形成し、かつその他の部分を別途ICチップで実装してもよい。

【0263】

ICチップは、シリコンウェハを用いて形成するが、ICチップの代わりにガラス基板上に集積回路を形成したIC(以下、ドライバICと表記する)を設けてもよい。ICチ50

ップは、円形のシリコンウェハから I C チップを取り出すため、母体基板形状に制約がある。一方ドライバ I C は、母体基板がガラスであり、形状に制約がないため、生産性を高めることができる。そのため、ドライバ I C の形状寸法は自由に設定することができる。例えば、ドライバ I C の長辺の長さを 15 ~ 80 mm として形成すると、I C チップを実装する場合と比較し、必要な数を減らすことができる。その結果、接続端子数を低減することができ、製造上の歩留まりを向上させることができる。

【0264】

ドライバ I C は、基板上に形成された結晶性半導体を用いて形成することができ、結晶性半導体は連続発振型のレーザ光を照射することで形成するとよい。連続発振型のレーザ光を照射して得られる半導体膜は、結晶欠陥が少なく、大粒径の結晶粒を有する。その結果、このような半導体膜を有するトランジスタは、移動度や応答速度が良好となり、高速駆動が可能となり、ドライバ I C に好適である。10

【実施例 7】

【0265】

本実施例では、表示モジュールについて説明する。ここでは、表示モジュールの一例として、液晶モジュールを、図 31 を用いて示す。

【0266】

図 31 (A) は、白色ライト及びカラーフィルタを用いてカラー表示をする液晶モジュールの断面図を示す。20

【0267】

図 31 (A) に示すように、アクティブマトリクス基板 1201 と対向基板 1202 とが、シール材 1200 により固着され、それらの間には画素部 1203 と液晶層 1204 とが設けられ表示領域を形成している。20

【0268】

着色層 1205 は、カラー表示を行う場合に必要であり、RGB 方式の場合は、赤、緑、青の各色に対応した着色層が各画素に対応して設けられている。アクティブマトリクス基板 1201 と対向基板 1202 との外側には、光学フィルム（偏光板、位相差板など）1206、1207 が配設されている。また、光学フィルム 1206 の表面には、保護膜 1216 が形成されており、外部からの衝撃を緩和している。30

【0269】

アクティブマトリクス基板 1201 に設けられた接続端子 1208 には、FPC 1209 を介して配線基板 1210 が接続されている。配線基板 1210 には、画素駆動回路（I C チップ、ドライバ I C 等）、コントロール回路や電源回路などの外部回路 1212 が組み込まれている。30

【0270】

冷陰極管 1213、反射板 1214、及び光学フィルム 1215、インバータ（図示しない。）はバックライトユニットであり、これらが光源となって液晶表示パネルへ光を投射する。液晶パネル、光源、配線基板、FPC 等は、ベゼル 1217 で保持及び保護されている。40

【0271】

このような構造の液晶モジュールとしては、TN (Twisted Nematic) モード、IPS (In-Plane-Switching) モード、MVA (Multi-domain Vertical Alignment) モード、ASM (Axially Symmetric aligned Micro-cell) モード、OCB (Optical Compensated Bend) モード等を適宜適用することができる。

【0272】

図 31 (B) は、カラーフィルタを用いず、カラー表示を行うことが可能なフィールドシーケンシャル方式の駆動方法を用いる液晶モジュールを示す。フィールドシーケンシャル方式の駆動方法は、液晶パネルによって光シャッタを行って、RGB の 3 色のバックラ50

イトを高速で点灯させてカラー表示を行い、人間の目の時間的な分解能力の限界を利用し、連続時間的な加法混色によってカラー表示を実現するものである。バックライトとしては、R（赤）、G（緑）、B（青）の光を発する冷陰極管またはダイオード（LED）を用いることができる。

【0273】

ここでは、いわゆる セル構造を有しており、OCB（Optically Compensated Bend）モードという表示モードを用いる。セル構造とは、液晶分子のプレチルト角がアクティブマトリクス基板と対向基板との基板間の中心面に対して面對称の関係で配向された構造である。セル構造の配向状態は、基板間に電圧が印加されていない時はスプレイ配向となり、電圧を印加するとペンド配向に移行する。さらに電圧を印加するとペンド配向の液晶分子が両基板と垂直に配向し、光が透過する状態となる。なお、OCBモードにすると、従来のTNモードより約10倍速い高速応答性を実現できる。10

【0274】

また、液晶層1204に充填される材料としては、ネマチック液晶、スマチック液晶、強誘電性液晶、又は反強誘電性液晶、若しくはこれらの材料を複数混合した材料を用いることができる。

【0275】

また、OCBモードによる表示においては、液晶パネルを挟持する一対の光学フィルム（偏光板、位相差板など）1206、1207は、リターデーションの視角依存性を3次元的に補償するため、2軸性位相差板を用いることが好ましい。20

【0276】

ここでは、R（赤）、G（緑）、B（青）それぞれに発光するLED1221～1223が反射板1214内に設けられている。また、これらのLEDの発光を制御するコントローラ（図示しない。）が設けられている。フィールドシーケンシャル駆動方法においては、LED点灯期間TR期間、TG期間およびTB期間に、それぞれR、G、BのLEDが順に点灯する。赤のLEDの点灯期間（TR）には、赤に対応したビデオ信号が液晶パネルに供給され、液晶パネルに赤の画像1画面分が書き込まれる。また、緑のLEDの点灯期間（TG）には、緑に対応したビデオデータが液晶パネルに供給され、液晶パネルに緑の画像1画面分が書き込まれる。また、青のLEDの点灯期間（TB）には、青に対応したビデオデータが液晶表示装置に供給され、液晶表示装置に青の画像1画面分が書き込まれる。これらの3回の画像の書き込みにより、1フレームが形成される。30

【0277】

なお、本実施例は実施形態1乃至実施形態18のいずれとも自由に組み合わせて用いることができる。

【実施例8】

【0278】

上記実施例に示される半導体装置又は液晶表示装置を筐体に組み込んだ電子機器として、テレビジョン装置（単にテレビ、又はテレビジョン受信機ともよぶ）、デジタルカメラ、デジタルビデオカメラ、携帯電話装置（単に携帯電話機、携帯電話ともよぶ）、PDA等の携帯情報端末、携帯型ゲーム機、コンピュータ用のモニター、コンピュータ、カーオーディオ等の音響再生装置、家庭用ゲーム機等の記録媒体を備えた画像再生装置等が挙げられる。その具体例について、図32を参照して説明する。40

【0279】

図32(A)に示す携帯情報端末は、本体9201、表示部9202等を含んでいる。表示部9202は、実施形態1～18、及び実施例1～7で示すものを適用することができる。本発明の一である液晶表示装置を用いることにより、高画質な表示が可能な携帯情報端末を安価に提供することができる。

【0280】

図32(B)に示すデジタルビデオカメラは、表示部9701、表示部9702等を含50

んでいる。表示部 9701 及び 9702 は、実施形態 1～18、及び実施例 1～7 で示すものを適用することができる。本発明の一である液晶表示装置を用いることにより、高画質な表示が可能なデジタルビデオカメラを安価に提供することができる。

【0281】

図 32 (C) に示す携帯端末は、本体 9101、表示部 9102 等を含んでいる。表示部 9102 は、実施形態 1～18、及び実施例 1～7 で示すものを適用することができる。本発明の一である液晶表示装置を用いることにより、高画質な表示が可能なデジタルビデオカメラを安価に提供することができる。

【0282】

図 32 (D) に示す携帯型のテレビジョン装置は、本体 9301、表示部 9302 等を含んでいる。表示部 9302 は、実施形態 1～18、及び実施例 1～7 で示すものを適用することができる。本発明の一である液晶表示装置を用いることにより、高画質な表示が可能な携帯型のテレビジョン装置を安価に提供することができる。このようなテレビジョン装置は携帯電話などの携帯端末に搭載する小型のものから、持ち運びをすることができる中型のもの、また、大型のもの（例えば 40 インチ以上）まで、幅広く適用することができる。

【0283】

図 32 (E) に示す携帯型のコンピュータは、本体 9401、表示部 9402 等を含んでいる。表示部 9402 は、実施形態 1～18、及び実施例 1～7 で示すものを適用することができる。本発明の一である液晶表示装置を用いることにより、高画質な表示が可能な携帯型のコンピュータを安価に提供することができる。

【0284】

図 32 (F) に示すテレビジョン装置は、本体 9501、表示部 9502 等を含んでいる。表示部 9502 は、実施形態 1～18、及び実施例 1～7 で示すものを適用することができる。本発明の一である液晶表示装置を用いることにより、高画質な表示が可能なテレビジョン装置を安価に提供することができる。

【0285】

上記に挙げた電子機器において、二次電池を用いているものは、消費電力を削減した分、電子機器の使用時間を長持ちさせることができ、二次電池を充電する頻度を下げることができる。

【0286】

図 33 に示す大型テレビジョンは、本体 9601、表示部 9602 等を含んでいる。また、本体の裏又は上部には、壁掛け用の支持体が設けられている。図 33 では、大型テレビジョンの代表例として、壁掛けテレビジョンを示す。図 33 に示すように壁 9603 にかけて表示することができる。また、鉄道の駅や空港などにおける情報表示板や、街頭における広告表示板など特に大面積の表示媒体として様々な用途に適用することができる。表示部 9602 は、実施形態 1～18、及び実施例 1～7 で示すものを適用することができる。本発明の一である液晶表示装置を用いることにより、高画質な表示が可能な大型テレビジョンを安価に提供することができる。

【図面の簡単な説明】

【0287】

【図 1】本発明に係る液晶表示装置の作製工程を説明する断面図。

【図 2】本発明に係る液晶表示装置の構造を説明する平面図及び断面図。

【図 3】本発明に係る液晶表示装置の構造を説明する断面図。

【図 4】本発明に係る液晶表示装置の構造を説明する平面図及び断面図。

【図 5】本発明に係る液晶表示装置の構造を説明する平面図及び断面図。

【図 6】本発明に係る液晶表示装置の構造を説明する平面図及び断面図。

【図 7】本発明に係る液晶表示装置の構造を説明する平面図及び断面図。

【図 8】本発明に係る液晶表示装置の構造を説明する平面図及び断面図。

【図 9】本発明に係る液晶表示装置の作製工程を説明する断面図。

10

20

30

40

50

【図10】本発明に係る液晶表示装置の作製工程を説明する断面図。

【図11】本発明に係る液晶表示装置の作製工程を説明する断面図。

【図12】本発明に係る液晶表示装置の作製工程を説明する断面図。

【図13】本発明に係る液晶表示装置の作製工程を説明する断面図。

【図14】本発明に係る液晶表示装置の構造を説明する断面図。

【図15】本発明に係る液晶表示装置の構造を説明する断面図。

【図16】本発明に係る液晶表示装置の不純物濃度を説明する断面図。

【図17】本発明に係る液晶表示装置の不純物濃度を説明する断面図。

【図18】本発明に係る液晶表示装置の構造を説明する断面図。

【図19】本発明に係る液晶表示装置の構造を説明する断面図。 10

【図20】本発明に係る液晶表示装置の作製工程を説明する断面図。

【図21】本発明に係る液晶表示装置の作製工程を説明する断面図。

【図22】本発明に係る液晶表示装置の作製工程を説明する段面図。

【図23】本発明に係る液晶表示装置の作製工程を説明する段面図。

【図24】本発明に係る液晶表示装置の作製工程を説明する段面図。

【図25】本発明に係る液晶表示装置の作製工程を説明する段面図。

【図26】本発明に係る液晶表示装置の作製工程を説明する段面図。

【図27】本発明に係る液晶表示装置の駆動回路の接続を説明する平面図。

【図28】本発明に係る液晶表示装置の駆動回路の接続を説明する平面図。

【図29】本発明に係る液晶表示パネルの構成を説明する平面図及び断面図。 20

【図30】本発明に係る液晶表示装置の駆動回路の実装方法を説明する平面図。

【図31】本発明に係る液晶表示モジュールの構成を説明する図。

【図32】電子機器の一例を説明する図。

【図33】電子機器の一例を説明する図。

【図34】本発明に係る液晶表示装置の構造を説明する平面図及び断面図。

【図35】本発明に係る液晶表示装置の作製工程を説明する段面図。

【図36】保護回路を説明する回路図。

【図37】本発明に係る液晶表示装置の作製工程を説明する断面図。

【符号の説明】

【0288】

101 基板

102 第1の導電膜

103 感光性材料

111 第1のマスク

112 第1のマスク

121a 第2の導電膜(ゲート電極)

122a 第2の導電膜(ゲート電極の接続部)

123 第1の絶縁膜

124 第1の半導体膜

125 触媒元素を有する層

132 第2の半導体膜

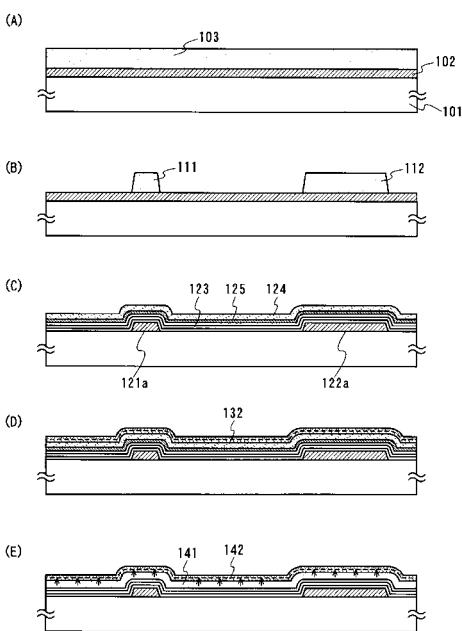
141 第1の結晶性半導体膜

142 第2の結晶性半導体膜

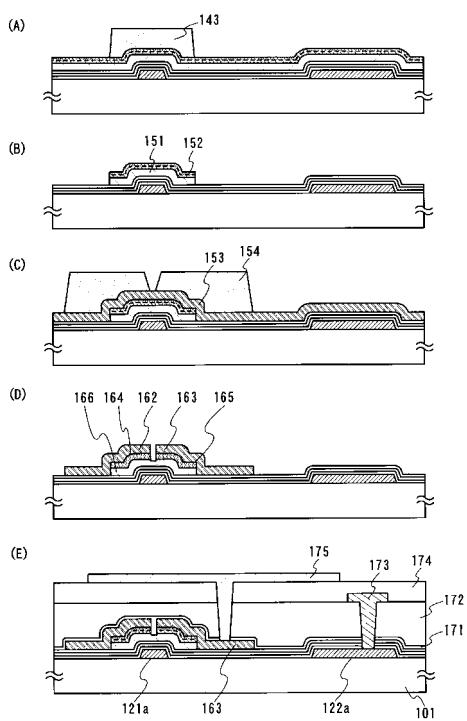
30

40

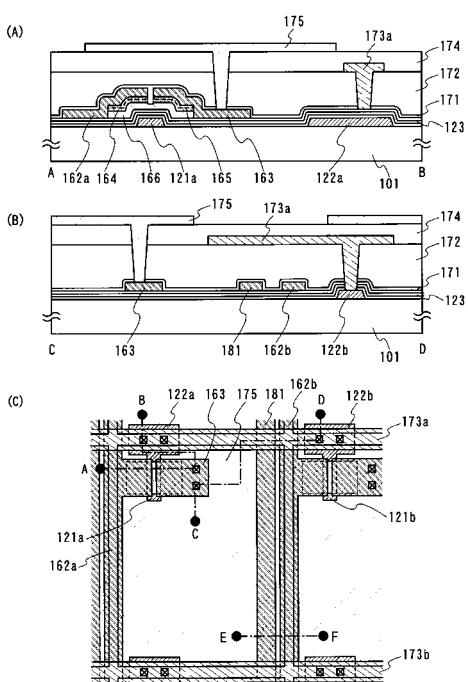
【図1】



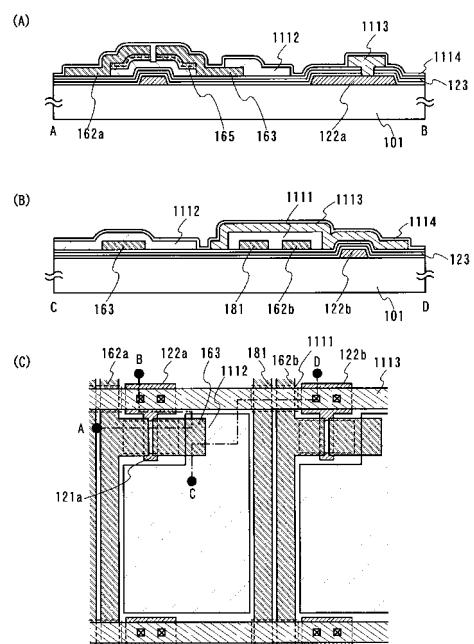
【図2】



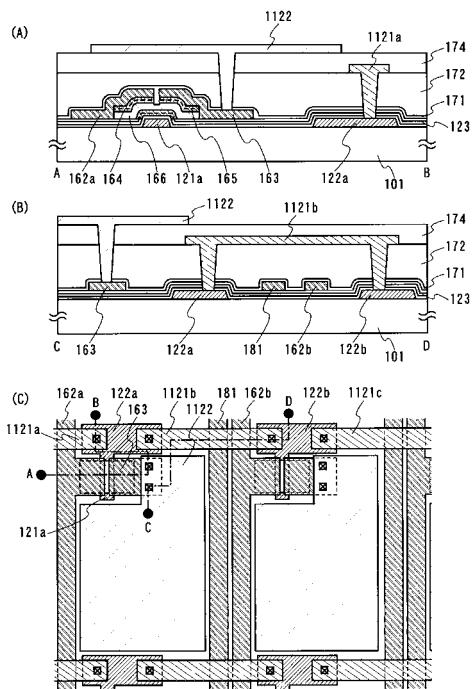
【図3】



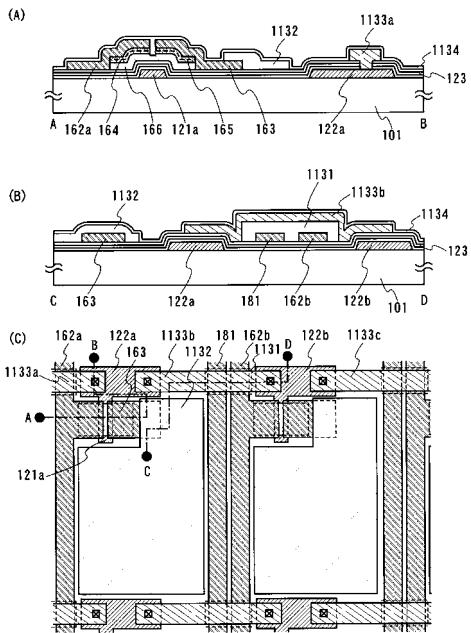
【図4】



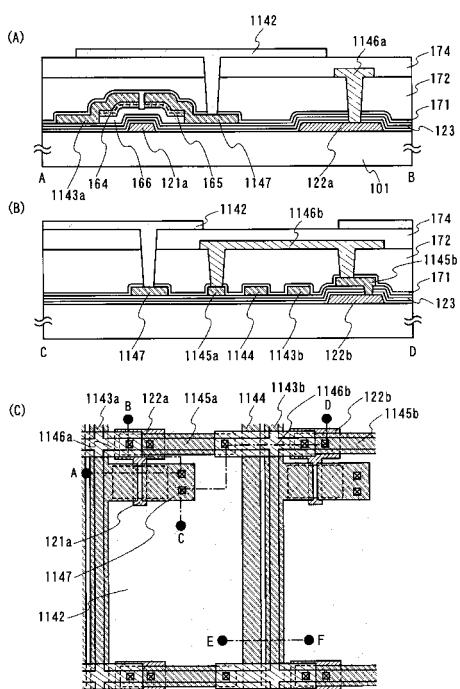
【図5】



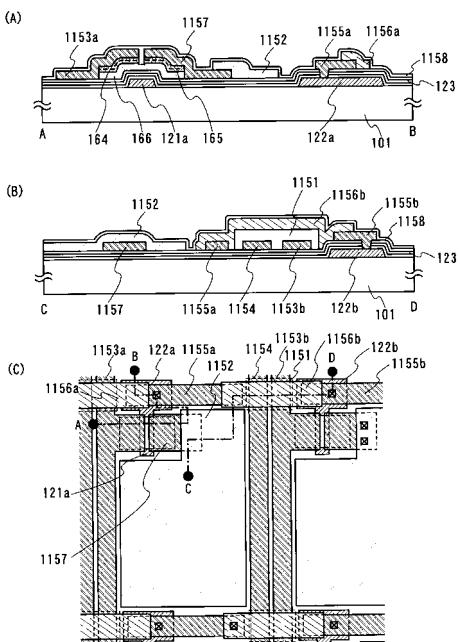
【図6】



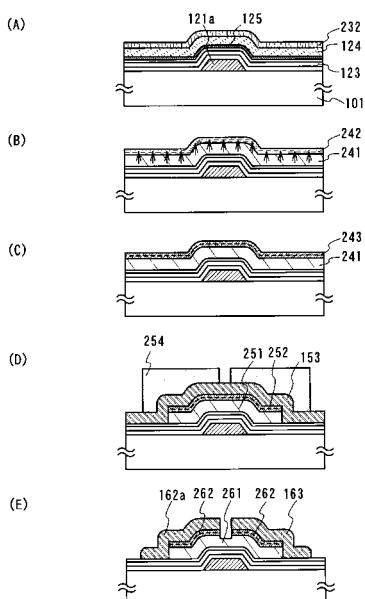
【図7】



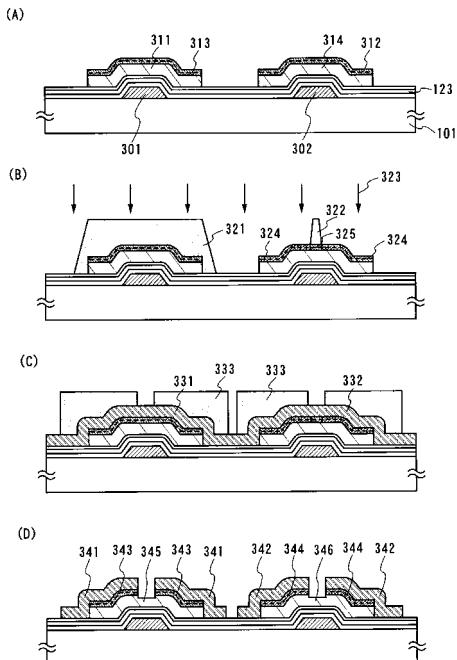
【図8】



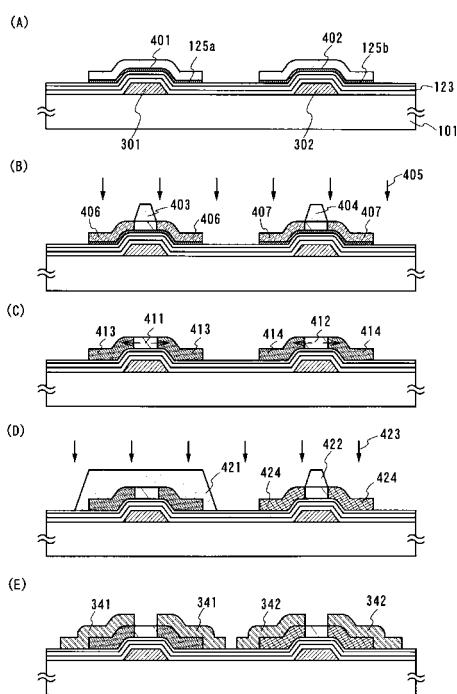
【図9】



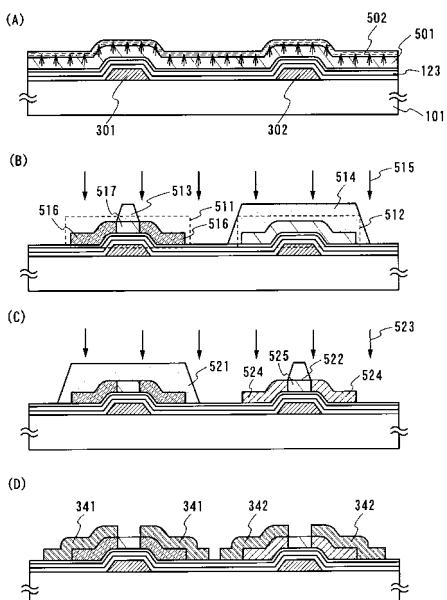
【図10】



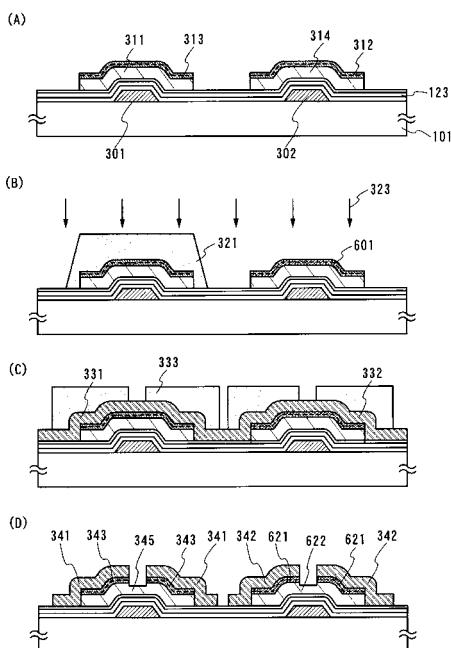
【図11】



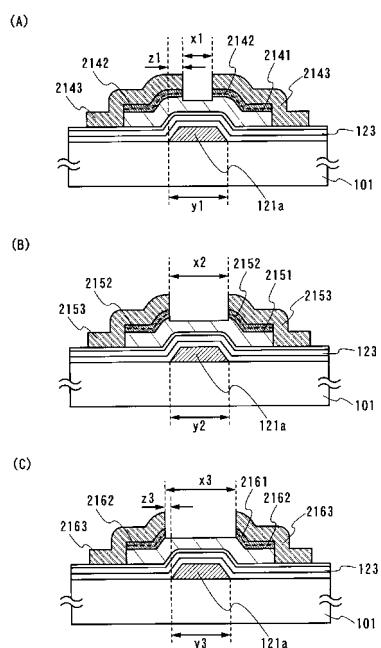
【図12】



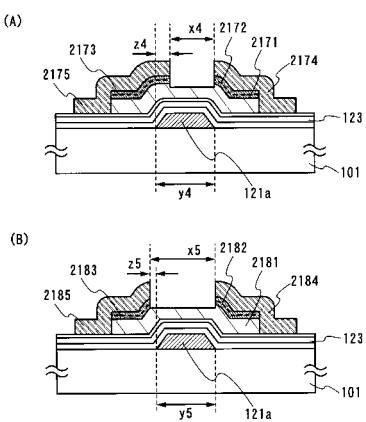
【図13】



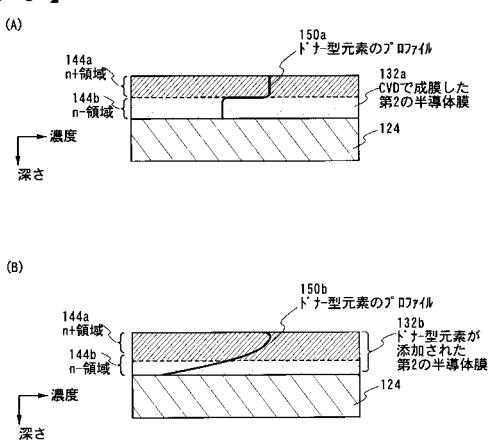
【図14】



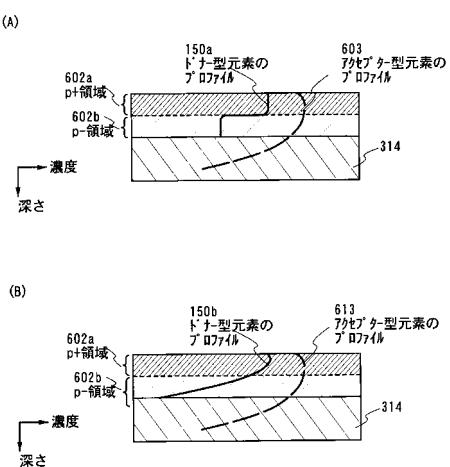
【図15】



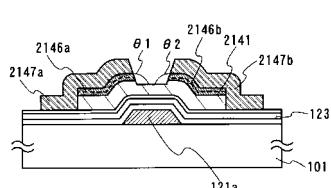
【図16】



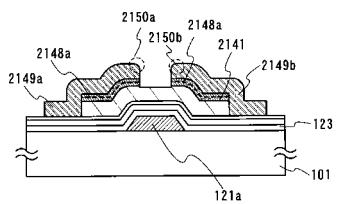
【図17】



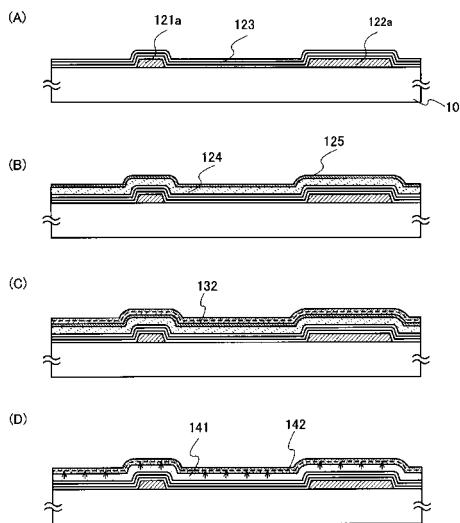
【図18】



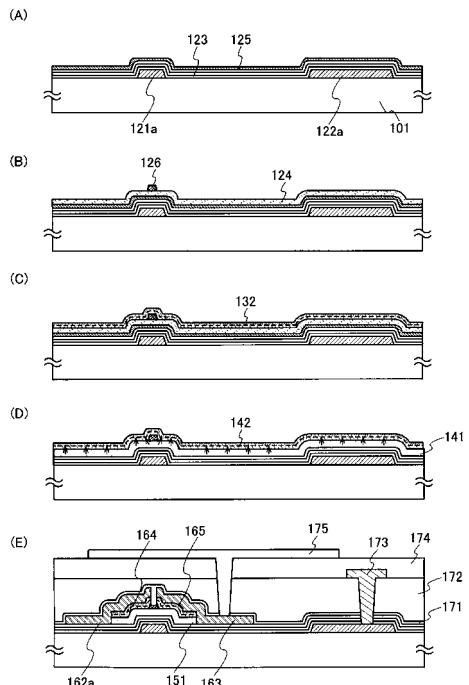
【図19】



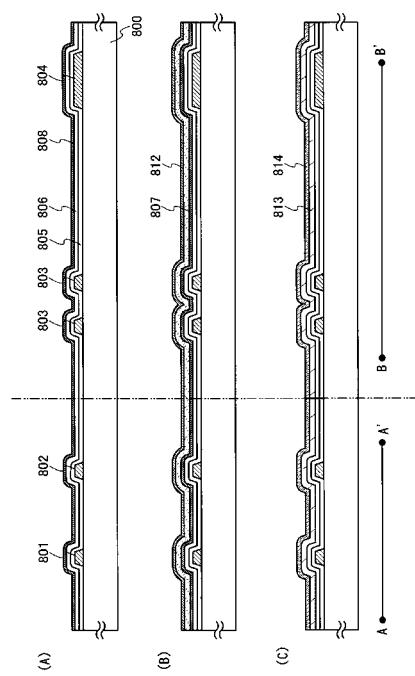
【図20】



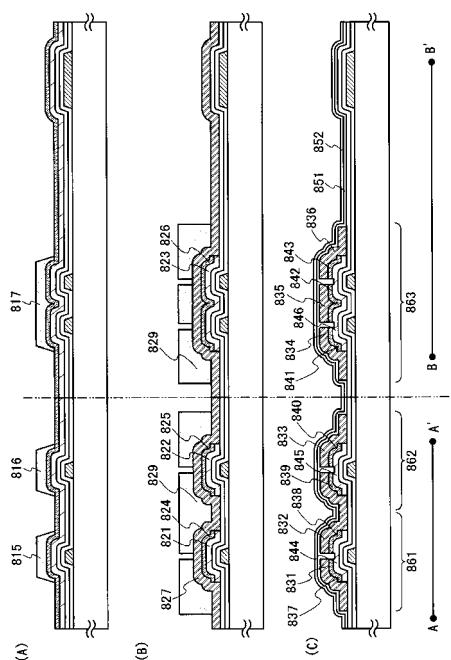
【図21】



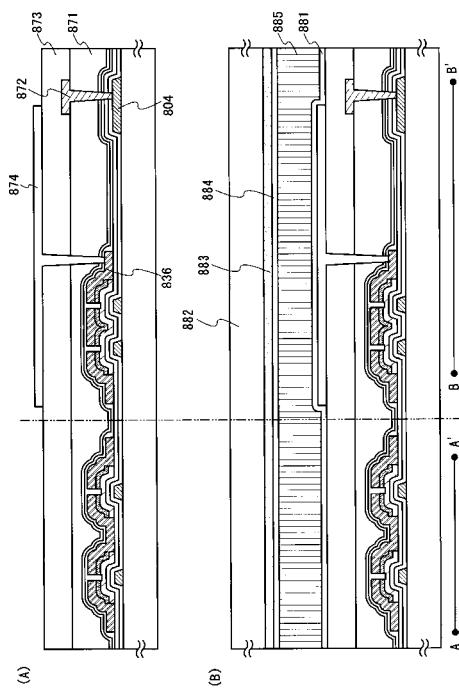
【図22】



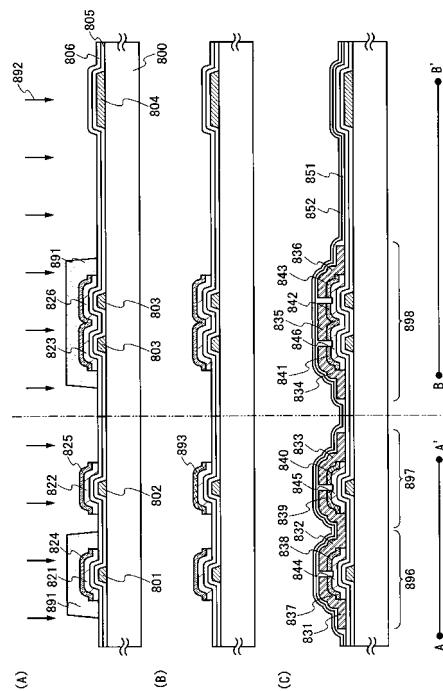
【図23】



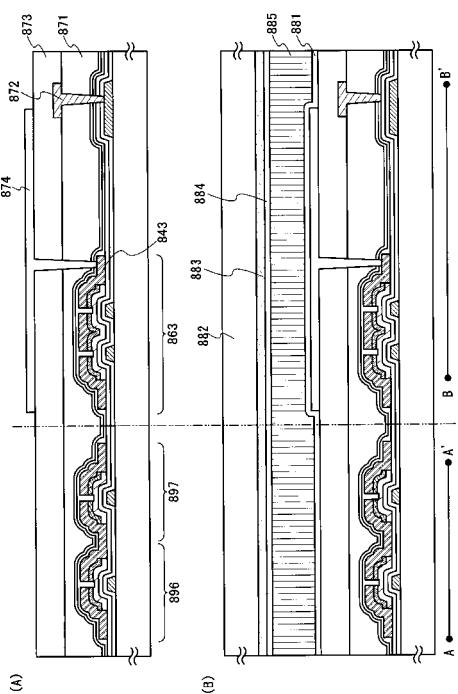
【図24】



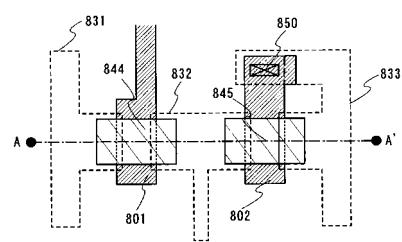
【図25】



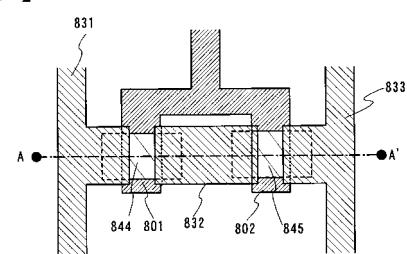
【図26】



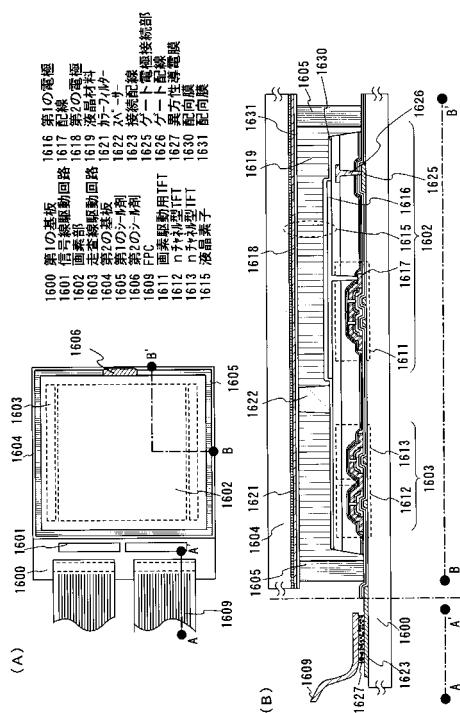
【図27】



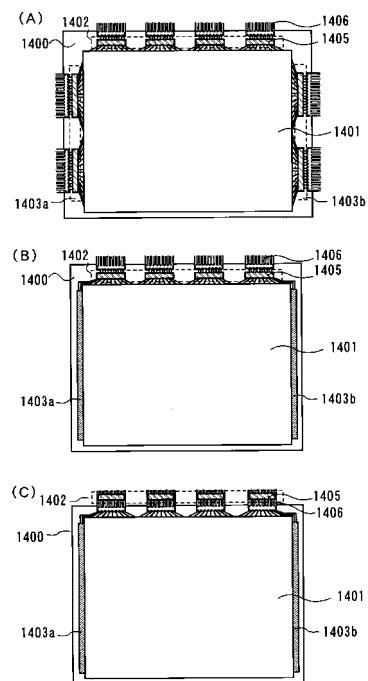
【図28】



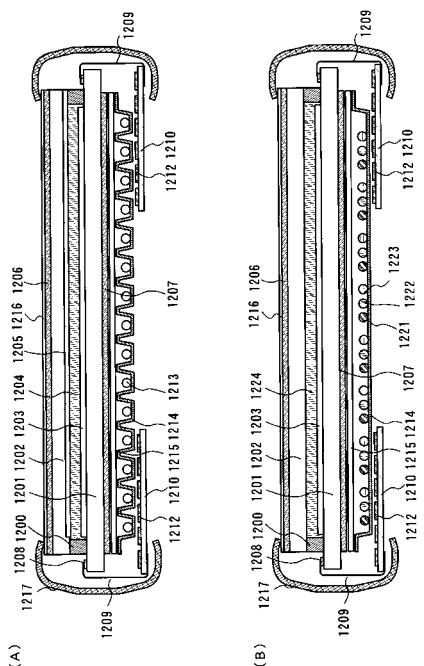
【図29】



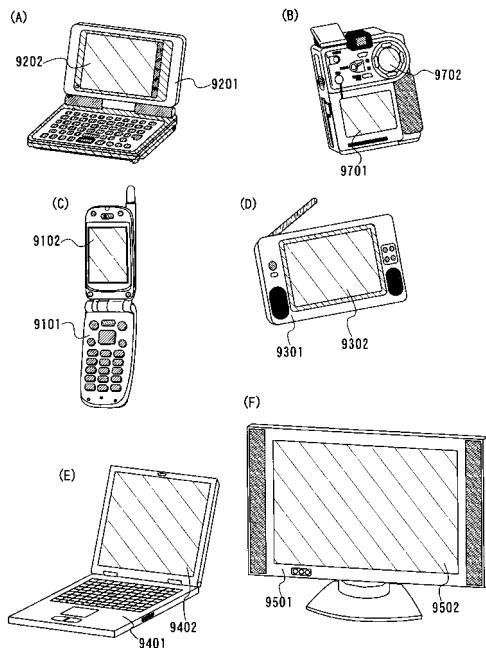
【図30】



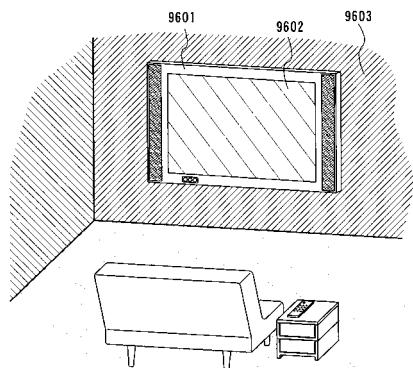
【図31】



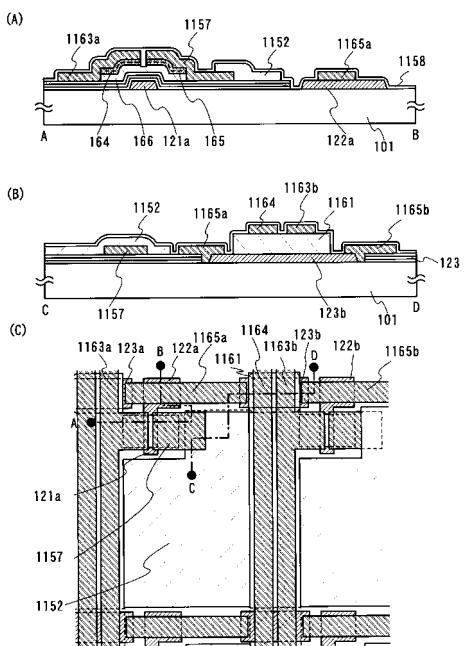
【図32】



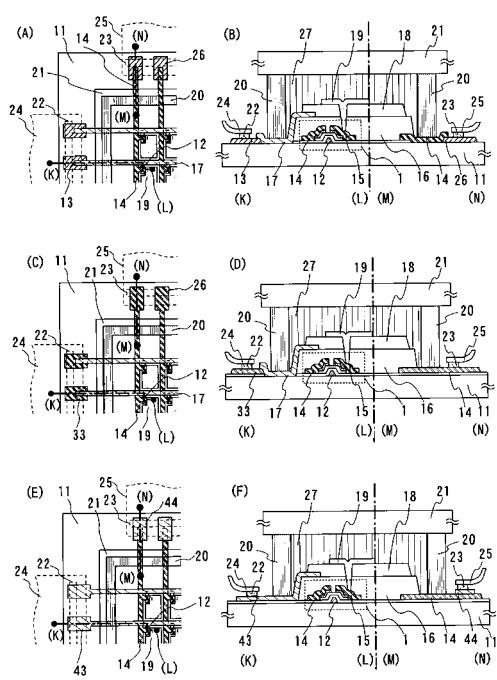
【図33】



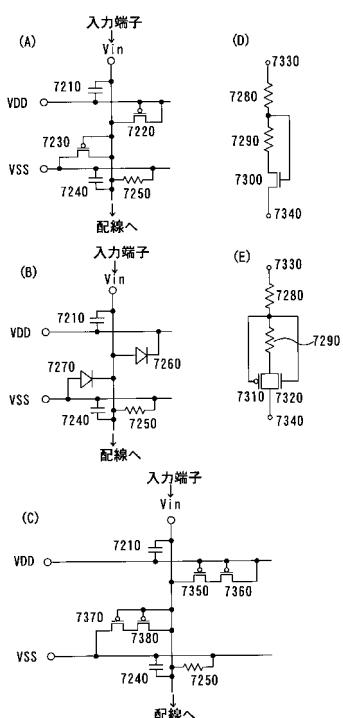
【図34】



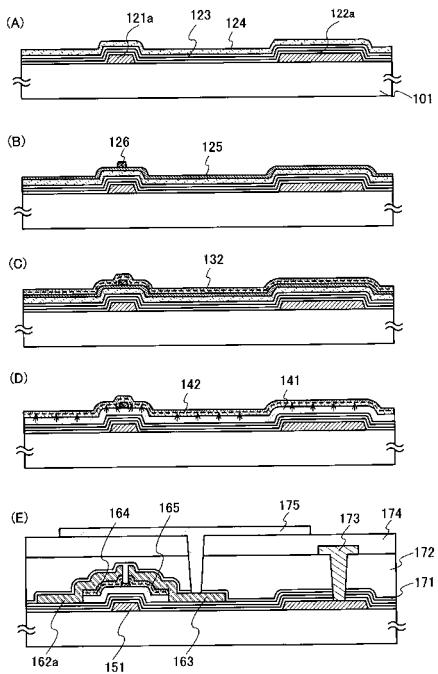
【図35】



【図36】



【図37】



フロントページの続き

(56)参考文献 特開2002-124683(JP,A)
特開平08-330602(JP,A)
特開2004-241770(JP,A)
特開平11-177104(JP,A)
特開2002-324808(JP,A)
特開2000-353666(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/336
H01L 29/786
H01L 21/20
H01L 21/322