

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成29年12月28日(2017.12.28)

【公表番号】特表2017-503403(P2017-503403A)

【公表日】平成29年1月26日(2017.1.26)

【年通号数】公開・登録公報2017-004

【出願番号】特願2016-538569(P2016-538569)

【国際特許分類】

H 04 N 19/52 (2014.01)

H 04 N 19/597 (2014.01)

H 04 N 19/70 (2014.01)

【F I】

H 04 N 19/52

H 04 N 19/597

H 04 N 19/70

【手続補正書】

【提出日】平成29年11月16日(2017.11.16)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

深度ブロックを復号する方法であって、

深度予測ユニット(深度PU)における動きパラメータ継承(MPI)についてのサブ予測ユニット(サブPU)のサイズを示すシンタックス要素を受信することと、ここにおいて、前記深度PUは1つまたは複数のサブPUを備え、各サブPUは、前記シンタックス要素によって示される前記サイズに等しいサイズを有し、別個の動き情報が、各サブPUについて、前記それぞれのサブPUにコロケートされたテクスチャブロックから継承され得る。

サブPU MPIモードに基づくMPIマージまたはスキップ候補が動き予測に利用され得ることを示すインデックス値を受信すると、前記サブPUの各々とコロケートされた対応するテクスチャブロックに少なくとも部分的に基づいて、前記深度ブロックの前記サブPUの各々について動き情報を継承することと、

を備える方法。

【請求項2】

深度ブロックを符号化する方法であって、

深度予測ユニット(深度PU)における動きパラメータ継承(MPI)についてのサブ予測ユニット(サブPU)のサイズを決定することと、ここにおいて、前記深度PUは1つまたは複数のサブPUを備え、各サブPUは等しいサイズを有し、別個の動き情報が、各サブPUについて、前記それぞれのサブPUにコロケートされたテクスチャブロックから継承され得る、

前記サブPUの各々とコロケートされたテクスチャブロックに対応するMPIに少なくとも部分的に基づいて、前記深度ブロックの各サブPUを符号化することと、

前記深度PUにおけるMPIに関する各サブPUの前記サイズを示すシンタックス要素を生成することと、

を備える方法。

【請求項3】

前記シンタックス要素はシーケンスパラメータセット(S P S)において受信される、
請求項1または請求項2に記載の方法。

【請求項4】

前記深度ブロックは複数の深度P Uを含み、前記深度ブロックはアクセスユニットにおける複数の深度ブロックのうちの1つであり、前記シンタックス要素は、前記アクセスユニットにおける各それぞれの深度ブロックにおいて各深度P Uの各サブP UについてのM P Iサイズをさらに示す、請求項3に記載の方法。

【請求項5】

前記サブP Uの各々とコロケートされた対応するテクスチャブロックに少なくとも部分的に基づいて、各サブP Uについて動き情報を継承することは、

前記深度P Uが深度P Uの第1のセットにあると決定することと、ここにおいて、深度P Uの前記第1のセットにおける各深度P Uは、1のビット単位左シフトの後、3と前記シンタックス要素の値との合計の2乗よりも小さいサイズを有する、

前記サブP Uの各々とコロケートされた対応するテクスチャブロックに少なくとも部分的に基づいて、前記深度P Uにおける各サブP Uについて動き情報を継承することと、を備える、請求項1に従属するときの請求項4に記載の方法。

【請求項6】

前記サブP Uの各々とコロケートされたテクスチャブロックに対応するM P Iに少なくとも部分的に基づいて、前記サブP Uを符号化することは、

前記深度P Uが深度P Uの第1のセットにあると決定することと、ここにおいて、深度P Uの前記第1のセットにおける各深度P Uは、1のビット単位左シフトの後、3と前記シンタックス要素の値との合計の2乗よりも小さいサイズを有する、

前記サブP Uの各々とコロケートされたテクスチャブロックに対応するM P Iに少なくとも部分的に基づいて、前記深度P Uにおける各サブP Uを符号化することと、を備える、請求項2に従属するときの請求項4に記載の方法。

【請求項7】

前記深度P Uは第1の深度P Uであり、前記方法は、

第2の深度P Uが深度P Uの第2のセットにあると決定することと、ここにおいて、深度P Uの前記第2のセットにおける各深度P Uは、1のビット単位左シフトの後、3と前記シンタックス要素の前記値との前記合計の2乗よりも大きいかまたはそれに等しいサイズを有する、

それぞれ、前記M P Iサイズに基づかず、前記第2の深度P Uの各サブP UについてM P Iを継承すること、または、前記M P Iサイズに基づかず、M P Iを使用して前記第2の深度P Uの各サブP Uを符号化すること、

をさらに備える、請求項5または請求項6に記載の方法。

【請求項8】

前記シンタックス要素の値は、1よりも大きいかまたはそれに等しく、前記方法は、

アクセスユニットにおける各テクスチャブロックをそれぞれ復号または符号化することと、ここにおいて、前記アクセスユニットは前記深度ブロックを含む、

各テクスチャブロック上の 16×16 ブロックに対して動き圧縮を実施することと、をさらに備える、請求項1または請求項2に記載の方法。

【請求項9】

前記アクセスユニットにおける各テクスチャブロックは、前記アクセスユニットにおける対応するコロケートされた深度ブロックに対して、独立してコーディングされ、各テクスチャブロックは、前記アクセスユニットにおける前記深度ブロックのうちのいずれを復号するよりも前に復号され、前記アクセスユニットにおける前記深度ブロックの各々を復号した後、動き圧縮が実施される、請求項1に従属するときの請求項8に記載の方法。

【請求項10】

前記シンタックス要素は、両端値を含む0～3の範囲を有し、

前記シンタックス要素の値が0であるとき、前記方法は、
前記M P Iサイズが8×8であると決定することをさらに備える、
請求項1または請求項2に記載の方法。

【請求項11】

前記コロケートされたテクスチャブロックが2つのP Uを含むかどうかを決定することと、

前記コロケートされたテクスチャブロックが2つのP Uを含むと決定することに応答して、

前記コロケートされたテクスチャブロックにおける各P Uのサイズが4×8または8×4であるかどうかを決定することと、

各パーティションのサイズが、前記コロケートされたテクスチャブロックにおける各P Uの前記サイズに等しくなるように、前記サブP Uを2つより小さいユニットにパーティション分割することと、

前記2つより小さいユニットの各々に対して単方向動き補償を適用することと、
をさらに備える、請求項10に記載の方法。

【請求項12】

前記サブP Uを復号することは、RefPicList0に対応する2つの動きベクトルを継承することを備える、請求項11に記載の方法。

【請求項13】

深度ブロックを復号するためのデバイスであって、

前記深度ブロックと関連付けられたデータを記憶するように構成されたメモリと、
1つまたは複数のプロセッサであって、

深度予測ユニット(深度P U)における動きパラメータ継承(M P I)についてのサブ予測ユニット(サブP U)のサイズを示すシンタックス要素を受信することと、ここにおいて、前記深度P Uは1つまたは複数のサブP Uを備え、各サブP Uは、前記シンタックス要素によって示される前記サイズに等しいサイズを有し、別個の動き情報が、各サブP Uについて、前記それぞれのサブP Uにコロケートされたテクスチャブロックから継承され得る、

サブP U M P Iモードに基づくM P Iマージまたはスキップ候補が動き予測に利用され得ることを示すインデックス値を受信すると、前記サブP Uの各々とコロケートされた対応するテクスチャブロックに少なくとも部分的に基づいて、前記深度ブロックの前記サブP Uの各々について動き情報を継承することと、

を行うように構成された1つまたは複数のプロセッサと、
を備えるデバイス。

【請求項14】

深度ブロックを符号化するためのデバイスであって、

前記深度ブロックと関連付けられたデータを記憶するように構成されたメモリと、
1つまたは複数のプロセッサであって、

深度予測ユニット(深度P U)における動きパラメータ継承(M P I)についてのサブ予測ユニット(サブP U)のサイズを決定することと、ここにおいて、前記深度P Uは1つまたは複数のサブP Uを備え、各サブP Uは等しいサイズを有し、別個の動き情報が、各サブP Uについて、前記それぞれのサブP Uにコロケートされたテクスチャブロックから継承され得る、

前記サブP Uの各々とコロケートされたテクスチャブロックに対応するM P Iに少なくとも部分的に基づいて、前記深度ブロックの各サブP Uを符号化することと、

前記深度P UにおけるM P Iに関する各サブP Uの前記サイズを示すシンタックス要素を生成することと、

を行うように構成された1つまたは複数のプロセッサと、
を備えるデバイス。

【請求項15】

処理ユニットによって実行されると、請求項1～請求項13のいずれか一項に記載の方法を実行する命令を記憶するコンピュータ可読記憶媒体。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0158

【補正方法】変更

【補正の内容】

【0158】

[0168]本開示の様々な例について説明した。説明したシステム、動作、または機能の任意の組合せが企図される。これらおよび他の例は、以下の特許請求の範囲の範囲内に入る。

以下に本願の出願当初の特許請求の範囲に記載された発明を付記する。

[C1] 深度ブロックを復号する方法であって、

深度予測ユニット(深度PU)における動きパラメータ継承(MPI)についてのサブ予測ユニット(サブPU)のサイズを示すシンタックス要素を受信することと、ここにおいて、前記深度PUは1つまたは複数のサブPUを備え、各サブPUは、前記シンタックス要素によって示される前記サイズに等しいサイズを有し、別個の動き情報が、各サブPUについて、前記それぞれのサブPUにコロケートされたテクスチャブロックから継承され得る、

サブPU MPIモードを示すインデックス値を受信すると、前記サブPUの各々とコロケートされた対応するテクスチャブロックに少なくとも部分的に基づいて、前記深度ブロックの前記サブPUの各々についてMPIを継承することと、

を備える方法。

[C2] 前記シンタックス要素はシーケンスパラメータセット(SPS)において受信される、C1に記載の方法。

[C3] 前記深度ブロックは複数の深度PUを含み、前記深度ブロックはアクセスユニットにおける複数の深度ブロックのうちの1つであり、前記シンタックス要素は、前記アクセスユニットにおける各それぞれの深度ブロックにおいて各深度PUの各サブPUについてのMPIサイズをさらに示す、C2に記載の方法。

[C4] 前記サブPUの各々とコロケートされた対応するテクスチャブロックに少なくとも部分的に基づいて、各サブPUについてMPIを継承することは、

前記深度PUが深度PUの第1のセットにあると決定することと、ここにおいて、深度PUの前記第1のセットにおける各深度PUは、1のビット単位左シフトの後、3と前記シンタックス要素の値との合計の2乗よりも小さいサイズを有する、

前記サブPUの各々とコロケートされた対応するテクスチャブロックに少なくも部分的に基づいて、前記深度PUにおける各サブPUについてMPIを継承することと、を備える、C3に記載の方法。

[C5] 前記深度PUは第1の深度PUであり、前記方法は、

第2の深度PUが深度PUの第2のセットにあると決定することと、ここにおいて、深度PUの前記第2のセットにおける各深度PUは、1のビット単位左シフトの後、3と前記シンタックス要素の前記値との前記合計の2乗よりも大きいかまたはそれに等しいサイズを有する、

前記MPIサイズに基づかず、前記第2の深度PUの各サブPUについてMPIを継承することと、

をさらに備える、C4に記載の方法。

[C6] 前記シンタックス要素の値は、1よりも大きいかまたはそれに等しく、前記方法は、

アクセスユニットにおける各テクスチャブロックを復号することと、ここにおいて、前記アクセスユニットは前記深度ブロックを含む、

各テクスチャブロック上の16×16ブロックに対して動き圧縮を実施することと、

をさらに備える、C 1に記載の方法。

[C 7] 前記アクセスユニットにおける各テクスチャブロックは、前記アクセスユニットにおける対応するコロケートされた深度ブロックに対して、独立してコーディングされ、各テクスチャブロックは、前記アクセスユニットにおける前記深度ブロックのうちのいずれを復号するよりも前に復号され、前記アクセスユニットにおける前記深度ブロックの各々を復号した後、動き圧縮が実施される、C 6に記載の方法。

[C 8] 前記シンタックス要素の値は0であり、前記方法は、

前記MPIサイズが8×8であると決定することをさらに備える、

C 1に記載の方法。

[C 9] 前記コロケートされたテクスチャブロックが2つのPUを含むかどうかを決定することと、

前記コロケートされたテクスチャブロックが2つのPUを含むと決定することに応答して、

前記コロケートされたテクスチャブロックにおける各PUのサイズが4×8または8×4であるかどうかを決定することと、

各パーティションのサイズが、前記コロケートされたテクスチャブロックにおける各PUの前記サイズに等しくなるように、前記サブPUを2つより小さいユニットにパーティション分割することと、

前記2つより小さいユニットの各々に対して单方向動き補償を適用することと、をさらに備える、C 8に記載の方法。

[C 10] 前記サブPUを復号することは、RefPicList0に対応する2つの動きベクトルを継承することを備える、C 9に記載の方法。

[C 11] 前記シンタックス要素は、両端値を含む0～3の範囲を有する、C 1に記載の方法。

[C 12] 深度ブロックを復号するためのデバイスであって、

前記深度ブロックと関連付けられたデータを記憶するように構成されたメモリと、1つまたは複数のプロセッサであって、

深度予測ユニット（深度PU）における動きパラメータ継承（MPI）についてのサブ予測ユニット（サブPU）のサイズを示すシンタックス要素を受信することと、ここにおいて、前記深度PUは1つまたは複数のサブPUを備え、各サブPUは、前記シンタックス要素によって示される前記サイズに等しいサイズを有し、別個の動き情報が、各サブPUについて、前記それぞれのサブPUにコロケートされたテクスチャブロックから継承され得る、

サブPU MPIモードを示すインデックス値を受信すると、前記サブPUの各々とコロケートされた対応するテクスチャブロックに少なくとも部分的に基づいて、前記深度ブロックの前記サブPUの各々についてMPIを継承することと

を行うように構成された1つまたは複数のプロセッサと、を備えるデバイス。

[C 13] 前記シンタックス要素はシーケンスパラメータセット（SPS）において受信され、

前記深度ブロックは複数の深度PUを含み、

前記深度ブロックは、アクセスユニットにおける複数の深度ブロックのうちの1つであり、

前記シンタックス要素は、前記アクセスユニットにおける各それぞれの深度ブロックにおいて各深度PUの各サブPUに関するMPIサイズをさらに示し、

前記深度PUは第1の深度PUであり、

前記MPIサイズに少なくとも部分的に基づいて前記サブPUを復号するように構成された前記1つまたは複数のプロセッサは、

前記第1の深度PUが深度PUの第1のセットにあると決定することと、ここにおいて、深度PUの前記第1のセットにおける各深度PUは、1のビット単位左シフトの後、

3と前記シンタックス要素の値との合計の2乗よりも小さいサイズを有する、

前記MPIサイズに少なくとも部分的に基づいて、前記第1の深度PUにおける各サブPUを復号することと、

を行うように構成された1つまたは複数のプロセッサを備え、

ここにおいて、前記1つまたは複数のプロセッサは、

第2の深度PUが深度PUの第2のセットにあると決定することと、ここにおいて、深度PUの前記第2のセットにおける各深度PUは、1のビット単位左シフトの後、3と前記シンタックス要素の前記値との前記合計の2乗よりも大きいかまたはそれに等しいサイズを有する、

前記MPIサイズに基づかずに、MPIを使用して前記第2の深度PUの各サブPUを復号することと、

を行うようにさらに構成される、C12に記載のデバイス。

[C14] 前記シンタックス要素の値は、1よりも大きいかまたはそれに等しく、前記1つまたは複数のプロセッサは、

アクセスユニットにおける各テクスチャブロックを復号することと、ここにおいて、前記アクセスユニットは前記深度ブロックを含む、

各テクスチャブロック上の 16×16 ブロックに対して動き圧縮を実施することと、

を行うようにさらに構成される、C12に記載のデバイス。

[C15] 前記アクセスユニットにおける各テクスチャブロックは、前記アクセスユニットにおける対応するコロケートされた深度ブロックに対して、独立してコーディングされ、各テクスチャブロックは、前記アクセスユニットにおける前記深度ブロックのうちのいずれを復号するよりも前に復号され、前記アクセスユニットにおける前記深度ブロックの各々を復号した後、動き圧縮が実施される、C14に記載のデバイス。

[C16] 深度ブロックを符号化する方法であって、

深度予測ユニット(深度PU)における動きパラメータ継承(MPI)についてのサブ予測ユニット(サブPU)のサイズを決定することと、ここにおいて、前記深度PUは1つまたは複数のサブPUを備え、各サブPUは等しいサイズを有し、別個の動き情報が、前記それぞれのサブPUにコロケートされたテクスチャブロックから、各サブPUについて継承され得る、

前記サブPUの各々とコロケートされたテクスチャブロックに対応するMPIに少なくも部分的に基づいて、前記深度ブロックの各サブPUを符号化することと、

前記深度PUにおけるMPIに関する各サブPUの前記サイズを示すシンタックス要素を生成することと、

を備える方法。

[C17] 前記シンタックス要素はシーケンスパラメータセット(SPS)において生成される、C16に記載の方法。

[C18] 前記深度ブロックは複数の深度PUを含み、前記深度ブロックはアクセスユニットにおける複数の深度ブロックのうちの1つであり、前記シンタックス要素は、前記アクセスユニットにおける各それぞれの深度ブロックにおいて各深度PUの各サブPUについてのMPIサイズをさらに示す、C17に記載の方法。

[C19] 前記サブPUの各々とコロケートされたテクスチャブロックに対応するMPIに少なくとも部分的に基づいて前記サブPUを符号化することは、

前記深度PUが深度PUの第1のセットにあると決定することと、ここにおいて、深度PUの前記第1のセットにおける各深度PUは、1のビット単位左シフトの後、3と前記シンタックス要素の値との合計の2乗よりも小さいサイズを有する、

前記サブPUの各々とコロケートされたテクスチャブロックに対応するMPIに少なくも部分的に基づいて、前記深度PUにおける各サブPUを符号化することと、

を備える、C18に記載の方法。

[C20] 前記深度PUは第1の深度PUであり、前記方法は、

第2の深度PUが深度PUの第2のセットにあると決定することと、ここにおいて、

深度 P U の前記第 2 のセットにおける各深度 P U は、1 のビット単位左シフトの後、3 と前記シンタックス要素の前記値との前記合計の 2 乗よりも大きいかまたはそれに等しいサイズを有する。

前記 M P I サイズに基づかず、M P I を使用して前記第 2 の深度 P U の各サブ P U を符号化することと、

をさらに備える、C 1 9 に記載の方法。

[C 2 1] 前記シンタックス要素の値は、1 よりも大きいかまたはそれに等しく、前記方法は、

アクセスユニットにおける各テクスチャブロックを符号化することと、ここにおいて、前記アクセスユニットは前記深度ブロックを含む、

各テクスチャブロック上の 16×16 ブロックに対して動き圧縮を実施することと、をさらに備える、C 1 6 に記載の方法。

[C 2 2] 前記アクセスユニットにおける各テクスチャブロックは、前記アクセスユニットにおける対応するコロケートされた深度ブロックに対して、独立してコーディングされ、各テクスチャブロックは、前記アクセスユニットにおける前記深度ブロックのうちのいずれを符号化するよりも前に符号化され、前記アクセスユニットにおける前記深度ブロックの各々を符号化する前に、動き圧縮が実施される、C 2 1 に記載の方法。

[C 2 3] 前記シンタックス要素の値は 0 であり、前記方法は、

前記 M P I サイズが 8×8 であると決定することをさらに備える、C 1 6 に記載の方法。

[C 2 4] 前記コロケートされたテクスチャブロックが 2 つの P U を含むかどうかを決定することと、

前記コロケートされたテクスチャブロックが 2 つの P U を含むと決定することに応じて、

前記コロケートされたテクスチャブロックにおける各 P U のサイズは 4×8 または 8×4 であるかどうかを決定することと、

各パーティションのサイズが、前記コロケートされたテクスチャブロックにおける各 P U の前記サイズに等しくなるように、前記サブ P U を 2 つより小さいユニットにパーティション分割することと、

前記 2 つより小さいユニットの各々に対して单方向動き補償を適用することと、をさらに備える、C 2 3 に記載の方法。

[C 2 5] 前記サブ P U を符号化することは、R e f P i c L i s t 0 に対応する 2 つの動きベクトルを継承することを備える、C 2 4 に記載の方法。

[C 2 6] 前記シンタックス要素は、両端値を含む 0 ~ 3 の範囲を有する、C 1 6 に記載の方法。

[C 2 7] 深度ブロックを符号化するためのデバイスであって、

前記深度ブロックと関連付けられたデータを記憶するように構成されたメモリと、1 つまたは複数のプロセッサであって、

深度予測ユニット（深度 P U ）における動きパラメータ継承（M P I ）についてのサブ予測ユニット（サブ P U ）のサイズを決定することと、ここにおいて、前記深度 P U は 1 つまたは複数のサブ P U を備え、各サブ P U は等しいサイズを有し、別個の動き情報が、前記それぞれのサブ P U にコロケートされたテクスチャブロックから、各サブ P U について継承され得る、

前記サブ P U の各々とコロケートされたテクスチャブロックに対応する M P I に少なくも部分的に基づいて、前記深度ブロックの各サブ P U を符号化することと、

前記深度 P U における M P I に関する各サブ P U の前記サイズを示すシンタックス要素を生成することと

を行なうように構成された 1 つまたは複数のプロセッサと、を備えるデバイス。

[C 2 8] 前記シンタックス要素はシーケンスパラメータセット（S P S ）において生成

され、

前記深度ブロックは複数の深度PUを含み、

前記深度ブロックは、アクセスユニットにおける複数の深度ブロックのうちの1つであり、

前記シンタックス要素は、前記アクセスユニットにおける各それぞれの深度ブロックにおいて各深度PUの各サブPUに関するMPIサイズをさらに示し、

前記深度PUは第1の深度PUであり、

前記MPIサイズに少なくとも部分的に基づいて前記サブPUを符号化するように構成された前記1つまたは複数のプロセッサは、

前記第1の深度PUが深度PUの第1のセットにあると決定することと、深度PUの前記第1のセットにおける各深度PUは、1のビット単位左シフトの後、3と前記シンタックス要素の値との合計の2乗よりも小さいサイズを有する、

前記MPIサイズに少なくとも部分的に基づいて、前記第1の深度PUにおける各サブPUを符号化することと、

を行うように構成された1つまたは複数のプロセッサを備え、

ここにおいて、前記1つまたは複数のプロセッサは、

第2の深度PUが深度PUの第2のセットにあると決定することと、ここにおいて、深度PUの前記第2のセットにおける各深度PUは、1のビット単位左シフトの後、3と前記シンタックス要素の前記値との前記合計の2乗よりも大きいかまたはそれに等しいサイズを有する、

前記MPIサイズに基づかずに、MPIを使用して前記第2の深度PUの各サブPUを符号化することと、

を行うようにさらに構成される、C27に記載のデバイス。

[C29] 前記シンタックス要素の値は、1よりも大きいかまたはそれに等しく、前記1つまたは複数のプロセッサは、

アクセスユニットにおける各テクスチャブロックを符号化することと、ここにおいて、前記アクセスユニットは前記深度ブロックを含む、

各テクスチャブロック上の 16×16 ブロックに対して動き圧縮を実施することと、を行うようにさらに構成される、C27に記載のデバイス。

[C30] 前記アクセスユニットにおける各テクスチャブロックは、前記アクセスユニットにおける対応するコロケートされた深度ブロックに対して、独立してコーディングされ、各テクスチャブロックは、前記アクセスユニットにおける前記深度ブロックのうちのいずれを符号化するよりも前に符号化され、前記アクセスユニットにおける前記深度ブロックの各々を符号化する前に、動き圧縮が実施される、C29に記載のデバイス。