

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7585593号
(P7585593)

(45)発行日 令和6年11月19日(2024.11.19)

(24)登録日 令和6年11月11日(2024.11.11)

(51)国際特許分類	F I		
H O 1 L 21/82 (2006.01)	H O 1 L 21/82	W	
H O 1 L 21/8238(2006.01)	H O 1 L 27/092	A	
H O 1 L 27/092 (2006.01)	H O 1 L 27/092	F	

請求項の数 15 (全25頁)

(21)出願番号	特願2022-506757(P2022-506757)	(73)特許権者	000219967
(86)(22)出願日	令和2年6月24日(2020.6.24)		東京エレクトロン株式会社
(65)公表番号	特表2022-543116(P2022-543116 A)		東京都港区赤坂五丁目3番1号
(43)公表日	令和4年10月7日(2022.10.7)	(74)代理人	110004381
(86)国際出願番号	PCT/US2020/039379		弁理士法人I T O H
(87)国際公開番号	WO2021/025797	(74)代理人	100107766
(87)国際公開日	令和3年2月11日(2021.2.11)		弁理士 伊東 忠重
審査請求日	令和5年4月20日(2023.4.20)	(74)代理人	100070150
(31)優先権主張番号	62/883,865		弁理士 伊東 忠彦
(32)優先日	令和1年8月7日(2019.8.7)	(72)発明者	リーブマン, ラース
(33)優先権主張国・地域又は機関	米国(US)		アメリカ合衆国 ニューヨーク州 1 2 2
(31)優先権主張番号	16/848,366		0 3, オールバニー, フラー ロード 2
(32)優先日	令和2年4月14日(2020.4.14)		5 5, スイート 2 1 4, ナノファブ 3
	最終頁に続く	(72)発明者	0 0 サウス
			スミス, ジェフリー
			最終頁に続く

(54)【発明の名称】 積み重ねられたデバイスに有する半導体装置及びその製造方法

(57)【特許請求の範囲】
【請求項1】

半導体装置であって、
基板上に形成された第1のトランジスタ、及び前記基板の基板面に対して実質的に垂直なZ方向に沿って前記第1のトランジスタ上に積み重ねられた第2のトランジスタ、を含む、トランジスタの第1のスタックと、
前記基板上に形成された第3のトランジスタ、及び前記Z方向に沿って前記第3のトランジスタ上に積み重ねられた第4のトランジスタ、を含む、トランジスタの第2のスタックと、
第1のルーティングトラック及び前記第1のルーティングトラックから電気的に絶縁された第2のルーティングトラックであって、前記第1のルーティングトラック及び前記第2のルーティングトラックは、前記Z方向に沿って、トランジスタの前記第1のスタック及びトランジスタの前記第2のスタックの上部の平面に配置され、前記第1のルーティングトラック及び第2のルーティングトラックは、前記基板面と平行なX方向に延在する、第1のルーティングトラック及び第2のルーティングトラックと、
前記第1のトランジスタの第1のゲート及び前記第4のトランジスタの第4のゲートを、それぞれ前記第1のルーティングトラックに導電的に結合するように構成された、第1の導電性トレース及び第4の導電性トレースであって、前記第1のルーティングトラックは、トランジスタの前記第1のスタックにおける前記第1のトランジスタの前記第1のゲートと導電的に結合するように構成された、前記第1の導電性トレース、及びトランジス

タの前記第2のスタックにおける前記第4のトランジスタの前記第4のゲートと導電的に結合するように構成された、前記第4の導電性トレースに接続され、前記第1の導電性トレースは、前記Z方向に沿って第1の高さを有し、前記第4の導電性トレースは、前記Z方向に沿って第4の高さを有し、該第4の高さは、前記第1の高さよりも低い、第1の導電性トレース及び第4の導電性トレースと、

前記第2のトランジスタの第2のゲート及び前記第3のトランジスタの第3のゲートを、それぞれ前記第2のルーティングトラックに導電的に結合するように構成された、第2の導電性トレース及び第3の導電性トレースであって、前記第2のルーティングトラックは、トランジスタの前記第1のスタックにおける前記第2のトランジスタの前記第2のゲートを導電的に結合するように構成された、前記第2の導電性トレース、及びトランジスタの前記第2のスタックにおける前記第3のトランジスタの前記第3のゲートを導電的に結合するように構成された、前記第3の導電性トレースに接続され、前記第2の導電性トレースは、前記Z方向に沿って第2の高さを有し、前記第3の導電性トレースは、前記Z方向に沿って第3の高さを有し、該第2の高さは、前記第3の高さよりも低い、第2の導電性トレース及び第3の導電性トレースと、

前記第1、第2、第3、及び第4のトランジスタの4つのソース／ドレイン（S／D）端子を、それぞれ導電的に結合するように構成された、第1の端子構造と、

を有し、

前記第1の導電性トレース及び前記第3の導電性トレースは、前記X方向及びY方向において相互から離間され、前記Y方向は、前記X方向に対して垂直であり、前記基板面に平行であり、

当該半導体装置は、さらに、

前記第1及び第2のトランジスタの残りのS／D端子を導電的に結合するように構成された第2の端子構造と、

前記第3及び第4のトランジスタの残りのS／D端子を導電的に結合するように構成された第3の端子構造と、

を有し、

前記第1の端子構造、前記第2の端子構造および前記第3の端子構造は、前記Y方向の寸法が相互に等しく、前記Z方向の高さが相互に等しい、半導体装置。

【請求項2】

インバーター回路であって、前記インバーター回路の入力信号を前記インバーター回路の出力信号へと反転させるように構成され、前記出力信号は、前記入力信号の反転信号である、インバーター回路、を更に含む、請求項1に記載の半導体装置。

【請求項3】

前記インバーター回路は、

前記基板上に形成された第5のトランジスタ、及び前記Z方向に沿って前記第5のトランジスタ上に積み重ねられた第6のトランジスタ、を含む、トランジスタの第3のスタックと、

共通ゲートを、前記第1のルーティングトラック及び前記第2のルーティングトラックのうちの1つに導電的に結合するように構成された、第5の導電性トレースであって、前記共通ゲートは、前記入力信号に導電的に結合された、前記第5のトランジスタの第5のゲート及び前記第6のトランジスタの第6のゲートを含む、第5の導電性トレースと、

を有する、請求項2に記載の半導体装置。

【請求項4】

前記入力信号を前記第1のルーティングトラックに導電的に結合するように構成された導電性トレースと、

前記出力信号を前記第2のルーティングトラックに導電的に結合するように構成された導電性トレースと、を更に含む、請求項2に記載の半導体装置。

【請求項5】

第1の信号を前記第1のルーティングトラックに導電的に結合するように構成された導

10

20

30

40

50

電性トレースと、

第2の信号を前記第2のルーティングトラックに導電的に結合するように構成された導電性トレースであって、前記第2の信号は前記第1の信号の反転信号である、導電性トレースと、を更に含む、請求項1に記載の半導体装置。

【請求項6】

前記第2のトランジスタの前記第2のゲートは、前記Z方向に沿って前記第1のトランジスタの前記第1のゲートの直上に積み重ねられ、前記第4のトランジスタの前記第4のゲートは、前記Z方向に沿って前記第3のトランジスタの前記第3のゲートの直上に積み重ねられる、請求項1に記載の半導体装置。

【請求項7】

前記第1の導電性トレースは、前記第2のトランジスタの前記第2のゲート及び前記第2のトランジスタをバイパスし、前記第3の導電性トレースは、前記第4のトランジスタの前記第4のゲート及び前記第4のトランジスタをバイパスする、請求項1に記載の半導体装置。

【請求項8】

前記第1及び第2のトランジスタは、n型トランジスタ及びp型トランジスタを含む相補型トランジスタであり、前記第3及び第4のトランジスタは、相補型トランジスタである、請求項1に記載の半導体装置。

【請求項9】

前記第2のトランジスタの前記第2のゲートは、前記第1のトランジスタの前記第1のゲートの上に積み重ねられ、前記第4のトランジスタの前記第4のゲートは、前記第3のトランジスタの前記第3のゲートの上に積み重ねられ、

前記第1のルーティングトラック及び前記第2のルーティングトラックは、前記Z方向に沿って前記第1、第2、第3、及び第4のゲートの上方にある1つ又は複数の平面内に配置され、

前記第1及び第2の導電性トレースは、空間的に離れており、前記1つ又は複数の平面は、トランジスタの前記第1のスタック、及びトランジスタの前記第2のスタックの上部の前記平面を含み、

前記第1の導電性トレースは、前記第2のトランジスタの前記第2のゲート及び前記第2のトランジスタをバイパスし、前記第2の導電性トレースは、前記第1のトランジスタの前記第1のゲート及び前記第1のトランジスタをバイパスし、

前記第3及び前記第4の導電性トレースは、空間的に離れており、前記第3の導電性トレースは、前記第4のトランジスタの前記第4のゲート及び前記第4のトランジスタをバイパスし、前記第4の導電性トレースは、前記第3のトランジスタの前記第3のゲート及び前記第3のトランジスタをバイパスし、

前記第5の導電性トレースは、前記第1のルーティングトラックに導電的に結合されており、

当該半導体装置は、前記出力信号を前記第2のルーティングトラックに結合するように構成された導電性トレースを更に含む、請求項3に記載の半導体装置。

【請求項10】

前記Z方向に対して実質的に垂直な平面と交差する前記第2のゲートの最大断面積である第2のゲート面積は、前記Z方向に対して実質的に垂直な平面と交差する前記第1のゲートの最大断面積である第1のゲート面積と等しくまたはそれ以上であり、

前記Z方向に対して実質的に垂直な平面と交差する前記第4のゲートの最大断面積である第4のゲート面積は、前記Z方向に対して実質的に垂直な平面と交差する前記第3のゲートの最大断面積である第3のゲート面積と等しくまたはそれ以上であり、

前記第2のゲートは、前記第1のゲートの上にずらして配置され、前記第4のゲートは、前記第3のゲートの上にずらして配置される、請求項1に記載の半導体装置。

【請求項11】

前記Z方向に対して実質的に垂直な平面と交差する前記第2のゲートの最大断面積であ

10

20

30

40

50

る第2のゲート面積は、前記Z方向に対して実質的に垂直な平面と交差する前記第1のゲートの最大断面積である第1のゲート面積よりも小さく、

前記Z方向に対して実質的に垂直な平面と交差する前記第4のゲートの最大断面積である第4のゲート面積は、前記Z方向に対して実質的に垂直な平面と交差する前記第3のゲートの最大断面積である第3のゲート面積よりも小さく、

前記第2のゲートは、前記第1のゲートの上にずらして配置され、前記第4のゲートは、前記第3のゲートの上にずらして配置される、請求項1に記載の半導体装置。

【請求項12】

前記第1のトランジスタは、前記Z方向に沿って積み重ねられた半導体バーの第1の組を更に含み、

前記第1のトランジスタの前記第1のゲートは、半導体バーの前記第1の組を取り囲み、半導体バーの前記第1の組に取り付けられ、

前記第2のトランジスタは、前記Z方向に沿って積み重ねられた半導体バーの第2の組を更に含み、

前記第2のトランジスタの前記第2のゲートは、半導体バーの前記第2の組を取り囲み、半導体バーの前記第2の組に取り付けられる、請求項1に記載の半導体装置。

【請求項13】

半導体バーの前記第2の組は、前記Z方向に沿って半導体バーの前記第1の組の上に積み重ねられる、請求項12に記載の半導体装置。

【請求項14】

前記第1のゲート及び前記第2のゲートは、1つ又は複数の誘電体材料を含む誘電体層によって分離され、導電的に絶縁され、

前記第3のゲート及び前記第4のゲートは、前記誘電体層によって分離され、導電的に絶縁される、請求項1に記載の半導体装置。

【請求項15】

前記第1の高さ及び前記第3の高さは、いずれも前記第2の高さ及び前記第4の高さよりも高い、請求項1に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

関連出願の相互参照

本出願は、参照によりその全体が本明細書に組み込まれている、「Two-CPP Cross-Couple for CFET」と題された、2019年8月7日出願された米国仮特許出願第62/883,865号明細書、及び「SEMICONDUCTOR APPARATUS HAVING STACKED DEVICES AND METHOD OF MANUFACTURE THEREOF」と題された、2020年4月14日出願された米国特許出願第16/848,366号明細書の利益を主張するものである。

【背景技術】

【0002】

本明細書において提供される背景の説明は、本開示の背景を一般的に提示するためのものである。この背景のセクションで説明される範囲における本発明者らの研究、及び出願の時点で先行技術として本来なら認定されないであろう記載の態様は、本開示に対する先行技術として明示的にも暗示的にも認められない。

【0003】

半導体デバイスは、スマートフォン、コンピュータなどの様々な電子装置で広範に用いられている。一般的に、半導体デバイスは、トランジスタなどの能動素子、コンデンサ、インダクタ、及び他の部品を有する基板を含むことがある。より多くの一層複雑で高度な機能を同時にサポートすることができる、より小型でより高速な半導体デバイスに対する需要が一層増大している。この微細化プロセスは、一般的に、製造効率を高め、関連コス

10

20

30

40

50

トを抑えることにより、利点をもたらす。しかしながら、そのような微細化は、半導体デバイスの処理及び製造の複雑さも増大させた。半導体デバイスの寸法が、先端技術ノードにおいてより小さなサブミクロンサイズにまで縮小されるにつれて、半導体デバイスの密度を高めることはより困難になる。半導体デバイス製造のための改良された構造及び方法が望まれている。

【発明の概要】

【課題を解決するための手段】

【0004】

本開示の態様は、半導体装置を提供する。半導体装置は、基板上に形成された第1のトランジスタ、及び基板の基板面に実質的に垂直なZ方向に沿って第1のトランジスタ上に積み重ねられた第2のトランジスタ、を含む、トランジスタの第1のスタックを含むことがある。半導体装置は、基板上に形成された第3のトランジスタ、及びZ方向に沿って第3のトランジスタ上に積み重ねられた第4のトランジスタ、を含む、トランジスタの第2のスタックを含むことがある。半導体装置は、第1のルーティングトラック、及び第1のルーティングトラックとは電氣的に絶縁された第2のルーティングトラックを含むことがあり、第1及び第2のルーティングトラックは、基板面に平行なX方向に延びる。半導体装置は、第1のトランジスタの第1のゲート及び第4のトランジスタの第4のゲートをそれぞれ第1のルーティングトラックに導電的に結合するように構成された、第1の導電性トレース及び第4の導電性トレースを含むことがある。半導体装置は、第2のトランジスタの第2のゲート及び第3のトランジスタの第3のゲートをそれぞれ第2のルーティングトラックに導電的に結合するように構成された、第2の導電性トレース及び第3の導電性トレースを含むことがある。更に、半導体装置は、第1、第2、第3、及び第4のトランジスタの4つのソース／ドレイン（S／D）端子をそれぞれ導電的に結合するように構成された、第1の端子構造を含むことがある。

【0005】

一実施形態では、第1及び第2のルーティングトラックのそれぞれは、Z方向に沿ってトランジスタの第1のスタック及びトランジスタの第2のスタックの上方の平面内に配置される。

【0006】

半導体装置は、第1及び第2のトランジスタの残りのS／D端子を導電的に結合するように構成された第2の端子構造を更に含むことがある。半導体装置は、第3及び第4のトランジスタの残りのS／D端子を導電的に結合するように構成された第3の端子構造を更に含むことがある。

【0007】

半導体装置は、インバーター回路の入力信号をインバーター回路の出力信号へと反転させるように構成されたインバーター回路を更に含むことがあり、出力信号は、入力信号の反転信号になる。インバーター回路は、基板上に形成された第5のトランジスタ、及びZ方向に沿って第5のトランジスタ上に積み重ねられた第6のトランジスタ、を有する、トランジスタの第3のスタックを更に含むことがある。インバーター回路は、第1及び第2のルーティングトラックのうちの1つに共通ゲートを導電的に結合するように構成された第5の導電性トレースを含むことがあり、共通ゲートは、入力信号に導電的に結合された、第5のトランジスタの第5のゲート及び第6のトランジスタの第6のゲートを含む。半導体装置は、入力信号を第1のルーティングトラックに導電的に結合するように構成された導電性トレース、及び出力信号を第2のルーティングトラックに導電的に結合するように構成された導電性トレース、を含むことがある。

【0008】

半導体装置は、第1の信号を第1のルーティングトラックに導電的に結合するように構成された導電性トレース、及び第2の信号を第2のルーティングトラックに導電的に結合するように構成された導電性トレース、を含むことがある。第2の信号は、第1の信号の反転信号であり得る。

【0009】

一例では、第2のトランジスタの第2のゲートは、Z方向に沿って第1のトランジスタの第1のゲートの真上に積み重ねられ、第4のトランジスタの第4のゲートは、Z方向に沿って第3のトランジスタの第3のゲートの真上に積み重ねられる。

【0010】

一例では、第1の導電性トレースは、第2のトランジスタの第2のゲート及び第2のトランジスタをバイパスし、第3の導電性トレースは、第4のトランジスタの第4のゲート及び第4のトランジスタをバイパスする。

【0011】

一例では、第1及び第2のトランジスタは、n型トランジスタ及びp型トランジスタを含む相補型トランジスタであり、第3及び第4のトランジスタは、相補型トランジスタである。

【0012】

一例では、第2のトランジスタの第2のゲートは第1のトランジスタの第1のゲートの上に積み重ねられ、第4のトランジスタの第4のゲートは第3のトランジスタの第3のゲートの上に積み重ねられ、第1及び第2のルーティングトラックは、Z方向に沿って第1、第2、第3、及び第4のゲートの上方にある1つ又は複数の平面内に配置され、第1及び第2の導電性トレースは空間的に離れており、第1の導電性トレースは、第2のトランジスタの第2のゲート及び第2のトランジスタをバイパスし、第2の導電性トレースは、第1のトランジスタの第1のゲート及び第1のトランジスタをバイパスし、第3及び第4の導電性トレースは空間的に離れており、第3の導電性トレースは、第4のトランジスタの第4のゲート及び第4のトランジスタをバイパスし、第4の導電性トレースは、第3のトランジスタの第3のゲート及び第3のトランジスタをバイパスし、第5の導電性トレースは、第1のルーティングトラックに導電的に結合されている。半導体装置は、出力信号を第2のルーティングトラックに結合するように構成された導電性トレースを更に含む。

【0013】

一例では、Z方向に実質的に垂直な平面と交差する第2のゲートの最大断面積である第2のゲート面積は、Z方向に実質的に垂直な平面と交差する第1のゲートの最大断面積である第1のゲート面積以上であり、Z方向に実質的に垂直な平面と交差する第4のゲートの最大断面積である第4のゲート面積は、Z方向に実質的に垂直な平面と交差する第3のゲートの最大断面積である第3のゲート面積以上であり、第2のゲートは第1のゲートの上にずらして配置され、第4のゲートは第3のゲートの上にずらして配置される。

【0014】

一例では、第2のゲート面積は第1のゲート面積よりも小さく、第4のゲート面積は第3のゲート面積よりも小さく、第2のゲートは第1のゲートの上にずらして配置され、第4のゲートは第3のゲートの上にずらして配置される。

【0015】

一例では、第1のトランジスタはZ方向に沿って積み重ねられた半導体バーの第1の組を更に含み、Z方向において、第1のゲートは半導体バーの第1の組を囲み、半導体バーの第1の組に取り付けられ、第2のトランジスタはZ方向に沿って積み重ねられた半導体バーの第2の組を更に含み、Z方向において、第2のゲートは半導体バーの第2の組を囲み、半導体バーの第2の組に取り付けられる。一例では、半導体バーの第2の組は、Z方向に沿って半導体バーの第1の組の上に積み重ねられている。

【0016】

一例では、第1のゲートと第2ゲートは、1つ又は複数の誘電体材料を含む誘電体層によって分離され且つ導電的に絶縁されており、第3のゲートと第4のゲートは、誘電体層によって分離され且つ導電的に絶縁されている。

【0017】

例として提案する本開示の様々な実施形態について、以下の図を参照しながら詳細に説明する。図では、同様の番号は同様の要素を参照する。

10

20

30

40

50

【図面の簡単な説明】

【0018】

【図1A】本開示の一実施形態による、例示的なマルチプレクサ（MUX）100の回路図を示す。

【図1B】本開示の一実施形態による、トランSMissionゲートペア110の一例を示す。

【図2A】本開示の一実施形態による、2D半導体装置299の上面図を示す。

【図2B】本開示の実施形態による、2D半導体装置299内のそれぞれの部分の上面図を示す。

【図2C】本開示の実施形態による、2D半導体装置299内のそれぞれの部分の上面図を示す。

10

【図2D】本開示の実施形態による、2D半導体装置299内のそれぞれの部分の上面図を示す。

【図3A】本開示の実施形態による、3D半導体装置399の斜視図を示す。

【図3B】本開示の実施形態による、3D半導体装置399の斜視図を示す。

【図3C】本開示の一実施形態による、3D半導体装置399の上面図を示す。

【図3D】本開示の一実施形態による、図3CのDD'に沿って切断された3D半導体装置399の断面図を示す。

【図3E】本開示の一実施形態による、図3CのEE'に沿って切断された3D半導体装置399の断面図を示す。

20

【図3F】本開示の一実施形態による、図3CのFF'に沿って切断された3D半導体装置399の断面図を示す。

【図3G】本開示の一実施形態による、3D半導体装置399の第1の部分の上面図を示す。

【図3H】本開示の一実施形態による、3D半導体装置399の第2の部分の上面図を示す。

【図3I】本開示の一実施形態による、3D半導体装置399の第1の部分及び第2の部分の組み合わせられた上面図を示す。

【図3L】本開示の一実施形態による、インバーター320を含む3D半導体装置399の斜視図を示す。

30

【図4】本開示の一実施形態による、例示的な3D半導体装置499の上面図を示す。

【発明を実施するための形態】

【0019】

トランジスタなどの半導体デバイスを、半導体装置の基板面に実質的に垂直なZ方向に沿って積み重ねて、半導体装置のデバイス密度（即ち、基板面の単位面積当たりの半導体デバイスの数）を増加させることができる。基板面は、半導体装置の基板の平面状の加工表面であり得る。半導体装置は、三次元（3D）半導体装置と称されることがあり、3D集積は、3D半導体装置を形成することができる製造プロセスを指すことがある。

【0020】

図1Aは、本開示の一実施形態による、例示的なマルチプレクサ（MUX）100の回路図を示す。MUX100は、インバーター（又はインバーター回路）120及び一対のトランSMissionゲート（又はトランSMissionゲートペア）110を含むことがある。MUX100は、入力信号「a」及び「b」、出力信号「q」、並びに制御信号「sel」を有することがある。インバーター120は、入力端子185の制御信号「sel」（又は、「sel」と短縮される）を反転して、「sel」の反転信号である信号「!sel」（又は「!sel」と短縮される）を生成することができる。「!sel」は、インバーター120の出力端子186の出力信号である。「sel」に応じて、MUX100の出力信号「q」は、入力信号「a」及び「b」のうち的一方になることがある。図1Bは、本開示の一実施形態による、トランSMissionゲートペア110の一例を示す。トランSMissionゲートペア110は、並列に接続された2つのトランジスタP1及

40

50

びN1を有する第1のトランスマッションゲート181と、並列に接続された2つのトランジスタP2及びN2を有する第2のトランスマッションゲート182と、を更に含むことがある。入力信号「a」及び「b」は、トランスマッションゲートペア110の入力信号でもある。出力信号「q」は、トランスマッションゲートペア110の出力信号でもある。

【0021】

デバイス密度を高め且つ性能を改善するために、3D集積を使用してMUX100を形成することができる。図3Aは、本開示の一実施形態による、トランスマッションゲートペア310を有するMUX300を含む3D半導体装置399を示す。MUX300及びトランスマッションゲートペア310は、それぞれMUX100及びトランスマッションゲートペア110の3D実装である。図1B及び図3Aを参照すると、トランスマッションゲートペア310は、3D半導体装置399の基板301上に形成されたP1と、基板301の基板面305に実質的に垂直なZ方向に沿ってP1上に積み重ねられたN1と、を有するトランジスタの第1のスタック381を含む。一例では、P1は基板面305上に形成され、N1は基板面305に平行な平面307上に形成される。P1はゲートG1を含み、N1はゲートG2を含む。トランスマッションゲートペア310は、基板301上に形成されたP2とZ方向に沿ってP2上に積み重ねられたN2とを有するトランジスタの第2のスタック382を含む。一例では、P2は基板面305上に形成され、N2は平面307上に形成される。P2はゲートG3を含み、N2はゲートG4を含む。

【0022】

図1A、図1B、及び図3Aを参照すると、第1のスタック381は第1のトランスマッションゲート181を実装し、第2のスタック382は第2のトランスマッションゲート182を実装する。第1のスタック381のゲートG1～G2は異なる信号（例えば、「sel」及び「!sel」）によって制御されるので、ゲートG1～G2はスプリットゲートであり得る。同様に、ゲートG3～G4はスプリットゲートであり得る。スプリットゲートは、物理的且つ電氣的に分離されたゲートのスタックを指すことがあり、別個の導電性トレースを介して別個のルーティングトラックに導電的に接続されることがある。スプリットゲートは、例えば、異なる電気信号に接続されるように、独立した接続を有することがある。

【0023】

第1の導電性トレース353及び第4の導電性トレース323は、それぞれゲートG1及びG4を第1のルーティングトラック324に導電的に結合するように構成されることがある。第2の導電性トレース363及び第3の導電性トレース313は、それぞれゲートG2及びG3を第2のルーティングトラック314に導電的に結合するように構成されることがある。従って、第1のルーティングトラック324、及び第1のルーティングトラック324からは電氣的に絶縁されている第2のルーティングトラック314は、それぞれ、異なる信号「sel」及び「!sel」を提供するように形成されることがある。一例では、スプリットゲートG1～G2は、それぞれ第1の導電性トレース353及び第2の導電性トレース363を介して、「sel」及び「!sel」に結合され、G3～G4は、それぞれ第3の導電性トレース313及び第4の導電性トレース323を介して、「!sel」及び「sel」に結合される。

【0024】

一例では、P1及びP2は、p型電界効果トランジスタ（pFET）などのp型トランジスタであり、N1及びN2は、n型FET（nFET）などのn型トランジスタである。pFET（例えば、P1）及びnFET（例えば、N2）のゲート（例えば、G1及びG4）は、異なる平面内に形成されることがあり（例えば、G1は基板面305上で、G4は平面307上）、同じルーティングトラック（例えば、第1のルーティングトラック324）を共有するか又はこれにアクセスすることができ、従って、幾つかの平面状の相補型FET（CFET）で必要とされるnFETとpFETとの交差などの追加のメタライズの必要性が軽減され、ルーティングの輻輳が低減される。更に、図3Aを参照すると

、第1のルーティングトラック324及び第2のルーティングトラック314は、Z方向に垂直なX方向に沿って実質的に平行であり（又はX方向に延び）、従って、第1のルーティングトラック324及び第2のルーティングトラック314は、単一方向の形状（例えば、X方向などの単一方向に沿って形成される形状）を有する。X方向は、基板面305に平行である。図3Aに示されるnFETとpFETとの交差は、単一レベルの単一方向メタライズで、効率的に生成することができる。

【0025】

第1のルーティングトラック324及び第2のルーティングトラック314は、それぞれ「sel」及び「!sel」に導電的に結合されることがある。「sel」及び「!sel」は、互いに反対の論理レベルにあることがある。第1のルーティングトラック324及び第2のルーティングトラック314は、任意の適切なルーティング面上に配置することができる。一例では、第1のルーティングトラック324及び第2のルーティングトラック314は、Z方向に沿って第1のスタック381及び第2のスタック382の上方に積み重ねられた平面309内に配置されることがある。

【0026】

図1B及び図3Aを参照すると、一例では、第1の端子構造391は、それぞれトランジスタP1、N1、P2、及びN2の4つのソース／ドレイン（S／D）端子T2、T4、T6、及びT8を導電的に結合して、出力信号「q」を提供することができる。第2の端子構造392は、それぞれP1及びN1の残りのS／D端子T1及びT3を導電的に結合することができる。第3の端子構造393は、それぞれP2及びN2の残りのS／D端子T5及びT7を導電的に結合することができる。第1、第2、及び第3の端子構造391～393は、任意の適切な導電性材料を含むことがある。3D半導体装置399は、第1、第2、及び第3の端子構造391～393をそれぞれ信号「q」、「a」、及び「b」に結合する導電性トレースなどの、追加の構成要素を更に含むことがある。

【0027】

本開示は、半導体デバイス及び装置の設計及び微細加工に関する。

【0028】

半導体装置の製造では（例えば、微視的スケールでの）、様々な製造プロセスを実施することができる。製造プロセスには、フィルム形成堆積、エッチングマスク生成、パターンニング、材料のエッチング及び除去、ドーピング処理などが含まれることがある。これらの製造プロセスを繰り返し実行して、所望の半導体デバイス要素又は部品を半導体装置の基板上に形成することができる。実施形態によっては、微細加工を用いると、半導体デバイス（例えば、トランジスタ）は、能動素子面の上に形成される配線／メタライズと共に1平面（例えば、能動素子面）内に生成されることがあり、従って、2D製造（又は2D集積）を用いて製造された2次元（2D）回路又は2D半導体装置として特徴付けられることがある。スケーリングの取り組みにより、デバイス密度（例えば、2D回路内の単位面積当たりのトランジスタの数）を増加させることができるものの、スケーリングが1桁のナノメートルの半導体デバイス製造ノードに突入するにつれて、スケーリングの取り組みは、課題に直面している。一例では、トランジスタを互いの上に積み重ねた3D半導体回路を使用して、デバイス密度が高められる。

【0029】

上述したように、3D集積、例えば、複数の半導体デバイスを垂直に積み重ねること、は、半導体装置の面積ではなく体積内のデバイス密度（例えば、複数のトランジスタが垂直に積み重ねられた場合のトランジスタ密度）を増加させることにより、平面デバイスで経験した一定のスケーリング限界を克服することができる。複数の半導体デバイスを垂直に積み重ねることは、3D NANDを採用したフラッシュメモリ業界によって成功裏に実証され実施されている。様々な場合において、ランダムロジック設計で3D集積を実装することは困難であり得る。

【0030】

本開示の実施形態は、高密度CFETロジックレイアウトのためのコンパクトなトラン

10

20

30

40

50

スミッションゲートペア（例えば、トランスミッションゲートペア 3 1 0）のための 3 D 半導体装置（例えば、3 D 半導体装置 3 9 9）を提供することができる。コンパクトなトランスミッションゲートペアは、スプリットゲート（例えば、G 1 ~ G 2）を含むことがあり、スプリットゲートプロセスフローによって製造することができる。

【0031】

本開示における異なる実施形態又はステップの説明の順序は、明確にするために提示されるものである。一般に、それらの実施形態又はステップは任意の適切な順序で実施可能である。更に、様々な特徴、技術、構成などの、実施形態のそれぞれは、本開示の異なる箇所でも説明されることがあるが、それらの実施形態のそれぞれは、互いに独立して又は互いと組み合わせて実行され得ることが意図されている。従って、本開示は多様な具現化及び解釈が可能である。

10

【0032】

実施形態によっては、相補型金属酸化物半導体（CMOS）設計における様々な組み合わせ論理機能が、n型及びp型のトランジスタペアの相補的な組によって形成され、ここで、単一のゲート接続又は共通ゲートが、論理セル内のn型及びp型チャネルの両方を制御（例えば、スイッチ）することができる。幾つかの例では、例えば、一対のクロスカップル接続されたインバーターによって形成されるトランスミッションゲートペアは、MUX、排他的論理和（XOR）、ラッチなどの論理セルを効率的に提供するために使用される、有益な設計構造である。幾つかの設計例では、トランスミッションゲートペアにおいて共通ゲートの代わりにスプリットゲートが使用される。

20

【0033】

戻って図1Aを参照すると、一例では、MUX 1 0 0は、CMOS設計に基づいていることがあり、トランスミッションゲートペア 1 1 0を含むことがある。インバーター 1 2 0は、トランジスタ P 3（例えば、p FET）及び N 3（例えば、n FET）を含むことがある。P 3は、ゲート G 5、ソース端子 T 9、及びドレイン端子 T 1 0を含む。N 3は、ゲート G 6、ソース端子 T 1 1、及びドレイン端子 T 1 2を含む。ゲート G 5及びG 6は、「sel」に接続されていることがある。端子 T 1 0及び T 1 1は、一緒に結合され、「! sel」を出力することができる。

【0034】

トランスミッションゲートペア 1 1 0は、一対のクロスカップル接続されたインバーターによって形成されることがあり、従って、トランスミッションゲートペア 1 1 0は、クロスカップル（XC）と呼ばれることがある。図1Bは、トランスミッションゲートペア 1 1 0（又はXC 1 1 0）の拡大図を示す。上述のように、XC 1 1 0は第1のトランスミッションゲート 1 8 1（第1のパスゲートとも呼ばれる）及び第2のトランスミッションゲート 1 8 2（第2のパスゲートとも呼ばれる）を含む。一例では、第1のパスゲート 1 8 1内のP 1及びN 1は一対のCFETであることがあり、第2のパスゲート 1 8 2内のP 2及びN 2は一対のCFETであることがある。一例では、一対のCFET（例えば、P 1及びN 2）が「sel」に結合され、別の対のCFET（例えば、P 2及びN 1）が「! sel」に結合される。

30

【0035】

一例では、P 1は、G 1及びS/D端子 T 1 ~ T 2を含むp FETであり、N 1は、G 2及びS/D端子 T 3 ~ T 4を含むn FETであり、P 2は、G 3及びS/D端子 T 5 ~ T 6を含むp FETであり、N 2は、G 4及びS/D端子 T 7 ~ T 8を含むn FETである。S/D端子 T 1 ~ T 8のそれぞれは、ソース端子又はドレイン端子であり得る。一例では、T 1の電圧がT 2の電圧よりも高い場合、T 1はP 1のソース端子になり、T 2はP 1のドレイン端子になる。或いは、T 1の電圧がT 2の電圧よりも低い場合、T 1はP 1のドレイン端子になり、T 2はP 1のソース端子になる。同様の説明が、T 3 ~ T 8にも当てはまる。

40

【0036】

一例では、「sel」が論理1である場合、「! sel」は論理0である。P 1及びN

50

1は、「開スイッチ」として機能することがあり、従って、第1のパスゲート181は「開スイッチ」として機能する。従って、第1のパスゲート181は入力信号「a」を出力信号「q」に渡さない。一方、P2及びN2は、「閉スイッチ」として機能することがあり、従って、第2のパスゲート182は「閉スイッチ」として機能する。従って、第2のパスゲート182は入力信号「b」を出力信号「q」に渡すことができる。出力信号「q」は、入力信号「b」と同じ論理レベルを有することができる。

【0037】

上記の説明は、「sel」が論理0である場合に適切に適合させることができ、この場合、第1のパスゲート181は入力信号「a」を出力信号「q」に渡すことができ、第2のパスゲート182は入力信号「b」を出力信号「q」に渡さない。出力信号「q」は、入力信号「a」と同じ論理レベルを有することができる。

【0038】

XC110は、2つの信号経路、即ち、それぞれ第1及び第2のパスゲート181～182に対応する第1の信号経路及び第2の信号経路、を有することがある。「sel」（ゲート入力とも呼ばれる）は、第1の信号経路におけるゲートG1を制御（例えば、スイッチ）することができ、同時に、第2の信号経路におけるゲートG4を制御（例えば、スイッチ）することができる。同様に、「!sel」は、第1の信号経路におけるゲートG2を制御（例えば、スイッチ）することができ、同時に、第2の信号経路におけるゲートG3を制御（例えば、スイッチ）することができる。一例では、ゲートG1はpFET（例えば、P1）を制御し、ゲートG4はP1と相補的であるnFET（例えば、N2）を制御する。同様に、ゲートG2はnFET（例えば、N1）を制御し、ゲートG3はN1と相補的であるpFET（例えば、P2）を制御する。

【0039】

XC110は、2D製造プロセス若しくは2D製作を使用した図2A～図2Dの2D半導体装置299、又は3D製造プロセス若しくは3D集積を使用した図3A～図3Iの3D半導体装置399などに見られるような、任意の適切な製造プロセス及び／又は設計を使用して形成されることがある。

【0040】

図2Aは、特定の技術ノードで 사용할 ことができる2D半導体装置299の上面図を示す。2D半導体装置299は、XC210を有するMUX200を含み、MUX200及びXC210は、それぞれMUX100及びXC110の2D実装である。MUX200は、インバーター（例えば、インバーター120の2D実装）を更に含むことがある。図2Aを参照すると、上述のように、P1はG1及び端子T1～T2を含み、N1はG2及び端子T3～T4を含み、P2はG3及び端子T5～T6を含み、N2はG4及び端子T7～T8を含む。P1及びP2は、2D半導体装置299の基板面201の行251内に配置され、P1及びP2のS/D端子T1、T2、T5及びT6は、領域231内に形成されることがある。領域231は、拡散プロセス、注入プロセスなどによってドーピングされることがある。更に、端子T2及びT6は、互いに隣接しており、導電的に結合されている。N1及びN2は、基板面201の行252内に配置され、N1及びN2のS/D端子T3、T4、T7及びT8は、領域232への拡散によって形成されることがある。領域232は、拡散プロセス、注入プロセスなどによってドーピングされることがある。更に、端子T4及びT8は、互いに隣接しており、導電的に結合されている。

【0041】

ゲートG1～G4のそれぞれは、誘電体構造及び導電性構造などの1つ又は複数の構造を含むことがある。導電性構造は、ポリシリコン、銅（Cu）、ルテニウム（Ru）などの1つ又は複数の導電性材料を含むことがある。図2B～図2Dは、ゲートG1～G4、並びに本開示の実施形態に従って、ゲートG1～G4を「sel」及び「!sel」などの信号に結合する追加のメタライズ（例えば、導電性構造214～215）の、例示的なレイアウトを示す。図2Bは、本開示の一実施形態による、ゲートG1～G4の上面図を示す。図2Cは、本開示の一実施形態による、導電性構造214～215の上面図を示す

。図2Dは、本開示の一実施形態による、ゲートG1～G4及び導電性構造214～215の上面図を示す。ゲートG1は、導電性構造211を含み、ゲートG2は、導電性構造213の一部213(1)を含み、ゲートG3は、導電性構造213の一部213(2)を含み、ゲートG4は導電性構造212を含む。導電性構造211～213は、ポリシリコンを使用して形成されることがある。

【0042】

幾つかの例では、単一方向構造とは、基板面(例えば、基板面201)に平行な平面内で、単一方向(例えば、X方向、Y方向など)に実質的に沿って形成された構造を指す。二方向構造とは、構造の一部及び別の一部が、基板面(例えば、基板面201)に平行な平面内で2つの異なる方向(例えば、X及びY方向)に沿って形成された構造を指すことがある。単一方向構造は単一方向の形状を有することがあり、二方向構造は二方向の形状を有することがある。

【0043】

図2B～図2Dを参照すると、G1(例えば、第1のパスゲート181内のpFET P1のゲート)とG4(例えば、第2のパスゲート182内のnFET N2のゲート)と一緒に導電的に結合するために、二方向構造(例えば、X方向に沿って部分214(1)～(2)を、Y方向に沿って部分214(3)を含む導電性構造214)を使用して、nFETとpFETとの交差が実装されている。従って、導電性構造214は、二方向構造214と呼ばれることもある。G1及びG4が、それぞれ、基板面201の異なる行(例えば、行251～252)及び異なる列255～256に配置されるので、二方向構造214が使用される。図3Aを参照すると、nFETとpFETとの交差は、単一方向形状を有する第1のルーティングトラック324を用いて効率的に生成されることがあり、従って、二方向構造214の必要性が軽減される。部分214(1)は、導電性トレース221を介して、(例えば、導電性構造211を使用して)G1を導電的に結合することができる。部分214(2)は、導電性トレース222を介して、(例えば、導電性構造212を使用して)G4を導電的に結合することができる。X方向に沿った部分214(3)は、Y方向に沿った部分214(1)～(2)を接続する。更に、導電性構造214は、「sel」に導電的に結合されることがある。

【0044】

同様に、G2(例えば、第1のパスゲート181内のnFET N1のゲート)とG3(例えば、第2のパスゲート182内のpFET P2のゲート)と一緒に導電的に結合するために、二方向構造(例えば、導電性構造213)を使用して、nFETとpFETとの交差が実装される。従って、導電性構造213は、二方向構造213と呼ばれることもある。導電性構造213は、導電性トレース223を介して導電性構造215に結合されることがある。更に、導電性構造215は、「!sel」に導電的に結合されることがある。導電性構造214～215は、Cu、Ruなどの1つ又は複数の導電性材料を使用して形成されることがある。導電性構造214～215は、導電性構造211～213が形成される平面(例えば、基板面201)とは異なる1つ又は複数の平面上に形成されることがある。

【0045】

図2A～図2Dに示すように、XC210は、同じ平面(例えば、基板面201)上に配置された4つのトランジスタを含む。XC210で使用されるレイアウトは幾分複雑であることがあり、例えば、XC210は二方向構造213～214を含む。図2Aを参照すると、幾つかの例では、Y方向に沿った寸法「dh」は、隣接する構造間に十分な間隔を持たせるために、且つ、XC210を形成するために必要とされる、先端から先端まで(例えば、Y方向に沿った隣接セル間の距離dh0)、先端から側面まで(例えば、先端から側面までの距離ts1)、コンタクトエンクロージャ、などの設計ルールに対応するために、大きくする必要がある。一例では、dhは、XC210を配置できるセルの最小のセル高さを決定する。例えば、セルは、第1のセル境界202と第2のセル境界203との間に配置される。列255～256を参照すると、dhは、3つのセクション(例え

ば、 dhA 、 dhB 、及び dhC)を含み、列255に沿った dhA 及び列256に沿った dhC は、対称的な構造を横断することができ、等しいことがある。従って、以下の説明では、 dhA 及び dhB について記載する。列255を参照すると、 dhA は $0.5dh0$ (即ち、先端から先端までの距離 $dh0$ の半分)、ゲートパストアクティブチャネル延長部(`gate-past-active-channel-extension`)(「エンドキャップ」とも呼ばれる) $dh1$ 、ゲート $G1$ のゲート幅、接点とアクティブチャネルとの間隔 $dh2$ 、導電性構造211の接点幅、ポリ・パスト接点延長部(`poly-past-contact-extension`)(エンクロージャとも呼ばれる) $dh3$ 、先端から側面までの距離 $ts1$ (例えば、導電性構造211と二方向構造214との間の距離)、を含む。 dhB は、二方向構造214の幅に対応する。例えば、隣接構造は導電性構造214~215を含む。隣接構造は、領域231及び導電性構造215も含むことがある。例えば、 $XC210$ を形成するために、二方向構造213(例えば、ポリシリコンで形成された水平突出構造)が、2つのトランジスタ(例えば、 $N1$ 及び $P2$)を $XC210$ の共通入力(例えば、「!sel」)につなぐために使用されることがあり、一方、二方向構造214(例えば、補完的な突出した金属線)が、トランジスタの第2の組(例えば、 $P1$ 及び $N2$)に接触していることがある。幾つかの例では、特定の設計は、単一方向の形状を使用するためにレイアウトに対して制約があることがあり、且つ/又は、 Y 方向に沿ってスペースが制限され、この場合、 Y 方向に沿った論理セルの寸法が小さくなるように制限され、従って、図2A~図2Dに示す $XC210$ は、形成するのが困難になることがあるか、又は、 $XC210$ は2D半導体装置299の密度及び性能の損失をもたらすことがある。

10

20

【0046】

本開示における、設計及び方法などの実施形態は、先進技術ノードにおける高密度レイアウトに利点を提供することができる。一例では、論理セル、 MUX 、 XC 、などのセル又はデバイスの領域は、 Y 方向に沿ったセル高さと呼ばれる、セル又はデバイス内の幾つかのトラック(又は金属トラック)によって表すことができる。

【0047】

本開示における実施形態は、5トラック(5T)程に小さいセル(例えば、論理セル)にすることができる CFT 技術を用いて形成される、 $XC310$ などの XC のための構造を提供することができる。一実施形態では、 $XC310$ は、2ピッチの幅を有し、また、例えば2つのルーティングトラック(例えば、第1のルーティングトラック324及び第2のルーティングトラック314)のみを使用して、セル内の他の接続のためのスペースを残しながら XC を設計するために、「スプリットゲート」技術を最適に利用することができる。図3Cを参照すると、1ピッチとは、導電性構造(例えば、 $G1$)の第1の中心(例えば、 DD' によって記される)から隣接する導電性構造(例えば、 $G3$)の第2の中心(例えば、 EE' によって記される)までの距離を指すことがある。幾つかの例では、導電性構造及び隣接する導電性構造は、ポリシリコンを使用して形成され、従って、この距離又はピッチは、「ポリ・ピッチ」と呼ばれることがある。追加の接点(例えば、第1の端子構造391用のソース/ドレイン接点)が、例えばポリ・ピッチの間など、 $XC310$ 内に含まれることがある。一例では、ポリ・ピッチ(例えば、 DD' と EE' との間)は、ゲート(例えば、 $G1$ 及び $G4$)及び第1の端子構造391用のソース/ドレイン接点を収容するように十分に広い。従って、ポリ・ピッチは、「接触したポリ・ピッチ(又は cpp)」と呼ばれることもある。従って、 XC は2 cpp の幅を有することがある。

30

40

【0048】

実施形態は、 CFT ベースの論理設計のための、 $XC310$ などのコンパクトで資源効率の良い XC を含む。図3A~図3Cは、本開示の実施形態による、3D半導体装置399の2つの斜視図及び1つの上面図をそれぞれ示す。図3Dは、図3Cの DD' に沿って切断された3D半導体装置399の断面図を示す。図3Eは、図3Cの EE' に沿って切断された3D半導体装置399の断面図を示す。図3Fは、図3Cの FF' に沿って切断された3D半導体装置399の断面図を示す。本明細書で使用する場合、3D半導体装置39

50

9などの半導体装置は、トランジスタ（例えば、電界効果トランジスタ及びフローティングゲートトランジスタ）、集積回路、半導体チップ（例えば、3D NANDメモリデバイスを含むメモリチップ、半導体ダイ上の論理チップ）、半導体チップのスタック、半導体パッケージ、半導体ウェーハ、などを含むことがある。

【0049】

図3Aを参照すると、本明細書の設計は、スプリットゲートCFETデバイス内のn型又はp型のトランジスタのいずれかを、Y方向に沿って「北」（例えば、3D半導体装置399に正の電圧を供給することができるVDDパワーレールに向けて）、又は「南」（例えば、VSSパワーレールに向けて）に延ばせるという利点を利用している。一例では、パワーレールはX方向に沿って形成されることがある。パワーレールは、任意の適切な平面上に形成されることがある。パワーレールは、第1及び第2のスタック381～382の上方又は下方にある場合がある。

【0050】

図3Aに示されるような幾つかの例では、XC310は、トランジスタの第1のスタック381（例えば、P1及びN1）を含む。非限定的な例では、P1はpFETでありN1はnFETであり、P1のG1及びN1のG2はスプリットゲートである。P1は下側トランジスタでありN1は上側トランジスタであり、G1の第1の端部にある部分397は露出しており（例えば、N1及びG2によって覆われておらず）、その結果、第1のルーティングトラック324は、部分397において第1の導電性トレース353を介してG1に接続することができる。隣接するトランジスタのペア（例えば、P2及びN2）の場合、下側トランジスタ（P2）のG3の第2の端部における部分398は露出され（例えば、N2及びG4によって覆われておらず）、その結果、第2のルーティングトラック314は、部分398において第3の導電性トレース313を介してG3に接続することができる。下側ゲート（例えば、G1及びG3）の露出は、様々なラインエンドカット方式又は異なる直接パターンニングソリューションなどの任意の適切な製造プロセスによって実現することができる。XC310は、第1のルーティングトラック324及び第2のルーティングトラック314（例えば、一対の単一方向の導電性ワイヤ）を含むことがあり、一方は制御信号（非限定的な例では、「sel」）を、他方は反転した信号（例えば、「!sel」）を隣接するトランジスタペアのそれぞれの組に配信する。

【0051】

スプリットゲートG1～G2は、1つ又は複数の誘電体材料を含む誘電体層371によって分離され且つ導電的に絶縁されることがあり、スプリットゲートG3～G4は、誘電体層371によって分離され且つ導電的に絶縁されることがある。或いは、スプリットゲートG3～G4は、誘電体層371とは異なる誘電体層によって分離され且つ導電的に絶縁されることがある。

【0052】

上述のように、スプリットゲート方式は、底部トランジスタ（例えば、P1若しくはP2）又は底部ゲート（例えば、G1若しくはG3）を選択的に露出及び接触させることができ、従って、1本の単一方向金属線（例えば、第1のルーティングトラック324）が第1の導電性トレース353を介してp型トランジスタ（即ち、P1）のゲートG1に導電的に結合することを可能にしながら、第4の導電性トレース323を介して隣接する第2のスタック382のn型トランジスタ（即ち、N2）のゲートG4と導電的に結合することを可能にすることができる。

【0053】

一例では、図3Aは、XC310が、CFETを使用し、X方向に沿って2cppの幅を占め、Y方向に沿って5Tセル高さの中に収まるほど十分にコンパクトである様子を示している。上述のように、第1の導電性トレース353及び第4の導電性トレース323は、それぞれゲートG1及びG4を第1のルーティングトラック324に導電的に結合するように構成されることがある。第2の導電性トレース363及び第3の導電性トレース313は、それぞれゲートG2及びG3を第2のルーティングトラック314に導電的に

結合するように構成されることがある。図 3 A を参照すると、スプリットゲート G 1 及び G 2 は、例えば、Y 方向に沿ってずらして又はシフトして配置されることがある。従って、下側ゲート G 1 の部分 3 9 7 (例えば、G 1 の第 1 の端部にある) は、第 1 の導電性トレース 3 5 3 が G 1 にアクセスし、上側ゲート G 2 及び上側トランジスタ N 1 をバイパスできるように、露出していることがある。部分 3 9 7 の位置は、G 1 の任意の適切な位置とすることができ、この適切な位置は、第 1 の導電性トレース 3 5 3 が N 1 及び G 2 をバイパスすることを可能にする。同様に、部分 3 9 8 の位置は、G 3 の任意の適切な位置とすることができ、この適切な位置は、第 3 の導電性トレース 3 1 3 が N 2 及び G 4 をバイパスすることを可能にする。

【0054】

G 1 などのゲートの断面積は、ゲートが基板面 3 0 5 に平行な平面でスライスされた場合に、最大の断面積 (又は最高の断面積) となることがある。従って、ゲートの断面積とは、Z 方向に実質的に垂直な平面と交差するゲートの最高断面積を指す。一般的に、スプリットゲート G 1 ~ G 2 のペアの断面積は、任意の適切な関係を有することがある。図 3 A、図 3 C、及び図 3 D に示すような一例では、G 1 の断面積は G 2 の断面積よりも大きい。G 1 の断面積は G 2 の断面積以下にすることもでき、スプリットゲート G 1 ~ G 2 はずらして配置されることがある。スプリットゲート G 3 ~ G 4 の断面積は、任意の適切な関係を有することがある。図 3 A、図 3 C、及び図 3 E に示すような一例では、G 3 の断面積は G 4 の断面積よりも大きい。G 3 の断面積は、G 4 の断面積以下にすることもできる。同様に、スプリットゲート G 3 ~ G 4 はずらして配置されることがある。

【0055】

図 3 A に示すような一例では、第 1 の導電性トレース 3 5 3 及び第 2 の導電性トレース 3 6 3 は、空間的に分離されており、第 1 の導電性トレース 3 5 3 は G 2 及び N 1 をバイパスし、第 2 の導電性トレース 3 6 3 は G 1 及び P 1 をバイパスし、第 3 の導電性トレース 3 1 3 及び第 4 の導電性トレース 3 2 3 は空間的に分離されており、第 3 の導電性トレース 3 1 3 は G 4 及び N 2 をバイパスし、第 4 の導電性トレース 3 2 3 は G 3 及び P 2 をバイパスする。

【0056】

図 3 A、図 3 B、及び図 3 D ~ 3 F を参照すると、スプリットゲート G 1 ~ G 2 の間に誘電体層 3 7 1 が挟まれていることがあり、スプリットゲート G 3 ~ G 4 の間にも誘電体層 3 7 1 が挟まれていることがある。

【0057】

スプリットゲート G 1 ~ G 2 は、基板面 3 0 5 に平行な平面内で任意の適切な空間的關係を有することがある。例えば、G 2 は、X 方向、Y 方向、及び / 又は基板面 3 0 5 に平行な任意の方向に沿って、G 1 からシフトしていることがある。上記の説明は、スプリットゲート G 3 ~ G 4 にも当てはまる。図 3 A ~ 図 3 E を参照すると、一例では、G 2 を、例えば、Z 方向に沿って G 1 の真上に積み重ねて、スプリットゲート G 1 ~ G 2 の間の重複面積を最大化することがある。同様に、G 4 を Z 方向に沿って G 3 の真上に積み重ねることがある。

【0058】

図 3 B 及び図 3 D ~ 3 F を参照すると、XC 3 1 0 は、第 1 のチャネル構造 3 7 3 及び第 2 のチャネル構造 3 7 5 を更に含むことがある。第 1 のチャネル構造 3 7 3 及び第 2 のチャネル構造 3 7 5 は、第 1、第 2、及び第 3 の端子構造 3 9 1 ~ 3 9 3 によって囲まれていることがある。第 1 のチャネル構造 3 7 3 及び第 2 のチャネル構造 3 7 5 をよりはっきりと見せるために、第 1、第 2、及び第 3 の端子構造 3 9 1 ~ 3 9 3 は、図 3 B 及び図 3 D ~ 3 F では示されていない。第 1 のチャネル構造 3 7 3 は、例えば、それぞれゲート G 1 及び G 3 によって囲まれている部分 3 7 3 (1) 及び部分 3 7 3 (2) を含むことがある。第 2 のチャネル構造 3 7 5 は、例えば、それぞれゲート G 2 及び G 4 によって囲まれている部分 3 7 5 (1) 及び部分 3 7 5 (2) を含むことがある。第 1 のチャネル構造 3 7 3 及び第 2 のチャネル構造 3 7 5 は、部分 3 7 3 (1) が、P 1 が動作しているとき

にpチャネルなどの半導体チャネルを提供することができ、部分373(2)が、P2が動作しているときにpチャネルなどの半導体チャネルを提供することができ、部分375(1)が、N1が動作しているときにnチャネルなどの半導体チャネルを提供することができ、部分375(2)が、N2が動作しているときにnチャネルなどの半導体チャネルを提供することができるように、任意の適切な構造(形状及び寸法を含め)及び材料系を有することができる。

【0059】

図3D~3Fを参照すると、第1のチャネル構造373は、Z方向に沿って積み重ねられた半導体バー(例えば、2つの半導体バー)の第1の組を含み、第2のチャネル構造375は、Z方向に沿って積み重ねられた半導体バー(例えば、2つの半導体バー)の第2の組を含む。言い換えると、P1は、G1によって囲まれG1に取り付けられる部分373(1)(半導体バーの第1の組の一部でもある)を含むことがあり、N1は、G2によって囲まれG2に取り付けられる部分375(1)(半導体バーの第2の組の一部でもある)を含むことがある。P2は、G3によって囲まれG3に取り付けられる部分373(2)(半導体バーの第1の組の一部でもある)を含むことがあり、N2は、G4によって囲まれG4に取り付けられる部分375(2)(半導体バーの第2の組の一部でもある)を含むことがある。一例では、第2のチャネル構造375は、Z方向に沿って第1のチャネル構造373の上方に積み重ねられ、半導体バーの第2の組は、Z方向に沿って半導体バーの第1の組の上に積み重ねられる。図3D~3Fを参照すると、部分375(1)はZ方向に沿って部分373(1)の上に積み重ねられ、部分375(2)はZ方向に沿って部分375(2)の上に積み重ねられる。

【0060】

ゲート(例えば、G1、G2、G3、又はG4)は、Fin FET(Fin FET)、ゲート・オール・アラウンド(GAA)、トライゲート(tri-gate)、パイゲート(Pi-gate)などで使用されるような、任意の適切な構成で、それぞれのチャネル構造(例えば、373の一部又は375の一部)を覆うか又は囲むことがある。ゲート材料は、GAA構成の全ての側面上で、それぞれのチャネル構造を囲むことがある。

【0061】

図3A~3C及び図3Fを参照すると、第1のチャネル構造373は、それぞれ第1、第2、及び第3の端子構造391~393によって覆われるか又は囲まれることがある部分373(3)~(5)を含むことがある。第2のチャネル構造375は、それぞれ第1、第2、及び第3の端子構造391~393によって覆われるか又は囲まれることがある部分375(3)~(5)を含むことがある。幾つかの例では、部分373(3)~(5)及び375(3)~(5)のうちの1つ又は複数は、3D半導体装置399から取り除かれる。

【0062】

図3Gは、本開示の実施形態による、3D半導体装置399の第1の部分の上面図を示す。G2はG1の上に積み重ねられ、スプリットゲートG1~G2はずらして配置される。第1の導電性トレース353は、露出している(例えば、上側ゲートG2によって覆われていない)部分397においてG1に接続される。一例では、第1の導電性トレース353は、G2及びN1をバイパスする。第2の導電性トレース363は、G2に接続されている。G4はG3の上に積み重ねられ、スプリットゲートG3~G4はずらして配置される。第3の導電性トレース313は、露出している(例えば、上側ゲートG4によって覆われていない)部分398においてG3に接続される。一例では、第3の導電性トレース313は、N2及びG4をバイパスする。第4の導電性トレース323は、G4に接続されている。

【0063】

図3Hは3D半導体装置399の第2の部分の上面図を示しており、第1のルーティングトラック324は第1の導電性トレース353及び第4の導電性トレース323に導電的に接続され、第2のルーティングトラック314は、第2の導電性トレース363及び

10

20

30

40

50

第3の導電性トレース313に導電的に接続されている。図3Iは、第1の部分と第2の部分を組み合わせた上面図を示しており、従って、簡潔にするために詳細な説明は省略する。第1のルーティングトラック324及び第2のルーティングトラック314は、ゲートG1～G4の上方に形成されることがある。

【0064】

本開示の図2A及び図3Aを戻って参照すると、2D半導体装置299では、ゲートG1及びG4を導電的に結合するために二方向構造（例えば、導電性構造214）が使用される。しかしながら、3D半導体装置399では、第1の導電性トレース353及び第4の導電性トレース323は、それぞれゲートG1及びG4を第1のルーティングトラック324に導電的に結合するように構成されることがあり、第1のルーティングトラック324は単一方向構造（例えば、X方向に平行な）である。従って、pFET（例えば、P1）及びnFET（例えば、N2）のゲートG1及びG4がそれぞれ異なる平面（例えば、基板面305及び平面307）内に形成される場合、ゲートG1及びG4は、単一方向形状を有する同じルーティングトラック（例えば、第1のルーティングトラック341）を共有するか又はこれにアクセスすることができ、従って、導電性構造214によって実装されるnFETとpFETとの交差などの、追加のメタライズの必要性が軽減される。従って、二方向構造の使用は、3D半導体装置399では解消されるか又は低減されることがあり、ルーティングの輻輳を低減することができる、というのも、単一方向構造を形成することは、二方向構造を形成することよりも容易である場合があるからである。

【0065】

二方向構造の使用は半導体装置の面積を増加させることがあり、従って、二方向構造を解消又は低減すると、半導体装置の面積を低減することができる。更に、Z方向に沿って複数のトランジスタを垂直に積み重ねると（例えば、図3A、図3B、図3D、及び図3Eに示すように、P1及びN1を垂直に積み重ね、P2及びN2を垂直に積み重ねると）、半導体装置の面積を低減することができる。図2A及び図3Cを比較すると、図2AのXC210の2D領域は、X方向に沿って2ポリ・ピッチ（例えば、2cpp）の幅をカバーし、Y方向に沿って少なくとも8Tの高さをカバーする。高さは、上述のようにdhであり得る。対照的に、図3CのXC310の3D領域は、X方向に沿って2ポリ・ピッチ（例えば、2cpp）の幅をカバーし、Y方向に沿って5Tの高さをカバーする。従って、3D半導体装置399内のトランジスタ密度は、2D半導体装置299内のトランジスタ密度よりも高いことがある。

【0066】

図2B、図2C、及び図3Cを参照すると、X方向及びY方向に沿った導電性構造213の長さ寸法（例えば、d1～d3の合計）及び導電性構造214の長さ寸法（例えば、d4～d6の合計）は、X方向に沿った第1のルーティングトラック324及び第2のルーティングトラック314の長さ寸法d7よりも長いことがあり、従って、導電性構造213～214のそれぞれの寄生容量及び／又は抵抗は、第1のルーティングトラック324及び第2のルーティングトラック314のそれぞれよりも大きくなることがある。従って、XC310の性能はXC210の性能よりも優れていることがある。

【0067】

図3Lは、3D半導体装置399を示しており、MUX300は、インバーター120を実装するインバーター320を更に含む。明確にするために、図3A～図3Iを参照して説明されたXC310内の様々な構成要素は省略され、一方、基板301、第1のチャネル構造373及び第2のチャネル構造375、第1のルーティングトラック324及び第2のルーティングトラック314を含む構成要素が、図3Lに示されている。インバーター320は、基板面305上などの基板301上に形成されたトランジスタP3と、Z方向に沿ってP3上に積み重ねられたトランジスタN3とを有するトランジスタの第3のスタック383を含むことがある。N3は、平面308上に形成されることがある。図1A及び図3Lを参照すると、P3はゲートG5、端子T9、及び端子T10を含み、N3はゲートG6、端子T11、及び端子T12を含み、ゲートG5～G6を導電的に結合し

て共通ゲート 395 を形成することがある。図 3 L に示す例では、ゲート G5 ～ G6 は物理的に接続されている。第 5 の導電性トレース 343 は、共通ゲート 395 を、第 1 のルーティングトラック 324 及び第 2 のルーティングトラック 314 のうちの 1 つに導電的に結合するように構成されることがある。一例では、第 5 の導電性トレース 343 は、共通ゲート 395 を、第 1 のルーティングトラック 324 に結合するように構成され、従って、共通ゲート 395 は「sel」に結合されることがある。P3 は、第 1 のチャンネル構造 373 の一部を更に含むことがある。P3 が動作しているとき、第 1 のチャンネル構造 373 のこの部分は、P3 のための、p チャンネルなどの半導体チャンネルを提供することができる。N3 は、第 2 のチャンネル構造 375 の一部を更に含むことがある。N3 が動作しているとき、第 2 のチャンネル構造 375 のこの部分は、N3 のための、n チャンネルなどの半導体チャンネルを提供することができる。

10

【0068】

第 3 のスタック 383 は、XC310 に対して、3D 半導体装置 399 内の任意の適切な位置に配置することができる。例えば、第 3 のスタック 383 は、XC310 の外側に配置されることがあり、第 1 のスタック 381 及び第 2 のスタック 382 と平行である。或いは、第 3 のスタック 383 は XC310 の内部に配置されることがある。

【0069】

端子 T10 ～ T11 は、端子構造 303 として一緒に結合されることがあり、導電性トレース 333 は、端子 T10 ～ T11 又は端子構造 303 を第 2 のルーティングトラック 314 に導電的に結合するように構成されることがあり、端子 T10 ～ T11 は、インバーター 320 の出力信号（例えば、「!sel」）を出力することがある。

20

【0070】

3D 半導体装置 399 は、1 つ又は複数の論理機能を実装することができる論理セル、メモリセルなどの、1 つ又は複数のセルを含むことがある。一例では、3D 半導体装置 399 はセルを含み、そのセルの中に XC310 がある。更に、そのセルが、インバーター 320 を含むことがあり、従って、MUX300 はそのセルの中にある。

【0071】

図 4 は、本開示の一実施形態による CFET ベースの論理設計のための、開示された XC310 を使用した例示的な 3D 半導体装置 499 の上面図を示す。3D 半導体装置 499 は、MUX400 を含むことがあり、この MUX400 は、XC410 及びインバーター 420 を更に有する。一例では、MUX400 は MUX300 と同一の又は同様の構成要素を含むことがあり、XC410 は XC310 と同一の又は同様の構成要素を含むことがあり、インバーター 420 は、インバーター 320 と同一の又は同様の構成要素を含むことがあり、従って、簡潔にするために、MUX400、XC410、及びインバーター 420 の詳細な説明は省略する。

30

【0072】

一例では、MUX400 は、インバーター 430 を更に含み、このインバーター 430 は、インバーター 430 の入力ピン上の信号「i」を反転して信号「a」を生成する（即ち、「a」＝「!i」）ように構成される。信号「a」は、XC410 への第 1 の入力になる。更に、MUX400 は、インバーター 440 を含み、このインバーター 440 は、信号「a」を XC410 への第 2 の入力になる信号「b」へと反転させるように構成され、ここで、信号「a」及び「b」は互いに反転されており、信号「b」は実質的に元の入力信号「i」の二重反転になる。MUX400 は、ダミーゲート 451 ～ 452 も含むことがあり、これらは、例えば、隣接するセル又はマルチプレクサから MUX400 を電気的に絶縁することができる。

40

【0073】

本開示の実施形態は、特定のジオメトリ、回路図などの特定の詳細と共に説明されている。しかしながら、当然のこととして、本明細書に記載の技術は、これらの特定の詳細から逸脱する他の実施形態において実施することができ、そのような詳細は、説明のためのものであり、限定のためのものではない。一般的に、実施形態は、第 1 のトランスミッシ

50

ョンゲート及び第2のトランスミッションゲートを含むトランスミッションゲートペアを形成することに適用可能であり得る。第1のトランスミッションゲートは、互いに反転された信号のペア（例えば、反転信号のペア）によって制御することができる。第2のトランスミッションゲートも、反転信号のペアによって制御されることがある。更に、反転信号のペアのそれぞれは、2つのトランジスタを制御することがあり、それら2つのトランジスタの一方は第1のトランスミッションゲート（第1の信号経路に対応する）内にあり、それら2つのトランジスタの他方は、第2のトランスミッションゲート（第2の信号経路に対応する）内にある。

【0074】

上述のように、スプリットゲート構造及び製造プロセスを使用して、第1のトランスミッションゲート内にスプリットゲートの第1のペアを形成することができる。同様に、スプリットゲートの第2のペアを第2のトランスミッションゲート内に形成することができる。従って、トランジスタ密度及びトランスミッションゲートペアの性能を向上させることができる。更に、スプリットゲート構造を使用することにより、二方向構造を形成する複雑さを低減又は解消することができ、トランスミッションゲートペアのレイアウト又は設計を簡素化することができる。

【0075】

第1のトランスミッションゲート及び第2のトランスミッションゲートのそれぞれは、相補型トランジスタを含むことがある。相補型トランジスタは、任意の適切な構成を有することができる。例えば、n型トランジスタをp型トランジスタの上に積み重ねることができる。或いは、p型トランジスタをn型トランジスタの上に積み重ねることができる。相補型トランジスタがCFETである場合。CFETは、任意の適切な構成を有することができる。例えば、nFETをpFETの上に積み重ねることができる。或いは、pFETをnFETの上に積み重ねることができる。上述した実施形態は、上記の状況に適切に適合させることができる。

【0076】

相補型トランジスタを積み重ねるのに加えて、複数のp型トランジスタを積み重ねることができる。同様に、複数のn型トランジスタを積み重ねることができる。同様に、複数のpFETを積み重ねることができ、複数のnFETを積み重ねることができる。上述した実施形態は、上記の状況に適切に適合させることができる。

【0077】

本開示における3D半導体装置399及び499、MUX300及び400、並びにXC310及び410は、例えば、2018年11月30日に出願された、「Semiconductor apparatus having stacked gates and method of manufacture thereof」と題された米国特許出願第16/206,513号明細書に開示されているような、任意の適切な構造、構成要素、材料系、寸法、及び製造プロセスを使用して製造することができ、該出願は、参照によりその全体が本明細書に組み込まれる。例えば、第1のスタック381（スプリットゲートG1～G2及び誘電体層371を含む）及び第2のスタック382（スプリットゲートG3～G4及び誘電体層371を含む）は、米国特許出願第16/206,513号明細書に記載されたものと同様の又は同一の構造及び材料系を有することがある。

【0078】

実施形態は、積み重ねられたSRAM及び他のトランジスタタイプなどの追加の3Dデバイスを含むことがある3D半導体装置に、適切に適合させることができる。

【0079】

前述の説明では、処理システムの特定のジオメトリ並びにそこで使用される様々な構成要素及びプロセスの説明など、特定の詳細について記載してきた。しかしながら、当然のこととして、本明細書に記載の技術は、これらの特定の詳細から逸脱する他の実施形態において実施することができ、そのような詳細は、説明のためのものであり、限定のためのものではない。本明細書に開示の実施形態を、添付図面を参照して説明してきた。同様に

、説明の目的のため、完全な理解をもたらすために特定の数、材料、及び構成を明らかにしてきた。それにもかかわらず、そのような特定の詳細なしで実施形態を実施することができる。実質的に同じ機能的構成を有する構成要素は、同様の参照記号によって示しており、従って、冗長な説明は省略している場合がある。

【0080】

様々な実施形態の理解を支援するために、様々な技術を複数の個別の動作として説明してきた。記述の順序は、これらの動作が必然的に順序依存であることを示唆するものと解釈されるべきではない。実際、これらの動作は提示した順序で実行される必要はない。記載の動作は、記載の実施形態とは異なる順序で実行されてよい。様々な追加動作が実施されてよく、且つ／又は記載の動作が別の実施形態では省略されてよい。

10

【0081】

本明細書で用いる「基板」又は「ターゲット基板」は一般に本発明に従い処理される対象を指す。基板は、デバイス（特に半導体デバイス又は他の電子デバイス）の任意の材料部分又は構造を含んでよく、例えば、ベース基板構造（半導体ウェーハ等）、レチクル、又はベース基板構造上の又はベース基板構造を覆う層（薄膜等）であってよい。従って、基板は、パターンニングされているか否かに依らず、いかなる特定のベース構造、下敷きとなる層又は上を覆う層にも限定されず、むしろ、任意のそのような層又はベース構造、並びに層及び／又はベース構造の任意の組み合わせを包含するものとする。記述が特定の種類の基板を指す場合があるが、これは説明を目的としたものに過ぎない。

【0082】

当業者にはまた、上記で説明した技術の動作に対し多くの変更がなされても依然として本発明の同じ目的を達成できることが理解されよう。このような変更は本開示の範囲に包含されるものとする。従って、本発明の実施形態の上述の説明は限定を意図していない。むしろ、本発明の実施形態に対する全ての限定が以下の請求項に示されている。

20

【0083】

本開示の態様を、例として提案される特定の実施形態と共に説明してきたが、それらの例に対して代替、修正、及び変形を加えることができる。従って、本明細書に記載される実施形態は、例示的であることが意図されており、限定するものではない。以下に記載する特許請求の範囲から逸脱することなく行うことができる変更が存在する。

30

40

50

【図 2 C】

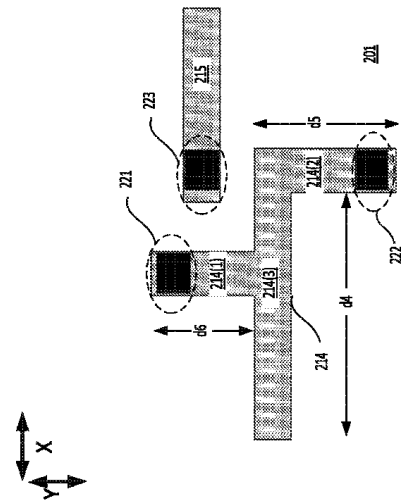


FIG. 2C

【図 2 D】

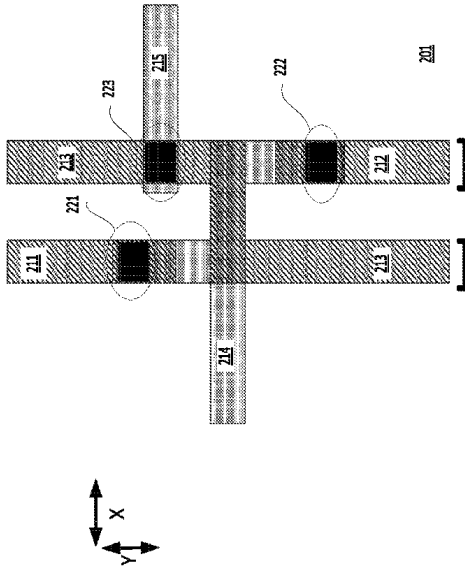


FIG. 2D

【図 3 A】

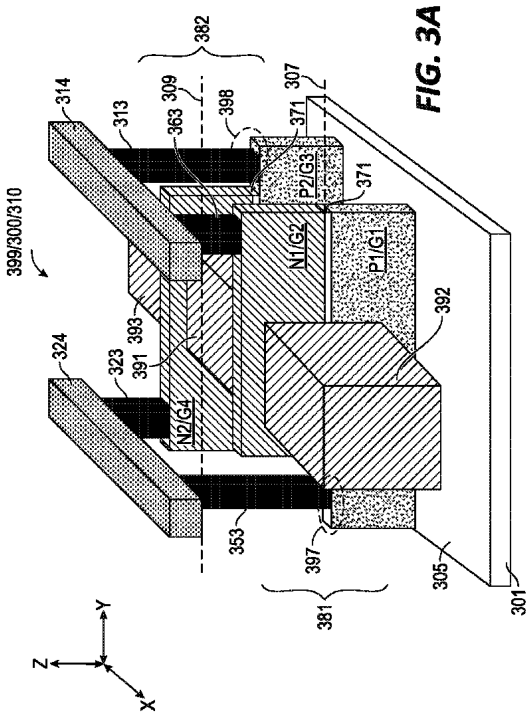


FIG. 3A

【図 3 B】

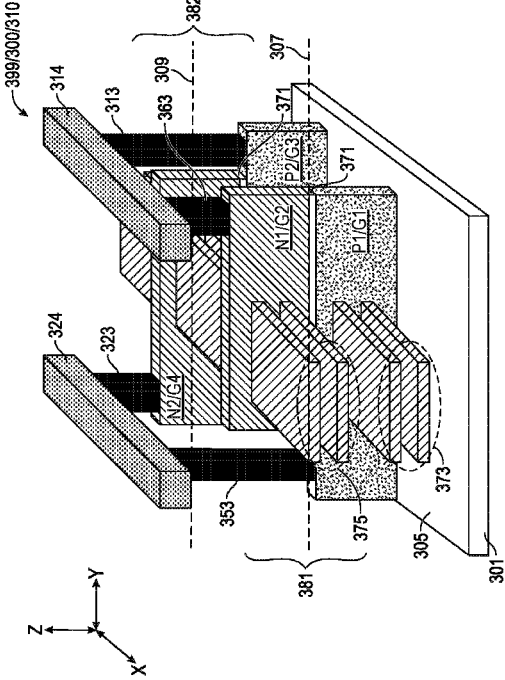


FIG. 3B

10

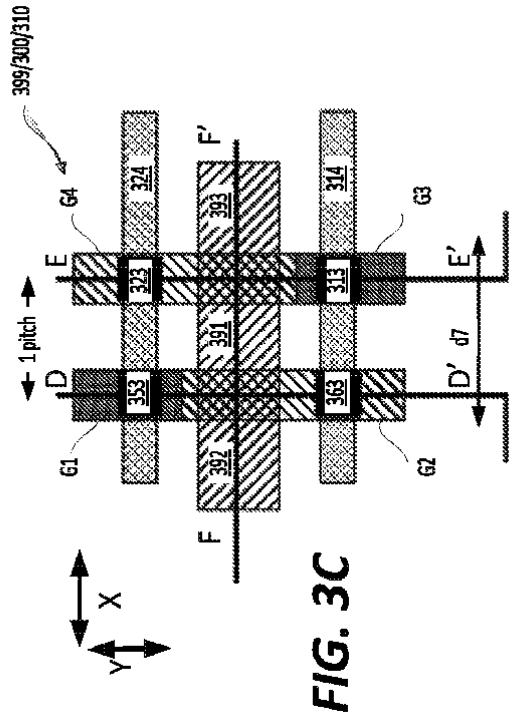
20

30

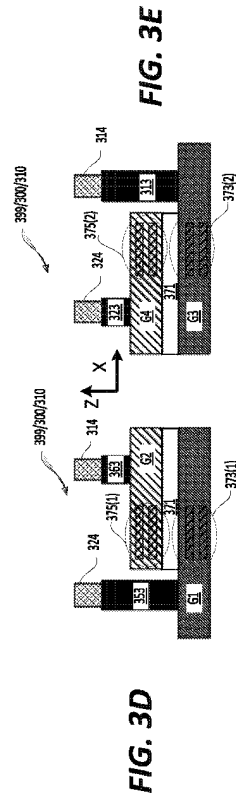
40

50

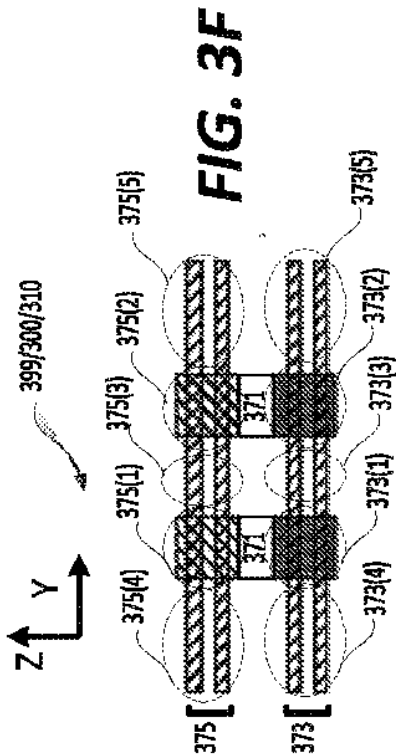
【図 3 C】



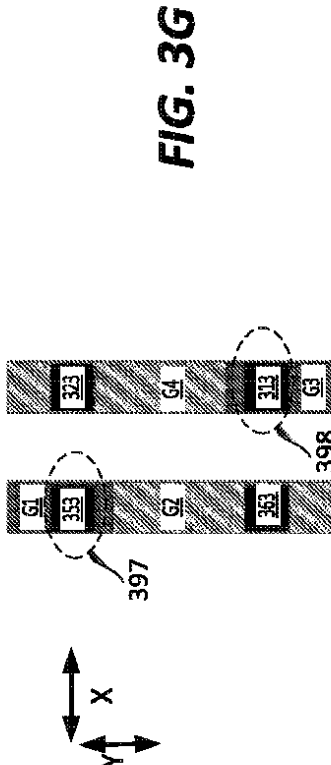
【図 3 D - 3 E】



【図 3 F】



【図 3 G】



【図 3 H】

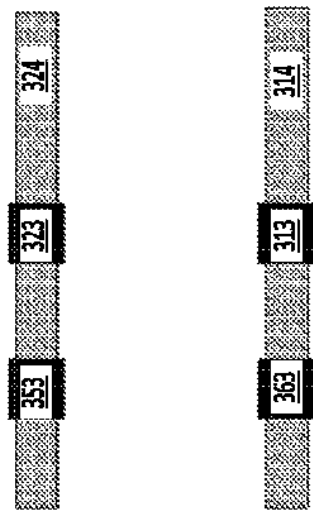


FIG. 3H

【図 3 I】

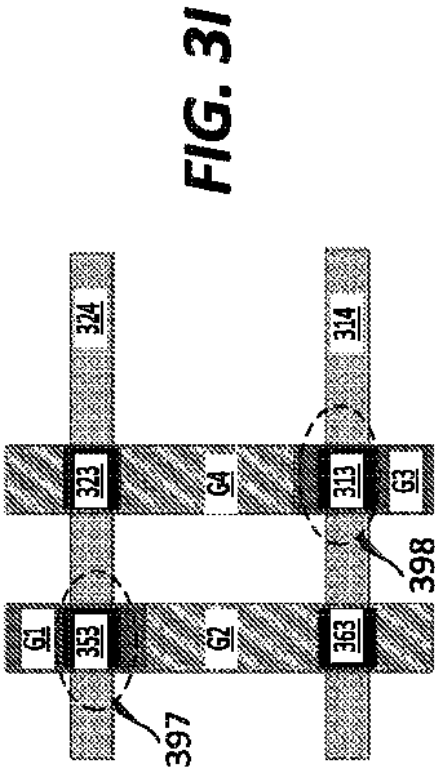


FIG. 3I

【図 3 L】

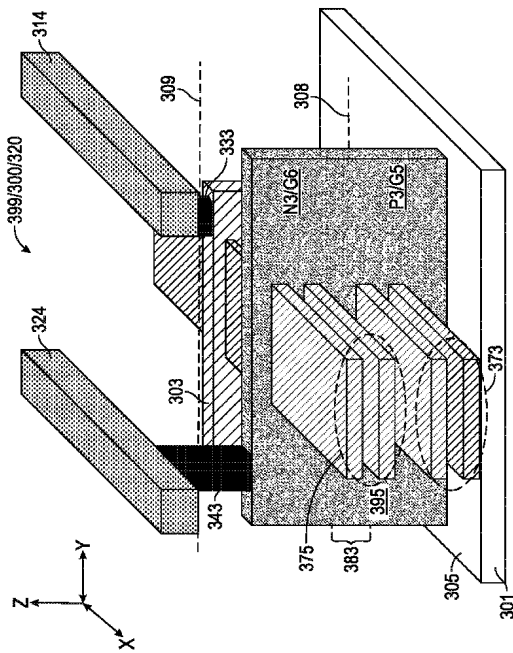


FIG. 3L

【図 4】

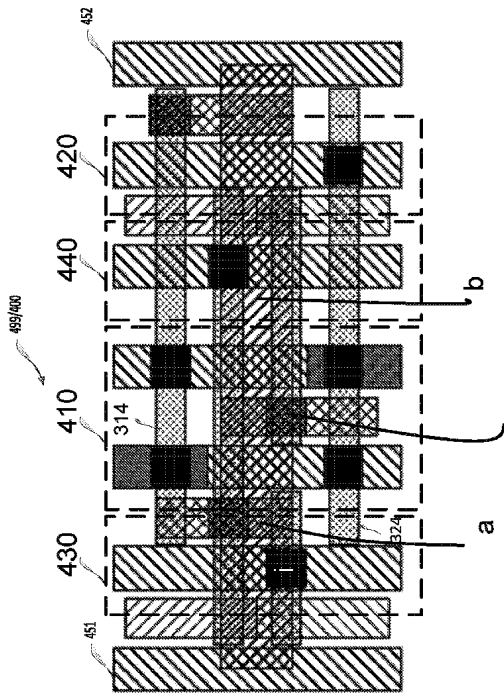


FIG. 4

10

20

30

40

50

フロントページの続き

(33)優先権主張国・地域又は機関

米国(US)

アメリカ合衆国 ニューヨーク州 12203, オールバニー, フラー ロード 255, スイート 214, ナノファブ 300 サウス

(72)発明者 デヴィリアーズ, アントン

アメリカ合衆国 ニューヨーク州 12203, オールバニー, フラー ロード 255, スイート 214, ナノファブ 300 サウス

(72)発明者 チャネムゲーム, ダニエル

アメリカ合衆国 ニューヨーク州 12203, オールバニー, フラー ロード 255, スイート 214, ナノファブ 300 サウス

審査官 石川 雄太郎

(56)参考文献 米国特許出願公開第2019/0172828 (US, A1)

特開平07-202680 (JP, A)

特開2015-207764 (JP, A)

(58)調査した分野 (Int.Cl., DB名)

H01L 21/82

H01L 21/8238

H01L 27/092