

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】令和3年1月21日(2021.1.21)

【公表番号】特表2020-501474(P2020-501474A)

【公表日】令和2年1月16日(2020.1.16)

【年通号数】公開・登録公報2020-002

【出願番号】特願2019-551241(P2019-551241)

【国際特許分類】

H 03 G 11/00 (2006.01)

H 03 M 1/12 (2006.01)

【F I】

H 03 G 11/00

H 03 M 1/12 A

【手続補正書】

【提出日】令和2年11月30日(2020.11.30)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

電圧クランプ回路であって、

コンパレータループ回路であって、

電圧レールと入力ノードとを相互接続するトランジスタネットワークと、

コンパレータであって、

前記入力ノードに提供される入力電圧をクランピング電圧と比較し、

前記入力電圧が対応するクランピング電圧を超えることに応答して前記入力電圧を前記クランピング電圧にほぼ等しくなるように設定するために前記トランジスタネットワークをアクティベートする、

よう構成される、前記コンパレータと、

を含む、前記コンパレータループ回路を含む、電圧クランプ回路。

【請求項2】

請求項1に記載の電圧クランプ回路であって、

前記コンパレータが、トランジスタの自己バイアス共通・ゲート配置として更に構成される、電圧クランプ回路。

【請求項3】

請求項1に記載の電圧クランプ回路であって、

前記コンパレータが、

前記コンパレータの出力に対応する共通結合制御端子を含む第1のトランジスタの対であって、前記第1のトランジスタの対の一方が、前記入力ノードに結合される端子を含み、前記第1のトランジスタの対の他方が、前記クランピング電圧に結合される端子を含む、前記第1のトランジスタの対と、

静的電流源により制御される電流ミラーとして配される第2のトランジスタの対であって、前記第2のトランジスタの対の各々が、前記電圧レールに結合される第1の端子と、前記第1のトランジスタの対の各々の第2のそれぞれの端子に結合される第2の端子とを含む、前記第2のトランジスタの対と、

を含む、電圧クランプ回路。

【請求項 4】

請求項 1 に記載の電圧クランプ回路であって、
前記トランジスタネットワークが、
前記コンパレータの出力によりアクティベートされる第 1 のトランジスタと、
前記入力ノードと前記電圧レールとを相互接続し、前記第 1 のトランジスタにより制御
される第 2 のトランジスタと、
を含む、電圧クランプ回路。

【請求項 5】

請求項 4 に記載の電圧クランプ回路であって、
前記トランジスタネットワークが、前記電圧レールと前記第 1 のトランジスタとに結合
される第 3 のトランジスタを更に含み、前記第 3 のトランジスタが、前記第 2 のトランジ
スタを制御するため前記第 1 のトランジスタと協働するように第 1 のバイアス電圧を介
して制御される、電圧クランプ回路。

【請求項 6】

請求項 1 に記載の電圧クランプ回路であって、
前記クランピング電圧がプログラム可能であり、
前記コンパレータループ回路が、前記入力電圧を前記クランピング電圧にほぼ等しくな
るよう設定するため、前記入力電圧が前記クランピング電圧を超えることに応答して、
前記入力ノードを前記電圧レールに結合するように構成される、電圧クランプ回路。

【請求項 7】

請求項 1 に記載の電圧クランプ回路であって、
前記電圧レールと前記コンパレータループ回路との間に結合される電圧生成器であって
、前記クランピング電圧を生成するように構成される、前記電圧生成器を更に含み、
前記コンパレータループ回路が、前記コンパレータが前記入力電圧を前記クランピング
電圧にほぼ等しくなるよう設定するため、前記入力電圧が前記クランピング電圧を超
えることを検出することに基づいて、前記入力ノードを前記電圧生成器の前記クランピング
電圧に結合するように構成される、電圧クランプ回路。

【請求項 8】

請求項 1 に記載の電圧クランプ回路であって、
前記クランピング電圧が低クランピング電圧と高クランピング電圧とを含み、
前記コンパレータループ回路が、
第 1 のコンパレータループ回路であって、
前記入力ノードと前記高電圧レールとを相互接続する第 1 のトランジスタネットワーク
と、

第 1 のコンパレータであって、
前記入力電圧を前記低クランピング電圧と比較し、
前記入力電圧が前記低クランピング電圧より小さく低減することに応答して前記第 1 の
コンパレータの出力をアサートし、

前記入力電圧が前記低クランピング電圧より小さく低減することに応答して、前記入力
電圧を前記低クランピング電圧にほぼ等しくなるよう設定するため、前記第 1 のトラン
ジスタネットワークをアクティベートする、

よう構成される、前記第 1 のコンパレータと、
を含む、前記第 1 のコンパレータループ回路と、
第 2 のコンパレータループ回路であって、
前記入力ノードと前記低電圧レールとを相互接続する第 2 のトランジスタネットワーク
と、

第 2 のコンパレータであって、
前記入力電圧を前記高クランピング電圧と比較し、
前記入力電圧が前記高クランピング電圧より大きく増大することに応答して前記第 2 の
コンパレータの出力をアサートし、

前記入力電圧が前記低クランピング電圧より大きく増大することに応答して、前記入力電圧が前記高クランピング電圧にほぼ等しくなるように設定するために、前記第2のトランジスタネットワークをアクティベートする、

 よう構成される、前記第2のコンパレータと、
 を含む、前記第2のコンパレータループ回路と、
 を含む、電圧クランプ回路。

【請求項9】

請求項1の前記電圧クランプ回路を含むアナログデジタルコンバータ(ADC)回路であって、

 アナログ電圧入力と前記入力ノードとの間に接続される入力抵抗器であって、前記入力電圧が前記アナログ電圧入力において提供されるアナログ電圧に基づいて前記入力ノードにおいて生成される、前記入力抵抗器と、

 前記入力ノードに結合され、前記入力電圧に基づいてデジタル信号を生成するように構成されるADCと、
 を含む、ADC回路。

【請求項10】

電圧クランプ回路であって、

 入力電圧を低クランピング電圧と比較し、前記入力電圧を前記低クランピング電圧にほぼ等しくなるように設定するために、前記入力電圧が前記低クランピング電圧より小さく低減することに応答して第1のトランジスタネットワークをアクティベートするために出力をアサートするように構成される第1のコンパレータを含む第1のコンパレータループ回路と、

 前記入力電圧を高クランピング電圧と比較し、前記入力電圧を前記高クランピング電圧にほぼ等しくなるように設定するために、前記入力電圧が前記低クランピング電圧より大きく増大することに応答して第2のトランジスタネットワークをアクティベートするために出力をアサートするように構成される第2のコンパレータを含む第2のコンパレータループ回路と、

を含む、電圧クランプ回路。

【請求項11】

請求項10に記載の電圧クランプ回路であって、

 前記第1のコンパレータと前記第2のコンパレータとの各々が、トランジスタの自己バイアス共通・ゲート配置として更に構成される、電圧クランプ回路。

【請求項12】

請求項10に記載の電圧クランプ回路であって、

 前記第1のトランジスタネットワークが、前記第1のコンパレータによりアクティベートされる第1のトランジスタであって、前記入力ノードと高電圧レールとを相互接続する第2のトランジスタを制御するように構成される、前記第1のトランジスタを含み、

 前記第2のトランジスタネットワークが、前記第2のコンパレータによりアクティベートされる第3のトランジスタであって、前記入力ノードと低電圧レールとを相互接続する第4のトランジスタを制御するように構成される、前記第3のトランジスタを含む、電圧クランプ回路。

【請求項13】

請求項12に記載の電圧クランプ回路であって、

 前記第2のトランジスタが、前記高電圧レールに結合されて第1のバイアス電圧を介して制御される第5のトランジスタにより更に制御され、

 前記第4のトランジスタが、前記低電圧レールに結合されて第2のバイアス電圧を介して制御される第6のトランジスタにより更に制御される、電圧クランプ回路。

【請求項14】

請求項10に記載の電圧クランプ回路であって、

 前記高及び低クランピング電圧の各々がプログラム可能であり、

前記第1のコンパレータループ回路が、前記入力電圧を前記低クランピング電圧にほぼ等しくなるように設定するために、前記入力電圧が前記低クランピング電圧より小さく低減することに応答して前記入力ノードを高電圧レールに結合するように構成され、

前記第2のコンパレータループ回路が、前記入力電圧を前記高クランピング電圧にほぼ等しくなるよう設定するために、前記入力電圧が前記低クランピング電圧より大きく増大することに応答して前記入力ノードを低電圧レールに結合するように構成される、電圧クランプ回路。

【請求項15】

請求項10に記載の電圧クランプ回路であって、
低電圧レールに結合され、前記低クランピング電圧を生成するように構成される第1の電圧生成器と、

高電圧レールに結合され、前記高クランピング電圧を生成するように構成される第2の電圧生成器と、

を更に含み、

前記第1のコンパレータループ回路が、前記入力電圧を前記低クランピング電圧にほぼ等しくなるよう設定するために、前記入力電圧が前記低クランピング電圧より小さく低減することに応答して前記入力ノードを前記第2の電圧生成器に結合するように構成され、

前記第2のコンパレータループ回路が、前記入力電圧を前記高クランピング電圧にほぼ等しくなるよう設定するために、前記入力電圧が前記低クランピング電圧より大きく増大することに応答して前記入力ノードを前記第1の電圧生成器に結合するように構成される、電圧クランプ回路。

【請求項16】

請求項11に記載の前記電圧クランプ回路を含むアナログデジタルコンバータ(ADC)回路であって、

アナログ電圧入力と前記入力ノードとを相互接続する入力抵抗器であって、前記入力電圧が前記アナログ電圧入力において提供されるアナログ電圧に基づいて生成される、前記入力抵抗器と、

前記入力ノードに結合され、前記入力電圧に基づいてデジタル信号を生成するように構成されるADCと、

を含む、ADC回路。

【請求項17】

アナログデジタルコンバータ(ADC)回路であって、

アナログ電圧入力とADC入力ノードとの間に接続される入力抵抗器と、

前記ADC入力ノードに結合される電圧クランプ回路であって、

コンパレータループ回路であって、

電圧レールと入力ノードとを相互接続するトランジスタネットワークと、

コンパレータであって、

前記入力ノードに提供される入力電圧をクランピング電圧と比較し、

前記入力電圧が対応するクランピング電圧を超えることに応答して、前記入力電圧を前記クランピング電圧にほぼ等しくなるように設定するために前記トランジスタネットワークをアクティベートする、

よう構成される、前記コンパレータと、

を含む、前記コンパレータループ回路を含む、前記電圧クランプ回路と、

前記ADC入力ノードに結合され、前記入力電圧に基づいてデジタル信号を生成するように構成されるADCと、

を含む、ADC回路。

【請求項18】

請求項17に記載のADC回路であって、

前記トランジスタネットワークが第1のトランジスタを含み、前記第1のトランジスタが、前記コンパレータによりアクティベートされ、前記入力ノードと前記電圧レールとを

相互接続する第 2 のトランジスタを制御するように構成される、A D C 回路。

【請求項 19】

請求項 17 に記載の A D C 回路であって、

前記電圧レールに結合され、前記クランピング電圧を生成するように構成される電圧生成器を更に含み、

前記コンパレータループ回路が、前記入力電圧を前記クランピング電圧にほぼ等しくなるよう設定するために、前記入力電圧が前記クランピング電圧を超えることに応答して前記入力ノードを前記電圧生成器に結合するように構成される、A D C 回路システム。

【請求項 20】

請求項 17 に記載の A D C 回路であって、

前記クランピング電圧が、低クランピング電圧と高クランピング電圧とを含み、

前記コンパレータループ回路が、

第 1 のコンパレータループ回路であって、

前記入力ノードと前記高電圧レールとを相互接続する第 1 のトランジスタネットワークと、

第 1 のコンパレータであって、

前記入力電圧を前記低クランピング電圧と比較し、

前記入力電圧が前記低クランピング電圧より小さく低減することに応答して前記第 1 のコンパレータの出力をアサートし、

前記入力電圧が前記低クランピング電圧より小さく低減することに応答して、前記入力電圧を前記低クランピング電圧にほぼ等しくなるよう設定するために前記第 1 のトランジスタネットワークをアクティベートする、

ように構成される、前記第 1 のコンパレータと、

を含む、前記第 1 のコンパレータループ回路と、

第 2 のコンパレータループ回路であって、

前記入力ノード及び前記低電圧レールを相互接続する第 2 のトランジスタネットワークと、

第 2 のコンパレータであって、

前記入力電圧を前記高クランピング電圧と比較し、

前記入力電圧が前記高クランピング電圧より大きく増大することに応答して前記第 2 のコンパレータの出力をアサートし、

前記入力電圧が前記高クランピング電圧より大きく増大することに応答して、前記入力電圧が前記高クランピング電圧にほぼ等しくなるよう設定するために前記第 2 のトランジスタネットワークをアクティベートする、

ように構成される、前記第 2 のコンパレータと、

を含む、前記第 2 のコンパレータループ回路と、

を含む、A D C 回路。