



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201320092 A1

(43)公開日：中華民國 102 (2013) 年 05 月 16 日

(21)申請案號：101118238

(22)申請日：中華民國 101 (2012) 年 05 月 22 日

(51)Int. Cl. : **G11C5/14 (2006.01)**

H03K19/0175(2006.01)

(30)優先權：2011/11/01 美國

13/286,718

(71)申請人：L S I 公司(美國) LSI CORPORATION (US)

美國

(72)發明人：費司雀 強納生 H FISCHER, JONATHAN H. (US)

(74)代理人：陳長文

申請實體審查：無 申請專利範圍項數：10 項 圖式數：7 共 39 頁

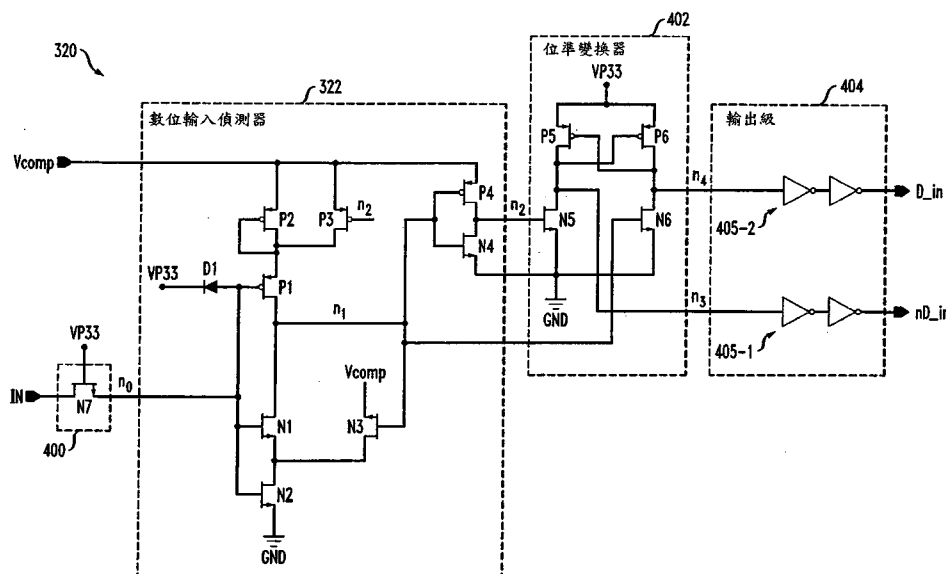
(54)名稱

數位輸入偵測器及相關聯的適應性電源供應器

DIGITAL INPUT DETECTOR AND ASSOCIATED ADAPTIVE POWER SUPPLY

(57)摘要

一儲存裝置或其他類型之處理裝置之介面電路包括一數位輸入偵測器及一適應性電源供應器。該數位輸入偵測器包括一輸入電晶體。該適應性電源供應器將隨著該輸入電晶體之一臨限電壓而變化之一可變供應電壓提供至該數位輸入偵測器。在一項實施例中，由該適應性電源供應器提供至該數位輸入偵測器之該可變供應電壓關於依據一輸入信號之一預期邏輯位準判定之一設定點值隨著該輸入電晶體之該臨限電壓變化。舉例而言，可依據一最小預期邏輯高輸入信號位準來判定該設定點值。在此一配置中，針對具有該最小預期邏輯高輸入信號位準之一輸入信號，以該臨限電壓或接近該臨限電壓之電壓加偏壓於該輸入電晶體。



320：介面電路/介面

322：數位輸入偵測器

400：輸入過載保護裝置

402：位準變換器電路

404：輸出級

405-1：第一對串聯連接反相器

405-2：第二對串聯連接反相器

D_in：未經補充輸出

D1：二極體

IN：輸入/介面電路輸入

N1：N 型 MOS

(NMOS)電晶體/電晶

體/MOS 電晶體裝置/

NMOS 電晶體

N2：N 型 MOS 電晶

體/電晶體/NMOS 電
晶體

N3：NMOS 電晶體/

電晶體

N4：NMOS 電晶體/

電晶體

N5：NMOS 電晶體/

電晶體

N6：NMOS 電晶體/

電晶體

N7：NMOS 電晶體/

輸入過載保護電晶體/

MOS 電晶體裝置

n_0 ：輸入節點/節點

n_1 ：第一輸出節點/輸
出節點/節點

n_2 ：第二輸出節點/輸
出節點/節點

n_3 ：第一輸出/節點

n_4 ：第二輸出/節點

nD_in ：經補充輸出

P1：P 型 MOS

(PMOS)電晶體/PMOS

電晶體/電晶體/輸入電
晶體/PMOS 裝置/

MOS 電晶體裝置

P2：PMOS 電晶體/電
晶體

P3：PMOS 電晶體/電
晶體

P4：PMOS 電晶體/電
晶體

P5：PMOS 電晶體/電
晶體

P6：PMOS 電晶體/電
晶體/MOS 電晶體裝置

Vcomp：可變供應電
壓/適應性供應/適應性
供應電壓/供應電壓

VP33：較高供應電位/
供應



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201320092 A1

(43)公開日：中華民國 102 (2013) 年 05 月 16 日

(21)申請案號：101118238

(22)申請日：中華民國 101 (2012) 年 05 月 22 日

(51)Int. Cl. : **G11C5/14 (2006.01)**

H03K19/0175(2006.01)

(30)優先權：2011/11/01 美國

13/286,718

(71)申請人：L S I 公司(美國) LSI CORPORATION (US)

美國

(72)發明人：費司雀 強納生 H FISCHER, JONATHAN H. (US)

(74)代理人：陳長文

申請實體審查：無 申請專利範圍項數：10 項 圖式數：7 共 39 頁

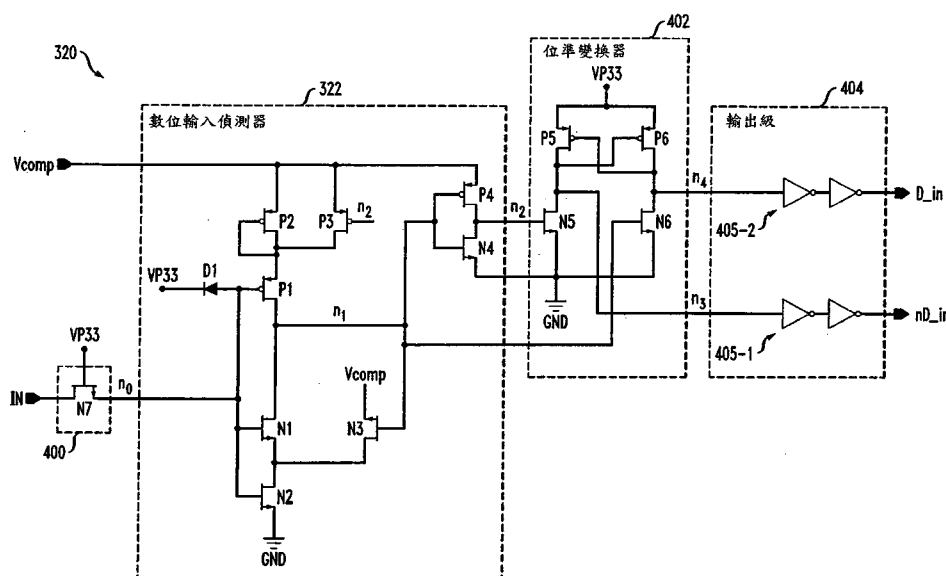
(54)名稱

數位輸入偵測器及相關聯的適應性電源供應器

DIGITAL INPUT DETECTOR AND ASSOCIATED ADAPTIVE POWER SUPPLY

(57)摘要

一儲存裝置或其他類型之處理裝置之介面電路包括一數位輸入偵測器及一適應性電源供應器。該數位輸入偵測器包括一輸入電晶體。該適應性電源供應器將隨著該輸入電晶體之一臨限電壓而變化之一可變供應電壓提供至該數位輸入偵測器。在一項實施例中，由該適應性電源供應器提供至該數位輸入偵測器之該可變供應電壓關於依據一輸入信號之一預期邏輯位準判定之一設定點值隨著該輸入電晶體之該臨限電壓變化。舉例而言，可依據一最小預期邏輯高輸入信號位準來判定該設定點值。在此一配置中，針對具有該最小預期邏輯高輸入信號位準之一輸入信號，以該臨限電壓或接近該臨限電壓之電壓加偏壓於該輸入電晶體。



320：介面電路/介面

322：數位輸入偵測器

400：輸入過載保護裝置

402：位準變換器電路

404：輸出級

405-1：第一對串聯連接反相器

405-2：第二對串聯連接反相器

D_in：未經補充輸出

D1：二極體

IN：輸入/介面電路輸入

N1：N 型 MOS

(NMOS)電晶體/電晶

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：101118238

※ 申請日：101.5.22

※IPC 分類：G11C 5/14 (2006.01)

H03K 19/0125 (2006.01)

一、發明名稱：(中文/英文)

數位輸入偵測器及相關聯的適應性電源供應器

DIGITAL INPUT DETECTOR AND ASSOCIATED ADAPTIVE POWER
SUPPLY

二、中文發明摘要：

一儲存裝置或其他類型之處理裝置之介面電路包括一數位輸入偵測器及一適應性電源供應器。該數位輸入偵測器包括一輸入電晶體。該適應性電源供應器將隨著該輸入電晶體之一臨限電壓而變化之一可變供應電壓提供至該數位輸入偵測器。在一項實施例中，由該適應性電源供應器提供至該數位輸入偵測器之該可變供應電壓關於依據一輸入信號之一預期邏輯位準判定之一設定點值隨著該輸入電晶體之該臨限電壓變化。舉例而言，可依據一最小預期邏輯高輸入信號位準來判定該設定點值。在此一配置中，針對具有該最小預期邏輯高輸入信號位準之一輸入信號，以該臨限電壓或接近該臨限電壓之電壓加偏壓於該輸入電晶體。

三、英文發明摘要：

Interface circuitry of a storage device or other type of processing device comprises a digital input detector and an adaptive power supply. The digital input detector comprises an input transistor. The adaptive power supply provides a variable supply voltage to the digital input detector that varies with a threshold voltage of the input transistor. In one embodiment, the variable supply voltage provided to the digital input detector by the adaptive power supply varies with the threshold voltage of the input transistor about a set point value determined as a function of an expected logic level of an input signal. For example, the set point value may be determined as a function of a minimum expected logic high input signal level. In such an arrangement, the input transistor is biased at or close to the threshold voltage for an input signal having the minimum expected logic high input signal level.

四、指定代表圖：

(一)本案指定代表圖為：第(4)圖。

(二)本代表圖之元件符號簡單說明：

320	介面電路/介面
322	數位輸入偵測器
400	輸入過載保護裝置
402	位準變換器電路
404	輸出級
405-1	第一對串聯連接反相器
405-2	第二對串聯連接反相器
D1	二極體
D _{in}	未經補充輸出
IN	輸入/介面電路輸入
nD _{in}	經補充輸出
N1	N型MOS (NMOS)電晶體/電晶體/MOS電 晶體裝置/NMOS電晶體
N2	N型MOS電晶體/電晶體/NMOS電晶體
N3	NMOS電晶體/電晶體
N4	NMOS電晶體/電晶體
N5	NMOS電晶體/電晶體
N6	NMOS電晶體/電晶體
N7	NMOS電晶體/輸入過載保護電晶體/MOS 電晶體裝置
n ₀	輸入節點/節點

n_1	第一輸出節點/輸出節點/節點
n_2	第二輸出節點/輸出節點/節點
n_3	第一輸出/節點
n_4	第二輸出/節點
P1	P型MOS (PMOS)電晶體/PMOS電晶體/電 晶體/輸入電晶體/PMOS裝置/MOS電晶體 裝置
P2	PMOS電晶體/電晶體
P3	PMOS電晶體/電晶體
P4	PMOS電晶體/電晶體
P5	PMOS電晶體/電晶體
P6	PMOS電晶體/電晶體/MOS電晶體裝置
Vcomp	可變供應電壓/適應性供應/適應性供應電 壓/供應電壓
VP33	較高供應電位/供應

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【先前技術】

諸如硬碟機(HDD)之基於磁碟之儲存裝置用於在多種不同類型之資料處理系統中提供非揮發性資料儲存。一典型HDD包括固持亦稱為磁盤之一或多個平坦圓形儲存磁碟之一主軸。每一儲存磁碟包括由一非磁性材料(諸如鋁或玻璃)製成之一基板，該基板塗佈有一或多個磁性材料薄層。在操作中，經由一讀取/寫入磁頭自儲存磁碟之磁軌讀取資料且將資料寫入至儲存磁碟之磁軌，該讀取/寫入磁頭在磁碟高速自旋時藉由一定位臂跨越磁碟表面精確地移動。

HDD通常包含一系統單晶片(SOC)以將來自一電腦或其他處理裝置之資料處理成待寫入至儲存磁碟之一適合形式，且將自該儲存磁碟讀回之信號波形轉換成用於遞送至電腦之資料。HDD包含將SOC介接至用於自儲存磁碟讀取資料且將資料寫入至儲存磁碟之讀取/寫入磁頭之一前置放大器。SOC透過一數位介面與前置放大器通信以便程式化諸如信號增益及頻寬之前置放大器參數，且接收諸如藉由該前置放大器偵測之系統故障之返回資訊。

SOC具有廣泛之數位電路且通常已使用進階CMOS技術來達成成本及效能目標。此已驅動SOC使用不同於由前置放大器所使用之電源供應電壓之電源供應電壓，且隨著時間推移已產生使用各種不同邏輯高輸入信號位準(諸如3.3 V、2.5 V或1.8 V邏輯位準)之SOC與前置放大器之間的數位介

面。前置放大器亦用於格式化儲存磁碟之工廠伺服寫入器中，且伺服寫入器中之某些伺服寫入器使用 5 V 邏輯位準來與該前置放大器通信。

【發明內容】

本發明之說明性實施例提供經改良數位輸入偵測器，該經改良數位輸入偵測器藉由一或多個相關聯的適應性電源供應器供電且非常適用於可係一基於磁碟之儲存裝置(諸如一HDD)中之一前置放大器之部分或可係另一類型之處理裝置之部分之介面電路。

在一項實施例中，一設備包括一數位輸入偵測器及一適應性電源供應器。該適應性電源供應器將隨著數位輸入偵測器之一輸入電晶體之一臨限電壓變化之一可變供應電壓提供至數位輸入偵測器。該設備可係一儲存裝置或其他類型之處理裝置之介面電路之部分或可構成該介面電路。

由適應性電源供應器提供至數位輸入偵測器之可變供應電壓可關於依據一輸入信號之一預期邏輯位準判定之一設定點值隨著輸入電晶體之臨限電壓變化。舉例而言，可依據一最小預期邏輯高輸入信號位準來判定該設定點值。在此一配置中，針對具有該最小預期邏輯高輸入信號位準之一輸入信號，以該臨限電壓或接近該臨限電壓之電壓加偏壓於該輸入電晶體。

一或多個說明性實施例提供併入有數位輸入偵測器之基於磁碟之儲存裝置或其他處理裝置之顯著改良。舉例而言，由適應性電源供應器提供至數位輸入偵測器之可變供

應電壓可經組態以追蹤數位輸入偵測器之輸入電晶體之臨限電壓之變化。此有助於限制在一輸入信號具有在預期最小值處或在預期最小值附近之一邏輯高位準且臨限電壓隨著程序及溫度改變時由數位輸入偵測器汲取之電流量。

【實施方式】

在本文中將結合例示性基於磁碟之儲存裝置、介面電路及相關聯的數位輸入偵測技術圖解說明本發明之實施例。然而，應理解，本發明之此等及其他實施例更一般而言適用於其中期望經改良數位輸入偵測效能之任何處理裝置應用。

圖1展示根據本發明之一說明性實施例之一基於磁碟之儲存裝置100。更特定而言，此實施例中之儲存裝置100包括包含一儲存磁碟110之一HDD。儲存磁碟110具有塗佈有能夠以磁化狀態之形式儲存資料之一或多種磁性材料之一儲存表面。儲存磁碟110連接至一主軸120。藉由一主軸馬達(未在圖中明確展示)驅動主軸120以便使儲存磁碟110高速自旋。

經由安裝於一定位臂140上之一讀取/寫入磁頭130自儲存磁碟110讀取資料且將資料寫入至儲存磁碟110。讀取/寫入磁頭在儲存磁碟110之儲存表面上方之位置係受一電磁致動器150控制。本發明實施例中之電磁致動器150及其相關聯的驅動器電路可視為包括儲存裝置100之本文中更一般而言稱為「控制電路」之一部分。假定此實施例中之此控制電路進一步包含配置在總成之一相對側上之額外電

子組件且因此在圖1之透視圖中不可見。因此意欲廣泛地解釋如本文中所使用之術語「控制電路」以便囊括(以實例而非限制之方式)驅動電子器件、信號處理電子器件及相關聯的處理及記憶體電路，且可進一步囊括用於控制一讀取/寫入磁頭相對於一儲存裝置中之一儲存磁碟之一儲存表面之定位之其他元件。一連接器160用於將儲存裝置100連接至一主機電腦或其他相關處理裝置。

將瞭解，儘管圖1展示本發明之一實施例僅具有一單個儲存磁碟110、讀取/寫入磁頭130及定位臂140，但此僅係以說明性實例之方式，且本發明之替代實施例可包括此等及其他驅動組件之多個例項。舉例而言，一項此替代實施例可包括：多個儲存磁碟，其附接至同一主軸由此所有此等磁碟以相同速度旋轉；及多個讀取/寫入磁頭及相關聯的定位臂，其耦合至一或多個致動器。

此外，除特定展示之元件之外或代替特定展示之元件，如圖1中所圖解說明之儲存裝置100可包含其他元件，該等其他元件包含通常在此一儲存裝置之一習用實施方案中找到之一類型之一或多個元件。在本文中不詳細闡述熟習此項技術者充分理解之此等及其他習用元件。亦應理解，圖1中所展示之特定元件配置僅係以說明性實例之方式呈現。所揭示技術更一般而言可適用於但不限於其中可期望提供數位輸入偵測能力之任何儲存裝置或處理裝置應用。因此熟習此項技術者將認識到多種其他儲存裝置及處理裝置組態可用於實施本發明之實施例中。

圖2更加詳細地展示儲存磁碟110之儲存表面。如所圖解說明，儲存磁碟110之儲存表面包括複數個同心磁軌210。將每一磁軌再分成能夠儲存供後續擷取之一資料區塊之複數個磁區220。在與朝向儲存磁碟之中心定位之磁軌相比時，朝向該儲存磁碟之外側邊緣定位之磁軌具有一較大周長。將該等磁軌分組成數個環狀區帶230，其中在該等區帶中之一既定區帶中之磁軌具有相同磁區數目。外部區帶中之彼等磁軌具有比定位於內部區帶中之磁軌多之磁區。在此實例中，假定儲存磁碟110包括包含一最外部區帶230-0及一最內部區帶230-M之M+1個區帶。

儲存磁碟110之外部區帶提供比內部區帶高之一資料傳送速率。此係部分由於以下事實：本發明實施例中之儲存磁碟一旦經加速而以操作速度旋轉便以一恆定角速度或徑向速度自旋而無論讀取/寫入磁頭之定位如何，但內部區帶之磁軌具有比外部區帶之磁軌小之周長。因此，在讀取/寫入磁頭定位於一外部區帶之磁軌中之一者上方時，針對儲存磁碟之一既定360°轉動，其沿磁碟表面覆蓋比讀取/寫入磁頭定位於一內部區帶之磁軌中之一者上方時大的一線性距離。此一配置稱為具有恆定角速度(CAV)，此乃因儲存磁碟之每一360°轉動花費相同時間量，但應理解，CAV操作並非本發明之實施例之一要求。

跨越儲存磁碟110之整個儲存表面之資料位元密度一般而言係恆定的，此導致外部區帶處之較高資料傳送速率。由於每一外部區帶儲存比內部區帶多之資料，因此當在外

部區帶中存取資料時讀取/寫入磁頭不需要如此頻繁地移動以讀取一既定資料量。因此資料可以比傳送至內部區帶中之磁軌或自內部區帶中之磁軌傳送之速率高之一速率傳送至外部區帶中之磁軌或自外部區帶中之磁軌傳送。

因此，儲存磁碟之最外部環狀區帶230-0具有比儲存磁碟之最內部環狀區帶230-M高之一平均資料傳送速率。在一既定實施例中，最內部環狀區帶與最外部環狀區帶之間的平均資料傳送速率可相差2倍以上。

作為僅以圖解說明之方式提供之一項實例性實施例，最外部環狀區帶可具有大約2.3十億位元每秒(Gb/s)之一資料傳送速率，而最內部環狀區帶具有大約1.0 Gb/s之一資料傳送速率。在此一實施方案中，更特定而言，HDD可具有500 GB之一總儲存容量及7200 RPM之一主軸速度，其中如以上所述資料傳送速率介於自最外部區帶之約2.3 Gb/s至最內部區帶之約1.0 Gb/s之間。

僅出於圖解說明之目的呈現以上所闡述實施例中所提及之特定資料傳送速率及其他特徵，且不應將其解釋為以任何方式進行限制。在其他實施例中可使用多種其他資料傳送速率及儲存磁碟組態。

以下將結合圖3至圖5闡述本發明之一實施例，其中圖1之儲存裝置100經組態以實施包括一經改良數位輸入偵測器之介面電路。

圖3更加詳細地展示圖1之儲存裝置100之一部分。在此視圖中，儲存裝置100包括經由一匯流排306通信之一處理

器300、一記憶體302及一SOC 304。儲存裝置進一步包括在SOC 304與讀取/寫入磁頭130之間提供一介面之一前置放大器308。儘管相對於SOC 304及儲存裝置100之其他組件記憶體302係一外部記憶體，但記憶體302仍然在彼儲存裝置內部。本發明實施例中之SOC 304包含讀取通道電路310及一磁碟控制器312，且引導讀取/寫入磁頭130自儲存磁碟110讀取資料及將資料寫入至儲存磁碟110之操作。

處理器300、記憶體302、SOC 304及前置放大器308可視為共同構成如本文中所利用之彼術語之「控制電路」之一項可能實例。在其他實施例中可使用控制電路之眾多替代配置，且此等配置可僅包含組件300、302、304及308之一子組或此等組件中之一或多個之部分。舉例而言，SOC 304本身可視為「控制電路」之一實例。

因此，如圖3中所展示之儲存裝置100之控制電路通常經組態以處理自讀取/寫入磁頭130接收及供應至讀取/寫入磁頭130之資料且控制讀取/寫入磁頭130相對於儲存磁碟110之定位。

在本發明實施例中，SOC 304之特定操作可由處理器300引導，處理器300執行儲存於外部記憶體302中之程式碼。舉例而言，處理器300可經組態以執行儲存於記憶體302中之程式碼以用於在儲存裝置100中執行讀取及寫入操作。因此，儲存裝置100之控制功能性之至少一部分可至少部分地以軟體程式碼之形式實施。

外部記憶體302可包括呈任何組合形式之諸如隨機存取

記憶體(RAM)或唯讀記憶體(ROM)之電子記憶體。舉例而言，外部記憶體302可至少部分地實施為一雙倍資料速率(DDR)同步動態RAM (SDRAM)。記憶體302係在本文中更一般而言稱為一「電腦可讀儲存媒體」之一實例。此一媒體亦可係可寫入的。

儘管假定在一單個積體電路上實施本發明實施例中之SOC 304，但彼積體電路可進一步包括處理器300、記憶體302、匯流排306及前置放大器308之部分。另一選擇係，處理器300、記憶體302、匯流排306及前置放大器308之部分可至少部分地以一或多個額外積體電路(諸如以其他方式經設計以用於一HDD中且適當地經修改以實施如本文中所示之介面電路之習用積體電路)之形式實施。標題為「Data Storage Drive with Reduced Power Consumption」之第7,872,825號美國專利中揭示可經修改以用於本發明之實施例中之一SOC積體電路之一實例，該專利係隨本發明共同受讓且以引用之方式併入本文中。

可用於實施一既定實施例之處理器、記憶體或其他儲存裝置組件之其他類型之積體電路包含(舉例而言)一微處理器、數位信號處理器(DSP)、特殊應用積體電路(ASIC)、現場可程式化閘陣列(FPGA)或其他積體電路裝置。

在本發明之一實施例之一積體電路實施方案中，多個積體電路晶粒可以一重複圖案形成於一晶圓之一表面上。每一此晶粒可包含如本文中所闡述之一裝置，且可包含其他結構或電路。自晶圓分割或切割晶粒，然後將其封裝成積

體電路。熟習此項技術者將瞭解如何切割晶圓及封裝晶粒以產生經封裝積體電路。將如此製造之積體電路視為此發明之實施例。

儘管在本發明實施例中展示為儲存裝置100之部分，但處理器300及記憶體302可至少部分地實施於一相關聯的處理裝置(諸如其中裝設儲存裝置之一主機電腦或伺服器)內。因此，圖3實施例中之元件300及302可視為與儲存裝置100分離，或視為表示合成元件，其中每一元件包含來自儲存裝置及其相關聯的處理裝置兩者之單獨處理或記憶體電路組件。如以上所述，至少處理器300及記憶體302之部分可視為構成如在本文中廣泛地定義之彼術語之「控制電路」。

本發明實施例中之SOC 304包含與前置放大器308中之介面320通信之介面314。介面314及320可視為在本文中更一般而言稱為「介面電路」之實例。此等介面可包含(舉例而言)一介面，經由該介面SOC可程式化前置放大器之諸如信號增益及頻寬之參數，且可能地亦接收諸如藉由該前置放大器偵測之系統故障之返回資訊。然而，將瞭解，所揭示技術可經調適以用於多種其他類型之介面。

如先前所指示，SOC通常利用不同於由其相關聯的前置放大器所使用之電源供應電壓之一或多個電源供應電壓。舉例而言，介面314中之一者可將基於3.3 V、2.5 V或1.8 V之一SOC電源供應電壓之數位輸入信號提供至前置放大器。因此，取決於產生彼等信號之SOC介面中所利用之電

源供應電壓，自SOC 304施加至前置放大器308之數位輸入信號可展現不同邏輯高信號位準。除處置此等不同邏輯高信號位準之外，亦可需要對應前置放大器介面與用於格式化儲存磁碟110上之伺服標記之一工廠伺服寫入器介接，且此等伺服寫入器可將具有基於-5 V電源供應電壓之邏輯高信號位準之數位輸入信號提供至前置放大器。

本發明實施例中之前置放大器308之介面320包括具有一相關聯的適應性電源供應器324之至少一個數位輸入偵測器322。圖4中展示前置放大器介面320中之一既定介面之至少一部分之一詳細示意圖。數位輸入偵測器322包括在圖4實施例中說明性地展示為一P型MOS (PMOS)電晶體P1之一輸入電晶體。適應性電源供應器324將一可變供應電壓Vcomp提供至數位輸入偵測器322。此實施例中之數位輸入偵測器322將1.8 V、2.5 V、3.3 V及5 V輸入邏輯位準中之一或多者變換成前置放大器308內側所使用之3.3 V邏輯位準。

本發明實施例中由適應性電源供應器324提供至數位輸入偵測器322之可變供應電壓Vcomp關於依據自SOC 304接收於前置放大器308中之一預期邏輯高輸入信號位準判定之一設定點值隨著輸入電晶體P1之一臨限電壓變化。舉例而言，可依據來自SOC 304之一最小預期邏輯高輸入信號位準及輸入電晶體P1之臨限電壓判定該設定點值。作為一更特定實例，該設定點值可判定為最小預期邏輯高輸入信號位準與輸入電晶體P1之臨限電壓之一總和。以下將結合

圖5闡述適應性電源供應器324之一說明性實施例。

在其他實施例中，可使用其他技術來依據預期邏輯高輸入信號位準判定供適應性電源供應器使用之一設定點值。舉例而言，可使用其他技術來選擇該設定點值以使得針對具有最小預期邏輯高輸入信號位準之一輸入信號，以該臨限電壓或接近該臨限電壓之電壓加偏壓於輸入電晶體P1。此外，在其他實施例中可依據一輸入信號之另一預期邏輯位準(諸如一最小預期邏輯低輸入信號位準，而非圖4之實施例中所使用之最小預期邏輯高輸入信號位準)判定該設定點值。

繼續參照圖4，除數位輸入偵測器322之外，前置放大器308之介面電路320進一步包括：一輸入過載保護裝置400，其耦合至數位輸入偵測器之一輸入節點(n_0)；位準變換器電路402，其具有耦合至數位輸入偵測器322之各別第一輸出節點及第二輸出節點(n_1 及 n_2)之第一輸入及第二輸入；及一輸出級404，其包括耦合至位準變換器電路402之一第一輸出(n_3)之一第一對串聯連接之反相器405-1及耦合至位準變換器電路402之一第二輸出(n_4)之一第二對串聯連接反相器405-2。

輸入電晶體P1使其源極經由另一PMOS電晶體P2耦合至適應性電源供應器之Vcomp輸出，且使其汲極經由N型MOS (NMOS)電晶體N1及N2耦合至一較低供應電位(說明性地為接地電位)。輸入電晶體P1之閘極耦合至數位輸入偵測器322之輸入節點 n_0 。輸入電晶體P1之汲極亦耦合至

數位輸入偵測器 322 之第一輸出節點 n_1 。在其他實施例中，該較低供應電位可實施為一負供應電壓或其他類型之 VSS 供應電壓。

P1 之閘極亦經由一個二極體 D1 耦合至一較高供應電位 (在此實施例中說明性地為一 3.3 V 供應電壓，在圖中亦標示為 VP33)。二極體 D1 使其一節點耦合至 P1 之閘極且使其陰極連接至較高供應電位 VP33。在其他實施例中，可使用替代供應電壓作為較高供應電位。因此如圖 4 中所展示之介面電路 320 利用兩個不同電源供應器，即適應性供應 Vcomp 及 3.3 V 供應 VP33。

NMOS 電晶體 N1 及 N2 之各別閘極耦合至 PMOS 電晶體 P1 之閘極且因此耦合至數位輸入偵測器 322 之輸入節點 n_0 。此外，N1 之汲極耦合至 P1 之汲極，N2 之汲極耦合至 N1 之源極，且 N2 之源極耦合至較低供應電位。

數位輸入偵測器 322 進一步包括輸入位準滯後電路，在此實施例中輸入位準滯後電路至少包括 PMOS 電晶體 P2 及 P3，PMOS 電晶體 P2 及 P3 之各別汲極耦合至 P1 之源極且其各別源極耦合至適應性電源供應器之 Vcomp 輸出。P2 之閘極亦耦合至其汲極且耦合至 P1 之源極，且 P3 之閘極耦合至數位輸入偵測器 322 之第二輸出節點 n_2 。本發明實施例中之輸入位準滯後電路進一步包含使其閘極耦合至 P1 之汲極及輸出節點 n_1 之 NMOS 電晶體 N3。N3 之汲極耦合至 N2 之汲極，且 N3 之源極耦合至適應性電源供應器 324 之 Vcomp 輸出。

在此實施例中之包括電晶體P2、P3及N3之輸入位準滯後電路經組態以允許相對大輸入滯後位準而不使信號傳播時間降級。此實施例中之滯後按以下方式操作。當節點 n_0 處之一輸入信號在一邏輯0位準處時，P3接通且將P1之源極連接至Vcomp。在節點 n_1 可自邏輯1切換至邏輯0之前，輸入電壓將上升至接近Vcomp加上P1之臨限電壓 V_t 。在輸入對於節點 n_1 而言係足夠正以將狀態自邏輯1切換至邏輯0之後，P3關斷且現在輸入電壓必須減小至小於Vcomp與P1及P2之臨限電壓之總和，之後節點 n_1 可開始將狀態自0改變至1。因此所提供之滯後量可藉由增加P2之臨限電壓而增加。

數位輸入偵測器322亦包含一輸出反相器，其中該反相器使其輸入耦合至P1之汲極及第一輸出節點 n_1 且使其輸出耦合至第二輸出節點 n_2 。反相器包括PMOS電晶體P4及NMOS電晶體N4。P4及N4之閘極皆耦合至第一輸出節點 n_1 ，且藉此耦合至輸入電晶體P1之汲極。P4之源極耦合至適應性電源供應器324之Vcomp輸出。P4之汲極及N4之汲極皆耦合至第二輸出節點 n_2 。N4之源極耦合至較低供應電位(說明性地為接地電位)。包括電晶體P4及N4之反相器提供用於驅動P3以便實施所要滯後之邏輯反相。反相器亦驅動位準變換器電路402之一個輸入。

位準變換器電路402包括PMOS電晶體P5及P6以及NMOS電晶體N5及N6。如以上所指示，位準變換器電路之第一輸入及第二輸入耦合至數位輸入偵測器322之各別輸出節

點 n_1 及 n_2 。更具體而言，節點 n_1 耦合至 N6 之閘極且節點 n_2 耦合至 N5 之閘極。P5 及 P6 之閘極分別交叉耦合至 P6 及 P5 之汲極，且亦分別耦合至 N6 及 N5 之汲極。P5 及 P6 兩者之源極皆耦合至較高供應電位(說明性地為 3.3 V 供應)，且 N5 及 N6 之源極皆耦合至接地電位。在節點 n_3 及 n_4 處提供位準變換器電路 402 之輸出。包括電晶體 P5、P6、N5 及 N6 之位準變換器電路經組態以將節點 n_1 及 n_2 上之 V_{comp} 對接地信號擺動變換成節點 n_3 及 n_4 處之 $VP33$ 對接地信號擺動，以供輸出級 404 之若干對串聯連接之反相器 405 及前置放大器 308 之其他內部邏輯使用。

輸出級 404 之反相器 405 用於建立介面電路 320 之輸出驅動以驅動前置放大器 308 之內部信號線。輸出級 404 提供藉由偵測施加至介面電路 320 之輸入 IN 之一輸入信號而產生的分別標示為 D_{in} 及 nD_{in} 之未經補充及經補充輸出。

耦合於介面電路輸入 IN 與數位輸入偵測器 322 之輸入節點 n_0 之間的輸入過載保護裝置 400 包括一單個 NMOS 電晶體 N7。輸入過載保護電晶體 N7 與二極體 D1 一起工作以將輸入節點 n_0 處之最大正電壓箝位至電晶體 P1、N1 及 N2 之一安全閘極對源極電壓 V_{gs} 以避免在用 5 V 邏輯位準(諸如可由一伺服寫入器供應之邏輯位準)驅動介面電路時之過載。若將輸入位準限定為 0 V 至 3.3 V 位準，則在此實施例中可刪除輸入過載保護電晶體 N7。

現在參照圖 5，適應性電源供應器 324 之一項實施例包括一運算放大器 500，運算放大器 500 具有一非反相輸入

(+)、一反相輸入(-)及將Vcomp供應電壓提供至數位輸入偵測器322之一輸出。非反相輸入耦合至一參考電壓源Vref，該反相輸入耦合至一回饋(FB)路徑502。適應性電源供應器324進一步包括一適應性電源供應器電晶體P1'，適應性電源供應器電晶體P1'具有隨著諸如程序及溫度之一或多個環境因素之一或多個參數變化特性，該等參數變化特性實質上匹配至數位輸入偵測器322之輸入電晶體P1之特性。電晶體P1'具有耦合至運算放大器500之輸出之一源極，且其閘極及汲極耦合在一起。在此實施例中，由於程序或溫度之改變所致之P1之臨限電壓之變化係由P1'之臨限電壓之對應變化來追蹤且藉此反映於適應性供應電壓Vcomp中。

適應性電源供應器324進一步包括串聯連接以在P1'之汲極與較低供應電位之間形成一分壓器電路之一對電阻器R0及R1，如以上所述在此實施例中較低供應電位係接地電位。本發明實施例中之R0及R1之例示性值分別係48 k Ω 及192 k Ω ，但當然此等值將取決於適應性電源供應器324之所要設定點值而變化，如以上所述該設定點值可依據將自SOC 304接收之一預期邏輯高輸入信號位準而判定。返回至運算放大器500之反相輸入之回饋路徑502耦合至第一電晶體R0與第二電晶體R1之間的分壓器電路之一接頭。

在此實施例中，設定由適應性電源供應器324提供之適應性供應電壓Vcomp以使得當由最小預期邏輯高輸入信號位準驅動時給輸入電晶體P1施加其臨限電壓附近之電壓。

此可藉由建立藉由最小預期邏輯高輸入信號位準與P1之臨限電壓之總和給出之 V_{comp} 之一設定點來實施。在此等實施例中，該設定點可替代地依據最小預期邏輯高輸入信號位準及P1之一閘極對源極壓降 V_{gs} 來表達。

因此，供應電壓 V_{comp} 發生變化以補償PMOS臨限電壓隨著程序及溫度之對應變化，以使得在輸入信號位準在最小預期邏輯高值處時，保持給數位輸入偵測器322之輸入電晶體P1施加接近其臨限電壓之偏壓。舉例而言，隨著接面溫度增加，PMOS臨限電壓之量值可以一大約 $2\text{ mV}/^{\circ}\text{C}$ 之速率減小。若此變化未得到供應電壓 V_{comp} 補償，則當藉由來自SOC之最小預期邏輯高位準驅動輸入時流經PMOS裝置P1之電流將隨著溫度增加，此可導致流經數位輸入偵測器322之一不可接受大供應電流。在本發明實施例中，隨著程序及溫度之總變化可多達 0.2 V 至 0.5 V 。

以實例之方式，在一項實施例中基於 1.8 V 之一已知SOC供應電壓及SOC與前置放大器之間的預期接地電位差，假定最小預期邏輯高輸入信號位準係 1.52 V 。當邏輯高輸入信號位準大於 1.52 V 時，將P1進一步推入至其關斷區中，其中穿過P1之供應電流因此減小。設定此實施例中分壓器之電阻器R0與R1之比率以使得 V_{comp} 係使用來自一帶隙參考源之 1.2 V 之一 V_{ref} 值由來自SOC之 1.52 V 之最小預期邏輯高位準加上一個PMOS V_{gs} 給出。

在此特定實施例中，在邏輯高輸入信號位準係為 1.52 V 之預期最小值時，數位輸入偵測器322自 V_{comp} 供應器之

最大電流汲取僅約5微安。

相對於習用介面電路配置，達成此低最大電流汲取，同時亦減小晶粒面積及自輸入偵測器及其相關聯的電力供應器之總電力耗散。

以下表中給出圖4及圖5之介面電路320中之MOS電晶體裝置P1至P6、P1'及N1至N7之例示性裝置大小，但在其他實施例中可使用其他裝置大小。以微米(μm)為單位按照寬度及長度給出裝置大小。

介面電路裝置大小		
裝置	寬度 (μm)	長度 (μm)
P1	20.00	0.30
P2	10.00	0.13
P3	15.45	0.30
P4	8.00	0.30
P5	6.00	0.30
R6	6.00	0.30
P1'	7.5	0.30
N1	30.00	0.35
N2	30.00	0.35
N3	5.00	0.35
N4	4.00	0.35
N5	15.00	0.35
N6	15.00	0.35
N7	9.28	0.48

將瞭解，僅以實例之方式呈現圖4及圖5中所展示之特定介面電路配置，且本發明之其他實施例可利用其他類型之

電路來實施一或多個數位輸入偵測器及一相關聯的適應性電源供應器。應注意，可藉由同一適應性電源供應器給多個數位輸入偵測器供電。

舉例而言，在本發明之另一實施例中，圖4及圖5中之所有PMOS裝置可改變為NMOS裝置且反之亦然。此一實施例具有在一負供應電位與接地電位之間變化之邏輯狀態，而非如圖4及圖5之實施例中之在接地電位與一正供應電位之間變化之邏輯狀態。除將電晶體類型自P改變至N且反之亦然之外，亦將正供應VP33改變為一負供應VN33，藉此提供低於接地電位之一供應電壓3.3 V、反轉二極體D1之陰極及一節點連接且將Vref之符號自正改變為負。在此一配置中，可依據一最小預期邏輯低輸入信號位準及輸入電晶體之臨限電壓判定適應性供應電壓Vcomp之設定點值，其中在此情形中最小預期邏輯低表示最小負邏輯低。在其他實施例中，眾多其他電路組態可用於實施一數位輸入偵測器及其相關聯的適應性電源供應器。

如上文所提及，儲存裝置組態可在其他實施例中變化。舉例而言，儲存裝置可包括一混合HDD，除一或多個儲存磁碟之外該混合HDD包含一快閃記憶體。此外，如在本文中所闡述之介面電路並不限於用於儲存裝置中，且可更一般而言實施於其他類型之處理裝置中。

亦將瞭解，特定儲存磁碟組態及記錄機構可在本發明之其他實施例中變化。舉例而言，諸如疊瓦式磁性記錄(SMR)及位元型樣化媒體(BPM)之記錄技術可用於本發明

之一或多個實施例中。

圖6圖解說明包括耦合至一主機處理裝置602之基於磁碟之儲存裝置100之一處理系統600，其可係一電腦、伺服器、通信裝置等。儘管此圖中展示為一分離元件，但儲存裝置100可併入至主機處理裝置中。針對儲存裝置100之諸如讀取命令及寫入命令之指令可源於處理裝置602，處理裝置602可包括類似於先前結合圖3所闡述之處理器及記憶體元件之處理器及記憶體元件。

多個基於磁碟之儲存裝置100可併入至如圖7中所圖解說明之一虛擬儲存系統700中。亦稱為一儲存虛擬化系統之虛擬儲存系統700說明性地包括耦合至一RAID系統704之一虛擬儲存控制器702，其中RAID表示獨立磁碟冗餘陣列。RAID系統更特定而言包括標示為100-1、100-2、...、100- N 之 N 個相異儲存裝置，假定該等儲存裝置中之一或多者經組態以包含包括如本文中所揭示之至少一個數位輸入偵測器及一相關聯的適應性電源供應器之介面電路。

將包括HDD或本文中所揭示類型之其他基於磁碟之儲存裝置之此等及其他虛擬儲存系統視為本發明之實施例。圖6中之主機處理裝置602亦可係一虛擬儲存系統之一元件，且可併入虛擬儲存控制器702。

再次，應強調本發明之上述實施例意欲僅係說明性的。舉例而言，其他實施例可使用儲存磁碟、讀取/寫入磁頭、控制電路、介面電路及其他儲存裝置元件之不同類型及配置來實施所闡述功能性。另外，本文中所揭示之輸入

偵測器及相關聯的適應性電源供應器可實施於各種其他類型之處理裝置中。此外，其中組態一數位輸入偵測器及一相關聯的適應性電源供應器之特定方式(諸如其中依據一輸入信號之一預期邏輯位準判定一設定點值之方式)可在其他實施例中變化。熟習此項技術者將易於瞭解在以下申請專利範圍之範疇內之此等及眾多其他替代實施例。

【圖式簡單說明】

圖1展示根據本發明之一說明性實施例之一基於磁碟之儲存裝置之一透視圖。

圖2展示圖1之儲存裝置中之一儲存磁碟之一平面圖。

圖3係包含包括一數位輸入偵測器及一相關聯的適應性電源供應器之一例示性前置放大器的圖1之儲存裝置之一部分之一方塊圖。

圖4係展示圖3之前置放大器之數位輸入偵測器及其他介面電路之一示意圖。

圖5係圖3之前置放大器之適應性電源供應器之一示意圖。

圖6圖解說明圖1之儲存裝置與一資料處理系統中之一主機處理裝置之互連。

圖7展示併入有圖1中所展示類型之複數個基於磁碟之儲存裝置之一虛擬儲存系統。

【主要元件符號說明】

100	基於磁碟之儲存裝置/儲存裝置
100-1	儲存裝置

100-2	儲存裝置
100- <i>N</i>	儲存裝置
110	儲存磁碟
120	主軸
130	讀取/寫入磁頭
140	定位臂
150	電磁致動器
160	連接器
210	同心磁軌
220	磁區
230	環狀區帶/區帶
230-0	最外部環狀區帶/最外部區帶
300	處理器/組件/元件
302	記憶體/外部記憶體/組件/元件
304	組件/系統單晶片
306	匯流排
308	前置放大器/組件
310	讀取通道電路
312	磁碟控制器
314	介面
320	介面電路/介面
322	數位輸入偵測器
324	適應性電源供應器
400	輸入過載保護裝置

402	位準變換器電路
404	輸出級
405-1	第一對串聯連接反相器
405-2	第二對串聯連接反相器
500	運算放大器
502	回饋路徑
600	處理系統
602	主機處理裝置/處理裝置
700	虛擬儲存系統
702	虛擬儲存控制器
D1	二極體
D_in	未經補充輸出
IN	輸入/介面電路輸入
N1	N型MOS (NMOS)電晶體/電晶體/MOS電晶體 裝置/NMOS電晶體
N2	N型MOS電晶體/電晶體/NMOS電晶體
N3	NMOS電晶體/電晶體
N4	NMOS電晶體/電晶體
N5	NMOS電晶體/電晶體
N6	NMOS電晶體/電晶體
N7	NMOS電晶體/輸入過載保護電晶體/MOS電 晶體裝置
n ₀	輸入節點/節點
n ₁	第一輸出節點/輸出節點/節點

n_2	第二輸出節點/輸出節點/節點
n_3	第一輸出/節點
n_4	第二輸出/節點
nD_in	經補充輸出
P1	P型MOS (PMOS)電晶體/PMOS電晶體/電晶體/輸入電晶體/PMOS裝置/MOS電晶體裝置
P1'	適應性電源供應器電晶體/電晶體/MOS電晶體裝置
P2	PMOS電晶體/電晶體
P3	PMOS電晶體/電晶體
P4	PMOS電晶體/電晶體
P5	PMOS電晶體/電晶體
P6	PMOS電晶體/電晶體/MOS電晶體裝置
R0	電晶體/第一電晶體
R1	電晶體/第二電晶體
Vcomp	可變供應電壓/適應性供應/適應性供應電壓/供應電壓
VP33	較高供應電位/供應
Vref	參考電壓源

七、申請專利範圍：

1. 一種設備，其包括：

一數位輸入偵測器，其包括一輸入電晶體；及

一適應性電源供應器，其具有將一可變供應電壓提供至該數位輸入偵測器之一輸出；

其中由該適應性電源供應器提供至該數位輸入偵測器之該可變供應電壓隨著該輸入電晶體之一臨限電壓變化。

2. 如請求項1之設備，其中由該適應性電源供應器提供至該數位輸入偵測器之該可變供應電壓關於依據一輸入信號之一預期邏輯位準判定之一設定點值隨著該輸入電晶體之該臨限電壓變化。

3. 如請求項2之設備，其中該設定點值係依據一最小預期邏輯高輸入信號位準及該輸入電晶體之該臨限電壓來判定。

4. 如請求項3之設備，其中該設定點值係判定為該最小預期邏輯高輸入信號位準與該輸入電晶體之該臨限電壓之一總和。

5. 如請求項2之設備，其中該設定點值經選擇以使得針對具有該預期邏輯位準之一輸入信號，以該臨限電壓或接近該臨限電壓之電壓加偏壓於該輸入電晶體。

6. 如請求項1之設備，其中該輸入電晶體包括一第一PMOS電晶體，其具有：一源極，其耦合至該適應性電源供應器之該輸出；一汲極，其耦合至一較低供應電位；及一

閘極，其耦合至該數位輸入偵測器之一輸入節點，其中該第一PMOS電晶體之該汲極亦耦合至該數位輸入偵測器之一第一輸出節點。

7. 如請求項6之設備，其中該數位輸入偵測器進一步包括輸入位準滯後電路，該輸入位準滯後電路至少包括第二PMOS電晶體及第三PMOS電晶體，該第二PMOS電晶體及該第三PMOS電晶體之各別汲極耦合至該第一PMOS電晶體之該源極且各別源極耦合至該適應性電源供應器之該輸出，其中該第二PMOS電晶體之一閘極亦耦合至該第一PMOS電晶體之該源極，且該第三PMOS電晶體之一閘極耦合至該數位輸入偵測器之該第二輸出節點。
8. 如請求項6之設備，其中該數位輸入偵測器進一步包括第一NMOS電晶體及第二NMOS電晶體，該第一NMOS電晶體及該第二NMOS電晶體之閘極耦合至該第一PMOS電晶體之該閘極，其中該第一NMOS電晶體之一汲極耦合至該第一PMOS電晶體之該汲極，該第二NMOS電晶體之一汲極耦合至該第一NMOS電晶體之一源極且該第二NMOS電晶體之一源極耦合至該較低供應電位。
9. 如請求項1之設備，其中該適應性電源供應器包括：
 - 一運算放大器，其具有第一輸入及第二輸入以及一輸出，其中該第一輸入耦合至一參考電壓源，且該輸出將該可變供應電壓提供至該數位輸入偵測器；
 - 一適應性電源供應器電晶體，其具有實質上匹配至該數位輸入偵測器之該輸入電晶體之一或多個對應參數變

化特性之一或多個參數變化特性，該適應性電源供應器電晶體具有耦合至該運算放大器之該輸出之一源極且具有耦合在一起之一閘極及一汲極；及

一分壓器電路，其包括串聯連接之第一電阻元件及第二電阻元件，其中該第一電阻元件及該第二電阻元件之該串聯連接之一第一端耦合至該適應性電源供應器電晶體之該閘極及該汲極，該第一電阻元件及該第二電阻元件之該串聯連接之一第二端耦合至一較低供應電位，且該第一電阻元件與該第二電阻元件之間的一接頭經由一回饋線耦合至該運算放大器之該第二輸入。

10. 一種方法，其包括下述步驟：

提供包括一輸入電晶體之一數位輸入偵測器；及

將一可變供應電壓提供至該數位輸入偵測器；

其中提供至該數位輸入偵測器之該可變供應電壓隨著該輸入電晶體之一臨限電壓變化。

八、圖式：

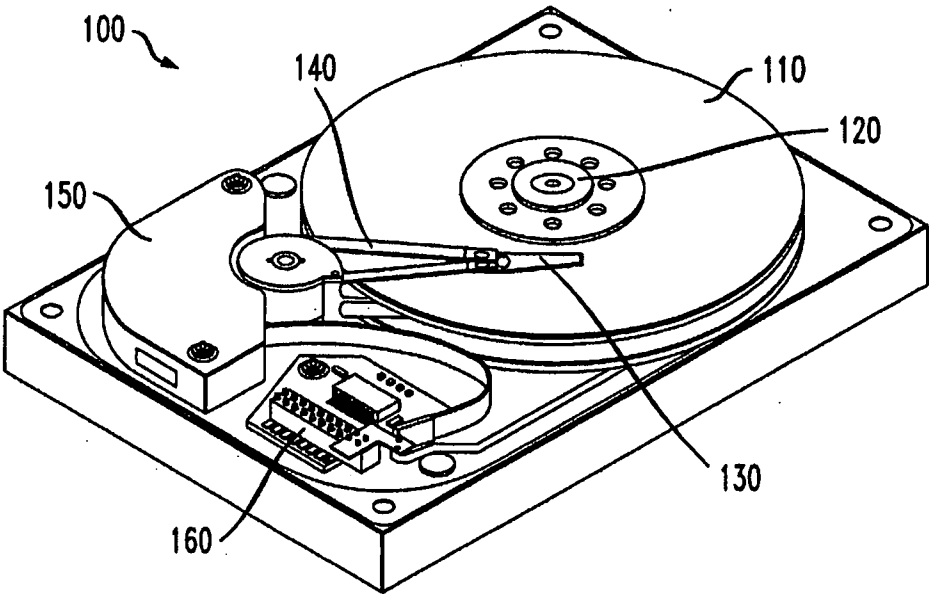


圖 1

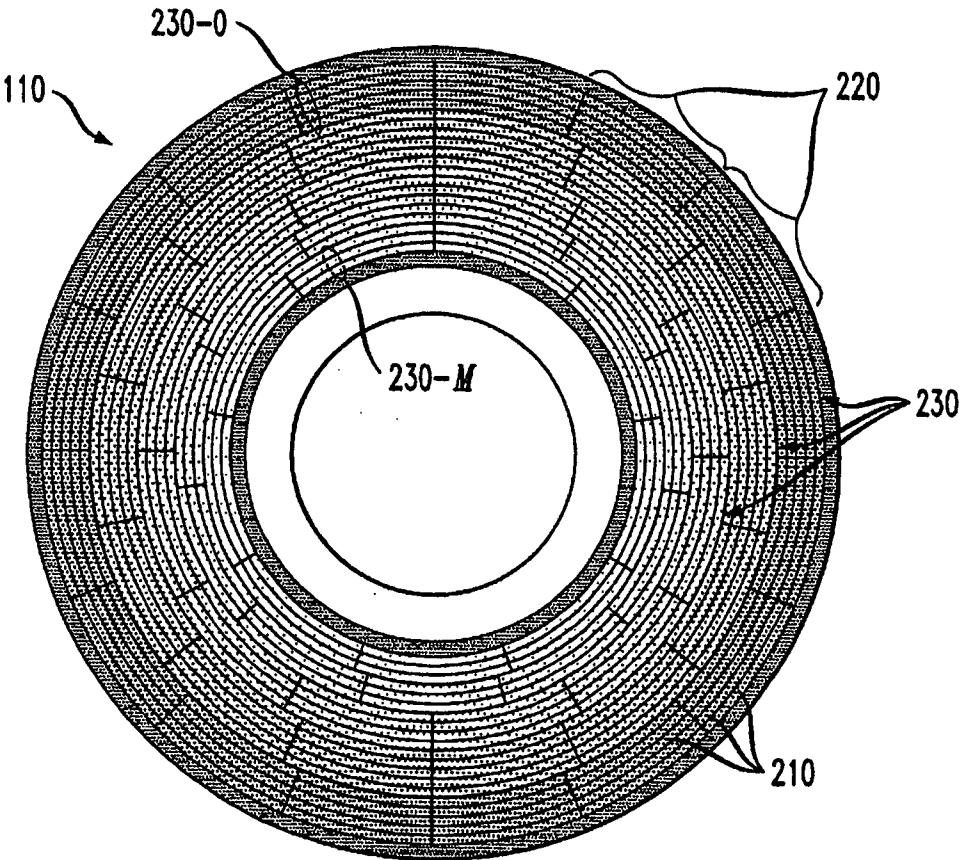


圖 2

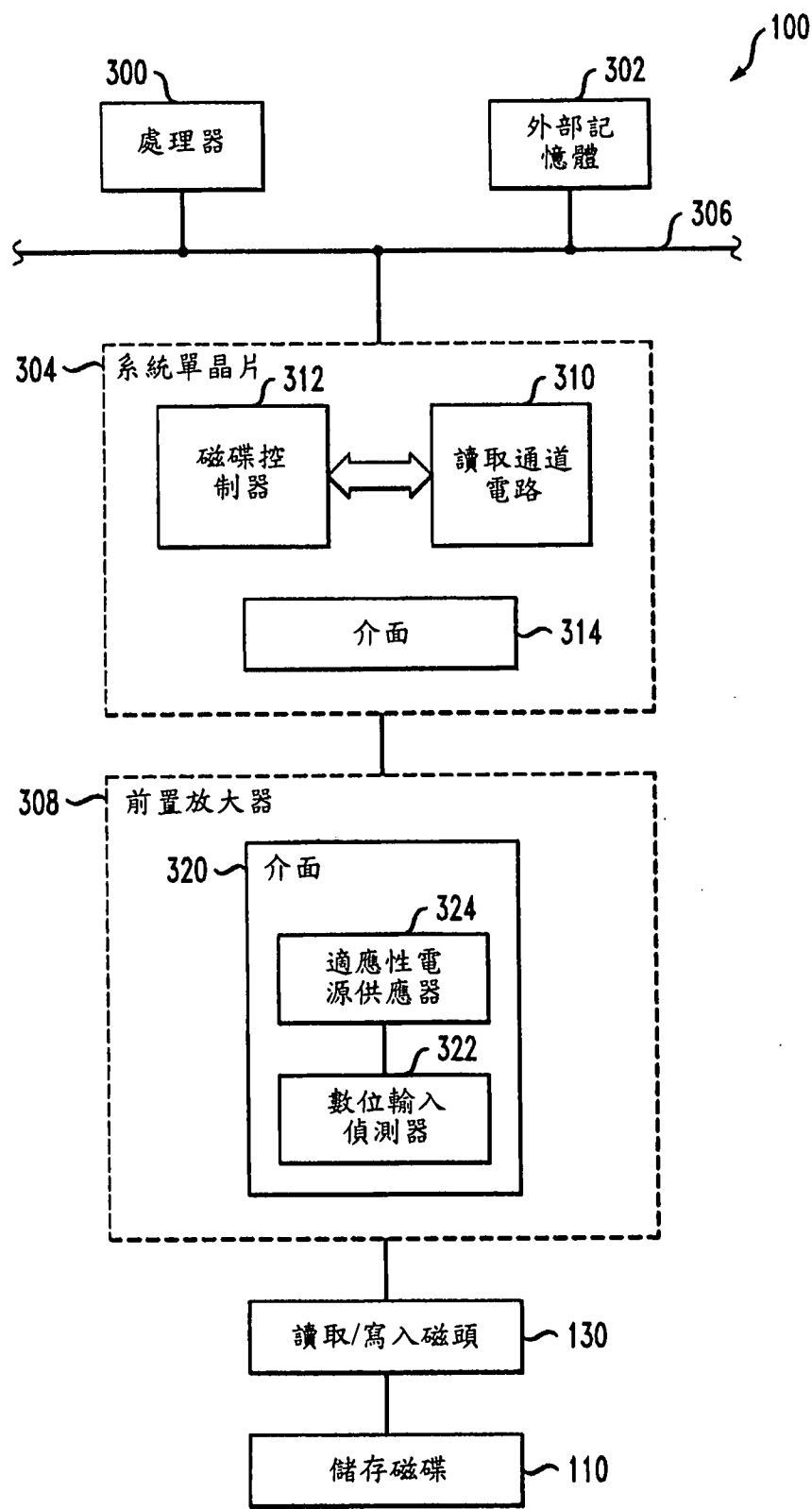


圖3

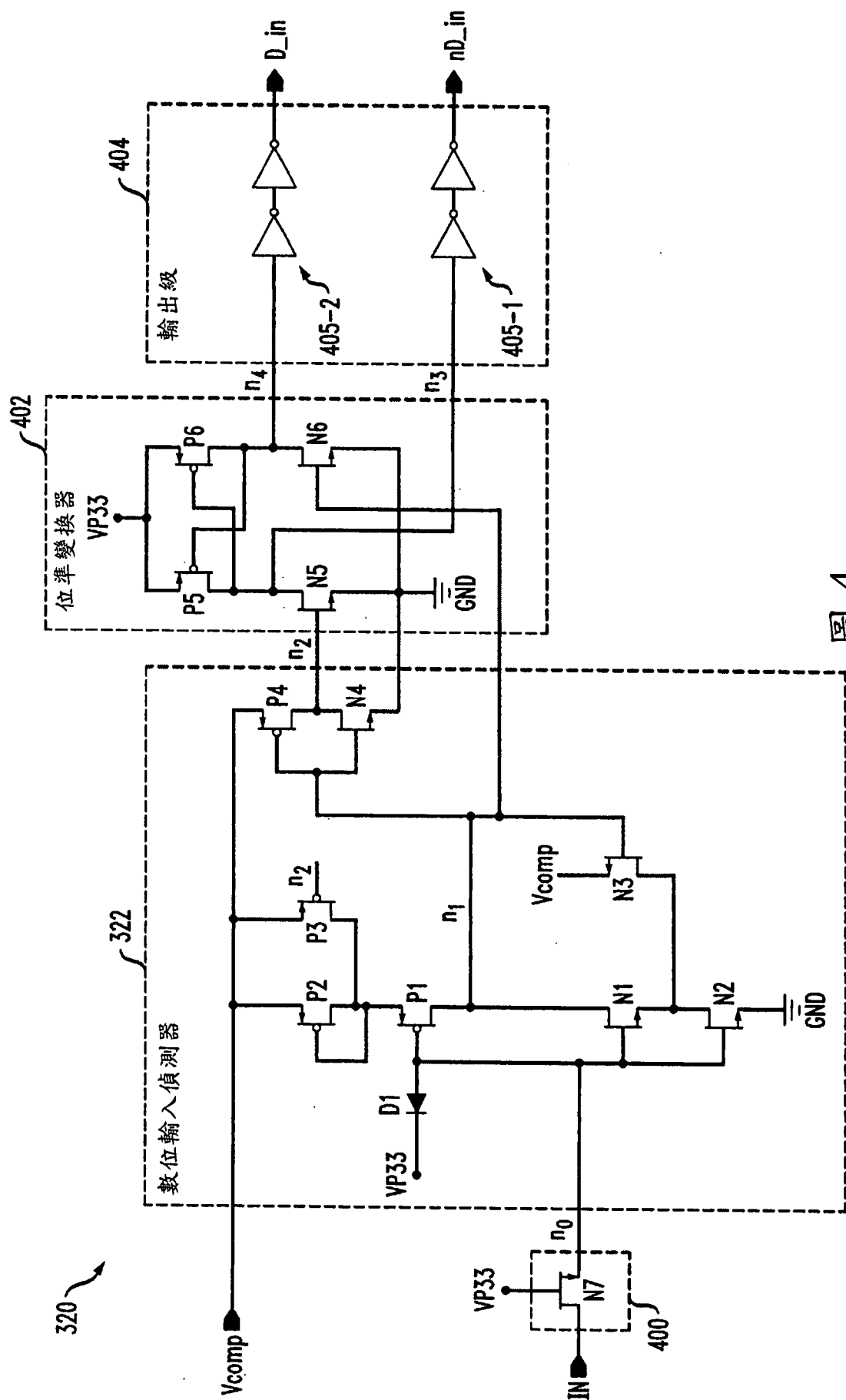


圖 4

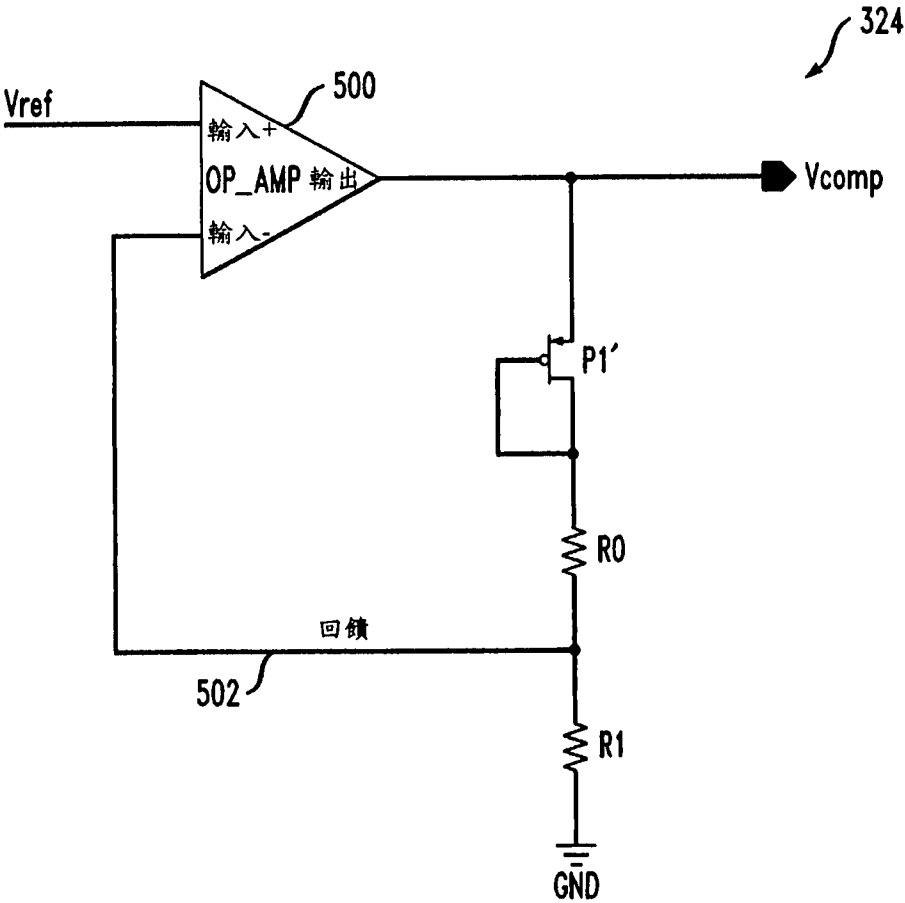


圖 5

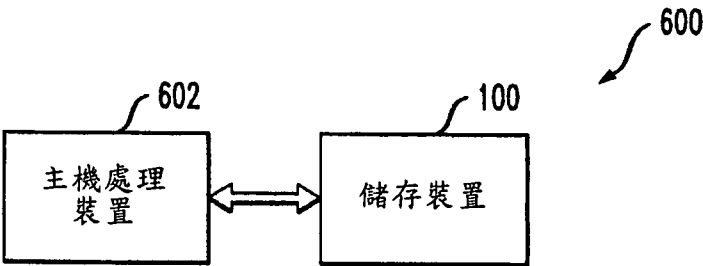


圖 6

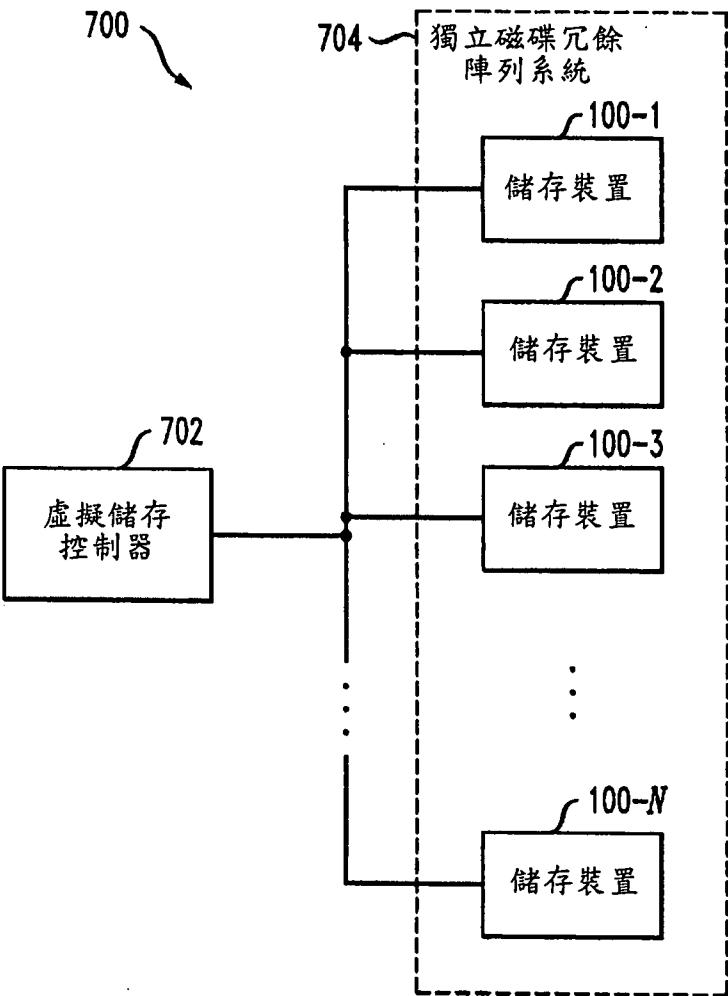


圖 7