

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年2月15日(15.02.2018)



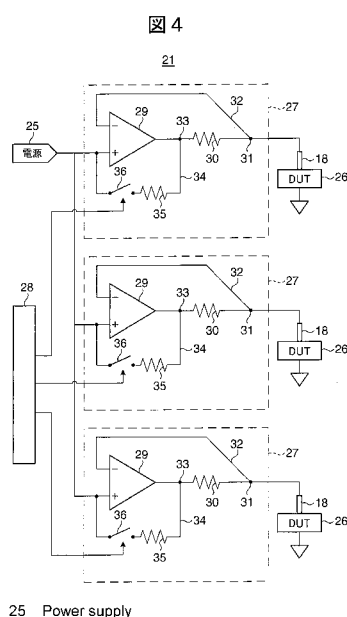
(10) 国際公開番号

WO 2018/029971 A1

- (51) 国際特許分類:
G01R 31/28 (2006.01) *G01R 31/26* (2014.01)
G01R 19/00 (2006.01) *H01L 21/66* (2006.01)
- (21) 国際出願番号: PCT/JP2017/021556
- (22) 国際出願日: 2017年6月6日(06.06.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-158906 2016年8月12日(12.08.2016) JP
- (71) 出願人: 東京エレクトロン株式会社(TOKYO ELECTRON LIMITED) [JP/JP]; 〒1076325 東京都港区赤坂五丁目3番1号 Tokyo (JP).
- (72) 発明者: 成川 健一 (NARIKAWA Kenichi); 〒4078511 山梨県韮崎市藤井町北下条2381-1 東京エレクトロン山梨株式会社内 Yamanashi (JP).
- (74) 代理人: 別役 重尚, 外(BECCHAKU Shigehisa et al.); 〒1050021 東京都港区東新橋2丁目16番1号 ルーシスビル2階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,

(54) Title: DEVICE INSPECTION CIRCUIT, DEVICE INSPECTION DEVICE, AND PROBE CARD

(54) 発明の名称: デバイス検査回路、デバイス検査装置及びプローブカード



(57) Abstract: Provided is a device inspection circuit capable of measuring the current flowing through multiple devices without raising cost. A power supply circuit 27 of a box-side inspection circuit 21 is provided with an operational amplifier 29 and a sense resistor 30; connects, in series and in the following order, a power supply 25 having a current measurement function, the operational amplifier 29, the sense resistor 30, and a DUT 26; and connects the power supply 25 to the non-inverting input terminal of the operational amplifier 29. Further, the power supply circuit 27 is provided with a negative feedback path 32 for applying the voltage between the sense resistor 30 and DUT 26 to the inverting input terminal of the operational amplifier 29 and a positive feedback path 34 for connecting an upstream sense point 33 between the operational amplifier 29 and the sense resistor 30 to the non-inverting input terminal of the operational amplifier 29. The positive feedback path 34 has a feedback resistor 35.



DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,
LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,
SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

(57) 要約：コストを上昇させることなく、多数のデバイスを流れる電流を測定することができるデバイス検査回路を提供する。ボックス側検査回路21の電力供給回路27は、オペアンプ29及びセンス抵抗30を備え、電流測定機能を有する電源25、オペアンプ29、センス抵抗30及びDUT26をこの順で直列に接続し、電源25をオペアンプ29の非反転入力端子に接続し、さらに、電力供給回路27は、センス抵抗30及びDUT26の間の電圧をオペアンプ29の反転入力端子に印加する負帰還流路32と、オペアンプ29及びセンス抵抗30の間の上流センスポイント33並びにオペアンプ29の非反転入力端子を接続する正帰還流路34とを備え、正帰還流路34は帰還抵抗35を有する。

明細書

[発明の名称] デバイス検査回路、デバイス検査装置及びプローブカード

[技術分野]

[0001]

- 5 本発明は、基板に形成された半導体デバイスを検査するためのデバイス検査回路、デバイス検査装置及びプローブカードに関する。

[背景技術]

[0002]

- 半導体デバイスの製造工程における早い段階で欠陥等を発見するために、基板
10 としての半導体ウエハ（以下、単に「ウエハ」という。）に形成された半導体デバイスを当該ウエハから切り出すことなく検査するためのデバイス検査装置であるプローバが開発されている。

[0003]

- プローバは、多数のピン状のプローブを有するプローブカードと、ウエハを載
15 置して上下左右に自在に移動するステージとを備え、プローブカードの各プローブを検査対象の半導体デバイス（Device Under Test、以下「DUT」という。）が有する電極パッドや半田バンプに接触させ、DUTからの信号をプローバ上に設けられるLSIテストヘ伝達させてDUTの電気的特性を検査する（例えば、特許文献1参照。）。

20 [0004]

特に、検査効率を向上させてスループットを向上させる観点から、ウエハに形成された複数のDUTの電気的特性を同時に検査するプローバが開発されている。このようなプローバでは、通常、図10に示すように、DUT100の1つ1つに対応して当該DUT100へ電力を供給する電源101が設けられている。

25 [0005]

近年、ウエハの大口径化や半導体デバイスの生産効率向上の観点からウエハに形成されるDUTの数は大幅に増加し、例えば、1000個を超えることがある

。このとき、DUT 100の1つ1つに対応してプローバに電源101を設けることは、プローバ内におけるレイアウト上の制約から困難であり、プローバのコストを上昇させる。また、電源101をLSIテストに設ける場合もあるが、この場合でも、DUT 100の1つ1つに対応してLSIテストに電源101を設けることは、LSIテスト内におけるレイアウト上の制約から困難であり、LSIテストのコストを上昇させる。

[0006]

そこで、図11に示すように、1つの電源101から複数のDUT 100へ電力を供給することが検討されている。この場合、各DUT 100へ供給される電力を制御するために各DUT 100に対応して電力供給回路102が設けられるが、各DUT 100へ供給される電力が不足し、各DUT 100の印加電圧が低下する可能性があるため、電力供給回路102は電源101から供給される電力を増幅するためのオペアンプを有する。

[0007]

ところで、従来、DUT 100を流れる電流（以下、「デバイス電流」という。）は電源101を流れる電流と同値であることから、電源101が有する電流測定機能を用いて電源101を流れる電流をデバイス電流として測定していたが、電力供給回路102が設けられる場合、電源101及びDUT 100の間にオペアンプが介在することになるため、デバイス電流と電源101を流れる電流は同値とならない。したがって、電力供給回路102において、図12に示すように、オペアンプ103及びDUT 100の間にセンスアンプ104やADコンバータ105を配置し、センスアンプ104やADコンバータ105を用いてオペアンプ103からDUT 100へ向けて流れる電流を直接測定する必要がある。

[先行技術文献]

25 [特許文献]

[0008]

[特許文献1] 特開平7—297242号公報

[発明の概要]

[発明が解決しようとする課題]

[0009]

しかしながら、センスアンプ104やADコンバータ105は1つのDUT1
5 00に対応して1つずつ設ける必要があるところ、上述したような、ウエハに形成されるDUTの数が1000個を超える場合、DUTの数に対応して同数のセンスアンプ104やADコンバータ105を設けることは、プローバ内におけるレイアウト上の制約から困難であり、結果として、多数のDUTを流れる電流の測定は困難となる。また、多数のセンスアンプ104やADコンバータ105の
10 存在がプローバのコストを上昇させるという問題が生じる。

[0010]

本発明の目的は、コストを上昇させることなく、多数のデバイスを流れる電流を測定することができるデバイス検査回路、デバイス検査装置及びプローブカードを提供することにある。

15 [課題を解決するための手段]

[0011]

上記目的を達成するために、本発明によれば、電流測定機能を有する電源、オペアンプ及び第1の抵抗を備え、前記電源、前記オペアンプ、前記第1の抵抗及びデバイスをこの順で直列に接続し、前記電源を前記オペアンプの非反転入力端子に接続するデバイス検査回路であって、前記第1の抵抗及び前記デバイスの間の電圧を前記オペアンプの反転入力端子に印加する第1の帰還流路と、前記オペアンプ及び前記第1の抵抗の間のポイント並びに前記オペアンプの非反転入力端子を接続する第2の帰還流路とをさらに備え、前記第2の帰還流路は第2の抵抗を有するデバイス検査回路が提供される。

25 [発明の効果]

[0012]

本発明によれば、第1の抵抗及びデバイスの間の電圧がオペアンプの反転入力

端子に印加されるため、オペアンプの負帰還動作により、オペアンプの非反転入力端子の電位が第 1 の抵抗及びデバイスの間の電位と等しくなる。また、第 2 の帰還流路はオペアンプ及び第 1 の抵抗の間のポイント並びにオペアンプの非反転入力端子を接続するため、第 2 の帰還流路における電圧降下代は第 1 の抵抗における電圧降下代と等しくなる。さらに、第 2 の帰還流路を流れる電流は電源が有する電流測定機能を用いて測定することができる。したがって、オームの法則により、第 1 の抵抗、第 2 の抵抗及び第 2 の帰還流路を流れる電流に基づいて第 1 の抵抗を流れる電流を算出することができる。その結果、各デバイスに対応してセンスアンプや A/D コンバータを設けること無く、第 1 の抵抗からデバイスへ向けて流れる電流を算出することができる。すなわち、コストを上昇させることなく、多数のデバイスを流れる電流を測定することができる。

[図面の簡単な説明]

[0013]

[図 1] 本発明の第 1 の実施の形態に係るデバイス検査装置としてのプローバの構成を概略的に説明するための斜視図である。

[図 2] 図 1 のプローバの構成を概略的に説明するための正面図である。

[図 3] 図 2 におけるプローブカードの構成を示す拡大正面図である。

[図 4] 図 2 におけるボックス側検査回路の構成を示す回路図である。

[図 5] 本発明の第 2 の実施の形態に係るデバイス検査回路における電力供給回路の構成を示す回路図である。

[図 6] 本発明の第 3 の実施の形態に係るデバイス検査回路における電力供給回路の構成を示す回路図である。

[図 7] 本発明の第 4 の実施の形態に係るデバイス検査回路における電力供給回路の構成を示す回路図である。

[図 8] 本発明の第 5 の実施の形態に係るデバイス検査回路における電力供給回路の構成を示す回路図である。

[図 9] 1 つの電源から 1 つの DUT のみへ電力を供給する場合の電力供給

回路の構成を示す回路図である。

[図 10] 従来のプローバにおける電源及びDUTの対応関係を説明するための回路図である。

[図 11] 1つの電源から複数のDUTへ電力を供給する場合における電源
5 及び各DUTの対応関係を説明するための回路図である。

[図 12] 1つの電源から複数のDUTへ電力を供給する場合における通常の電力供給回路の構成を示す回路図である。

[発明を実施するための形態]

[0014]

10 以下、本発明の実施の形態について図面を参照しながら説明する。

[0015]

まず、本発明の第1の実施の形態について説明する。

[0016]

図1は、本実施の形態に係るデバイス検査装置としてのプローバの構成を概略
15 的に説明するための斜視図であり、図2は、同正面図である。図2は部分的に断面図として描かれ、後述する本体12、ローダ13及びテストボックス14に内蔵される構成要素が示される。

[0017]

図1及び図2において、プローバ10は、ウエハWを載置するステージ11を
20 内蔵する本体12と、該本体12に隣接して配置されるローダ13と、本体12を覆うように配置されるテストボックス14とを備え、ウエハWに形成された多数のDUTの電気的特性の検査を同時に行う。本体12は内部が空洞の筐体形状を呈し、当該内部には上述したステージ11の他に、該ステージ11に対向するようにプローブカード15が配置され、プローブカード15はウエハWと対向す
25 る。プローブカード15は、板状のカードボード16と、カードボード16におけるウエハWと対向する下面に配置されるプローブヘッド17とを有する。図3に示すように、プローブヘッド17はウエハWに形成された各DUTの電極パッ

ドや半田バンプに対応する多数の針状のプロープ 18 を有する。

[0018]

ウエハWはステージ11に対する相対位置がずれないように該ステージ11へ固定される。ステージ11は水平方向及び上下方向に関して移動可能であり、プロープカード15及びウエハWの相対位置を調整して各DUTの電極パッドや半田バンプをプローブヘッド17の各プローブ18へ正確に接触させる。ローダ13は、搬送容器であるFOUP（図示しない）から多数のDUTが形成されたウエハWを取り出して本体12の内部のステージ11へ載置する。プローブカード15のカードボード16にはカード側検査回路19が形成され（図3参照）、該

5

10

カード側検査回路19はプローブヘッド17へ接続される。

[0019]

テストボックス14は、配線であるハーネス20と、ボックス側検査回路21（デバイス検査回路）が形成されるテストボード22とを有する。ハーネス20は、テストボックス14のテストボード22とプローブカード15のカードボード16とを接続する。プローバ10では、カード側検査回路19やボックス側検査回路21により、半導体デバイスが実装されるマザーボードの回路構成の一部が再現される。ローダ13は、電源、コントローラや簡素な測定モジュールからなるベースユニット23を内蔵する。ベースユニット23は配線24によってボックス側検査回路21へ接続され、コントローラはボックス側検査回路21へD

15

20

UTの電気的特性の検査開始を指示する。

[0020]

DUTの電気的特性の検査を行う際、ボックス側検査回路21は、カード側検査回路19やプローブカード15を介して各DUTへ電力を供給するとともにカード側検査回路19へデータを送信する。さらに、ボックス側検査回路21は、

25

送信されたデータが各DUTと接続されたカード側検査回路19によって正しく処理されたか否かをカード側検査回路19からの電気信号に基づいて判定する。

[0021]

図4は、図2におけるボックス側検査回路の構成を示す回路図である。なお、図4では、電力の供給に関わる構成要素のみが示される。

[0022]

図4において、ボックス側検査回路21は、電流測定機能を有する電源25と、ウエハWに形成された各DUT26へ一対一で接続される複数の電力供給回路27と、スイッチ制御部28とを有する。電源25は複数の電力供給回路27へ分岐して接続され、電源25からの電力が各電力供給回路27へ分割して供給される。各電力供給回路27は、オペアンプ29と、センス抵抗30（第1の抵抗）とを有し、ボックス側検査回路21では、電源25、オペアンプ29、センス抵抗30、プローブ18及びDUT26がこの順で直列に接続され、電源25はオペアンプ29の非反転入力端子に接続され、オペアンプ29は当該電力供給回路27へ分割して供給される電源25からの電力を増幅してDUT26へ供給する。さらに、各電力供給回路27は、センス抵抗30及びDUT26の間に存在する下流センスポイント31及びオペアンプ29の反転入力端子を接続する負帰還流路32（第1の帰還流路）と、オペアンプ29及びセンス抵抗30の間に存在する上流センスポイント33並びにオペアンプ29の非反転入力端子を接続する正帰還流路34（第2の帰還流路）とを有する。

[0023]

負帰還流路32は下流センスポイント31における電圧、すなわち、センス抵抗30及びDUT26の間の電圧をオペアンプ29の反転入力端子に印加する。正帰還流路34は、帰還抵抗35（第2の抵抗）と、オンオフ動作によって正帰還流路34を遮断可能なスイッチ36とを有し、スイッチ36はスイッチ制御部28に接続され、スイッチ制御部28はスイッチ36のオンオフ動作を制御する。なお、スイッチ36は通常、オフとされている。

25 [0024]

ボックス側検査回路21において、オペアンプ29の反転入力端子には、上述したように、下流センスポイント31における電圧が印加されるため、負帰還動

作により、オペアンプ 29 の非反転入力端子の電位は、オペアンプ 29 の反転入力端子の電位、すなわち、下流センスポイント 31 における電位と等しくなる。

[0025]

一方、ボックス側検査回路 21 において、スイッチ 36 がオンにされると、上
5 流センスポイント 33 及びオペアンプ 29 の非反転入力端子が接続されるが、オペアンプ 29 の非反転入力端子の電位は下流センスポイント 31 における電位と等しいため、正帰還流路 34 における電圧降下代は上流センスポイント 33 における電位及び下流センスポイント 31 における電位の差、すなわち、センス抵抗
30 における電圧降下代と同じとなる。ここで、センス抵抗 30 の抵抗値を R_1 (
10 Ω) とし、センス抵抗 30 を流れる電流を I_1 (A) とし、帰還抵抗 35 の抵抗値を R_2 (Ω) とし、帰還抵抗 35 を流れる電流を I_2 (A) とすると、オームの法則により、センス抵抗 30 における電圧降下代は $I_1 \times R_1$ (V) となり、正帰還流路 34 における電圧降下代は $I_2 \times R_2$ (V) となるために下記式 (1) が成立する。

15
$$I_1 \times R_1 = I_2 \times R_2 \quad \cdots (1)$$

[0026]

ここで、センス抵抗 30 の抵抗値 R_1 、帰還抵抗 35 の抵抗値 R_2 は既知であり、正帰還流路 34 を流れる電流 (以下、「帰還電流」という。) I_2 は電源 25 が有する電流測定機能を用いて計測可能である。したがって、センス抵抗 30 を流
20 れる電流、すなわち、DUT 26 を流れる電流 (以下、「デバイス電流」という。) I_1 は下記式 (2) に基づいて算出することができる。

$$I_1 = I_2 \times R_2 / R_1 \quad \cdots (2)$$

[0027]

以上より、ボックス側検査回路 21 では、各 DUT 26 に対応してセンスアン
25 プや AD コンバータを設けることなく、センス抵抗 30 を流れるデバイス電流を算出することができる。すなわち、プローバのコストを上昇させることなく、ウエハ W に形成された多数の DUT 26 を流れる電流を測定することができる。

[0028]

また、ボックス側検査回路21では、1つの電源25が複数の電力供給回路27のオペアンプ29の非反転入力端子に接続され、複数の電力供給回路27は複数のDUT26へ一対一で接続されるので、1つの電源25から複数のDUT26へ電力を供給することができ、もって、電源25の数を削減してよりコストを削減することができる。

[0029]

さらに、ボックス側検査回路21では、電源25の電流測定機能によって各電力供給回路27の正帰還流路34における帰還電流 I_2 を計測するが、1つの電源25は複数の電力供給回路27へ接続されるため、電源25が複数の帰還電流 I_2 を同時に計測してしまう可能性があるが、各電力供給回路27において正帰還流路34はスイッチ36を有するので、各正帰還流路34におけるスイッチ36の動作を制御することにより、1つの正帰還流路34にのみ帰還電流 I_2 を流すことができ、その結果、電源25が複数の帰還電流 I_2 を同時に計測してしまうのを防止することができる。また、各電力供給回路27における正帰還流路34のスイッチ36の各々を順次オンにすることにより、全ての電力供給回路27における帰還電流 I_2 を順次計測することができ、結果として、全てのDUT26のデバイス電流を算出することができる。

[0030]

なお、図4では、ボックス側検査回路21において1つの電源25が示されるが、ボックス側検査回路21が有する電源25の数は1つに限られない。また、図4では、電源25に3つの電力供給回路27が接続されるが、電源25に接続される電力供給回路27の数は3つに限られない。

[0031]

次に、本発明の第2の実施の形態について説明する。

[0032]

第2の実施の形態は、その構成、作用が上述した第1の実施の形態と基本的に

同じであるので、重複した構成、作用については説明を省略し、以下に異なる構成、作用についての説明を行う。

[0033]

図5は、本発明の第2の実施の形態に係るデバイス検査回路における電力供給回路の構成を示す回路図である。

[0034]

DUT26のスタンバイ時におけるデバイス電流 I_1 を算出する際、スタンバイ時におけるデバイス電流 I_1 は微弱であるため、センス抵抗30における電圧降下代、すなわち、正帰還流路34における電圧降下代が小さくなり、帰還電流 I_2 も小さくなることが考えられる。この場合、帰還電流 I_2 の計測精度が低下し、結果としてデバイス電流 I_1 の算出精度が低下するおそれがある。これに対応して、センス抵抗30の抵抗値 R_1 を極力大きく設定することが考えられる。ところで、DUT26の作動時にはスタンバイ時よりも大きいデバイス電流 I_1 が流れるが、センス抵抗30の抵抗値 R_1 を極力大きく設定すると、デバイス電流 I_1 がセンス抵抗30を流れにくくなり、DUT26へ十分な電力が供給されなくなるおそれがある。

[0035]

本実施の形態では、これに対応して、電力供給回路37が、センス抵抗30を回避してオペアンプ29及びDUT26を直接接続するバイパス流路38（回避流路）を有する。該バイパス流路38はダイオード39を有し、該ダイオード39はセンス抵抗30と並列に接続される。また、ダイオード39はセンス抵抗30における電圧降下代、すなわち、ダイオード39に印加される電圧の電位差が所定値以上となると、電流を急激に通過させる。これにより、DUT26の作動時に比較的大きいデバイス電流 I_1 がセンス抵抗30を通過しようとしてセンス抵抗30における電圧降下代が大きくなると、デバイス電流 I_1 はセンス抵抗30を迂回してバイパス流路38を流れ、そのままDUT26へ到達する。その結果、センス抵抗30の抵抗値 R_1 を極力大きく設定しても、DUT26の作動時に比較

的大きいデバイス電流 I_1 をバイパス流路 38 を介して DUT 26 へ向けて流すことができ、もって、作動する DUT 26 へ十分な電力を供給することができる。

[0036]

次に、本発明の第 3 の実施の形態について説明する。

5 [0037]

第 3 の実施の形態は、その構成、作用が上述した第 2 の実施の形態と基本的に同じであるので、重複した構成、作用については説明を省略し、以下に異なる構成、作用についての説明を行う。

[0038]

10 図 6 は、本発明の第 3 の実施の形態に係るデバイス検査回路における電力供給回路の構成を示す回路図である。

[0039]

第 2 の実施の形態で述べたように、DUT 26 のスタンバイ時におけるデバイス電流 I_1 の算出精度の低下を抑制するために、センス抵抗 30 の抵抗値 R_1 を極
力大きく設定すると、DUT 26 へ十分な電力が供給されなくなるおそれがある
15 。本実施の形態では、これに対応して、電力供給回路 40 が、バイポーラトランジスタからなるトランジスタ 41 と、比較的大きな電力を供給する、図示しない追加電源（他の電源）とを有する。トランジスタ 41 のベースはオペアンプ 29 及びセンス抵抗 30 の間に接続されるとともに、トランジスタ 41 のエミッタは
20 センス抵抗 30 及び DUT 26 の間に接続される。すなわち、トランジスタ 41 がセンス抵抗 30 と並列に配置される。したがって、トランジスタ 41 のベース及びエミッタの間にはセンス抵抗 30 における電圧降下代相当の電位差が生じてベース電流が流れる。また、トランジスタ 41 のコレクタには追加電源がリミッ
タ回路 42（電流制限回路）を介して接続される。これにより、DUT 26 の作
25 動時に比較的大きいデバイス電流 I_1 がセンス抵抗 30 を通過しようとしてセンス抵抗 30 における電圧降下代が大きくなると、トランジスタ 41 にベース電流が流れてトランジスタ 41 がオンとなり、トランジスタ 41 を介して追加電源から

DUT 26 へ比較的大きな電力が供給される。その結果、センス抵抗 30 の抵抗値 R_1 を極力大きく設定しても、作動時の DUT 26 へ十分な電力を供給することができる。

[0040]

- 5 また、追加電源及びトランジスタ 41 の間にはリミッタ回路 42 が介在するので、DUT 26 が短絡していても、追加電源から DUT 26 へ向けて追加電源から大電流が流れるのを防止することができ、もって、DUT 26 が破壊されるのを防止することができる。

[0041]

- 10 なお、電力供給回路 40 では、トランジスタ 41 としてバイポーラトランジスタを用いたが、電界効果トランジスタを用いてもよい。この場合、トランジスタ 41 のゲートはオペアンプ 29 及びセンス抵抗 30 の間に接続されるとともに、トランジスタ 41 のソースはセンス抵抗 30 及び DUT 26 の間に接続される。さらに、トランジスタ 41 のドレインには追加電源がリミッタ回路 42 を介して
- 15 接続される。

[0042]

次に、本発明の第 4 の実施の形態について説明する。

[0043]

- 第 4 の実施の形態は、その構成、作用が上述した第 1 の実施の形態と基本的に
- 20 同じであるので、重複した構成、作用については説明を省略し、以下に異なる構成、作用についての説明を行う。

[0044]

図 7 は、本発明の第 4 の実施の形態に係るデバイス検査回路における電力供給回路の構成を示す回路図である。

- 25 [0045]

上述したように、ボックス側検査回路 21 では、1 つの電源 25 が複数の DUT 26 へ電力を分割して供給するが、複数の DUT 26 のうちの 1 つの DUT 2

6に不具合が生じた場合、当該DUT 26へ電力を供給し続けると当該DUT 26が破壊されるおそれがあるため、電源25は電力の供給を中止して不具合が生じたDUT 26への電力の供給を中止する必要がある。しかしながら、電源25からの電力の供給を中止すると他のDUT 26への電力の供給も中止されてしまうため、不具合が生じていない他のDUT 26の電気的特性を検査できず、各DUT 26の検査効率の低下を招くというおそれがある。

[0046]

本実施の形態では、これに対応して、電力供給回路43が、オペアンプ29及びセンス抵抗30の間に介在する追加スイッチ44（他のスイッチ）を有する。

10 これにより、DUT 26に不具合が生じた場合、電源25からの電力の供給を中止すること無く、追加スイッチ44をオフにするだけで不具合が生じたDUT 26へ電力が供給されるのを防止することができる。これにより、不具合が生じていない他のDUT 26の電気的特性が検査できなくなるのを防止することができる。各DUT 26の検査効率の低下を防止することができる。

15 [0047]

また、電力供給回路43は、該追加スイッチ44及びセンス抵抗30の間に介在する補助抵抗45（第3の抵抗）を有し、上流センスポイント33は補助抵抗45及びセンス抵抗30の間に配置される。これにより、正帰還流路34における電圧降下代は、補助抵抗45によって低下された電位とオペアンプ29の非反転入力端子の電位との差となる。すなわち、正帰還流路34における電圧降下代を小さくすることができ、例えば、正帰還流路34に過大な電流が流れて帰還抵抗35が異常発熱するのを防止することができる。さらに、電力供給回路43では、センス抵抗30に加えて補助抵抗45がオペアンプ29へ直列に接続される。これにより、オペアンプ29へ流れる電流を制限することができ、もって、オペアンプ29に過大な電流が流れてオペアンプ29が異常発熱するのを防止することができる。

[0048]

なお、電力供給回路 4 3 では、オペアンプ 2 9、追加スイッチ 4 4、補助抵抗 4 5 及びセンス抵抗 3 0 がこの順で直列に接続されたが、上流センスポイント 3 3 が補助抵抗 4 5 及びセンス抵抗 3 0 の間に配置される限り、追加スイッチ 4 4 及び補助抵抗 4 5 の順序を入れ替えてもよい。

5 [0 0 4 9]

次に、本発明の第 5 の実施の形態について説明する。

[0 0 5 0]

第 5 の実施の形態は、その構成、作用が上述した第 1 の実施の形態と基本的に同じであるので、重複した構成、作用については説明を省略し、以下に異なる構成、作用についての説明を行う。

[0 0 5 1]

図 8 は、本発明の第 5 の実施の形態に係るデバイス検査回路における電力供給回路の構成を示す回路図である。

[0 0 5 2]

15 上述したように、ボックス側検査回路 2 1 では、1 つの電源 2 5 が複数の D U T 2 6 へ電力を分割して供給するが、1 つの電源 2 5 が電力を供給する D U T 2 6 の数が増えると、各 D U T 2 6 のスタンバイ時には十分な電力を各 D U T 2 6 へ供給できても、各 D U T 2 6 の作動時には十分な電力を各 D U T 2 6 へ供給できないおそれがある。

20 [0 0 5 3]

本実施の形態では、これに対応して、電力供給回路 4 6 が、バイポーラトランジスタからなるトランジスタ 4 7 と、比較的大きな電力を供給する、図示しない他の追加電源とを有する。トランジスタ 4 7 はオペアンプ 2 9 及びセンス抵抗 3 0 の間に介在し、トランジスタ 4 7 のベースがオペアンプ 2 9 に接続されるとともに、トランジスタ 4 7 のエミッタがセンス抵抗 3 0 に接続される。したがって、トランジスタ 4 1 のベース及びエミッタの間にはオペアンプ 2 9 及びセンス抵抗 3 0 の電位差に起因してベース電流が流れる。また、トランジスタ 4 7 のコレ

クタには他の追加電源がリミッタ回路 48 を介して接続される。これにより、DUT 26 の作動時に比較的大きいデバイス電流 I_1 を流すために、オペアンプ 29 及びセンス抵抗 30 の電位差が大きくなると、トランジスタ 47 にベース電流が流れてトランジスタ 47 がオンとなり、トランジスタ 47 を介して他の追加電源 5 から DUT 26 へ比較的大きな電力が供給される。その結果、1つの電源 25 が数多くの DUT 26 へ電力を分割して供給する場合であっても、作動時の DUT 26 へ十分な電力を供給することができる。

[0054]

なお、電力供給回路 46 では、トランジスタ 47 としてバイポーラトランジスタを用いたが、電界効果トランジスタを用いてもよい。この場合、トランジスタ 47 のゲートはオペアンプ 29 に接続されるとともに、トランジスタ 47 のソースはセンス抵抗 30 に接続される。また、トランジスタ 47 のドレインには他の追加電源がリミッタ回路 48 を介して接続される。

[0055]

15 以上、本発明について、上記各実施の形態を用いて説明したが、本発明は上記各実施の形態に限定されるものではない。

[0056]

例えば、1つの電源 25 から 1つの DUT 26 のみへ電力を供給する場合であっても、電源 25 の供給電力が小さいとき、オペアンプ 29 を用いて供給電力を増幅することがある。このときも、電力供給回路 40 とほぼ同様の構成を有する電力供給回路 49 を用いるが、電源 25 は複数の帰還電流 I_2 を同時に計測してしまう可能性が無いため、電力供給回路 49 では、図 9 に示すように、正帰還流路 34 においてスイッチ 36 を設ける必要が無く、さらに、スイッチ制御部 28 も設ける必要がない。これにより、電力供給回路 49 の構成を電力供給回路 40 に 25 比して簡素化することができる。

[0057]

また、上述した各実施の形態では、電力供給回路 27 (37, 40, 43, 4

6, 49) がテストボックス 14 のボックス側検査回路 21 において形成されたが、電力供給回路 27 (37, 40, 43, 46, 49) をプローブカード 15 のカード側検査回路 19 に形成してもよい。

[0058]

- 5 本出願は、2016年8月12日に出願された日本出願第2016-158906号に基づく優先権を主張するものであり、当該日本出願に記載された全内容を本出願に援用する。

[符号の説明]

[0059]

- 10 W ウエハ
- 10 プローバ
- 14 テストボックス
- 15 プローブカード
- 19 カード側検査回路
- 15 21 ボックス側検査回路
- 25 電源
- 26 DUT
- 27, 37, 40, 43, 46, 49 電力供給回路
- 29 オペアンプ
- 20 30 センス抵抗
- 32 負帰還流路
- 33 上流センスポイント
- 34 正帰還流路
- 35 帰還抵抗
- 25 36 スイッチ
- 38 バイパス流路
- 41, 47 トランジスタ

4 2, 4 8 リミッタ回路

4 4 追加スイッチ

4 5 補助抵抗

請求の範囲

[請求項 1]

- 電流測定機能を有する電源、オペアンプ及び第 1 の抵抗を備え、前記電源、前記オペアンプ、前記第 1 の抵抗及びデバイスをこの順で直列に接続し、前記電源
- 5 を前記オペアンプの非反転入力端子に接続するデバイス検査回路であって、
- 前記第 1 の抵抗及び前記デバイスの間の電圧を前記オペアンプの反転入力端子に印加する第 1 の帰還流路と、
- 前記オペアンプ及び前記第 1 の抵抗の間のポイント並びに前記オペアンプの非反転入力端子を接続する第 2 の帰還流路とをさらに備え、
- 10 前記第 2 の帰還流路は第 2 の抵抗を有することを特徴とするデバイス検査回路。

[請求項 2]

- 前記オペアンプ、前記第 1 の抵抗、前記第 1 の帰還流路及び前記第 2 の帰還流路が電力供給回路を構成し、1つの前記電源が複数の前記電力供給回路の前記オ
- 15 ペアンプの非反転入力端子に接続され、複数の前記電力供給回路は複数の前記デバイスへ一対一で接続されることを特徴とする請求項 1 記載のデバイス検査回路。

[請求項 3]

- 各前記電力供給回路において前記第 2 の帰還流路はスイッチを有することを特徴とする請求項 2 記載のデバイス検査回路。
- 20

[請求項 4]

前記オペアンプ及び前記デバイスを、前記第 1 の抵抗を回避して直接接続する回避流路を有することを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載のデバイス検査回路。

25 [請求項 5]

他の電源とトランジスタをさらに備え、前記他の電源は前記トランジスタを介して前記デバイスへ接続され、前記トランジスタは前記第 1 の抵抗と並列に配置

されることを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載のデバイス検査回路。

[請求項 6]

- 前記他の電源及び前記トランジスタの間には電流制限回路が介在することを特徴とする請求項 5 記載のデバイス検査回路。

[請求項 7]

前記オペアンプ及び前記第 1 の抵抗の間には他のスイッチが介在することを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載のデバイス検査回路。

[請求項 8]

- 10 前記オペアンプ及び前記第 1 の抵抗の間には第 3 の抵抗が介在し、前記第 2 の帰還流路は、前記第 3 の抵抗及び前記第 1 の抵抗の間のポイント並びに前記オペアンプの非反転入力端子を接続することを特徴とする請求項 1 乃至 7 のいずれか 1 項に記載のデバイス検査回路。

[請求項 9]

- 15 デバイスの電気的特性を検査するデバイス検査装置であって、
電流測定機能を有する電源、オペアンプ及び第 1 の抵抗を有し、前記電源、前記オペアンプ、前記第 1 の抵抗及びデバイスをこの順で直列に接続し、前記電源を前記オペアンプの非反転入力端子に接続するデバイス検査回路を備え、
前記デバイス検査回路は、前記第 1 の抵抗及び前記デバイスの間の電圧を前記
20 オペアンプの反転入力端子に印加する第 1 の帰還流路と、前記オペアンプ及び前記第 1 の抵抗の間のポイント並びに前記オペアンプの非反転入力端子を接続する第 2 の帰還流路とをさらに有し、

前記第 2 の帰還流路は第 2 の抵抗を有することを特徴とするデバイス検査装置。

25 [請求項 10]

オペアンプ、第 1 の抵抗及びプローブを備え、該プローブとデバイスを接触させて前記デバイスの電気的特性を検査するプローブカードであって、

電流測定機能を有する電源、前記オペアンプ、前記第 1 の抵抗、前記プローブ及び前記デバイスをこの順で直列に接続し、前記電源を前記オペアンプの非反転入力端子に接続し、

- 前記第 1 の抵抗及び前記デバイスの間の電圧を前記オペアンプの反転入力端子
- 5 に印加する第 1 の帰還流路と、前記オペアンプ及び前記第 1 の抵抗の間のポイント並びに前記オペアンプの非反転入力端子を接続する第 2 の帰還流路とをさらに備え、

前記第 2 の帰還流路は第 2 の抵抗を有することを特徴とするプローブカード。

1/12

図 1

10

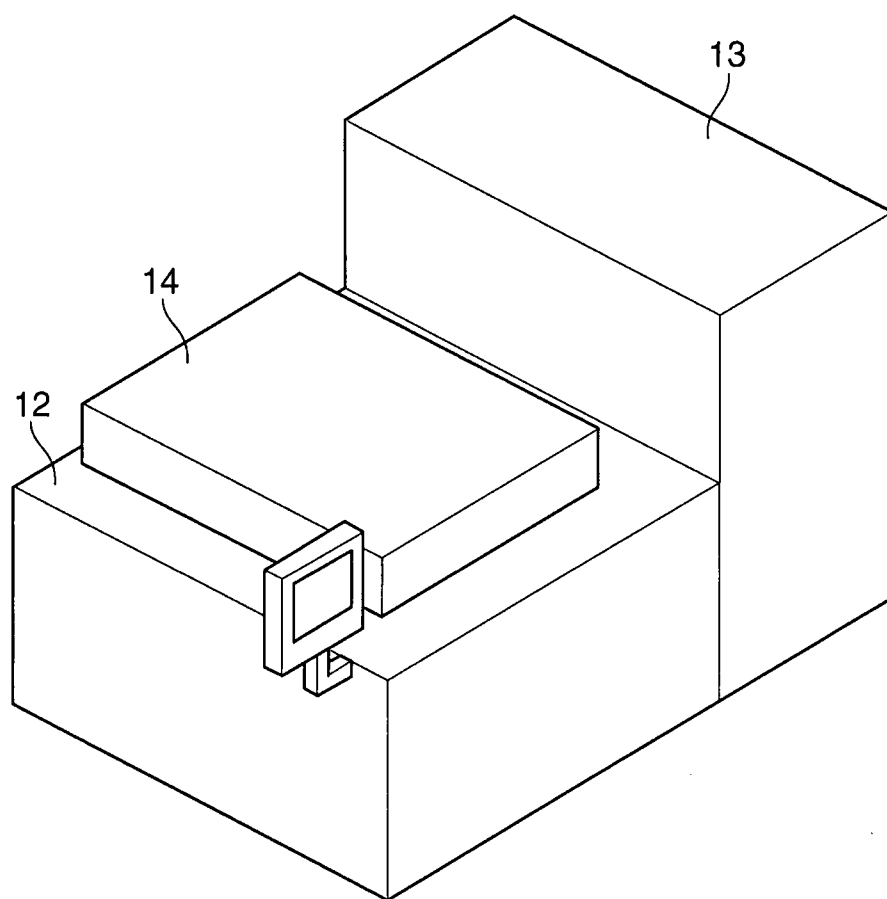


図 2

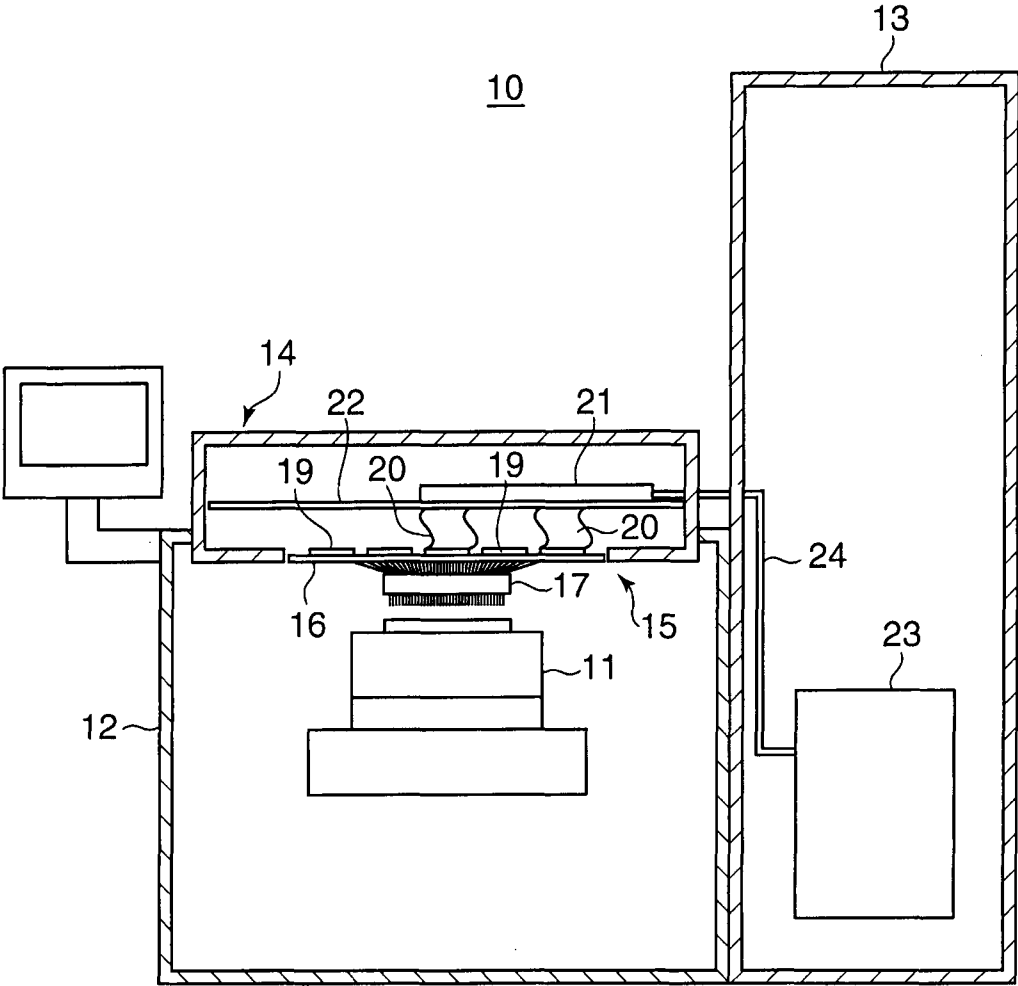
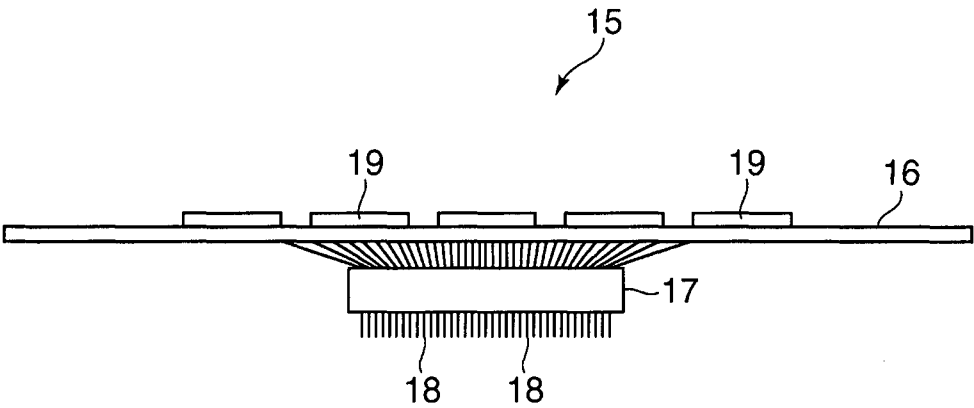
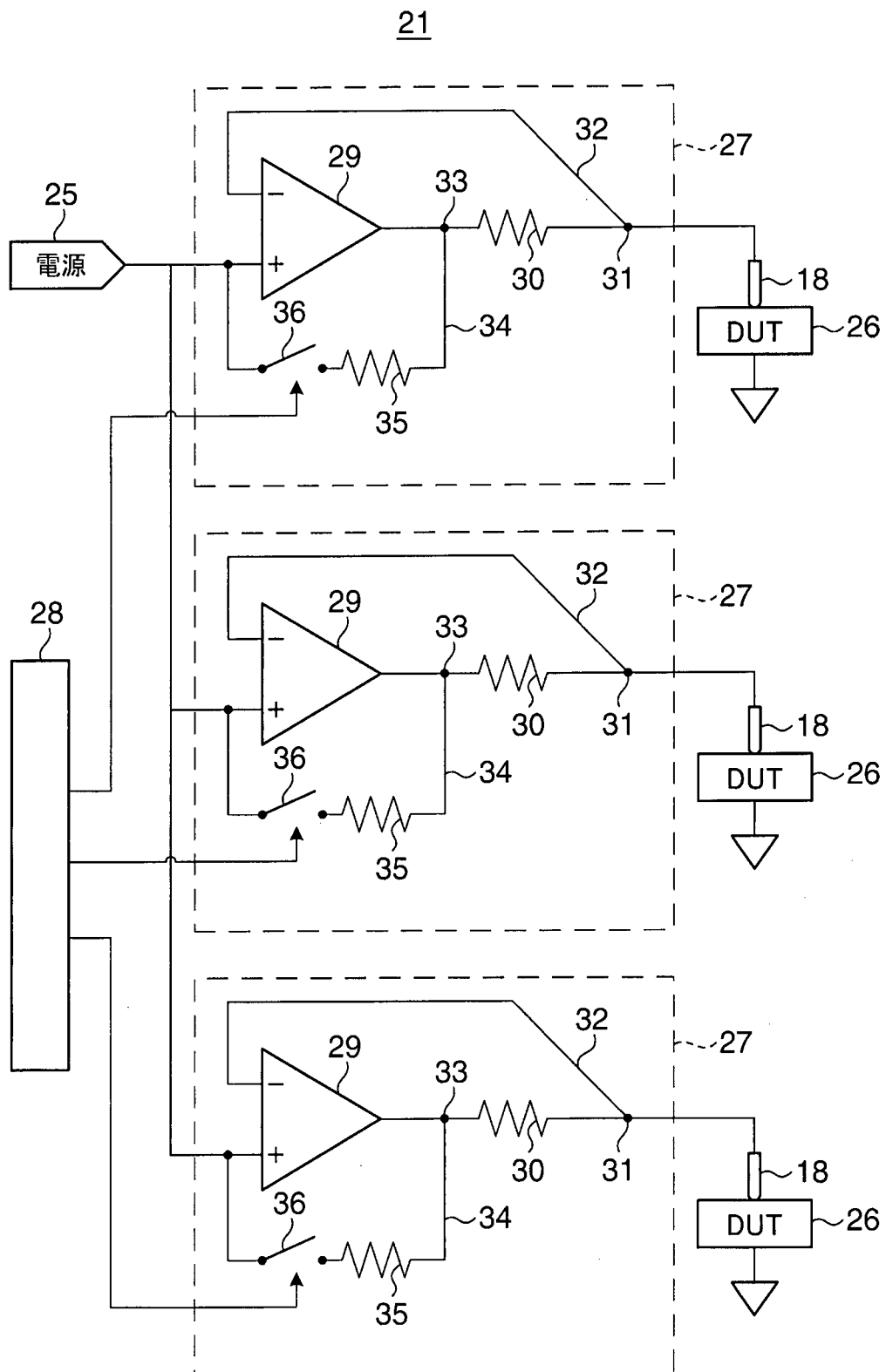


図 3



4/12

図 4



5/12

図 5

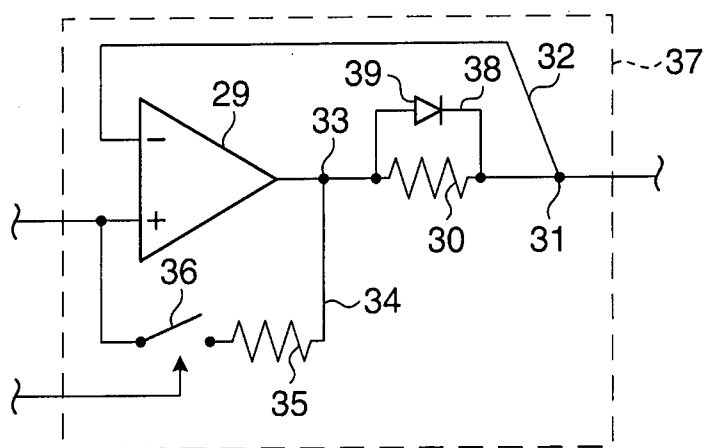
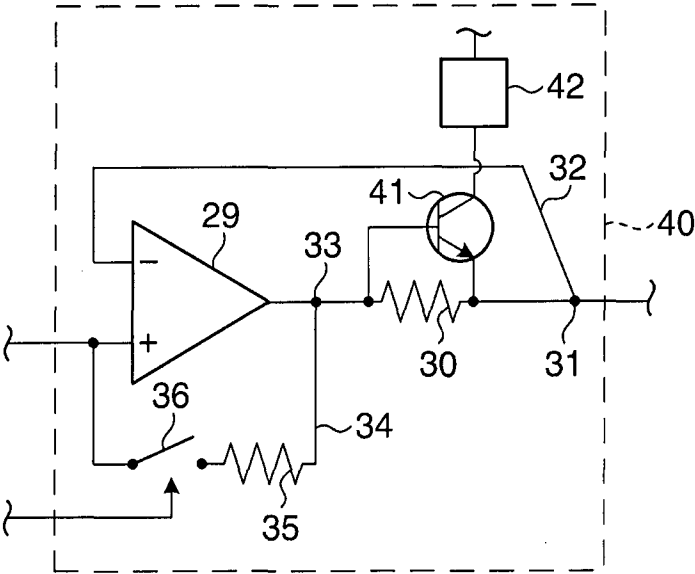
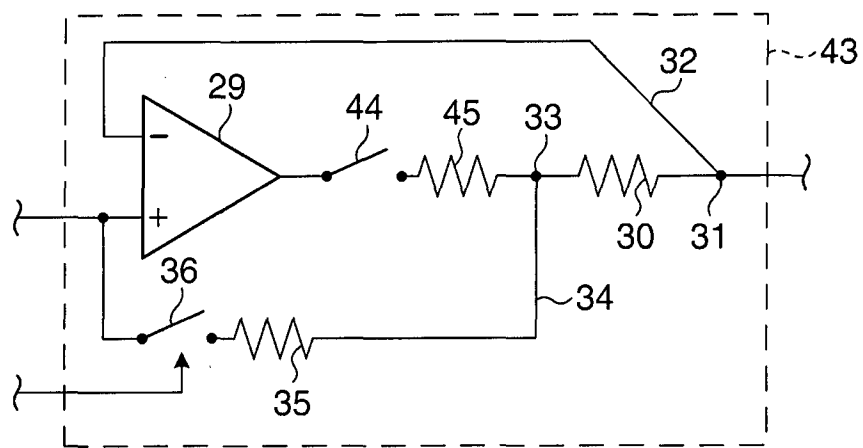


図 6



7/12

図 7



8/12

図 8

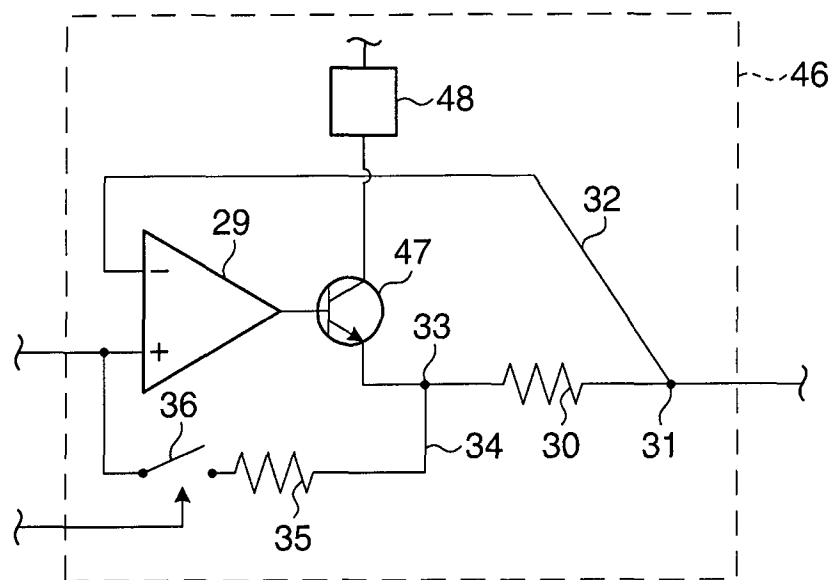


図 9

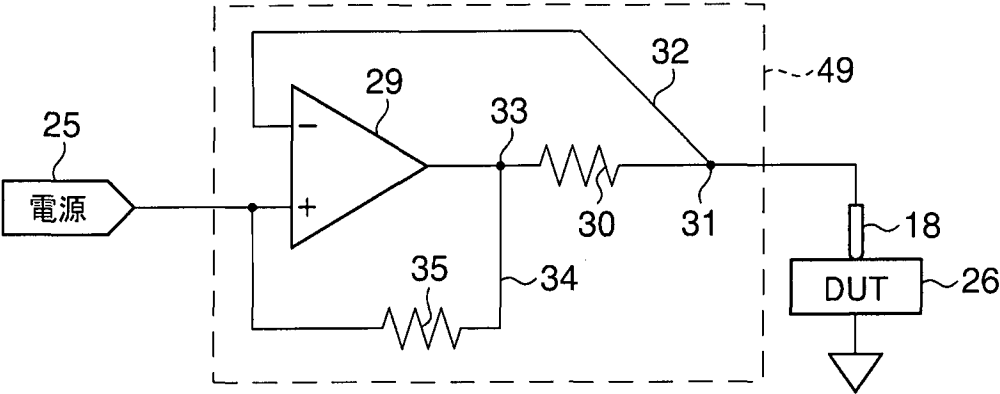


図 1 0

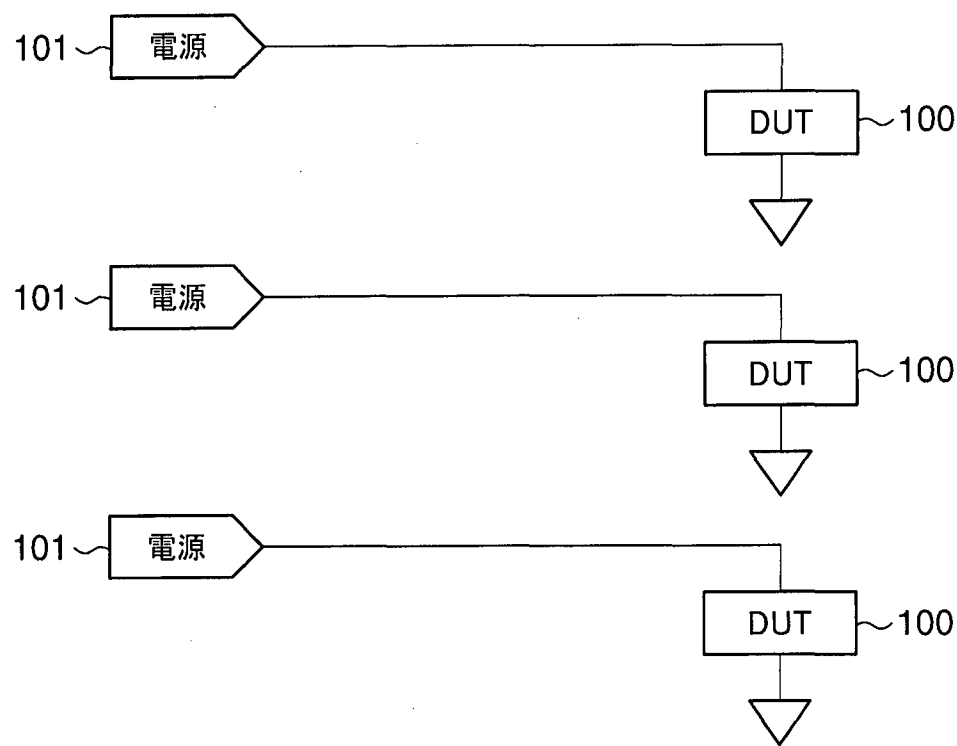
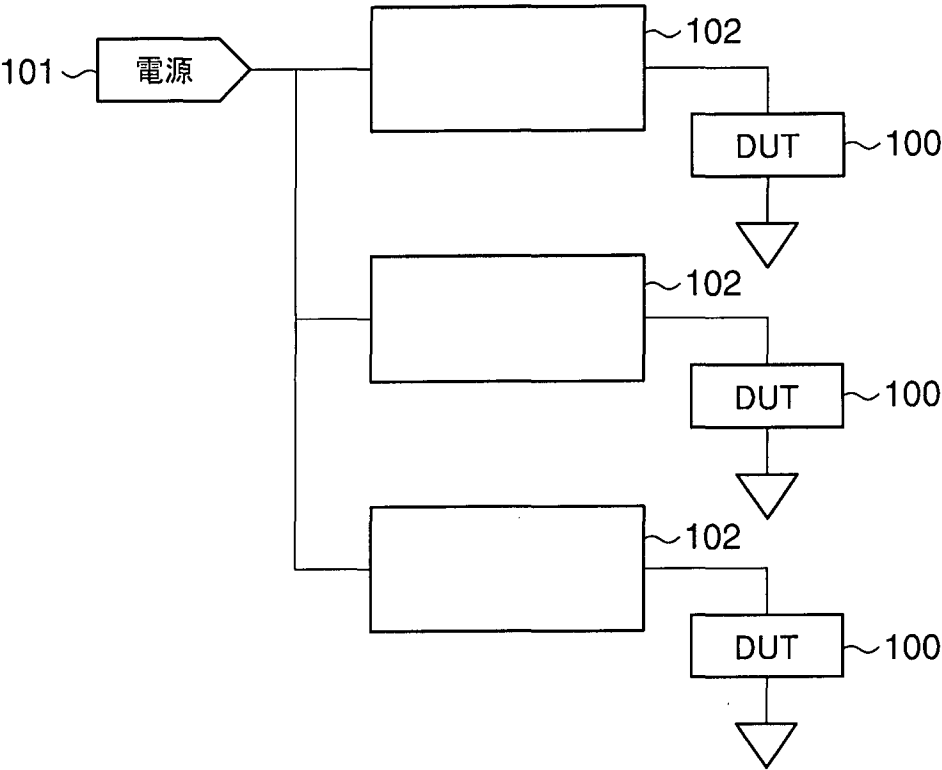
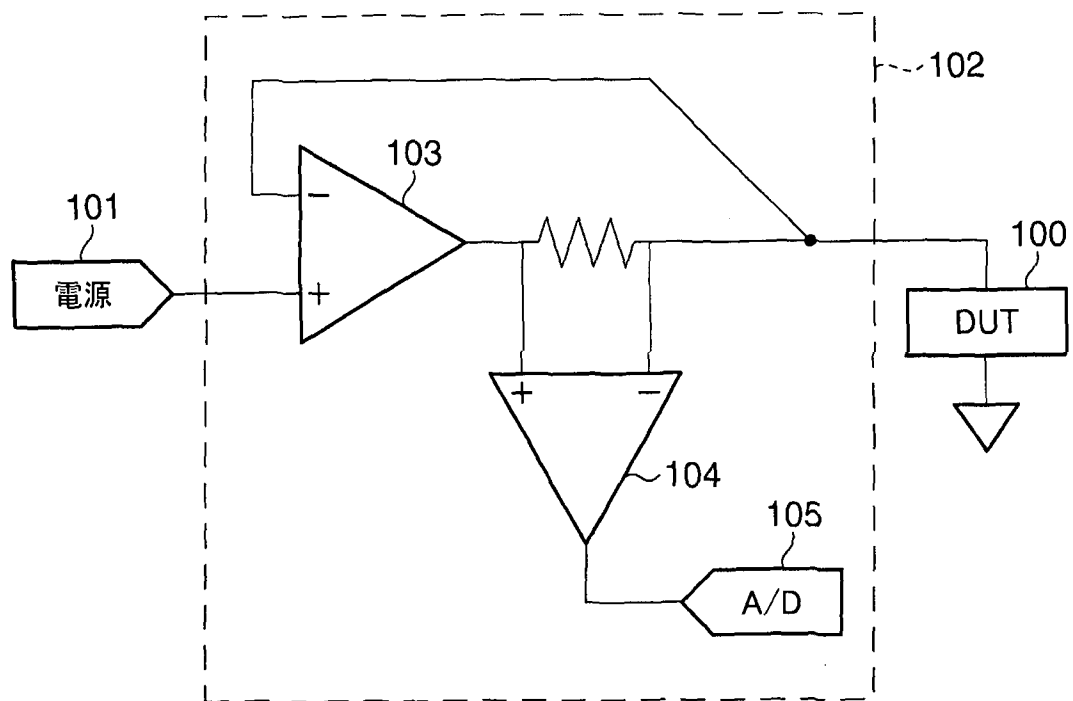


図 1 1



12/12

図 1 2



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/021556

A. CLASSIFICATION OF SUBJECT MATTER

G01R31/28(2006.01)i, G01R19/00(2006.01)i, G01R31/26(2014.01)i, H01L21/66(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G01R31/28, G01R19/00, G01R31/26, H01L21/66

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 06-041174 Y2 (Advantest Corp.), 26 October 1994 (26.10.1994), column 3, lines 3 to 4; column 4, line 12 to column 5, line 43; fig. 1 to 4 (Family: none)	1, 4, 9 10 2-3, 5-8
Y	JP 2016-035957 A (Tokyo Electron Ltd.), 17 March 2016 (17.03.2016), paragraphs [0020] to [0030]; fig. 1 to 2 & WO 2016/017292 A1 & TW 201617633 A & KR 10-2017-0038050 A & CN 106662613 A	10
A	JP 06-011509 Y2 (Advantest Corp.), 23 March 1994 (23.03.1994), entire text; all drawings (Family: none)	1-10

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
07 August 2017 (07.08.17)

Date of mailing of the international search report
22 August 2017 (22.08.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/021556

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 06-088839 A (Sony/Tektronix Corp.), 29 March 1994 (29.03.1994), entire text; all drawings (Family: none)	1-10

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. G01R31/28(2006.01)i, G01R19/00(2006.01)i, G01R31/26(2014.01)i, H01L21/66(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. G01R31/28, G01R19/00, G01R31/26, H01L21/66

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 06-041174 Y2（株式会社アドバンテスト）1994.10.26 第3欄第3行-第4行、第4欄第12行-第5欄第43行、第1図-第4図（ファミリーなし）	1, 4, 9 10 2-3, 5-8
Y	JP 2016-035957 A（東京エレクトロン株式会社）2016.03.17 段落0020-0030、図1-図2 & WO 2016/017292 A1 & TW 201617633 A & KR 10-2017-0038050 A & CN 106662613 A	10

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

07.08.2017

国際調査報告の発送日

22.08.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

續山 浩二

2 S

4 4 5 4

電話番号 03-3581-1101 内線 3216

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 06-011509 Y2 (株式会社アドバンテスト) 1994. 03. 23 全文、全図 (ファミリーなし)	1-10
A	JP 06-088839 A (ソニー・テクトロニクス株式会社) 1994. 03. 29 全文、全図 (ファミリーなし)	1-10