(19) RÉPUBLIQUE FRANÇAISE

INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE

PARIS

(11) N° de publication : **2 535 528**
(à n'utiliser que pour les commandes de reproduction)

(21) N° d'enregistrement national : **82 18248**

(51) Int Cl³ : H 01 L 27/12.

# (12) DEMANDE DE BREVET D'INVENTION A1

(22) Date de dépôt : 29 octobre 1982.

(30) Priorité

(43) Date de la mise à disposition du public de la demande : BOPI « Brevets » n° 18 du 4 mai 1984.

(60) Références à d'autres documents nationaux apparentés :

(71) Demandeur(s) : *Société pour l'Etude et la Fabrication des Circuits Intégrés Spéciaux — EFCIS (société anonyme).* — FR.

(72) Inventeur(s) : Yvon Gris.

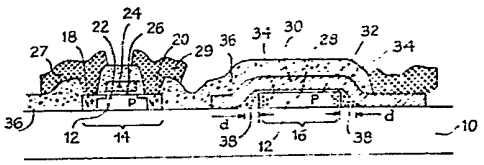
(73) Titulaire(s) :

(74) Mandataire(s) : Philippe Guilguet.

## (54) Structure de circuit intégré sur substrat isolant avec remblai isolant autour des îlots semi-conducteurs.

(57) L'invention concerne les circuits intégrés sur substrat isolant (substrat de corindon par exemple).

Pour éviter que les grilles 24, 30 de transistors MOS formés sur des îlots 14, 16 de silicium monocristallin ne soient pertubées par les charges électriques parasites 34 piégées dans les défauts de structure cristalline sur les bords des îlots, on ménage un remblai isolant 38 tout autour des îlots, ce qui éloigne les grilles des flancs des îlots, tout en facilitant le passage en pente douce des grilles au-dessus des îlots.




FR 2 535 528 - A1



Vente des fascicules à l'IMPRIMERIE NATIONALE, 27, rue de la Convention — 75732 PARIS CEDEX 15

# STRUCTURE DE CIRCUIT INTEGRE SUR SUBSTRAT ISOLANT AVEC REMBLAI ISOLANT AUTOUR DES ILOTS SEMICONDUCTEURS

La présente invention concerne les structures de circuits intégrés formées sur un substrat isolant, par exemple un substrat de corindon (variété d'alumine) sur lequel on a fait croître une couche épitaxiale de silicium monocristallin.

Les structures habituellement réalisées se présentent sous la forme visible aux figures 1 et 2 qui représentent respectivement une coupe verticale et une vue de dessus d'un circuit intégré sur substrat isolant, à une étape intermédiaire de sa fabrication.

Le substrat isolant est désigné par la référence 10 ; la couche épitaxiale de silicium monocristallin 12 est divisée en îlots individuels séparés les uns des autres. Par exemple, les îlots correspondent chacun à un transistor à effet de champ à grille isolée (transistor MOS) ; sur la gauche de la figure 1, un transistor MOS est représenté en coupe longitudinale dans un îlot 14 tandis que sur la droite de la figure 1, un autre transistor est vu en coupe transversale dans un îlot 16. Le transistor de l'îlot 14 comprend une région de source 18 de type $N^+$, une région de drain 20 également de type $N^+$, une région intermédiaire 22 de type P (région de canal) et une grille 24 en silicium polycristallin reposant sur une couche mince d'oxyde de silicium 26 au dessus de la région de canal. Le transistor de l'îlot 16 comprend une région de source 19 et une région de drain 21 (fig 2), ces régions n'étant pas visibles sur la figure 1 (la coupe est faite transversalement à travers la région de canal), une région de canal 28 et une grille 30 en silicium polycristallin reposant sur une couche mince d'oxyde de silicium 32. Les électrodes reliées aux régions de source et de drain ne sont pas représentées. Elles viendraient en contact avec le silicium monocristallin dans ces régions.

Les régions de source et de drain sont formées par diffusion ou implantation ionique après dépôt et gravure du silicium

polycristallin qui sert de masque, et ceci implique que la grille s'étende transversalement sur toute la largeur de l'îlot, comme on le voit sur le transistor 16, pour bien masquer le canal pendant l'opération de diffusion ou implantation. C'est la raison pour laquelle on prévoit en fait que la grille déborde de part et d'autre de l'îlot sur lequel est constitué un transistor.

Comme la hauteur de l'îlot est relativement importante (par exemple 0,6 micron), il est souhaitable de prévoir que les flancs de l'îlot soient obliques pour faciliter le passage du silicium polycristallin mais surtout de l'aluminium des électrodes de source et de drain au-dessus des marches constituées par les bords de l'îlot. On prévoit donc, lors de la gravure des îlots, d'attaquer spécialement le silicium monocristallin selon une orientation cristalline (par exemple 111) oblique par rapport à celle de la surface de la couche épitaxiale (par exemple 100).

Cette attaque provoque une dégradation de la couche cristalline sur les flancs de l'îlot, surtout à proximité du substrat isolant. Il en résulte un piégeage local de charges électriques de surface, positives ou négatives, variables dans le temps; ces charges désignées par la référence 34, perturbent le fonctionnement des circuits parce qu'elles modifient les caractéristiques des transistors et notamment leur tension de seuil, du fait que les grilles passent à proximité d'elles. Celles qui perturbent le plus le fonctionnement sont celles qui sont à proximité immédiate de l'interface entre le silicium des îlots et le substrat isolant.

Le but de l'invention est de proposer une nouvelle structure de circuits intégrés sur substrat isolant qui élimine les défauts de fonctionnement dus à des charges électriques piégées dans les défauts de structure cristalline sur les flancs des îlots de silicium et notamment à proximité de l'interface entre le silicium et le substrat isolant.

Un autre but de l'invention est de proposer une structure sur substrat isolant qui soit réalisable sans traitement thermique de longue durée à température élevée, et notamment sans formation d'oxyde épais par oxydation thermique de silicium ; une

telle oxydation engendrerait en effet également, pour une structure sur substrat isolant, un risque de piégeage de charges perturbatrices.

Pour résoudre ce problème, la présente invention propose une structure de circuit intégré comportant un substrat isolant sur lequel sont déposés des îlots individuels de semiconducteur monocristallin, en vue de la formation de transistors à effet de champ à grille isolée par une couche mince isolante. Dans cette structure, les flancs des îlots sont entourés, sous les parties de grilles, débordant des ilôts de semiconducteur, d'un remblai en matière isolante, dont l'épaisseur latérale à la base des îlots est très supérieure à l'épaisseur de la couche mince isolante des transistors et dont la hauteur est sensiblement égale à celle des îlots, le remblai formant, du sommet des îlots vers leur base, une rampe oblique contre laquelle s'appuient les grilles des transistors de telle manière que celles-ci se trouvent écartées des îlots de semiconducteur à la base de ceux-ci.

Les charges piégées dans les défauts de structure cristalline du semiconducteur sur les flancs des îlots ne seront donc pas ou pratiquement pas influencées par le potentiel de la grille des transistors MOS.

L'invention est tout particulièrement applicable aux circuits intégrés à transistors MOS au silicium (îlots en silicium monocristallin) ; le remblai est alors en oxyde de silicium $SiO_2$ et peut être réalisé par un procédé particulièrement simple.

D'autres caractéristiques et avantages de l'invention apparaîtront à la lecture de la description détaillée qui suit et qui est faite en référence aux dessins annexés dans lesquels :

- les figures 1 et 2 déjà décrites représentent une structure intégrée de l'art antérieur à une étape intermédiaire de sa fabrication ;

- la figure 3 représente en coupe la structure selon l'invention ;

- les figures 4 à 11 représentent les diverses étapes d'un procédé de fabrication de la structure selon l'invention.

Les dessins sont volontairement représentés avec des

dimensions qui ne sont pas à l'échelle, pour améliorer leur lisibilité.

La figure 3 est représentée de la même manière que la figure 1, avec les mêmes références pour les éléments correspondants.

La structure de l'invention représentée sur cette figure 3 comprend un substrat isolant 10 en corindon ($Al_2O_3$), sur lequel on a fait croître une couche épitaxiale 12 de silicium monocristallin qu'on a ensuite gravée pour la diviser en îlots individuels dont les flancs sont de préférence verticaux. Par exemple, comme à la figure 1, on a représenté sur la gauche de la figure 3, un îlot 14 correspondant à un transistor à effet de champ à grille isolée (transistor MOS), vu en coupe longitudinale (à travers source, canal et drain), tandis que sur la droite, on a représenté un autre îlot 16 correspondant à un transistor MOS identique mais tourné de 90 degrés donc vu en coupe transversale (à travers le canal). Le transistor de l'îlot 14, à canal de type N, comprend une région de source 18 de type $N^+$, une région de drain 20 également de type $N^+$, et, entre ces deux régions, une région 22 de type P ou éventuellement $N^-$, dans laquelle se forme le canal, et une grille de silicium polycristallin 24 reposant sur une couche mince d'oxyde de silicium 26 au dessus de la région 22.

De préférence, la région de source et la région de drain se décomposent chacune en deux régions adjacentes, l'une de faible profondeur se terminant juste à l'aplomb de la grille et l'autre, plus profonde (éventuellement occupant toute la hauteur de l'îlot de silicium monocristallin), s'étendant entre les flancs de l'îlot et la région de type $N^+$ de faible profondeur. Une électrode de source 27, par exemple en aluminium, vient en contact avec la partie superficielle de la région de source 18 (dans sa partie la plus profonde), et de la même façon, une électrode de drain 29 vient en contact avec la région de drain 20.

Le transistor de l'îlot 16 est constitué comme le transistor de l'îlot 14 mais, du fait qu'il est vu selon une coupe transversale à travers le milieu du canal, on ne voit pas les

régions de source et de drain et on n'a pas représenté les électrodes correspondantes. On voit essentiellement une région de canal 28 de type P ou éventuellement $N^-$, occupant toute la largeur de l'îlot, et surmontée d'une couche isolante mince 32 (en oxyde de silicium), elle-même recouverte par une grille 30 en silicium polycristallin.

L'ensemble des îlots de silicium monocristallin, des grilles des transistors, et du substrat est recouvert d'une couche isolante de passivation 36 en oxyde de silicium, à l'exception de plages de contact par exemple entre les électrodes métalliques 27 et 29 et les régions de source et drain.

Les grilles des transistors recouvrent la totalité de la largeur (dans le sens transversal) des îlots de silicium monocristallin, et débordent de chaque côté, comme on le voit pour le transistor de l'îlot 16, en reposant sur un remblai isolant 38, en oxyde de silicium, qui entoure l'îlot et dont l'épaisseur latérale d à la base de l'îlot est très supérieure à l'épaisseur de la couche mince isolante 32 présente au dessous des grilles des transistors. Le remblai a une hauteur sensiblement égale à celle des îlots de silicium monocristallin et il forme, à partir du sommet des flancs des îlots, une rampe oblique servant de support à la grille de telle manière que celle-ci se trouve écartée des flancs de l'îlot, et surtout de leur base.

Les charges parasites piégées dans les défauts de structure des flancs de l'îlot sont encore désignées par la référence 34 et elles sont suffisamment éloignées des grilles pour que le fonctionnement des transistors soit très peu perturbé.

Par exemple, l'épaisseur latérale du remblai 38 à sa base est de 0,5 à 1 micron ou plus (l'épaisseur d'oxyde mince de la couche 32 étant au moins dix fois plus faible).

La pente oblique du remblai a l'avantage de faciliter le passage en pente douce des grilles de silicium polycristallin au dessus des îlots qu'elles doivent traverser complètement.

On va maintenant décrire un procédé préférentiel d'obtention de la structure de circuit intégré selon l'invention.

On part d'une plaquette constituée par un substrat iso-

lant 10, par exemple en corindon, sur lequel on fait croître une couche épitaxiale 12 de silicium monocristallin de type P ou éventuellement $N^-$, d'une épaisseur d'environ un micron, dans laquelle seront formées les diverses régions semiconductrices nécessaires à la constitution du circuit intégré et notamment des transistors MOS.

On grave la couche de silicium 12 de préférence par un procédé de gravure anisotrope verticale, par exemple par gravure ionique réactive, pour former des îlots individuels 14, 16 de silicium monocristallin présentant des flancs verticaux. Une gravure verticale présente en effet l'avantage de permettre une plus grande finesse du motif gravé. Le motif de gravure est tel que l'on forme notamment des îlots individuels correspondant chacun à un transistor (Fig 4).

On effectue ensuite un dépôt d'une couche d'oxyde 15 de silicium $SiO_2$ en phase vapeur à basse pression et basse température, sur une épaisseur légèrement supérieure à la hauteur des îlots de silicium monocristallin (environ un micron). L'oxyde de silicium 15 recouvre alors toute la surface de la plaquette avec un relief correspondant globalement au relief des îlots mais fortement adouci grâce au fort pouvoir couvrant de l'oxyde de silicium déposé à basse pression (fig 5).

On procède alors à une attaque de l'oxyde, sur toute la surface de la plaquette, par un procédé de gravure anisotrope verticale (gravure ionique réactive ou gravure par plasma), pour enlever l'oxyde sur une épaisseur correspondant à l'épaisseur de dépôt de cet oxyde sur les îlots ou sur le substrat isolant. On arrête la gravure lorsque cette épaisseur a été enlevée ; ceci peut se détecter éventuellement par une mesure de la pression dans la chambre de gravure.

Du fait que l'attaque est anisotrope et verticale, il subsiste de l'oxyde dans les coins formés entre les flancs verticaux des îlots et le substrat isolant. En effet, dans ces coins l'épaisseur d'oxyde dans le sens vertical était plus élevée qu'ailleurs par suite du fort pouvoir couvrant de l'oxyde de silicium déposé.

L'oxyde qui subsiste autour des îlots après gravure forme ainsi un remblai isolant 38 constituant une rampe oblique du sommet des flancs des îlots vers le substrat ; sa hauteur est à peu près celle de l'îlot et son épaisseur latérale d à la base de l'îlot est de l'ordre de la hauteur soit de quelques milliers d'angströms à un micron par exemple (fig 6).

L'étape suivante consiste à effectuer une oxydation thermique du silicium pour créer une couche mince d'oxyde $SiO_2$ destinée à servir d'isolant de grille des transistors MOS. La couche créée, 26 sur l'îlot 14 et 32 sur l'îlot 16, a une épaisseur de quelques dizaines à quelques centaines d'angströms et cette étape d'oxydation thermique a donc une durée relativement brève (qui n'a rien de comparable à la durée qui serait nécessaire pour créer par oxydation thermique une couche épaisse d'un micron). Cette étape d'oxydation mince est suivie d'une dépôt en phase vapeur à basse pression d'une couche de silicium polycristallin 23, d'une épaisseur de quelques milliers d'angströms (fig 7).

S'il y a lieu, on ajuste le dopage du silicium polycristallin par implantation ou diffusion, par exemple de bore, puis on le grave selon un motif correspondant aux grilles de transistors MOS et éventuellement à des interconnexions entre transistors. La gravure des grilles est telle que dans le sens transversal la grille d'un transistor s'étende à travers toute la largeur de l'îlot en débordant des deux côtés par des portions qui reposent horizontalement sur le remblai d'oxyde 38 entourant l'îlot. La grille du transistor de l'îlot 14, vu en coupe longitudinale, est désignée par la référence 24 ; celle du transistor de l'îlot 16, vu en coupe transversale et reposant sur le remblai 38, par la référence 30 (fig 8).

On peut alors procéder à un dopage de la source et du drain en deux étapes. La première consiste à déposer une couche de résine 31 opaque vis à vis de l'implantation ionique d'impuretés de type $N^+$, et à la graver selon un motif correspondant au motif des grilles de silicium polycristallin mais légèrement dilaté pour que la résine déborde autour des grilles. On procède alors à une

première implantation ionique d'impuretés de type N (arsenic par exemple) pour former les régions de source 18 et de drain 20 dans le silicium monocristallin.

Les zones s'étendant sous les grilles et immédiatement autour sont protégées par la résine. L'implantation se fait à travers la couche d'oxyde mince 26 qui recouvre le silicium monocristallin ; cette implantation peut se faire avec une énergie suffisante pour doper, avec une concentration élevée, le silicium monocristallin sur toute sa hauteur (fig 9).

Il est particulièrement intéressant de noter que durant cette implantation profonde et à forte concentration, les flancs des îlots à proximité immédiate de la grille sont protégés par la résine. On peut d'ailleurs prévoir que la résine 31 masque non seulement les abords immédiats de la grille mais aussi qu'elle masque les flancs des îlots sur toute leur longueur dans le sens longitudinal, pour éviter complètement la formation de transistors parasites dits "de flanc de caisson" qui comprendraient le long de ces flancs longitudinaux une source, un drain et un canal parallèles aux source, drain, canal du transistor principal mais de caractéristiques perturbées par les défauts de structure des flancs verticaux des îlots.

La formation des régions de source et de drain se poursuit par l'élimination de la résine 31 et, éventuellement après un recuit destiné à la restructuration du silicium, par une deuxième implantation ionique, à travers l'oxyde mince 26, d'une impureté de type N, mais avec une concentration et une profondeur beaucoup plus limitée que lors de la première implantation. Ici, c'est le silicium polycristallin des grilles qui sert de masque, pour que la région de type N créée soit exactement alignée à l'aplomb des grilles. La faible énergie d'implantation nécessaire fait que les flancs des îlots sont très peu affectés lors de cette opération (fig 10).

On dépose alors une couche relativement épaisse 33 (environ un micron) d'oxyde de silicium de passivation (fig 11).

La fin du procédé de réalisation consiste à ouvrir, par gravure sélective à travers un masque approprié, des zones de con-

tact, notamment au dessus des régions de source et/ou de drain 18 et 20 ; On dépose alors une couche de métal d'interconnexion (aluminium) que l'on grave selon un motif de connexions métalliques à réaliser dans le circuit et on effectue éventuellement un nouveau dépôt d'oxyde de silicium de passivation (non représenté) que l'on élimine sélectivement sur des plages de contact d'aluminium destinées aux connexions du circuit vers l'extérieur.

Un des avantages importants de la structure intégrée selon l'invention est qu'elle peut facilement être réalisée par le procédé décrit ci-dessus qui ne comporte pas d'étape de traitement thermique de longue durée et qui de plus est tel que les flancs des îlots soient protégés par de l'oxyde épais avant les étapes d'implantation ionique qui sont génératrices de défauts de structure dans le silicium.

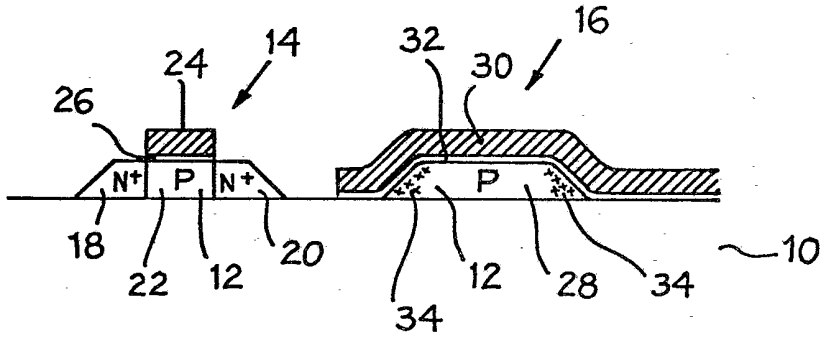
REVENDICATIONS

1. Structure de circuit intégré comportant un substrat isolant (10) sur lequel sont formés des îlots individuels (14, 16) de semiconducteur monocristallin, en vue de la formation sur ces îlots de transistors à effet de champ dont la grille (24, 30) est isolée par une couche mince isolante (26, 32), caractérisée en ce que les flancs des îlots sont entourés, sous les grilles, d'un remblai (38) en matière isolante, dont l'épaisseur latérale d à la base des îlots est très supérieure à l'épaisseur de la couche mince isolante (26, 32) des transistors, et dont la hauteur est sensiblement égale à celle des îlots, le remblai formant, du sommet des îlots vers leur base, une rampe oblique contre laquelle s'appuient les grilles des transistors de telle manière que celles-ci se trouvent largement écartées des îlots de semiconducteur à la base de ceux-ci.

2. Structure selon la revendication 1, caractérisée en ce que les îlots ont des flancs abrupts verticaux.

3. Structure selon l'une des revendications 1 et 2, caractérisée par le fait que le semiconducteur est du silicium et que le remblai est en oxyde de silicium $SiO_2$.

Fig.1


14
16
24
26
32
30
N+
P
N+
P
18
22
12
20
34
12
28
34
10

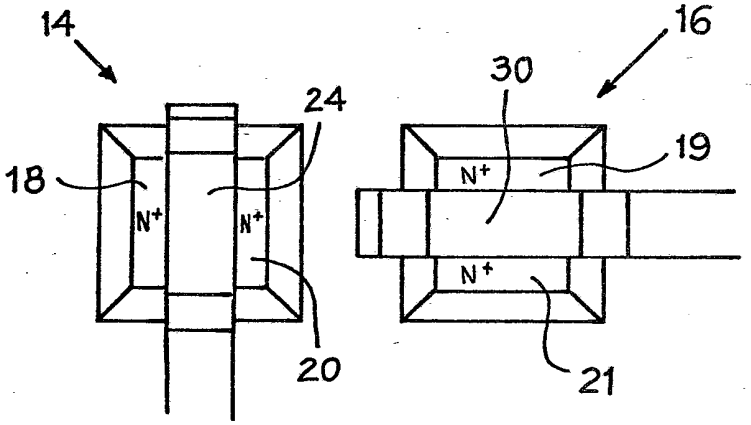

14
16
24
30
18
19
N+
N+
N+
20
21

Fig.2

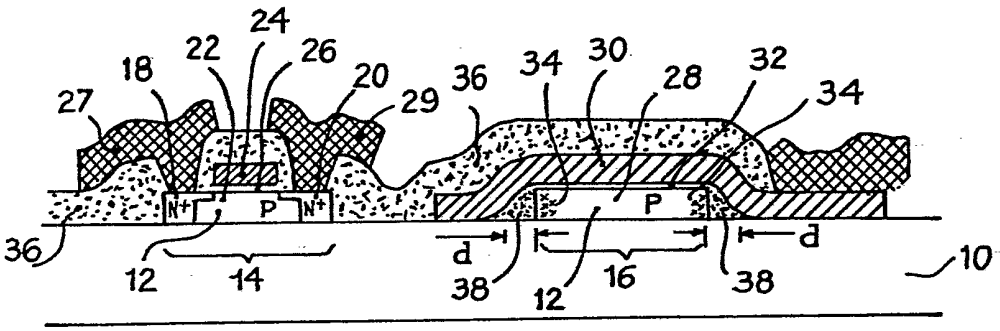



Fig.3

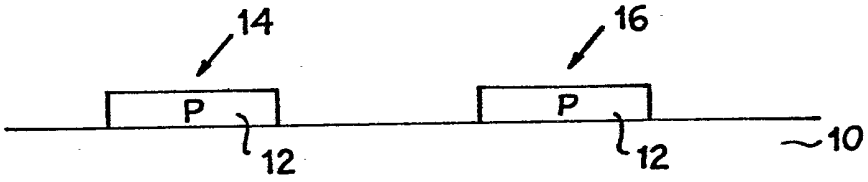



Fig.4

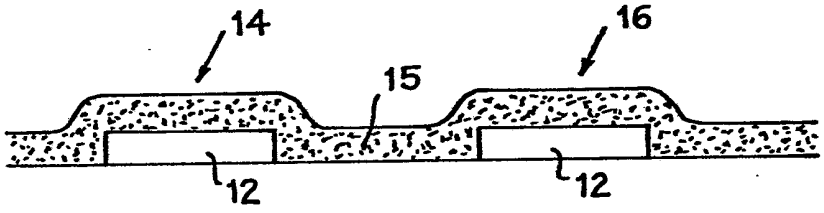



Fig.5

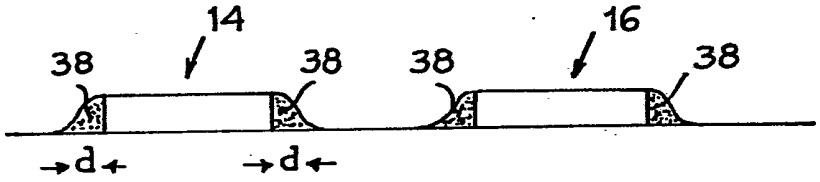



Fig.6

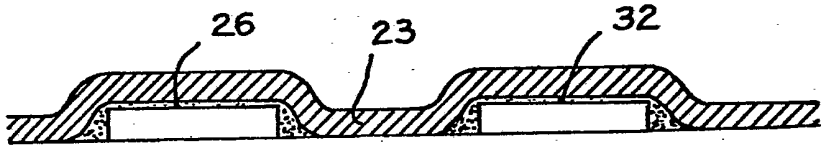



Fig.7

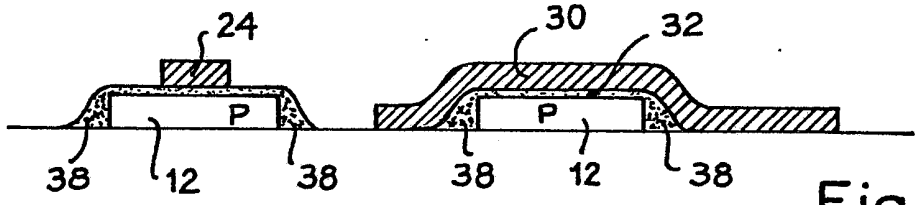



Fig.8

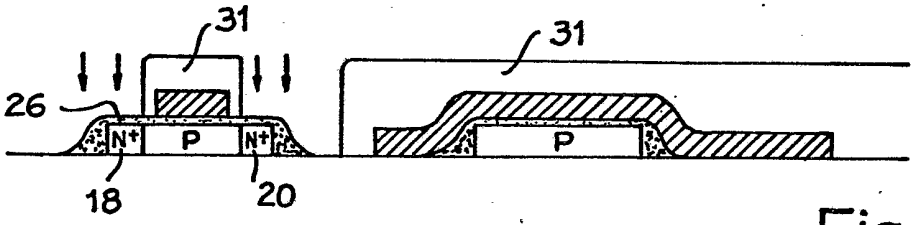



Fig.9

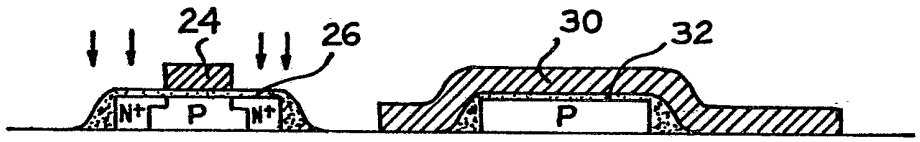



Fig.10

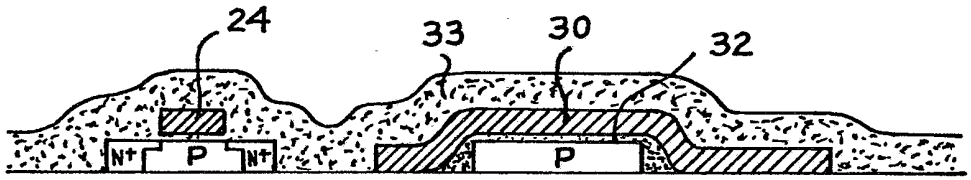



Fig.11