(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl. [7]
H01L 21/316

(11) 공개번호 특2001-0095310
(43) 공개일자 2001년11월03일

(21) 출원번호 10-2001-0017883
(22) 출원일자 2001년04월04일

(30) 우선권주장 09/543,370 2000년04월04일 미국(US)

(71) 출원인 에이저 시스템즈 가디언 코포레이션
추후기재
미국 플로리다주, 32819 올란도 사우스 존 영 파크웨이 9333

(72) 발명자 라이틀스티븐에이.
미국32835,플로리다,올란도,캐년레이크서클7972
샤오후일리
미국32835,플로리다,올란도,에이피티.126,로버트트렌트존스디알.2632
로비매리디.
미국32836,플로리다,올란도,에메랄드우즈애비뉴10431
스타이너커트지.
미국32836,플로리다,올란도,샌드스톤드라이브7603
토마모건제이.
미국32836,플로리다,올란도,엘레스메어8701
비트캐비지다니엘제이.
미국32787,플로리다,윈터가든,윈드스톤스트리트12107
비트캐비지수잔씨.
미국32836,플로리다,올란도,포트베리드라이브9525

(74) 대리인 이병호

심사청구 : 없음

(54) 고밀도 플라즈마-플루오르화 실리콘 글라스 처리 스택 및그 제조 방법

요약

본 발명은 반도체 장치 및 그 제조 방법을 제공한다. 한 실시예에서, 반도체 장치는 반도체 기판 위에 위치된 금속 형상(metal feature)을 포함하며, 상기 금속 형상은 그것을 포함하는 유전체층을 갖는다. 반도체 장치는 또한 실리콘을 포함하는, 금속 형상 위에 위치되고, 유전체층으로부터 금속 형상을 분리시키는 장벽층을 포함한다. 따라서, 장벽층은 금속 형상 내로 유전체층의 확산을 억제하는 경향이 있다. 다른 실시예는 유전체층 위에 위치된 캐핑층 및 캐핑층 위에 위

치된 금속 형상을 유도한다.

대표도

도 1

색인어

캐핑층, FSG, 실리콘-풍부 산화물, HDP, CVD, 금속 형상, 등방성 에칭 구성 요소

명세서

도면의 간단한 설명

도 1은 반도체 기판 위에 형성된 장벽층(barrier layer)을 포함하는, 제조의 중간 단계에서의 반도체 장치의 횡단면도.

도 2는 낮은 압력 유도 연결된 HDP 화학 기상 증착(CVD) 반응기(low pressure inductively coupled HDP chemical vapor deposition reactor)의 개략도.

도 3a는 금속 형상들(metal features) 위의 실질적으로 평면인 유전체층 및 장벽층의 증착 후, 도 1에 도시된 반도체 장치를 도시한 도면.

도 3b는 금속 형상 위에 변형물(anomaly)을 갖는 유전체층의 증착 후, 도 1에 도시된 반도체 장치를 도시한 도면.

도 3c는 포토레지스트 재료가 증착되고, 그 위에 패터닝된 후, 도 3b에 도시된 반도체 장치를 도시한 도면.

도 3d는 뿔(horn) 같은 잔존물들을 남기고, 변형물들의 약 75%에서 약 99%를 제거 후, 도 3c에 도시된 반도체 장치를 도시한 도면.

도 4는 유전체층 위에 캐핑층(capping layer)의 증착 후, 도 3a 내지 3d에 도시된 반도체 장치를 도시한 도면.

도 5는 제 2 금속 형상의 종래의 증착 후, 완성된 반도체 장치를 도시한 도면.

도 6은 본 발명의 원리에 따라 제조될 수 있는 종래의 집적 회로의 단면도.

도면의 주요부분에 대한 부호의 설명

110; 금속 형상들 120; 반도체 기판

210; 챔버 240; 측면 RF 전원

315; 작은 형상 360; 잔존물

410; 캐핑층 520; Ti/TiN 층들

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 일반적으로 반도체 장치에 관한 것이며, 특히, 반도체 기판 위의 금속 형상 위에 위치된 실리콘-풍부 장벽층을 갖는 반도체 장치에 관한 것이다.

일반적으로 공지된 바와 같이, 현재의 반도체 기술은 끊임없이 그 구성 요소들의 크기를 감소시키고 있다. 상이한 금속 레벨들 또는 주어진 금속 레벨 중 하나인 금속 상호 접속(interconnects) 간의 거리의 감소가 크기 면의 이러한 감소에 포함된다. 장치 크기 및 사용된 현재의 인터레벨 유전체 재료들(interlevel dielectric materials)의 모든 감소의 결과로서, RC 지연은 문제가 되어왔다. RC 지연 문제들은 금속 상호 접속들과 사용된 인터레벨 유전체 재료 사이에 발생하는 원하지 않는 캐패시턴스 연결(capacitance coupling)의 결과로 여겨진다.

따라서, 장치 크기의 감소와 관련된 RC 지연 문제들을 방지하려는 시도로 반도체 제조 산업은 현재 인터레벨 유전체들에 대해 플루오르화 실리콘 글라스(FSG)와 같은 낮은 유전 상수 재료를 사용하는 방향으로 움직이고 있다. FSG 인터레벨 유전체 재료는 러너들(runners) 사이의 캐패시턴스 결합을 더 낮게 하는 경향이 있으며, 이어서 회로들 내에서 RC 지연을 더 낮게 하여, 더 빠른 집적 회로를 제공한다. 그러나, 종래의 집적 회로들 내로 FSG를 통합할 때, 많은 어려움들과 부딪친다.

한가지 어려움은 FSG 유전체 재료 내에서 플루오르의 불안정성이다. 몇몇 플루오르는 FSG 유전체 재료 내에 결합되지만, 반면 많은 플루오르는 느슨하게 결합되거나, 전혀 결합되지 않는다. 불행히도, 느슨하게 결합되고 결합되지 않은 플루오르는 집적 회로가 큰 온도 변화에 부딪칠 때 이동하기 쉽다. 그러한 큰 온도 변화는 일반적으로 제조 처리 동안 발생하지만, 또한 집적 회로를 사용하는 동안 발생할 수도 있다. 더욱이, 집적 회로 내의 플루오르의 이동은 2개의 일반적인 문제들을 야기하기 쉽다.

한가지 그러한 문제는 결합 안된 플루오르가 FSG 인터레벨 유전체 재료 위에 위치된, 일반적으로 티타늄을 포함하는 금속 스택을 공격할 때 발생한다. 금속 스택이 티타늄을 포함할 때, 플루오르는 매우 빈약한 접착 특성을 갖는 티타늄 플루오르화물을 형성하도록 티타늄과 결합한다. 빈약한 접착 특성 때문에, 티타늄 금속 스택은 FSG 유전체 재료로부터 구부러지고 벗겨지기 쉬워서 더 큰 문제를 초래한다. 이론적으로, 상이한 재료들을 포함하는 금속 스택들은 또한 티타늄 금속 스택들과 관련된 유사한 문제들을 경험할 것이다.

FSG 유전체 재료 내에서 플루오르의 이동으로부터 발생하는 다른 문제는 플루오르가 금속 형상과 결합할 때 발생한다. 알루미늄 상호 접속 라인들은 반도체 장치들 내에서 금속 형상들로서 일반적으로 사용된다. 플루오르는 알루미늄과 결합하여 알루미늄 플루오르화물(aluminium fluoride) 형성을 시도하고, 이는 알루미늄 상호 접속 라인들의 도전 성질에 부정적인 영향을 미친다. 플루오르가 종래의 집적 회로 내에서 다른 금속들과 결합할 때, 동일한 결과가 발생할 것으로 추측된다.

오늘날의 반도체 기술에서 현재 부딪쳐지는 다른 문제는 재료의 표면을 저렴하고 정확하게 평탄화하는 것이 불가능하다는 것이다. 정확한 평탄화가 반도체 제조 산업 내에서 항상 중요하지만, 현재 기술과 관련된 극히 작은 서브미크론 장치 크기(submicron device size)로 인해 더 중요하게 되었다. 공지된 바와 같이, 그러한 서브미크론 형상 크기들에 대해 후속하는, 정확한 포토리소그래픽 처리를 수행하도록 효율적인 평탄화가 달성되는 것은 중요하다.

상술된 바와 같이, 현재 반도체 기술은 재료, 전형적으로 FSG와 같은 유전체 재료의 층을 반도체 웨이퍼 위의 형상들

위에 증착한다. 전형적으로, FSG는 그것과 관련된 등방성 에칭 구성 요소(isotropic etching component)를 갖는 고밀도 플라즈마 처리를 사용하여 증착된다. 이러한 등방성 구성 요소의 효과들은 오늘날의 집적 회로 설계들 내로 종종 통합되는, 캐패시터, 인덕터, 등과 같은 넓은 형상들을 통해 명백하다. 게이트 구조들 및 상호 접속 라인들과 같은 변형물들은 충분히 작아서 등방성 구성 요소가 종래의 화학/기계 평탄화(CMP) 처리들에 의해 쉽게 효율적으로 평탄화되는 단지 작은 돌출부(protrusion)를 남긴다. 그러나, 넓은 형상들은 전혀 상이한 문제를 제공한다.

넓은 형상이 그것이 위치되는 평면보다 더 높기 때문에, 상승된 영역 또는 증착된 재료의 변형물은 증착 동안 등방성 에칭 효과에 기인한 그러한 형상들 위에 전형적으로 발생된다. 문제는 상승된 영역을 포함하는 반도체 장치의 표면이 평탄화될 때 전형적으로 CMP 처리를 사용하여 발생한다. 일반적으로, 주로 높은 영역들을 포함하는 영역들은 거의 낮은 영역들을 포함하는 영역들보다 더 느리게 폴리싱한다. 이러한 폴리싱 속도 차는 결과로서 정확도, 장치 성능 및 장치 수율(device yield)에 영향을 줄 수 있는 칩의 재료 두께의 비균등성을 생성하기 쉽다. 더욱이, 집적 회로들의 상이한 타입들 사이의 패턴 밀도의 차이는 더 어렵고 높은 비용이 드는 제조 과정을 만드는 폴리싱 속도들의 변화를 이끈다.

과거에, 반도체 제조 산업은 CMP 동안 패턴 밀도 효과들을 최소화하도록 시도하는 몇몇 방법들이 개발되었다. 한가지 방법은 다운 포스(down force), 캐리어 속도 및 폴리싱 패드 경도(polishing pad hardness)와 같은 다양한 CMP 처리 변수들을 변경하는 것이었다. 다양한 CMP 처리 변수들을 변경하는 것은, 불행히도, 이들 변수들이 변화될 때, 다이(die)와 웨이퍼를 통한 균등성 사이의 트레이드-오프를 초래하였다. 시도된 다른 방법은 패턴 밀도를 평평하게 하는 "더미(dummy)" 금속 형상들을 증착하는 것이었다. 그러나, 그 효과는 사용된 유전체 재료의 증착 프로파일 및 회로 배치도의 명세에 의존한다. 더욱이, " 더미" 기술은 시간 소모 및 고비용이기 쉽다.

발명이 이루고자 하는 기술적 과제

따라서, 이 기술 분야에 요구되는 것은 광범한 온도 변화들 동안 결합되지 않은 플루오르의 이동과 관련된 문제들을 경험하지 않는 플루오르화 실리콘 글라스(FSG)와 같은 낮은 유전 상수 재료를 포함하는 인터레벨 유전체를 사용하는 반도체 장치이다. 또한 이 기술 분야에 요구되는 것은 종래의 폴리싱 기술들과 관련된 폴리싱 속도 차 및 다른 폴리싱 문제들을 경험하지 않는 평탄화 처리이다.

발명의 구성 및 작용

종래 기술의 상술된 어려움들을 처리하기 위해, 본 발명은 금속 형상을 포함하는 반도체 장치 및 그 제조 방법을 제공한다. 이로운 실시예에서, 반도체 장치는 금속 형상 위에 증착된 유전체층을 포함한다. 유전체층은 금속 형상들 내로 확산 가능한 재료를 포함한다. 이러한 확산을 방지하기 위해, 반도체 장치는 유전체층으로부터 금속 형상을 분리시키는 금속 형상 위에 위치된 실리콘-풍부 장벽층을 포함한다. 장벽층은 금속 형상 내로 유전체층의 재료의 확산을 억제한다. 다른 실시예는 유전체층 위에 위치된 캐핑층 및 캐핑층 위에 위치된 금속 형상을 유도한다. 한 전형적인 실시예에서, 장벽층, 유전체층 및 캐핑층은 단일 증착 챔버 내에서 원위치에 증착된다.

따라서, 한 측면에서, 본 발명은 반도체 장치의 금속 형상 위에 위치된 장벽층을 갖는 반도체 장치를 제공한다. 장벽층은 집적 회로와 관련된 RC 지연을 줄이기 위해, 플루오르화 유전체 재료와 같은 낮은 유전 상수(K) 재료의 사용을 실행할 수 있게 한다.

본 발명의 다른 측면에서, 장벽층은 실리콘-풍부 산화물이며, 유전체층은 플루오르화 실리콘 글라스(FSG)와 같은 낮은 유전 상수을 갖는 유전체층이다. 장벽층 및 유전체층은 아르곤, 산소, 및 실란 가스들의 존재로 형성된다.

캐핑층은 장벽층으로서 유사한 재료를 포함할 수 있으며, 캐핑층 위의 금속 형상들 내로 유전체층의 확산을 억제한다. 이로운 실시예에서, 캐핑층은 아르곤, 산소 및 실란 가스의 존재로 형성될 수 있다.

다른 측면에서, 금속 형상은 알루미늄을 포함하는 금속 라인이다. 선택적인 측면에서, 더욱이, 다양한 금속 형상들은 반도체 기판 위에 위치될 수 있으며, 장벽층은 유전체층으로부터 다양한 금속 형상들 각각을 분리시킬 수 있다. 그러나, 당업자는 금속 라인이 다른 유사한 재료들을 포함할 수 있음을 알고 있다.

선택적인 실시예에서, 본 발명은 집적 회로를 포함한다. 다른 실시예에서, 집적 회로는 트랜지스터들 및 집적 회로를 형성하는 트랜지스터들을 전기적으로 접속하고 상호 접속들(interconnects)로서 기능하는 금속 형상들을 포함할 수 있다.

기판 위에 위치된 형상 위에 위치된 인터레벨 층을 평탄화하는 방법은 또한 본 발명에 의해 커버된다. 한 실시예에서, 방법은 형상 위의 유전체층을 증착하는 단계를 포함하며, 증착하기 위한 방법은 변형물을 넓은 형상을 제외한 어떤 것 위에 형성하지 않게 하는 등방성 에칭 구성 요소를 갖는다. 다른 실시예에서, 유전체층은 고밀도 플라즈마 처리를 사용하여 증착된 플루오르화 규산염 글라스(fluorinated silicate glass)일 수 있다. 방법은 변형물의 실질적인 부분을 노출시키도록 포토레지스트를 패터닝하는 단계와, 변형물들의 잔존물들을 남게 하도록 노출된 부분을 에칭하는 단계와, 전형적인 CMP 처리를 전형적으로 사용하여 실질적으로 평면인 표면을 남게 하는 평탄화 단계를 더 포함한다.

다른 전형적인 실시예에서, 반도체 장치의 기판 위에 위치된 금속 형상을 갖는 반도체 장치가 제공된다. 반도체 장치는 위에 위치되는 금속 형상 내로 확산 가능한 플루오르를 포함할 수 있는 (1)유전체층과, 금속 형상과 유전체층 사이에 위치된 (2)실리콘-풍부 장벽층과, 유전체층 위에 위치된 (3)캐핑층과, 캐핑층 위에 위치된 금속층을 포함하며, 캐핑층은 금속층 내로 플루오르의 확산을 억제한다. 더욱이, 다른 측면에서, 장벽층, 유전체층 및 캐핑층은 고밀도 플라즈마에 의해 원위치에 형성될 수 있다.

앞서 말한 것은 오히려 폭넓게 약술한 것이며, 당업자들이 본 발명의 상세한 설명을 잘 이해하기 위한 본 발명의 양호한, 선택적인 특성들은 다음에 계속된다. 본 발명의 부가적인 특성들은 본 발명의 청구범위의 주제를 형성하는 아래에서 설명될 것이다. 당업자들은 그들이 본 발명의 동일한 목적을 수행하기 위해 다른 구조들을 변경하거나 설계하기 위한 기초로서 언급된 개념 및 특정 실시예들을 쉽게 사용할 수 있다는 것은 인정해야 한다. 당업자들은 그러한 동등한 구성들이 가장 넓은 형태에서 본 발명의 사상 및 범위를 벗어나지 않는다는 것을 또한 인식해야 한다.

본 발명의 이해를 더 완벽하게 하기 위해, 이제 참조는 첨부한 도면과 관련하여 다음의 상세한 설명에서 이루어진다.

처음에, 도 1을 참조하면, 제조의 중간 단계에서의 반도체 장치(100)의 횡단면도가 도시된다. 또한, 도 1에는 반도체 기판(120) 위에 위치된 금속 형상들(metal features)(110)이 도시된다. 금속 형상(110)은 반도체 장치(100) 내의 상이한 능동 장치들(active devices)을 접속하는 금속 라인들인 알루미늄을 포함할 수 있다. 일반적으로, 이들 금속 형상(110)은 통상적으로 형성된 티타늄/티타늄 질화물(Ti/TiN) 층들(110a, 110b)을 포함할 수 있다. 반도체 웨이퍼 기판(120)이 웨이퍼 위에 위치된 기판 또는 웨이퍼 그 자신을 포함하는, 반도체 장치(100) 내에 위치된 임의의 기판일 수 있다는 것은 주목된다. 반도체 장치(100)가 3개의 금속 형상들(110)에 제한되지 않고, 단일 금속 형상(110) 또는 부가적인 다수의 금속 형상들(110)이 반도체 장치(100)를 구성할 수 있다는 것은 또한 주목된다.

이로운 실시예에서 실리콘-풍부 산화물(silicon-rich oxide)을 포함하는 장벽층(130)은 금속 형상들(110) 위에 형

성된다. 장벽층(130)은 종래의 유도 연결된 고밀도 플라즈마(HDP) 처리를 사용하여 증착될 수 있다. 도 2를 간단하게 돌아보면, 종래의 낮은 압력 유도 연결된 HDP 화학 기상 증착(CVD) 반응기(200)가 도시된다. HDP CVD 반응기(200)는 전형적으로 챔버(210), 유도 코일(220), 상부 무선 주파수(RF) 전원(230), 측면 RF 전원(240) 및 하부 RF 전원(250)을 포함한다.

도 2를 계속 참조하면서 도 1을 다시 돌아보면, 장벽층(130)을 형성하기 위해, 반도체 장치(100)는 HDP CVD 반응기(200)의 챔버(210) 내에 전형적으로 배치된다. 다음에, 반도체 장치(100)의 표면 위에 아르곤, 산소 및 실리콘 가스의 혼합물이 흐르는 동안, 전력의 약 1500 와트는 상부 전원(230)에 적용되고, 전력의 약 2500 와트는 측면 전원(240)에 적용된다. 더욱이, 전력의 제한된 양은, HDP 처리가 이미 시작된 후에, 금속 형상들(110) 사이의 틈을 채우는 것을 돕도록 하부 전원(250)에 적용될 수 있다. 그러나, 하부 전원이 너무 일찍 적용되면, 가능한 한 단락(short)을 야기하여, 금속 형상들(110)의 코너들에서 조각할 수 있다. 일반적으로 장벽층(130)을 형성하는데 사용되는 가스는 실란(SiH_4)이지만, 다른 가스들이 사용될 수도 있다. 결과들은 약 1.51의 굴절률 및 약 50 nm의 두께를 양호하게 갖는 장벽층(130)이다. 당업자는 각각의 변화들이 장치의 설계와 함께 일관되는 한, 다른 증착 처리들이 사용될 수 있고, 증착 매개변수들이 변경될 수 있으며, 두께가 변화될 수 있다는 것을 알고 있다.

도 2를 계속 참조하면서 도 3a를 돌아보면, 금속 형상들(110) 위의 실질적으로 평면 유전체층(planar dielectric layer)(310a) 및 장벽층(130)의 증착 후, 도 1에 도시된 반도체 장치(100)가 도시된다. 장벽층(130)과 같은 유전체층(310a)은 HDP 처리를 사용하여 전형적으로 증착된다. 양호하게, 유전체층(310a)은 플루오르 첨가 실리콘 글라스(fluorinated silicon glass)(FSG)와 같은 낮은 유전 상수(K) 층이며, 약 1.44의 굴절률을 갖고, 약 600 nm의 두께로 증착된다. 낮은 K는 전형적으로 약 4.0보다 적은 유전 상수을 갖는 재료로 불린다. 반도체 장치(100)는 HDP CVD 반응기 챔버(210) 내에 배치된 후에, 전력의 약 1200 와트는 상부 전원(230)에 적용되고, 전력의 약 3000 와트는 측면 전원(240)에 적용되며, 전력의 약 2400 와트는 하부 전원(250)에 적용된다. 이것은, 반도체 장치(100)의 표면 위에 아르곤, 산소 및 실란의 혼합물이 흐르는 동안, 모두 성취된다. 일반적으로 유전체층(310a)을 형성하는데 사용된 가tm의 혼합물은 SiH_4 및 SiF_4 이다.

이상적으로, 유전체층(310a)은 금속 형상들(110) 위에 위치된 유전체층(310a) 내의 어떤 변형물들(anomalies)도 갖지 않는 실질적으로 평면 표면을 제공하는 기술을 사용하여 증착된다. 그러나, 도 3b에 도시된 바와 같이, HDP 처리들은 유전체층(310b) 내에서 변형물(320)을 야기하는 경향이 있다. HDP 처리와 관련된 등방성 에칭 구성 요소(isotropic etch component) 때문에, 변형물(320)은 작은 형상(315) 위에 형성되는 것으로부터 방지된다. 그러나, 변형물들(320)은 넓은 형상들(110) 위에 여전히 형성된다. 변형물(320)은 전형적으로 그것이 위치되는 넓은 형상(110)보다 적은 폭을 갖는다. 넓은 형상은 일반적으로 실질적인 변형물을 생성하는데 충분한 폭을 갖는 형상이다. 본 발명에 의해 커버되는 처리를 사용하지 않고 CMP 후에 비평면 표면을 초래하는 것이다. 그러한 형상의 전형적인 폭은 약 5000 nm보다 더 큰 폭일 수 있다. 그러나, 실질적으로 평면 표면을 달성하는 현재 설명된 처리들을 요구하는 변형물들을 생성하는 더 작은 폭들은 본 발명의 범위 내에 또한 포함될 수 있다.

반대로, 도 3b에 도시된 형상들(315)과 같은 작은 형상은 HDP 처리 후 어떤 변형물도 남기지 않거나, 작은 돌출부(protrusions) 또는 뿔(horns)과 같은 단지 작고 날카로운 형상들을 남기는 형상들이다. 그러한 작은 형상들(315)이 전형적으로 높은 종횡비를 갖기 때문에, 그것들은 요구되는 평면성(planarity)에 영향을 주지 않고, 다른 에칭의 필요 없이 종래의 CMP 처리들에 의해 쉽게 제거된다. 그와 같이, 여기서 제공되는, 연속하는 패터닝 및 에칭 처리는 비실용적이거나 실질적으로 평면 표면을 달성하는데 불필요하다. 실질적으로 평면 표면이 연속하는 포토리소그래픽 처리들(photolithographic processes)이 설계 명세 내의 형상들을 정확하게 형성하도록 수행될 수 있는 표면이라는 것은 주목된다.

도 3c를 돌아보면, 변형물(320)의 실질적인 부분(340)을 노출하도록 패터닝된 포토레지스트 재료(330)의 증착이 도

시된다. 전형적으로, 변형물(320)의 폭보다 작은 폭을 갖는 개구(opening)를 갖는 마스크는 포토레지스트를 노출하는데 사용된다. 노출된 부분(340)은 이어서 종래의 에칭에 종속된다. 예를 들어 플라즈마 에칭, 반응성 이온 에칭 또는 다른 유사한 에칭은 변형물(320)의 노출된 부분(340)을 제거하는데 사용될 수 있다. 양호한 실시예에서의 에칭은 변형물(320)의 약 75%에서 약 99%를 제거하며, 유전체층(310b)의 필드 레벨(350)을 에칭 다운 시킨다.

에칭 후 결과들은 도 3d에 도시된 바와 같은 변형물(360)의 잔존물들이다. 잔존물들(360)은 양호하게 높은 종횡비를 갖는 뿔 또는 돌출부이다. 도시된 실시예에서, 잔존물들은 약 1000 nm보다 작은 폭을 갖는다. 유전체층(310b)은 이어서 평탄화된다. 높은 종횡비에 기인하여, 잔존물들은 전형적인 화학 기계 평탄화(chemical mechanical planarizatio n)(CMP) 처리를 사용하여 실질적으로 평면 표면을 제공하도록 쉽게 제거된다. 따라서, 요구되는 평탄화는 폴리싱 속도 차이(polishing rate differential) 및 종래 기술의 평탄화 처리와 관련된 다른 폴리싱 문제들을 적어도 실질적으로 감소시키는 동안 성취된다. 유전체층(310a 또는 310b)의 증착 및 요구되는 변형물들(320)(도 3b)의 제거 후에, 캐핑층(410)은 도 4에 도시된 바와 같이 유전체층(310a) 위에 증착될 수 있다. 이로운 실시예들에서, 캐핑층(410)은 실리콘-풍부 산화물과 같은 장벽층(130) 내에 발견되는 유사한 재료를 포함한다. 장벽층(130) 및 유전체층(310a, 310b)의 증착과 유사하게, 캐핑층(410)은 일반적으로 HDP 처리를 사용하여 증착된다. 더욱이, 캐핑층(410)은 약 400 nm의 두께로 양호하게 증착되며, 약 1.51의 굴절률을 갖는다. 캐핑층(410)은 반도체 장치(100) 위에 아르곤, 산소 및 실란 가스의 혼합물이 흐르는 동안 상부 전원(230)에 1500 와트를 적용하고, 측면 전원(240)에 2500 와트를 적용함으로써 양호하게 증착된다. HDP 처리는 사용되는 유일한 증착 처리가 아니다. 예를 들면, 다른 종래의 CVD 및 PVD 처리들이 사용될 수 있다. 그러나, 다른 비등각의 증착 처리(nonconformal deposition process)를 사용하여, 반도체 장치를 완성하기 전에 캐핑층(410)의 표준 화학 기계 평탄화(CMP)가 요구될 수 있다.

장벽층(130), 유전체층(310) 및 캐핑층(410)이 고밀도 플라즈마와 함께 증착될 수 있기 때문에, 따라서, 이들 3개 층 모두는 동일한 증착 챔버 내에서 원위치(in-situ)에 증착될 수 있다. 원위치 증착은 HDP CVD 반응기 챔버(210) 내에 부분적으로 완성된 반도체 장치(100)(도 1)를 배치함으로써 일반적으로 성취되며, 도 4에 도시된 반도체 장치에 도달하도록 전력이 적용되는 위치에 적용된 무선 주파수(RF)의 양, 가스 혼합물, 온도, 등을 변화시킨다. 더욱이, 층들(130, 310, 410)을 형성할 때, 원위치는 밑에 있는 형상들이 약 5000 nm보다 작은 폭 또는 상술된 바와 같이, HDP 처리가 CMP 제거를 요구하는 변형물을 형성하지 않는 폭을 가질 때, 특히 유리하다. 형상의 폭이 바로 앞에 설명된 매개변수들 내에 포함될 때, HDP 처리의 등방성 에칭 구성 요소는 증간 평탄화 단계에 대한 필요성을 실질적으로 고려하지 않는다. 단일 처리 단계에서 장벽층(130), 유전체층(310) 및 캐핑층(410)의 원위치 증착은, 그것이 처리 단계들을 줄이고, 비용을 절약하기 때문에, 매우 바람직하다. 따라서, 원위치 처리의 단일 단계는 본 발명에 부가적인 이점을 제공할 수 있다.

도 5를 돌아보면, 제 2 금속 형상(510) 및 Ti/TiN 층들(510a)의 종래의 증착 후, 완성된 반도체 장치(500)가 도시된다. 완성된 반도체 장치(500)는 또한 반도체 기판(530) 위에 위치된 Ti/TiN 층들(520a, 520b), 및 금속 형상들(520) 위에 위치된 장벽층(540)을 갖는 금속 형상들(520)을 포함한다. 유전체층(550) 및 캐핑층(560)은 장벽층(540) 위에 위치된다. 도시된 바와 같이, 장벽층(540)은 유전체층(55)으로부터 금속 형상들(520)을 분리시키고, 유전체층(550)으로부터 적어도 금속 형상들(520)의 부분으로 플루오르 확산을 억제한다. 마찬가지로, 캐핑층(560)은 유전체층(55)의 플루오르와 같은 재료의 금속 형상(510) 및 Ti/TiN 층들(510a, 510b)로의 확산을 억제한다.

간단하게 도 6을 돌아보면, 본 발명의 원리에 따라 제조될 수 있는 종래의 집적 회로(600)의 단면도가 도시된다. 집적 회로(600)는 CMOS 장치들, BiCMOS 장치들, 바이폴라 장치들, 플래시 EPROMS를 포함하는 EEPROM 장치들, 또는 어떤 다른 형태의 유사한 장치를 포함할 수 있다. 또한, 트랜지스터들(610), 금속 형상들(520), 장벽층(540), 캐핑층(560), 제 2 금속 형상(510), 및 유전체층(550)을 포함하는 종래의 집적 회로(600)의 구성 요소들이 도 6에 도시된

다. 상호 접속된 구조들(620)과 함께 금속 형상들(520)은 집적 회로(600)를 형성하도록 트랜지스터들(610)을 전기적으로 접속하는 상호 접속된 시스템의 부분을 형성한다. 또한, 기판(630)위에 모두 위치된, 통상적으로 형성된 튜브들(623, 625), 소스 영역들(633) 및 드레인 영역들(635)이 도시된다.

본 발명이 상세하게 설명되었을지라도, 당업자들은 그들이 본 발명의 사상과 범위를 벗어나지 않고 가장 넓은 형태로 다양한 변화들, 변형들 및 대안들을 만들 수 있다는 것을 이해해야 한다.

발명의 효과

본 발명은 광범한 온도 변화들 동안 결합되지 않은 플루오르의 이동과 관련된 문제들을 경험하지 않는 플루오르화 실리콘 글라스(FSG)와 같은 낮은 유전 상수 재료를 포함하는 인터레벨 유전체를 사용하는 반도체 장치를 제공하며, 또한 종래의 폴리싱 기술들과 관련된 폴리싱 속도 차 및 다른 폴리싱 문제들을 경험하지 않는 평탄화 처리를 제공한다.

(57) 청구의 범위

청구항 1.

반도체 장치의 기판 위에 위치된 금속 형상(metal feature)을 갖는 반도체 장치에 있어서,

금속 형상 위에 위치되고, 상기 금속 형상 내로 확산 가능한 재료를 포함하는 유전체층과,

상기 금속 형상과 상기 유전체층 사이에 위치된 실리콘-풍부 장벽층(silicon-rich barrier layer)을 포함하는 반도체 장치.

청구항 2.

제 1 항에 있어서,

상기 실리콘-풍부 장벽층은 상기 유전체층으로부터 상기 금속 형상을 분리시키고, 상기 금속 형상 내로의 상기 재료의 확산을 억제하는, 반도체 장치.

청구항 3.

제 1 항에 있어서,

상기 유전체층 위에 위치된 캐핑층과 상기 캐핑층 위에 위치된 금속 형상을 더 포함하며, 상기 캐핑층은 상기 캐핑층 위에 위치된 금속 형상 내로의 상기 재료의 확산을 억제하는, 반도체 장치.

청구항 4.

제 3 항에 있어서,

상기 캐핑층은 실리콘-풍부 산화물(silicon-rich oxide)을 포함하는, 반도체 장치.

청구항 5.

제 1 항에 있어서,

상기 장벽층은 실리콘-풍부 산화물이며, 상기 유전체층은 낮은 유전 상수를 갖는 유전체층인, 반도체 장치.

청구항 6.

제 5 항에 있어서,

낮은 유전 상수를 갖는 상기 유전체층은 플루오르화 실리콘 글라스인, 반도체 장치.

청구항 7.

제 1 항에 있어서,

상기 장벽층은 약 50 nm의 두께를 갖는, 반도체 장치.

청구항 8.

제 1 항에 있어서,

상기 반도체 기판 위에 위치된 다수의 금속 형상들을 더 포함하며, 상기 장벽층은 상기 유전체층으로부터 상기 다수의 금속 형상들 각각을 분리시키는, 반도체 장치.

청구항 9.

제 8 항에 있어서,

상기 반도체 장치는 집적 회로인 반도체 장치.

청구항 10.

제 9 항에 있어서,

트랜지스터들을 더 포함하며, 상기 금속 형상들은 집적 회로를 형성하도록 상기 트랜지스터들을 전기적으로 접속하는 상호 접속 시스템의 한 부분을 형성하는, 반도체 장치.

청구항 11.

반도체 기판 위에 위치된 금속 형상을 포함하는 반도체 장치를 형성하는 방법에 있어서,

금속 형상 위에 실리콘-풍부 장벽층을 형성하는 단계와,

상기 금속 형상 위의 유전체층 및 상기 장벽층을 형성하는 단계를 포함하는 반도체 장치 형성 방법.

청구항 12.

제 11 항에 있어서,

장벽층을 형성하는 단계는 고밀도 플라즈마 처리로 실리콘-풍부 산화물을 형성하는 단계를 포함하는, 반도체 장치 형성 방법.

청구항 13.

제 11 항에 있어서,

상기 유전체층 위에 캐핑층을 형성하는 단계와 상기 캐핑층 위에 금속 형상을 형성하는 단계를 더 포함하며, 상기 캐핑층은 상기 캐핑층 위에 위치된 상기 금속 형상 내로의 상기 유전체층 재료의 확산을 억제하는, 반도체 장치 형성 방법.

청구항 14.

제 13 항에 있어서,

캐핑층을 형성하는 단계는 고밀도 플라즈마 처리로 실리콘-풍부 산화물층을 형성하는 단계를 포함하는, 반도체 장치 형성 방법.

청구항 15.

제 11 항에 있어서,

유전체층을 형성하는 단계는 고밀도 플라즈마 처리로 플루오르화 실리콘 글라스층을 형성하는 단계를 포함하는, 반도체 장치 형성 방법.

청구항 16.

제 11 항에 있어서,

장벽층을 형성하는 단계는 약 50 nm의 두께로 장벽층을 형성하는 단계를 포함하는, 반도체 장치 형성 방법.

청구항 17.

제 11 항에 있어서,

상기 반도체 기판 위에 위치된 다수의 금속 형상들을 형성하는 단계를 더 포함하며, 장벽층을 형성하는 단계는 상기 유전체층으로부터 상기 다수의 금속 형상들 각각을 분리시키도록 상기 다수의 금속 형상들 각각의 위에 상기 장벽층을 형성하는 단계를 포함하는, 반도체 장치 형성 방법.

청구항 18.

제 11 항에 있어서,

집적 회로를 형성하는 단계를 더 포함하는 반도체 장치 형성 방법.

청구항 19.

제 18 항에 있어서,

트랜지스터들을 형성하는 단계를 더 포함하며, 상기 다수의 금속 형상들을 형성하는 단계는 집적 회로를 형성하도록 트랜지스터들을 전기적으로 접속하는 상호 접속 시스템의 한 부분을 형성하는 단계를 포함하는, 반도체 장치 형성 방법.

청구항 20.

제 11 항에 있어서,

실리콘-풍부 장벽층을 형성하는 단계는 상기 금속 형상들 내로 상기 유전체층의 재료의 확산을 억제하도록 상기 유전체층으로부터 상기 금속 형상을 분리시키는 실리콘-풍부 장벽층을 형성하는 단계를 포함하는, 반도체 장치 형성 방법.

청구항 21.

반도체 기판 위에 위치된 형상 위에 위치된 인터레벨 층을 평탄화하는 방법에 있어서,

형상 위에 유전체층을 증착하는 단계로서, 상기 형상 위 및 상기 유전체층의 표면에 변형물(anomaly)을 형성하게 하는 등방성 에칭 구성 요소를 갖는, 상기 증착 단계와,

상기 변형물의 실질적인 부분을 노출시키도록 상기 유전체층 위에 포토레지스트를 패터닝하는 단계와,

상기 변형물의 잔존물을 남기도록 상기 노출된 부분을 에칭하는 단계와,

실질적으로 평면인 표면으로 상기 유전체층을 평탄화하는 단계를 포함하는 평탄화 방법.

청구항 22.

집적 회로를 제조하는 방법에 있어서,

반도체 기판 위에 형상들을 형성하는 단계와,

변형물을 갖는 인터레벨 층들을 평탄화하는 단계로서,

변형물을 상기 형상 위 및 유전체층의 표면에 형성하게 하는 등방성 에칭 구성 요소를 갖는, 상기 형상 위에 상기 유전체층을 증착하는 단계와,

상기 변형물의 실질적인 부분을 노출하도록 포토레지스트를 패터닝하는 단계와,

상기 변형물의 잔존물들을 남게 하도록 상기 노출된 부분을 에칭하는 단계와,

실질적으로 평면인 표면으로 상기 인터레벨 층을 평탄화하는 단계를 포함하는, 상기 평탄화 단계와,

동작하는 집적 회로를 형성하도록 상기 형상들을 상호 접속하는 상기 유전체층들 내에 위치된 상호 접속 구조들을 형성하는 단계를 포함하는 집적 회로 제조 방법.

청구항 23.

상기 반도체 장치의 기판 위에 위치된 금속 형상을 갖는 반도체 장치에 있어서,

금속 형상 위에 위치되고, 상기 금속 형상 내로 확산 가능한 플루오르를 포함하는 유전체층과,

상기 금속 형상과 상기 유전체층 사이에 위치된 실리콘-풍부 장벽층과,

상기 유전체층 위에 위치된 캐핑층과,

상기 캐핑층 위에 위치된 금속층을 포함하며, 상기 캐핑층은 상기 금속 층 내로의 상기 플루오르의 확산을 억제하는, 반도체 장치.

청구항 24.

반도체 기판 위에 위치된 금속 형상을 포함하는 반도체 장치를 형성하는 방법에 있어서,

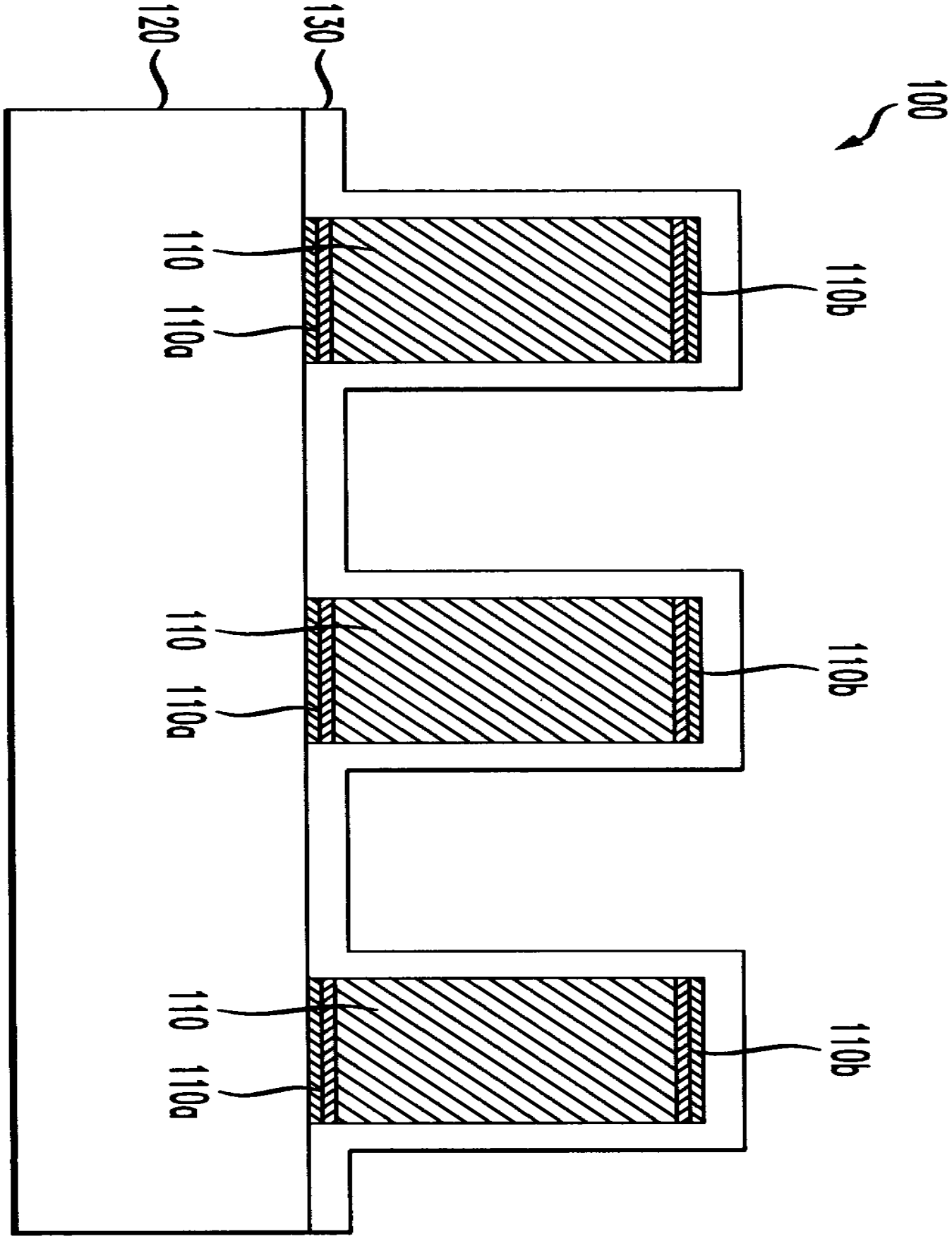
금속 형상 위에 실리콘-풍부 장벽층을 형성하는 단계와,

상기 금속 형상 위에 플루오르를 포함하는 유전체층 및 상기 장벽층을 형성하는 단계로서, 상기 실리콘-풍부 장벽층은 상기 실리콘-풍부 장벽층 위에 위치된 금속 형상 내로 상기 플루오르의 확산을 방지하는, 상기 유전체층 및 장벽층 형성 단계와,

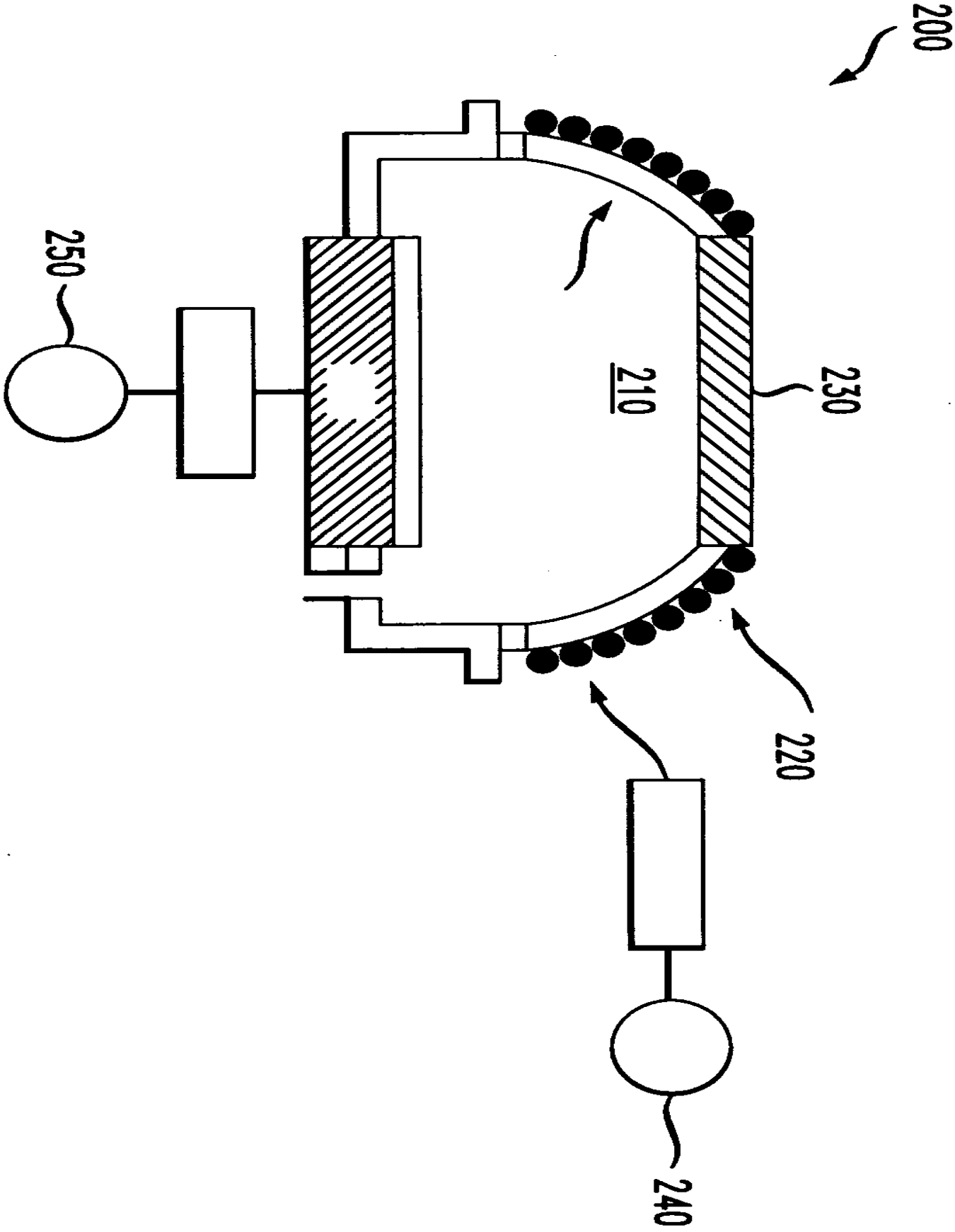
상기 유전체층 위에 캐핑층을 형성하는 단계를 포함하며, 상기 실리콘-풍부 장벽층, 상기 유전체층 및 상기 캐핑층은 고밀도 플라즈마로 원위치에 형성되는, 반도체 장치 형성 방법.

도면

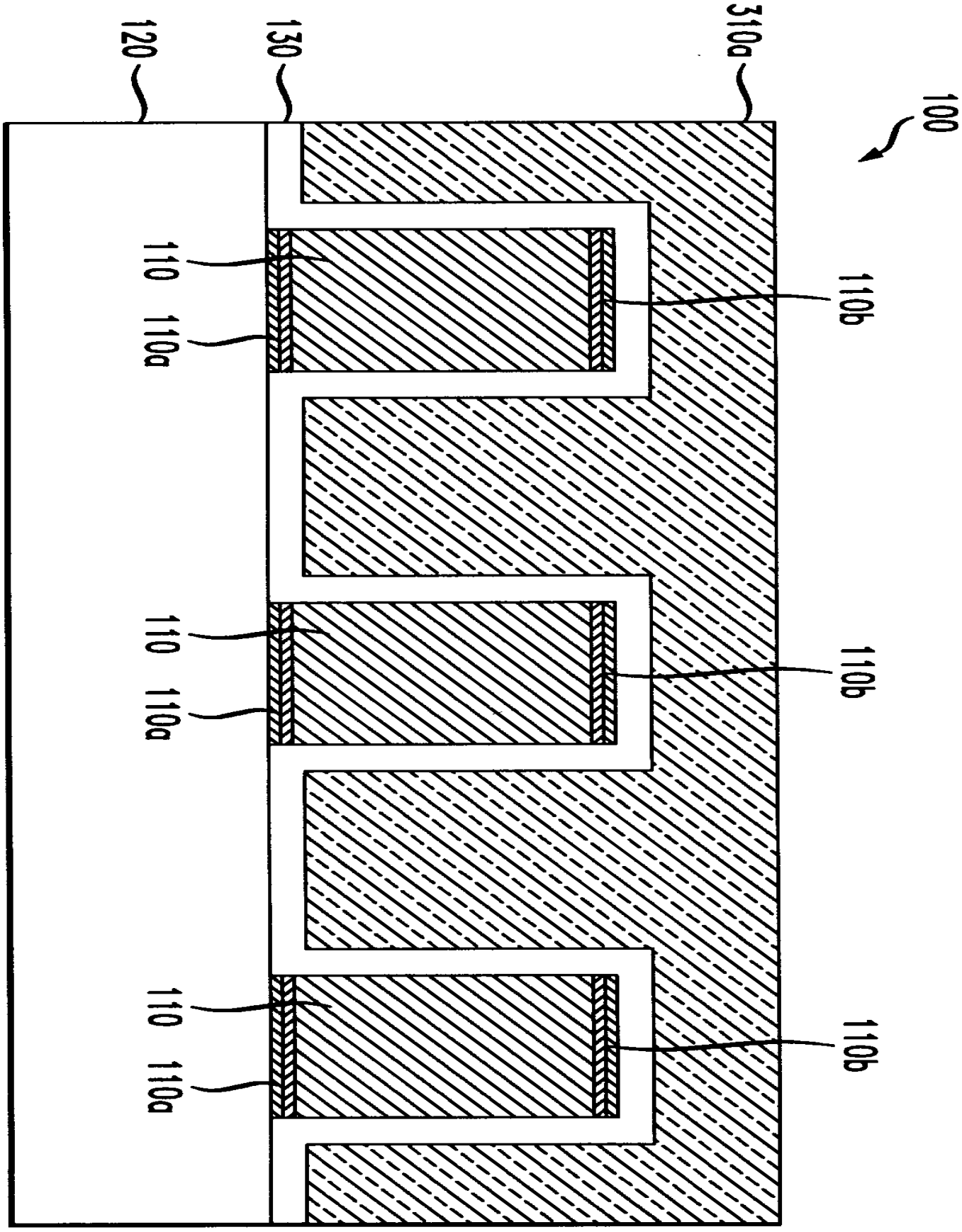
도면 1



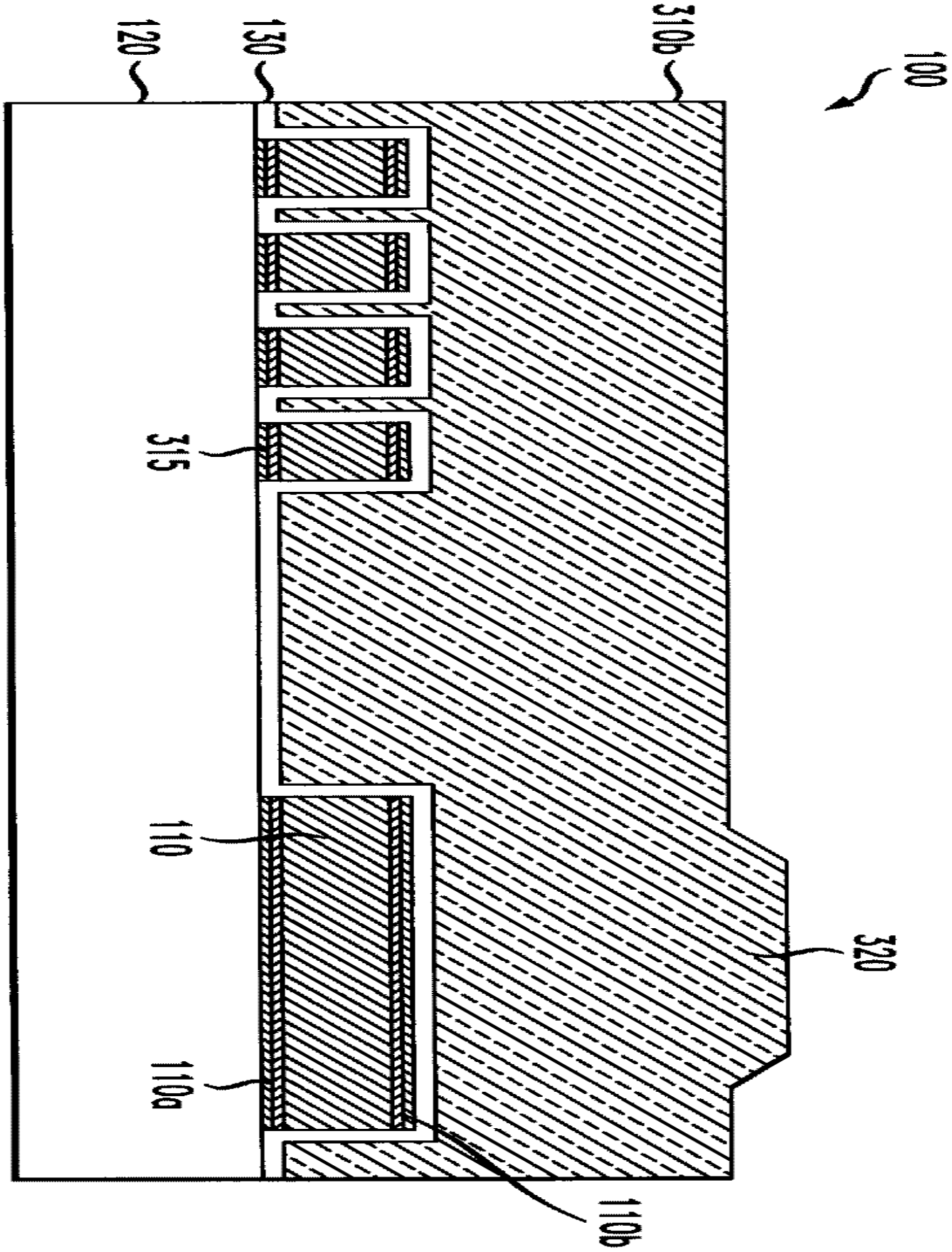
도면 2



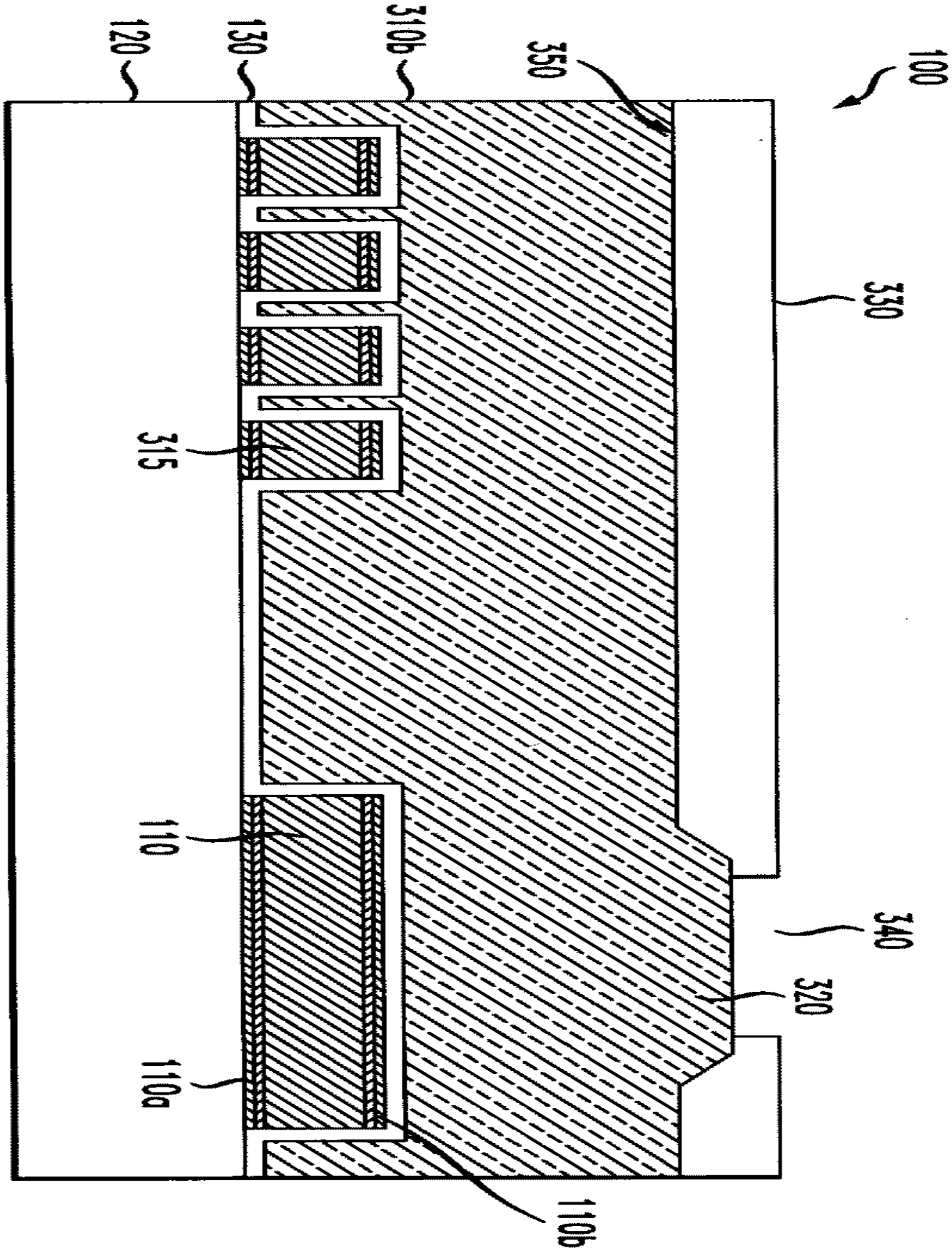
도면 3a



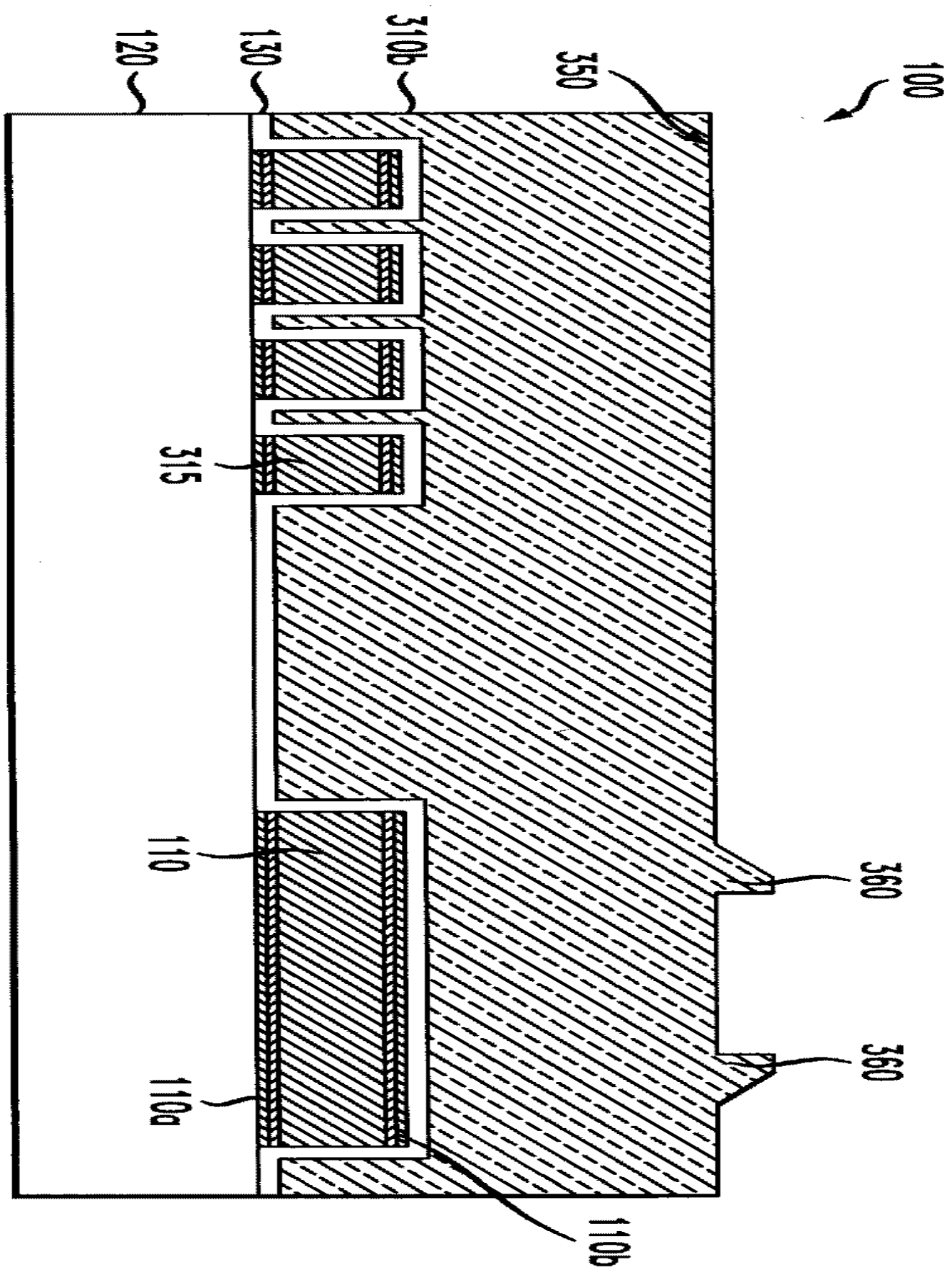
도면 3b



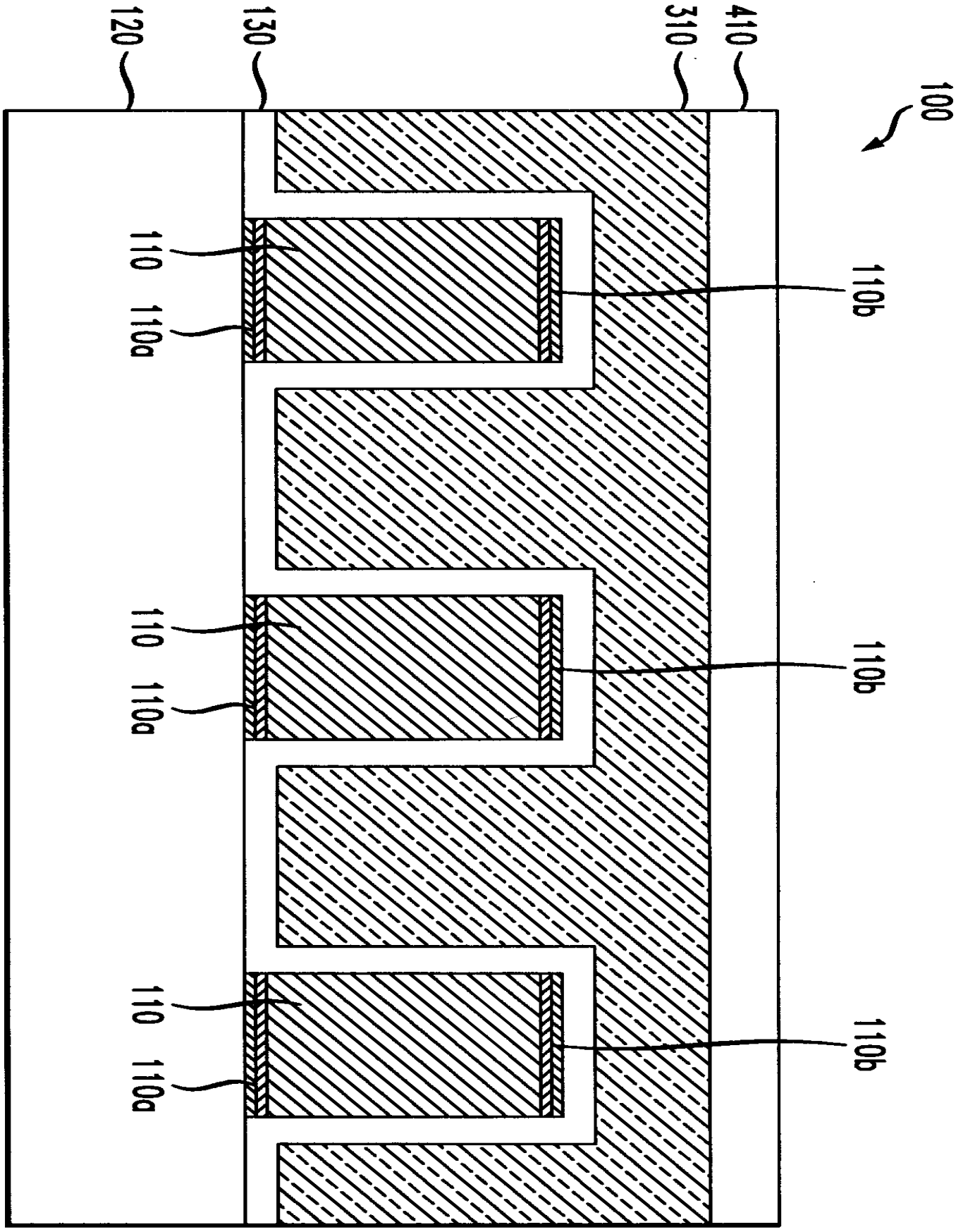
도면 3c



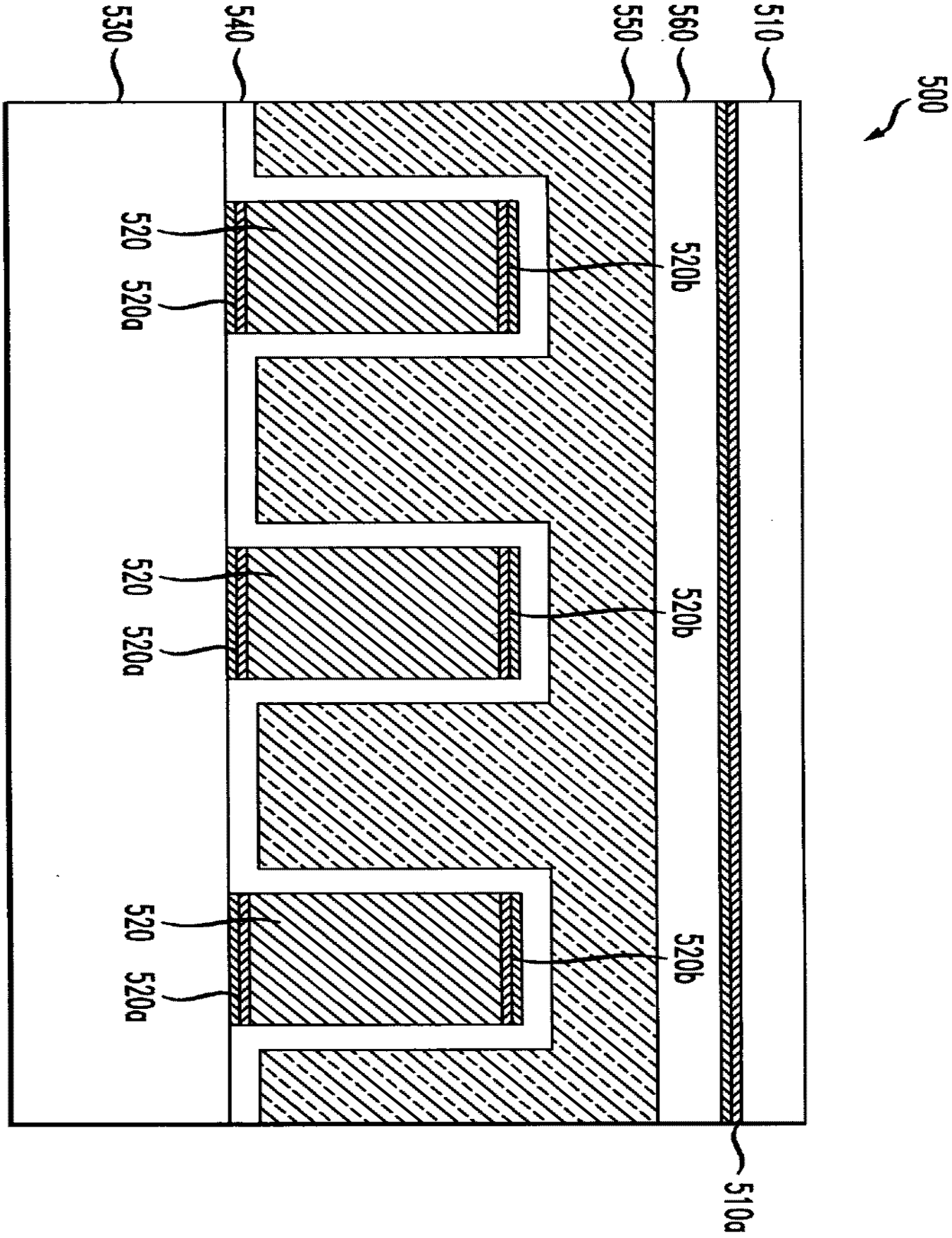
도면 3d



도면 4



도면 5


530
540
550
560
510
500
520
520a
520b
520
520a
520b
520
520a
520b
510a

도면 6

