



(12) 发明专利

(10) 授权公告号 CN 101627458 B

(45) 授权公告日 2013. 08. 07

(21) 申请号 200880007601. 8

(22) 申请日 2008. 03. 04

(30) 优先权数据

11/716, 317 2007. 03. 09 US

(85) PCT申请进入国家阶段日

2009. 09. 08

(86) PCT申请的申请数据

PCT/US2008/002848 2008. 03. 04

(87) PCT申请的公布数据

W02008/112097 EN 2008. 09. 18

(73) 专利权人 克里公司

地址 美国北卡罗来纳州

(72) 发明人 A·W·萨克斯勒 A·A·小伯克

(74) 专利代理机构 中国专利代理(香港)有限公

司 72001

代理人 张雪梅 王忠忠

(51) Int. Cl.

H01L 21/20 (2006. 01)

(56) 对比文件

US 6775314 B1, 2004. 08. 10, 说明书第 2 栏第 19 行至第 6 栏第 10 行, 附图 1a-4b.

R. Venugopal etc.. Comparison of various buffer schemes to grow GaN on large-area Si(111) substrates using metal-organic chemical-vapor deposition. 《Journal of Electronic Materials》. 2003, 第 32 卷(第 5 期), 371-374.

审查员 赵伟

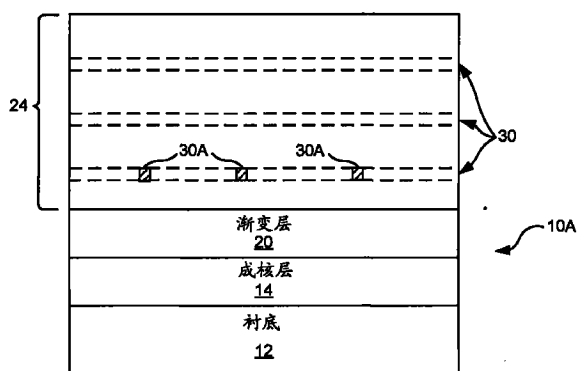
权利要求书4页 说明书14页 附图8页

(54) 发明名称

具有夹层结构的氮化物半导体结构和制作具有夹层结构的氮化物半导体结构的方法

(57) 摘要

一种半导体结构, 包括第一层氮化物半导体材料、在所述第一层氮化物半导体材料上的基本未应变的氮化物夹层、以及在所述氮化物夹层上的第二层氮化物半导体材料。所述氮化物夹层具有第一晶格常数并且可以包括铝和镓并且可以利用 n 型掺杂剂进行导电掺杂。所述第一层和所述第二层一起具有至少大约 0.5 μm 的厚度。所述氮化物半导体材料可以具有第二晶格常数, 使得所述第一层在所述氮化物夹层的一侧可以比所述第二层在所述氮化物夹层的另一侧更多地拉伸应变。



1. 一种半导体结构,包括:

第一层氮化物半导体材料;

在所述第一层氮化物半导体材料上的基本弛豫的氮化物夹层,所述基本弛豫的氮化物夹层具有第一晶格常数,其中所述氮化物夹层包括铝和镓并且利用 n 型掺杂剂进行导电掺杂,其中所述氮化物夹层具有 10% 到 90% 的镓浓度;以及

在所述氮化物夹层上的第二层氮化物半导体材料;

其中所述第一层氮化物半导体材料、所述氮化物夹层、以及所述第二层氮化物半导体材料一起具有至少 $0.5\mu\text{m}$ 的厚度;并且

其中所述氮化物半导体材料具有第二晶格常数,使得所述第一层氮化物半导体材料在所述基本弛豫的氮化物夹层的一侧比所述第二层氮化物半导体材料在所述基本弛豫的氮化物夹层的另一侧更多地拉伸应变。

2. 如权利要求 1 所述的半导体结构,其中所述第二层氮化物半导体材料在所述基本弛豫的氮化物夹层的一侧压缩应变并且所述第一层氮化物半导体材料可以在所述基本弛豫的氮化物夹层的另一侧拉伸应变。

3. 如权利要求 1 所述的半导体结构,进一步包括:

直接在所述基本弛豫的氮化物夹层上的不连续掩模层。

4. 如权利要求 3 所述的半导体结构,其中所述不连续掩模层包括 SiN 和 / 或 MgN。

5. 如权利要求 4 所述的半导体结构,其中所述第一层氮化物半导体材料在所述夹层下具有第一位错密度并且所述第二层氮化物半导体材料在所述夹层上具有比所述第一位错密度低的第二位错密度。

6. 如权利要求 3 所述的半导体结构,其中所述不连续掩模层包括 BN。

7. 如权利要求 3 所述的半导体结构,进一步包括直接在所述第一层氮化物半导体材料上的第二不连续掩模层,其中所述氮化物夹层在所述第二不连续掩模层上。

8. 如权利要求 1 所述的半导体结构,其中所述氮化物夹层利用硅以 $1\times 10^{19}\text{cm}^{-3}$ 到 $1\times 10^{21}\text{cm}^{-3}$ 的浓度进行掺杂。

9. 如权利要求 1 所述的半导体结构,其中所述氮化物夹层包括渐变层。

10. 如权利要求 1 所述的半导体结构,其中所述氮化物夹层包括多个子层。

11. 如权利要求 1 所述的半导体结构,其中所述夹层包括多个 InAlN:Si/GaN:Si 对。

12. 如权利要求 1 所述的半导体结构,其中所述夹层包括多个 InAlGa:Si/GaN:Si 对。

13. 如权利要求 1 所述的半导体结构,其中所述第一和第二层氮化物半导体材料的平均应变比不包括所述夹层的相应半导体结构较少地拉伸应变。

14. 如权利要求 1 所述的半导体结构,进一步包括衬底,其中所述第一层氮化物半导体材料在所述衬底上并且其中所述氮化物半导体材料具有第一热膨胀系数并且所述衬底具有第二热膨胀系数,所述第二热膨胀系数小于所述第一热膨胀系数使得所述第二层氮化物材料在室温下比在升高的生长温度下易于更多拉伸应变。

15. 如权利要求 1 所述的半导体结构,其中所述第二层在室温下比在所述第二层的生长温度下更弛豫。

16. 如权利要求 15 所述的半导体结构,其中所述第二层在室温下基本弛豫。

17. 如权利要求 1 所述的半导体结构,其中所述第一层和所述第二层在 700 到 800°C 的

温度下比在氮化物层的生长温度下具有较小的弯曲。

18. 如权利要求 1 所述的半导体结构,其中所述夹层具有这样的厚度和电阻率使得所述夹层两端的电压降小于 0.1V。

19. 如权利要求 18 所述的半导体结构,其中所述夹层在 $32\text{A}/\text{cm}^2$ 的电流密度下具有 $0.015\text{ }\mu\text{m}$ 的厚度以及小于 2000ohm-cm 的电阻率。

20. 如权利要求 1 所述的半导体结构,其中所述氮化物夹层包括具有材料组分和掺杂浓度的第一氮化物夹层,所述结构进一步包括:

在所述第二层氮化物半导体材料上的第二氮化物夹层,其中所述第二氮化物夹层包括铝和镓并且利用 n 型掺杂剂进行导电掺杂,并且其中所述第二氮化物夹层具有与所述第一氮化物夹层的材料组分和 / 或掺杂浓度不同的材料组分和 / 或掺杂浓度;以及

在所述第二氮化物夹层上的第三层氮化物半导体材料。

21. 如权利要求 20 所述的半导体结构,其中所述第一氮化物夹层具有第一镓浓度并且所述第二氮化物夹层具有第二镓浓度,所述第二镓浓度大于所述第一镓浓度。

22. 如权利要求 20 所述的半导体结构,其中所述第一氮化物夹层具有第一掺杂浓度并且所述第二氮化物夹层具有第二掺杂浓度,所述第二掺杂浓度大于所述第一掺杂浓度。

23. 如权利要求 1 所述的半导体结构,其中所述氮化物夹层在其中包括多个分立部分,其中所述分立部分具有与所述氮化物夹层的材料组分不同的材料组分。

24. 如权利要求 23 所述的半导体结构,其中所述氮化物夹层具有第一带隙并且所述分立部分具有第二带隙,所述第二带隙小于所述第一带隙。

25. 如权利要求 23 所述的半导体结构,其中所述分立部分以 $0.1/\text{ }\mu\text{m}^2$ 和 $100/\text{ }\mu\text{m}^2$ 之间的量存在于所述氮化物夹层中。

26. 如权利要求 23 所述的半导体结构,其中所述分立部分的直径在 $0.01\text{ }\mu\text{m}$ 和 $0.1\text{ }\mu\text{m}$ 之间。

27. 一种形成半导体结构的方法,包括:

形成第一层氮化物半导体材料;

在所述第一层氮化物半导体材料上形成基本弛豫的氮化物夹层,所述基本弛豫的氮化物夹层具有第一晶格常数,其中所述氮化物夹层包括铝和镓并且利用 n 型掺杂剂进行导电掺杂,其中所述氮化物夹层被形成为具有 10% 到 90% 的镓浓度;以及

形成第二层氮化物半导体材料,其中所述第一层氮化物半导体材料、所述氮化物夹层、以及所述第二层氮化物半导体材料具有至少 $0.5\text{ }\mu\text{m}$ 的组合厚度;

其中所述氮化物半导体材料具有第二晶格常数使得所述第一层氮化物半导体材料在所述基本弛豫的氮化物夹层的一侧比所述第二层氮化物半导体材料在所述基本弛豫的氮化物夹层的另一侧较少地拉伸应变。

28. 如权利要求 27 所述的方法,其中所述第二层氮化物半导体材料在所述基本弛豫的氮化物夹层的一侧被形成为压缩应变并且其中所述第一层氮化物半导体材料在所述基本弛豫的氮化物夹层的另一侧被形成为拉伸应变。

29. 如权利要求 27 所述的方法,进一步包括:

在形成所述第二层氮化物半导体材料之前直接在所述基本弛豫的氮化物夹层上形成不连续掩模层。

30. 如权利要求 29 所述的方法,其中所述不连续掩模层包括 SiN 和 / 或 MgN。
31. 如权利要求 29 所述的方法,其中所述不连续掩模层包括 BN。
32. 如权利要求 29 所述的方法,进一步包括直接在所述第一氮化物层上形成第二不连续掩模层,其中所述氮化物夹层形成在所述第二不连续掩模层上。
33. 如权利要求 27 所述的方法,其中所述氮化物夹层利用硅以 $1 \times 10^{19} \text{cm}^{-3}$ 到 $1 \times 10^{21} \text{cm}^{-3}$ 的浓度进行掺杂。
34. 如权利要求 7 所述的方法,其中所述氮化物夹层包括渐变层。
35. 如权利要求 27 所述的方法,其中形成所述氮化物夹层包括形成多个子层。
36. 如权利要求 27 所述的方法,其中所述氮化物夹层包括多个 InAlN:Si/GaN:Si 对。
37. 如权利要求 36 所述的方法,其中所述氮化物夹层包括多个 InAlGa:Si/GaN:Si 对。
38. 如权利要求 27 所述的方法,其中形成所述第一层氮化物半导体材料包括在衬底上形成所述第一层氮化物半导体材料,其中所述氮化物半导体材料具有第一热膨胀系数并且所述衬底具有第二热膨胀系数,所述第二热膨胀系数小于所述第一热膨胀系数使得所述第二层在室温下比在升高的生长温度下易于更多拉伸应变。
39. 如权利要求 27 所述的方法,其中所述第一层和所述第二层在 700 到 800°C 的温度下比在所述氮化物层的生长温度下具有较小的弯曲。
40. 如权利要求 27 所述的方法,其中所述夹层具有这样的厚度和电阻率使得所述夹层两端的电压降小于 0.1V。
41. 如权利要求 40 所述的方法,其中所述夹层在 32A/cm^2 的电流密度下具有 $0.015 \mu\text{m}$ 的厚度以及小于 2000ohm-cm 的电阻率。
42. 如权利要求 27 所述的方法,其中形成所述氮化物夹层包括在 800°C 的温度下形成所述氮化物夹层。
43. 如权利要求 27 所述的方法,其中形成所述第一层包括将所述第一层形成得具有小于 $0.5 \mu\text{m}$ 的厚度。
44. 如权利要求 27 所述的方法,其中所述氮化物夹层包括具有材料组分和掺杂的第一氮化物夹层,所述方法进一步包括:
在所述第二层氮化物半导体材料上形成第二氮化物夹层,其中所述第二氮化物夹层包括铝和镓并且利用 n 型掺杂剂进行导电掺杂,并且其中所述第二氮化物夹层具有不同于所述第一氮化物夹层的材料组分和 / 或掺杂浓度的材料组分和 / 或掺杂浓度;并且
在所述第二氮化物夹层上形成第三层氮化物半导体材料。
45. 如权利要求 44 所述的方法,其中所述第一氮化物层具有第一镓浓度并且所述第二氮化物层具有第二镓浓度,所述第二镓浓度大于所述第一镓浓度。
46. 如权利要求 44 所述的方法,其中所述第一氮化物层具有第一掺杂浓度并且所述第二氮化物层具有第二掺杂浓度,所述第二掺杂浓度大于所述第一掺杂浓度。
47. 如权利要求 27 所述的方法,进一步包括在所述氮化物夹层中形成多个分立部分,其中所述分立部分具有与所述氮化物夹层的材料组分不同的材料组分。
48. 如权利要求 47 所述的方法,其中所述氮化物夹层具有第一带隙并且所述分立部分具有第二带隙,所述第二带隙小于所述第一带隙。
49. 如权利要求 47 所述的方法,其中所述分立部分被形成为以 $40/\mu\text{m}^2$ 和 $60/\mu\text{m}^2$ 之

间的量存在于所述氮化物夹层中。

50. 如权利要求 47 所述的方法, 其中所述分立部分 30A 被形成为具有在 $0.01\ \mu\text{m}$ 和 $0.1\ \mu\text{m}$ 之间的直径。

51. 如权利要求 27 所述的方法, 进一步包括刻蚀所述半导体结构的层, 其中所述氮化物夹层被用作刻蚀停层。

具有夹层结构的氮化物半导体结构和制作具有夹层结构的氮化物半导体结构的方法

技术领域

[0001] 本发明涉及半导体结构,并且尤其涉及氮化物半导体结构和相关方法。

背景技术

[0002] 在制作半导体器件的过程中,可以使用与衬底或底层晶格失配的半导体材料。例如,按照常规 GaN 被制作在蓝宝石衬底、硅衬底或碳化硅衬底上。GaN 的未应变的晶格常数是 3.19,而蓝宝石的未应变的晶格常数是 4.76 并且碳化硅的是 3.07。因此,生长在衬底上的 GaN 层可能会产生应变。如果情形是这样并且如果应变的等级超过某一阈值,则 GaN 层可能破裂,其可能使所述材料在半导体器件的使用中不能被接受。

[0003] 另外的困难可能产生于以下事实:不同的材料可能具有不同的热膨胀系数,其会使材料之间的晶格常数差随着温度变化。因此,在一个温度下基本上晶格匹配的两种材料可能在不同的温度下失配。此外,由于与底层晶格失配而在生长温度下压缩应变的外延层可能在室温下拉伸应变,或反之亦然,取决于材料的室温晶格常数和热膨胀系数。

[0004] 制作半导体材料和器件过程中使用的工艺温度可能很极端。例如,一些外延生长过程可能在超过 1000°C 的温度下执行,而且器件退火温度可能甚至更高。因此,工艺温度和室温之间的差可能多达 1000°C 或以上。

[0005] 除了可能引起破裂外,半导体结构中的应变由于许多其它原因而可能有害。例如,应变可能使晶片弯曲。外延生长期间的晶片弯曲可能导致外延层在衬底上生长不均匀,其可能减少有用器件产率。此外,晶片弯曲可能使半导体制造过程例如平面化和 / 或切割变复杂。

发明内容

[0006] 根据本发明的一些实施例的半导体结构包括第一层氮化物半导体材料、在所述第一层氮化物半导体材料上的基本弛豫的氮化物夹层、以及在所述氮化物夹层上的第二层氮化物半导体材料。所述氮化物夹层具有第一晶格常数并且可以包括铝和镓并且可以利用 n 型掺杂剂例如硅和 / 或锗进行导电掺杂。所述第一层氮化物半导体材料、所述氮化物夹层、以及所述第二层氮化物半导体材料一起具有至少大约 0.5 μm 的厚度。氮化物半导体材料可以具有第二晶格常数,使得所述第一层氮化物半导体材料在所述基本弛豫的氮化物夹层的一侧可以比所述第二层氮化物半导体材料在所述基本弛豫的氮化物夹层的另一侧更多地拉伸应变。

[0007] 所述第二层氮化物半导体材料可以在所述基本弛豫的氮化物夹层的一侧压缩应变并且所述第一层氮化物半导体材料可以在所述基本弛豫的氮化物夹层的另一侧拉伸应变。

[0008] 所述半导体结构可以进一步包括直接在所述基本弛豫的氮化物夹层上的不连续掩模层。所述不连续掩模层可以包括 SiN 和 / 或 MgN。在一些实施例中,所述不连续掩模

层可以包括 BN。

[0009] 所述第一层氮化物半导体材料可以在夹层下面具有第一位错密度并且所述第二氮化物半导体层可以在夹层上面具有比所述第一位错密度低的第二位错密度。

[0010] 所述半导体结构可以包括直接在所述第一氮化物半导体层上的第二不连续掩模层,并且所述氮化物夹层可以在所述第二不连续掩模层上。

[0011] 所述氮化物夹层可以用硅以大约 $1 \times 10^{19} \text{cm}^{-3}$ 到大约 $1 \times 10^{21} \text{cm}^{-3}$ 的浓度进行掺杂。所述氮化物夹层可以包括渐变层和 / 或多个子层。所述夹层可以包括多个 InAlGaBN:Si/GaN:Si 对。

[0012] 所述第一层和第二层氮化物半导体材料的平均应变可以比不包括所述夹层的相应半导体结构较少地拉伸应变。

[0013] 所述半导体结构可以包括衬底,并且该层氮化物半导体材料可以在衬底上。该层半导体材料可以具有第一热膨胀系数并且所述衬底可以具有第二热膨胀系数,所述第二热膨胀系数可以小于所述第一热膨胀系数使得所述第一层氮化物材料在室温下比在升高的生长温度下易于更多地拉伸应变。

[0014] 所述第二氮化物层在室温下可以比在氮化物夹层的生长温度下更弛豫。所述第二氮化物层在室温下可以是基本弛豫的。在一些实施例中,所述第一和第二氮化物层在大约 700 到 800°C 的温度下可以比在氮化物层的生长温度下具有较小的弯曲。

[0015] 所述夹层可以具有这样的厚度和电阻率使得所述夹层两端的电压降在大约 32A/cm^2 的电流密度下可以小于大约 0.1V,所述电流密度对应于通过大约 $250 \mu\text{m} \times 250 \mu\text{m}$ 的面积的大约 20mA 的电流。所述夹层可以具有大约 $0.015 \mu\text{m}$ 的厚度以及小于大约 2000ohm-cm 的电阻率。

[0016] 所述氮化物夹层可以包括具有材料组分和掺杂浓度的第一氮化物夹层,并且所述结构可以进一步包括在所述第二层氮化物半导体材料上的第二氮化物夹层。所述第二氮化物夹层可以包括铝和镓并且可以用硅进行导电掺杂,并且所述第二氮化物夹层可以具有与所述第一氮化物夹层的材料组分和 / 或掺杂浓度不同的材料组分和 / 或掺杂浓度。第三层氮化物半导体材料在所述第二氮化物夹层上。

[0017] 所述第一氮化物层可以具有第一镓浓度并且所述第二氮化物层可以具有第二镓浓度,所述第二镓浓度大于所述第一镓浓度。

[0018] 所述第一氮化物层可以具有第一掺杂浓度并且所述第二氮化物层可以具有第二掺杂浓度,所述第二掺杂浓度大于所述第一掺杂浓度。

[0019] 所述氮化物夹层可以在其中包括具有与所述氮化物夹层的材料组分不同的材料组分的多个分立部分。特别地,所述氮化物夹层可以具有第一带隙并且所述分立部分可以具有第二带隙,所述第二带隙小于所述第一带隙。

[0020] 所述分立部分可以以大约 $0.1/\mu\text{m}^2$ 和大约 $100/\mu\text{m}^2$ 之间的量存在于所述氮化物夹层中,并且在一些情形下可以在大约 $40/\mu\text{m}^2$ 和大约 $60/\mu\text{m}^2$ 之间,和 / 或所述分立部分的直径可以在 $0.01 \mu\text{m}$ 和 $0.1 \mu\text{m}$ 之间。

[0021] 一些实施例提供形成半导体结构的方法。所述方法包括形成第一层氮化物半导体材料、在所述第一层氮化物半导体材料上形成基本弛豫的氮化物夹层、以及形成第二层氮化物半导体材料。所述第一层氮化物半导体材料、所述氮化物夹层、以及所述第二层氮化物

半导体材料可以具有至少大约 $0.5\ \mu\text{m}$ 的组合厚度。所述氮化物夹层可以具有第一晶格常数并且可以包括铝和镓并且可以用硅进行导电掺杂。所述氮化物半导体材料可以具有第二晶格常数使得所述第一层氮化物半导体材料在所述基本弛豫的氮化物夹层的一侧可以比所述第二层氮化物半导体材料在所述基本弛豫的氮化物夹层的另一侧较少地拉伸应变。

[0022] 所述第二层氮化物半导体材料在所述基本弛豫的氮化物夹层的一侧可以被形成成为压缩应变并且所述第一层氮化物半导体材料在所述基本弛豫的氮化物夹层的另一侧可以被形成成为拉伸应变。

[0023] 所述方法可以进一步包括在形成所述第二层氮化物半导体材料之前直接在所述基本弛豫的氮化物夹层上形成不连续掩模层。所述不连续掩模层可以包括 SiN 和 / 或 MgN。在一些实施例中,所述不连续掩模层可以包括 BN。

[0024] 所述方法可以进一步包括直接在所述第一氮化物半导体层上形成第二不连续掩模层,氮化物夹层可以形成在所述第二不连续掩模层上。

[0025] 所述氮化物夹层可以利用硅以大约 $1 \times 10^{19}\text{cm}^{-3}$ 到大约 $1 \times 10^{21}\text{cm}^{-3}$ 的浓度进行掺杂。所述氮化物夹层可以包括渐变层。所述氮化物夹层可以包括多个子层。

[0026] 形成所述第一层氮化物半导体材料可以包括在衬底上形成所述第一层氮化物半导体材料。该氮化物半导体材料可以具有第一热膨胀系数并且所述衬底可以具有第二热膨胀系数,所述第二热膨胀系数可以小于所述第一热膨胀系数使得所述第二层氮化物材料在室温下比在升高的生长温度下易于更多地拉伸应变。

[0027] 所述第一和第二层氮化物材料在大约 700 到大约 800°C 范围内的温度下可以比在所述第二氮化物层的生长温度下具有较小的弯曲。

[0028] 所述夹层可以具有这样的厚度和电阻率使得所述夹层两端的电压降在大约 20mA 的电流下可以小于大约 0.1V 。所述夹层可以具有大约 $0.015\ \mu\text{m}$ 的厚度以及小于大约 2000ohm-cm 的电阻率。

[0029] 形成所述氮化物夹层可以包括在大约 800°C 的温度下形成氮化物夹层。此外,形成所述第一层可以包括将所述第一层形成得具有小于大约 $0.5\ \mu\text{m}$ 的厚度。

[0030] 所述方法可以进一步包括在所述第二层氮化物半导体材料上形成第二氮化物夹层。所述第二氮化物夹层包括铝和镓并且可以利用 n 型掺杂剂例如硅和 / 或锗进行导电掺杂,并且具有大于所述第一夹层的镓浓度的第二镓浓度。第三层氮化物半导体材料被形成在所述第二氮化物夹层上。

[0031] 所述方法可以进一步包括刻蚀所述半导体结构层,其中所述氮化物夹层被用作刻蚀停层。

附图说明

[0032] 图 1 是根据本发明的实施例的半导体结构的侧截面图。

[0033] 图 1A 是根据本发明的实施例的铝浓度与渐变层厚度的关系曲线图。

[0034] 图 2 是根据本发明的另外的实施例的半导体结构的侧截面图。

[0035] 图 3 是根据本发明的另外的实施例的半导体结构的侧截面图。

[0036] 图 4 是根据本发明的另外的实施例的半导体结构的侧截面图。

[0037] 图 5 是根据本发明的实施例的结构的曲率和反射系数的图。

- [0038] 图 6A 和 6B 是根据本发明的实施例的结构的曲率和反射系数的图。
- [0039] 图 7A 和 7B 是示出根据本发明的实施例的氮化物层的表面形态的照片。
- [0040] 图 8A 和 8B 是根据本发明的实施例的结构的曲率和反射系数的图。
- [0041] 图 9A 和 9B 是根据本发明的实施例的结构的曲率和反射系数的图。
- [0042] 图 10A、10B 和 10C 是示出根据本发明的实施例的氮化物层的表面形态的照片。

具体实施方式

[0043] 现在将参考附图在下文中更充分地描述本发明,在所述附图中示出本发明的优选实施例。然而本发明可以被具体实施为许多不同的形式并且不应当被理解为局限于这里所述的实施例;更确切地说,提供这些实施例使得本公开将是全面和完整的,并且这些实施例将会向本领域技术人员完全传达本发明的范围。贯穿全文类似的数字指的是类似的元件。此外,附图中示出的多个层和区域是被示意性示出的。因此,本发明并不限于附图中所示的相对大小和间隔。正如本领域技术人员也将理解的,这里提及的形成在衬底或其它层“上面”的层可以指的是直接形成在该衬底或其它层上面的层或者指形成在形成于该衬底或其它层上的插入层上的层。

[0044] 本发明的实施例可以提供相对厚的、具有减小的平均应变的高质量氮化物半导体结构。氮化物半导体材料的厚外延层可能尤其适合和衬底去除技术一起使用以形成无衬底半导体器件。另外,本发明的实施例可以提供氮化物半导体结构,所述氮化物半导体结构可以在提供衬底和/或用来形成半导体衬底的晶种中被利用。所述氮化物半导体结构包括用于减小结构中的内建 (build-up) 应变的半导体夹层或层,使得所述结构的平均应变在期望的温度下被减小。例如,夹层结构可以被设计成在室温下或在另外的重要温度例如有源层生长温度下使结构中的平均应变最小化。

[0045] 以下参考 III 族氮化物基半导体结构描述本发明的实施例。然而,正如本领域技术人员根据本公开将理解的,本发明的实施例可以有利地与其它半导体材料一起被使用。正如这里所使用的,术语“III 族氮化物”指的是在氮和元素周期表的 III 族中的元素(通常是铝 (Al)、镓 (Ga)、硼 (B) 和/或铟 (In)) 之间形成的那些半导体化合物。该术语还指的是三元和四元化合物,例如 AlGa_N 和 AlInGa_N。正如本领域技术人员清楚理解的,III 族元素可以与氮结合以形成二元化合物(例如 GaN)、三元化合物(例如 AlGa_N、AlIn_N)、以及四元化合物(例如 AlInGa_N)。这些化合物都具有实验式,其中一摩尔氮与总计一摩尔 III 族元素结合。因此,例如 Al_xGa_{1-x}N(其中 $0 \leq x \leq 1$) 的化学式经常被用来描述它们。

[0046] 本发明的一些实施例在图 1 的截面图中被示意性地示出。在本发明的特定实施例中的半导体结构 10A 包括衬底 12,所述衬底 12 可以包括例如硅、碳化硅和/或蓝宝石。

[0047] 成核层 14 例如氮化铝层在衬底 12 上并且在衬底和该结构的其余部分之间提供晶体结构的过渡。碳化硅比蓝宝石 (Al₂O₃) 或硅具有更接近 III 族氮化物的晶格匹配,所述蓝宝石 (Al₂O₃) 是用于 III 族氮化物器件的非常普遍的衬底材料。所述更接近的晶格匹配可以比通常可在蓝宝石或硅上得到的晶格匹配产生更高质量的 III 族氮化物膜。碳化硅也具有很高的导热性使得碳化硅上的 III 族氮化物器件的总输出功率通常不像相同器件形成在蓝宝石上的情况中那样受衬底的热耗散限制。而且,半绝缘碳化硅衬底的可用性可以提供器件隔离和减小的寄生电容。在其中衬底 12 将被除去的实施例中,硅衬底可能是合适

的,因为大直径的硅晶片通常是可用的并且硅可能比碳化硅或蓝宝石更容易除去。

[0048] 尽管在此参考硅或碳化硅衬底描述了本发明的一些实施例,但是本发明的实施例可以利用任何合适的衬底,例如蓝宝石、氮化铝、氮化铝镓、氮化镓、GaAs、LG0、ZnO、LAO、InP 等。在一些实施例中,合适的成核层也可以形成在衬底上。

[0049] 适合在本发明的实施例中使用的 SiC 衬底是由例如本发明的受让人 Durham, N. C. 的 Cree, Inc. 制造的,并且用于制造 SiC 衬底的方法在例如美国专利 No. Re. 34, 861 ; No. 4, 946, 547 ;No. 5, 200, 022 ;和 No. 6, 218, 680 中被描述,在此并入其全部内容作为参考。类似地, III 族氮化物的外延生长技术已经在例如美国专利 No. 5, 210, 051 ;No. 5, 393, 993 ; No. 5, 523, 589 ;No. 5, 292, 501 中被描述,在此并入其全部内容作为参考。

[0050] 在本发明的另外的实施例中,所述衬底可以是例如利用外延横向过生长 (ELOG) 或悬空外延 (pendeo-epitaxial) 生长技术制造的 GaN 基衬底。这种技术的实例在题为“GALLIUM NITRIDE SEMICONDUCTOR STRUCTURES INCLUDING A LATERAL GALLIUM NITRIDE LAYER THAT EXTENDS FROM AN UNDERLYING GALLIUM NITRIDE LAYER”的美国专利 No. 6, 051, 849、1988 年 2 月 27 日提交的题为“GALLIUM NITRIDE SEMICONDUCTOR STRUCTURES INCLUDING LATERALLY OFFSET PATTERNED LAYERS”的美国专利申请序列号 No. 09/525, 721、题为“METHODS OF FABRICATING GALLIUM NITRIDE SEMICONDUCTOR LAYERS BY LATERAL GROWTH FROM SIDEWALLS INTO TRENCHES, AND GALLIUM NITRIDE SEMICONDUCTOR STRUCTURES FABRICATED THEREBY”的美国专利 No. 6, 265, 289 以及题为“PENDEO EPITAXIAL GALLIUM NITRIDE SEMICONDUCTOR LAYERS ON SILICON CARBIDE SUBSTRATES”的美国专利 No. 6, 177, 688 中被描述,在此并入其公开的全部内容。另外,在这样的生长技术之前可以利用本发明的实施例以便提供氮化镓基层,后来的氮化镓基层被提供在该氮化镓基层上。

[0051] 此外,在题为“STRAIN COMPENSATED SEMICONDUCTOR STRUCTURES AND METHODS OF FABRICATING STRAIN COMPENSATED SEMICONDUCTOR STRUCTURES”的美国专利 No. 6, 841, 001 中描述的应变补偿技术(在此并入其公开的全部内容)可以与本发明的一些实施例一起使用。

[0052] 如上所述,本发明的一些实施例可以采用硅衬底。当使用硅衬底时,最初可以在氢和硅烷(SiH_4)或另一种活性硅源的气氛中加热该衬底,其既可以防止/阻止在衬底上形成 SiN 并且也可以从衬底除去任何 SiO_2 。由于衬底上存在 SiN 和/或 SiO_2 会消极地影响衬底上生长的层的形态,因此通常期望除去或防止/阻止在衬底上形成 SiN 和/或 SiO_2 。

[0053] 由硅烷提供的活性硅会消耗任何氧或氮,否则所述氧或氮会在加热和脱附期间与硅衬底反应并且形成非晶/多晶 SiO_2 和/或 SiN。添加少量硅烷流也可以防止或减缓硅衬底的腐蚀/分解。由此可以保持基本纯净的硅衬底表面,允许在其上生长具有比别的方式更小的拉伸应变(更大的压缩应变)的更高质量的 III 族氮化物材料。

[0054] 上述的硅烷预处理可以通过允许一些残余的 III 族氮化物从先前的运行或欠纯净环境沉积来提高生产过程的成品率和/或产量。此外,上述的硅烷预处理可以允许在反应室内使用一些石英部件而没有不利影响。

[0055] 使硅烷在硅衬底上流动可以与常规硅预处理工艺形成对比,在常规硅预处理工艺中,在纯净的 H_2 环境中加热硅衬底以从衬底除去残余的 SiO_2 。除了残余的 SiO_2 外,热 H_2 气也会腐蚀其它包含化合物的氧或氮,例如 SiO_2 部分或从先前运行残余的氮化物沉积物。通

过 H_2 气体被释放的氧和 / 或氮可以被运输到衬底,在那里它可以形成新的沉积物。此外,可以通过 H_2 气从衬底除去硅原子,其会使硅表面变粗糙。此外, HF 腐蚀可以被用来从衬底除去残余的 SiO_2 。

[0056] 在一些实施例中,少量硅烷流过硅衬底以在脱附温度下在 Si 上获得大约等于平衡蒸气压的蒸气压。例如,在 0.2 个大气压和大约 $1000^{\circ}C$ 的温度下,可以使用 SiH_4 与氢的比率为大约 $10^{-7} : 1$ 的运载气体。流过太多硅烷可能导致硅沉积并且从而使沉积的 III 族氮化物外延层表面更粗糙。代替硅烷或除了硅烷外还可以使用其它硅源例如 Si_2H_6 、 $SiCl_4$ 、 $SiBr_4$ 、 Si_3N_4 、反应器部件的涂层、或放置在上游的固体硅。

[0057] 再次参考图 1,为了在硅衬底上生长 AlN 成核层,期望最初仅流过铝源气体,例如三甲基铝 (TMA),并且然后流过氮源气体以形成 AlN 。通过最初流过铝源气体而没有任何氮源气体,可以阻碍、减少或防止在硅衬底上形成 SiN 。可以在例如处于大约 $1000^{\circ}C$ 到大约 $1100^{\circ}C$ 的范围内的相对高的生长温度下生长 AlN 层。如果成核层被生长得太热,它可能会具有差的形态。硅衬底上所得到的 AlN 层可以包封硅衬底以减少或防止在随后步骤中衬底中的硅与氮反应形成 SiN 。虽然在随后的处理步骤中可能会沉积 SiN ,但是它可能是通过源气体的反应形成的,而不是通过与硅衬底反应形成的。

[0058] 所述 AlN 层也可以充当成核层 14,其为随后氮化物半导体材料的生长提供模板。成核层可以具有大约 $0.1 \mu m$ 到大约 $0.6 \mu m$ 的厚度。在一些实施例中,成核层 14 可以包括多个子层。

[0059] 仍旧参考图 1,半导体结构 10 包括成核层 14 上的渐变层 20。渐变层 20 可以提供从成核层 14 的晶体结构到不同晶体结构的过渡。例如,虽然成核层可以包括氮化铝,但是期望最后在所述结构上生长 GaN 层。因此,渐变层 20 可以提供从 AlN 到 GaN 的相对平滑的过渡。例如,渐变层 20 可以在成核层 14 与 GaN 的界面处从包括 $Al_xGa_{1-x}N$ 的组分逐渐变化。在一些实施例中,该渐变可以从 $x = 1$ (即从 AlN) 开始。在其它实施例中,该渐变可以从包括大约 30% 的 GaN ($x = 0.7$) 的合金 (alloy) 开始变化。

[0060] 在图 1A 中示出一些可能的铝轮廓。正如其中所示的,在层 14 中铝浓度是 100% ($x = 1$)。在一些实施例中,在渐变层 20 中的铝浓度可以从 100% 到 0% 逐渐变化,如曲线 501 所示。在其它实施例中,铝浓度可以从较低的百分比例如 70% ($x = 0.7$) 向下逐渐变化到 0%,如曲线 502 所示。

[0061] 渐变层 20 的起始铝组分可能影响结构中的应变。例如,如果渐变层 20 的渐变从 $x = 1$ 开始 (即从 AlN 开始),则在给定温度下在所得到的结构中可能会存在太大的压缩应变,其会使晶片破裂和 / 或断裂。在较低的铝组分 (例如 $x = 0.7$) 开始渐变可以使结构具有更平衡的应变。通常,期望在将会使整个结构中的应变平衡的水平下选择渐变层 20 中的起始铝百分比使得晶片在给定温度例如 $InGaN$ 生长温度 (在大约 $700^{\circ}C$ 到大约 $800^{\circ}C$ 的范围内) 下将具有较小弯曲,而在室温下不引起太多张应力。

[0062] 参考图 1,在本发明的一些实施例中,在高温 (例如 $> 1000^{\circ}C$) 下在硅衬底上沉积半绝缘 AlN 成核层 14。接着,在高温 (例如 $> 1000^{\circ}C$) 下在 AlN 成核层上沉积半绝缘 $Al_xGa_{1-x}N$ 层以提供渐变层 20。可以调整生长条件 (例如温度、压强、 V/III 比率、生长速度、厚度等) 以使渐变层 20 不与 AlN 层 14 一致地应变。优选地,渐变层 20 最初将利用相对低的核密度 (例如 $< 10^9 cm^{-2}$) 以三维模式开始生长。正如本领域技术人员根据本公开将理解

的是,详细的生长条件可以根据反应器几何形状而不同,并且因此可以被相应调整以获得具有期望特性的 AlGa_N。在渐变层 20 上可以提供 GaN 和 / 或 Al_xGa_{1-x}N($x \approx 0.1$) 的氮化物层 24。X 射线衍射结晶学可以被用来确定所得到的氮化物层 24 的应变晶格常数。如果所得到的氮化物层 24 不具有期望的应变面内晶格常数,则可以调整氮化物层 24 的组分和 / 或生长条件以提供期望的应变面内晶格常数。

[0063] 通常,当成核层 14 包括 AlN 时,氮化物层 24 可以从压缩应变开始,因为 GaN 的 a 面晶格常数大于 AlN 的 a 面晶格常数。(通常, a 面晶格常数指的是对于沿 (0001) 方向生长的材料中原子之间的横向距离)。然而,由于氮化物层 24 生长得较厚,因此它可能易于变得更拉伸应变。

[0064] 为了减小结构 10A 中的总应变,可以在氮化物层 24 内提供一个或多个基本弛豫的夹层 30。夹层 30 具有未应变晶格常数,所述未应变晶格常数与氮化物层 24 的未应变晶格常数不匹配。特别是,在生长温度下夹层 30 可以具有比氮化物层 24 的未应变晶格常数小的未应变晶格常数。弛豫的夹层 30 本质上可以充当用于随后外延生长的准理想衬底层,所述准理想衬底层可以将生长在其上的氮化物材料的初始应变重新设置(reset)为更压缩的(较少拉伸)。由于氮化物层 24 被生长为大的厚度(例如大约 0.5 μm 或更大),所以所述层的材料组分在生长温度下易于变得更拉伸应变。当材料被冷却到较冷的温度(例如室温或较冷的材料生长温度)时,氮化物层 24 和衬底 12 之间的热膨胀系数(CTE)的差可能易于使氮化物层 24 变得更拉伸应变,其最后可能导致不合需要的晶片弯曲和 / 或破裂等级。

[0065] 然而,由于夹层 30 被生长为氮化物层 24 内的弛豫层,生长在夹层 30 上的该部分氮化物层 24 至少最初可以比直接在夹层 30 下面的该部分氮化物层 24 更压缩应变。因此,整个结构的平均应变会比没有夹层 30 的情况更压缩。因此,当结构 10A 被冷却到更低的温度时,结构 10 可以具有减小的拉伸应变水平,其会减少晶片弯曲和 / 或破裂。

[0066] 可以通过选择合适的材料组分、厚度和生长温度将夹层 30 生长为弛豫层以使夹层 30 不会假应变到氮化物层 24 的下面部分,所述夹层 30 生长在其上。例如,夹层 30 的未应变晶格常数可能十分不匹配氮化物层 24 的晶格常数(夹层 30 形成在所述氮化物层 24 之上)使得当夹层 30 达到某个厚度例如大约 150nm 的厚度时易于破裂。夹层 30 的破裂会释放层中的应变,使它变得弛豫。为了具有充分不匹配的未应变晶格常数以便引起弛豫,夹层 30 可以包括大约 50% 或以上的铝浓度。此外,大约 700°C 到大约 800°C 的生长温度可以有助于夹层 30 的弛豫。

[0067] 然而,应当理解的是,夹层 30 并不需要破裂来被弛豫,取决于用来形成夹层 30 的生长条件。例如,夹层 30 可以被形成具有高位错缺陷密度的弛豫层。在一些实施例中,夹层 30 或其一部分可以是晶体、多晶、非晶、高度无序和 / 或这些的组合以提供弛豫层。

[0068] 将被理解的是,在一些实施例中,夹层 30 可以包括多个子层和 / 或可以包括一个或多个渐变层。夹层 30 可以包括一个或多个 InAlGaBN 层。此外, SiN 和 / 或 MgN 层可以被并入夹层 30 内。在一些情形下可以用少量 P 或 As 取代 N。

[0069] 在氮化物层 24 中提供至少一个夹层 30 可以改善结构 10A 的表面形态。然而,当包括更多的夹层 30 时结构 10A 的表面形态可能会变得更差。

[0070] 在一些实施例中,夹层 30 可以包括多个 InAlN:Si/GaN:Si 对或 InAlGa_N:Si/GaN:Si 对。在形成夹层 30 的过程中,铟(或其它具有低结合比的材料例如 Sn)可以被用

作表面活性剂、位错运动改良剂和 / 或点缺陷改良剂。此外,夹层 30 可以和与 AlGa_N 具有大的晶格失配的材料例如 InN 融合 (alloy)。这种融合可以使所述层更顺从 (compliant) 和 / 或可以减小所述层中的应力。

[0071] 夹层 30 的半导体材料具有与随后生长的外延层的半导体材料类似的结构特性 (例如类似的晶体结构和取向),但是具有与氮化物层 24 的晶格常数十分不匹配的未应变晶格常数使得形成在夹层 30 上的该部分氮化物层 24 将至少最初是处在压缩应变下。为了使氮化物层 24 处于压缩应变,夹层 30 可以具有生长温度下的未应变晶格常数,所述未应变晶格常数小于氮化物层 24 在生长温度下的未应变晶格常数。在本发明的特定实施例中,夹层 30 可以在大约 800℃ 的生长温度下被生长为基本未应变层,并且当所述结构从生长温度冷却时可以在层 30 中引起应变。

[0072] 在本发明的一些实施例中,夹层 30 可以包括 III 族氮化物,例如 AlGa_N 或 AlInGa_N。然而,在本发明的其它实施例中,夹层 30 也可以包括其它半导体材料,例如 SiGe、GaAs 等。在本发明的特定实施例中,夹层 30 可以利用掺杂剂例如 Si、Ge 和 / 或 Mg 进行导电掺杂。夹层 30 的厚度可以根据具体半导体结构而变化。例如,对于 AlGa_N 基夹层,夹层 30 的厚度可以从大约 1nm 到大约 1 μm。夹层 30 不应当如此厚以致在夹层 30 周围的更厚的层中引起破裂和 / 或形成实质缺陷 (substantial defect)。夹层 30 可以具有这样的厚度,所述厚度大到足够被弛豫但是没有大到使通过所述结构的垂直导电性不期望地减小很多。因此,在一些实施例中,夹层 30 可以具有在大约 10nm 到大约 20nm 的范围内的厚度。在特定实施例中,夹层 30 可以包括具有大约 15nm 的厚度的 AlN。

[0073] 在一些实施例中,夹层 30 可以包括具有基本均匀的铝浓度的 AlGa_N。在另外的实施例中,夹层 30 可以是 Al_xGa_{1-x}N 层,所述 Al_xGa_{1-x}N 层在生长期间随着组分 x 的减少而渐变使得铝浓度随着离衬底距离的增加而减小。组分的变化可以是线性、非线性和 / 或阶梯式的。此外,夹层 30 可以是短周期超晶格的 AlN 和 GaN 或 AlGa_N 和 AlGa_N。

[0074] 在一些实施例中,夹层 30 可以包括硼 (B)。在夹层 30 中存在硼可以减小夹层 30 的晶格常数。然而,夹层 30 中硼的浓度可以被保持在将会使夹层变成多晶的浓度以下。

[0075] 此外,例如可以通过调整组分诸如 Al 组分、或夹层 30 的生长条件来生长夹层 30,使得如果氮化物层 24 的热膨胀系数 (“CTE”) 大于衬底 (例如 GaN/SiC 或 GaN/Si) 的热膨胀系数则直接在夹层 30 上的该部分氮化物层 24 在生长温度下处于压缩应变,或者如果氮化物层 24 的 CTE 小于衬底 (例如 GaN/Al₂O₃) 的热膨胀系数则直接在夹层 30 上的该部分氮化物层 24 在生长温度下处于拉伸应变,以便氮化物层 24 在低于生长温度的温度下可以变得更接近弛豫。氮化物层 24 基本未应变的温度可以被选择为衬底除去温度,以便于从衬底以单片形式除去氮化物层 24。可替换地,氮化物层 24 基本未应变的温度可以被选择为体再生长温度,其可以便于将氮化物层 24 用作仍旧附着于原始衬底的晶种。

[0076] 此外,可以根据器件工作温度选择使氮化物层 24 基本未应变的温度。也可以根据中间温度选择使氮化物层 24 基本未应变的温度使得应变绝不超过所述结构在它的整个寿命内将经历的所有温度范围内的临界值。也可以根据工艺温度选择使氮化物层 24 基本未应变的温度,在所述工艺温度下重要工艺步骤出现,例如可以用作利用氮化物层 24 制造的最后器件的有源层的 InGa_N 量子阱的外延生长。

[0077] 例如,通常使用氮化物半导体材料来形成包括薄 (例如 < 50 Å) InGa_N 量子阱层

的发光器件,所述 InGaN 量子阱层通常在大约 700℃ 到大约 800℃ 的范围内的生长温度下形成,所述温度范围可能小于 GaN 的典型生长温度。InGaN 量子阱层可以是发光器件的关键特征,因为所述 InGaN 量子阱层的质量和组分可以强烈影响 LED 发出的光的亮度和 / 或波长。晶片弯曲和 / 或翘曲可能使该薄 InGaN 层不平坦地形成在晶片上,其会降低由晶片制造的器件的可用产率。因此,期望定制半导体结构 10A 中的应变水平使得总的应变水平在 InGaN 生长温度下被减小到可实施的程度、和 / 或使得晶片在 InGaN 生长温度下具有较小的弯曲。

[0078] 在其它实施例中,期望在室温下尽可能地减小半导体结构中的总应变水平以便例如便于晶片切割。通常,可能难以将已经基本弯曲 / 翘曲的晶片切割成小片 (即锯成芯片)。

[0079] 例如可以利用 Si 和 / 或 Ge 掺杂剂对夹层 30 进行导电掺杂。通常,期望夹层是导电的以便便于垂直电流在氮化物层 24 内传导。特定类型的电子器件例如垂直发光二极管可能期望垂直传导。在一些情况下,期望夹层向所得到的器件的总正向工作电压贡献小于大约 0.1V。即,期望夹层具有小于大约 5 欧姆的电阻。夹层 30 的电压降由该层的电阻

(R) 确定,根据以下等式所述电阻是该层的电阻率 (ρ) 的函数: $R = \frac{\rho L}{A}$ 其中 A 是夹层 30 的面积并且 L 是夹层 30 的厚度。因此,对于具有大约 $250 \mu\text{m} \times 250 \mu\text{m}$ 的尺寸且工作在大约 20mA 的器件而言,如果夹层 30 具有大约 $0.015 \mu\text{m}$ 的厚度,则夹层 30 的电阻率可能小于大约 2000ohm-cm。

[0080] 除了提供垂直传导外,利用 n 型掺杂剂例如硅和 / 或锗对夹层 30 掺杂可以减小夹层的晶格常数,其可以有助于使形成在夹层 30 上的该部分氮化物层 24 最初更多地压缩应变。因此,期望利用硅以在大约 $1 \times 10^{18} \text{cm}^{-3}$ 到大约 $1 \times 10^{21} \text{cm}^{-3}$ 的范围内的浓度对夹层 30 进行掺杂。为了在器件工作温度下获得更高的电子密度水平,期望夹层 30 包括在大约 10% 到大约 90% 的范围内的镓。

[0081] 在一些实施例中,夹层 30 在其中可以包括分立部分 30A,所述分立部分 30A 可以增加夹层 30 的电导率。分立部分 30A 可以包括例如具有比形成夹层 30 的材料的带隙低的带隙和 / 或可以具有比夹层 30 的材料更高的电子密度的材料 (例如 GaN 和 / 或 InGaN) 的不连续的岛 (“点”)。在题为 “Group III nitride photonic devices on silicon carbide substrates with conductive buffer interlayer structure” 的 Edmond 等人的美国专利 No. 6,187,606 中更详细地描述了利用分立晶体部分用于垂直电导率,在此并入其全部内容作为参考。在一些实施例中,分立部分 30A 可以是晶体、多晶、非晶、高度无序和 / 或这些的组合。

[0082] 在一些实施例中,分立部分 30A 可以以这样的量存在:所述量足以增加夹层 30 的垂直电导率但是所述量小于将会不利地影响夹层 30 的应变减小效应和 / 或氮化物层 24 的晶体质量的量。在一些实施例中,分立部分 30A 可以以大约 $0.1 / \mu\text{m}^2$ 和大约 $100 / \mu\text{m}^2$ 之间的量存在,并且在一些情况下可以在大约 $40 / \mu\text{m}^2$ 和大约 $60 / \mu\text{m}^2$ 之间。

[0083] 另外,分立部分 30A 的尺寸可以大到足以增加夹层 30 的垂直电导率但是小于将会不利地影响夹层 30 的应变减小效应和 / 或氮化物层 24 的晶体质量的尺寸。在一些实施例中,分立部分 30A 的直径可以在 0.01 和 $0.1 \mu\text{m}$ 之间。

[0084] 在一些实施例中,夹层 30 可以被用作例如用来刻蚀除去衬底的刻蚀停层。因此,期望夹层 30 相对于它形成在其中的氮化物层 24 具有刻蚀选择性。例如,包含 A 1 的夹层

30, 诸如 AlN、AlGa_N、或 AlInGa_N, 可以被用作 GaN 或 InGa_N 氮化物层 24 内的刻蚀停层。例如, 当利用氟基化学物质在合适的条件下干法刻蚀包含铝的层时, AlF₃ 可以形成并且阻挡进一步的刻蚀。

[0085] 在图 2 中示出本发明的另外的实施例, 其中示出半导体结构 10B。半导体结构 10B 包括如上参考图 1 所述的衬底 12、成核层 14 和渐变层 20。半导体结构 10B 进一步包括渐变层 20 上的第一氮化物层 34。所述第一氮化物层 34 可以包括 GaN。通常, 当生长所述第一氮化物层 34 时, 它可能开始压缩应变, 因为 GaN 的 a 面晶格常数大于 AlN 的 a 面晶格常数。然而, 由于所述第一氮化物层 34 被生长得较厚, 它可能易于变得更加拉伸应变。为了重置所述结构中的应变以减小总的拉伸应变水平, 可以在所述第一氮化物层 34 上形成基本未应变的夹层 40。夹层 40 可以类似于以上关于图 1 所述的夹层 30。

[0086] 在形成夹层 40 之前, 可以在所述第一氮化物层 34 上生长第一可选不连续掩模层 41。所述第一不连续掩模层 41 可以包括 SiN、MgN、和 / 或 BN 并且在大约 900°C 的温度下生长。所述第一不连续掩模层 41 可以被原位或异位沉积并且在大约 20°C 到大约 1100°C 的温度范围内沉积。所述温度应当低到足以有助于控制 (并且尤其是慢的) 生长速率并且因而控制所述不连续层 41 的质量和厚度。可以使用大约 700°C 的温度。

[0087] 类似地, 可以在夹层 40 上形成第二可选不连续掩模层 42。所述第二不连续掩模层 42 可以包括 SiN、MgN、和 / 或 BN 并且在大约 900°C 的温度下生长。所述第二不连续掩模层 42 可以被原位或异位沉积并且在大约 20°C 到大约 1100°C 的温度范围内被沉积。

[0088] 在生长夹层 40 以及所述可选的第一和第二不连续掩模层 41、42 之后, 生长第二氮化物层 44。在包括所述第一和 / 或第二不连续掩模层 42 的实施例中, 所述第二氮化物层 44 的材料可以首先生长在夹层 40 的表面上, 而不是在掩模层 42 上。由于从夹层 40 向上生长可以靠近所述不连续掩模层部分进行, 其后氮化物材料可以跨越所述掩模层部分横向生长。因为缺陷倾向于垂直传播比水平传播更容易, 所以在生长氮化物材料过程中的一些缺陷可以被掩模层 42 阻挡, 其可以减少所述第二氮化物层 44 的缺陷密度。

[0089] 最初可以在使横向生长更快并且因此便于减少缺陷的温度下生长所述第二氮化物层 44。例如, 可以在大约 1090°C 的温度下开始生长所述第二氮化物层 44。在所述第二氮化物层 44 已经在所述不连续掩模层部分上方结合后, 可以调整生长温度以促进垂直生长。

[0090] 参考图 3, 示出包括厚氮化物层 70 的结构 10C。特别地, 厚氮化物层 70 可以生长在 1mm 厚、直径为 3 英寸的 (111) 硅衬底 12 上。通常, 对于更大的直径, 衬底 12 可以更厚。衬底 12 可以包括通过浮区工艺 (FZ) 或丘克拉尔斯基 (Czochralski) (CZ) 工艺形成的衬底。在衬底 12 上提供 0.1 μm 厚的 AlN 成核层 14, 并且在成核层 14 上形成 1.7 μm 厚的渐变层 20。在一些实施例中, 成核层 14 和渐变层 20 的总厚度可以保持大于大约 1 μm 以减小“火山 (volcanoes)”的出现, 所述“火山”指的是其中 III 族氮化物层中的穿孔允许下面的硅衬底被暴露并且被腐蚀, 可能导致在 Si 衬底中形成腔 (即 Si 通过所述 III 族氮化物层“喷出 (erupt)”) 的区域。

[0091] 晶片的曲率可能受生长反应器内的温度分布的影响。例如, 期望在更热的顶棚情形下开始生长成核层 14, 其可以在生长成核层期间导致产生更平坦的晶片。

[0092] 在一些实施例中, 渐变层 20 可以从 AlN 到 GaN 连续地逐渐变化。在其它实施例中, 渐变层 20 可以从 AlGa_N 到 GaN 逐渐变化。例如, 渐变层 20 可以从与成核层 14 的界面处的

$\text{Al}_{0.7}\text{Ga}_{0.3}\text{N}$ 到 GaN 逐渐变化。渐变层 20 的组分可以影响整个结构中的总应变。因此,可以鉴于结构 10C 的后来的层的材料组分来选择渐变层 20 的组分。

[0093] 在渐变层 20 上形成氮化物层 52、54A-C 和夹层 60A-C 的交替堆叠。特别地,在渐变层 20 上形成具有大约 $0.6\mu\text{m}$ 的厚度的第一氮化物层 52,并且然后在所述第一氮化物层 52 上形成夹层 60A-C 和氮化物层 54A-C 的交替堆叠。所述第一氮化物层 52 和 / 或氮化物层 54A-C 可以包括 GaN 。

[0094] 夹层 60A-C 中的每一个都可以具有大约 15nm 的厚度,而氮化物层 54A-C 中的每一个都可以具有大约 $0.5\mu\text{m}$ 的厚度。在一些实施例中,可以形成总计 16 个夹层 / 氮化物层对,总厚度为大约 $8\mu\text{m}$ 。氮化物层 54A-C 可以利用硅以大约 $4\times 10^{18}\text{cm}^{-3}$ 的掺杂剂浓度进行导电掺杂,并且夹层 60A-C 可以利用硅以大约 $1\times 10^{19}\text{cm}^{-3}$ 到大约 $1\times 10^{21}\text{cm}^{-3}$ 的掺杂剂浓度进行导电掺杂。

[0095] 结构 10C 的每一个氮化物层 54 开始压缩应变。然而,当每个氮化物层 54 生长时,它可以变得更拉伸应变。为了减小所述结构的总应变和 / 或使结构 10C 的总应变较少拉伸,在氮化物层 54A-C 之间周期性地形成多个基本弛豫的夹层 60A-C 以重置结构 10C 中的应变水平。即,在每个基本弛豫的夹层 60A-C 被形成之后,生长在夹层 60A-C 上的下一氮化物层 54A-C 开始比直接在夹层 60 之下的材料压缩应变 (或较小拉伸应变)。因此,当形成整个半导体结构 10C 时,它可以比不包括夹层 60A-C 的相应结构具有更小的拉伸总应变。

[0096] 为了增加结构 10C 的上部中的垂直电导率或为了其它目的,例如应变更改变,夹层 60A-C 的材料组分、掺杂、和 / 或其它特性可以从层到层地改变。例如,在一些实施例中,在结构 10C 的底部附近 (即在第一 GaN 层 52 或衬底 12 附近) 的夹层 60A-C 可以具有第一镓浓度,而所述结构的顶部附近 (即在衬底 12 对面) 的夹层 60A-C 可以具有第二镓浓度,所述第二镓浓度大于所述第一镓浓度。在一些实施例中,第一夹层 60A 可以具有大约 20% 的镓浓度,而第三夹层 60C 可以具有大约 50% 的镓浓度。

[0097] 夹层 60A-C 的镓浓度可以影响结构中的应变以及夹层的垂直电导率。例如,具有更大镓浓度的夹层可以使整个结构更拉伸应变,但是可以提供更好的垂直电导率。另一方面,具有较低镓浓度的夹层 60A-C 可以具有较低的垂直电导率但是可以使整个结构更小地拉伸应变。通常,可以期望在所述结构的顶部附近提供更大的垂直电导率,因为其在结构中形成例如 LED 和 / 或激光二极管的器件的部分。

[0098] 类似地,在一些实施例中,可以期望在所述结构的顶部附近的夹层 60A-C 中提供更高的掺杂浓度。

[0099] 因此,在一些实施例中,在夹层 60A-C 中的镓浓度可以随着夹层 60A-C 离衬底 12 的距离的增加而增加。

[0100] 在一些实施例中, $4\mu\text{m}$ 厚的 GaN 层可以被生长为具有小于 $10\mu\text{m}$ 的晶片弯曲的氮化物层 70。此外,对于厚的氮化物层而言可以实现每小时大约 $12\mu\text{m}$ 的快生长速率。

[0101] 在本发明的另外的实施例中,可以从具有减小或较小拉伸的总应变的厚氮化物层 70 除去衬底 12。包括研磨和 / 或刻蚀的衬底除去技术在本领域中通常是已知的。这样的实施例可以例如适合在生长附加半导体结构过程中用作种晶。这些独立的低应变层可以被用作种晶用来生长更厚的体晶棒 (crystal boule),所述更厚的体晶棒又可以被切成晶片并且被用作用来生长器件的衬底。例如,利用 ELOG 和 / 或悬空外延制造技术,可以利用这

样的半导体结构提供 GaN 层以便进行制造。

[0102] 在形成上述结构的过程中,许多生长参数会影响器件中的应变。例如,渐变层 20 的厚度会影响应变。制造更薄的渐变层 20 会导致所得到的氮化物层 70 的破裂增加。氮化物层 54 的生长温度也可以影响器件中的应变。所述结构的顶部附近的应变可以是单个氮化物层 54 的厚度、以及夹层 60 和氮化物层 54 的生长温度的函数。通常,较低的初始生长温度会导致改善的形态。

[0103] 参考图 4,示出包括厚氮化物层 70D 的结构 10D。特别地,厚氮化物层 70D 可以生长在 1mm 厚、直径为 3 英寸的 (111) 硅衬底 12 上。0.4 μm 厚的 AlN 成核层 14 形成在上述衬底 12 上,并且在成核层 14 上形成 1 到 1.5 μm 厚的渐变 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 层 20D。渐变层 20D 的厚度和 / 或渐变速率会影响结构 10D 承受破裂的能力。例如,将渐变厚度减小 3 倍可能导致破裂。然而,增加渐变厚度超过大约 1.7 μm 对减少另外可能发生的破裂没有效。

[0104] 渐变的 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 层 20D 可以具有从相对较高的铝浓度例如大约 75% 逐渐变化的组分。因此,在一些实施例中,渐变层 20D 可以从与 AlN 成核层 14 的界面处的 $\text{Al}_{0.75}\text{Ga}_{0.25}\text{N}$ 开始,并且可以逐渐变化到组分 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{N}$ 。将渐变层的起始铝浓度减小到例如 33% 可能导致破裂。此外,将起始铝浓度减小到 67% 会导致差的形态。

[0105] 在渐变层 20D 上形成氮化物层 54D 和夹层 60D 的交替堆叠。特别地,在渐变层 120 上形成具有大约 0.4 μm 的厚度的第一 GaN 层 52D,并且然后在所述第一 GaN 层 52D 上形成夹层 60D 和氮化物层 54D。夹层 60D 可以具有大约 15nm 的厚度并且可以在大约 800°C 的温度下生长,而氮化物层 54D 可以具有大约 0.5 μm 的厚度。所述 GaN 层可以以例如大约每小时 12 μm 的相对高的生长速率生长。包括夹层 60D 和氮化物层 54D 的所述堆叠可以被重复例如 8 次以形成具有超过大约 4 μm 的总厚度而不破裂的结构。夹层 60D 可以利用硅以大约 $2 \times 10^{19}\text{cm}^{-3}$ 的浓度进行掺杂,且氮化物层 54D 可以利用硅以大约 $4 \times 10^{18}\text{cm}^{-3}$ 的浓度进行掺杂。

[0106] 在一些实施例中,包括夹层 60D 和 0.5 μm 厚的氮化物层 54D 的所述堆叠可以被重复例如 16 次以形成具有超过大约 8 μm 的总厚度而不破裂的结构。

[0107] 在开始外延生长前通过在高压下消除温度超调量 (temperature overshoot) 也会引起破裂。

[0108] 夹层 60 的厚度也会影响所得到的结构的破裂。例如,形成 20nm 的夹层 60 可以产生具有负 (压缩) 弯曲并且中心无破裂的外延晶片,而形成 10nm 的夹层可以产生具有正 (拉伸) 弯曲并且中心无破裂的外延晶片。

[0109] 在最上的氮化物层 54D 的顶部上以较高的温度 (例如 +40°C) 形成另一 GaN 层可能导致破裂。

[0110] 上述半导体结构的多个生长和 / 或结构参数会影响最上的氮化物层的合成应变 (resulting strain)。例如,氮化物层 70 的总厚度、夹层 60/ 氮化物层 54 对的周期、氮化物层 54 的生长温度和夹层 60 的生长温度会对结构中的合成应变有影响。

[0111] 通常,所得到的外延晶片的曲率 (其是所述外延晶片应变的结果) 可以是所述结构的总厚度以及氮化物层 54 的生长温度的强函数 (strong function)。

[0112] 在外延晶片的顶部的应变可以是夹层之间的周期、夹层 60 的生长温度、以及氮化物层 54 的生长温度的强函数。

[0113] 特别地,增加夹层的生长温度(例如从 700℃到 800℃)可以使所述结构的最上的氮化物层更加拉伸,而增加氮化物层 54 的生长温度(例如从 965℃到 985℃)可以使所述结构的最上的氮化物层更加压缩应变。此外,将夹层 60/ 氮化物层 54 对的周期从 0.5 μm 增加到 1 μm 可以使所述结构的最上的氮化物层更加拉伸应变。

[0114] 例如可以通过原子力显微镜方法 (AFM) 测量氮化物层 54 中的位错密度。根据 AFM, 增加氮化物层 54 的厚度会减小位错密度,而增加夹层的生长温度(例如从 700℃到 800℃)会增加位错密度。可以例如通过在晶片样品上执行 AFM 并且计算晶片的预定面积中的缺陷数目来测量位错缺陷。

[0115] 材料的 PL 强度也可以受多种生长和 / 或结构特性影响。例如,增加氮化物层 70 的总厚度和 / 或增加氮化物层 54 的厚度可以增加材料的蓝色 PL 强度,而增加氮化物层 54 和 / 或夹层 60 的生长温度可以减小蓝色 PL 强度。通常,所述蓝色 PL 强度表示材料中的结构缺陷。因此,通常期望减小蓝色 PL 强度峰值。

[0116] 相比之下,通常期望氮化物材料具有强的带间 (GaN) PL 发射。所述带间 PL 发射可能最强烈地受夹层 60 的生长温度的影响。特别地,增加夹层生长温度可以减小材料的带间 PL 发射。

[0117] 图 5 是类似于图 4 中所示结构的结构的曲率的图,除了成核层为 0.1 μm 厚、第一 GaN 层 52D 为 0.6 μm 厚、以及夹层 60D 和氮化物层 54D 被重复十六次以形成具有超过大约 8 μm 的总厚度的结构以外。特别地,图 5 包括在硅上生长 GaN 过程中原位获得的晶片曲率和反射系数与生长时间的关系曲线。在图 5 中,曲率在最右边的垂直轴上测量,而反射系数在最左边的垂直轴上测量。较负的曲率表示材料处于压应力下,而较正的曲率表示张应力。如图 5 中所示,所述结构显示出基本为压应力。

[0118] 如上所述,流动的硅烷可以促进比别的方式更压缩的层的生长。例如,图 6A 和 6B 示出在有和没有硅烷预处理的情况下对生长氮化物层的晶片曲率的影响。图 6A 的曲线 505 表示在没有硅烷预流动的情形下生长的晶片的曲率。如图 6A 中所示,在没有硅烷预流动的情形下的晶片中的应力趋向于高度拉伸。另一方面,图 6B 的曲线 507 表示在有 1X 硅烷预流动的情形下(即在 SiH_4 与氢的比率为大约 10^{-7} : 1 的运载气体情形下)生长的晶片的曲率。由图 6B 显而易见的是,在有硅烷预流动的情形下晶片中的应力在生长后较小拉伸应变,并且实际上在生长过程的重要部分内是压缩应变。

[0119] 然而,流动太多硅烷可能导致所得到的结构形态差。例如,1 倍的 (1X) 硅烷流动可以产生平滑的表面形态,如图 7A 中所示,而 20 倍的 (20X) 流动可能导致不平坦的表面,如图 7B 中所示。

[0120] 图 8A 和 8B 示出生长温度的变化对应变的影响。特别地,图 8A 和 8B 是类似于图 4 中所示结构的结构的曲率的图,除了夹层 60D 和氮化物层 54D 以 1 μm 的周期重复四次以形成具有大约 4 μm 的总厚度的结构以外。对于对应于图 8A 的结构,AlN 成核层 114 在大约 700℃的温度下生长,而氮化物层 54D 在大约 955℃的温度下生长。对于对应于图 8B 的结构,AlN 夹层 60D 在大约 800℃的温度下生长,而氮化物层 54D 在大约 985℃的温度下生长。如图 8A 和 8B 中所示,与图 8A 对应的其中所述层在较低温度下生长的结构稍微较小的压缩应变。

[0121] 图 9A 和 9B 示出夹层厚度的变化对应变的影响。特别地,图 9A 和 9B 是类似于图 4

中所示结构的结构的曲率图,除了在与图 9A 对应的结构中夹层 60D 的厚度为 20nm,而在与图 9B 对应的结构中夹层 60D 的厚度为 10nm。如图 9A 和 9B 中所示,与图 9A 对应的其中夹层为 20nm 厚的结构表现出指示大压缩应变的强负曲率,而与图 9B 对应的其中夹层为 10nm 厚的结构中的应变较小地弯曲并且在生长期间具有较低的最大应变。

[0122] 图 10A-10C 示出夹层的存在对结构形态的影响。图 10A 到 10C 是类似于图 1 中所示结构的结构的 Nomarski (诺马斯基) 照片,除了在与图 10A 对应的结构中不包括夹层,而在与图 10B 对应的结构中单个夹层 60 被包含在 2 μ m 厚的 GaN 层 24 中,并且在与图 10C 对应的结构中三个夹层 60 被包含在 2 μ m 厚的 GaN 层 24 中。正如图 10A 到 10C 中所示,存在单个夹层 60 使所述结构的表面更光滑,但是存在三个夹层 60 开始使得表面更粗糙。

[0123] 虽然曲率图例如图 5、6A、6B、8A、8B、9A 和 9B 中的那些可以有助于理解根据本发明的一些实施例生长的外延晶片中的应力,但是本领域技术人员将理解的是,例如随机晶片破裂、非镜面表面形态、和 / 或不对称晶片翘曲的原因可能在曲率图中产生异常或意外的影响,并且在相同条件下生长的晶片可能产生不同和 / 或未预料到的结果。因此,在这里介绍的曲率图仅是为了示意性的目的而提供的。

[0124] 在附图和说明书中,已经有本发明的公开的典型实施例,并且,尽管采用了特定术语,但是它们仅是在一般和描述性的意义上被使用并且不用于限制目的,本发明的范围在后面的权利要求中被陈述。

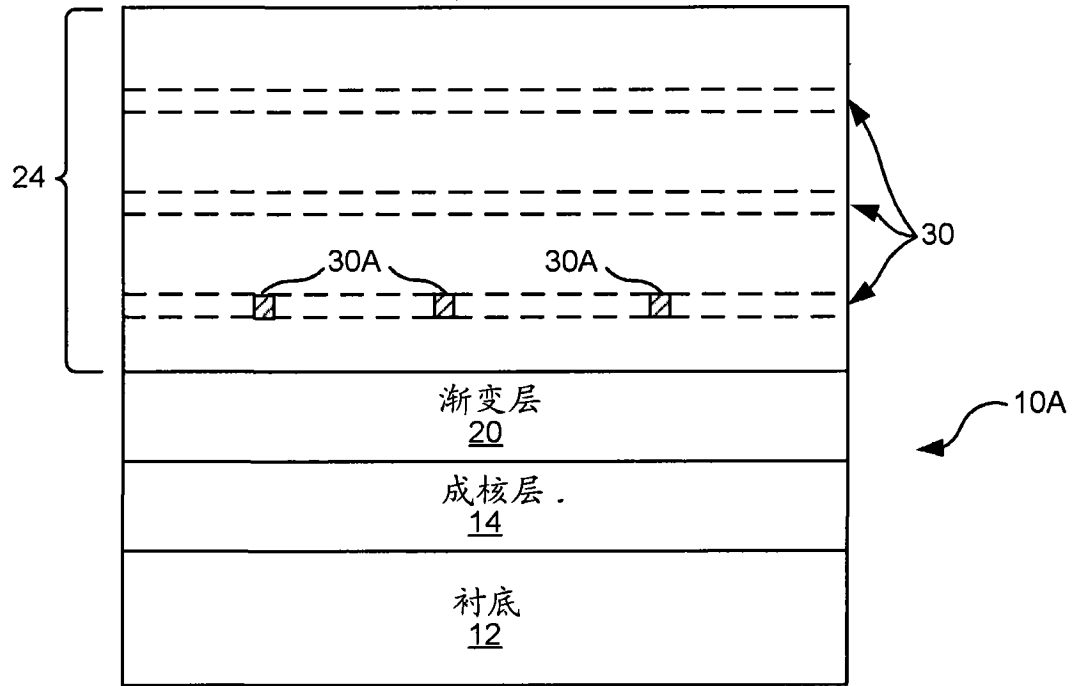


图 1

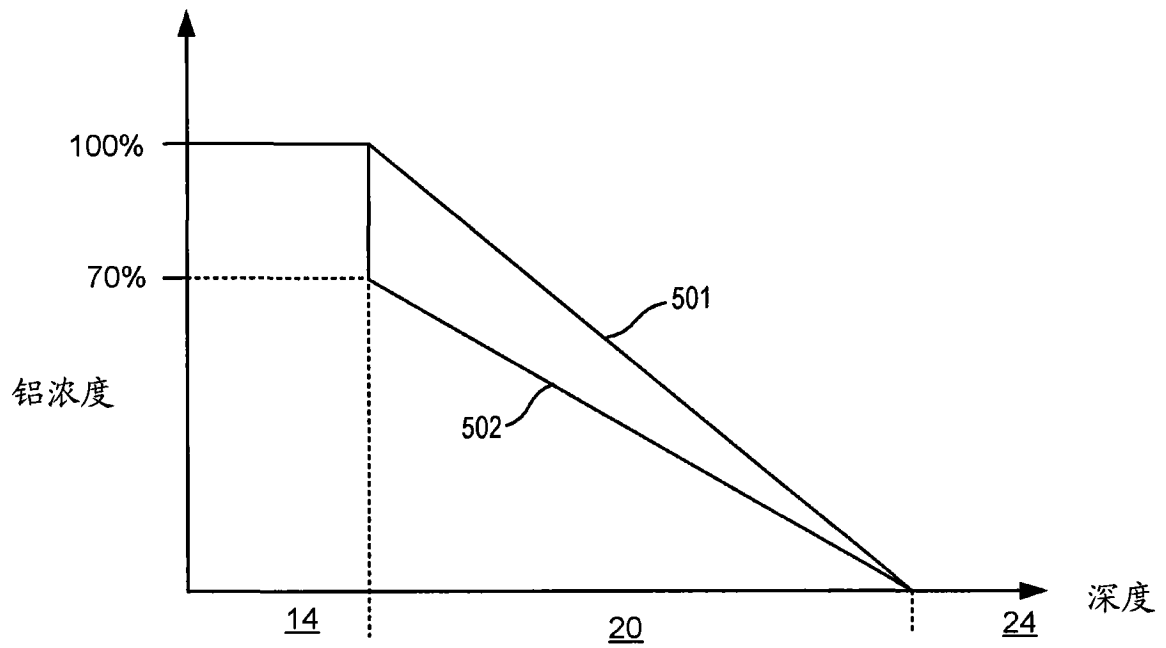


图 1A

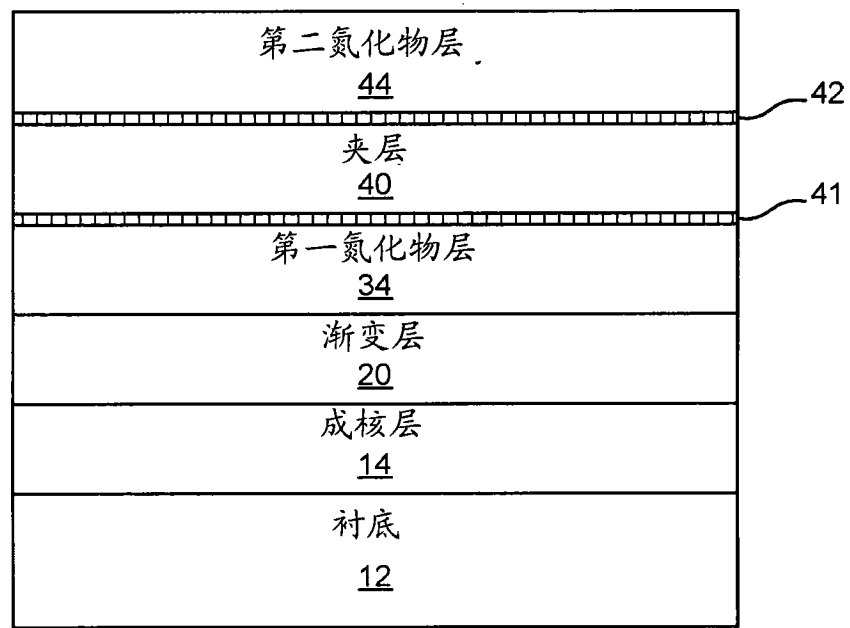


图 2

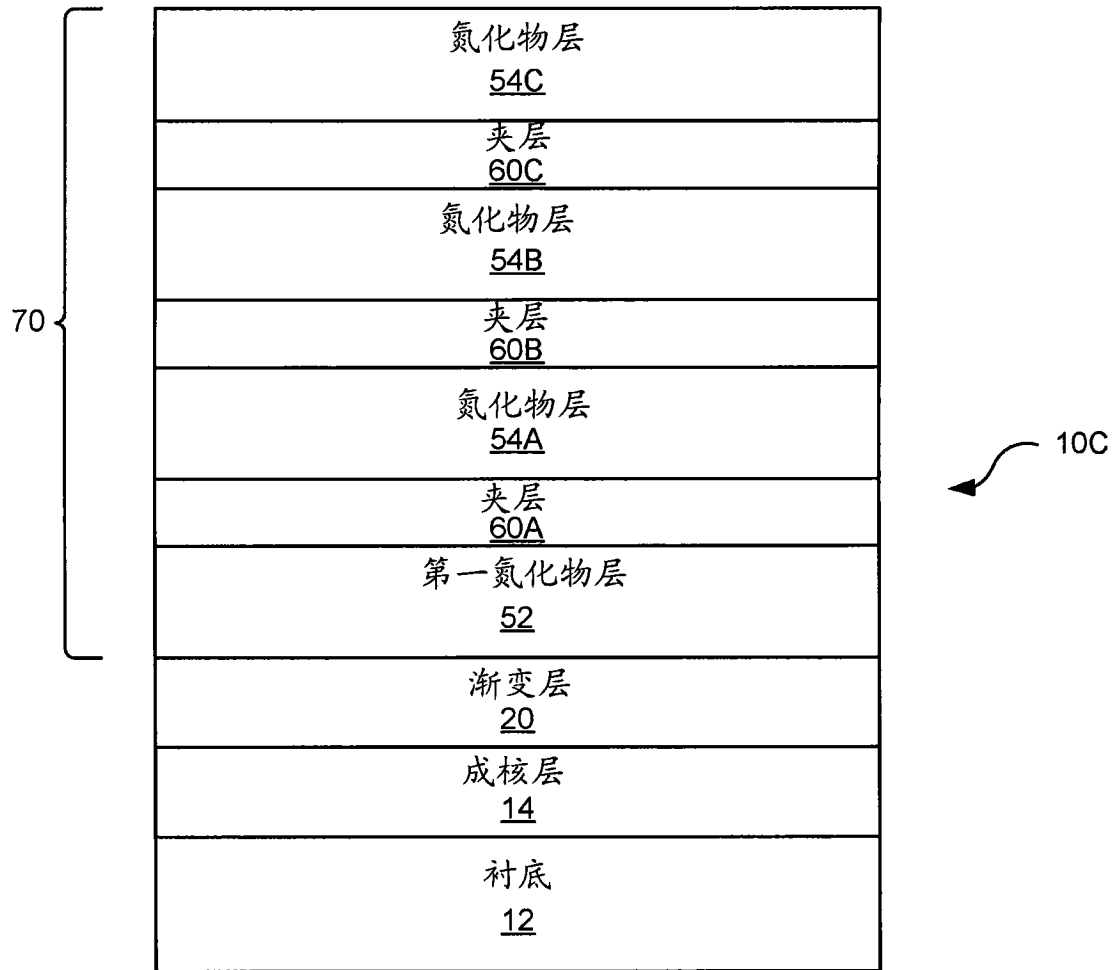


图 3

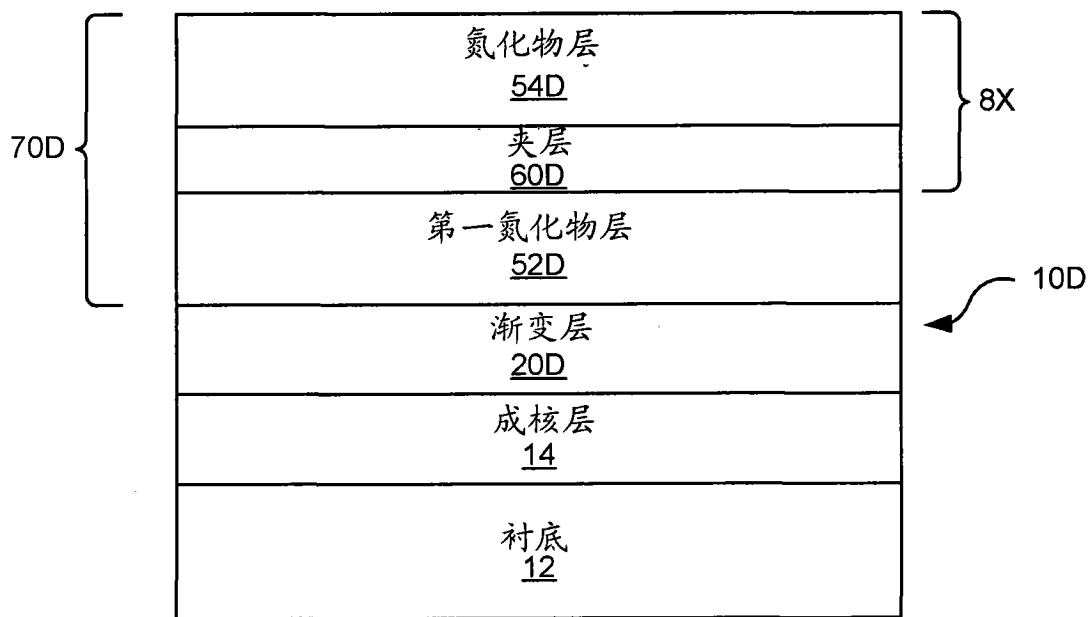


图 4

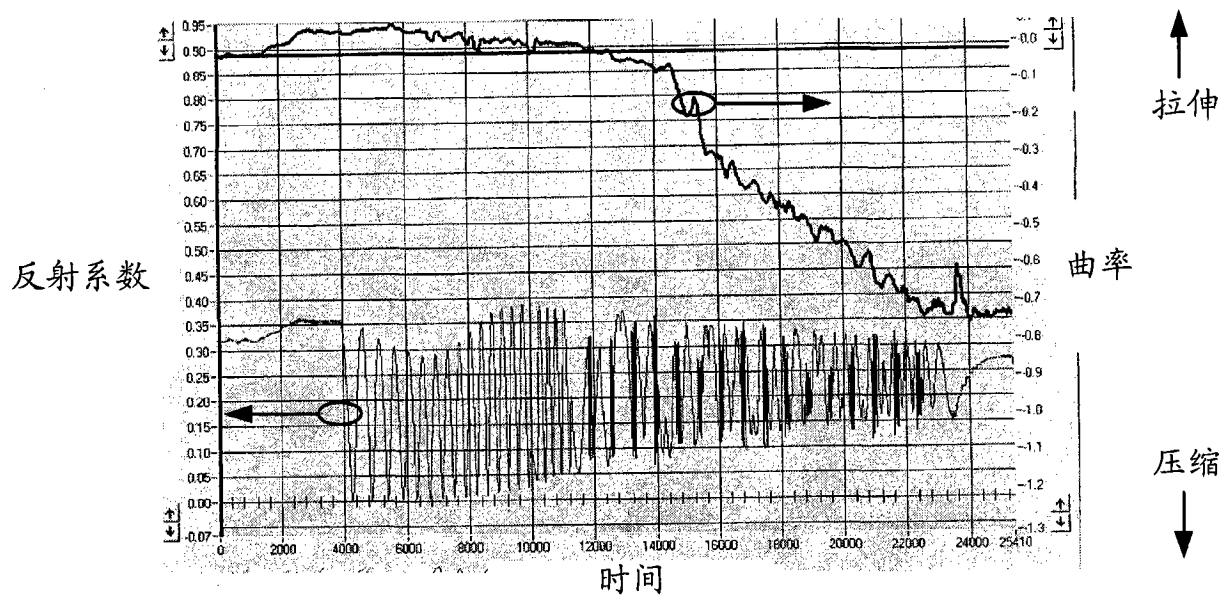


图 5

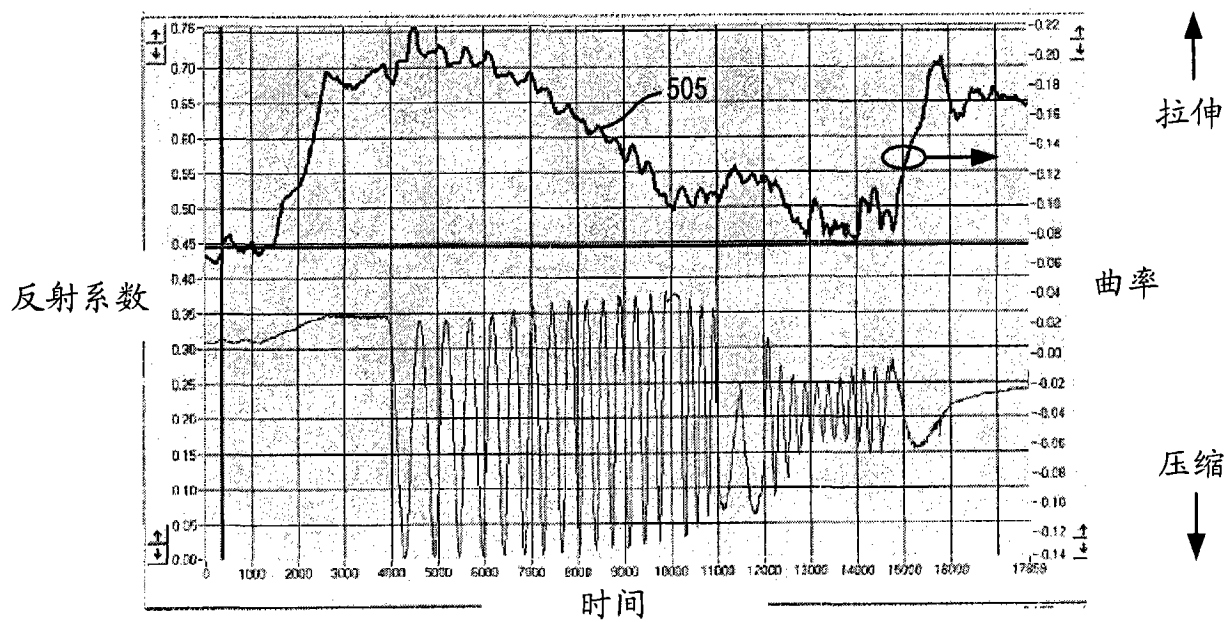


图 6A

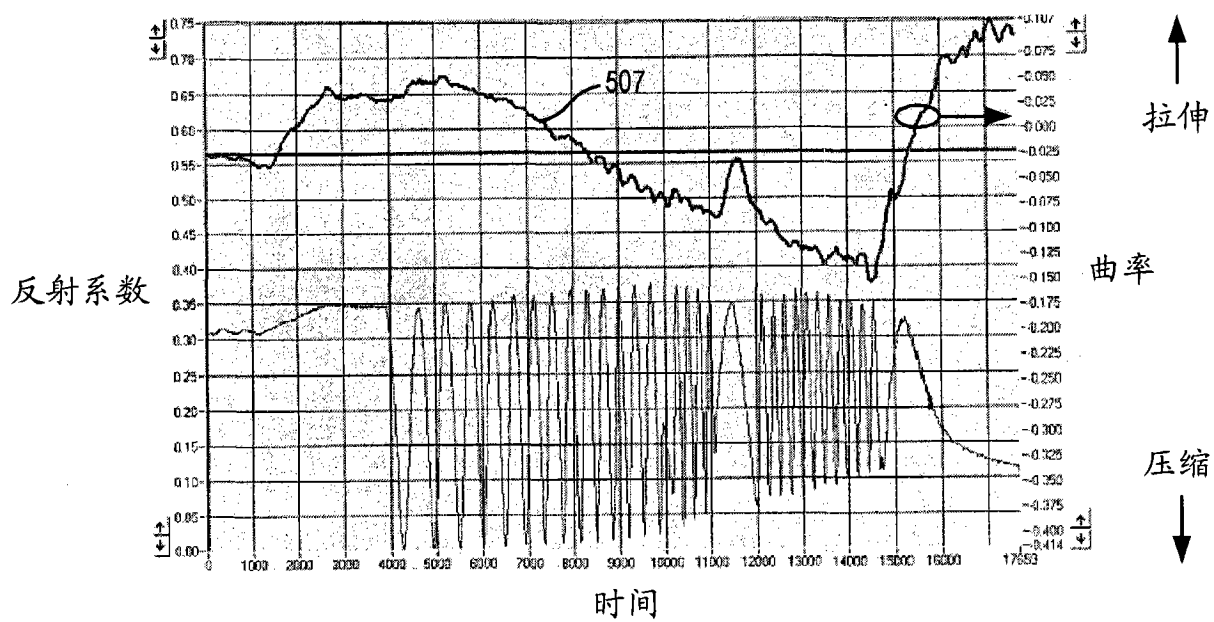


图 6B

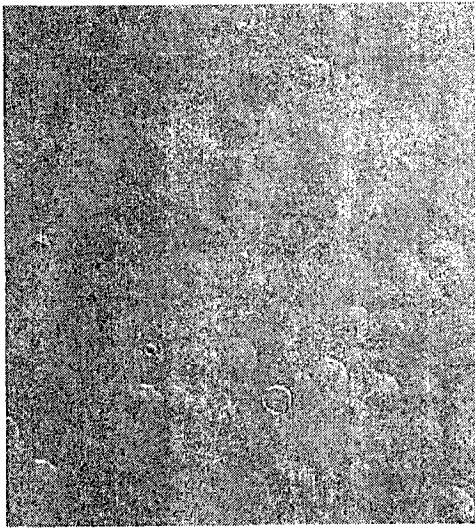


图 7A

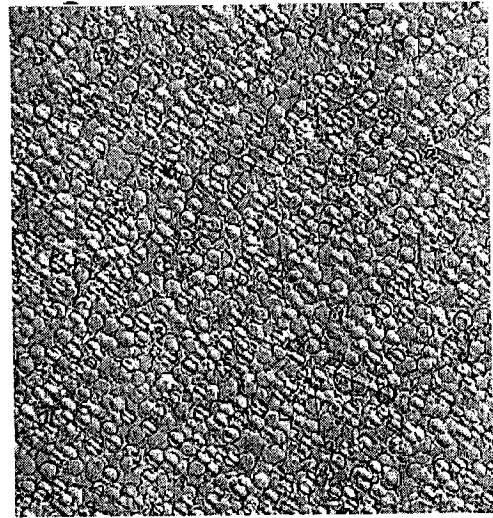


图 7B

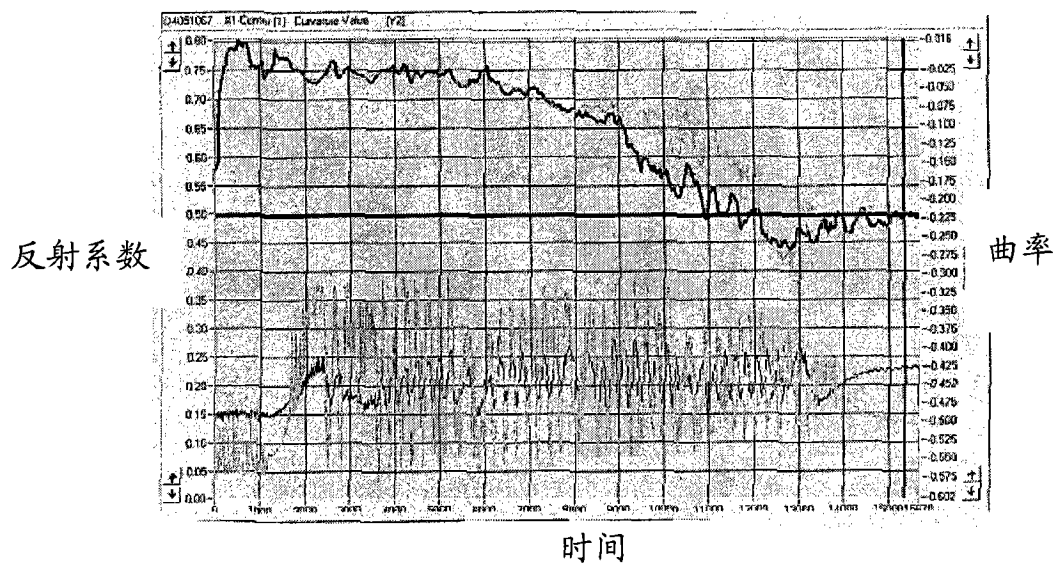


图 8A

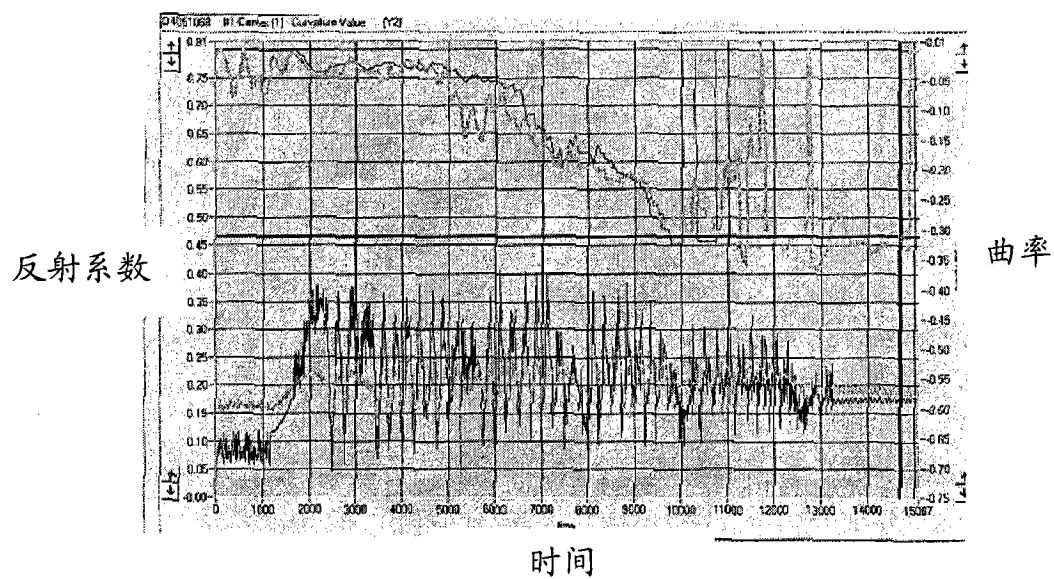


图 8B

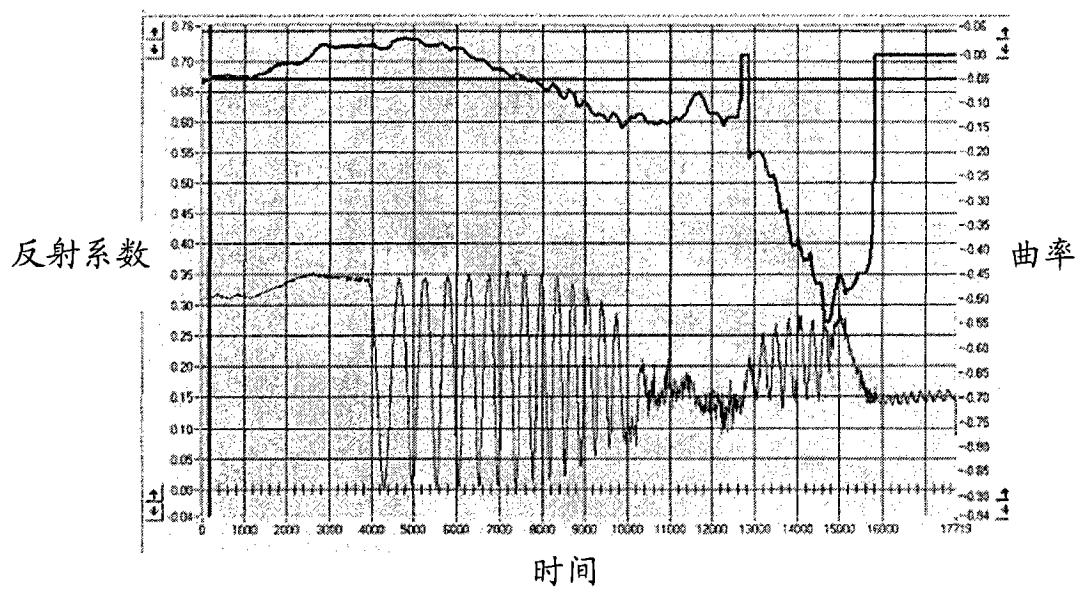


图 9A

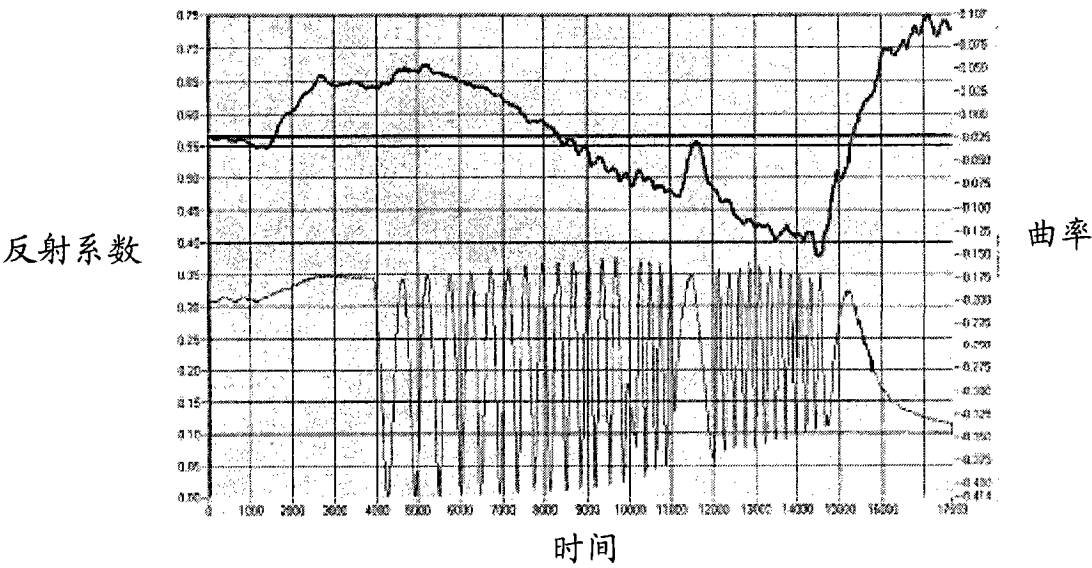


图 9B

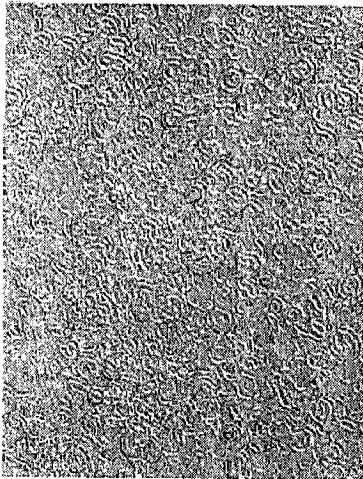


图 10A

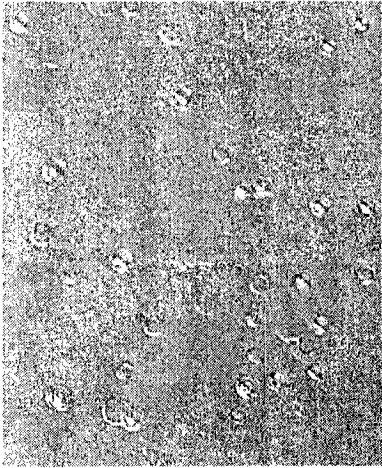


图 10B

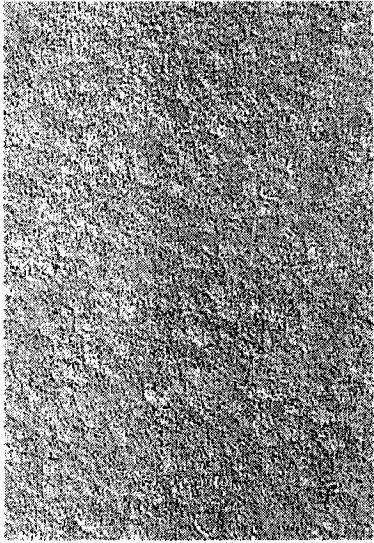


图 10C