



[12] 发明专利申请公开说明书

[21] 申请号 200410090406.X

[43] 公开日 2005 年 6 月 22 日

[11] 公开号 CN 1630066A

[22] 申请日 2004.11.12

[74] 专利代理机构 北京市中咨律师事务所

[21] 申请号 200410090406.X

代理人 于 静 李 峰

[30] 优先权

[32] 2003.11.18 [33] US [31] 10/715,690

[71] 申请人 国际商业机器公司

地址 美国纽约

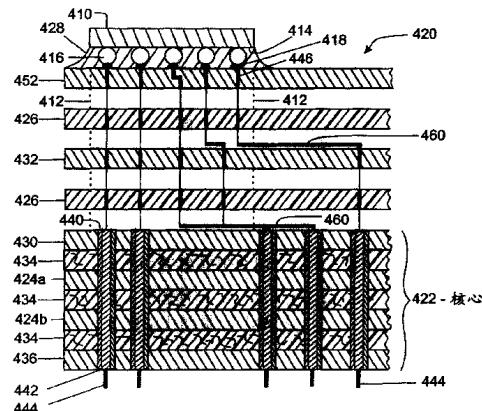
[72] 发明人 I·梅米斯

权利要求书 5 页 说明书 11 页 附图 2 页

[54] 发明名称 高布线能力的微过孔基板

[57] 摘要

通过重新定位从芯片穿过载体的上信号平面的信号，改善了在倒装芯片/球栅阵列组件中从半导体芯片到印制布线板的信号引出。这包括展开电路线从与芯片通信的上表面穿过芯片载体，穿过核心到达信号从载体出来到达印制布线板的下表面。通过更好地利用核心和芯片之间的信号平面的表面积来实现这种展开。信号在每个上信号平面上展开，从而更多的信号可以通过在核心中的过孔传输到下信号平面，在那里它们可以引出到芯片的印迹区的外部，从而增加了引出印迹区的电路密度。



1. 一种包括半导体芯片和芯片载体的子组件，所述载体包括 a) 包含电压/地平面的核心，在所述电压/地平面上形成核心顶部的第一上信号平面，用介质材料层将所述平面彼此隔开；b) 位于第一信号平面上并用介质材料层与第一层隔开的第二上信号平面，以及 c) 用介质材料层与第二信号平面隔开的导电层，该导电层形成载体的上表面，并电连接到定位在芯片载体上的半导体芯片，以通过所述导电层将信号传输到芯片以及从芯片传输到第二信号平面的上表面；所述芯片具有平坦的表面，其边缘在载体上形成印迹图像，来自芯片的信号进入在印迹图像区域中的载体，在第二信号平面的表面上的电路线将第一组信号布线到印迹图像区域外部的位置，并将第二组信号布线靠近印迹区的边缘；电路线连接到穿过第二信号平面向下延伸到第一信号平面的微过孔，在第一信号平面上将至少一部分第二组电路线重新布线到印迹区外部的位置或者在靠近印迹区的边缘的印迹区中的位置，核心具有多个导电过孔，通过这些过孔在芯片和印制布线板之间适于传输所有的信号。

2. 根据权利要求 1 的子组件，其中芯片载体的核心还包括在至少一个电压/电源平面下，并用介质材料层与至少一个电压/电源平面隔开的第一下信号平面，所述载体还包括在所述第一下信号平面下，并用介质材料层与第一下信号平面隔开的第二下信号平面，以及适于附着到印制布线板上的形成载体底部的下导电层，并用介质材料层与第二下信号平面隔开。

3. 根据权利要求 1 的子组件，其中载体通过倒装芯片连接器电连接到芯片的平坦表面。

4. 根据权利要求 3 的子组件，其中倒装芯片连接器包括 C4 连接器。

5. 根据权利要求 1 的子组件，其中载体适于通过球栅阵列连接到印制布线板。

6. 根据权利要求 2 的子组件，其中用玻璃纤维增强在核心中隔开平面的介质层，而没有增强在核心上下隔开信号平面和导电层的介质层。

7. 根据权利要求 1 的子组件，其中第二上信号平面具有包含多个导电焊盘的上表面，以及在所述信号平面上的电路线通过向下穿过焊盘到达第一信号平面的微过孔电连接到导电焊盘。

8. 根据权利要求 1 的子组件，其中在第二信号平面和第一信号平面上重新布线靠近印迹区边缘的电路线向印迹区的边缘移动大约 200 微米到大约 400 微米之间的距离。

9. 一种增加在半导体芯片和印制布线板之间通过芯片载体传输的信号数量的方法，其中芯片具有在芯片载体的平坦上表面上产生虚印迹区的平坦形状，在虚印迹区上安装芯片并通过虚印迹区在芯片和芯片载体之间传输信号，其中芯片载体包括具有至少一个电压/地平面的核心，在电压/地平面上方并用介质材料层与其电隔离开的第一信号平面，所述载体还包括与第一信号平面隔开并用介质层与第一信号平面电隔离的第二信号平面，以及电连接到芯片并用介质层与第二信号平面隔开的上导电层，

该方法包括如下步骤：将在第二信号平面上的第一组信号布线到芯片的印迹区外部的位置。

10. 根据权利要求 9 的方法，还包括如下步骤：将在第二信号平面上的第二组信号从印迹区内布线到靠近印迹区边缘的位置。

11. 根据权利要求 10 的方法，还包括如下步骤：将在第二信号平面上靠近印迹区边缘布线的第二组信号通过在第二信号平面中的微过孔传输到第一信号平面的表面，并将在第一信号平面中的至少部分第二组电路线重新布线到印迹区边缘的外部的位置。

12. 根据权利要求 11 的方法，包括将在第一信号平面上的至少其它部分第二组电路线重新布线靠近印迹区的边缘。

13. 根据权利要求 12 的方法，还包括如下步骤：将其它信号布线到芯片印迹区外部的第一信号平面上的位置。

14. 根据权利要求 13 的方法，包括使所有布线和重新布线的信号穿过载体核心到达印制布线板。

15. 根据权利要求 14 的方法，其中在第一和第二信号平面上沿所述

平面的表面上的导电传输线布线和重新布线所述信号。

16. 根据权利要求 9 的方法，还包括如下步骤：将在上导电层中的至少部分信号布线到印迹区外部或靠近印迹区边缘的位置，并随后将这些信号通过微过孔传输到第二信号平面。

17. 根据权利要求 10 的方法，其中在第一信号平面和第二信号平面的表面上的电路线向印迹区的边缘移动大约 200 微米到大约 400 微米之间的距离。

18. 一种电子封装，包括：

a) 具有包含多个焊料部件的给定平坦表面的半导体芯片，通过所述焊料部件传输信号；

b) 印制布线板；

c) 基板载体，具有

1) 至少一个电源平面，

2) 在至少一个电源平面和半导体芯片之间的至少一个第一上信号平面，以及在电源平面和印制布线板之间的至少一个下信号平面，

3) 在第一上信号平面和半导体芯片之间的导电平面，所述导电平面与在半导体芯片的平坦表面上的多个焊料部件接触，

4) 沿着并穿过上信号平面的电路线，用于在半导体芯片和印制布线板之间传输信号，

其中芯片的平坦表面在基板载体上形成虚印迹区，其边缘限定了芯片的平面形状，并且至少部分电路线在穿过至少一个电源平面之前在所述第一上信号平面的表面上从虚印迹区向印迹区的边缘展开。

19. 根据权利要求 18 的电子封装，其中基板载体包括介于第一上平面和导电平面之间的第二上信号平面，通过介质材料层与这两个平面隔开，其中电路线在第二上信号平面上展开，某些电路线延伸到印迹区的外部，然后，展开的电路线经过第二上信号平面到达第一上信号平面，其中在印迹区中的任何展开的电路线在第一上信号平面上进一步展开，从而至少部分电路线延伸到印迹区的外部，并且所有展开的电路线经过至少一个电源

平面到达印制布线板。

20. 根据权利要求 19 的电子封装，其中在第二信号平面上向印迹区的边缘展开的其它电路线在第一信号平面上展开。

21. 根据权利要求 19 的电子封装，其中在第二信号平面上的电路线向印迹区的边缘展开至少大约 200 微米到大约 400 微米之间的距离，在第一信号平面上的电路线向印迹区的边缘展开大约 200 微米到大约 400 微米之间的距离。

22. 根据权利要求 18 的电子封装，其中基板载体包括核心和嵌在核心中的至少一个电源平面。

23. 根据权利要求 22 的电子封装，其中第一上信号平面形成核心的顶部。

24. 根据权利要求 18 的电子封装，其中基板通过倒装芯片连接电连接到芯片上。

25. 一种制造由半导体芯片、印制布线板和芯片载体构成的电子封装的方法，其中芯片载体连接到印制布线板，以在所述芯片和所述板之间传输信号，所述芯片具有面向载体的平坦表面，通过该平坦表面传输信号，由边缘限定的所述平坦表面在载体上限定了虚芯片印迹区的边界，该方法包括以下步骤：

a) 形成载体核心，所述核心由在包括核心的上表面的第一上信号平面和包括核心的下表面的第一下信号平面之间的至少一个电压/电源平面构成，并用介质材料使每一个平面彼此电隔离；

b) 形成垂直穿过核心的导电过孔，将第一上表面上的电路线连接到第一下平面上的电路线；

c) 在第一信号层的顶部叠置用介质材料层隔开的第二上信号平面，并在第一下信号层的底部叠置用介质层隔开的第二下信号平面；

d) 将在第二上信号平面上的第一组电路线布线到载体上的印迹区外部的位置，并将在第二上信号平面上的第二组电路线布线到靠近印迹区边缘的位置；

- e) 形成穿过第二上信号平面到达核心中的过孔顶部的微过孔，并形成从过孔的底部延伸穿过第二下信号平面到达下导电层的微过孔；
- f) 通过用介质材料层覆盖第二上信号平面，用介质材料层覆盖第二下信号平面，在上导电层上叠置第二上信号平面，并在下导电层上叠置第二下信号平面，来完成载体的装配；
- g) 形成从上导电层向下到达第二上信号平面的微过孔，并形成从下导电层向上到达第二下信号平面的微过孔；
- h) 将半导体芯片电连接到载体的上导电表面；以及
- i) 将印制布线板电连接到载体的下导电表面，从而在上信号平面上布线的至少第一组电路线穿过核心到达印迹区的外部，并且至少部分第二组电路线穿过所述印迹区靠近印迹区的边缘。

26. 根据权利要求 25 的方法，包括将在第二上信号平面的上表面的某些电路线布线到印迹区的外部，并将其它电路线从印迹区布线到靠近印迹区边缘的位置。

27. 根据权利要求 25 的方法，还包括如下步骤：将在第一信号平面上的电路线布线离开印迹区。

28. 根据权利要求 25 的方法，其中芯片载体通过倒装芯片连接电连接到芯片。

29. 根据权利要求 25 的方法，其中载体通过球栅阵列电连接到印制布线板。

30. 根据权利要求 25 的方法，其中靠近印迹区的边缘布线的在第一上信号平面上的电路线和在第二上信号平面上的电路线在各自的表面上向印迹区的边缘移动大约 200 微米到大约 400 微米之间的距离。

高布线能力的微过孔基板

技术领域

本发明涉及增加从半导体微芯片通过芯片载体到达用于例如计算机和电信装置的印制布线板的信号输出密度。更具体地说，本发明涉及该技术在倒装芯片球栅阵列封装中的应用。

背景技术

具有很高输入/输出 (I/O) 量的日益复杂的集成电路的发展伴随着时钟速率的增加，促使新的制造技术的发展。另外，要求便携性的电子装置的数量持续增长，从而要求减小系统尺寸和重量而不影响可靠性。除此之外，宽带的出现大大增加了对在集成器件及其封装中信号传输的要求。由于这些趋势，印制电路板组件必须依靠更细的线、更小的盲孔或通孔或者穿过芯片载体的过孔来增加互连的密度，并降低整个组件的厚度。

进一步减小这些元件的尺寸和重量的一个因素是将芯片电连接到印制电路板的能力，从而来自芯片的信号尽可能有效地排列在板的所有必需的位置。

存在多种技术，例如，引线接合和倒装芯片安装，用于连接芯片和载体。一种倒装芯片安装，即受控坍陷芯片连接 (controlled collapse chip connection) (在本领域通常称作 C4)，是芯片输出，通过设计使芯片可以通过芯片载体连接到印制电路板。最初，由于回流在芯片上的锡焊料所需的高温的不利影响要求载体基板与硅芯片的热膨胀系数匹配，所以 C4 技术仅用于陶瓷基板。但是，随着如 FR-4 的低成本介质和标准回流连接时间/温度分布的发展，该问题不再是不能克服的。在芯片和载体之间密封的受控膨胀环氧树脂用来将在芯片和基板之间由热膨胀不匹配引入的焊料

连接上的循环应变减到最小。不使用密封剂，连接的热循环疲劳寿命将是不能接受的。典型的 C4 结构包括具有大量由铝或铜制成的导电表面焊盘的硅半导体芯片。高温焊料和共晶焊料用来将芯片上的每个焊盘与陶瓷或玻璃-环氧树脂基板上对应的焊盘连接。然后，在如受控膨胀环氧树脂密封剂的底充树脂中密封互连。通过在连接中使用的两种不同的焊料吸收如热应力的应力。在底充树脂中密封之前很容易进行修理。

理想情况下，通过下面的载体基板将半导体芯片的信号 100% 地“引出 (escape)”是很重要的。这通常通过使基板大于芯片，并“展开 (fanning)”传输线从而在更大的表面积上分配信号元件，来在 C4 组件中实现。而且，通过在基板中采用多电路层，通过导电过孔将信号传入基板的多层次中。在 C4 技术中，通过将来自芯片的每个输出焊接到基板中选择的信号层，来进行电连接。如果从芯片输出 (引出) 的信号少于 100%，则必须使芯片的平面更大，或减少芯片中如微处理器逻辑或存储器的功能元件的数量。没有能力使用这些元件中的一部分，系统的整体功能将受损。

C4 区域排列互连为半导体芯片提供了许多优点。其中包括更高的性能、更高的集成度和减少芯片面积以及增强可靠性。在宏观级别，C4 技术降低了产品尺寸和重量。与其它互连技术相比，便于元件的重做 (rework)。

下面的载体基板建立在一般包括一或两个彼此分离的电压/地平面并用玻璃加固介质接合成一个组件的核心上。在该核心的每一侧叠置 1 到 4 层以提供信号平面，稳定性以及引入和引出核心的布线。该结构支撑芯片以及安装在结构表面上的其它有源和无源元件。微过孔传输信号通过载体基板到达通过球栅阵列或类似系统与载体连接的印制布线板。

发明内容

本发明的一个目的是允许减小芯片尺寸同时保持布线密度。

本发明的另一目的是可以减少芯片载体中的信号层的数量而不牺牲布线密度。

本发明的再一目的是为芯片信号元件提供穿过芯片载体的更宽的 I/O

方案。

通过阅读在包括半导体芯片、印制布线板和基板载体的电子封装中实现的本说明书，这些以及其它目的和优点将变得显而易见，其中所述半导体芯片具有包含多个焊料部件的给定平坦表面。载体包括至少一个电源平面、在电源平面和芯片之间的至少一个第一上信号平面以及在电源平面和印制布线板之间的至少一个下信号平面。导电平面在上信号平面上，并与在半导体芯片的平坦表面上的多个焊料部件接触。优选，通过倒装芯片连接电连接到芯片上。电路线经过在芯片和印制布线板之间用于传输信号的基板的平面。芯片的平坦表面在基板载体上形成虚印迹（footprint）区，其边缘限定了芯片的平面形状。至少部分电路线在上信号平面的表面上从虚印迹区向靠近虚印迹区的边缘或印迹区的外部的平面的表面上的位置展开。从那里，电路线经过电源平面。通常，基板载体包括介于第一上平面和导电平面之间的第二上信号平面。该第二信号平面通过介质材料层与上述这些平面隔开。来自导电平面的电路线在第二上信号平面上展开，某些电路线延伸到印迹区的外部。然后，所有展开的电路线经过第二上信号平面到达第一上信号平面，在那里在印迹区中的展开的电路线在第一信号平面上再次展开，至少部分电路线延伸到印迹区的外部，并且其它电路线移向更靠近所述区域的边缘。所有展开的电路线经过至少一个电源平面到达印制布线板。应当注意，没有在第二信号层上展开的其它电路线可以在第一信号层上展开，至少其中的一部分延伸到印迹区的外部。在第一或第二信号层上展开超过印迹区的边缘的重新布线的电路线向印迹区的边缘移动大约 200 微米到大约 400 微米之间的距离，以将它们重新布线穿过在核心中的 PTH，并最终在下信号层展开。基板载体一般包括核心和嵌在核心中的电源平面或多个平面。在该排列中，第一上信号平面可以形成核心的顶部。

此外，本发明涉及子组件及其制造方法。子组件包括半导体芯片和芯片载体。载体包括用增强的介质层彼此隔开的含有至少一个电压/地平面和第一上信号平面的核心。第二上信号平面位于第一信号平面上，并用介质

层隔开。导电层用介质层与第二信号层隔开。该导电层形成载体的上表面，并电连接到半导体芯片，以通过与导电层的上表面上的印迹区中的导电接触相接触的在芯片底部的多个导电焊盘，在芯片和印制布线板之间传输信号。芯片具有由芯片的边缘限定的平坦表面。平坦表面的区域在载体上形成虚印迹区。电路线或电路轨迹将信号从导电层电传输到第二信号层。在第二信号层的表面上的这些轨迹或传输线重新布线第一组电路线超过芯片印迹，并移动第二组电路线靠近芯片印迹的边缘。所述轨迹连接到从第二信号平面向下延伸到第一信号平面的上表面的微过孔。在靠近边缘的印迹中的第二信号平面的表面上重新布线的至少部分轨迹在第一信号平面的表面上移动到超过印迹边缘的位置。核心通常包括用增强的介质层与至少一个电压/电源平面隔开的第一下信号层。多个导电过孔在第一上和第一下信号层之间延伸，通过这些过孔传输芯片信号。第二下信号层用介质材料层与第一下信号层隔开，并且适于附着到印制布线板的下导电层用介质层与第二下信号层隔开。微过孔连接到每个过孔以通过下导电平面在核心的底部之间传输信号。通常，载体通过倒装芯片连接器，例如，C4 连接器，连接到芯片。载体适于通过球栅阵列连接到印制布线板。

首先通过装配由至少一个电压/电源平面构成的核心、在核心的上表面上形成的第一上信号平面以及在平面的下表面上形成的第一下信号平面，并用增强的介质材料层电隔离各个平面，来制备芯片载体。随后，形成垂直延伸从上表面到下表面穿过核心的导电过孔。第二上信号层和第二下信号层通过介质层叠置在核心上。通过用薄介质层覆盖第二上和下信号层，并在介质层上叠置上导电层和下导电层，来完成载体组件。半导体芯片通过倒装芯片连接，例如，C4 连接器，电连接到上导电表面。芯片具有带剖面印迹的平坦表面，通过该表面所有的信号在芯片和载体之间传输。该方法包括以下步骤：在第二上信号平面上布线某些电路线离开印迹区，并靠近印迹的边缘移动其它电路线大约 200 微米到 400 微米之间的距离。所有的电路线经过在第二上信号平面中的微过孔到达第一信号平面的上表面，其中电路线进一步向印迹区的边缘移动，某些线延伸超过印迹区，然后所

有的电路线通过核心中的过孔连接到第二下信号平面。

本发明还涉及通过芯片载体增加在半导体芯片的平坦表面和印制布线板之间传输信号的数量的方法。芯片的平坦表面在安装芯片的芯片载体的平坦上表面上产生虚印迹区，并通过该虚印迹区在芯片和芯片载体之间传输信号。芯片载体包括具有至少一个电压/地平面的核心以及在电压/地平面上方并用介质材料层与其电隔离开的第一信号平面。载体还包括用介质层与第一信号平面电隔离开的第二信号平面，以及电连接到芯片并用介质层与第二信号平面隔开的上导电层。在第二信号平面上将第一组信号布线到芯片的印迹区外部的位置。在第二信号平面上从印迹区内将第二组信号布线到靠近印迹区边缘的位置。在第二信号平面上靠近印迹区边缘布线的第二组信号经过在第二信号平面中的微过孔到达第一信号平面的表面，并在第一信号平面上将至少其中的一部分重新布线到印迹区边缘外部的位置。也可以将第一信号平面上的部分第二组电路线重新布线到靠近印迹区的边缘。也可以将第一信号平面上其它信号布线到靠近印迹区边缘和芯片印迹区外部的位置。通常，在第一信号平面和第二信号平面的表面上靠近印迹区边缘的电路线沿靠近边缘的方向移动大约 200 微米和大约 400 微米之间的距离。靠近印迹区边缘的信号穿过核心，然后在下信号平面的印迹区的外部布线。通常在第一和第二信号平面上沿所述平面的表面上的导电传输线布线和重新布线信号。该方法还包括以下步骤：将上导电层中的至少部分信号布线到印迹区的外部或靠近印迹区边缘的位置，随后，这些信号通过微过孔连接到第二信号平面。

附图说明

图 1 是根据现有技术的芯片组件的剖面正视图；

图 2 是图 1 的上信号层的局部放大图；

图 3 是图 1 的上信号层的局部放大图；

图 4 是根据本发明的芯片组件的剖面正视图；

图 5 是图 4 的最上信号层的局部放大图；以及

图 6 是紧挨着图 4 所示的上信号层下面的信号层的局部放大图。

具体实施方式

芯片通常用表现出半导体特性的如硅的材料制成。芯片安装在随后安装在印制布线板上的载体上。载体包含大量小导电路径，根据本发明的目的被称作穿过核心的过孔和穿过载体的其余部分的微过孔，用于在芯片和印制布线板之间传输信号。载体包括核心和在核心上的一个或多个信号平面。根据功耗的要求，核心包括一个或多个电压/地平面，用增强的介质材料彼此隔开这些平面。一个铜的导电信号层形成核心的顶部，标记为 FC-1。第二导电层形成位于核心顶部的第二信号层，标记为 FC-2。如果在核心顶部还使用其它信号层，它们标记为 FC-3……FC-x，-x 层最接近面向芯片的载体的表面。同样，核心的底部包括标记为 BC-1 的信号平面。其下面是第二信号平面，标记为 BC-2，可能还有一个或多个其它信号平面，BC-x 最接近面向印制布线板的载体的下表面。在核心的顶部或底部上的所有信号平面用介质材料薄层彼此隔开，介质材料通常为不增强的环氧树脂。

子组件通常如下产生。首先，核心与一个，更一般地为两个电压/地层装配在一起，该电压/地层被嵌入适当的基板材料，例如，玻璃纤维增强的环氧树脂。核心不仅为电路供电，而且还为载体额外提供结构强度和硬度，从而载体可以支撑表面安装的有源和无源器件，例如，半导体芯片、电容、电阻和门。包括信号平面 FC-1 的核心的上表面叠置在核心的基板材料上。同样，信号平面 BC-1 叠置在基板材料的下表面上，并对这些层施加压力和热，以硬化介质并形成完整的核心。在每个信号层和电压/地层之间的增强的树脂材料的厚度通常为大约 100 微米。每个电压/地平面为大约 25 微米厚，并包括经过蚀刻的铜，以提供连接到垂直穿过核心的电路的导电电压条。电压/地平面（如果超过一个）用厚度大约为 0.6mm 的环氧树脂/玻璃层隔开。信号平面 FC-1 和 BC-1 的厚度大约为 12 微米，并用厚度大约为 100 微米的增强介质层与电压/地平面隔开。核心在压力和热下叠置在一起，形成一个整体。

然后穿过核心钻孔，以形成从 FC-1 层到 BC-1 的过孔。采用机械钻孔而不是激光钻孔，因为激光钻孔不能有效的穿过树脂/玻璃介质层。因此，孔的直径范围从大约 150 微米到大约 300 微米，而不是用激光才能实现的大约 25 到 150 微米。然后，根据众所周知的技术，通过适当的方式，例如，无电镀、电解或化学镀或者这些工艺的组合，用如铜的金属导电层电镀这些孔。在叠置和过孔形成之后，在进一步加工之前，测试核心的连通性。

下一步骤包括在两个信号平面 FC-1、BC-1 的平坦表面上施加介质膜，随后在核心的顶部叠置第二信号层 FC-2，在核心的底部叠置第二信号层 BC-2。在核心上面和下面的介质膜一般由没有用玻璃增强的环氧树脂制成。这使得在未增强的介质层中的两个信号层可以用激光或等离子体束钻孔，以提供大约 50 微米的直径更小的孔。该钻孔步骤之后，根据已知技术，用铜导电层电镀孔。

在 FC-2 层的顶部淀积另一未增强的介质层，例如，环氧树脂，铺成厚度大约为 40 微米的液体膜或薄膜。叠置在该介质膜上的是铜的 C-4 层，厚度大约为 16 微米。该层与芯片的底部上的电接触接合，用底充材料牢固地将芯片固定在载体上。称作 BGA 层的类似的铜层叠置在淀积在 BC-2 层与印制布线板之间的未增强的介质膜上。通过介质层和球栅阵列（BGA）将 BGA 层连接到板上。典型的印制布线板为矩形形状，尺寸比芯片大很多倍，或许是 400 乘 500 毫米。

还应当理解，所构成的载体在核心中也可以没有信号层。相反，所有的信号平面在核心上下间隔开，并且彼此电隔离。

在图 1、2 和 3 中可以看到现有技术的方案，分别示出了整个倒装芯片/球栅阵列组件的垂直剖面图、FC-2 信号平面的一小段的平面图和 FC-1 信号平面的一小段的平面图。图 4、5 和 6 类似于图 1、2 和 3，示出了本发明的方案。四个图 2、3、5 和 6 的每一个示出了在信号层的表面上的多个电路线。通常，载体为平面尺寸大约为 30 乘 40 毫米的矩形或正方形，在每个信号层上具有多达 1000 个这些电路线。

现在参考图 1，示出了包括半导体芯片 110、芯片载体 120 和印制布线

板 150 的整个封装。芯片 110 定位在芯片载体 120 上，并通过 C-4 连接或其它倒装芯片附件与芯片载体 120 电连接。芯片通常为矩形或正方形，边长在大约 6 到大约 18 毫米之间。芯片的外形在芯片载体上产生虚印迹，如虚线 112 所示。在芯片的下表面 114 上是电接触 116 的大阵列，一些接触位于芯片的边缘，其它接触分布在边缘的内部。通过这些接触，信号通过载体 120 在芯片和印制布线板 150 之间传输。

显示出芯片载体或微过孔基板 120 具有核心 122，该核心 122 包括两个由增强的介质材料 134，例如，玻璃纤维增强的环氧树脂，彼此电隔离的电源平面 V-1 (124a) 和 V-2 (124b)。核心 122 的顶层为第一信号平面，FC-1 (130)。第二信号平面，FC-2 (132)，叠置在第一信号平面的顶部。这些层的每一个都是导电的，并优选由铜构成。它们由未增强的介质层 126 彼此在物理上和电气上隔离。应当注意，图 1 没有按比例绘出。虽然显示的介质层比导电平面薄，但介质层的厚度通常是这些平面的几倍。

所显示的多个过孔 140 成直角地从 FC-1 130 的平坦表面穿过核心 122 和第一底层 BC-1 136 延伸到第二下信号层 BC-2 (138)。这些过孔为电镀的通孔，一般通过例如属于本发明的受让人的美国专利 6,418,616 B2 所示的方法用颗粒填充的树脂 142 填充。过孔的顶部连接到延伸穿过 FC-2 信号层到达 C4 层的微过孔 146，其中微过孔 146 通过在 C4 层上的焊盘 118 连接到芯片 110 底部上的接触 116。通过照相蚀刻工艺或激光钻孔形成微过孔，随后在微过孔的壁上沉积导电铜层。该照相蚀刻工艺包括在常规双面板的表面上施加光敏介质膜层。然后照相成像 (photoimage) 该膜，以限定照相过孔 (photovia)。随后显影照相过孔，之后准备增强表面的附着力。然后对整个板进行无电镀、光学处理和蚀刻。另一方面，通过激光钻孔或机械钻孔产生大过孔。

核心 122 的下表面包括第一下信号平面 BC-1 136。第二信号平面 BC-2 (138) 在第一下信号平面的下面。这些层中的每一个都是导电的，并优选由铜构成。它们由未增强的介质层 126 以与隔离上信号平面相同的方式彼此在物理上和电气上隔离。载体 120 的底部包括称作 BGA 层的另一导电

铜层 142，因为通过该层，载体 120 通过球栅阵列 148 中的球 152 电连接到印制布线板 150。微过孔 144 将过孔 140 底部之间的信号传输到球栅阵列 148 并因此到印制布线板 150。

图 2 详细地示出了根据现有技术在上信号平面 FC-2 132 的表面上的电路线的典型布线。虚线 112 示出了在 FC-2 的表面上的芯片印迹。许多电路线 160、162 与多个导电焊盘 164 一起示出，每个焊盘具有垂直穿过中间的微过孔。焊盘 164t 的水平行从 C4 层延伸到 FC-2 层 132 的表面。焊盘 164b 的水平行穿过 FC-2 层到达下面的 FC-1 层的上表面。焊盘的直径大约为 80 微米。在一行中的焊盘 164t 与在下一个相邻水平行中的焊盘 164b 相隔大约 300 微米。某些电路线 160 ‘引出’ 到达印迹 112 的外部，而其它 162 则以一定的角度从印迹区的内部伸向印迹区的边缘 112，或者平行于边缘或返回印迹区的内部。因此，没有引出的电路线很好地保留在印迹区的内部。在 FC-2 层 132 上的电路线通常为 25 微米宽，并彼此间隔大约 25 微米。

在图 3 中示出了现有技术的 FC-1 层 130 的上表面。用虚线 112 示出了芯片的印迹轮廓。这里，将电路线布线为通过过孔穿过 FC-1 层和核心，然后通过微过孔穿过下信号平面，然后穿过下信号和 BGA 层进入印制布线板。还有几个电路线 160 ‘引出’ 到达印迹 112 的外部。该结构导致电路线非常高的集中，导致某些信号为了穿过在芯片的印迹区中的核心中的过孔而争夺空间，由此，由于在核心中的过孔缺乏足够的空间而影响芯片的相应功能。应当记住，核心过孔的直径在 150 微米到 300 微米之间，而钻孔穿过信号平面的微过孔的直径在 50 微米的数量级。这要求在核心中的过孔的轴线间距是在 FC-2 层中的微过孔的轴线间距的几倍。不能 ‘引出’ 核心或穿过核心的信号被阻挡。

在图 4、5 和 6 中示出了根据本发明的电路线的图形。图 4-6 类似于现有技术的图，除了在图 4-6 中电路线从 FC-2 信号平面 432 的上表面和 FC-1 信号平面 430 的上表面上展开输出。还应当注意，在 C4 层中也可以出现一些展开输出，如图所示。

图 4 示出了从半导体芯片 410 和芯片载体 420 到核心 422 的封装组件，但是没有示出下信号平面、印制布线板或球栅互连。如上所述，芯片 410 定位在芯片载体 420 上，并且通过 C-4 连接或其它倒装芯片附件与芯片载体 420 电连接。由虚线 412 表示在芯片载体上的芯片印迹。在芯片的下表面 414 上是电接触 416 的大阵列，一些接触位于芯片的边缘，其它接触分布在边缘的内部。这些接触与 C-4 层 452 的顶部上的相应的导电焊盘 418 连接。环氧树脂底充 428 将芯片互连固定在 C-4 层 452 上。

多个微过孔 446 从 C-4 层 452 延伸穿过介质层 426，并穿过 FC-2 432 的平坦表面，到达过孔 440，过孔 440 穿过 FC-1 层 430 和核心 422 到达穿过 BC-2 层和 BGA 层的微过孔（未示出），以在基板 420 的各层之间并穿过它们提供通信。虚线 412 示出了在图 5 的 FC-2 层的上表面和图 6 的 FC-1 层的上表面上的芯片印迹的轮廓。

图 5 示出了许多信号传输线 460、462 以及 6 个导电焊盘 464b、464t 的水平行，每个焊盘具有垂直穿过焊盘中间的微过孔。每个微过孔 446 从 C-4 层向下延伸到 FC-2 层的表面，并由电路线 460 或 462 连接到在下一个水平行中对应的焊盘 464b，该焊盘随后连接到穿过 FC-2 层向下延伸到 FC-1 层的微过孔。某些电路线 460 ‘引出’ 到达印迹 412 的外部，而其它电路线 462 则以一定角度从印迹区的内部伸向印迹区的边缘。在 FC-2 层上的这些传输线最好通过图形电镀形成。

电路线 462 通过焊盘 464 中间的过孔连接到 FC-1 层 430 的上表面，如图 6 所示。通常，在 FC-1 层 430 上的这些线的直径为大约 35 微米，相隔大约 40 微米。由于这些线比在 FC-2 层上的线粗，所以在 FC-1 表面上能够布的线较少，因此，在 FC-1 层上的线密度小于 FC-2 层上的线密度。由此，示出了在焊盘的每一行中的 4 个电路线 460，引出在 FC-1 层上的印迹区，与此相比，在 FC-2 层上有 5 或 6 个更细的电路线。其它线 462 向着印迹的边缘布线，但是没有在印迹的外部结束。但是，因为通常在芯片边缘下面的线密度比芯片中央的线密度低，所以本发明的载体允许更多的信号在芯片和印制布线板之间传输。将信号布线为通过过孔 440 从 FC-1 层

向下穿过核心 422 到达微过孔 444，并穿过没有示出的下信号平面、BGA 层和球栅阵列 448 到达印制布线板。这种电路线的重新布线增加了穿过核心的过孔 440 的可用面积，并增加了可以布线到基板的下半部分的信号的数量。因此，显著减少了由于核心中缺乏过孔的空间而被阻挡的信号的数量。

使用本发明的方案，可以将多达 40 到 50% 的信号布线穿过芯片载体，而不增加信号层的数量。相反，可以减少在芯片载体中所需的信号层的数量而不减少从芯片到印制布线板的电路传输线的数量。换句话说，穿过芯片到达使用 9.8mm^2 芯片的印制布线板的信号数量与穿过现有技术中 18mm^2 芯片的数量相当。

虽然针对在核心的上下分别具有一个信号平面的芯片载体介绍了本发明，但是应当注意，本发明同样适用于在核心的上下分别具有两个或更多信号平面的芯片载体。而且，还适用于芯片载体的其它结构，包括 2-2-2、1-2-1 或信号和电压/地平面的其它排列。

虽然结合特定的实施例介绍了本发明，但是在其范围内存在许多选择、修改和变化。因此，本发明试图包含落入由所附权利要求书定义和限制的本发明的精神和范围内的这种选择、修改和变化。

