

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 4 区分

【発行日】平成 19 年 8 月 16 日 (2007.8.16)

【公開番号】特開 2001-344978 (P2001-344978A)

【公開日】平成 13 年 12 月 14 日 (2001.12.14)

【出願番号】特願 2000-159480 (P2000-159480)

【国際特許分類】

**G 1 1 C 11/413 (2006.01)**

**H 0 3 K 5/135 (2006.01)**

**G 1 1 C 11/417 (2006.01)**

**G 1 1 C 11/408 (2006.01)**

**G 1 1 C 11/407 (2006.01)**

**G 1 1 C 11/401 (2006.01)**

**H 0 1 L 21/822 (2006.01)**

**H 0 1 L 27/04 (2006.01)**

【F I】

G 1 1 C 11/34 3 0 2 A

H 0 3 K 5/135

G 1 1 C 11/34 J

G 1 1 C 11/34 3 0 3

G 1 1 C 11/34 3 0 5

G 1 1 C 11/34 3 5 4 B

G 1 1 C 11/34 3 6 2 S

G 1 1 C 11/34 3 7 1 D

H 0 1 L 27/04 F

【手続補正書】

【提出日】平成 19 年 6 月 28 日 (2007.6.28)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

メモリセルアレイと、

クロックを取り込んで内部クロックを発生するクロックバッファと、

このクロックバッファから発生される内部クロックによりアドレス信号を取り込むアドレスバッファと、

このアドレスバッファから出力される内部アドレス信号をデコードして前記メモリセルアレイのワード線を選択するための、第 1 段デコーダ及びこの第 1 段デコーダの出力を更にデコードして選択ワード線を活性化する第 2 段デコーダを含むアドレスデコード回路と

、

前記クロックバッファから出力される内部クロックに基づいて前記アドレスデコード回路のうち第 2 段デコーダの活性化タイミングを制御するタイミングパルスを発生するパルス発生回路とを有し、

前記アドレスバッファは、取り込まれたアドレス信号を一時保持する第 1 のラッチ回路を有し、前記アドレスデコード回路のうち第 2 段デコーダは前記第 1 段デコーダから転送されたデコード出力を一時保持する第 2 のラッチ回路を有する

ことを特徴とする半導体メモリ集積回路。

【請求項 2】

前記第 2 段デコーダは、

前記第 1 段デコーダから転送される複数のデコード出力がそれぞれゲートに入力される、複数の直列接続されたデコード用トランジスタ列と、

このデコード用トランジスタ列と前記第 2 のラッチ回路の入力ノードとの間に設けられて前記タイミングパルスにより駆動されるスイッチング用トランジスタとを有する

ことを特徴とする請求項 1 記載の半導体メモリ集積回路

【請求項 3】

前記パルス発生回路は、一定パルス幅の第 1 のタイミングパルスと、クロックの周期に応じてパルス幅が変化する第 2 のタイミングパルスとを発生するものであり、

前記第 2 段デコーダは、

前記第 1 段デコーダから転送される複数のデコード出力がそれぞれゲートに入力される、複数の直列接続されて一端が第 1 の電源端子に接続されたデコード用トランジスタ列と、

このデコード用トランジスタ列の他端と前記第 2 のラッチ回路の入力ノードとの間に設けられて前記第 2 のタイミングパルスにより駆動される第 1 のスイッチング用トランジスタと、

前記第 2 のラッチ回路の入力ノードと第 2 の電源端子の間に設けられて前記第 1 のタイミングパルスにより前記第 1 のスイッチング用トランジスタと相補的にオンオフ駆動される第 2 のスイッチング用トランジスタとを有することを特徴とする請求項 1 記載の半導体メモリ集積回路。

【請求項 4】

メモリセルアレイと、

クロックを取り込んで内部クロックを発生するクロックバッファと、

このクロックバッファから発生される内部クロックによりアドレス信号を取り込むアドレスバッファと、

このアドレスバッファから出力される内部アドレス信号をデコードして前記メモリセルアレイのワード線を選択するための、第 1 段デコーダ及びこの第 1 段デコーダの出力を更にデコードして選択ワード線を活性化する第 2 段デコーダを含むアドレスデコード回路と

前記クロックバッファから出力される内部クロックに基づいて前記アドレスデコード回路のうち第 2 段デコーダの活性化タイミングを制御するタイミングパルスを発生するパルス発生回路とを有し、

前記パルス発生回路は、一定パルス幅の第 1 のタイミングパルスと、クロックの周期に応じてパルス幅が変化する第 2 のタイミングパルスとを発生する

ことを特徴とする半導体メモリ集積回路。

【請求項 5】

メモリセルアレイと、

クロックを取り込んで内部クロックを発生するクロックバッファと、

このクロックバッファから発生される内部クロックによりアドレス信号を取り込むアドレスバッファと、

このアドレスバッファから出力される内部アドレス信号をデコードして前記メモリセルアレイのワード線を選択するための、第 1 段デコーダ及びこの第 1 段デコーダの出力を更にデコードして選択ワード線を活性化する第 2 段デコーダを含むアドレスデコード回路と

前記クロックバッファから出力される内部クロックに基づいて前記アドレスデコード回路のうち第 2 段デコーダの活性化タイミングを制御するタイミングパルスを発生するパルス発生回路とを有し、

前記アドレスバッファは、取り込まれたアドレス信号を一時保持する第 1 のラッチ回路

を有すると共に、前記アドレスデコード回路のうち第２段デコーダは前記第１段デコーダから転送されたデコード出力を一時保持する第２のラッチ回路を有し、

前記パルス発生回路は、一定パルス幅の第１のタイミングパルスと、クロックの周期に応じてパルス幅が変化する第２のタイミングパルスとを発生するものであり、かつ

前記第２段デコーダは、

前記第１段デコーダから転送される複数個のデコード出力がそれぞれゲートに入力される、複数個直列接続されて一端が第１の電源端子に接続されたデコード用トランジスタ列と、

このデコード用トランジスタ列の他端と前記第２のラッチ回路の入力ノードとの間に設けられて前記第２のタイミングパルスにより駆動される第１のスイッチング用トランジスタと、

前記第２のラッチ回路の入力ノードと第２の電源端子の間に設けられて前記第１のタイミングパルスにより前記第１のスイッチング用トランジスタと相補的にオンオフ駆動される第２のスイッチング用トランジスタとを有する

ことを特徴とする半導体メモリ集積回路。

【請求項 6】

前記第１のスイッチング用トランジスタと前記第２のラッチ回路の入力ノードとの間に不良アドレスの置換のためのヒューズが挿入されている

ことを特徴とする請求項 3 又は 5 記載の半導体メモリ集積回路。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正の内容】

【0015】

【課題を解決するための手段】

この発明の一実施形態に係る半導体メモリ集積回路は、メモリセルアレイと、クロックを取り込んで内部クロックを発生するクロックバッファと、このクロックバッファから発生される内部クロックによりアドレス信号を取り込むアドレスバッファと、このアドレスバッファから出力される内部アドレス信号をデコードして前記メモリセルアレイのワード線を選択するための、第１段デコーダ及びこの第１段デコーダの出力を更にデコードして選択ワード線を活性化する第２段デコーダを含むアドレスデコード回路と、前記クロックバッファから出力される内部クロックに基づいて前記アドレスデコード回路のうち第２段デコーダの活性化タイミングを制御するタイミングパルスを発生するパルス発生回路とを有し、前記アドレスバッファは、取り込まれたアドレス信号を一時保持する第１のラッチ回路を有し、前記アドレスデコード回路のうち第２段デコーダは前記第１段デコーダから転送されたデコード出力を一時保持する第２のラッチ回路を有することを特徴とする。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】削除

【補正の内容】

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0020

【補正方法】変更

【補正の内容】

【0020】

この発明の他の実施形態に係る他の半導体メモリ集積回路は、メモリセルアレイと、クロックを取り込んで内部クロックを発生するクロックバッファと、このクロックバッファ

から発生される内部クロックによりアドレス信号を取り込むアドレスバッファと、このアドレスバッファから出力される内部アドレス信号をデコードして前記メモリセルアレイのワード線を選択するための、第１段デコーダ及びこの第１段デコーダの出力を更にデコードして選択ワード線を活性化する第２段デコーダを含むアドレスデコード回路と、前記クロックバッファから出力される内部クロックに基づいて前記アドレスデコード回路のうち第２段デコーダの活性化タイミングを制御するタイミングパルスが発生するパルス発生回路とを有し、前記パルス発生回路は、一定パルス幅の第１のタイミングパルスと、クロックの周期に応じてパルス幅が変化する第２のタイミングパルスとを発生することを特徴とする。

【手続補正５】

【補正対象書類名】明細書

【補正対象項目名】００２１

【補正方法】変更

【補正の内容】

【００２１】

この発明の更に他の実施形態に係る他の半導体メモリ集積回路は、メモリセルアレイと、クロックを取り込んで内部クロックを発生するクロックバッファと、このクロックバッファから発生される内部クロックによりアドレス信号を取り込むアドレスバッファと、このアドレスバッファから出力される内部アドレス信号をデコードして前記メモリセルアレイのワード線を選択するための、第１段デコーダ及びこの第１段デコーダの出力を更にデコードして選択ワード線を活性化する第２段デコーダを含むアドレスデコード回路と、前記クロックバッファから出力される内部クロックに基づいて前記アドレスデコード回路のうち第２段デコーダの活性化タイミングを制御するタイミングパルスが発生するパルス発生回路とを有し、前記アドレスバッファは、取り込まれたアドレス信号を一時保持する第１のラッチ回路を有すると共に、前記アドレスデコード回路のうち第２段デコーダは前記第１段デコーダから転送されたデコード出力を一時保持する第２のラッチ回路を有し、前記パルス発生回路は、一定パルス幅の第１のタイミングパルスと、クロックの周期に応じてパルス幅が変化する第２のタイミングパルスとを発生するものであり、かつ前記第２段デコーダは、前記第１段デコーダから転送される複数個のデコード出力がそれぞれゲートに入力される、複数個直列接続されて一端が第１の電源端子に接続されたデコード用トランジスタ列と、このデコード用トランジスタ列の他端と前記第２のラッチ回路の入力ノードとの間に設けられて前記第２のタイミングパルスにより駆動される第１のスイッチング用トランジスタと、前記第２のラッチ回路の入力ノードと第２の電源端子の間に設けられて前記第１のタイミングパルスにより前記第１のスイッチングトランジスタと相補的にオンオフ駆動される第２のスイッチング用トランジスタとを有することを特徴とする。

【手続補正６】

【補正対象書類名】明細書

【補正対象項目名】００２２

【補正方法】変更

【補正の内容】

【００２２】

更にこの発明において、第１のスイッチング用トランジスタと第２のラッチ回路の入力ノードの間に不良アドレスの置換を行うためのヒューズが挿入されているものとすることができる。また、複数個のデコード用トランジスタ列の間で一部のトランジスタを共有とすることもできる。