

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成19年8月16日(2007.8.16)

【公開番号】特開2001-344978(P2001-344978A)

【公開日】平成13年12月14日(2001.12.14)

【出願番号】特願2000-159480(P2000-159480)

【国際特許分類】

G 1 1 C	11/413	(2006.01)
H 0 3 K	5/135	(2006.01)
G 1 1 C	11/417	(2006.01)
G 1 1 C	11/408	(2006.01)
G 1 1 C	11/407	(2006.01)
G 1 1 C	11/401	(2006.01)
H 0 1 L	21/822	(2006.01)
H 0 1 L	27/04	(2006.01)

【F I】

G 1 1 C	11/34	3 0 2 A
H 0 3 K	5/135	
G 1 1 C	11/34	J
G 1 1 C	11/34	3 0 3
G 1 1 C	11/34	3 0 5
G 1 1 C	11/34	3 5 4 B
G 1 1 C	11/34	3 6 2 S
G 1 1 C	11/34	3 7 1 D
H 0 1 L	27/04	F

【手続補正書】

【提出日】平成19年6月28日(2007.6.28)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

メモリセルアレイと、

クロックを取り込んで内部クロックを発生するクロックバッファと、

このクロックバッファから発生される内部クロックによりアドレス信号を取り込むアドレスバッファと、

このアドレスバッファから出力される内部アドレス信号をデコードして前記メモリセルアレイのワード線を選択するための、第1段デコーダ及びこの第1段デコーダの出力を更にデコードして選択ワード線を活性化する第2段デコーダを含むアドレスデコード回路と、

前記クロックバッファから出力される内部クロックに基づいて前記アドレスデコード回路のうち第2段デコーダの活性化タイミングを制御するタイミングパルスを発生するパルス発生回路とを有し、

前記アドレスバッファは、取り込まれたアドレス信号を一時保持する第1のラッチ回路を有し、前記アドレスデコード回路のうち第2段デコーダは前記第1段デコーダから転送されたデコード出力を一時保持する第2のラッチ回路を有する

ことを特徴とする半導体メモリ集積回路。

【請求項 2】

前記第2段デコーダは、

前記第1段デコーダから転送される複数個のデコード出力がそれぞれゲートに入力される、複数個直列接続されたデコード用トランジスタ列と、

このデコード用トランジスタ列と前記第2のラッチ回路の入力ノードとの間に設けられて前記タイミングパルスにより駆動されるスイッチング用トランジスタとを有することを特徴とする請求項1記載の半導体メモリ集積回路

【請求項 3】

前記パルス発生回路は、一定パルス幅の第1のタイミングパルスと、クロックの周期に応じてパルス幅が変化する第2のタイミングパルスとを発生するものであり、

前記第2段デコーダは、

前記第1段デコーダから転送される複数個のデコード出力がそれぞれゲートに入力される、複数個直列接続されて一端が第1の電源端子に接続されたデコード用トランジスタ列と、

このデコード用トランジスタ列の他端と前記第2のラッチ回路の入力ノードとの間に設けられて前記第2のタイミングパルスにより駆動される第1のスイッチング用トランジスタと、

前記第2のラッチ回路の入力ノードと第2の電源端子の間に設けられて前記第1のタイミングパルスにより前記第1のスイッチングトランジスタと相補的にオンオフ駆動される第2のスイッチング用トランジスタとを有することを特徴とする請求項1記載の半導体メモリ集積回路。

【請求項 4】

メモリセルアレイと、

クロックを取り込んで内部クロックを発生するクロックバッファと、

このクロックバッファから発生される内部クロックによりアドレス信号を取り込むアドレスバッファと、

このアドレスバッファから出力される内部アドレス信号をデコードして前記メモリセルアレイのワード線を選択するための、第1段デコーダ及びこの第1段デコーダの出力を更にデコードして選択ワード線を活性化する第2段デコーダを含むアドレスデコード回路と、

前記クロックバッファから出力される内部クロックに基づいて前記アドレスデコード回路のうち第2段デコーダの活性化タイミングを制御するタイミングパルスを発生するパルス発生回路とを有し、

前記パルス発生回路は、一定パルス幅の第1のタイミングパルスと、クロックの周期に応じてパルス幅が変化する第2のタイミングパルスとを発生する
ことを特徴とする半導体メモリ集積回路。

【請求項 5】

メモリセルアレイと、

クロックを取り込んで内部クロックを発生するクロックバッファと、

このクロックバッファから発生される内部クロックによりアドレス信号を取り込むアドレスバッファと、

このアドレスバッファから出力される内部アドレス信号をデコードして前記メモリセルアレイのワード線を選択するための、第1段デコーダ及びこの第1段デコーダの出力を更にデコードして選択ワード線を活性化する第2段デコーダを含むアドレスデコード回路と、

前記クロックバッファから出力される内部クロックに基づいて前記アドレスデコード回路のうち第2段デコーダの活性化タイミングを制御するタイミングパルスを発生するパルス発生回路とを有し、

前記アドレスバッファは、取り込まれたアドレス信号を一時保持する第1のラッチ回路

を有すると共に、前記アドレスデコード回路のうち第2段デコーダは前記第1段デコーダから転送されたデコード出力を一時保持する第2のラッチ回路を有し、

前記パルス発生回路は、一定パルス幅の第1のタイミングパルスと、クロックの周期に応じてパルス幅が変化する第2のタイミングパルスとを発生するものであり、かつ

前記第2段デコーダは、

前記第1段デコーダから転送される複数個のデコード出力がそれぞれゲートに入力され、複数個直列接続されて一端が第1の電源端子に接続されたデコード用トランジスタ列と、

このデコード用トランジスタ列の他端と前記第2のラッチ回路の入力ノードとの間に設けられて前記第2のタイミングパルスにより駆動される第1のスイッチング用トランジスタと、

前記第2のラッチ回路の入力ノードと第2の電源端子の間に設けられて前記第1のタイミングパルスにより前記第1のスイッチングトランジスタと相補的にオンオフ駆動される第2のスイッチング用トランジスタとを有する

ことを特徴とする半導体メモリ集積回路。

【請求項6】

前記第1のスイッチング用トランジスタと前記第2のラッチ回路の入力ノードとの間に不良アドレスの置換のためのヒューズが挿入されている

ことを特徴とする請求項3又は5記載の半導体メモリ集積回路。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正の内容】

【0015】

【課題を解決するための手段】

この発明の一実施形態に係る半導体メモリ集積回路は、メモリセルアレイと、クロックを取り込んで内部クロックを発生するクロックバッファと、このクロックバッファから発生される内部クロックによりアドレス信号を取り込むアドレスバッファと、このアドレスバッファから出力される内部アドレス信号をデコードして前記メモリセルアレイのワード線を選択するための、第1段デコーダ及びこの第1段デコーダの出力を更にデコードして選択ワード線を活性化する第2段デコーダを含むアドレスデコード回路と、前記クロックバッファから出力される内部クロックに基づいて前記アドレスデコード回路のうち第2段デコーダの活性化タイミングを制御するタイミングパルスを発生するパルス発生回路とを有し、前記アドレスバッファは、取り込まれたアドレス信号を一時保持する第1のラッチ回路を有し、前記アドレスデコード回路のうち第2段デコーダは前記第1段デコーダから転送されたデコード出力を一時保持する第2のラッチ回路を有することを特徴とする。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】削除

【補正の内容】

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0020

【補正方法】変更

【補正の内容】

【0020】

この発明の他の実施形態に係る他の半導体メモリ集積回路は、メモリセルアレイと、クロックを取り込んで内部クロックを発生するクロックバッファと、このクロックバッファ

から発生される内部クロックによりアドレス信号を取り込むアドレスバッファと、このアドレスバッファから出力される内部アドレス信号をデコードして前記メモリセルアレイのワード線を選択するための、第1段デコーダ及びこの第1段デコーダの出力を更にデコードして選択ワード線を活性化する第2段デコーダを含むアドレスデコード回路と、前記クロックバッファから出力される内部クロックに基づいて前記アドレスデコード回路のうち第2段デコーダの活性化タイミングを制御するタイミングパルスを発生するパルス発生回路とを有し、前記パルス発生回路は、一定パルス幅の第1のタイミングパルスと、クロックの周期に応じてパルス幅が変化する第2のタイミングパルスとを発生することを特徴とする。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0021

【補正方法】変更

【補正の内容】

【0021】

この発明の更に他の実施形態に係る他の半導体メモリ集積回路は、メモリセルアレイと、クロックを取り込んで内部クロックを発生するクロックバッファと、このクロックバッファから発生される内部クロックによりアドレス信号を取り込むアドレスバッファと、このアドレスバッファから出力される内部アドレス信号をデコードして前記メモリセルアレイのワード線を選択するための、第1段デコーダ及びこの第1段デコーダの出力を更にデコードして選択ワード線を活性化する第2段デコーダを含むアドレスデコード回路と、前記クロックバッファから出力される内部クロックに基づいて前記アドレスデコード回路のうち第2段デコーダの活性化タイミングを制御するタイミングパルスを発生するパルス発生回路とを有し、前記アドレスバッファは、取り込まれたアドレス信号を一時保持する第1のラッチ回路を有すると共に、前記アドレスデコード回路のうち第2段デコーダは前記第1段デコーダから転送されたデコード出力を一時保持する第2のラッチ回路を有し、前記パルス発生回路は、一定パルス幅の第1のタイミングパルスと、クロックの周期に応じてパルス幅が変化する第2のタイミングパルスとを発生するものであり、かつ前記第2段デコーダは、前記第1段デコーダから転送される複数個のデコード出力がそれぞれゲートに入力される、複数個直列接続されて一端が第1の電源端子に接続されたデコード用トランジスタ列と、このデコード用トランジスタ列の他端と前記第2のラッチ回路の入力ノードとの間に設けられて前記第2のタイミングパルスにより駆動される第1のスイッチング用トランジスタと、前記第2のラッチ回路の入力ノードと第2の電源端子の間に設けられて前記第1のタイミングパルスにより前記第1のスイッチングトランジスタと相補的にオンオフ駆動される第2のスイッチング用トランジスタとを有することを特徴とする。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0022

【補正方法】変更

【補正の内容】

【0022】

更にこの発明において、第1のスイッチング用トランジスタと第2のラッチ回路の入力ノードの間に不良アドレスの置換を行うためのヒューズが挿入されているものとすることができます。また、複数個のデコード用トランジスタ列の間で一部のトランジスタを共有とすることもできる。