



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H04N 5/335 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년03월09일 10-0690883 2007년02월27일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2005-0015544 2005년02월24일 2005년02월24일	(65) 공개번호 (43) 공개일자	10-2006-0094411 2006년08월29일
----------------------------------	---	------------------------	--------------------------------

(73) 특허권자 삼성전자주식회사
 경기도 수원시 영통구 매탄동 416

(72) 발명자 노재섭
 경기 안양시 만안구 안양4동 714-27 성원2차아파트 201동 603호

(74) 대리인 정상빈
 김동진

(56) 선행기술조사문헌
 16265939
 * 심사관에 의하여 인용된 문헌

심사관 : 구대성

전체 청구항 수 : 총 23 항

(54) 이미지 센서

(57) 요약

이미지 센서(image sensor)가 제공된다. 이미지 센서는 광전 변환부에 축적된 전하를 전하 검출부에 전송하는 전하 전송부를 포함하는 단위 화소가 매트릭스 형태로 배열된 화소 배열부, 전하 전송부에 전하 전송 실행 신호 또는 전원 전압보다 높은 전압을 각각 배타적으로 전달하거나 두 신호 모두 전달시에는 전하 전송 실행 신호를 주신호로 전달하는 행구동부를 포함한다.

대표도

도 1

특허청구의 범위

청구항 1.

광전 변환부에 축적된 전하를 전하 검출부에 전송하는 전하 전송부를 포함하는 단위 화소가 매트릭스 형태로 배열된 화소 배열부; 및

상기 전하 전송부에 전하 전송 실행 신호 또는 전원 전압보다 높은 전압을 각각 배타적으로 전달하거나 두 신호 모두 전달 시에는 상기 전하 전송 실행 신호를 주신호로 전달하는 행구동부를 포함하는 이미지 센서.

청구항 2.

제 1항에 있어서, 상기 행구동부는

전하 전송 실행 신호를 제공하는 구동 신호 제공부;

전원 전압을 부스팅하여 전원 전압보다 높은 전압을 제공하는 부스팅부; 및

상기 전하 전송 실행 신호를 상기 전하 전송부에 전달하는 제1 스위치, 상기 전원 전압보다 높은 전압을 상기 전하 전송부에 전달하는 제2 스위치를 포함하여, 상기 제1 및 제2 스위치가 각각 턴온된 경우에는 상기 전하 전송 실행 신호 및 상기 전원 전압보다 높은 전압을 배타적으로 전달하고, 상기 제1 및 제2 스위치가 모두 턴온된 경우에는 상기 전하 전송 실행 신호를 주신호로 전달하는 스위칭부를 포함하는 이미지 센서.

청구항 3.

제 2항에 있어서,

상기 부스팅부는 전원 전압에 의해 충전되며 부스팅 실행 신호에 응답하여 충전된 전하를 펌핑하는 부스팅 커패시터와, 상기 부스팅 커패시터에 상기 전원전압을 전달하는 제3 스위치를 포함하는 이미지 센서.

청구항 4.

제 3항에 있어서,

상기 부스팅 커패시터의 커패시턴스는 상기 전하 전송부의 로딩 커패시턴스의 a배(단, a는 2 이상) 이상인 이미지 센서.

청구항 5.

제 4항에 있어서,

상기 제2 및 제3 스위치는 NMOS 트랜지스터이고, 상기 제2 스위치의 W/L을 W/L_2 , 상기 제3 스위치의 W/L을 W/L_3 이라 할 때, $W/L_2 \geq (1/a)W/L_3$ 인 이미지 센서.

청구항 6.

제 3항에 있어서,

상기 부스팅 커패시터의 커패시턴스는 1pF 이상인 이미지 센서.

청구항 7.

제 2항에 있어서,

상기 제1 및 제2 스위치는 NMOS 트랜지스터이고, 상기 제1 스위치의 W/L_1 은 상기 제2 스위치의 W/L_2 보다 큰 이미지 센서.

청구항 8.

제 2항에 있어서,

상기 스위칭부는 상기 제2 스위치의 게이트와 소스를 전기적으로 연결하고 상기 제2 스위치의 게이트와 소스가 소정의 전압차를 유지토록 하는 부트 스트랩 커패시터를 더 포함하는 이미지 센서.

청구항 9.

제 8항에 있어서,

상기 부트 스트랩 커패시터의 커패시턴스는 0.001 내지 0.1pF 이하인 이미지 센서.

청구항 10.

제 2항에 있어서,

상기 스위칭부는 리셋 신호 및 선택 신호에 응답하여 제어 신호를 상기 제2 스위치의 게이트에 제공하는 제어 신호 제공부를 더 포함하는 이미지 센서.

청구항 11.

제 10항에 있어서,

상기 제어 신호 제공부는 상기 리셋 신호 및 상기 선택 신호가 하이일 경우 전원 전압을 전달하고, 상기 선택 신호가 로우일 경우 접지 전압을 전달하는 이미지 센서.

청구항 12.

제 11항에 있어서,

상기 제어 신호 제공부는 상기 전원 전압과 상기 제2 스위치의 게이트 사이에 연결되고 게이트는 상기 리셋 신호 및 선택 신호의 앤드 연산 신호와 연결된 제4 스위치와, 상기 제2 스위치의 게이트와 상기 접지 전압 사이에 연결되고 게이트는 상기 선택 신호의 반전 신호와 연결된 제5 스위치를 포함하는 이미지 센서.

청구항 13.

제 10항에 있어서,

상기 제어 신호 제공부는 상기 선택 신호 또는 셔터 인에이블 신호가 하이이고 전리셋(RSTP) 신호가 하이일 경우 전원 전압을 전달하고, 상기 선택 신호 및 상기 셔터 인에이블 신호가 로우일 경우 접지 전압을 전달하는 이미지 센서.

청구항 14.

제 13항에 있어서,

상기 제어 신호 제공부는 상기 전원 전압과 상기 제2 스위치의 게이트 사이에 연결되고 게이트는 상기 선택 신호와 셔터 인에이블 신호의 오아(OR) 연산 신호와 전리셋(RSTP) 신호의 앤드 연산 신호와 연결된 제4 스위치와, 상기 제2 스위치의 게이트와 상기 접지 전압 사이에 연결되고 게이트는 상기 선택 신호와 셔터 인에이블 신호의 노아(NOR) 연산 신호와 연결된 제5 스위치를 포함하는 이미지 센서.

청구항 15.

제 1항에 있어서,

상기 전원 전압보다 높은 전압은 전하 전송 기간 중 적어도 일부를 포함하는 기간동안 공급되는 이미지 센서.

청구항 16.

제 1항에 있어서,

상기 전원 전압보다 높은 전압은 일렉트릭 셔터 기간 중 적어도 일부를 포함하는 기간동안 공급되는 이미지 센서.

청구항 17.

제 1항에 있어서,

상기 전원 전압보다 높은 전압은 상기 전하 전송부의 전위를 상기 광전 변환부의 전위보다 높이는 이미지 센서.

청구항 18.

제 1항에 있어서,

상기 전원 전압보다 높은 전압은 서로 다른 다수의 전압 레벨을 포함하는 이미지 센서.

청구항 19.

제 1항에 있어서,

상기 전원 전압보다 높은 전압은 상기 전원 전압을 적어도 1번 부스팅하여 형성되는 이미지 센서.

청구항 20.

제 1항에 있어서,

상기 부스팅부는 다수의 서브 부스팅부를 포함하고, 각 서브 부스팅부는 화소 배열부의 다수 개의 행을 다수 개의 대역으로 분할하고, 각각의 대역마다 전원 전압보다 높은 전압을 공급하는 이미지 센서.

청구항 21.

제 1항에 있어서,

상기 단위 화소는 상기 단위 화소를 선택하기 위한 선택부를 더 포함하는 이미지 센서.

청구항 22.

제 1항에 있어서,

상기 단위 화소는 상기 전하 검출부를 리셋하기 위한 리셋부를 더 포함하는 이미지 센서.

청구항 23.

제 1항에 있어서,

상기 단위 화소는 상기 전하 검출부의 전위에 대응하는 신호를 수직 신호선으로 출력하는 증폭부를 더 포함하는 이미지 센서.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 이미지 센서에 관한 것으로, 보다 상세하게는 이미지 재현 특성을 향상시킨 이미지 센서에 관한 것이다.

이미지 센서(image sensor)는 광학 영상을 전기 신호로 변환시키는 소자이다. 최근 들어, 컴퓨터 산업과 통신 산업의 발달에 따라 디지털 카메라, 캠코더, PCS(Personal Communication System), 게임 기기, 경비용 카메라, 의료용 마이크로 카메라, 로봇 등 다양한 분야에서 성능이 향상된 이미지 센서의 수요가 증대되고 있다.

이미지 센서는 CCD(Charge Coupled Device)와 CMOS 이미지 센서를 포함한다. 특히, CMOS 이미지 센서는 구동 방식이 간편하고, CMOS 공정 기술을 호환하여 사용할 수 있어 제조 단가를 낮출 수 있는 장점이 있다. 이러한 CMOS 이미지 센서는 다양한 구조로 구현될 수 있으나, 주로 사용되는 구조는 4개의 트랜지스터와 포토 다이오드(photodiode)를 사용한 구조(이하, '4Tr 구조')이다. 일반적인 CMOS 제작 공정을 이용하여 4Tr 구조를 제작한다.

4Tr 구조를 사용한 이미지 센서의 구동을 설명하면 다음과 같다. 우선, 포토 다이오드는 빛 에너지를 흡수하여 광량에 해당하는 전하를 축적하고, 전하 전송부는 포토 다이오드에 축적된 전하를 전하 검출부로 전송한다. 증폭부는 정전류원과 조합하여 소스 팔로워 버퍼 증폭기(source follower buffer amplifier) 역할을 하여, 전하 검출부의 전위에 응답하여 변하는 전압을 수직 신호 라인으로 출력한다.

그런데, 종래의 이미지 센서의 전하 전송부는 포토 다이오드에 축적된 전하를 전부 전하 검출부로 전송하지 못하는 경우가 많다. 이와 같이 포토 다이오드에 남겨진 전하는 다음 회의 읽기 동작시에 잔상으로 나타난다. 또한, 결과적으로 포토 다이오드와 전하 검출부가 전하를 분배하였기 때문에 광전자 하나당 발생하는 전하의 양에 해당하는 변환 이득(gain)이 줄어들게 된다. 뿐만 아니라, 포토 다이오드에 남겨진 전하는 포토 다이오드의 전하 축적 용량을 감소시키는 문제가 있다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는, 이미지 재현 특성을 향상시킨 이미지 센서를 제공하는 것이다.

본 발명의 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

발명의 구성

상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 이미지 센서는 광전 변환부에 축적된 전하를 전하 검출부에 전송하는 전하 전송부를 포함하는 단위 화소가 매트릭스 형태로 배열된 화소 배열부, 전하 전송부에 전하 전송 실행 신호 또는 전원 전압보다 높은 전압을 각각 배타적으로 전달하거나 두 신호 모두 전달시에는 상기 전하 전송 실행 신호를 주신호로 전달하는 행구동부를 포함한다.

본 발명의 기타 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

본 발명의 실시예들에 따른 이미지 센서는 CCD(Charge Coupled Device)와 CMOS 이미지 센서를 포함한다. 여기서, CCD는 이미지 센서에 비해 잡음(noise)이 적고 화질이 우수하지만, 고전압을 요구하며 공정 단가가 비싸다. CMOS 이미지 센서는 구동 방식이 간편하고 다양한 스캐닝(scanning) 방식으로 구현 가능하다. 또한, 신호 처리 회로를 단일칩에 집적할 수 있어 제품의 소형화가 가능하며, CMOS 공정 기술을 호환하여 사용할 수 있어 제조 단가를 낮출 수 있다. 전력 소모 또한 매우 낮아 배터리 용량이 제한적인 제품에 적용이 용이하다. 따라서, 이하에서는 본 발명의 이미지 센서로 CMOS 이미지 센서를 예시하여 설명한다. 그러나, 본 발명의 기술적 사상은 그대로 CCD에도 적용될 수 있음은 물론이다.

본 발명의 실시예들에 따른 이미지 센서는 도 1 내지 도 13b를 참조함으로써 잘 이해될 수 있다.

도 1은 본 발명의 일 실시예에 따른 이미지 센서를 나타낸 블록도이다.

도 1을 참조하면, 본 발명의 일 실시예에 따른 이미지 센서(1)는 화소 배열부(10), 행 구동부(20), 상관 이중 샘플링부(Correlated Double Sampler, CDS; 70), 아날로그-디지털 변환부(Analog to Digital Converter, ADC; 80)를 포함한다.

화소 배열부(10)는 2차원적으로 배열된 다수 개의 단위 화소를 포함한다. 다수 개의 단위 화소들은 광학 영상을 전기적 신호로 변환하는 역할을 한다. 화소 배열부(10)는 행 구동부(20)로부터 선택 신호(ROW), 리셋 신호(RST), 전하 전송 신호(TG) 등 다수 개의 구동 신호를 수신하여 구동된다. 또한, 변환된 전기적 신호는 수직 신호 라인(12)를 통해서 상관 이중 샘플링부(70)에 제공된다.

행 구동부(20)는 타이밍 제너레이터(timing generator; 도면 미도시)로부터 타이밍(timing) 신호 및 제어 신호를 수신하여, 다수 개의 단위 화소들의 읽기 동작 등을 구동하기 위한 다수 개의 구동 신호를 화소 배열부(10)에 제공한다. 일반적으로 단위 화소가 매트릭스 형태로 배열된 경우에는 각 행(row)별로 구동 신호를 제공한다.

행 구동부(20)는 구동 신호 제공부(30), 부스팅부(40), 스위칭부(50)를 포함한다. 구동 신호 제공부(30)는 행 단위로 선택 신호(ROW), 리셋 신호(RST)를 화소 배열부(10)에 제공하고, 선택 신호(ROW), 리셋 신호(RST), 전하 전송 실행 신호(TGX)를 스위칭부(50)에 제공한다.

선택 신호(ROW)는 화소 배열부(10) 내의 선택부를 제어하는 신호로, 예를 들어 i번째 선택 신호 라인(14)을 통해서 i번째 행의 선택부에 제공된다. 리셋 신호(RST)는 화소 배열부(10) 내의 리셋부를 제어하는 신호로, 예를 들어 i번째 리셋 신호 라인(16)을 통해서 i번째 행의 리셋부에 제공된다. 또한, 선택 신호(ROW) 및 리셋 신호(RST)는 스위칭부(50) 내의 제어 신호 제공부(도면 미도시)에 제공된다.

전하 전송 실행 신호(TGX)는 스위칭부(50)에 제공되고, 화소 배열부(10) 내의 전하 전송부를 제어하는 전하 전송 신호(TG)로 변환된다.

부스팅부(40)는 전원 전압(Vdd)을 부스팅하여 전원 전압(Vdd)보다 높은 전압을 제공한다. 즉, 부스팅부(40)는 전원 전압(Vdd)에 의해 충전되며, 부스팅 제어 신호(BSTX)에 응답하여 충전된 전하를 펌핑하는 부스팅 커패시터와, 부스팅 커패시터에 전원 전압을 전달하는 스위치를 포함한다.

스위칭부(50)는 구동 신호 제공부(30)로부터 전하 전송 실행 신호(TGX)를 수신하고 부스팅부(40)로부터 전원 전압(Vdd)보다 높은 전압을 수신하여 두 신호 중 하나의 신호를 배타적으로 전하 전송부에 전달한다. 다만, 두 신호를 모두 전달할 경우에는 전하 전송 실행 신호(TGX)를 주신호(major signal)로 전달하고, 전원 전압(Vdd)보다 높은 전압은 부신호(minor signal)로 전달한다. 여기서, 주신호는 부신호를 압도하여(overwhelming) 두 신호 모두를 전달될 때, 출력 신호의 전압 레벨이 주신호에 의해 결정된다. 즉, 부신호는 두 신호가 모두 출력될 때, 주신호에 비해 무시할 수 있도록 작은 출력 레벨을 갖는다.

본 발명의 일 실시예에 따른 이미지 센서(1)는 통상의 승압 회로와는 달리 전원 전압(Vdd)보다 높은 전압을 생성하여 이미지 센서(1) 내에 항상 보유하지 않는다. 즉, 전원 전압(Vdd)보다 높은 전압이 필요할 경우에만 부스팅하여 사용하므로, 본 발명의 일 실시예에 따른 이미지 센서(1)는 고전압을 견디기 위한 별도의 설계가 불필요하다.

상관 이중 샘플링부(70)는 화소 배열부(10)에 형성된 전기적 신호를 수직 신호 라인(12)을 통해 수신하여 유지(hold) 및 샘플링한다. 즉, 특정한 기준 전압 레벨(이하, '잡음 레벨(noise level)')과 형성된 전기적 신호에 의한 전압 레벨(이하, '신호 레벨')을 이중으로 샘플링하여, 잡음 레벨과 신호 레벨의 차이에 해당하는 차이 레벨을 출력한다. 단위 화소 및 수직 신호 라인(12)의 특성 분산으로 인한 고정적인 잡음 레벨을 억제하는 역할을 한다. 앰프(amplifier; 도면 미도시)는 상관 이중 샘플링부(70)로부터 차이 레벨을 제공받아, 프로그램 가능한 이득을 통해 적절한 이득을 갖는 아날로그 신호로 출력한다.

아날로그-디지털 변환부(80)는 앰프(도면 미도시)로부터 아날로그 신호를 수신하여, 오프셋(offset) 보정을 위한 디지털 신호를 출력한다. 디지털 신호는 래치부(도면 미도시)에 의해 래치(latch)되고, 데이터 선택부(도면 미도시)는 래치된 신호를 다중화부(MUX; 도면 미도시)에 제공한다. 다중화부(도면 미도시)는 제공된 신호를 모두 직렬로 배치하고, 직렬화된 신호를 영상신호 처리부(도면 미도시)에 제공한다.

도 2은 본 발명의 일 실시예에 따른 이미지 센서의 단위 화소의 회로도이다. 도 3는 본 발명의 일 실시예에 따른 이미지 센서의 단위 화소의 개략적인 평면도이다. 도 4a 내지 도 4b는 본 발명의 일 실시예에 따른 이미지 센서의 전하 전송부의 특성을 나타낸 도면이다.

우선 도 2 및 도 3을 참조하면, 본 발명의 일 실시예에 따른 이미지 센서(1)의 단위 화소(100)는 광전 변환부(110), 전하 검출부(120), 전하 전송부(130), 리셋부(140), 증폭부(150), 선택부(160)를 포함한다.

광전 변환부(110)는 물체에서 반사된 빛 에너지를 흡수하여, 광량에 대응하여 발생한 전하를 축적한다. 광전 변환부(110)는 포토 다이오드(photo diode), 포토 트랜지스터(photo transistor), 포토 게이트(photo gate), 핀드 포토 다이오드(Pinned Photo Diode; PPD) 및 이들의 조합이 가능하다.

전하 검출부(120)는 플로팅 확산 영역(FD; Floating Diffusion region)이 주로 사용되며, 광전 변환부(110)에서 축적된 전하를 전송받는다. 전하 검출부(120)는 기생 커패시턴스를 갖고 있기 때문에, 전하가 누적적으로 저장된다. 전하 검출부(120)는 증폭부(150)의 게이트에 전기적으로 연결되어 있어, 증폭부(150)를 제어한다.

전하 전송부(130)는 광전 변환부(110)에서 전하 검출부(120)로 전하를 전송한다. 전하 전송부(130)는 일반적으로 1개의 트랜지스터로 이루어지며, 전하 전송 신호(TG)에 의해 제어된다.

특히, 전하 전송부(130)는 광전 변환부(110)에 축적된 전하가 전부 전하 검출부(120)로 전송될 필요가 있다. 광전 변환부(110)에 남겨진 전하는 다음 회의 읽기 동작시에 잔상으로 나타나며, 변환 이득(gain)의 감소 요인, 광전 변환부(110)의 전하 축적 용량의 감소 요인이 된다. 따라서, 본 발명의 일 실시예에 따른 이미지 센서(1)는 전하 전송 신호(TG)로 전원 전압(Vdd)보다 높은 전압을 사용한다. 이와 같이 전원 전압(Vdd)보다 높은 전압을 사용할 경우, 종래의 이미지 센서에서 전하 전송 신호(TG)로 전원 전압(Vdd)를 제공하는 경우보다 전하 전송부(130)의 전위(potential)가 더 높아진다. 바람직하게는 전하 전송부(130)의 전위를 광전 변환부(110)의 전위보다 높게 한다.

리셋부(140)는 전하 검출부(120)를 주기적으로 리셋시킨다. 리셋부(140)의 소스는 전하 검출부(120)에 연결되고, 드레인은 Vdd에 연결된다. 또한, 리셋 신호(RST)에 응답하여 구동된다.

증폭부(150)는 단위 화소(100) 외부에 위치하는 정전류원(도면 미도시)과 조합하여 소스 팔로워 버퍼 증폭기(source follower buffer amplifier) 역할을 하며, 전하 검출부(120)의 전위에 응답하여 변하는 전압이 수직 신호 라인(12)으로 출력된다. 소스는 선택부(160)의 드레인에 연결되고, 드레인은 전원 전압(Vdd)에 연결된다.

선택부(160)는 행 단위로 읽어낼 단위 화소(100)를 선택하는 역할을 한다. 선택 신호(ROW)에 응답하여 구동되고, 소스는 수직 신호 라인(12)에 연결된다.

또한, 전하 전송부(130), 리셋부(140), 선택부(160)의 구동 신호 라인(18, 16, 14)은 동일한 행에 포함된 단위 화소들이 동시에 구동되도록 행 방향(수평 방향)으로 연장된다.

여기서, 도 4a 내지 4b를 참조하여 외부 전압(Vdd)보다 높은 전압(Vh)에 대해 상술한다. 전하 전송부(도2의 130 참조)는 과도한 빛 에너지가 조사되었을 때 발생할 수 있는 광전 변환부(도2의 110 참조)에서의 오버 플로우(overflow) 및 블루밍(blooming) 현상을 막기 위해 낮은 문턱 전압(Vth)을 갖는 증가형(enhancement type) 트랜지스터 또는 공핍형(depletion type) 트랜지스터를 사용하나, 이에 제한되지 않는다. 즉, 별도의 오버 플로우 경로를 갖는 이미지 센서(도1의 1 참조)는 통상의 증가형 트랜지스터를 사용해도 무방하다.

도 4a는 전하 전송부(130)를 낮은 문턱 전압을 갖는 증가형 트랜지스터를 사용하였을 때, 전하 전송부(130)의 게이트에 인가되는 전하 전송 신호(TG)와 전하 전송부(130)의 전위와의 관계를 나타낸다.

낮은 문턱 전압을 갖는 증가형 트랜지스터를 사용할 경우에는, 전하 전송부(130)의 게이트에 로우 신호가 인가될 때에도 문턱 전압 이상의 소정의 전압(Δ)을 가하여 채널이 형성되도록 한다. 이는 일정량 이상의 전하가 광전 변환부(110)에 생성되었을 때, 일부의 전하가 전하 검출부(도2의 120 참조)로 빠져 나갈 수 있도록 하기 위함이다. 이와 같은 채널을 형성하기 위해 전하 전송부(130)에서 반도체 기판의 표면에 P⁺ 도펀트를 이온 주입한다.

종래의 이미지 센서(A)의 경우에는 전하 전송 신호(TG)가 하이일 때 전원 전압(Vdd)를 공급하게 된다.

본 발명의 일 실시예에 따른 이미지 센서(B)의 경우, 전원 전압(Vdd)보다 높은 전압(Vh)은 전하 전송 기간 중 적어도 일부를 포함하는 기간동안 공급된다. 또한, 일렉트릭 셔터(electric shutter) 기간 중 적어도 일부를 포함하는 기간동안 공급될 수도 있다. 물론, 설계에 따라 다를 수 있으나, 전하 전송 기간 또는 일렉트릭 셔터 기간 중 적어도 일부를 포함하는 기간은 부스팅부(도1의 40 참조)에서 화소 배열부(도1의 10 참조)의 각 행에 제공되는 시간 및 전하 전송부(130)를 통해서 충분히 전하가 전하 검출부(120)로 전송될 수 있는 시간을 확보할 수 있어야 한다. 예를 들어, 전원 전압(Vdd)보다 높은 전압(Vh)은 0.1 내지 10 μ s 동안 유지된다.

전원 전압(Vdd)보다 높은 전압(Vh)은 다수 회(n회; 단, n은 2 이상)의 단계를 거쳐 상승될 수도 있다. 즉, 전원 전압(Vdd)보다 높은 전압(Vh)은 서로 다른 다수 개(n개; 단, n은 2 이상)의 레벨을 가질 수도 있다. 이와 같이 함으로써 본 발명의 일 실시예에 따른 이미지 센서(1)는 전원 전압(Vdd)과 전압 레벨 차이가 큰 전원 전압(Vdd)보다 높은 전압(Vh)이 갑자기 인가됨으로써 발생할 수 있는 스트레스를 감소시킬 수 있다. 또한, 이미지 센서의 특성에 따라 n회 중 일부 회만을 부스팅하여 전원 전압(Vdd)보다 높은 전압(Vh)의 전압 레벨을 형성할 수 있으므로, 다양한 전압 레벨을 쉽게 구현할 수 있다.

또한, 전원 전압(Vdd)보다 높은 전압(Vh)은 전하 전송부(130)의 전위를 광전 변환부(110)의 전위보다 더 높임으로써, 전하의 전송이 더 수월해 진다. 예를 들어, 전원 전압(Vdd)보다 높은 전압(Vh)은 4V 이상이 될 수 있다.

도 4b는 전하 전송부(130)를 공핍형 트랜지스터를 사용하였을 때, 전하 전송부(130)의 게이트에 인가되는 전하 전송 신호(TG)와 전하 전송부(130)의 전위와의 관계를 나타낸다. 또한, 본 발명의 일 실시예에 따른 이미지 센서(1)에 사용되는 전하 전송 신호(TG)를 나타낸다.

공핍형 트랜지스터를 사용할 경우에는 전하 전송부(130)가 비활성시에도 채널이 형성되어 있으므로, 낮은 문턱 전압을 갖는 증가형 트랜지스터와 마찬가지로 광전 변환부(110)에서 일정량 이상의 전하가 생성되었을 때에는 전하 전송부(130)를 통해서 전하 검출부(120)로 일부의 전하가 빠져나갈 수 있도록 한다. 이와 같은 채널을 형성하기 위해 전하 전송부(130)에서 반도체 기판의 표면에 N⁻ 도펀트를 이온 주입한다.

종래의 이미지 센서(C)의 경우에는 전하 전송 신호(TG)가 하이일 때, 전원 전압(Vdd)를 공급하게 된다.

본 발명의 일 실시예에 따른 이미지 센서(D)의 경우, 전원 전압(Vdd)보다 높은 전압(Vh)은 전하 전송 기간 중 적어도 일부를 포함하는 기간동안 공급된다. 또한, 일렉트릭 서터 기간 중 적어도 일부를 포함하는 기간동안 공급될 수도 있다. 전원 전압(Vdd)보다 높은 전압(Vh)은 다수 회의 단계를 거쳐 상승될 수도 있다. 전원 전압(Vdd)보다 높은 전압(Vh)은 다수 회의 단계를 거쳐 상승될 수도 있다. 즉, 전원 전압(Vdd)보다 높은 전압(Vh)은 서로 다른 다수 개의 레벨을 가질 수도 있다. 전원 전압(Vdd)보다 높은 전압(Vh)은 전하 전송부(130)의 전위를 광전 변환부(110)의 전위보다 더 높인다.

도 5는 본 발명의 일 실시예에 따른 이미지 센서의 부스팅부 및 스위칭부를 나타낸 개념도이다.

도 5를 참조하면, 전하 전송 신호(TG)는 화소 배열부(10)의 특정한 행에 위치하는 단위 화소들에 공통된(common) 신호이다. 화소 배열부(10)는 N개의 행으로 이루어져 있고, 설명의 편의상 i번째 행의 전하 전송 실행 신호(TGX(i)), 전하 전송 신호(TG(i)) 등을 예로 든다.

우선 구동 신호 제공부(30)는 타이밍 컨트롤러(도면 미도시)에 의해서 제어되고, 전하 전송 실행 신호(TGX(i))를 스위칭부(50)에 제공한다.

부스팅부(40)는 전원 전압(Vdd)을 부스팅하여 전원 전압(Vdd)보다 높은 전압을 제공한다. 하나의 부스팅부(40)는 화소 배열부(10)의 모든 행에 전원 전압(Vdd)보다 높은 전압을 공통적으로 제공한다.

부스팅 커패시터(CBST)는 전원 전압(Vdd)에 의해 충전되어, 부스팅 제어 신호(BSTX)에 응답하여 충전된 전하를 펌핑하여 부스팅 동작을 한다. 자세히 설명하면, 제1 스위치(SW1)는 전부스팅 신호(pre-boosting signal; BSTP)에 의해 제어된다. 즉, 전부스팅 신호(BSTP)가 로우일 때에는 제1 스위치(SW1)는 턴온(turn on)되고 부스팅 커패시터(CBST)는 충전되어, 노드(node) E는 전원 전압(Vdd), 노드 F는 0V가 된다. 전부스팅 신호(BSTP)가 하이로 되면 제1 스위치(SW1)는 턴오프(turn off)된다. 이 때, 부스팅 제어 신호(BSTX)가 하이로 되면 노드 F가 Vdd가 되면서 부스팅 커패시터(CBST)는 충전된 전하를 펌핑(pumping)하여 부스팅하여 전원 전압(Vdd)보다 높은 전압을 제공한다.

그런데, 전하 전송 신호(TG(i))가 제공되는 전하 전송부(도2의 130 참조)를 외부에서 보면, 수pF의 커패시턴스를 갖는 로딩(load) 커패시터(CTG(i))가 위치하는 것처럼 보인다. 따라서, 부스팅부(40)와 화소 배열부(10)가 스위칭부(50)에 의해 전기적으로 연결되면, 부스팅 커패시터(CBST)와 로딩 커패시터(CTG(i))는 커플링(coupling)되어 전하를 분배(charge sharing)하게 된다. 부스팅 전압을 Vbst라 할 때, 부스팅 전압(Vbst)은 수학식 1과 같이 계산될 수 있다.

$$\text{수학식 1} \\ V_{bst} = V_{dd} * \left\{ \frac{CBST}{CBST + CTG(i)} \right\}$$

예를 들어, 부스팅 커패시터(CBST)가 로딩 커패시터(CTG(i))의 9배라면, Vdd의 90%가 부스팅된다. 부스팅 커패시터(CBST)의 커패시턴스가 로딩 커패시터(CTG(i))의 커패시턴스에 비해서 충분히 크면 부스팅 전압(Vbst)은 전원 전압(Vdd)이 된다. 따라서, 부스팅 커패시터(CBST)의 커패시턴스는 로딩 커패시터(CTG(i))의 커패시턴스의 a배(단, a는 2 이상)일 수 있다. 특히, 부스팅 커패시터(CBST)의 커패시턴스는 로딩 커패시터(CTG(i))의 커패시턴스의 10배 정도일 수 있다. 따라서, 부스팅 커패시터(CBST)의 커패시턴스는 1pF 이상일 수 있으나, 이에 제한되지는 않는다.

스위칭부(50)는 구동 신호 제공부(30)로부터 전하 전송 실행 신호(TGX(i))를 수신하고 부스팅부(40)로부터 전원 전압(Vdd)보다 높은 전압을 수신하여, 두 신호 중 하나의 신호를 배타적으로 전하 전송부(130)에 전달할 수 있다. 다만, 두 신호 모두 전달시에는 전하 전송 실행 신호(TGX(i))를 주신호로 전달한다.

스위칭부(50)는 전하 전송 실행 신호(TGX(i))를 전달하는 제2 스위치(SW2(i)), 전원 전압(Vdd)보다 높은 전압을 전달하는 제3 스위치(SW3(i))를 구비한다. 여기서, 제1 내지 제3 스위치(SW1, SW2(i), SW3(i))를 NMOS 트랜지스터로 구현할 경우, 제2 스위치(SW2(i))의 W/L₂(Width/Length)는 제3 스위치(SW3(i))의 W/L₃보다 충분히 클 수 있다. 이런 조건을 만족할 경우, 제2 및 제3 스위치(SW2(i), SW3(i))가 모두 턴온되더라도 제3 스위치(SW3(i))가 전달하는 전류의 양이 적기 때문에 제2 스위치(SW2(i))가 전달하는 전하 전송 실행 신호(TGX(i))가 주신호가 될 수 있다. 다만, 제1 스위치(SW1)의 W/L₁ 및 제3 스위치(SW3(i))의 W/L₃은 W/L₃ ≥ (1/a)W/L₁의 관계를 가질 수 있다. 왜냐하면, 제3 스위치(SW3(i))는 전하 전송부(130)의 로딩 커패시터의 커패시턴스를 충전할 정도의 크기는 가져야 하기 때문이다.

도 6은 본 발명의 일 실시예에 따른 이미지 센서의 부스팅부 및 스위칭부를 나타낸 블록도이다. 도 7은 본 발명의 일 실시예에 따른 이미지 센서의 부스팅부 및 스위칭부의 회로도이다. 도 8은 본 발명의 일 실시예에 따른 이미지 센서의 부스팅부 및 스위칭부의 타이밍도(timing diagram)이다. 다만, 도 5와 동일 또는 해당 부분은 동일한 도면 부호를 사용하여 설명을 생략한다. 화소 배열부(10)는 N개의 행으로 이루어져 있고, 설명의 편의상 i번째 행의 전하 전송 실행 신호(TGX(i)), 리셋 신호(RST(i)), 선택 신호(ROW(i)), 전하 전송 신호(TG(i))를 예로 든다.

우선 도 6 및 도 7을 참조하면, 구동 신호 제공부(30)는 타이밍 컨트롤러(도면 미도시)에 의해서 제어되고, 전하 전송 실행 신호(TGX(i))를 제i 스위칭부(50_i)에 제공한다.

부스팅부(40)는 전원 전압(Vdd)을 부스팅하여 전원 전압(Vdd)보다 높은 전압을 제공한다.

부스팅 커패시터(CBST)는 전원 전압(Vdd)에 의해 충전되고, 부스팅 제어 신호(BSTX)가 하이일 때 충전된 전하를 펌핑하여 전원 전압(Vdd)보다 높은 전압을 제공하는 역할을 한다. 또한, 제1 스위치(SW1)는 전부스팅 신호(BSTP)의 반전 신호에 의해 제어된다.

스위칭부(50)는 도 6과 같이 제1 내지 제N 스위칭부(50₁, ..., 50_i, ..., 50_N)가 각 행과 연결되어 형성되고, 제1 내지 제N 스위칭부(50₁, ..., 50_i, ..., 50_N)는 하나의 부스팅부(40)에서 제공된 전원(Vdd)보다 높은 전압을 각 행에 전달하는 역할을 한다.

제i 스위칭부(50_i)는 구동 신호 제공부(30)로부터 전하 전송 실행 신호(TGX(i))를 수신하고 부스팅부(40)로부터 전원 전압(Vdd)보다 높은 전압을 수신하여, 두 신호 중 하나의 신호를 선택적으로 전하 전송부(130)에 전달한다. 다만, 두 신호를 모두 전달할 경우에는 전하 전송 실행 신호(TGX)를 주신호로 전달하고, 전원 전압(Vdd)보다 높은 전압은 부신호로 전달한다.

제i 스위칭부(50_i)는 전하 전송 실행 신호(TGX(i))는 제2 스위치(SW2(i))를 통해서, 전원 전압(Vdd)보다 높은 전압은 제3 스위치(SW3(i))를 통해서 전하 전송부(도2의 130 참조)에 전달한다. 여기서, 제1 내지 제3 스위치(SW1, SW2(i), SW3(i))를 NMOS 트랜지스터로 구현할 경우, 제2 스위치(SW2(i))의 W/L₂(Width/Length)는 제3 스위치(SW3(i))의 W/L₃보다 충분히 클 수 있다. 또한, 제1 스위치(SW1)의 W/L₁ 및 제3 스위치(SW3(i))의 W/L₃은 W/L₃ ≥ (1/a)W/L₁의 관계를 가질 수 있다.

부트 스트랩(boot strap) 커패시터(CBS(i))는 제3 스위치(SW3(i))의 게이트와 소스를 전기적으로 연결하고, 게이트와 소스가 소정의 전압차를 유지토록 한다. 부트 스트랩 커패시터(CBS(i))의 커패시턴스는 기생(parasitic) 커패시터와 정선 리키지(junction leakage) 성분을 보상할 정도이면 되므로, 0.001 내지 0.1pF이면 충분하다.

제i 스위칭부(50_i)는 리셋 신호(RST(i)) 및 선택 신호(ROW(i))에 응답하여 제어 신호를 제3 스위치(SW3(i))의 게이트에 제공하는 제i 제어 신호 제공부(90_i)를 더 포함한다. 즉, 제i 제어 신호 제공부(90_i)는 리셋 신호(RST(i)) 및 선택 신호(ROW(i))가 하이일 경우 전원 전압(Vdd)을 전달하고, 선택 신호(ROW(i))가 로우일 경우 접지 전압(Vss)을 전달한다. 본 발명의 일 실시예에서 제i 제어 신호 제공부(90_i)는 전원 전압(Vdd)과 제3 스위치(SW3(i))의 게이트 사이에 연결되고 게

이트는 리셋 신호(RST(i)) 및 선택 신호(ROW(i))의 앤드(AND) 연산 신호와 연결된 제4 스위치(SW4(i))와, 제3 스위치(SW3(i))의 게이트와 접지 전압(V_{ss}) 사이에 연결되고 게이트는 선택 신호(ROW(i))의 반전 신호와 연결된 제5 스위치(SW5(i))를 포함한다.

부트 스트랩(boot strap) 커패시터(CBS(i))는 제 5스위치(SW5(i))가 턴온될 때 0V로 리셋되고, 그 후 제4 스위치(SW4(i))가 턴온될 때 전원 전압(V_{dd})에 의해 충전된다.

본 발명의 일 실시예에 따른 이미지 센서(1)의 부스팅부(40) 및 스위칭부(50)에서는 동작 특성 및 제조 공정상의 특성상 NMOS 트랜지스터로 회로를 구성하는 것이 바람직하다.

도 8을 참조하여 본 발명의 일 실시예에 따른 이미지 센서의 부스팅부 및 스위칭부의 동작을 설명한다.

시간 t₁까지의 시간(0<t<t₁)에는 전부스팅 신호(BSTP)가 로우이므로 제1 스위치(SW1)가 턴온되어, V_{dd}-V_{th1}의 전압이 노드 E에 전달된다. 따라서, 부스팅 커패시터(CBST)의 전압(V(CBST))은 V_{dd}-V_{th1}가 된다.

선택 신호(ROW(i))는 로우이고 리셋 신호(RST(i))는 하이이므로, 제4 스위치(SW4(i))는 턴다운되고 제5 스위치(SW5(i))는 턴온된다. 따라서, 부트 스트랩 커패시터(CBS(i))는 0V로 리셋된다. 따라서, 노드 H는 0V로 유지되므로 제3 스위치(SW3(i))는 턴다운된 상태이다.

전하 전송 실행 신호(TGX(i))는 로우이므로 노드 G가 하이가 되어 제2 스위치(SW2(i))는 턴온되어 전하 전송 신호(TG(i))는 로우가 된다.

시간 t₁에서 선택 신호(ROW(i))가 로우에서 하이가 되므로, 제5 스위치(SW5(i))는 턴오프되고 제4 스위치(SW4(i))는 턴온된다. 따라서, 제i 제어 신호 제공부(90_i)는 전원 전압(V_{dd})을 제3 스위치(SW3(i))의 게이트에 제공한다. 여기서, 부트 스트랩 커패시터(CBS(i))는 V_{dd}-V_{th4}로 충전되고, 노드 H는 V_{dd}-V_{th4}가 되므로 제3 스위치(SW3(i))이 턴온된다.

여기서, 제2 및 제3 스위치(SW3(i))가 모두 턴온되어 있으므로, 전하 전송 신호(TG(i))로 두 개의 신호, 즉, 제2 스위치(SW2(i))가 전달하는 전하 전송 실행 신호(TGX(i))와 제3 스위치(SW3(i))가 전달하는 전원 전압(V_{dd})보다 높은 전압이 전달된다. 이 경우, 제2 스위치(SW2(i))의 W/L₂(Width/Length)는 제3 스위치(SW3(i))의 W/L₃보다 충분히 크기 때문에, 제3 스위치(SW3(i))를 통해서 전달되는 전원 전압(V_{dd})보다 높은 전압이 전하 전송 신호(TG(i))에 미치는 영향은 미비하다. 즉, 전하 전송 실행 신호(TGX(i))는 주신호가 되고, 전원 전압(V_{dd})보다 높은 전압은 부신호가 된다.

시간 t₂에서 리셋 신호(RST(i))가 로우가 되므로 제4 스위치(SW4(i))가 턴다운되어 노드 H는 플로팅 상태가 된다. 여기서도, 제2 및 제3 스위치(SW3(i))가 모두 턴온되어 있으나, 제3 스위치(SW3(i))의 W/L₃는 충분히 작으므로 전하 전송 신호(TG(i))는 로우 레벨을 그대로 유지한다.

시간 t₃에서 전부스팅 신호(BSTP)가 하이가 되므로 제1 스위치(SW1)가 턴오프되고, 전하 전송 실행 신호(TGX(i))가 하이가 되므로 제2 스위치(SW2(i))가 턴오프된다.

하지만, 노드 E의 전압은 턴온되어 있는 제3 스위치(SW3(i))을 통해서 노드 I로 전달되므로, 전하 전송 신호(TG(i))는 V_{dd}-V_{th1}가 된다. 따라서, 노드 I가 0V에서 V_{dd}-V_{th1}로 되면서, 부트 스트랩 커패시터(CBS(i))는 부스팅 동작을 하여 노드 H가 2V_{dd}-V_{th4}-V_{th1}이 된다.

시간 t₄에서 부스팅 제어 신호(BSTX)가 하이가 되므로 부스팅 커패시터(CBST)는 충전된 전하를 펌핑하여 부스팅 동작을 하게 된다. 그런데, 전하 전송 신호(TG(i))가 제공되는 전하 전송부(도2의 130 참조)를 외부에서 보면, 수pF의 커패시턴스를 갖는 로딩(loading) 커패시터(CTG(i))가 위치하는 것처럼 보인다. 따라서, 부스팅 커패시터(CBST)는 로딩 커패시터(CTG(i))와 전술한 수학식 1에 의해 전하를 분배하게 된다. 따라서, 부스팅 커패시터(CBST)가 충전된 전하를 펌핑하면 노드 E를 V_{bst}+ V_{dd}-V_{th1}로 할 수 있다.

다만, 부스팅 커패시터(CBST)가 로딩 커패시터(CTG(i))에 비해 충분히 크다면 부스팅 전압(V_{bst})은 전원 전압(V_{dd})와 같은 것으로 간주될 수 있다. 따라서, 부스팅 전압(V_{bst})을 충분히 높이기 위해서는 부스팅 커패시터(CBST)의 커패시턴

스가 클수록 바람직하다. 따라서, 부스팅 커패시터(CBST)의 커패시턴스는 로딩 커패시터(CTG(i))의 커패시턴스의 a배 (단, a는 2 이상) 일 수 있다. 예를 들어, 부스팅 커패시터(CBST)의 커패시턴스는 로딩 커패시터(CTG(i))의 커패시턴스의 10배일 수 있다.

여기서, 전원 전압(Vdd)보다 높은 전압을 전달하는 제3 스위치(SW3(i))의 W/L_3 과 제1 스위치(SW1)의 W/L_1 는 $W/L_3 \geq (1/a)W/L_1$ 의 관계를 갖는 것이 바람직하다. 왜냐하면, 제3 스위치(SW3(i))는 전하 전송부(130)의 로딩 커패시터(CTG(i))의 커패시턴스를 충전할 정도의 크기는 가져야 하기 때문이다.

또한, 제3 스위치(SW3(i))은 턴온되어 있는 상태이므로, 노드 E의 전압은 노드 I로 전달된다. 따라서, 전하 전송 신호(TG(i))는 $V_{bst} + V_{dd} - V_{th1}$ 가 된다. 그런데, 노드 I의 전압이 상승되므로, 부트 스트랩 커패시터(CBS(i))의 부스팅 동작에 의해 노드 H의 전압이 $V_{bst} + 2V_{dd} - V_{th4} - V_{th1}$ 이 된다.

시간 t5에서 부스팅 실행 신호(BSTX) 및 전부스팅 신호(BSTP)가 로우가 되므로, 다시 전원 전압(Vdd)이 제1 스위치(SW1)를 통해 전달되어 노드 E는 $V_{dd} - V_{th1}$ 가 된다.

또한, 전하 전송 실행 신호(TGX(i))가 로우가 되므로, 제2 스위치(SW2(i))가 턴온된다. 따라서, 전하 전송 신호(TG(i))는 로우가 된다. 여기서, 제3 스위치(SW3(i))도 턴온되어 있으나, 전하 전송 실행 신호(TGX(i))가 주신호가 되고 전원 전압(Vdd)보다 높은 전압이 부신호가 되므로 전하 전송 신호(TG(i))는 로우가 됨은 전술한 바와 같다.

따라서, 전하 전송 신호(TG(i))가 로우가 되므로 노드 I의 전압도 로우가 되고, 노드 H의 전압도 $V_{dd} - V_{th4}$ 가 된다.

본 발명의 일 실시예에서는 부스팅 실행 신호(BSTX)와 전부스팅 신호(BSTP)가 동시에 로우가 되는 경우를 설명하였으나, 부스팅 실행 신호(BSTX)가 먼저 로우가 되고 그 후 전부스팅 신호(BSTP)가 로우가 될 수 있다. 이 경우, 전하 전송 신호(TG(i))의 전압 레벨은 $V_{bst} + V_{dd} - V_{th1}$ 에서 바로 0V가 되지 않고, $V_{bst} + V_{dd} - V_{th1}$ 에서 $V_{dd} - V_{th1}$ 을 거쳐 0V가 될 수 있다.

도 9는 본 발명의 일 실시예에 따른 이미지 센서의 개념도와 전위 도면(potential diagram)이다. 여기서, 동작 전의 전위 레벨은 점선으로, 동작 후의 전위 레벨은 실선으로 표시한다. 전위 도면은 아래 방향이 전위가 증가되는 방향이다. 여기서, 도 9는 도 8의 리셋 신호(RST(i)), 선택 신호(ROW(i)), 전하 전송 신호(TG(i))에 따른 전위의 변화를 나타낸다.

도 8 및 도 9를 참조하여 광전 변환부(110)를 핀드 포토 다이오드로 사용한 이미지 센서(1)의 구동(operation)을 설명한다. 일반적으로, 화소 배열부(도1의 10 참조)에 위치하는 모든 단위 화소들은 공통적으로 전하를 축적(integration)하게 된다. 또한, 리셋 신호(RST(i)), 선택 신호(ROW(i))는 화소 배열부(10)의 특정한 행(row)에 위치하는 단위 화소들에 공통된(common) 신호이다. 다른 말로 하면, 특정한 행에 위치하는 단위 화소들은 고유한 리셋 신호(RST), 선택 신호(ROW)를 제공받는다.

화소 배열부(10)에는 N개의 행으로 이루어져 있고, 각 행들은 ROW(1), ..., ROW(i), ROW(i+1), ..., ROW(N)의 순서로 순차적으로 읽혀진다. 또한, 설명의 편의상 ROW(i)을 위주로 설명하기로 한다. 전술하였듯이, 선택 신호(ROW(i)), 리셋 신호(RST(i)), 전하 전송 신호(TG(i))는 타이밍 컨트롤러(도면 미도시)에 의해서 제어되는 행 구동부(20)가 화소 배열부(10)에 제공한다. 화소 배열부(10)는 이러한 다수 개의 신호들(ROW(i), RST(i), TG(i))를 제공받아 전하를 축적하고(integration period), 축적된 전하를 전하 검출부(120)에 전송하고, 전하 검출부(120)에서 잡음 레벨과 신호 레벨이 이중으로 샘플링된다(double sampling).

시간 t1까지의 구간($0 < t < t_1$)은 비선택 상태이다. 즉, 선택 신호(ROW(i)), 전하 전송 신호(TG(i))는 로우(low)이고, 리셋 신호(RST(i))만 하이가 된다. 그런데, 전하 전송부(130)는 과도한 빛 에너지가 조사되었을 때 발생할 수 있는 광전 변환부(110)에서의 오버 플로우(overflow) 현상을 막기 위해 공핍형(depletion type) 트랜지스터 또는 낮은 문턱 전압(V_{th})을 갖는 증가형(enhancement type) 트랜지스터를 사용한다. 따라서, 전하 전송부(130)가 비활성시에도 소정의 채널이 형성되어 일정량 이상의 전하가 전하 전송부(130)를 통해서 전하 검출부(120)로 빠져나가게 된다. 특히, 리셋 신호(RST(i))가 하이가 되어 있으므로, 전하 검출부(120)의 전하가 충분히 외부로 배출될 수 있다.

시간 t1에서 선택 신호(ROW(i))가 하이가 되면, 선택부(160)는 활성화된다. 즉, 전하 검출부(120)에 저장된 전하들이 선택된 단위 화소(100)와 연결된 수직 신호 라인(도1의 12 참조)을 통해서 읽혀질 수 있도록 준비된다.

시간 t2에서 리셋 신호(RST(i))는 로우(low)가 된다. 리셋 신호(RST(i))가 로우(low)가 되면, 각 화소마다 다른 오프셋(offset) 레벨, 즉 잡음 레벨이 수직 신호 라인(12)을 통해서 읽혀진다. 도면에는 표시하지 않았으나, 수직 신호 라인(12) 상의 잡음 레벨은 샘플 홀드 펄스(SHP)에 의해 상관 이중 샘플링부(도1의 70 참조)에 보유된다.

시간 t3에서 전하 전송 신호(TG(i))는 하이가 되면, 전하 전송부(130)는 활성화된다. 즉, 광전 변환부(110)에서 전하 검출부(120)로 축적된 전하를 전송한다. 이 때, 전하 검출부(120)는 기생 커패시턴스를 갖고 있으므로 전하가 누적적으로 저장되고, 이에 따라서 전하 검출부(120)의 전위는 변화된다. 이와 같이 전하 전송부(130)가 활성화된 기간(시간 t3에서 시간 t5까지의 기간)을 전송 기간이라 한다.

그런데, 광전 변환부(110)에 축적된 전하가 전부 전하 검출부(120)로 전송되지 못한다. 이와 같이 광전 변환부(110)에 남겨진 전하는 다음 회의 읽기 동작시에 잔상으로 나타난다. 변환 이득 및 광전 변환부(110)의 전하 축적 용량 감소의 원인이 되기도 한다.

시간 t4에서 전하 전송 신호(TG(i))는 전원 전압(Vdd)보다 높은 전압이 된다. 이와 같이 함으로써, 바람직하게는 전하 전송부(130)의 전위를 광전 변환부(110)의 전위보다 더 높일 수 있다. 따라서, 광전 변환부(110)에 남겨진 전하가 모두 전하 검출부(120)로 전송될 수 있다.

시간 t5에서 전하 전송 신호(TG(i))는 로우가 된다. 전하 전송 신호(TG(i))가 로우가 되면, 변화된 전하 검출부(120)의 전위, 즉 신호 레벨이 수직 신호 라인(12)을 통해서 읽혀진다. 도면에는 표시하지 않았으나, 수직 신호 라인(12) 상의 신호 레벨은 샘플 홀드 펄스(SHD)에 의해 상관 이중 샘플링부(70)에 보유된다.

즉, 하나의 단위 화소(도 2의 100)에서 잡음 레벨과 신호 레벨이 각각 순차적으로 샘플링된다. 물론, 신호 레벨이 먼저 샘플링되고, 그 후에 잡음 레벨이 샘플링될 수도 있다.

이와 같은 동작은 우선 잡음 레벨과 신호 레벨의 출력이 소정의 스위치를 이용하여 제어되기 때문에, 동일한 경로를 사용하더라도 고정적인 잡음 레벨이 이론상 발생하지 않게 한다. 또한, 순차적으로 출력되기 때문에, 별도의 메모리를 이용하지 않고도 차등 회로인 상관 이중 샘플링부(70)에 의해 잡음 레벨과 신호 레벨의 차이를 획득할 수 있어 시스템이 단순화될 수 있다.

이후에는 영상 신호 처리부(도면 미도시)가 화면을 표시하기까지, 다수 개의 처리 과정을 거친다. 예를 들어, 상관 이중 샘플링부(70)는 잡음 레벨과 신호 레벨의 차이 레벨을 출력하게 된다. 따라서, 단위 화소(100) 및 수직 신호 라인(12)의 특성 분산으로 인한 고정적인 잡음 레벨이 억제된다. 또한, 아날로그-디지털 변환부(도 1의 80)는 상관 이중 샘플링부(70)에서 출력되는 아날로그 신호를 수신하여 디지털 신호로 출력한다.

도면에는 표시하지 않았으나 선택 신호(ROW(i))가 로우가 된 후, 다음 행의 선택 신호(ROW(i+1))이 하이가 된다. 이후의 동작은 i번째 행과 동일하다.

설명의 편의상, 동영상 처리를 위한 롤링 셔터 모드(rolling shutter mode)에 대해 설명하였으나, 정지 영상을 처리하기 위한 싱글 프레임 캡처 모드(Single Frame Capture Mode; SFCM) 등에 적용할 수 있다.

또한, 모든 단위 화소(100)의 신호가 독립적으로 읽혀지는 전화소 독립 읽기 모드(all pixel independent reading mode)에 대해 설명하였으나, 이에 제한되지 않는다. 물론, 홀수(짝수) 선의 신호가 제1 필드에서 읽혀지고, 짝수(홀수) 선의 신호가 제2 필드에서 읽혀지는 프레임 읽기 모드(frame reading mode)도 가능하다. 또한, 2개의 인접선의 신호가 동시에 읽혀져 전압이 가산되고, 필드마다 가산된 2개의 선 조합을 변경시키는 필드 읽기 모드(field reading mode)도 가능하다.

도 10은 본 발명의 다른 실시예에 따른 이미지 센서의 부스팅부 및 스위칭부를 나타낸 블록도이다. 도 1과 동일 또는 해당 부분에 대해서는 동일한 도면 부호를 사용하여 설명을 생략한다.

도 10을 참조하면, 본 발명이 다른 실시예에 따른 이미지 센서에서, 부스팅부(40)는 다수개의 서브 부스팅부(40_1, 40_2, ... 40_M)를 포함하고, 서브 부스팅부(40)에서 전원 전압(Vdd)보다 높은 전압을 제공받는 다수 개의 스위칭부(50_1, 50_2, ... 50_M)를 포함한다. 예를 들어, 본 발명이 다른 실시예에 따른 이미지 센서에서는 100개의 행마다 각각 부스팅부(40_1, 40_2, ... 40_M) 및 스위칭부(50_1, 50_2, ... 50_M)가 위치한다. 물론, 다수 개의 행을 다수 개의 대역으로 분할하고 각각의 대역마다 전원 전압(Vdd)보다 높은 전압을 공급할 수 있으면 되고, 이에 한정되는 것은 아니다. 이렇게 함으로

써 다수 개의 행에는 각각 기생 커패시턴스들이 존재하고, 부스팅부(40_1, 40_2, ... 40_M)로부터 스위칭부(50_1, 50_2, ... 50_M)를 거쳐서 화소 배열부(10)에 이르기까지 존재할 수 있는 다수 개의 라인 로딩(line loading)에 의한 기생 효과를 줄일 수 있다.

도 11은 본 발명의 또 다른 실시예에 따른 이미지 센서의 부스팅부 및 스위칭부를 나타낸 블록도이다. 도 12는 본 발명의 또 다른 실시예에 따른 이미지 센서의 부스팅부 및 스위칭부의 회로도이다. 도 13a 및 도 13b는 본 발명의 또 다른 실시예에 따른 이미지 센서의 부스팅부 및 스위칭부의 타이밍도(timing diagram)이다. 특히, 도 13a는 본 발명의 또 다른 실시예에 따른 이미지 센서의 단위 화소가 선택되어 전하 전송 동작을 하는 경우의 타이밍도이고, 도 13b는 단위 화소가 일렉트릭 셔터 동작을 하는 경우의 타이밍도이다. 도 6 내지 도 8과 동일 또는 해당 부분은 동일한 도면 부호를 사용하여 설명을 생략한다.

도 11 내지 도 12를 참조하면, 본 발명의 또 다른 실시예에 따른 이미지 센서는 일렉트릭 셔터(electric shutter) 동작 기간 중 적어도 일부를 포함하는 기간 동안 전원 전압(Vdd)보다 높은 전압을 전하 전송부(130)에 제공한다. 여기서, 일렉트릭 셔터 동작은, 예를 들어 롤링 셔터 모드에서 읽혀지지 않는 단위 화소(100)의 전하 전송부(130)와 리셋부(140)를 동시에 활성화하여, 광전 변환부(110)를 초기 상태로 리셋하는 동작을 의미한다. 따라서, 일렉트릭 셔터 동작시에는 선택 신호(ROW(i)) 및 리셋 신호(RST(i))가 로우이므로, 디코더(도면 미도시)에서 디코딩되어 구동 신호 제공부(30)로 제공되는 전 리셋 신호(pre-reset signal; RSTP)와 셔터 인에이블 신호(Shutter Enable)를 이용하여 구현할 수 있다.

즉, 도 12를 참조하면, 스위칭부(50)의 제i 제어 신호 제공부(90_i)는 선택 신호(ROW(i)) 또는 셔터 인에이블 신호(Shutter Enable)가 하이이고, 전리셋(RSTP) 신호가 하이일 경우 전원 전압을 제2 스위치(SW2(i))의 게이트에 전달하고, 선택 신호(ROW(i)) 및 셔터 인에이블 신호(Shutter Enable)가 로우일 경우 접지 전압을 제2 스위치(SW2(i))의 게이트에 전달한다. 본 발명의 또 다른 실시예에서는 전원 전압(Vdd)과 제2 스위치(SW2(i))의 게이트 사이에 연결되고 게이트는 선택 신호(ROW(i))와 셔터 인에이블 신호(Shutter Enable)의 오아(OR) 연산 신호와 전리셋(RSTP) 신호의 앤드(AND) 연산 신호와 연결된 제4 스위치(SW4(i))와, 제2 스위치(SW2(i))의 게이트와 접지 전압(Vss) 사이에 연결되고 게이트는 선택 신호(ROW(i))와 셔터 인에이블 신호(Shutter Enable)의 노아(NOR) 연산 신호와 연결된 제5 스위치(SW5(i))를 포함한다.

도 13a를 참조하면, 본 발명의 또 다른 실시예는 리셋 신호(RST(i)) 대신 전리셋 신호(RSTP)를 사용한다는 점이 다르고, 나머지 동작은 동일하다. 즉, 일렉트릭 셔터 동작을 수행하지 않는 i번째 행은 전원 전압(Vdd)보다 높은 전압이 출력되고, 선택되지 않은 다른 행은 로우 레벨을 갖는다.

도 13b를 참조하면, 일렉트릭 셔터 동작시에는 선택 신호(ROW(i))가 로우이더라도, 셔터 인에이블 신호(Shutter Enable)가 하이가 되므로 제4 스위치(SW4(i))가 턴온되어 부트 스트랩 커패시터(CBS(i))의 전하가 충전됨을 알 수 있다. 따라서, 제3 스위치(SW3(i))가 턴온되어 전원 전압(Vdd)보다 높은 전압을 전하 전송부(130)에 전달할 수 있다.

본 발명의 일 실시예에 따른 이미지 센서(1)의 단위 화소(100)는 캐리어로서 음전하를 사용하고 NMOS 트랜지스터를 사용하였으나, 이에 제한되지 않는다. 즉, 캐리어로서 양전하를 사용하고 PMOS 트랜지스터를 사용할 수 있으며, 전압의 극성 또한 이에 따라 변경 가능하다.

본 발명의 일 실시예에 따른 이미지 센서(1)는 신호 처리 칩 및/또는 렌즈 시스템을 포함하고, 소정의 전기 장치 내에 내장되는 모듈형일 수 있다.

이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

발명의 효과

상기한 바와 같은 이미지 센서에 따르면 다음과 같은 효과가 하나 혹은 그 이상 있다.

첫째, 전하 전송 기간 또는 일렉트릭 셔터 기간 중 전원 전압(Vdd)보다 높은 전압을 전하 전송부 제공함으로써 광전 변환부에서 전하 검출부로의 전하 전송을 원활하게 한다.

둘째, 광전 변환부에 남겨진 전하에 의한 잔상 효과를 줄일 수 있다.

셋째, 변환 이득 및 광전 변환부의 전하 축적 용량을 향상시킬 수 있다.

넷째, 고전압을 견디기 위한 별도의 설계가 불필요하다.

다섯째, 스위칭부의 사이즈가 작고, 회로 구현이 간단하다.

도면의 간단한 설명

도 1은 본 발명의 일 실시예에 따른 이미지 센서를 나타낸 블록도이다.

도 2은 본 발명의 일 실시예에 따른 이미지 센서의 단위 화소의 회로도이다.

도 3은 본 발명의 일 실시예에 따른 이미지 센서의 단위 화소의 개략적인 평면도이다.

도 4a 내지 도 4b는 본 발명의 일 실시예에 따른 이미지 센서의 전하 전송부의 특성을 나타낸 도면이다.

도 5는 본 발명의 일 실시예에 따른 이미지 센서의 부스팅부 및 스위칭부를 나타낸 개념도이다.

도 6은 본 발명의 일 실시예에 따른 이미지 센서의 부스팅부 및 스위칭부를 나타낸 블록도이다.

도 7은 본 발명의 일 실시예에 따른 이미지 센서의 부스팅부 및 스위칭부의 회로도이다.

도 8은 본 발명의 일 실시예에 따른 이미지 센서의 부스팅부 및 스위칭부의 타이밍도(timing diagram)이다.

도 9는 본 발명의 일 실시예에 따른 이미지 센서의 개념도와 전위 도면(potential diagram)이다.

도 10은 본 발명의 다른 실시예에 따른 이미지 센서의 부스팅부 및 스위칭부를 나타낸 블록도이다.

도 11은 본 발명의 또 다른 실시예에 따른 이미지 센서의 부스팅부 및 스위칭부를 나타낸 블록도이다.

도 12는 본 발명의 또 다른 실시예에 따른 이미지 센서의 부스팅부 및 스위칭부의 회로도이다.

도 13a 및 도 13b는 본 발명의 또 다른 실시예에 따른 이미지 센서의 부스팅부 및 스위칭부의 타이밍도(timing diagram)이다.

(도면의 주요부분에 대한 부호의 설명)

1 : 이미지 센서 10 : 화소 배열부

20 : 행 구동부 30 : 구동 신호 제공부

40 : 부스팅부 50 : 스위칭부

70 : 상관 이중 샘플링부 80 : 아날로그-디지털 변환부

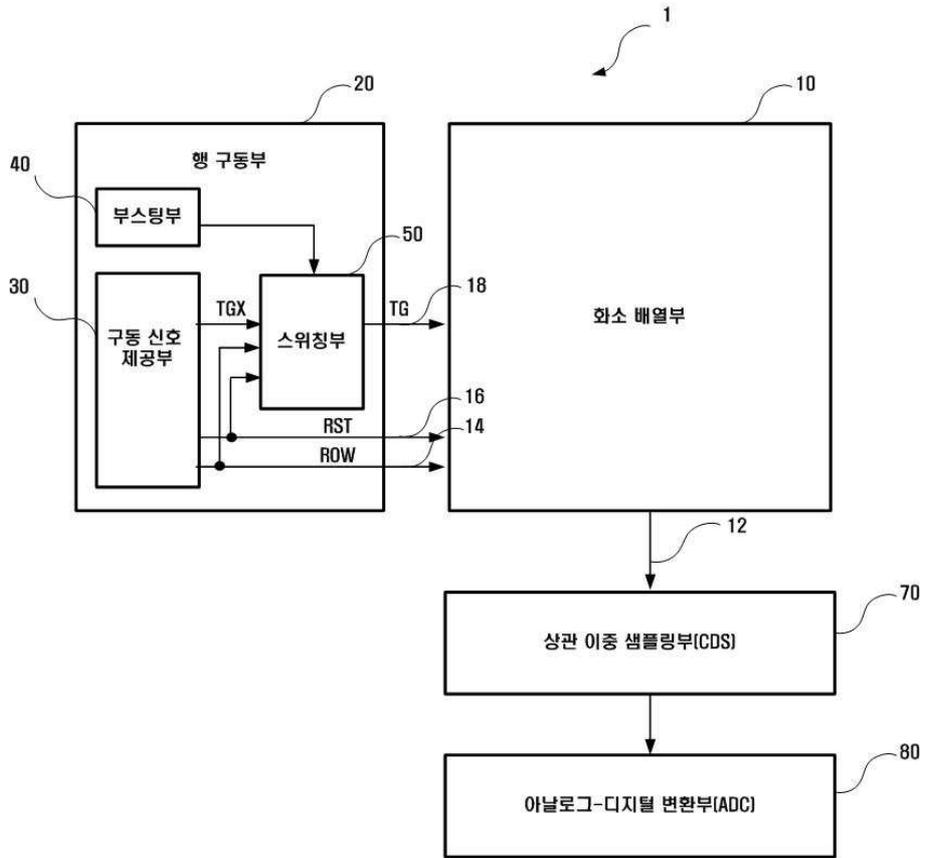
110 : 광전 변환부 120 : 전하 검출부

130 : 전하 전송부 140 : 리셋부

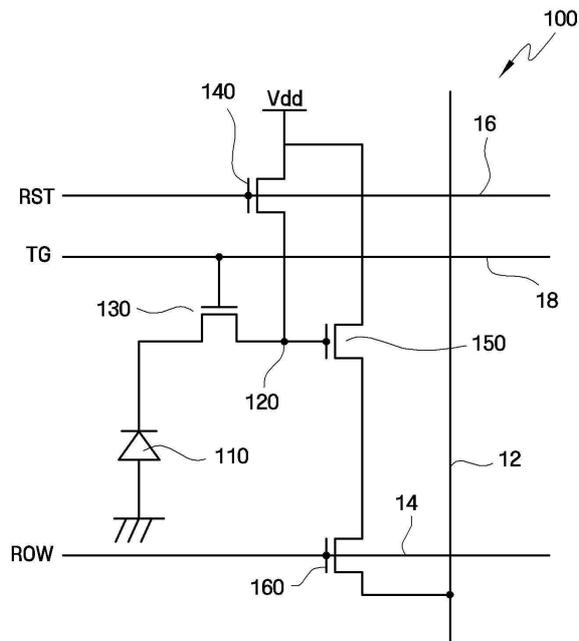
150 : 증폭부 160 : 선택부

도면

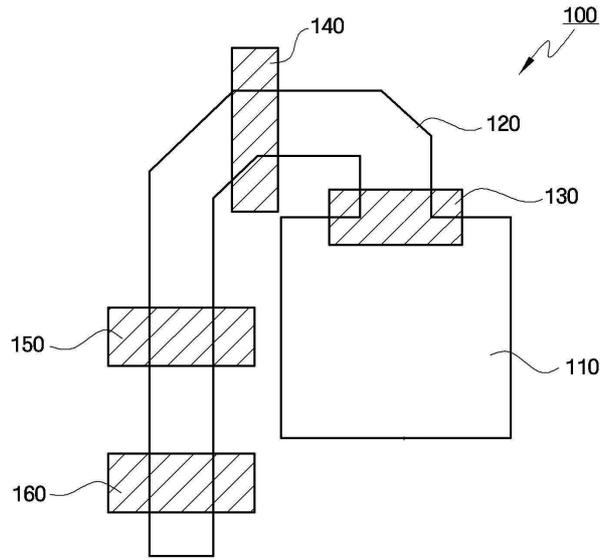
도면1



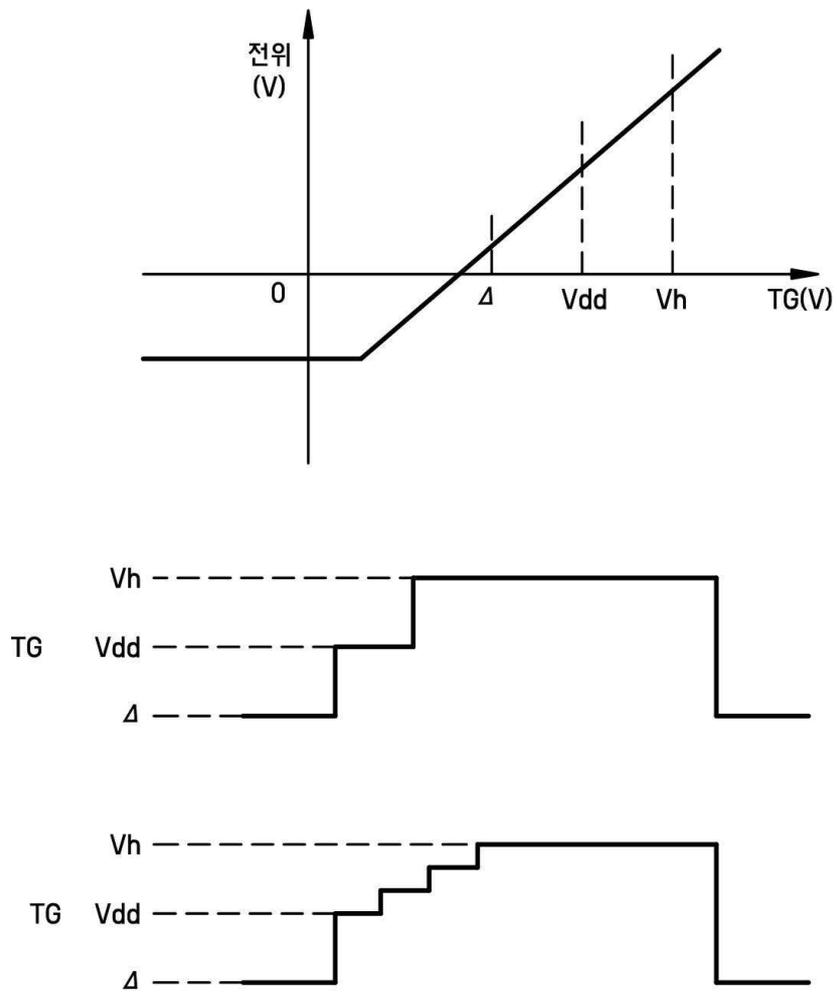
도면2



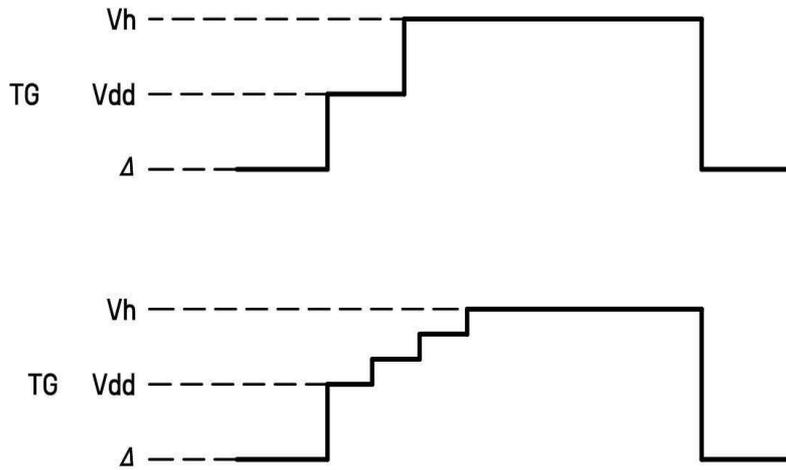
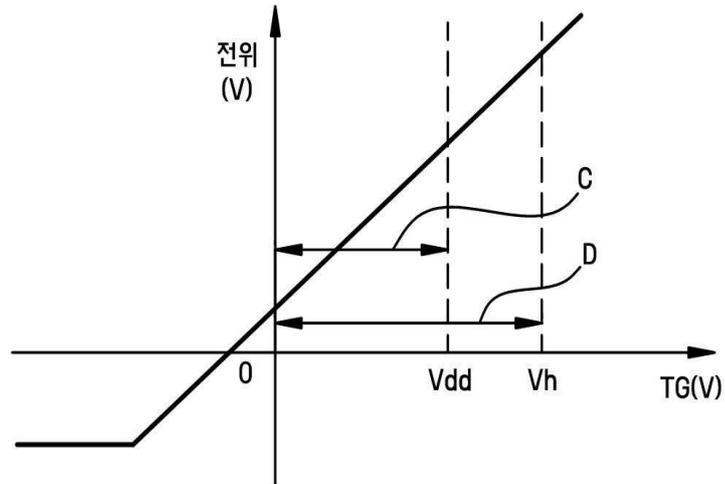
도면3



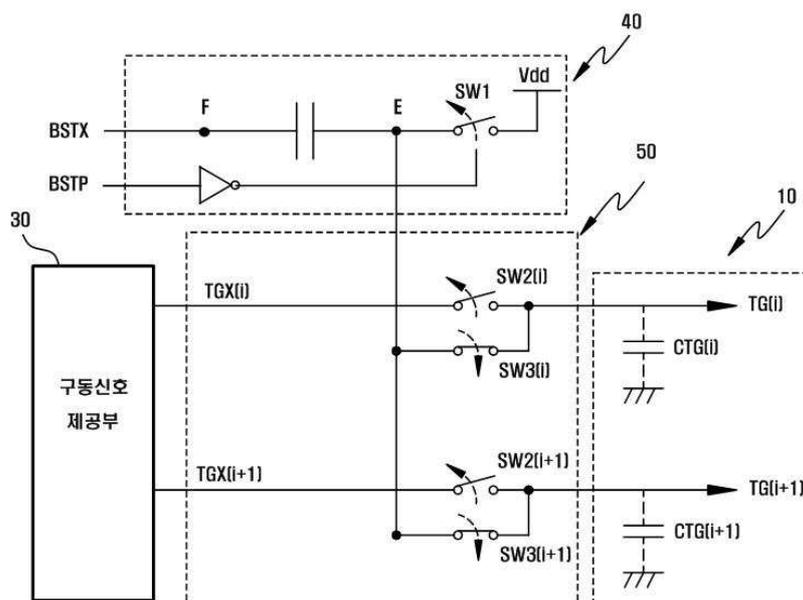
도면4a



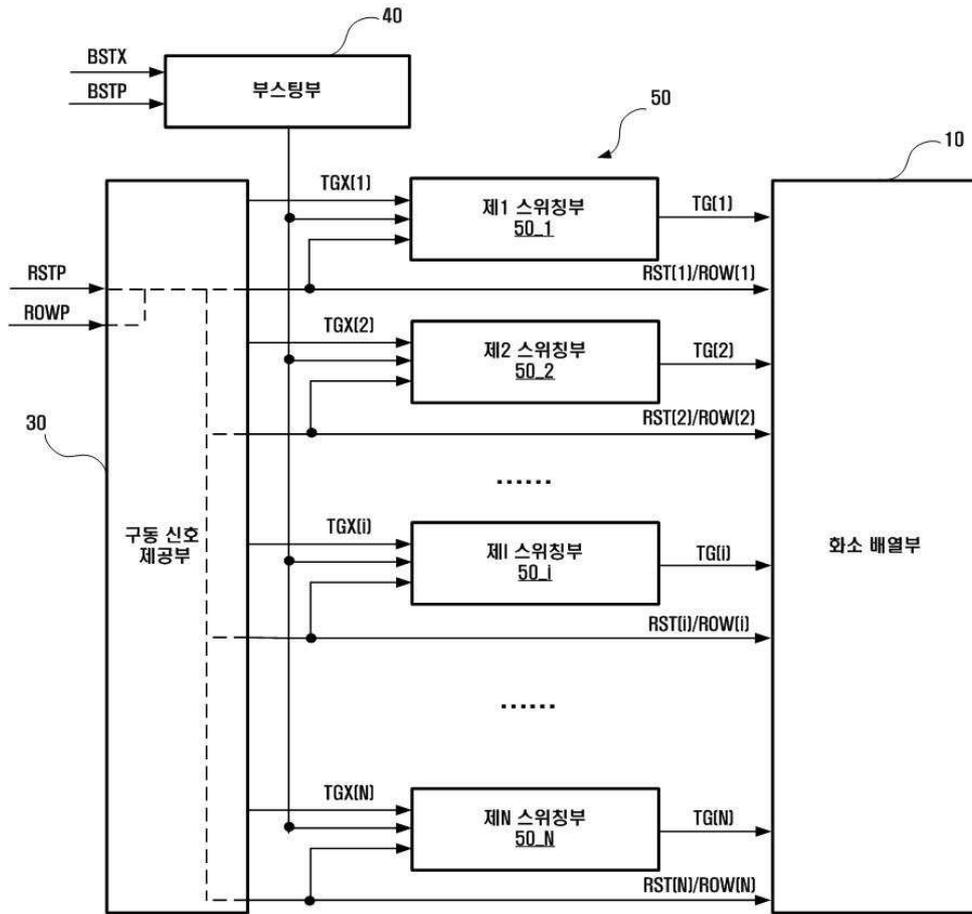
도면4b



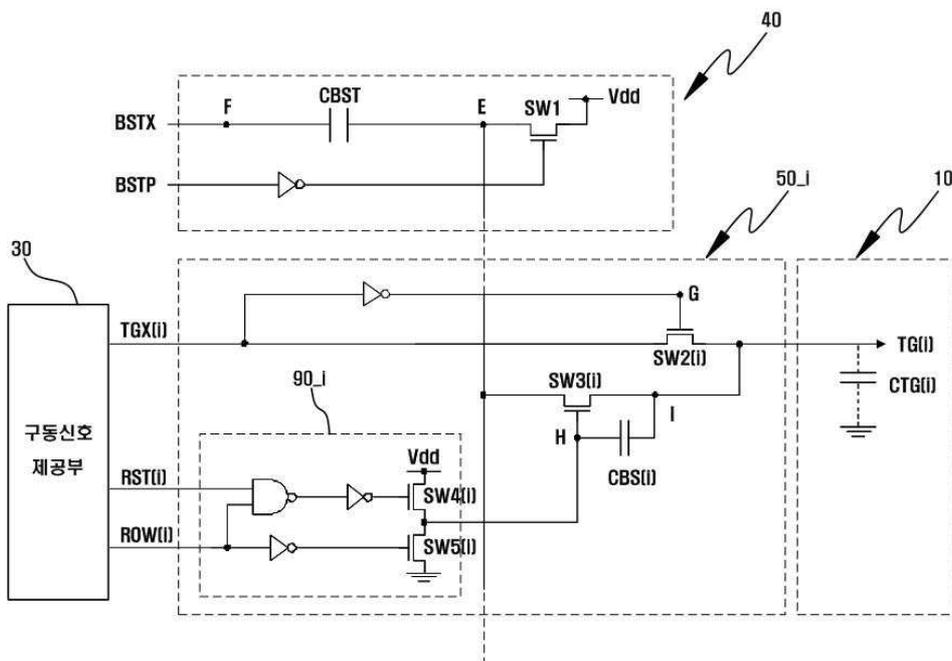
도면5



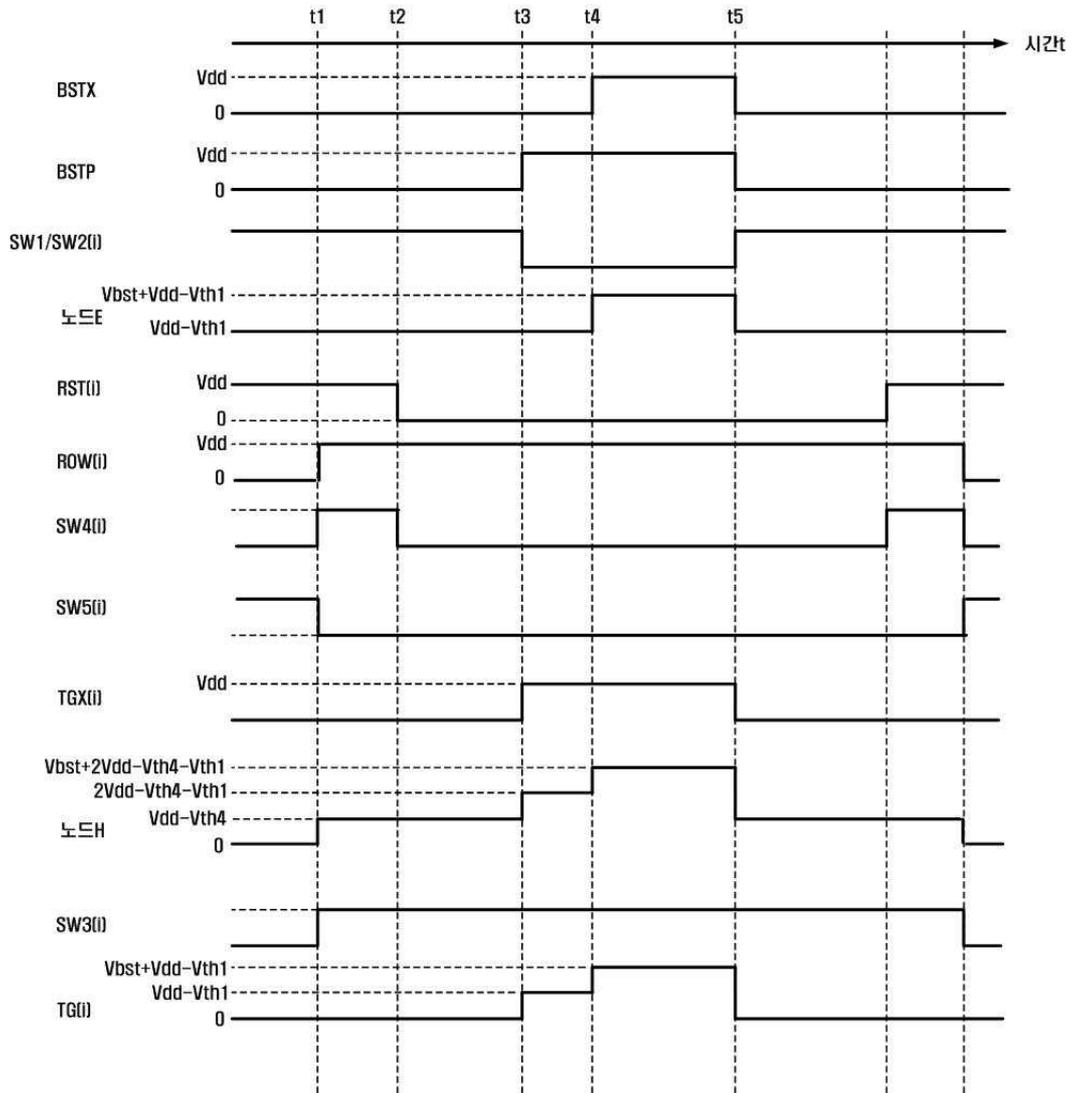
도면6



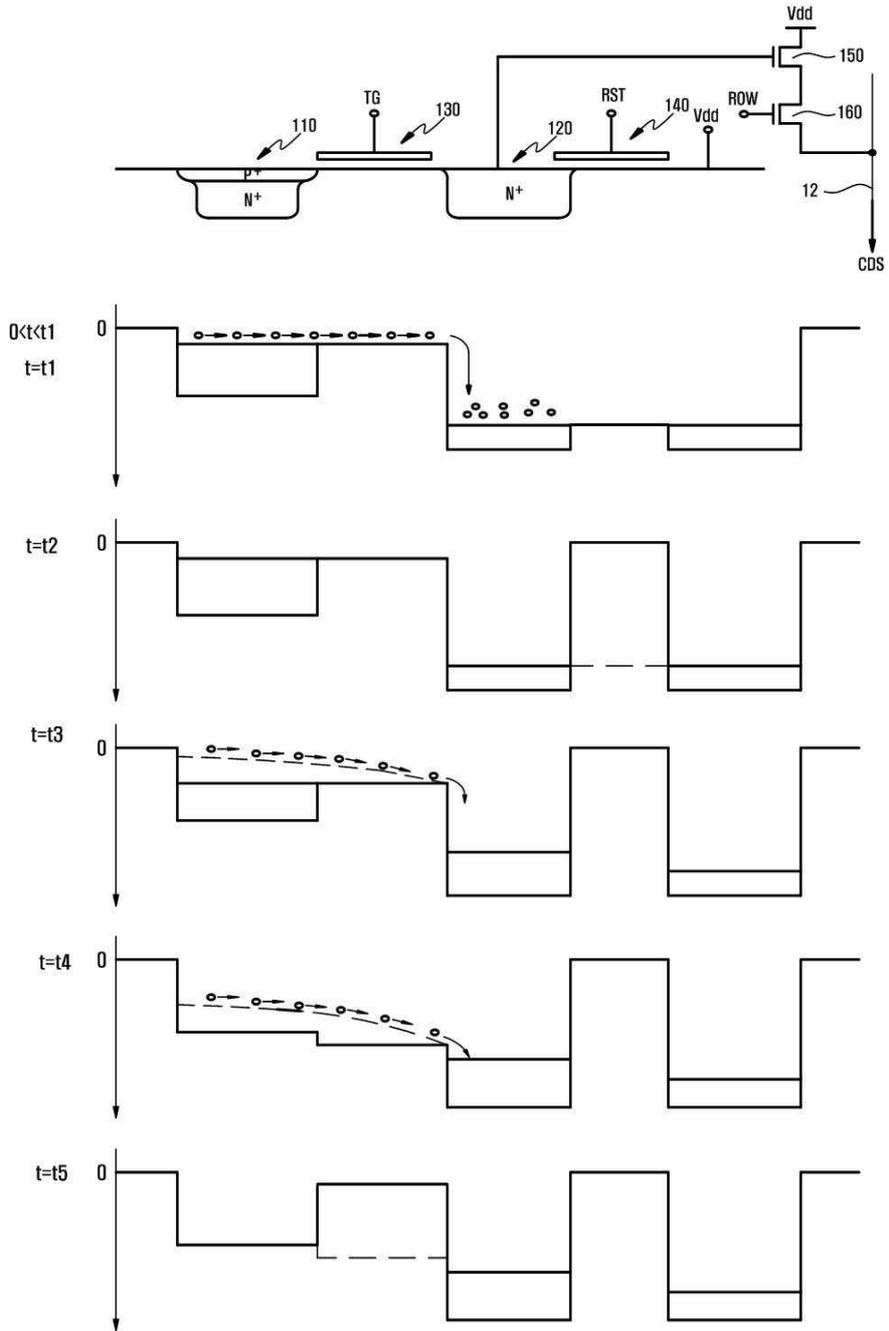
도면7



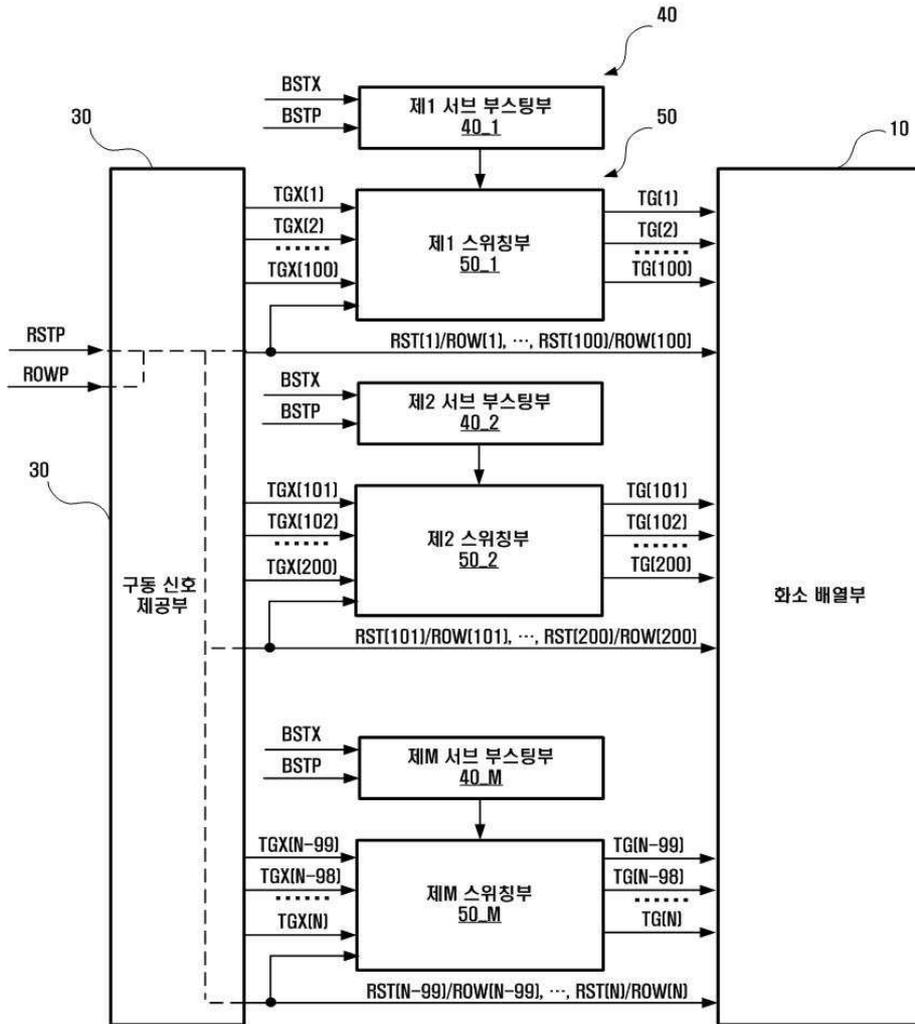
도면8



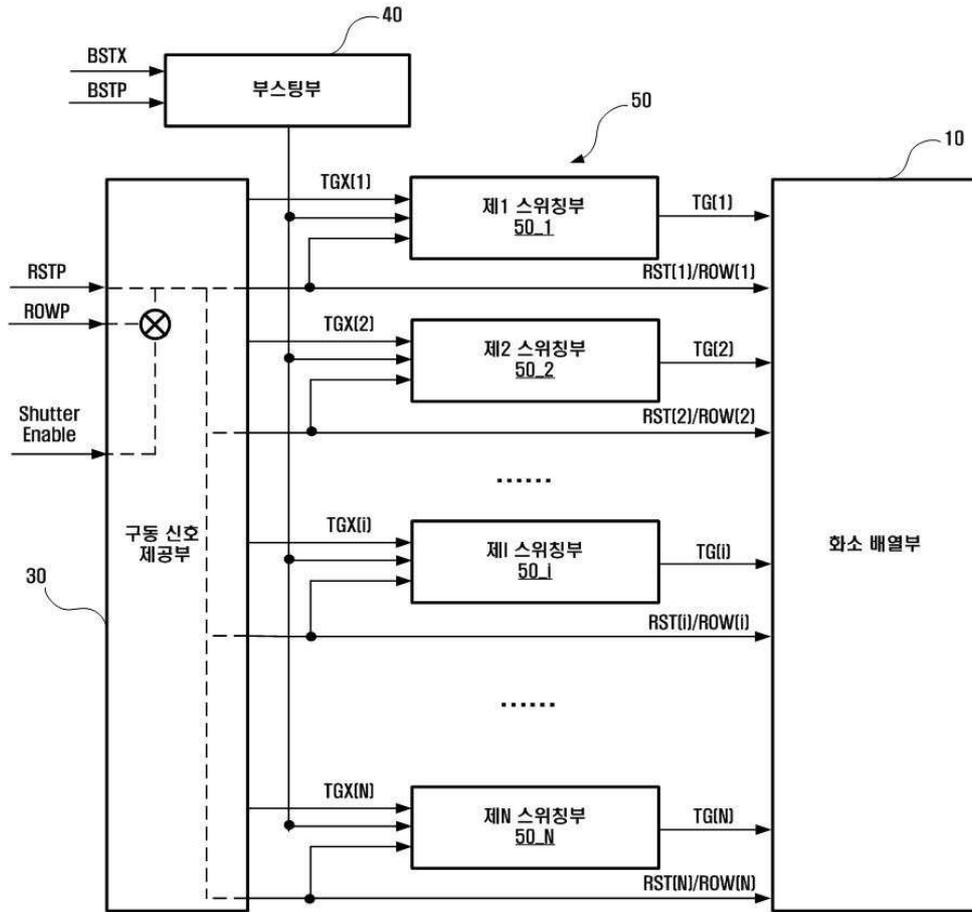
도면9



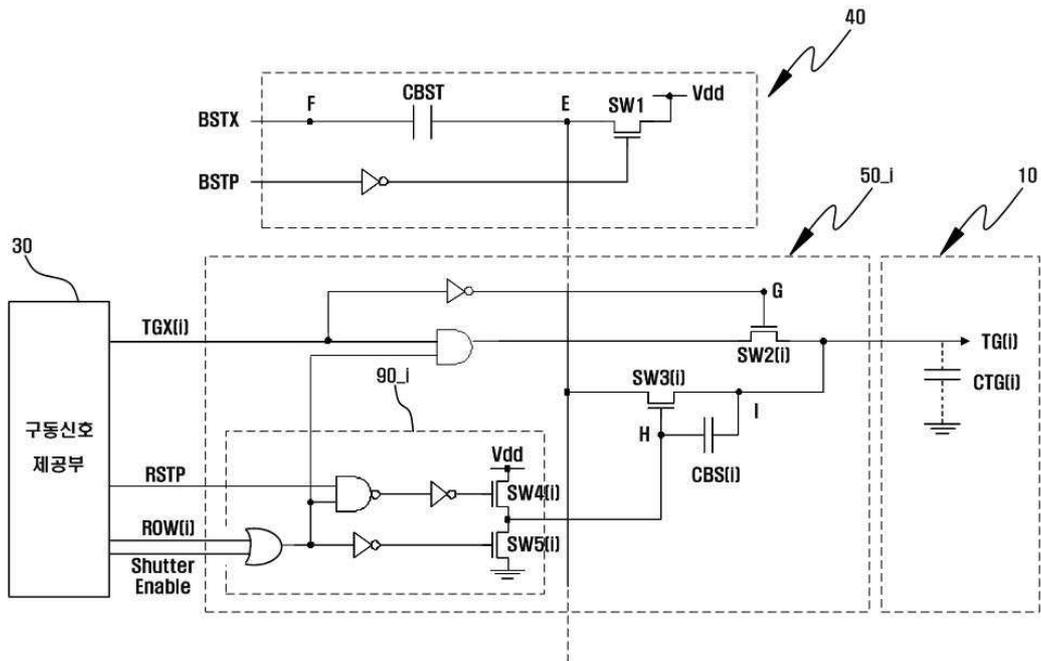
도면10



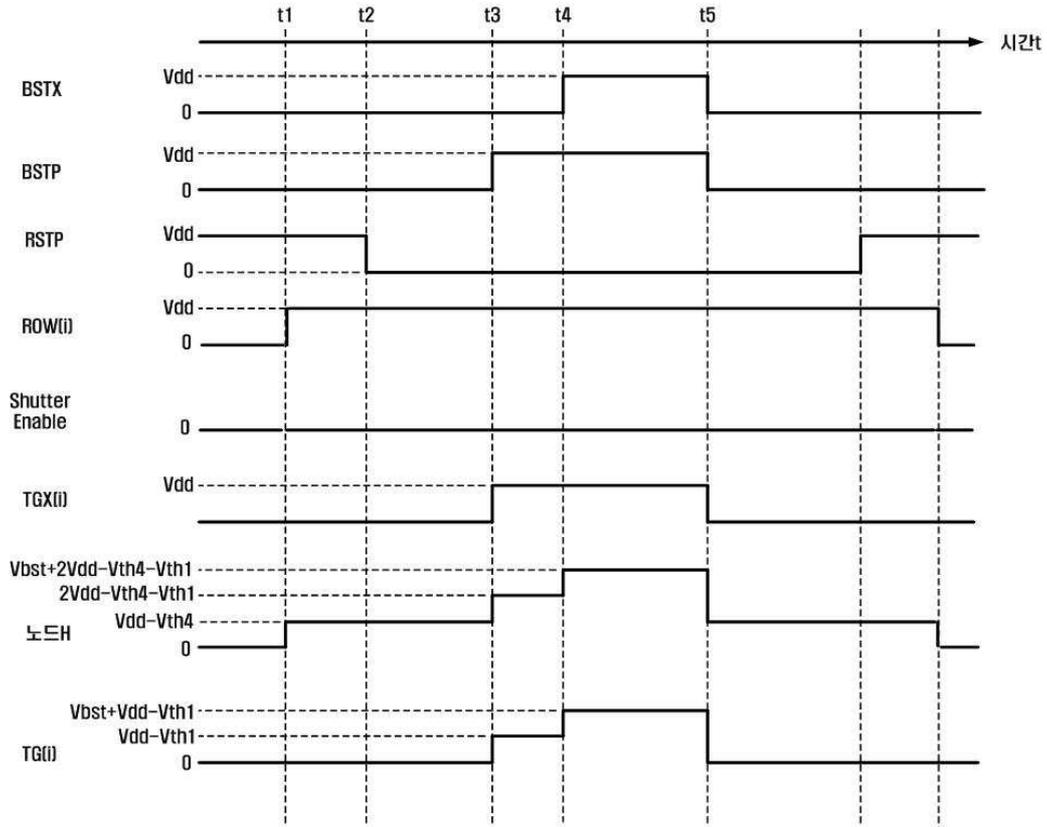
도면11



도면12



도면13a



도면13b

