

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2014 年 1 月 30 日 (30.01.2014)



(10) 国际公布号
WO 2014/015633 A1

(51) 国际专利分类号:
H03K 9/00 (2006.01)

(21) 国际申请号: PCT/CN2012/087187

(22) 国际申请日: 2012 年 12 月 21 日 (21.12.2012)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201210260825.8 2012 年 7 月 25 日 (25.07.2012) CN

(71) 申请人: 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。

(72) 发明人: 韩承佑 (HAN, Seung Woo); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。

(74) 代理人: 北京市柳沈律师事务所 (LIU, SHEN & ASSOCIATES); 中国北京市朝阳区北辰东路 8 号汇宾大厦 A0601, Beijing 100101 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG,

BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第 21 条(3))。

(54) Title: SHIFT REGISTER UNIT AND DRIVE METHOD THEREFOR, GATE DRIVE DEVICE AND DISPLAY DEVICE

(54) 发明名称: 移位寄存器单元及其驱动方法、栅极驱动装置和显示装置

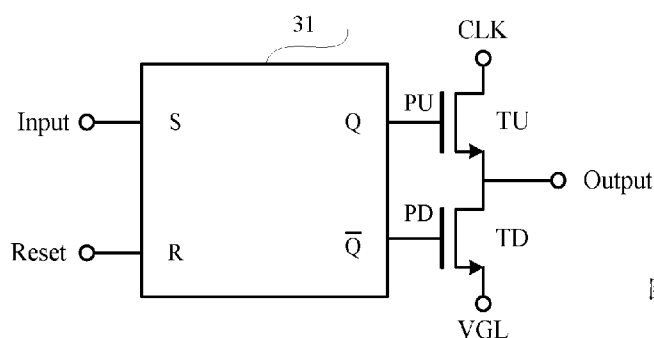


图 3 / FIG.3

(57) Abstract: Provided are a shift register unit and a drive method therefor, a gate drive device and a display device. The shift register unit comprises an RS trigger, a pull-up thin-film transistor and a pull-down thin-film transistor, wherein the set end of the RS trigger is connected to the input, the reset end thereof is connected to a reset signal input, the positive phase output thereof is connected to a pull-up node, and the inverse phase output thereof is connected to a pull-down node; the gate electrode of the pull-up thin-film transistor is connected to the pull-up node, the drain electrode thereof is connected to the clock signal input, and the source electrode thereof is connected to the pull-down node; the gate electrode of the pull-down thin-film transistor is connected to the pull-down node, the drain electrode thereof is connected to the output, and the source electrode thereof is connected to the low-level output.

(57) 摘要: 本发明提供了一种移位寄存器单元及其驱动方法、栅极驱动装置和显示装置。所述移位寄存器单元包括 RS 触发器、上拉薄膜晶体管和下拉薄膜晶体管, 其中, 所述 RS 触发器, 置位端与输入端连接, 复位端与复位信号输入端连接, 正相输出端与上拉节点连接, 反相输出端与下拉节点连接; 所述上拉薄膜晶体管, 栅极与上拉节点连接, 漏极与时钟信号输入端连接, 源极与输出端连接; 所述下拉薄膜晶体管, 栅极与下拉节点连接, 漏极与输出端连接, 源极与低电平输出端连接。

WO 2014/015633 A1

移位寄存器单元及其驱动方法、栅极驱动装置和显示装置

技术领域

本发明涉及显示领域，尤其涉及一种移位寄存器单元及其驱动方法、栅极驱动装置和显示装置。

背景技术

如图 1 所示，现有的移位寄存器单元电路包括 RS 触发器 11、上拉薄膜晶体管 TU、下拉薄膜晶体管 TD 和复位薄膜晶体管 Treset，其中，

10 所述 RS 触发器 11，置位端 S 接入输入信号，复位端 R 接入复位信号，正相输出端 Q 与上拉节点 PU 连接，反相输出端 $\bar{Q}$ 与下拉节点 PD 连接；

所述上拉薄膜晶体管 TU，栅极与上拉节点 PU 连接，漏极接入第一时钟信号输入端 CLK 连接，源极与输出端 Output 连接；

15 所述下拉薄膜晶体管 TD，栅极与下拉节点 PD 连接，漏极与输出端 Output 连接，源极与低电平输出端 VGL 连接；

所述复位薄膜晶体管 Treset，栅极接入复位信号，漏极与输出端 Output 连接，源极与低电平输出端连接。

为了使输出端 Output 放电，一般使用复位薄膜晶体管 Treset，但是，复位薄膜晶体管 Treset 需要从栅线（Gate Line）整个的电容中进行放电，需要
20 相当大的宽长比（W/L）的设计，导致阵列基板行驱动布局（GOA layout）区域变大，不利于窄边框（narrow bezel）的设计。

如图 2 所示，在现有的移位寄存器单元电路中，根据一种具体实施方式，所述 RS 触发器 11 包括第一薄膜晶体管 T1、第二薄膜晶体管 T2、第三薄膜晶体管 T3、第四薄膜晶体管 T4、第五薄膜晶体管 T5、第六薄膜晶体管 T6、
25 第七薄膜晶体管 T7、第八薄膜晶体管 T8、第九薄膜晶体管 T9 和自举电容 C1，其中，

所述上拉薄膜晶体管 TU 的栅极与输出端 Output 之间并联有自举电容 C1；

30 所述第一薄膜晶体管 T1，栅极和漏极接入输入信号，源极与所述上拉节点 PU 连接；

所述第二薄膜晶体管 T2，栅极接入复位信号，漏极与所述上拉节点 PU

连接，源极与低电平输出端 VGL 连接；

所述第三薄膜晶体管 T3，栅极与所述第五薄膜晶体管 T5 的漏极连接，漏极与第二时钟输入端 CLKB 连接，源极与所述下拉节点 PD 连接；

5 所述第四薄膜晶体管 T4，栅极与所述上拉节点 PU 连接，漏极与所述下拉节点 PD 连接，源极与低电平输出端 VGL 连接；

所述第五薄膜晶体管 T5，栅极与所述上拉节点 PU 连接，源极与低电平输出端 VGL 连接；

所述第六薄膜晶体管 T6，栅极与漏极与第二时钟信号输入端 CLKB 连接，源极与所述第三薄膜晶体管 T3 的栅极连接；

10 所述第七薄膜晶体管 T7，栅极与所述下拉节点 PD 连接，漏极与所述上拉节点 PU 连接，源极与低电平输出端 VGL 连接；

所述第八薄膜晶体管 T8，栅极与第二时钟信号输入端 CLKB 连接，漏极与输出端 Output 连接，源极与低电平输出端 VGL 连接；

15 所述第九薄膜晶体管 T9，栅极与第二时钟信号输入端 CLKB 连接，漏极与输入端 Input 连接，源极与所述上拉节点 PU 连接；

PD_CN 节点是与所述第五薄膜晶体管 T3 的栅极连接的节点；

第一时钟信号和第二时钟信号反相；

20 在本实施例中，上拉薄膜晶体管 TU、下拉薄膜晶体管 TD、第一薄膜晶体管 T1、第二薄膜晶体管 T2、第三薄膜晶体管 T3、第四薄膜晶体管 T4、第五薄膜晶体管 T5、第六薄膜晶体管 T6、第七薄膜晶体管 T7、第八薄膜晶体管 T8 和第九薄膜晶体管 T9 都是 n 型 TFT。

目前，a-Si TFT（非晶硅薄膜晶体管）LCD（液晶平板显示器）也在致力于开发和 poly-Si TFT LCD 一样的在玻璃基板上同时形成数据驱动电路、栅极驱动电路和像素阵列来减少阵列工艺的数量。

25

发明内容

本发明的主要目的在于提供一种移位寄存器单元及其驱动方法、栅极驱动装置和显示装置，可以去除原有的复位薄膜晶体管，从而减小了阵列基板行驱动布局的区域，利于实现窄边框的设计。

30 为了达到上述目的，本发明的实施例提供了一种移位寄存器单元，包括 RS 触发器、上拉薄膜晶体管、下拉薄膜晶体管和自举电容，其中，

所述 RS 触发器，置位端与输入端连接，复位端与复位信号输入端连接，正相输出端与上拉节点连接，反相输出端与下拉节点连接；

所述上拉薄膜晶体管，栅极与上拉节点连接，漏极与时钟信号输入端连接，源极与输出端连接；

5 所述下拉薄膜晶体管，栅极与下拉节点连接，漏极与输出端连接，源极与低电平输出端连接。

根据本发明的实施例，所述 RS 触发器还分别与正向扫描控制信号和反向扫描控制信号连接；

10 当正向扫描控制信号为高电平而反向扫描控制信号为低电平时，输入信号接入所述 RS 触发器的置位端，复位信号接入所述 RS 触发器的复位端；

当正向扫描控制信号为低电平而反向扫描控制信号为高电平时，复位信号接入所述 RS 触发器的置位端，输入信号接入所述 RS 触发器的复位端。

根据本发明的实施例，所述 RS 触发器包括上拉控制单元，输出端复位控制单元和上拉节点复位控制单元，其中，

15 所述上拉控制单元，分别与所述输入端、所述正向扫描控制信号、所述上拉节点和所述输出端连接，用于控制所述上拉薄膜晶体管上拉所述输出端的电位；

20 所述输出端复位控制单元，分别与所述复位信号输入端、所述反向扫描控制信号、所述低电平输出端、所述上拉节点和所述下拉节点连接，用于在所述上拉控制单元控制上拉所述输出端的电位之后，控制所述上拉节点输出高电平而所述下拉节点输出低电平，从而使得所述输出端通过上拉薄膜晶体管放电至时钟信号输入端，从而复位所述输出端；

25 所述上拉节点复位控制单元，分别与所述高电平输出端、上拉节点和下拉节点连接，用于控制下拉节点的电位为高电平从而通过所述下拉薄膜晶体管维持所述输出端输出低电平，并控制复位所述上拉节点。

根据本发明的实施例，所述上拉控制单元包括第一薄膜晶体管和自举电容；

所述输出端复位控制单元包括第二薄膜晶体管、第三薄膜晶体管和第四薄膜晶体管；

30 所述上拉节点复位控制单元包括第五薄膜晶体管、第六薄膜晶体管和第七薄膜晶体管；

所述自举电容连接于所述上拉节点和所述输出端之间;

所述第一薄膜晶体管, 栅极与输入端连接, 漏极与正向扫描控制信号连接, 源极与上拉节点连接;

5 所述第二薄膜晶体管, 栅极与复位信号输入端连接, 漏极与上拉节点连接, 源极与反向扫描控制信号连接;

所述第三薄膜晶体管, 栅极与上拉节点连接, 漏极与下拉节点连接, 源极与低电平输出端连接;

所述第四薄膜晶体管, 栅极与上拉节点连接, 源极与低电平输出端连接;

10 所述第五薄膜晶体管, 栅极与所述第四薄膜晶体管的漏极连接, 漏极与驱动电源的高电平输出端连接, 源极与下拉节点连接;

所述第六薄膜晶体管, 栅极和漏极与高电平输出端连接, 源极与所述第五薄膜晶体管的栅极连接;

所述第七薄膜晶体管, 栅极与下拉节点连接, 漏极与上拉节点连接, 源极与低电平输出端连接。

15 根据本发明的实施例, 所述第一薄膜晶体管、所述第二薄膜晶体管、所述第三薄膜晶体管、所述第四薄膜晶体管、所述第五薄膜晶体管、所述第六薄膜晶体管、所述第七薄膜晶体管、所述第八薄膜晶体管和所述第九薄膜晶体管都是 n 型 TFT。

20 本发明的实施例还提供了一种驱动移位寄存器单元的方法, 应用于上述的移位寄存器单元, 该方法包括:

在输入阶段: RS 触发器的正相输出端输出高电平, 时钟信号输入端输入低电平, 输出端输出低电平;

经过一个时间间隔后, 在输出阶段: 时钟信号输入端输入高电平, 上拉节点的电位被自举而上升, 并输出端输出高电平;

25 在复位阶段: 首先时钟信号输入端输入低电平, 上拉节点的电位降低, 由于复位信号仍为低电平, 从而上拉节点的电位仍保持高电平, 输出端通过上拉薄膜晶体管放电至时钟信号输入端, 实现了输出端的复位; 之后复位信号为高电平, 上拉节点的电位降低, 同时下拉节点的电位升高, 从而输出端输出低电平并上拉节点的电位变为低电平, 上拉节点被复位。

30 本发明的实施例还提供了一种栅极驱动装置, 包括第一移位寄存器, 所述第一移位寄存器包括多级上述的移位寄存器单元;

在所述第一移位寄存器中，除了第一级移位寄存器单元和第二级移位寄存器单元之外，第 n 级移位寄存器单元的 RS 触发器的置位端与第 $(n-2)$ 级移位寄存器单元的输出端连接；除了第 N 级移位寄存器单元和第 $(N-1)$ 级移位寄存器单元之外，第 n 级移位寄存器单元的 RS 触发器的复位端与第 $(n+2)$

5 级移位寄存器单元的输出端连接；

m 除以 4 所得余数为 1 时，所述第一移位寄存器的第 m 级移位寄存器单元与第一时钟信号输入端连接；

m 除以 4 所得余数为 2 时，所述第一移位寄存器的第 m 级移位寄存器单元与第二时钟信号输入端连接；

10 m 除以 4 所得余数为 3 时，所述第一移位寄存器的第 m 级移位寄存器单元与第三时钟信号输入端连接；

m 除以 4 所得余数为 0 时，所述第一移位寄存器的第 m 级移位寄存器单元与第四时钟信号输入端连接；

15 n 为大于 2 而小于等于 N 的整数， N 为所述第一移位寄存器包括的移位寄存器单元的级数， N 为 4 的倍数， m 为小于等于 N 的整数。

根据本发明的实施例的栅极驱动装置还包括第二移位寄存器，所述第二移位寄存器的结构与所述第一移位寄存器的结构相同；

p 除以 4 所得余数为 1 时，所述第二移位寄存器的第 p 级移位寄存器单元与第五时钟信号输入端连接；

20 p 除以 4 所得余数为 2 时，所述第二移位寄存器的第 p 级移位寄存器单元与第六时钟信号输入端连接；

p 除以 4 所得余数为 3 时，所述第二移位寄存器的第 p 级移位寄存器单元与第七时钟信号输入端连接；

25 p 除以 4 所得余数为 0 时，所述第二移位寄存器的第 p 级移位寄存器单元与第八时钟信号输入端连接；

p 为小于等于 N 的整数， M 为所述第二移位寄存器包括的移位寄存器单元的级数， M 为 4 的倍数；

接入第一移位寄存器的第一时钟信号、第二时钟信号、第三时钟信号和第四时钟信号，以及接入第二移位寄存器的第五时钟信号、第六时钟信号、
30 第七时钟信号和第八时钟信号的时钟周期相同，都为 T ；

第一时钟信号、第五时钟信号、第二时钟信号、第六时钟信号、第三时

钟信号、第七时钟信号、第四时钟信号和第八时钟信号之间的时间间隔依次为 $T/8$ 。

根据本发明的实施例，接入第一移位寄存器的第一时钟信号、第二时钟信号、第三时钟信号和第四时钟信号的时钟周期相同，都为 T ；

5 第一时钟信号、第二时钟信号、第三时钟信号和第四时钟信号之间的时间间隔依次为 $T/8$ 。

本发明的实施例还提供了一种显示装置，包括上述的栅极驱动装置。

与现有技术相比，本发明的实施例的移位寄存器单元及其驱动方法、栅极驱动装置和显示装置，通过将复位阶段分为输出端复位子阶段和上拉节点复位子阶段；在输出端复位子阶段，时钟信号输入端输入低电平，因此上拉节点的电位降低，但由于复位信号仍为低电平，上拉节点保持高电平，那么，上拉薄膜晶体管保持导通，输出端则通过上拉薄膜晶体管放电至时钟信号输入端，则实现了输出端的复位，可以去除原有的复位薄膜晶体管，从而减小了阵列基板行驱动布局的区域，利于实现窄边框的设计。

15

附图说明

图 1 是现有的移位寄存器单元电路的电路图；

图 2 是现有的移位寄存器单元电路的一具体实施例的电路图；

图 3 是本发明第一实施例的移位寄存器单元的电路图；

20 图 4 是本发明第二实施例的移位寄存器单元的电路图；

图 5 是本发明第三实施例的移位寄存器单元的电路图；

图 6 是本发明第四实施例的移位寄存器单元的电路图；

图 7 是本发明第四实施例的移位寄存器单元的工作时序图；

图 8 是本发明的栅极驱动装置的第一实施例的结构图；

25 图 9 是本发明的栅极驱动装置的第二实施例的结构图；

图 10 是本发明的栅极驱动装置的第二实施例的工作时序图。

具体实施方式

为了使本发明实施例的目的、技术方案和优点更加明白，下面结合实施例和附图，对本发明的实施例做进一步详细的说明。在此，本发明的示意性实施例以及说明用于解释本发明，但不作为对本发明的限定。

30

本发明的实施例提供了一种移位寄存器单元及其驱动方法、栅极驱动装置和显示装置，可以去除原有的复位薄膜晶体管，从而减小了阵列基板行驱动布局的区域，利于实现窄边框的设计。

虽然薄膜晶体管液晶的源极和漏极在物理结构上是对称的，但是在本发明的实施例中规定图中 n 型 TFT 漏极在上方而源极在下方，以便于阐述。

实施例一

如图 3 所示，本发明第一实施例的移位寄存器单元包括 RS 触发器 31、上拉薄膜晶体管 TU 和下拉薄膜晶体管 TD，其中，

10 所述 RS 触发器 31，置位端 S 与输入端 Input 连接，复位端 R 与复位信号输入端 Reset 连接，正相输出端 Q 与上拉节点 PU 连接，反相输出端 $\bar{Q}$ 与下拉节点 PD 连接；

所述上拉薄膜晶体管 TU，栅极与上拉节点 PU 连接，漏极与时钟信号输入端 CLK 连接，源极与输出端 Output 连接；

15 所述下拉薄膜晶体管 TD，栅极与下拉节点 PD 连接，漏极与输出端 Output 连接，源极与低电平输出端 VGL 连接。

本发明第一实施例的移位寄存器单元在工作时，将复位阶段分为输出端复位子阶段和上拉节点复位子阶段；

在输出端复位子阶段，时钟信号输入端 CLK 输入低电平，因此上拉节点 PU 的电位降低，但由于复位信号仍为低电平，上拉节点 PU 保持高电平，那么，TU 保持导通，输出端 Output 则通过 TU 放电至时钟信号输入端 CLK，则实现了输出端 Output 的复位，并且与现有技术相比，可以去除原有的复位薄膜晶体管 Treset，从而减小了阵列基板行驱动布局的区域，利于实现窄边框的设计。

25

实施例二

如图 4 所示，本发明第二实施例的移位寄存器单元包括 RS 触发器 31、上拉薄膜晶体管 TU 和下拉薄膜晶体管 TD，其中，

30 所述 RS 触发器 31，置位端 S 与输入端 Input 连接，复位端 R 与复位信号输入端 Reset 连接，正相输出端 Q 与上拉节点 PU 连接，反相输出端 $\bar{Q}$ 与下拉节点 PD 连接；

所述上拉薄膜晶体管 TU，栅极与上拉节点 PU 连接，漏极与时钟信号输入端 CLK 连接，源极与输出端 Output 连接；

所述下拉薄膜晶体管 TD，栅极与下拉节点 PD 连接，漏极与输出端 Output 连接，源极与低电平输出端 VGL 连接；

5 所述 RS 触发器 31 还分别接入正向扫描控制信号 Forward 和反向扫描控制信号 Backward；

当正向扫描控制信号 Forward 为高电平而反向扫描控制信号 Backward 为低电平时，所述 RS 触发器 31 的置位端 S 与接入输入信号，所述 RS 触发器 31 的复位端 R 接入复位信号；

10 当正向扫描控制信号 Forward 为低电平而反向扫描控制信号 Backward 为高电平时，所述 RS 触发器 31 的置位端 S 接入复位信号，所述 RS 触发器 31 的复位端 R 接入输入信号。

本发明第二实施例的移位寄存器单元由于其 RS 触发器还分别接入正向扫描控制信号 Forward 和反向扫描控制信号 Backward；当正向扫描控制信号 Forward 为高电平而反向扫描控制信号 Backward 为低电平时，所述 RS 触发器 31 的置位端 S 接入输入信号，所述 RS 触发器 31 的复位端 R 接入复位信号；当正向扫描控制信号 Forward 为低电平而反向扫描控制信号 Backward 为高电平时，所述 RS 触发器 31 的置位端 S 接入复位信号，所述 RS 触发器 31 的复位端 R 接入输入信号；因此可以以简单的电路结构实现 LCD 画面上下翻
20 转。

实施例三

图 5 是本发明第三实施例的移位寄存器单元的电路图。本发明第三实施例的移位寄存器单元基于本发明第二实施例的移位寄存器单元。

25 如图 5 所示，在本发明第三实施例的移位寄存器单元中，所述 RS 触发器 31 包括上拉控制单元 311、输出端复位控制单元 312 和上拉节点复位控制单元 313，其中，

所述上拉控制单元 311，分别与所述输入端 Input、所述正向扫描控制信号 Forward、所述上拉节点 PU 和所述输出端 Output 连接，用于控制所述上拉
30 薄膜晶体管 TU 上拉所述输出端 Output 的电位；

所述输出端复位控制单元 312，分别与所述复位信号输入端 Reset、所述

反向扫描控制信号 Backward、所述低电平输出端 VGL、所述上拉节点 PU 和所述下拉节点 PD 连接，用于在所述上拉控制单元 311 控制上拉所述输出端 Output 的电位之后，控制所述上拉节点 PU 输出高电平而所述下拉节点 PD 输出低电平，从而使得所述输出端 Output 通过上拉薄膜晶体管 TU 放电至时钟信号输入端 CLK，从而复位所述输出端 Output;

所述上拉节点复位控制单元 313，分别与所述高电平输出端 VGH、上拉节点 PU 和下拉节点 PD 连接，用于控制下拉节点 PD 的电位为高电平从而通过所述下拉薄膜晶体管 TD 维持所述输出端输出低电平，并控制复位所述上拉节点 PU。

在本发明第三实施例的移位寄存器单元中，所述 RS 触发器 31 包括上拉控制单元 311、输出端复位控制单元 312 和上拉节点复位控制单元 313；首先所述上拉控制单元 311 控制所述上拉薄膜晶体管 TU 上拉所述输出端 Output 的电位；之后所述输出端复位控制单元 312 控制复位所述输出端 Output；所述上拉节点复位控制单元 313 控制复位所述上拉节点 PU；并且所述上拉控制单元 311 与所述正向扫描控制信号 Forward 连接，而所述输出端复位控制单元 312 与所述反向扫描控制信号 Backward 连接。本发明第三实施例的移位寄存器单元可以去除原有的复位薄膜晶体管 Treset，从而减小了阵列基板行驱动布局的区域，利于实现窄边框的设计，并且可以以简单的电路结构实现 LCD 画面上下翻转。

实施例四

图 6 是本发明第四实施例的移位寄存器单元的电路图。本发明第四实施例的移位寄存器单元基于本发明第三实施例的移位寄存器单元。

如图 6 所示，所述上拉控制单元 311 包括第一薄膜晶体管 T1 和自举电容 C1；所述输出端复位控制单元 312 包括第二薄膜晶体管 T2、第三薄膜晶体管 T3 和第四薄膜晶体管 T4；所述上拉节点复位控制单元 313 包括第五薄膜晶体管 T5、第六薄膜晶体管 T6 和第七薄膜晶体管 T7，其中，

所述自举电容 C1 连接于所述上拉节点 PU 和所述输出端 Output 之间；

所述第一薄膜晶体管 T1，栅极接入输入信号，漏极接入正向扫描控制信号 Forward，源极与上拉节点 PU 连接；

所述第二薄膜晶体管 T2，栅极接入复位信号，漏极与上拉节点 PU 连接，

源极接入反向扫描控制信号 Backward;

所述第三薄膜晶体管 T3, 栅极与上拉节点 PU 连接, 漏极与下拉节点 PD 连接, 源极与低电平输出端 VGL 连接;

5 所述第四薄膜晶体管 T4, 栅极与上拉节点 PU 连接, 源极与低电平输出端 VGL 连接;

所述第五薄膜晶体管 T5, 栅极与所述第四薄膜晶体管 T4 的漏极连接, 漏极与驱动电源的高电平输出端 VGH 连接, 源极与下拉节点 PD 连接;

所述第六薄膜晶体管 T6, 栅极和漏极与高电平输出端 VGH 连接, 源极与所述第五薄膜晶体管 T5 的栅极连接;

10 所述第七薄膜晶体管 T7, 栅极与下拉节点 PD 连接, 漏极与上拉节点 PU 连接, 源极与低电平输出端 VGL 连接;

所述上拉薄膜晶体管 TU、所述下拉薄膜晶体管 TD、所述第一薄膜晶体管 T1、所述第二薄膜晶体管 T2、所述第五薄膜晶体管 T5、所述第三薄膜晶体管 T3、所述第四薄膜晶体管 T4、所述第六薄膜晶体管 T6 和所述第七薄膜
15 晶体管 T7 都是 n 型 TFT。

在实际应用时, 所述上拉薄膜晶体管 TU、所述下拉薄膜晶体管 TD、所述第一薄膜晶体管 T1、所述第二薄膜晶体管 T2、所述第五薄膜晶体管 T5、所述第三薄膜晶体管 T3、所述第四薄膜晶体管 T4、所述第六薄膜晶体管 T6 和所述第七薄膜晶体管 T7 并不仅限于使用 n 型 TFT, 也可以为 p 型 TFT。

20 如图 7 所示, 本发明第四实施例的移位寄存器单元在工作时,

正向扫描驱动时, 正向扫描控制信号 Forward 为高电平, 反向扫描控制信号 Backward 为低电平, 工作过程如下:

在第一时间段 A, 输入信号为高电平, 所述第一薄膜晶体管 T1 开启, 此时正向扫描控制信号 Forward 为高电平, 因此上拉节点 PU 电位也为高电平, TU、T3 和 T4 开启; TU 虽然开启, 但是由于时钟信号输入端 CLK 输入低电
25 平, 所以输出端 Output 输出低电平; 与此同时, T5 和 T6 会因高电平输出端 VGH 输出的高电平而开启, 但由于 T3 开启导致下拉节点 PD 的电压下降, 所以, TD 和 T7 关闭;

经过一个时间间隔 B 后, 在第二时间段 C, 即输出阶段, 时钟信号输入
30 端 CLK 输入高电平, 上拉节点 PU 的电位被自举而上升至近 2 倍的电压, 并此时输出端 Output 输出高电平;

在第三时间段，即复位阶段，本发明的实施例中复位阶段可以分为两个子阶段，第一子阶段 D 是输出端 Output 复位子阶段，第二子阶段 E 是上拉节点 PU 复位子阶段；

在第一子阶段 D，时钟信号输入端 CLK 输入低电平，因此上拉节点 PU 的电位降低，但由于复位信号仍为低电平，则 T2 截止，上拉节点 PU 保持高电平，那么，TU 保持导通，输出端 Output 则通过 TU 放电至时钟信号输入端 CLK，则实现了输出端 Output 的复位，并且与现有技术相比，可以去除原有的 Treset；

在第二子阶段 E，复位信号为高电平，反向扫描控制信号 Backward 为低电平，则 T2 开启，上拉节点 PU 电位降低，随之 TU、T3 和 T4 关闭，与此同时，T5 和 T6 因高电平输出端 VGH 输出的高电平而开启，同时下拉节点 PD 的电位升高，TD 和 T7 开启，导致输出端 Output 输出低电平并上拉节点 PU 的电位变为低电平，上拉节点 PU 被复位。

在现有技术中，在复位阶段，上拉节点 PU 的电位变为低电平，而在本发明的实施例中，在复位阶段，上拉节点 PU 的电位继续维持高电平，使得 TU 开启，从而实现输出端 Output 输出低电平，输出信号复位，这样可以去除图 1 中的 Treset。

并且，在 GOA 电路中，为了使 T5、T6 产生的充电和放电消耗的功耗达到最小，所以使得 T5 的漏极和 T6 的漏极均与驱动电源的高电平输出端 VGH 连接，并在输出端 Output 复位子阶段，维持上拉节点 PU 电位为高电平，使 TU 维持开启状态，使输出端 Output 通过 TU 进行复位。

本发明第四实施例的移位寄存器单元在反向扫描时，因为驱动顺序变化，所述 RS 触发器的置位端 S 接入输入信号，所述 RS 触发器的复位端 R 接入复位信号，所以将反向扫描控制信号 Backward 设为高电平，正向扫描控制信号 Forward 设为低电平，时钟驱动顺序完全逆转，这样在相同的工作原理情况下，完成反向扫描。

本发明的实施例还提供了一种驱动移位寄存器单元的方法，应用于上述的移位寄存器单元，该方法包括：

在输入阶段：RS 触发器的正相输出端输出高电平，时钟信号输入端输入低电平，输出端输出低电平；

经过一个时间间隔后，在输出阶段：时钟信号输入端输入高电平，上拉

节点的电位被自举而上升，并输出端输出高电平；

在复位阶段：首先时钟信号输入端输入低电平，上拉节点的电位降低，由于复位信号仍为低电平，从而上拉节点的电位仍保持高电平，输出端通过上拉薄膜晶体管放电至时钟信号输入端，实现了输出端的复位；之后复位信号为高电平，上拉节点的电位降低，同时下拉节点的电位升高，从而输出端输出低电平并上拉节点的电位变为低电平，上拉节点被复位。

如图 8 所示，本发明的实施例的栅极驱动装置的第一实施例包括第一移位寄存器，所述第一移位寄存器包括上述的移位寄存器单元；

在所述第一移位寄存器中，除了第一级移位寄存器单元 SR1 和第二级移位寄存器单元 SR2 之外，第 n 级移位寄存器单元的 RS 触发器的置位端与第 $(n-2)$ 级移位寄存器单元的输出端连接；除了第 N 级移位寄存器单元和第 $(N-1)$ 级移位寄存器单元之外，第 n 级移位寄存器单元的 RS 触发器的复位端与第 $(n+2)$ 级移位寄存器单元的输出端连接；第一级移位寄存器单元 SR1 的输入端 Input1 和第二级移位寄存器单元 SR2 的输入端 Input 分别接入第一初始信号 STV1；

m 除以 4 所得余数为 1 时，所述第一移位寄存器的第 m 级移位寄存器单元与第一时钟信号输入端 CLK1 连接；

m 除以 4 所得余数为 2 时，所述第一移位寄存器的第 m 级移位寄存器单元与第二时钟信号输入端 CLK2 连接；

m 除以 4 所得余数为 3 时，所述第一移位寄存器的第 m 级移位寄存器单元与第三时钟信号输入端 CLK3 连接；

m 除以 4 所得余数为 0 时，所述第一移位寄存器的第 m 级移位寄存器单元与第四时钟信号输入端 CLK4 连接；

n 为大于 2 而小于等于 N 的整数， N 为所述第一移位寄存器包括的移位寄存器单元的级数， N 为 4 的倍数， m 为小于等于 N 的整数；

在图 8 中，Output1、Output2、Output3、Output4、Output5、Output6、Output7、Output8 指示的分别是第一移位寄存器包括的第一级移位寄存器 SR1 的输出端、第二级移位寄存器 SR2 的输出端、第三级移位寄存器 SR3 的输出端、第四级移位寄存器 SR4 的输出端、第五级移位寄存器 SR5 的输出端、第六级移位寄存器 SR6 的输出端、第七级移位寄存器 SR7 的输出端、第八级移位寄存器 SR8 的输出端；

Input1、Input2、Input3、Input4、Input5、Input6、Input7、Input8 指示的分别是第一移位寄存器包括的第一级移位寄存器 SR1 的输入端、第二级移位寄存器 SR2 的输入端、第三级移位寄存器 SR3 的输入端、第四级移位寄存器 SR4 的输入端、第五级移位寄存器 SR5 的输入端、第六级移位寄存器 SR6 的输入端、第七级移位寄存器 SR7 的输入端、第八级移位寄存器 SR8 的输入端;

Reset1、Reset2、Reset3、Reset4、Reset5、Reset6 指示的分别是第一移位寄存器包括的第一级移位寄存器 SR1 的复位信号输入端、第二级移位寄存器 SR2 的复位信号输入端、第三级移位寄存器 SR3 的复位信号输入端、第四级移位寄存器 SR4 的复位信号输入端、第五级移位寄存器 SR5 的复位信号输入端、第六级移位寄存器 SR6 的复位信号输入端。

优选情况下,接入所述第一移位寄存器的第一时钟信号、第二时钟信号、第三时钟信号和第四时钟信号的时钟周期相同,都为 T;

第一时钟信号、第二时钟信号、第三时钟信号和第四时钟信号之间的时间间隔依次为 $T/8$ 。

如图 9 所示,本发明的实施例的栅极驱动装置的第二实施例包括第一移位寄存器和第二移位寄存器;

在所述第一移位寄存器中,除了第一级移位寄存器单元 SR1 和第二级移位寄存器单元 SR2 之外,第 n 级移位寄存器单元的 RS 触发器的置位端与第 (n-2) 级移位寄存器单元的输出端连接;除了第 N 级移位寄存器单元和第 (N-1) 级移位寄存器单元之外,第 n 级移位寄存器单元的 RS 触发器的复位端与第 (n+2) 级移位寄存器单元的输出端连接;第一级移位寄存器单元 SR1 的输入端 Input1 和第二级移位寄存器单元 SR2 的输入端 Input2 分别接入第一初始信号 STV1;

m 除以 4 所得余数为 1 时,所述第一移位寄存器的第 m 级移位寄存器单元与第一时钟信号输入端 CLK1 连接;

m 除以 4 所得余数为 2 时,所述第一移位寄存器的第 m 级移位寄存器单元与第二时钟信号输入端 CLK2 连接;

m 除以 4 所得余数为 3 时,所述第一移位寄存器的第 m 级移位寄存器单元与第三时钟信号输入端 CLK3 连接;

m 除以 4 所得余数为 0 时,所述第一移位寄存器的第 m 级移位寄存器单元与第四时钟信号输入端 CLK4 连接;

n 为大于 2 而小于等于 N 的整数, N 为所述第一移位寄存器包括的移位寄存器单元的级数, N 为 4 的倍数, m 为小于等于 N 的整数;

在图 9 中, Output1、Output2、Output3、Output4、Output5、Output6、Output7、Output8 指示的分别是第一移位寄存器包括的第一级移位寄存器 SR1 的输出端、第一移位寄存器包括的第二级移位寄存器 SR2 的输出端、第一移位寄存器包括的第三级移位寄存器 SR3 的输出端、第一移位寄存器包括的第四级移位寄存器 SR4 的输出端、第一移位寄存器包括的第五级移位寄存器 SR5 的输出端、第一移位寄存器包括的第六级移位寄存器 SR6 的输出端、第一移位寄存器包括的第七级移位寄存器 SR7 的输出端、第一移位寄存器包括的第八级移位寄存器 SR8 的输出端;

Input1、Input2、Input3、Input4、Input5、Input6、Input7、Input8 指示的分别是第一移位寄存器包括的第一级移位寄存器 SR1 的输入端、第一移位寄存器包括的第二级移位寄存器 SR2 的输入端、第一移位寄存器包括的第三级移位寄存器 SR3 的输入端、第一移位寄存器包括的第四级移位寄存器 SR4 的输入端、第一移位寄存器包括的第五级移位寄存器 SR5 的输入端、第一移位寄存器包括的第六级移位寄存器 SR6 的输入端、第一移位寄存器包括的第七级移位寄存器 SR7 的输入端、第一移位寄存器包括的第八级移位寄存器 SR8 的输入端;

Reset1、Reset2、Reset3、Reset4、Reset5、Reset6 指示的分别是第一移位寄存器包括的第一级移位寄存器 SR1 的复位信号输入端、第一移位寄存器包括的第二级移位寄存器 SR2 的复位信号输入端、第一移位寄存器包括的第三级移位寄存器 SR3 的复位信号输入端、第一移位寄存器包括的第四级移位寄存器 SR4 的复位信号输入端、第一移位寄存器包括的第五级移位寄存器 SR5 的复位信号输入端、第一移位寄存器包括的第六级移位寄存器 SR6 的复位信号输入端;

所述第二移位寄存器的结构与所述第一移位寄存器的结构相同;

在第二移位寄存器中, 第二级移位寄存器单元 SR21 的输入端 Input21 和第二级移位寄存器单元 SR22 的输入端 Input22 分别接入第二初始信号 STV2;

p 除以 4 所得余数为 1 时, 所述第一移位寄存器的第 p 级移位寄存器单元与第五时钟信号输入端 CLK5 连接;

p 除以 4 所得余数为 2 时, 所述第一移位寄存器的第 p 级移位寄存器单

元与第六时钟信号输入端 CLK6 连接;

p 除以 4 所得余数为 3 时, 所述第一移位寄存器的第 p 级移位寄存器单元与第七时钟信号输入端 CLK7 连接;

p 除以 4 所得余数为 0 时, 所述第一移位寄存器的第 p 级移位寄存器单元与第八时钟信号输入端 CLK8 连接;

p 为小于等于 N 的整数, M 为所述第一移位寄存器包括的移位寄存器单元的级数, M 为 4 的倍数;

在图 9 中, Output21、Output22、Output23、Output24、Output25、Output26、Output27、Output28 指示的分别是第二移位寄存器包括的第一级移位寄存器 SR21 的输出端、第二移位寄存器包括的第二级移位寄存器 SR22 的输出端、第二移位寄存器包括的第三级移位寄存器 SR23 的输出端、第二移位寄存器包括的第四级移位寄存器 SR24 的输出端、第二移位寄存器包括的第五级移位寄存器 SR25 的输出端、第二移位寄存器包括的第六级移位寄存器 SR26 的输出端、第二移位寄存器包括的第七级移位寄存器 SR27 的输出端、第二移位寄存器包括的第八级移位寄存器 SR28 的输出端;

Input21、Input22、Input23、Input24、Input25、Input26、Input27、Input28 指示的分别是第二移位寄存器包括的第一级移位寄存器 SR21 的输入端、第二移位寄存器包括的第二级移位寄存器 SR22 的输入端、第二移位寄存器包括的第三级移位寄存器 SR23 的输入端、第二移位寄存器包括的第四级移位寄存器 SR24 的输入端、第二移位寄存器包括的第五级移位寄存器 SR25 的输入端、第二移位寄存器包括的第六级移位寄存器 SR26 的输入端、第二移位寄存器包括的第七级移位寄存器 SR27 的输入端、第二移位寄存器包括的第八级移位寄存器 SR28 的输入端;

Reset21、Reset22、Reset23、Reset24、Reset25、Reset26 指示的分别是第二移位寄存器包括的第一级移位寄存器 SR21 的复位信号输入端、第二移位寄存器包括的第二级移位寄存器 SR22 的复位信号输入端、第二移位寄存器包括的第三级移位寄存器 SR23 的复位信号输入端、第二移位寄存器包括的第四级移位寄存器 SR24 的复位信号输入端、第二移位寄存器包括的第五级移位寄存器 SR25 的复位信号输入端、第二移位寄存器包括的第六级移位寄存器 SR26 的复位信号输入端;

如图 10 所示, 接入第一移位寄存器的第一时钟信号、第二时钟信号、第

三时钟信号和第四时钟信号，以及接入第一移位寄存器的第五时钟信号、第六时钟信号、第七时钟信号和第八时钟信号的时钟周期相同，都为 T ；

第一时钟信号、第五时钟信号、第二时钟信号、第六时钟信号、第三时钟信号、第七时钟信号、第四时钟信号和第八时钟信号之间的时间间隔依次为 $T/8$ ；

第一时钟信号、第二时钟信号、第三时钟信号和第四时钟信号之间的时间间隔依次为 $T/4$ ；

PU3 指示的是第一移位寄存器的第三级移位寄存器单元的上拉节点；

A、B、C、D、E 指示的分别是输入阶段、时间间隔、输出阶段、输出端复位阶段、上拉节点复位阶段。

本发明的实施例还提供了一种显示装置，包括上述的栅极驱动装置。所述显示装置可以包括液晶显示装置，例如液晶面板、液晶电视、手机、液晶显示器。除了液晶显示装置外，所述显示装置还可以包括有机发光显示器或者其他类型的显示装置，比如电子阅读器等。

以上说明对本发明而言只是说明性的，而非限制性的，本领域普通技术人员理解，在不脱离所附权利要求所限定的精神和范围的情况下，可做出许多修改、变化或等效，但都将落入本发明的保护范围内。

权 利 要 求 书

1、一种移位寄存器单元，包括 RS 触发器、上拉薄膜晶体管、下拉薄膜晶体管和自举电容，其中，

5 所述 RS 触发器，置位端与输入端连接，复位端与复位信号输入端连接，正相输出端与上拉节点连接，反相输出端与下拉节点连接；

 所述上拉薄膜晶体管，栅极与上拉节点连接，漏极与时钟信号输入端连接，源极与输出端连接；

10 所述下拉薄膜晶体管，栅极与下拉节点连接，漏极与输出端连接，源极与低电平输出端连接。

2、如权利要求 1 所述的移位寄存器单元，其中，

 所述 RS 触发器还分别与正向扫描控制信号和反向扫描控制信号连接；

 当正向扫描控制信号为高电平而反向扫描控制信号为低电平时，输入信号接入所述 RS 触发器的置位端，复位信号接入所述 RS 触发器的复位端；

15 当正向扫描控制信号为低电平而反向扫描控制信号为高电平时，复位信号接入所述 RS 触发器的置位端，输入信号接入所述 RS 触发器的复位端。

3、如权利要求 1 所述的移位寄存器单元，其中，

 所述 RS 触发器包括上拉控制单元，输出端复位控制单元和上拉节点复位控制单元，其中，

20 所述上拉控制单元，分别与所述输入端、所述正向扫描控制信号、所述上拉节点和所述输出端连接，用于控制所述上拉薄膜晶体管上拉所述输出端的电位；

 所述输出端复位控制单元，分别与所述复位信号输入端、所述反向扫描控制信号、所述低电平输出端、所述上拉节点和所述下拉节点连接，用于在
25 所述上拉控制单元控制上拉所述输出端的电位之后，控制所述上拉节点输出高电平而所述下拉节点输出低电平，从而使得所述输出端通过上拉薄膜晶体管放电至时钟信号输入端，从而复位所述输出端；

 所述上拉节点复位控制单元，分别与所述高电平输出端、上拉节点和下拉节点连接，用于控制下拉节点的电位为高电平从而通过所述下拉薄膜晶体
30 管维持所述输出端输出低电平，并控制复位所述上拉节点。

4、如权利要求 3 所述的移位寄存器单元，其中，

所述上拉控制单元包括第一薄膜晶体管和自举电容;

所述输出端复位控制单元包括第二薄膜晶体管、第三薄膜晶体管和第四薄膜晶体管;

5 所述上拉节点复位控制单元包括第五薄膜晶体管、第六薄膜晶体管和第七薄膜晶体管;

所述自举电容连接于所述上拉节点和所述输出端之间;

所述第一薄膜晶体管,栅极与输入端连接,漏极与正向扫描控制信号连接,源极与上拉节点连接;

10 所述第二薄膜晶体管,栅极与复位信号输入端连接,漏极与上拉节点连接,源极与反向扫描控制信号连接;

所述第三薄膜晶体管,栅极与上拉节点连接,漏极与下拉节点连接,源极与低电平输出端连接;

所述第四薄膜晶体管,栅极与上拉节点连接,源极与低电平输出端连接;

15 所述第五薄膜晶体管,栅极与所述第四薄膜晶体管的漏极连接,漏极与驱动电源的高电平输出端连接,源极与下拉节点连接;

所述第六薄膜晶体管,栅极和漏极与高电平输出端连接,源极与所述第五薄膜晶体管的栅极连接;

所述第七薄膜晶体管,栅极与下拉节点连接,漏极与上拉节点连接,源极与低电平输出端连接。

20 5、如权利要求4所述的移位寄存器单元,其中,

所述第一薄膜晶体管、所述第二薄膜晶体管、所述第三薄膜晶体管、所述第四薄膜晶体管、所述第五薄膜晶体管、所述第六薄膜晶体管、所述第七薄膜晶体管、所述第八薄膜晶体管和所述第九薄膜晶体管都是n型TFT。

25 6、一种驱动移位寄存器单元的方法,应用于如权利要求1至5中任一权利要求所述的移位寄存器单元,该方法包括:

在输入阶段:RS触发器的正相输出端输出高电平,时钟信号输入端输入低电平,输出端输出低电平;

经过一个时间间隔后,在输出阶段:时钟信号输入端输入高电平,上拉节点的电位被自举而上升,并输出端输出高电平;

30 在复位阶段:首先时钟信号输入端输入低电平,上拉节点的电位降低,由于复位信号仍为低电平,从而上拉节点的电位仍保持高电平,输出端通过

上拉薄膜晶体管放电至时钟信号输入端，实现了输出端的复位；之后复位信号为高电平，上拉节点的电位降低，同时下拉节点的电位升高，从而输出端输出低电平并上拉节点的电位变为低电平，上拉节点被复位。

7、一种栅极驱动装置，其特征在于，包括第一移位寄存器，所述第一移位寄存器包括多级如权利要求1至5中任一权利要求所述的移位寄存器单元；

在所述第一移位寄存器中，除了第一级移位寄存器单元和第二级移位寄存器单元之外，第 n 级移位寄存器单元的RS触发器的置位端与第 $(n-2)$ 级移位寄存器单元的输出端连接；除了第 N 级移位寄存器单元和第 $(N-1)$ 级移位寄存器单元之外，第 n 级移位寄存器单元的RS触发器的复位端与第 $(n+2)$ 级移位寄存器单元的输出端连接；

m 除以4所得余数为1时，所述第一移位寄存器的第 m 级移位寄存器单元与第一时钟信号输入端连接；

m 除以4所得余数为2时，所述第一移位寄存器的第 m 级移位寄存器单元与第二时钟信号输入端连接；

15 m 除以4所得余数为3时，所述第一移位寄存器的第 m 级移位寄存器单元与第三时钟信号输入端连接；

m 除以4所得余数为0时，所述第一移位寄存器的第 m 级移位寄存器单元与第四时钟信号输入端连接；

20 n 为大于2而小于等于 N 的整数， N 为所述第一移位寄存器包括的移位寄存器单元的级数， N 为4的倍数， m 为小于等于 N 的整数。

8、如权利要求7所述的栅极驱动装置，其特征在于，还包括第二移位寄存器，所述第二移位寄存器的结构与所述第一移位寄存器的结构相同；

p 除以4所得余数为1时，所述第二移位寄存器的第 p 级移位寄存器单元与第五时钟信号输入端连接；

25 p 除以4所得余数为2时，所述第二移位寄存器的第 p 级移位寄存器单元与第六时钟信号输入端连接；

p 除以4所得余数为3时，所述第二移位寄存器的第 p 级移位寄存器单元与第七时钟信号输入端连接；

30 p 除以4所得余数为0时，所述第二移位寄存器的第 p 级移位寄存器单元与第八时钟信号输入端连接；

p 为小于等于 N 的整数， M 为所述第二移位寄存器包括的移位寄存器单

元的级数，M 为 4 的倍数；

接入第一移位寄存器的第一时钟信号、第二时钟信号、第三时钟信号和第四时钟信号，以及接入第二移位寄存器的第五时钟信号、第六时钟信号、第七时钟信号和第八时钟信号的时钟周期相同，都为 T；

- 5 第一时钟信号、第五时钟信号、第二时钟信号、第六时钟信号、第三时钟信号、第七时钟信号、第四时钟信号和第八时钟信号之间的时间间隔依次为 $T/8$ 。

9、如权利要求 7 所述的栅极驱动装置，其特征在于，

- 10 接入第一移位寄存器的第一时钟信号、第二时钟信号、第三时钟信号和第四时钟信号的时钟周期相同，都为 T；

第一时钟信号、第二时钟信号、第三时钟信号和第四时钟信号之间的时间间隔依次为 $T/8$ 。



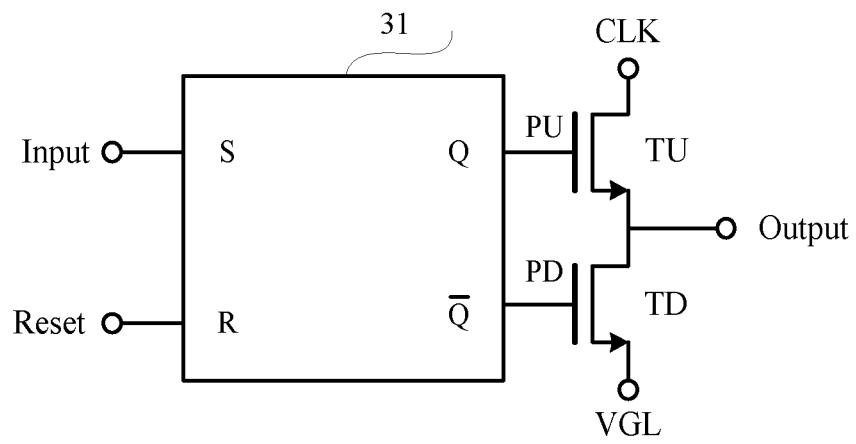


图 3

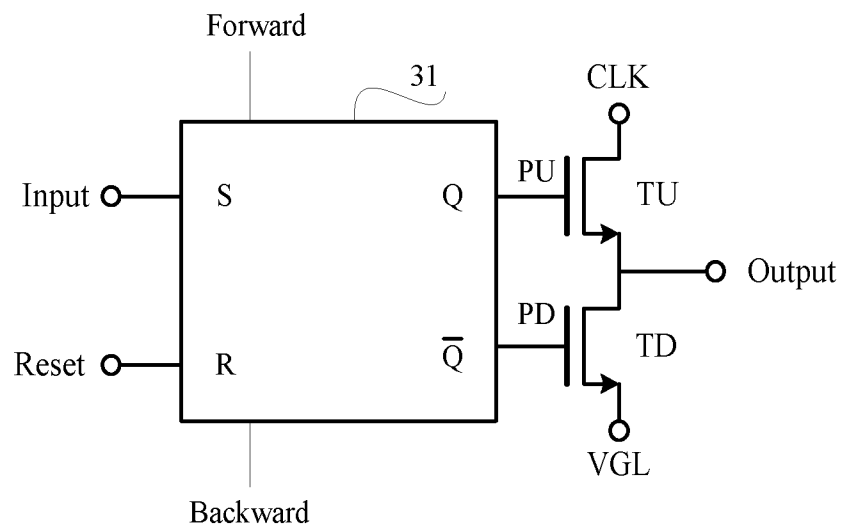


图 4

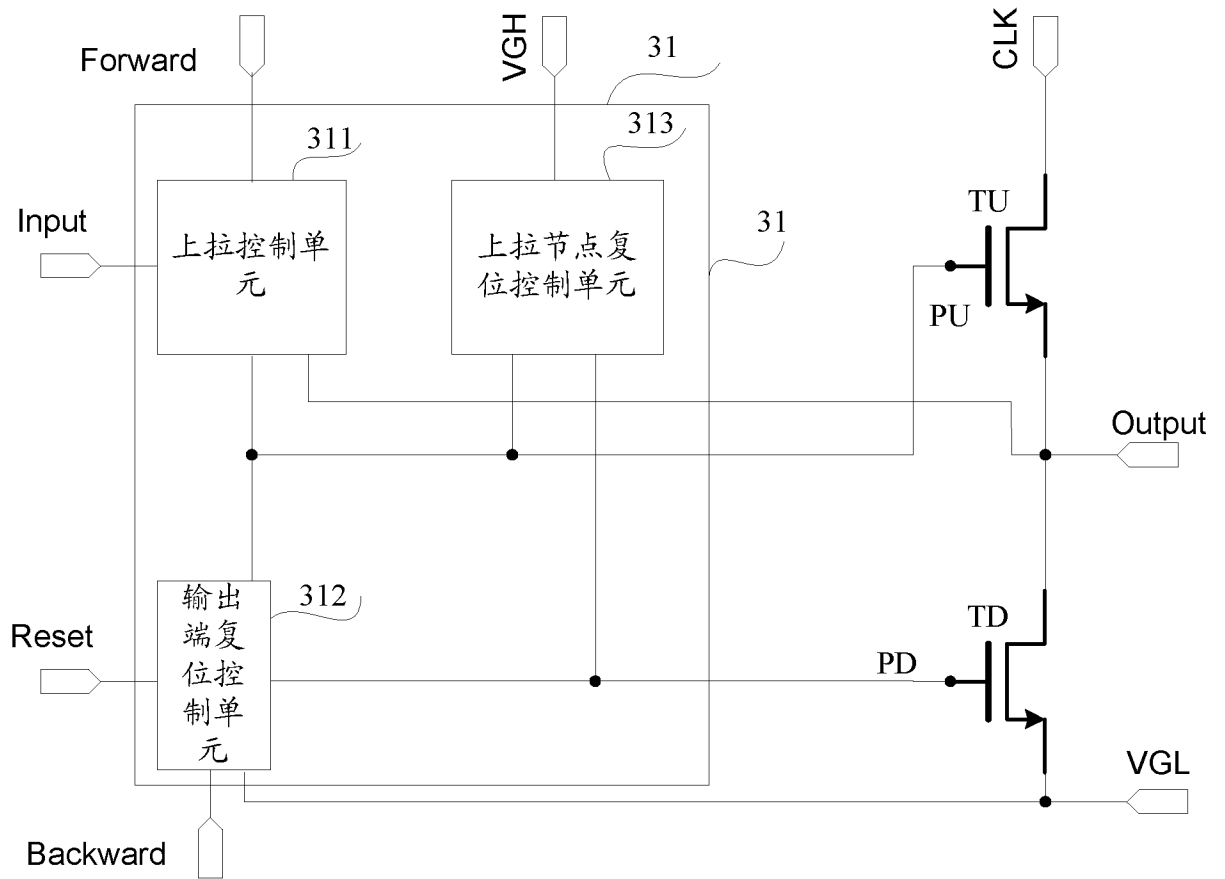


图 5

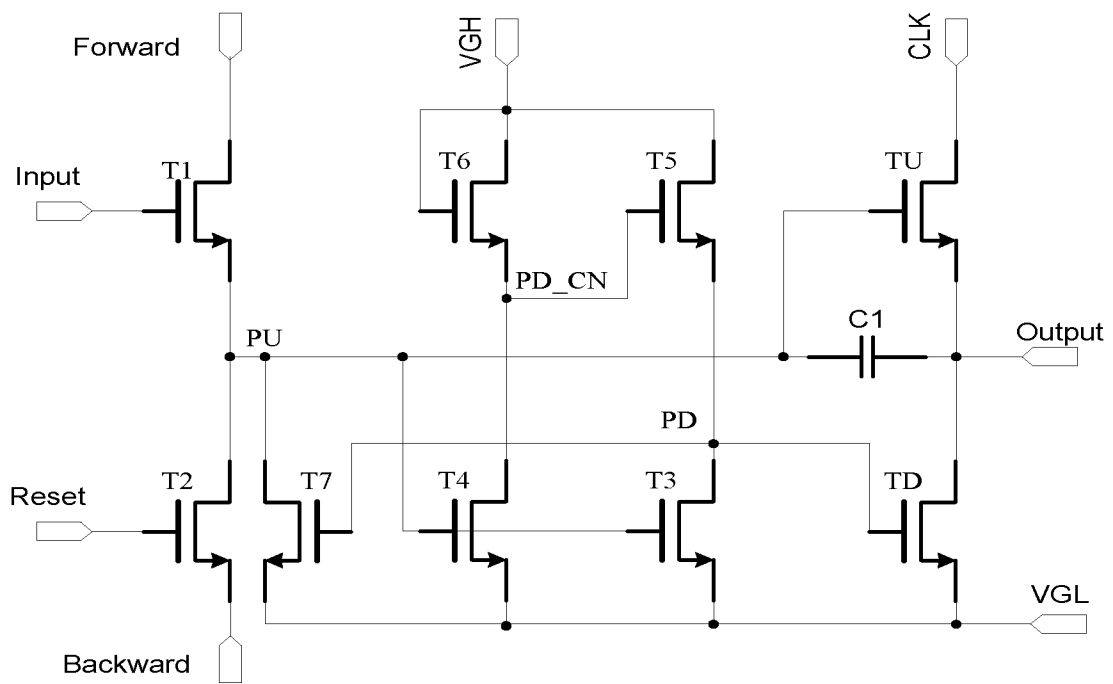


图 6

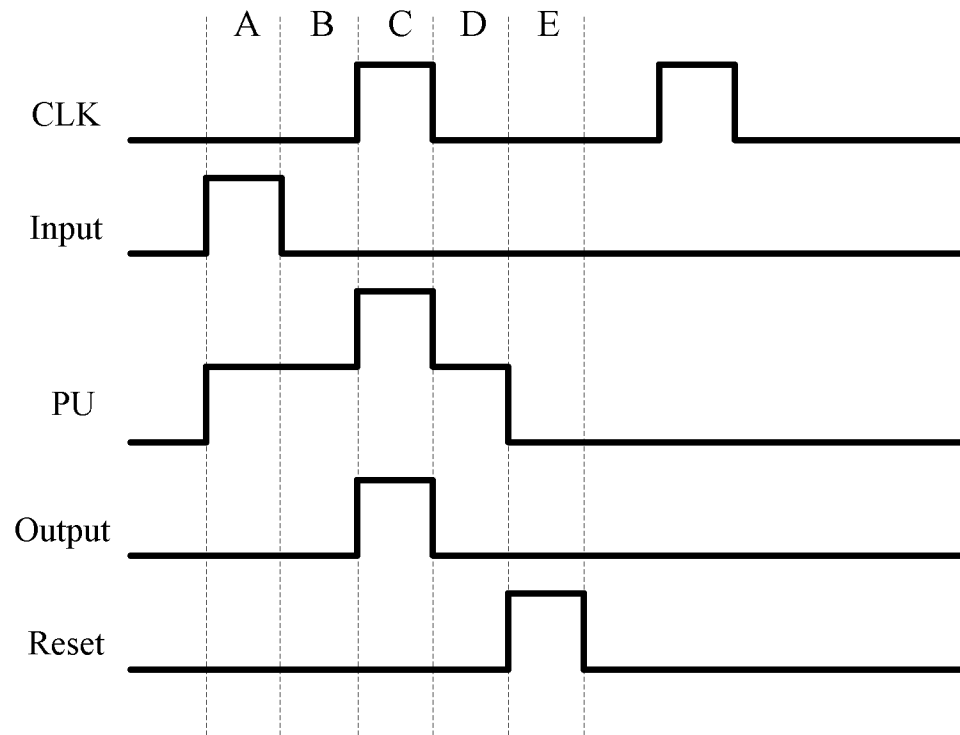


图 7

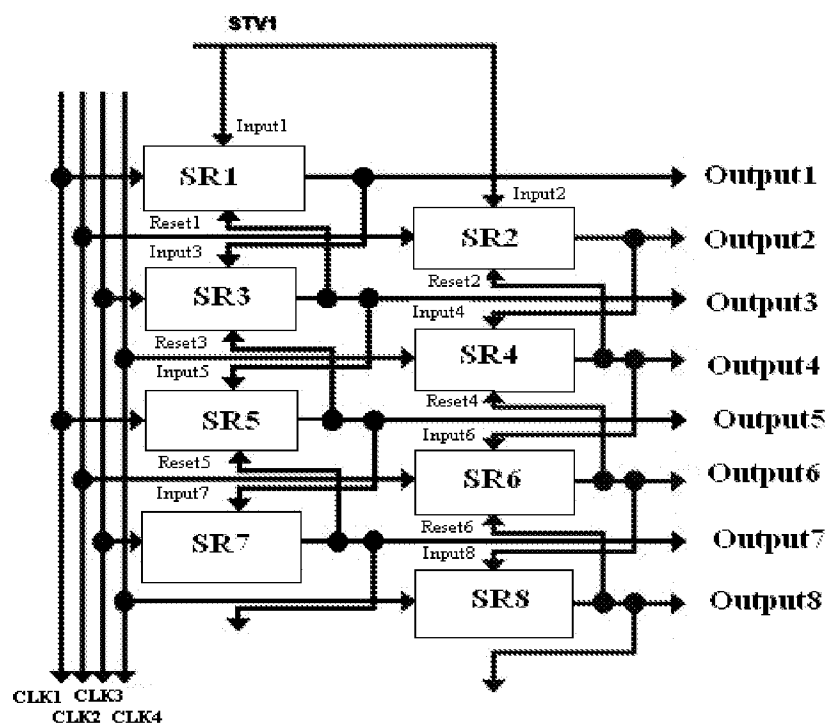


图 8

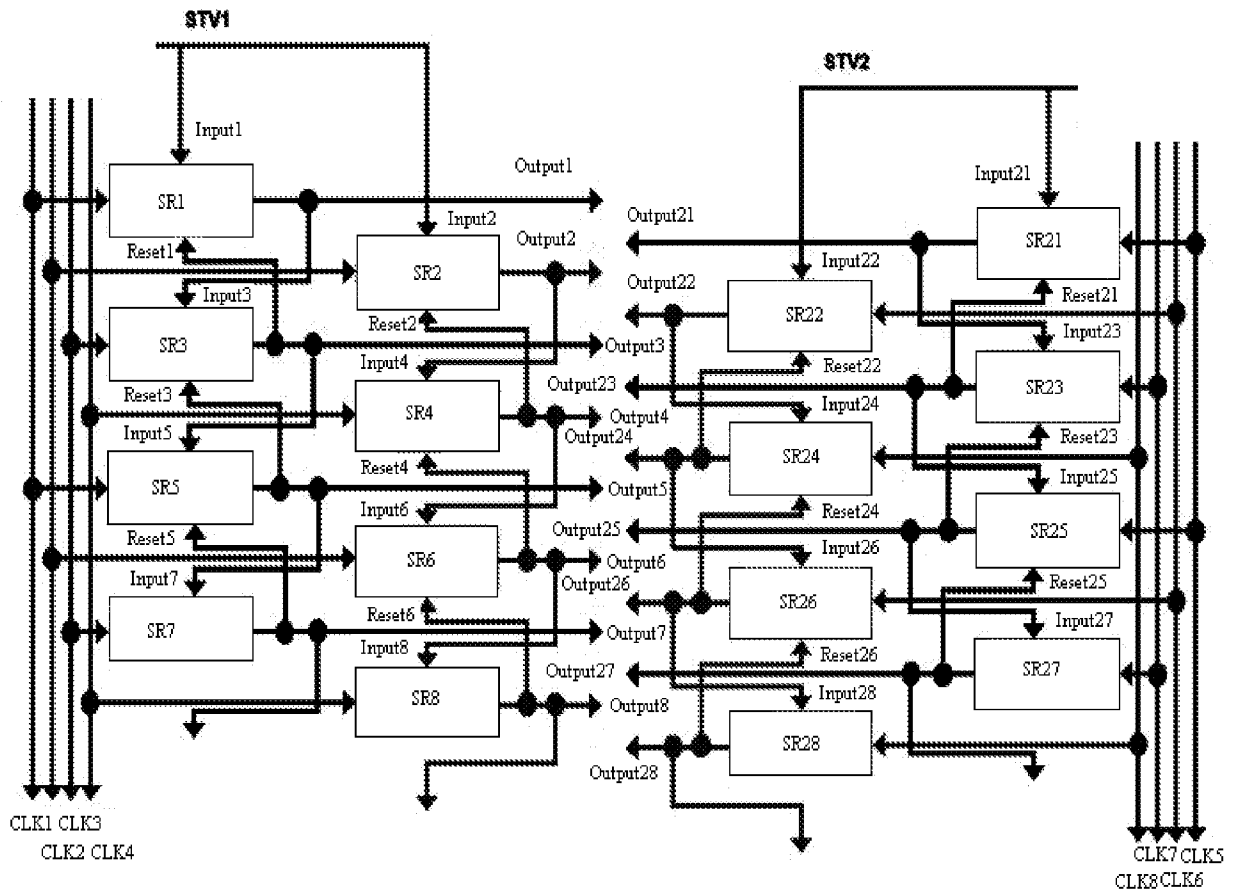


图 9

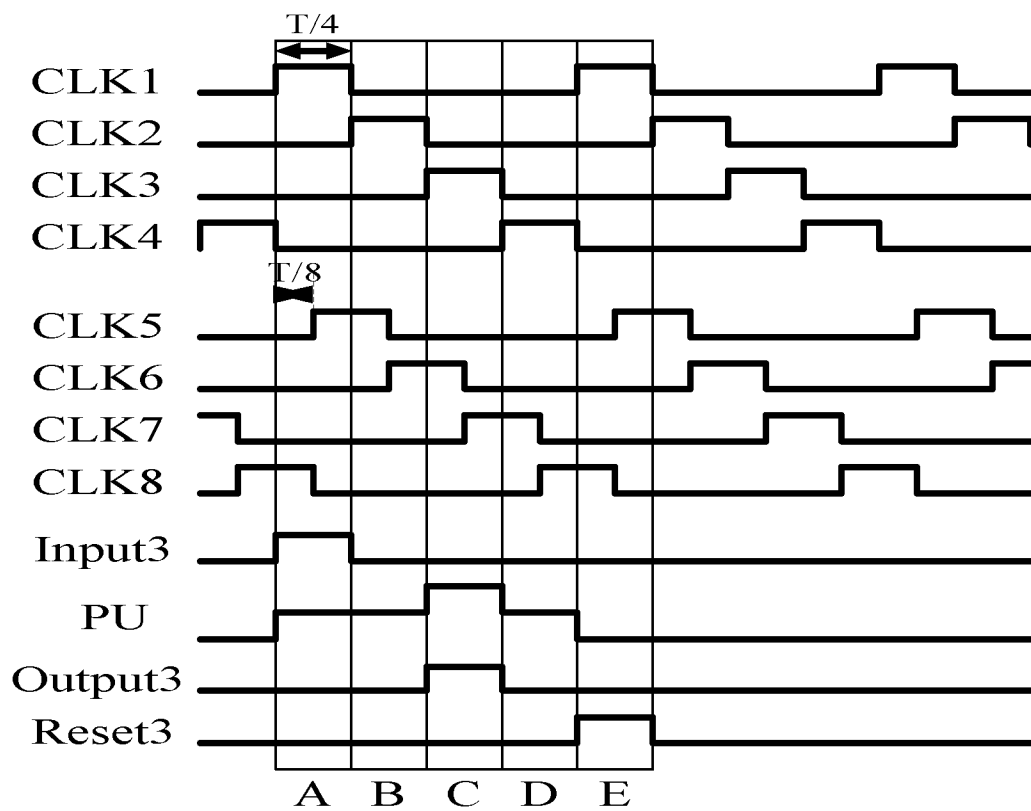


图 10

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2012/087187

A. CLASSIFICATION OF SUBJECT MATTER

H03K 9/00 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H03K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, EPODOC, VEN, CNKI, CNTXT: shift+ w register?, trigger?, transistor?, pull+ w up, up+ w pull+, pull+ w down, driv+, display+, bootstrap, capacitor, condenser

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 101779227 A (SHARP KABUSHIKI KAISHA), 14 July 2010 (14.07.2010), description, paragraphs 73-81, figures 3-7, and claims 1-17	1-3, 6
A		4-5, 7-9
A	CN 101540139 A (SONY CORP.), 23 September 2009 (23.09.2009), the whole document	1-9

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 22 April 2013 (22.04.2013)	Date of mailing of the international search report 09 May 2013 (09.05.2013)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer LI, Ning Telephone No.: (86-10) 62411750

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2012/087187

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 101779227 A	14.07.2010	WO 2009054166 A1	30.04.2009
		US 2010141570 A1	10.06.2010
		CN 101779227 B	28.03.2012
CN 101540139 A	23.09.2009	US 2009237123 A1	24.09.2009
		JP 2009223092 A	01.10.2009
		KR 20090100289 A	23.09.2009
		TW 200945294 A	01.11.2009
		US 7843221 B2	30.11.2010
		CN 101540139 B	18.07.2012
		JP 5151585 B2	27.02.2013

国际检索报告

国际申请号

PCT/CN2012/087187

A. 主题的分类

H03K 9/00 (2006.01) i

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H03K

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

WPI, EPODOC, VEN, CNKI, CNTXT: 移位寄存器, 移位缓存器, 触发器, 晶体管, 上拉, 下拉, 驱动, 显示, 自举, 电容器, shift+ w register?, trigger?, transistor?, pull+ w up, up+ w pull+, pull+ w down, driv+, display+, bootstrap, capacitor, condenser

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN101779227 A (夏普株式会社) 14.7 月 2010 (14.07.2010) 说明书第 73-81 段, 附图 3-7, 权利要求 1-17	1-3,6
A		4-5,7-9
A	CN101540139 A (索尼株式会社) 23.9 月 2009 (23.09.2009) 全文	1-9

☐ 其余文件在 C 栏的续页中列出。

☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期
22.4 月 2013 (22.04.2013)

国际检索报告邮寄日期
09.5 月 2013 (09.05.2013)

ISA/CN 的名称和邮寄地址:
中华人民共和国国家知识产权局
中国北京市海淀区蓟门桥西土城路 6 号 100088
传真号: (86-10)62019451

受权官员
李宁
电话号码: (86-10) **62411750**

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2012/087187

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN101779227 A	14.07.2010	WO 2009054166 A1	30.04.2009
		US 2010141570 A1	10.06.2010
		CN 101779227 B	28.03.2012
CN101540139 A	23.09.2009	US 2009237123 A1	24.09.2009
		JP 2009223092 A	01.10.2009
		KR 20090100289 A	23.09.2009
		TW 200945294 A	01.11.2009
		US 7843221 B2	30.11.2010
		CN 101540139 B	18.07.2012
		JP 5151585 B2	27.02.2013