(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年9月22日(22.09.2022)

WIPO | PCT

(10) 国際公開番号
WO 2022/196383 A1

(51) 国際特許分類:
H01L 27/146 (2006.01) *H04N 5/369* (2011.01)
H04N 5/357 (2011.01)

(21) 国際出願番号： PCT/JP2022/009274

(22) 国際出願日： 2022年3月4日(04.03.2022)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2021-044892 2021年3月18日(18.03.2021) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(**SONY SEMICONDUCTOR SOLUTIONS CORPORATION**) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

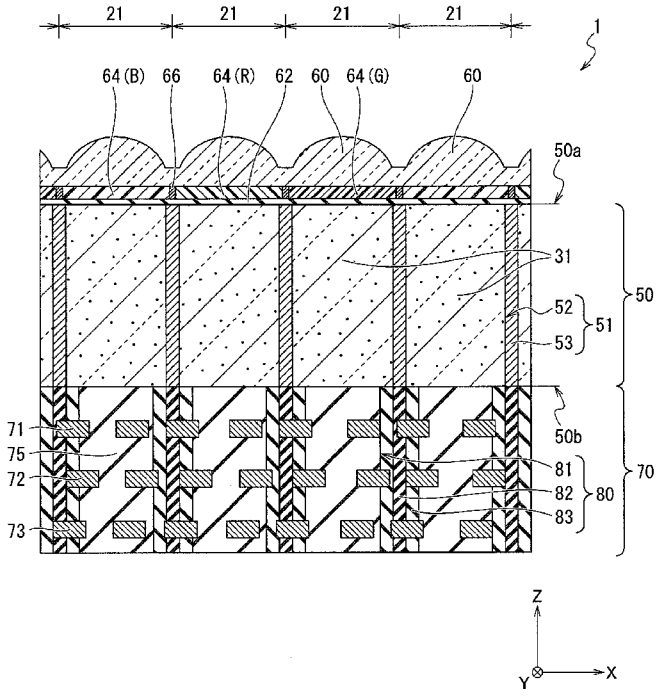
(72) 発明者: 徳満 千絵 (**TOKUMITSU Chie**); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 田中 秀▲てつ▼, 外 (**TANAKA Hidetetsu** et al.); 〒1056032 東京都港区虎ノ門四丁目3番1号 城山トラストタワー32階 特許業務法人日栄国際特許事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ,

(54) **Title:** IMAGE CAPTURING DEVICE

(54) 発明の名称： 撮像装置



(57) **Abstract:** Provided is an image capturing device configured such that color mixing between pixels can be reduced. An image capturing device according to the present invention is provided with: a first semiconductor substrate including a plurality of photoelectric conversion elements; a lens body provided on the side of one face of the first semiconductor substrate; and a wiring layer provided on the reverse side of the one face of the first semiconductor substrate. The first semiconductor substrate includes an element separating section disposed between one photoelectric conversion element

WO 2022/196383 A1

[続葉有]

EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JM, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

and the other photoelectric conversion element adjacent to each other among the plurality of photoelectric conversion elements. The wiring layer includes a first separating section disposed at a position facing the element separating section. The first separating section includes a first low-refractive-index region and a first high-refractive-index region abutting the first low-refractive-index region. The first high-refractive-index region sandwiches the first low-refractive-index region from both sides.

(57) 要約:画素間の混色を抑制できるようにした撮像装置を提供する。撮像装置は、複数の光電変換素子を有する第1半導体基板と、第1半導体基板の一方の面側に設けられたレンズ体と、第1半導体基板の一方の面の反対側に設けられた配線層と、を備える。第1半導体基板は、複数の光電変換素子のうち、互いに隣り合う一方の光電変換素子と他方の光電変換素子との間に配置された素子間分離部を有する。配線層は、素子間分離部と向かい合う位置に配置された第1分離部を有する。第1分離部は、第1低屈折率領域と、第1低屈折率領域と接する第1高屈折率領域と、を有する。第1高屈折率領域は第1低屈折率領域を両側から挟む。

明　細　書

発明の名称 ： 撮像装置

技術分野

[0001] 本開示は、撮像装置に関する。

背景技術

[0002] ＣＭＯＳ（Ｃｏｍｐｌｅｍｅｎｔａｒｙ　ＭＯＳ）イメージセンサに代表される裏面照射型の固体撮像装置は、例えば、フォトダイオードなどの光電変換部と、光電変換部の光入射面の反対側に配置される配線層とを有する。光電変換部は基板に設けられる。基板の裏面が光入射面である。

[0003] 従来の固体撮像装置では、一の画素の光電変換部を透過した光が配線層などで反射して、他の画素の光電変換部へ到達する場合がある。この場合、一の画素と他の画素との間で混色が発生しうる。このような混色を防止するために、光電変換部の下に、高屈折率領域を設け、屈折率差で混色を低減する手法が知られている。（例えば、特許文献１参照）。

先行技術文献

特許文献

[0004] 特許文献1：特開２０１４－８６５５１号公報

発明の概要

発明が解決しようとする課題

[0005] 特許文献１に開示された撮像装置では、基板に光が斜めに入射すると、一の画素の光電変換部を透過した光が、一の画素に隣接する他の画素の光電変換部に入射する可能性があった。また、一の画素において光電変換部以外の領域を透過した光が、配線等で反射して、他の画素の光電変換部に入射する可能性があった。いずれの場合も、一の画素と他の画素との間で画素信号に混色が生じ、撮像装置の性能が低下する可能性がある。

[0006] 本開示はこのような事情に鑑みてなされたもので、画素間の混色を抑制できるようにした撮像装置を提供することを目的とする。

課題を解決するための手段

[0007] 本開示の一態様に係る撮像装置は、複数の光電変換素子を有する第１半導体基板と、前記第１半導体基板の一方の面側に設けられたレンズ体と、前記第１半導体基板の前記一方の面の反対側に設けられた配線層と、を備える。前記第１半導体基板は、前記複数の光電変換素子のうち、互いに隣り合う一方の光電変換素子と他方の光電変換素子との間に配置された素子間分離部を有する。前記配線層は、前記素子間分離部と向かい合う位置に配置された第１分離部を有する。前記第１分離部は、第１低屈折率領域と、前記第１低屈折率領域と接する第１高屈折率領域と、を有する。前記第１高屈折率領域は前記第１低屈折率領域を両側から挟む。

[0008] これによれば、第１分離部の第１高屈折率領域に入射した光は、第１高屈折率領域と第１低屈折率領域との屈折率差により、第１高屈折率領域と第１低屈折率領域との境界で反射する。これにより、第１分離部は、一の画素に入射した光が配線層を介して他の画素へ入ることを抑制することができる。撮像装置は、第１分離部を有することにより、一の画素に入射した光を一の画素内に閉じ込めることが容易となるため、画素間の混色を抑制することができる。

図面の簡単な説明

[0009] [図1]図１は、本開示の実施形態１に係る撮像装置の構成例を示すブロック図である。

[図2]図２は、本開示の実施形態１に係る撮像装置の構成例を示す断面図である。

[図3]図３は、本開示の実施形態１に係る分離部の構成例を示す平面図である。

[図4]図４は、本開示の実施形態１に係る撮像装置を部分的に拡大した断面図であり、半導体基板を透過して配線層に入射した光の反射例を示す図である。

[図5]図５は、本開示の実施形態１に係る撮像装置の製造方法を工程順に示す

断面図である。

[図6]図６は、本開示の実施形態１に係る撮像装置の製造方法を工程順に示す断面図である。

[図7]図７は、本開示の実施形態１に係る撮像装置の製造方法を工程順に示す断面図である。

[図8]図８は、本開示の実施形態２に係る撮像装置の製造方法を工程順に示す断面図である。

[図9]図９は、本開示の実施形態２に係る撮像装置の製造方法を工程順に示す断面図である。

[図10]図１０は、本開示の実施形態２に係る撮像装置の構成例を示す断面図である。

[図11]図１１は、本開示の実施形態３に係る撮像装置の製造方法を工程順に示す断面図である。

[図12]図１２は、本開示の実施形態３に係る撮像装置の製造方法を工程順に示す断面図である。

[図13]図１３は、本開示の実施形態の変形例１に係る撮像装置の構成例を示す断面図である。

[図14]図１４は、本開示の実施形態の変形例２に係る撮像装置の構成例を示す断面図である。

発明を実施するための形態

[0010] 以下において、図面を参照して本開示の実施形態を説明する。以下の説明で参照する図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。ただし、図面は模式的なものであり、厚さと平面寸法との関係、各層の厚さの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚さや寸法は以下の説明を参酌して判断すべきものである。また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることは勿論である。

[0011] また、以下の説明における上下等の方向の定義は、単に説明の便宜上の定

義であって、本開示の技術的思想を限定するものではない。例えば、対象を９０°回転して観察すれば上下は左右に変換して読まれ、１８０°回転して観察すれば上下は反転して読まれることは勿論である。

[0012] 以下の説明では、Ｘ軸方向、Ｙ軸方向及びＺ軸方向の文言を用いて、方向を説明する場合がある。例えば、Ｘ軸方向及びＹ軸方向は、半導体基板５０の裏面５０ａに平行な方向である。Ｘ軸方向及びＹ軸方向を水平方向ともいう。Ｚ軸方向は、半導体基板５０の裏面５０ａの法線方向である。Ｘ軸方向、Ｙ軸方向及びＺ軸方向は、互いに直交する。

[0013] ＜実施形態１＞

（撮像装置の構成例）

図１は、本開示の実施形態１に係る撮像装置１の構成例を示すブロック図である。図１に示すように、撮像装置１は、複数の画素２１、垂直駆動回路１３、カラム信号処理回路１４、水平駆動回路１５、出力回路１６、および制御回路１７を備える。

[0014] 画素２１は、図示しない光学系により集光される光を受光する受光領域である。複数の画素２１は、行列状に配置されている。複数の画素２１は、水平信号線２２を介して行ごとに垂直駆動回路１３に接続されるとともに、垂直信号線２３を介して列ごとにカラム信号処理回路１４に接続される。複数の画素２１は、それぞれ受光する光の光量に応じたレベルの画素信号をそれぞれ出力する。それらの画素信号から、被写体の画像が構築される。

[0015] 垂直駆動回路１３は、複数の画素２１の行ごとに順次、それぞれの画素２１を駆動（転送や、選択、リセットなど）するための駆動信号を、水平信号線２２を介して画素２１に供給する。カラム信号処理回路１４は、複数の画素２１から垂直信号線２３を介して出力される画素信号に対してＣＤＳ（Ｃｏｒｒｅｌａｔｅｄ　Ｄｏｕｂｌｅ　Ｓａｍｐｌｉｎｇ：相関２重サンプリング）処理を施すことにより、画素信号のＡＤ変換を行うとともにリセットノイズを除去する。

[0016] 水平駆動回路１５は、複数の画素２１の列ごとに順次、カラム信号処理回

路１４から画素信号をデータ出力信号線２４に出力させるための駆動信号を、カラム信号処理回路１４に供給する。出力回路１６は、水平駆動回路１５の駆動信号に従ったタイミングでカラム信号処理回路１４からデータ出力信号線２４を介して供給される画素信号を増幅し、後段の信号処理回路に出力する。制御回路１７は、撮像装置１の内部の各ブロックの駆動を制御する。例えば、制御回路１７は、各ブロックの駆動周期に従ったクロック信号を生成して、それぞれのブロックに供給する。

[0017] 画素２１は、フォトダイオード３１（本開示の「光電変換素子」の一例）、転送トランジスタ３２、フローティングディフュージョン３３、増幅トランジスタ３４、選択トランジスタ３５、およびリセットトランジスタ３６を備える。転送トランジスタ３２、フローティングディフュージョン３３、増幅トランジスタ３４、選択トランジスタ３５、およびリセットトランジスタ３６は、フォトダイオード３１で光電変換された電荷（画素信号）の読み出しを行う読出回路３０を構成している。

[0018] フォトダイオード３１は、入射した光を光電変換により電荷に変換して蓄積する光電変換部であり、アノード端子が接地されているとともに、カソード端子が転送トランジスタ３２に接続されている。転送トランジスタ３２は、垂直駆動回路１３から供給される転送信号ＴＲＧに従って駆動し、転送トランジスタ３２がオンになると、フォトダイオード３１に蓄積されている電荷がフローティングディフュージョン３３に転送される。フローティングディフュージョン３３は、増幅トランジスタ３４のゲート電極に接続された所定の蓄積容量を有する浮遊拡散領域であり、フォトダイオード３１から転送される電荷を一時的に蓄積する。

[0019] 増幅トランジスタ３４は、フローティングディフュージョン３３に蓄積されている電荷に応じたレベル（即ち、フローティングディフュージョン３３の電位）の画素信号を、選択トランジスタ３５を介して垂直信号線２３に出力する。つまり、フローティングディフュージョン３３が増幅トランジスタ３４のゲート電極に接続される構成により、フローティングディフュージョ

ン３３および増幅トランジスタ３４は、フォトダイオード３１において発生した電荷を増幅し、その電荷に応じたレベルの画素信号に変換する変換部として機能する。

[0020] 選択トランジスタ３５は、垂直駆動回路１３から供給される選択信号ＳＥＬに従って駆動し、選択トランジスタ３５がオンになると、増幅トランジスタ３４から出力される画素信号が垂直信号線２３に出力可能な状態となる。リセットトランジスタ３６は、垂直駆動回路１３から供給されるリセット信号ＲＳＴに従って駆動し、リセットトランジスタ３６がオンになると、フローティングディフュージョン３３に蓄積されている電荷がドレイン電源Ｖｄに排出されて、フローティングディフュージョン３３がリセットされる。

[0021] 図２は、本開示の実施形態１に係る撮像装置１の構成例を示す断面図である。図２に示す撮像装置１は、例えば、半導体基板５０（本開示の「第１半導体基板」の一例）の裏面５０ａ（本開示の「一方の面」の一例）側から入射された光を光電変換する裏面照射型のＣＭＯＳイメージセンサである。

[0022] 撮像装置１は、半導体基板５０と、半導体基板５０の裏面５０ａ側に設けられた複数のマイクロレンズ６０（本開示の「レンズ体」の一例）と、半導体基板５０の表面５０ｂ側に設けられた配線層７０と、を備える。以下、半導体基板５０の裏面５０ａを受光面ともいう。

[0023] 半導体基板５０は、例えば、シリコンウェハーをＣＭＰ（Ｃｈｅｍｉｃａｌ Ｍｅｃｈａｎｉｃａｌ Ｐｏｌｉｓｈｉｎｇ）によって研磨することにより形成された、シリコン基板である。半導体基板５０には、画素２１毎にフォトダイオード３１が設けられている。半導体基板５０の厚さは、受光する光の波長に応じて任意に設定してよい。一例を挙げると、半導体基板５０の厚さは、可視光を受光する場合は５μｍ以上１５μｍ以下、赤外光を受光する場合は１５μｍ以上５０μｍ以下、紫外光を受光する場合は３μｍ以上７μｍ以下である。

[0024] 半導体基板５０裏面（例えば、受光面）５０ａ上に、透光性の絶縁膜６２が設けられている。絶縁膜６２は、例えばシリコン酸化膜（SiO_2）である

。絶縁膜６２上にカラーフィルタ６４が設けられている。カラーフィルタ６４は、例えば、青色（Ｂ）、緑色（Ｇ）及び赤色（Ｒ）のいずれか１色に着色されていてもよいし、これら以外の他の色に着色されていてもよい。図２では、青色のカラーフィルタ６４を符号６４（Ｂ）で示し、緑色のカラーフィルタ６４を符号６４（Ｇ）で示し、赤色のカラーフィルタ６４を符号６４（Ｒ）で示している。カラーフィルタ６４は、絶縁膜６２を介して、フォトダイオード３１と向かい合う位置に配置されている。

[0025] また、半導体基板５０の受光面５０ａ上には、絶縁膜６２を介して隔壁６６が設けられている。隔壁６６は、隣り合う画素２１間に配置されている。隔壁６６によって、カラーフィルタ６４は画素２１毎に隔離されている。隔壁６６は、遮光性を有する材料で構成されており、例えば、金属又は黒色の樹脂等で構成されている。

[0026] マイクロレンズ６０は、絶縁膜６２及びカラーフィルタ６４を介して、受光面５０ａ上に設けられている。例えば、１つのカラーフィルタ６４上に１つのマイクロレンズ６０が配置されている。隣り合うマイクロレンズ６０の端部同士が互いに接続して、１つのマイクロレンズアレイを構成している。

[0027] 図２に示すように、半導体基板５０には、画素間分離部５１（本開示の「素子間分離部」の一例）が設けられている。画素間分離部５１は、画素２１間（すなわち、互いに隣り合う一方のフォトダイオード３１と他方のフォトダイオード３１との間）に配置されている。画素間分離部５１によって、隣接するフォトダイオード３１間が電気的に分離されている。画素間分離部５１は、画素２１を囲むように形成されており、例えばＺ軸方向から見て格子状に形成されている。

[0028] 画素間分離部５１は、トレンチアイソレーション構造を有する。例えば、画素間分離部５１は、半導体基板５０の裏面（例えば、受光面）５０ａ側から深さ方向に形成されたトレンチ５１１と、トレンチ５１１内に埋め込まれた充填膜５１３と、を有する。充填膜５１３は、例えばSiO_2膜等の絶縁膜、又は、ポリシリコン膜である。充填膜５１３は、半導体基板５０とは屈折

率が異なる材料で構成されている。また、充填膜５１３は、トレンチ５１１内に絶縁膜を介して埋め込まれた金属膜であってもよい。充填膜５１３は、トレンチ５１１の内側面に接するように設けられた固定電荷膜を有してもよい。

[0029] 配線層７０は、複数の配線（例えば、第１配線７１（本開示の「配線」の一例）、第２配線７２、第３配線７３）と、配線を覆う層間絶縁膜７５と、分離部８０（本開示の「第１分離部」の一例）と、を有する。第１配線７１、第２配線７２、第３配線７３は、一方のフォトダイオード３１と他方のフォトダイオード３１とが隣り合う方向（例えば、Ｘ軸方向、Ｙ軸方向）と直交する方向（例えば、Ｚ軸方向）に積層されている。第１配線７１、第２配線７２、第３配線７３のうち、Ｚ軸方向で向かい合う一方の配線と他方の配線との間に層間絶縁膜７５が配置されている。例えば、第１配線７１と第２配線７２との間、第２配線７２と第３配線７３との間に、層間絶縁膜７５が配置されている。第１配線７１、第２配線７２、第３配線７３はそれぞれ層間絶縁膜７５で覆われている。

[0030] 例えば、第１配線７１、第２配線７２、第３配線７３は、アルミニウム（ＡｌまたはＣｕ）などの金属で構成されている。層間絶縁膜７５は、SiO_2膜等の絶縁膜で構成されている。

[0031] 分離部８０は、層間絶縁膜７５に設けられたトレンチ８１と、トレンチ８１内に設けられた低屈折率領域８２（本開示の「第１低屈折率領域」の一例）と、トレンチ８１内に設けられて低屈折率領域８２と接する高屈折率領域８３（本開示の「第１高屈折率領域」の一例）と、を有する。高屈折率領域８３は、Ｘ軸方向及びＹ軸方向において、低屈折率領域８２を両側から挟んでいる。

[0032] 低屈折率領域８２の屈折率は、例えば１．０以上１．５以下であり、一例を示すと１．２である。高屈折率領域８３は、低屈折率領域８２よりも屈折率が高い。高屈折率領域８３の屈折率は、例えば２以上４以下である。

[0033] 図２に示すように、半導体基板５０に設けられた画素間分離部５１と、配

線層７０に設けられた分離部８０は、Ｚ軸方向で互いに接している。Ｚ軸方向から見て、分離部８０は、画素間分離部５１と重なる位置に設けられている。

[0034] 図３は、本開示の実施形態１に係る分離部８０の構成例を示す平面図である。図３に示すように、Ｚ軸方向からの平面視で、分離部８０は画素２１を囲むように配置されている。

[0035] 図４は、本開示の実施形態１に係る撮像装置１を部分的に拡大した断面図であり、半導体基板５０を透過して配線層７０に入射した光の反射例を示す図である。図４に示すように、配線層７０に入射した光の一部は、配線（例えば、第１配線７１、第２配線７２）の表面で反射する。配線の表面で反射した光の一部は半導体基板５０側へ進み、反射した光の他の一部は層間絶縁膜７５を透過して分離部８０側へ進む。また、半導体基板５０を透過して配線層７０に入射した光は、配線の表面で反射されることなく、層間絶縁膜７５を透過して分離部８０に入射する場合もある。

[0036] 上述したように、分離部８０は、低屈折率領域８２と、低屈折率領域８２を両側から挟む高屈折率領域８３とを有する。高屈折率領域８３の屈折率が層間絶縁膜７５の屈折率よりも高い場合（例えば、層間絶縁膜７５の屈折率が１．４６程度であり、高屈折率領域８３の屈折率が２以上の場合）、層間絶縁膜７５を透過して分離部８０に到達した光は、分離部８０の高屈折率領域８３を透過して低屈折率領域８２に表面に到達する。低屈折率領域８２の表面に到達した光は、高屈折率領域８３と低屈折率領域８２との屈折率差により、高屈折率領域８３と低屈折率領域８２との境界で反射する。

[0037] これにより、分離部８０は、一の画素２１に入射した光が配線層７０を介して他の画素２１へ入ることを抑制することができる。撮像装置１は、分離部８０を有することにより、一の画素２１に入射した光を、一の画素２１内に閉じ込めることが容易となるため、画素２１間の混色を抑制することができる。

[0038] また、分離部８０は、分離部８０で囲む領域内に入射した光の一部を、こ

の領域の直上に位置するフォトダイオード３１へ反射させることができる。フォトダイオード３１に入射した光は光電変換されるため、撮像装置１は撮像感度を向上させることが可能である。

[0039] また、分離部８０だけでなく、画素間分離部５１も画素２１ごとにフォトダイオード３１を囲むように配置されている。この例では、画素間分離部５１は、半導体基板５０の裏面５０ａと表面５０ｂとの間を貫いており、その一端が分離部８０と接している。半導体基板５０において、画素間分離部５１は、隣接する画素２１間を隙間なく分離している。これにより、撮像装置１は、画素２１内に光を閉じ込めることがさらに容易となるため、画素２１間の混色をさらに抑制することができる。

[0040] （製造方法）

次に、図２から図４に示した撮像装置１の製造方法を説明する。撮像装置１は、成膜装置（ＣＶＤ（Ｃｈｅｍｉｃａｌ Ｖａｐｏｒ Ｄｅｐｏｓｉｔｉｏｎ）装置、スパッタ装置、熱酸化装置を含む）、露光装置、エッチング装置、ＣＭＰ装置など、各種の装置を用いて製造される。以下、これらの装置を、製造装置と総称する。撮像装置１の配線層７０は、次に説明する製造方法によって製造することができる。

[0041] 図５から図７は、本開示の実施形態１に係る撮像装置１の製造方法を工程順に示す断面図である。なお、図５から図７の各ステップにおいて、下側の断面図は、上側の平面図をＸ１－Ｘ１´線で切断した断面を示している。下側の断面図では、半導体基板５０の裏面５０ａが下側を向き、表面５０ｂが上側を向いている。また、図５から図７では、撮像装置１が有する複数の画素のうち１つの画素を示している。

[0042] 図５のステップＳＴ１では、フォトダイオード３１と画素間分離部５１とが形成された半導体基板５０が用意される。製造装置は、フォトダイオード３１が形成された半導体基板５０の表面５０ｂ上に層間絶縁膜７５の一部となる第１絶縁膜７５１を形成する。例えば、第１絶縁膜７５１はSiO_2膜である。次に、製造装置は、第１絶縁膜７５１を部分的にエッチングして、第

１絶縁膜７５１下から半導体基板５０の画素間分離部５１とその周辺部を露出させる。

[0043] 次に、図５のステップＳＴ２に示すように、製造装置は、半導体基板５０の画素間分離部５１とその周辺部上に高屈折率領域８３の一部となる第１高屈折率膜８３１を形成する。例えば、製造装置は、半導体基板５０の表面５０ｂの上方全体に第１高屈折率膜８３１を形成し、フォトリソグラフィ及びドライエッチング技術により第１高屈折率膜８３１を部分的にエッチング（すなわち、パターニング）して、画素間分離部５１とその周辺部上にのみ第１高屈折率膜８３１を残す。または、製造装置は、半導体基板５０の表面５０ｂの上方全体に第１高屈折率膜８３１を形成し、第１高屈折率膜８３１の表面にＣＭＰ処理を施して、画素間分離部５１とその周辺部上にのみ第１高屈折率膜８３１を残すようにしてもよい。

[0044] 次に、図５のステップＳＴ３に示すように、製造装置は、第１高屈折率膜８３１を部分的にエッチングして、第１高屈折率膜８３１下から画素間分離部５１を露出させる。

[0045] 次に、図５のステップＳＴ４に示すように、製造装置は、半導体基板５０の画素間分離部５１上に低屈折率領域８２の一部となる第１低屈折率膜８２１を形成する。例えば、製造装置は、半導体基板５０の表面５０ｂの上方全体に第１低屈折率膜８２１を形成し、第１低屈折率膜８２１を部分的にエッチングして、画素間分離部５１とその周辺部上にのみ第１低屈折率膜８２１を残す。または、製造装置は、半導体基板５０の表面５０ｂの上方全体に第１低屈折率膜８２１を形成し、第１低屈折率膜８２１の表面にＣＭＰ処理を施して、画素間分離部５１とその周辺部上にのみ第１低屈折率膜８２１を残すようにしてもよい。

[0046] 次に、図６のステップＳＴ５に示すように、製造装置は、第１絶縁膜７５１上に配線（例えば、第１配線７１）を形成する。例えば、製造装置は、第１絶縁膜７５１上に金属膜を形成する。金属膜の形成方法は、蒸着又はスパッタ法である。次に、製造装置は、金属膜を部分的にエッチングして、金属

膜で構成される第１配線７１を形成する。

[0047] 次に、製造装置は、第１配線７１が形成された第１絶縁膜７５１上に、層間絶縁膜７５の一部となる第２絶縁膜７５２を形成する。例えば、第２絶縁膜７５２はSiO_2膜である。次に、製造装置は、第２絶縁膜７５２の表面にＣＭＰ処理を施して、第２絶縁膜７５２を平坦化すると共に、第２絶縁膜７５２下から第１配線７１を露出させる。

[0048] 次に、図６のステップＳＴ６に示すように、製造装置は、第２絶縁膜７５２上に層間絶縁膜７５の一部となる第３絶縁膜７５３を形成する。例えば、第３絶縁膜７５３はSiO_2膜である。

[0049] 次に、図６のステップＳＴ７に示すように、製造装置は、第３絶縁膜７５３及び第２絶縁膜７５２を部分的にエッチングして、第３絶縁膜７５３及び第２絶縁膜７５２下から第１高屈折率膜８３１及び第１低屈折率膜８２１を露出させる。なお、図６のステップＳＴ７では、第１高屈折率膜８３１及び第１低屈折率膜８２１上に第１配線７１の一部が配置されている場合を例示している。この場合は、第２絶縁膜７５２をエッチングする際に第１配線７１がエッチングストッパとなる（すなわち、第２絶縁膜７５２に対して、第１配線７１のエッチング比が十分に低い）。このため、ステップＳＴ７の断面図左側に示すように、第１高屈折率膜８３１及び第１低屈折率膜８２１上の第１配線７１は、その表面を露出した状態で下方までエッチングが進まずにそのまま残される。

[0050] 次に、図６のステップＳＴ８に示すように、製造装置は、半導体基板５０の画素間分離部５１とその周辺部上に高屈折率領域８３の一部となる第２高屈折率膜８３２を形成する。第２高屈折率膜８３２の形成方法は、例えば第１高屈折率膜８３１の形成方法と同じである。ステップＳＴ８の断面図左側に示すように、画素間分離部５１とその周辺部上に第１配線７１の一部が配置されている場合は、第１配線７１上に第２高屈折率膜８３２が形成される。

[0051] 次に、図７のステップＳＴ９に示すように、製造装置は、第２高屈折率膜

８３２を部分的にエッチングして、第２高屈折率膜８３２下から第１低屈折率膜８２１又は第１配線７１を露出させる。

[0052] 次に、図７のステップＳＴ１０に示すように、製造装置は、第２高屈折率膜８３２下から露出している第１低屈折率膜８２１上、又は、第２高屈折率膜８３２下から露出している第１配線７１上に、低屈折率領域８２の一部となる第２低屈折率膜８２２を形成する。

第２低屈折率膜８２２の形成方法は、例えば第１低屈折率膜８２１の形成方法と同じである。

[0053] これ以降は、配線の積層数に応じて、ステップＳＴ５からステップＳＴ１０を繰り返し行う。このような工程を経て、図２から図４に示した撮像装置１が完成する。図７のステップＳＴ１０に示すように、この製造方法では、分離部８０を貫くように配線の一部（例えば、第１配線８１）を配置することが可能である。

[0054] （実施形態１の効果）

以上説明したように、本開示の実施形態１に係る撮像装置１は、複数のフォトダイオード３１を有する半導体基板５０と、半導体基板５０の裏面５０ａ側に設けられたマイクロレンズ６０と、半導体基板５０の裏面５０ａの反対側に設けられた配線層７０と、を備える。半導体基板５０は、複数のフォトダイオード３１のうち、互いに隣り合う一方のフォトダイオード３１と他方のフォトダイオード３１との間に配置された画素間分離部５１を有する。配線層７０は、画素間分離部５１と向かい合う位置に配置された分離部８０を有する。分離部８０は、低屈折率領域８２と、低屈折率領域８２と接する高屈折率領域８３と、を有する。高屈折率領域８３は低屈折率領域８２を両側から挟む。

[0055] これによれば、分離部８０の高屈折率領域８３に入射した光は、高屈折率領域８３と低屈折率領域８２との屈折率差により、高屈折率領域８３と低屈折率領域８２との境界で反射する。これにより、分離部８０は、一の画素２１に入射した光が配線層７０を介して他の画素２１へ入ることを抑制するこ

とができる。撮像装置１は、分離部８０を有することにより、一の画素２１に入射した光を一の画素２１内に閉じ込めることが容易となるため、画素２１間の混色を抑制することができる。

[0056] ＜実施形態２＞

上記の実施形態１では、第１高屈折率膜８３１及び第１低屈折率膜８２１で構成される第１層を形成し、この第１層上に第２高屈折率膜８３２及び第２低屈折率膜８２２で構成される第２層目を形成し、これを配線の積層数に応じて複数回繰り返すことで、高屈折率領域８３及び低屈折率領域８２で構成される分離部８０を形成することを説明した。すなわち、成膜とエッチングを繰り返して、分離部８０を積層して形成することを説明した。

[0057] しかしながら、本開示の実施形態において、分離部８０の形成方法は、これに限定されない。本開示の実施形態では、複数の配線を積層した後で、層間絶縁膜のうち画素分離領域に位置する部分を半導体基板の表面までエッチングして、分離部８０を形成してもよい。すなわち、分離部８０を、複数の層を積層して形成するのではなく、一度にまとめて形成してもよい。

[0058] 図８及び図９は、本開示の実施形態２に係る撮像装置１の製造方法を工程順に示す断面図である。なお、図８及び図９の各ステップにおいて、下側の断面図は、上側の平面図をＸ２－Ｘ２´線で切断した断面を示している。下側の断面図では、半導体基板５０の裏面５０ａが下側を向き、表面５０ｂが上側を向いている。また、図８及び図９では、撮像装置１が有する複数の画素のうち１つの画素を示している。

[0059] 図８のステップＳＴ２１は、画素間分離領域に高屈折率領域８３及び低屈折率領域８２を形成せずに、層間絶縁膜７５の第３絶縁膜７５３までが形成された状態を示している。図８のステップＳＴ２２に示すように、製造装置は、第３絶縁膜７５３上に第２配線７２を形成する。第２配線７２の形成方法は、実施形態１で説明した第１配線７１の形成方法と同じである。

[0060] 次に、製造装置は、第２配線７２が形成された第３絶縁膜７５３上に、層間絶縁膜７５の一部となる第４絶縁膜７５４を形成する。例えば、第４絶縁

膜７５４はSiO_2膜である。次に、製造装置は、第４絶縁膜７５４の表面にＣＭＰ処理を施して、第４絶縁膜７５４を平坦化すると共に、第４絶縁膜７５４下から第２配線７２を露出させる。次に、製造装置は、第４絶縁膜７５４上に層間絶縁膜７５の一部となる第５絶縁膜７５５を形成する。例えば、第５絶縁膜７５５はSiO_2膜である。

[0061] 次に、図８のステップＳＴ２３に示すように、製造装置は、層間絶縁膜７５を構成する第５絶縁膜７５５から第１絶縁膜７５１までを部分的にエッチングして、層間絶縁膜７５下から半導体基板５０の画素間分離部５１とその周辺部を露出させる。

[0062] 次に、図８のステップＳＴ２４に示すように、製造装置は、半導体基板５０の画素間分離部５１とその周辺部上に高屈折率領域８３を形成する。高屈折率領域８３の形成方法は、実施形態１で説明した第１高屈折率膜８３１の形成方法と同じである。次に、製造装置は、高屈折率領域８３を部分的にエッチングして、高屈折率領域８３下から画素間分離部５１を露出させる。

[0063] 次に、図９のステップＳＴ２５に示すように、半導体基板５０の画素間分離部５１上に低屈折率領域８２を形成する。低屈折率領域８２の形成方法は、実施形態１で説明した第１低屈折率膜８２１の形成方法と同じである。

[0064] これ以降は、配線の積層数に応じて、配線と絶縁膜とを順次積層する。例えば図９のステップＳＴ２６に示すように、製造装置は、第５絶縁膜７５５上に層間絶縁膜７５の一部となる第６絶縁膜７５６を形成する。例えば、第６絶縁膜７５６はSiO_2膜である。

[0065] 次に、製造装置は、図９のステップＳＴ２７に示すように、第６絶縁膜７５６上に第３配線７３を形成する。次に、製造装置は、層間絶縁膜７５の一部となる第７絶縁膜７５７を形成する。例えば、第７絶縁膜７５７はSiO_2膜である。次に、製造装置は、第７絶縁膜７５７の表面にＣＭＰ処理を施して、第７絶縁膜７５７を平坦化すると共に、第７絶縁膜７５７下から第３配線７３を露出させる。次に、製造装置は、第７絶縁膜７５７上に層間絶縁膜７５の一部となる第８絶縁膜７５８を形成する。例えば、第８絶縁膜７５８

はＳｉＯ$_2$膜である。

[0066] 第４配線７４を必要とする場合はさらに、製造装置は、第４配線７４の形成と、層間絶縁膜７５の一部となる第９絶縁膜７５９の形成とその表面のＣＭＰ処理と、層間絶縁膜７５の一部となる第１０絶縁膜７６０の形成とを順次行う。例えば、第９絶縁膜７５９及び第１０絶縁膜７６０はそれぞれＳｉＯ$_2$膜である。このような工程を経て、撮像装置１が完成する。

[0067] 実施形態２に係る製造方法は、実施形態１と比べて、層間絶縁膜７５のエッチング工程と、高屈折率領域８３の形成工程及び低屈折率領域８２の形成工程の各工程数を減らすことができるので、製造工程を短縮化し、製造コストを低減できる可能性がある。

[0068] なお、この例では、分離部８０で囲まれる領域に配置された第１配線７１及び第２配線７２をフローティングディフュージョン３３（図１参照）に接続するローカル配線として使用してよい。第１配線７１及び第２配線７２は、分離部８０から離して配置されている。第１配線７１及び第２配線７２は、分離部８０と接したり、分離部８０を貫通したりはしていない。また、分離部８０で囲まれていない領域に配置された第３配線７３及び第４配線７４は、制御線など、画素間を横断するような信号線として使用してもよい。第３配線７３及び第４配線７４も、分離部８０から離して配置されている。

[0069]（実施形態３）

本開示の実施形態では、例えば、転送トランジスタ３２、増幅トランジスタ３４、選択トランジスタ３５、およびリセットトランジスタ３６（図１参照）など、画素トランジスタの少なくとも一部が、半導体基板５０（以下、第１半導体基板５０）とは別の第２半導体基板に設けられていてもよい。また、第１半導体基板５０と第２半導体基板との間に、低屈折率領域と高屈折率領域とで構成される分離層が配置されていてもよい。

[0070] 図１０は、本開示の実施形態３に係る撮像装置１Ａの構成例を示す断面図である。図１０に示すように、実施形態３に係る撮像装置１Ａは、配線層７０を挟んで半導体基板５０（以下、第１半導体基板５０）と向かい合う第２

半導体基板１５０、をさらに備える。第２半導体基板１５０は、例えば、シリコンウェハーをＣＭＰによって研磨することにより形成された、シリコン基板である。第２半導体基板１５０には、例えば、転送トランジスタ３２、増幅トランジスタ３４、選択トランジスタ３５、およびリセットトランジスタ３６（図１参照）など、画素トランジスタの一部が設けられている。

[0071] また、実施形態３において、配線層７０は、層間絶縁膜７５と、層間絶縁膜７５の少なくとも一部を貫いて画素間分離部５１と向かい合う位置に配置された分離部８０と、層間絶縁膜７５の少なくとも一部を介して第１半導体基板５０と向かい合う位置に配置された分離部８０Ａ（本開示の「第２分離部」の一例）と、を有する。分離部８０Ａによって、各画素２１のフォトダイオード３１は半導体基板５０の表面５０ｂ側（すなわち、受光面の反対側）から覆われている。

[0072] 例えば、分離部８０Ａは、低屈折率領域８２Ａ（本開示の「第２低屈折率領域」の一例）と、低屈折率領域８２Ａと接する高屈折率領域８３Ａ（本開示の「第２高屈折率領域」の一例）と、を有する。高屈折率領域８３Ａは、低屈折率領域８２Ａよりも半導体基板５０に近い側に位置する。

[0073] 低屈折率領域８２Ａの屈折率は、例えば１．０以上１．５以下であり、一例を示すと１．２である。高屈折率領域８３Ａは、低屈折率領域８２Ａよりも屈折率が高い。高屈折率領域８３Ａの屈折率は、例えば２以上４以下である。

[0074] 分離部８０Ａは、高屈折率領域８３Ａに入射した光を、高屈折率領域８３Ａと低屈折率領域８２Ａとの屈折率差により、高屈折率領域８３Ａと低屈折率領域８２Ａとの境界で反射する。これにより、分離部８０Ａは、一の画素２１に入射した光が配線層７０を介して他の画素２１へ入ることを抑制することができる。

[0075] 撮像装置１Ａは、分離部８０Ａに加えて、分離部８０Ａを有することにより、画素２１内に光を閉じ込めることがさらに容易となる。また、分離部８０Ａは、分離部８０、８０Ａで囲む領域内に入射した光の一部を、この領域

の直上に位置するフォトダイオード３１へ反射させることができる。フォトダイオード３１に入射した光は光電変換されるため、撮像装置１Ａは撮像感度をさらに向上させることが可能である。

[0076] なお、この例では、分離部８０Ａは分離部８０と一体に形成されており、分離部８０Ａの高屈折率領域８３Ａは分離部８０の高屈折率領域８３と同一の膜で一体に形成され、分離部８０Ａの低屈折率領域８２Ａは分離部８０の低屈折率領域８２と同一の膜で一体に形成されている場合を示している。しかし、これはあくまで実施形態３の一例である。分離部８０Ａは、分離部８０と一体ではなく、互いに離れていてもよい。また、高屈折率領域８３Ａは高屈折率領域８３とは別の膜で形成されていてもよいし、低屈折率領域８２Ａは低屈折率領域８２とは別の膜で形成されていてもよい。

[0077] また、配線層７０は、分離部８０Ａを貫いて第１半導体基板５０と第２半導体基板１５０とを接続する接続配線７７を有する。接続配線７７は、第１半導体基板５０に設けられたフォトダイオード３１と、第２半導体基板１５０に設けられた画素トランジスタ等とを電気的に接続する。接続配線７７は、ＡｌまたはＣｕなどの金属で構成されていてもよいし、タングステン（Ｗ）等の高融点金属で構成されていてもよい。

[0078] また、配線層７０は、第２半導体基板１５０を挟んで配線層７０の反対側に第２配線層１７０を備える。第２配線層１７０は、複数の配線（例えば、第１配線１７１、第２配線１７２、第３配線１７３）と、層間絶縁膜１７５とを有する。第１配線１７１、第２配線１７２、第３配線１７３は、例えば、制御線など、画素２１間を横断するような信号線として使用される。

[0079]（製造方法）

次に、図１０に示した撮像装置１Ａの製造方法を説明する。図１１及び図１２は、本開示の実施形態３に係る撮像装置１Ａの製造方法を工程順に示す断面図である。なお、図１１及び図１２において、下側の断面図は、上側の平面図をＸ３－Ｘ３´線で切断した断面を示している。下側の断面図では、半導体基板５０の裏面５０ａが下側を向き、表面５０ｂが上側を向いている

。また、図１１及び図１２では、撮像装置１Ａが有する複数の画素のうち１つの画素を示している。

[0080] 図１１のステップＳＴ３１では、フォトダイオード３１と画素間分離部５１とが形成された半導体基板５０が用意される。製造装置は、フォトダイオード３１が形成された半導体基板５０の表面５０ｂ上に層間絶縁膜７５の一部となる第１絶縁膜７５１を形成する。次に、製造装置は、第１絶縁膜７５１を部分的にエッチングして、第１絶縁膜７５１下から半導体基板５０の画素間分離部５１とその周辺部を露出させる。

[0081] 次に、図１１のステップＳＴ３２に示すように、製造装置は、半導体基板５０の表面５０ｂの上方全体に高屈折率膜８３´を形成する。高屈折率膜８３´のうち、半導体基板５０の画素間分離部５１とその周辺部上に位置する部分が高屈折率領域８３（図１０参照）となり、第１絶縁膜７５１上に位置する部分が高屈折率領域８３Ａ（図１０参照）となる。

[0082] 次に、図１１のステップＳＴ３３に示すように、製造装置は、高屈折率膜８３´を部分的にエッチングして、高屈折率膜８３´下から画素間分離部５１を露出させる。

[0083] 次に、図１２のステップＳＴ３４に示すように、製造装置は、半導体基板５０の表面５０ｂの上方全体に低屈折率膜８２´を形成する。低屈折率膜８２´のうち、画素間分離部５１上に位置する部分が低屈折率領域８２（図１０参照）となり、第１絶縁膜７５１の上方に位置する部分が低屈折率領域８２Ａ（図１０参照）となる。

[0084] 次に、製造装置は、第１絶縁膜７５１上に、層間絶縁膜７５の一部となる第２絶縁膜７５２を形成する。次に、図１２のステップＳＴ３５に示すように、製造装置は、第２絶縁膜７５２、低屈折率膜８２´、高屈折率膜８３´及び第１絶縁膜７５１をエッチングして、これらの膜を貫く貫通孔を形成する。そして、製造装置は、貫通孔に金属を埋め込んで、接続配線７７を形成する。

[0085] 次に、製造装置は、第２絶縁膜７５２上に、接続配線７７に接続する第１

配線７１を形成する。次に、製造装置は、第１配線７１が形成された第２絶縁膜７５２上に層間絶縁膜７５の一部となる第３絶縁膜７５３を形成する。次に、製造装置は、第３絶縁膜７５３の表面にＣＭＰ処理を施して、第３絶縁膜７５３を平坦化すると共に、第３絶縁膜７５３下から第１配線７１を露出させる。

[0086] これ以降は、配線の積層数に応じて、層間絶縁膜７５の一部となる絶縁膜の形成と、配線の形成と繰り返し行う。また、配線層７０の形成後に、配線層７０を介して、第１半導体基板５０と第２半導体基板１５０とを貼り合わせる。このような工程を経て、図１０に示した撮像装置１Ａが完成する。

[0087] （実施形態３の効果）

実施形態３に係る撮像装置１Ａは、分離部８０に加えて、分離部８０Ａを有する。これにより、撮像装置１Ａは、画素２１内に光を閉じ込めることがさらに容易となり、画素２１間の混色をさらに抑制することができる。

[0088] ＜変形例＞

上記の実施形態１から３では、半導体基板５０に画素間分離部５１が設けられていることを説明した。画素間分離部５１は、トレンチアイソレーション構造を有し、半導体基板５０の裏面５０ａと表面５０ｂとの間を貫いていることを説明した。上記の実施形態１から３において、画素間分離部５１のトレンチ５１１は、半導体基板５０の裏面５０ａから表面５０ｂ側へエッチングすることにより形成されていてもよいし、表面５０ｂから裏面５０ａ側へエッチングすることにより形成されていてもよい。また、上記の実施形態１から３において、画素間分離部５１は、半導体基板５０を貫いていなくてもよい。

[0089] 図１３は、本開示の実施形態の変形例１に係る撮像装置１Ｂの構成例を示す断面図である。図１３に示すように、変形例１に係る撮像装置１Ｂにおいて、画素間分離部５１は、半導体基板５０を貫いていない。画素間分離部５１のトレンチ５１１は、半導体基板５０の裏面５０ａから表面５０ｂ側へエッチングすることにより形成されているが、その底部は裏面５０ａと表面５

０ｂとの間に位置し、表面５０ｂには達していない。

[0090] このような構成であっても、撮像装置１Ｂは、配線層７０に分離部８０を有する。これにより、撮像装置１Ｂは、画素２１内に光を閉じ込めることが容易となるため、画素２１間の混色を抑制することができる。

[0091] 図１４は、本開示の実施形態の変形例２に係る撮像装置１Ｃの構成例を示す断面図である。図１４に示すように、変形例２に係る撮像装置１Ｃにおいて、画素間分離部５１は、半導体基板５０を貫いていない。画素間分離部５１のトレンチ５１１は、半導体基板５０の表面５０ｂから裏面５０ａ側へエッチングすることにより形成されているが、その底部は表面５０ｂと裏面５０ａとの間に位置し、裏面５０ａには達していない。

[0092] このような構成であっても、撮像装置１Ｃの配線層７０は、配線層７０に分離部８０を有する。これにより、撮像装置１Ｃは、画素２１内に光を閉じ込めることが容易となるため、画素２１間の混色を抑制することができる。

[0093] ＜その他の実施形態＞

上記のように、本開示は実施形態及び変形例によって記載したが、この開示の一部をなす論述及び図面は本開示を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。本開示に係る技術（本技術）はここでは記載していない様々な実施形態等を含むことは勿論である。上述した実施形態の要旨を逸脱しない範囲で、構成要素の種々の省略、置換及び変更のうち少なくとも１つを行うことができる。また、本明細書に記載された効果はあくまでも例示であって限定されるものでは無く、また他の効果があってもよい。

[0094] なお、本開示は以下のような構成も取ることができる。

（１）

複数の光電変換素子を有する第１半導体基板と、

前記第１半導体基板の一方の面側に設けられたレンズ体と、

前記第１半導体基板の前記一方の面の反対側に設けられた配線層と、を備え、

前記第１半導体基板は、

前記複数の光電変換素子のうち、互いに隣り合う一方の光電変換素子と他方の光電変換素子との間に配置された素子間分離部を有し、

前記配線層は、

前記素子間分離部と向かい合う位置に配置された第１分離部を有し、

前記第１分離部は、

第１低屈折率領域と、

前記第１低屈折率領域と接する第１高屈折率領域と、を有し、

前記第１高屈折率領域は前記第１低屈折率領域を両側から挟む、撮像装置。

（２）

前記配線層は、

配線と、

前記配線を覆う層間絶縁膜と、を有する前記（１）に記載の撮像装置。

（３）

前記配線は、前記第１分離部で囲まれる領域に配置されている、前記（２）に記載の撮像装置。

（４）

前記配線は、前記第１分離部から離して配置されている、前記（２）又は（３）に記載の撮像装置。

（５）

前記配線の一部が前記第１分離部を貫いている、前記（２）又は前記（３）に記載の撮像装置。

（６）

前記素子間分離部と前記第１分離部は互いに接している、前記（１）から（５）のいずれか１項に記載の撮像装置。

（７）

前記第１半導体基板は、前記一方の面の反対側に位置する他方の面を有し

、

前記素子間分離部は、前記第１半導体基板の前記一方の面と前記他方の面との間を貫いている、前記（１）から（６）のいずれか１項に記載の撮像装置。

（８）

前記素子間分離部は、前記第１半導体基板とは屈折率が異なる材料で構成されている、前記（１）から（７）のいずれか１項に記載の撮像装置。

（９）

前記配線層を挟んで前記第１半導体基板と向かい合う第２半導体基板、をさらに備え、

前記配線層は、

層間絶縁膜と、

前記層間絶縁膜の少なくとも一部を介して前記第１半導体基板と向かい合う第２分離部と、を有し、

前記第２分離部は、

第２低屈折率領域と、

前記第２低屈折率領域と接する第２高屈折率領域と、を有し、

前記第２高屈折率領域は、前記第２低屈折率領域よりも前記第１半導体基板に近い側に位置する前記（１）に記載の撮像装置。

（１０）

前記配線層は、前記第２分離部を貫いて前記第１半導体基板と前記第２半導体基板とを接続する接続配線を有する、前記（９）に記載の撮像装置。

符号の説明

[0095] １、１Ａ、１Ｂ、１Ｃ　撮像装置

１２　画素

１３　垂直駆動回路

１４　カラム信号処理回路

１５　水平駆動回路

１６　出力回路

１７　制御回路

２１　画素

２２　水平信号線

２３　垂直信号線

２４　データ出力信号線

３０　読出回路

３１　フォトダイオード

３２　転送トランジスタ

３３　フローティングディフュージョン

３４　増幅トランジスタ

３５　選択トランジスタ

３６　リセットトランジスタ

５０　半導体基板（第１半導体基板）

５０ａ　裏面（例えば、受光面）

５０ｂ　表面

５１　画素間分離部

６０　マイクロレンズ

６２　絶縁膜

６４　カラーフィルタ

６６　隔壁

７０　配線層

７０　画素間分離部

７１、１７１　第１配線

７２、１７２　第２配線

７３、１７３　第３配線

７４　第４配線

７５、１７５　層間絶縁膜

７７　接続配線

８０、８０Ａ　分離部

８１　トレンチ

８２、８２Ａ　低屈折率領域

８２´　低屈折率膜

８３　高屈折率領域

８３´　高屈折率膜

８３Ａ　高屈折率領域

１５０　第２半導体基板

１７０　第２配線層

５１１　トレンチ

５１３　充填膜

７５１　第１絶縁膜

７５２　第２絶縁膜

７５３　第３絶縁膜

７５４　第４絶縁膜

７５５　第５絶縁膜

７５６　第６絶縁膜

７５７　第７絶縁膜

７５８　第８絶縁膜

７５９　第９絶縁膜

７６０　第１０絶縁膜

８２１　第１低屈折率膜

８２２　第２低屈折率膜

８３１　第１高屈折率膜

８３２　第２高屈折率膜

請求の範囲

[請求項1] 複数の光電変換素子を有する第１半導体基板と、

前記第１半導体基板の一方の面側に設けられたレンズ体と、

前記第１半導体基板の前記一方の面の反対側に設けられた配線層と、を備え、

前記第１半導体基板は、

前記複数の光電変換素子のうち、互いに隣り合う一方の光電変換素子と他方の光電変換素子との間に配置された素子間分離部を有し、

前記配線層は、

前記素子間分離部と向かい合う位置に配置された第１分離部を有し、

前記第１分離部は、

第１低屈折率領域と、

前記第１低屈折率領域と接する第１高屈折率領域と、を有し、

前記第１高屈折率領域は前記第１低屈折率領域を両側から挟む、撮像装置。

[請求項2] 前記配線層は、

配線と、

前記配線を覆う層間絶縁膜と、を有する請求項１に記載の撮像装置。

[請求項3] 前記配線は、前記第１分離部で囲まれる領域に配置されている、請求項２に記載の撮像装置。

[請求項4] 前記配線は、前記第１分離部から離して配置されている、請求項２に記載の撮像装置。

[請求項5] 前記配線の一部が前記第１分離部を貫いている、請求項２に記載の撮像装置。

[請求項6] 前記素子間分離部と前記第１分離部は互いに接している、請求項１に記載の撮像装置。

[請求項7] 前記第１半導体基板は、前記一方の面の反対側に位置する他方の面を有し、

前記素子間分離部は、前記第１半導体基板の前記一方の面と前記他方の面との間を貫いている、請求項１に記載の撮像装置。

[請求項8] 前記素子間分離部は、前記第１半導体基板とは屈折率が異なる材料で構成されている、請求項１に記載の撮像装置。

[請求項9] 前記配線層を挟んで前記第１半導体基板と向かい合う第２半導体基板、をさらに備え、

前記配線層は、

層間絶縁膜と、

前記層間絶縁膜の少なくとも一部を介して前記第１半導体基板と向かい合う第２分離部と、を有し、

前記第２分離部は、

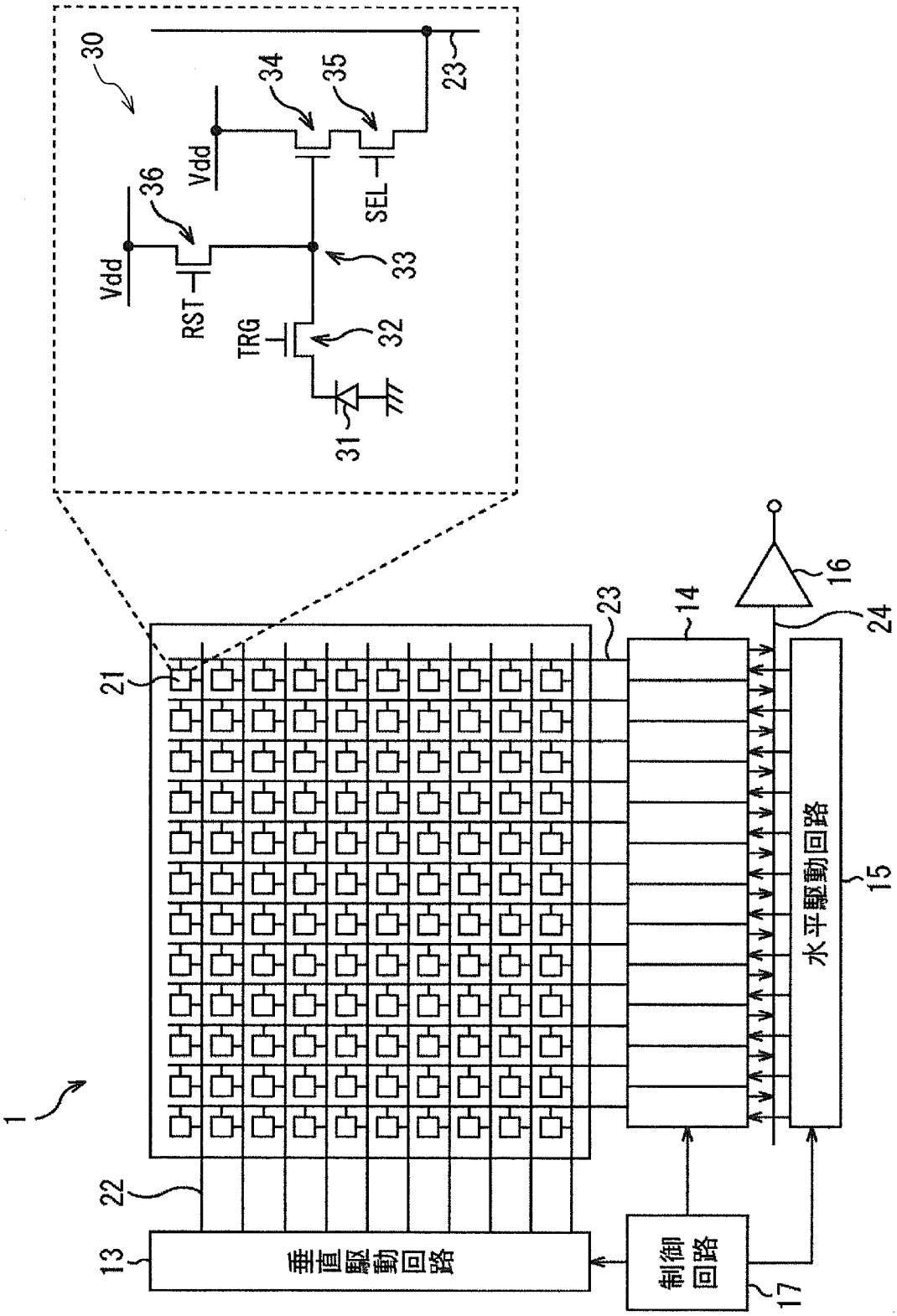
第２低屈折率領域と、

前記第２低屈折率領域と接する第２高屈折率領域と、を有し、

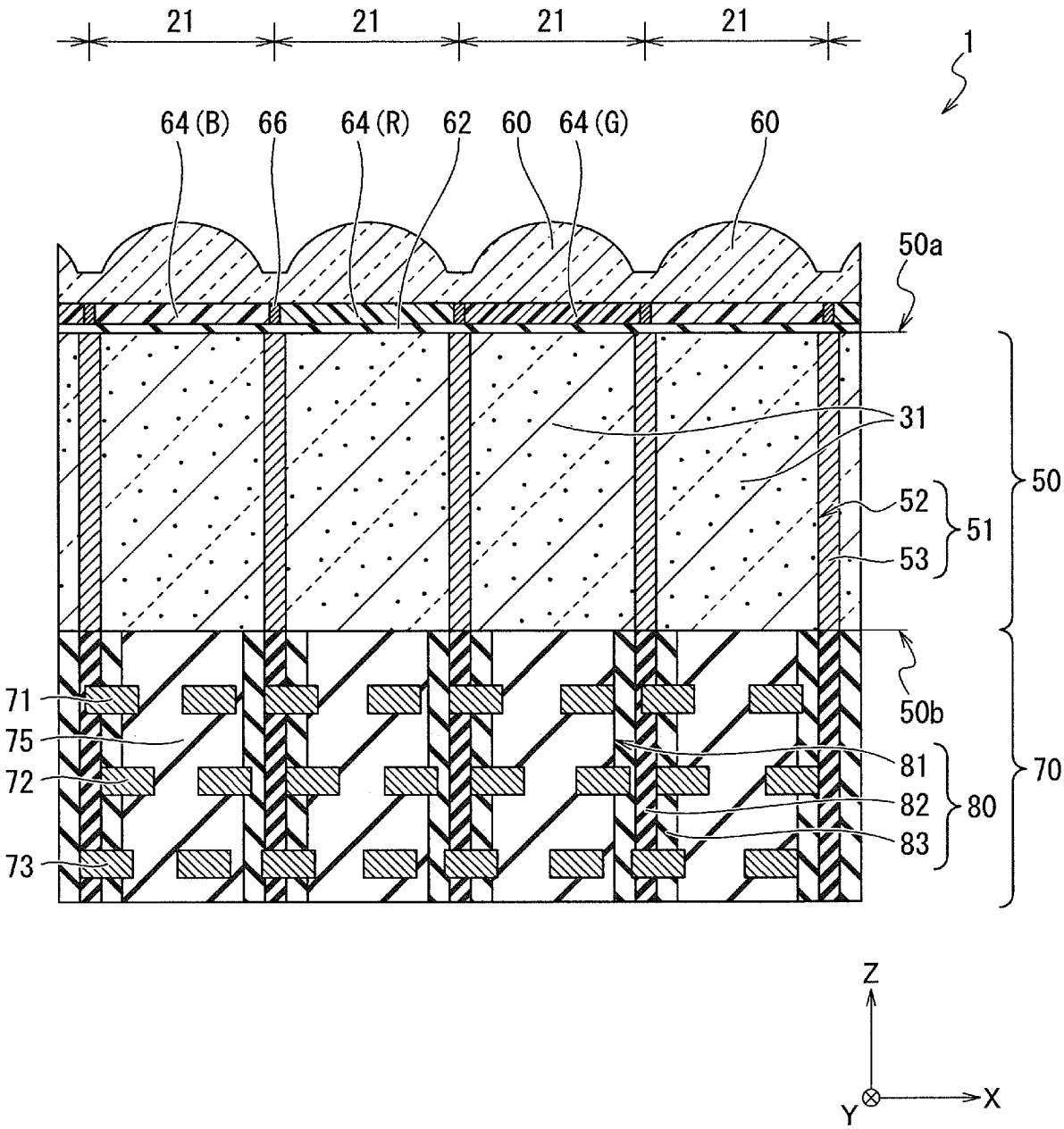
前記第２高屈折率領域は、前記第２低屈折率領域よりも前記第１半導体基板に近い側に位置する請求項１に記載の撮像装置。

[請求項10] 前記配線層は、前記第２分離部を貫いて前記第１半導体基板と前記第２半導体基板とを接続する接続配線を有する、請求項９に記載の撮像装置。

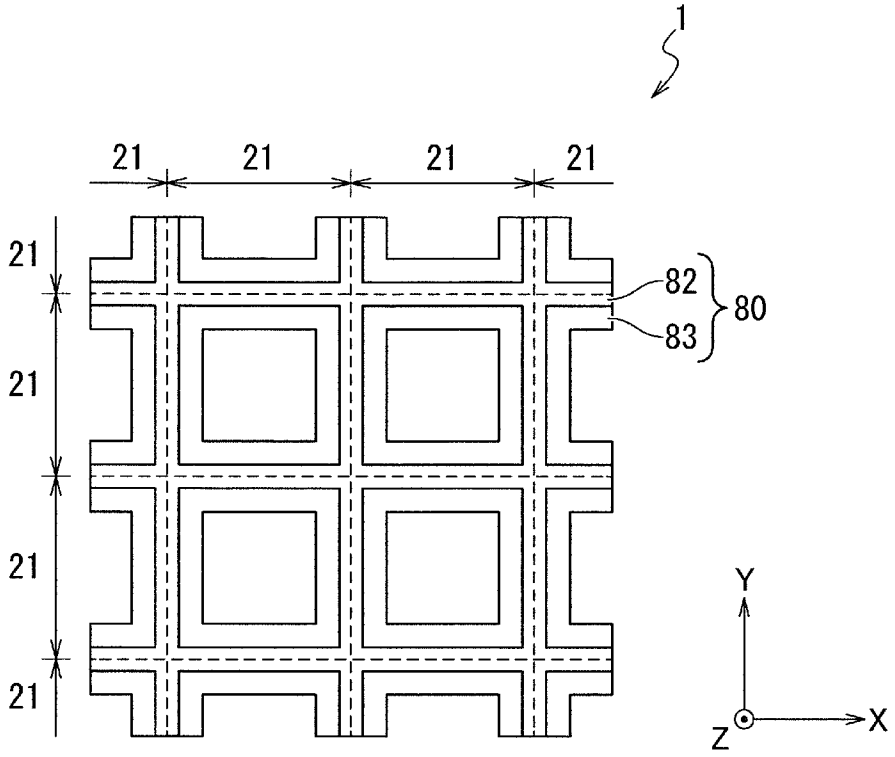
[図1]


30
34
35
23
Vdd
36
SEL
Vdd
33
RST
TRG
32
31
16
24
23
14
21
水平駆動回路
15
1
22
13
垂直駆動回路
制御回路
17

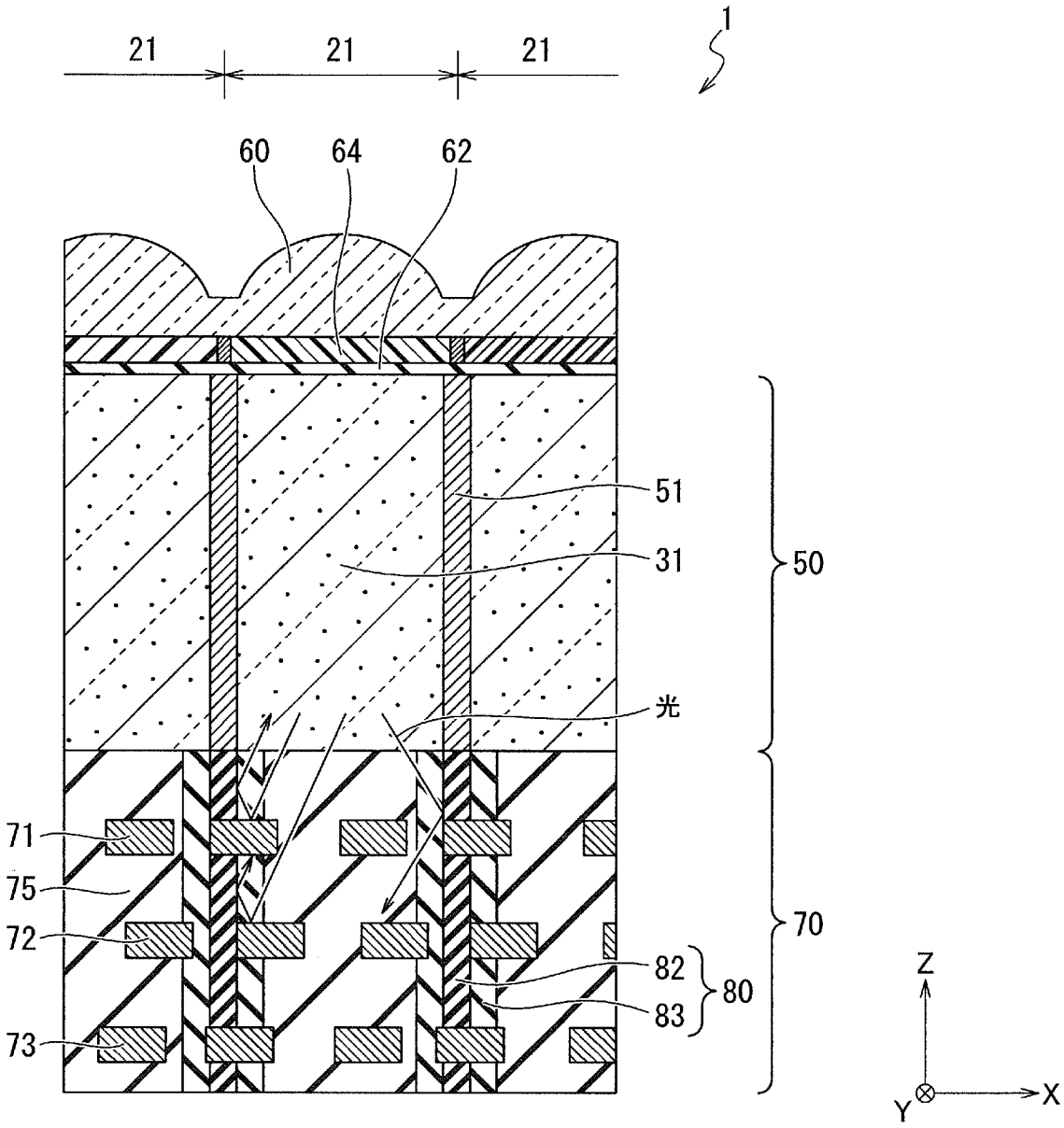
[図2]


21
21
21
21
1
64(B)
66
64(R)
62
60
64(G)
60
50a
31
52
53
51
50
71
75
72
73
50b
81
82
83
80
70
Z
Y
X

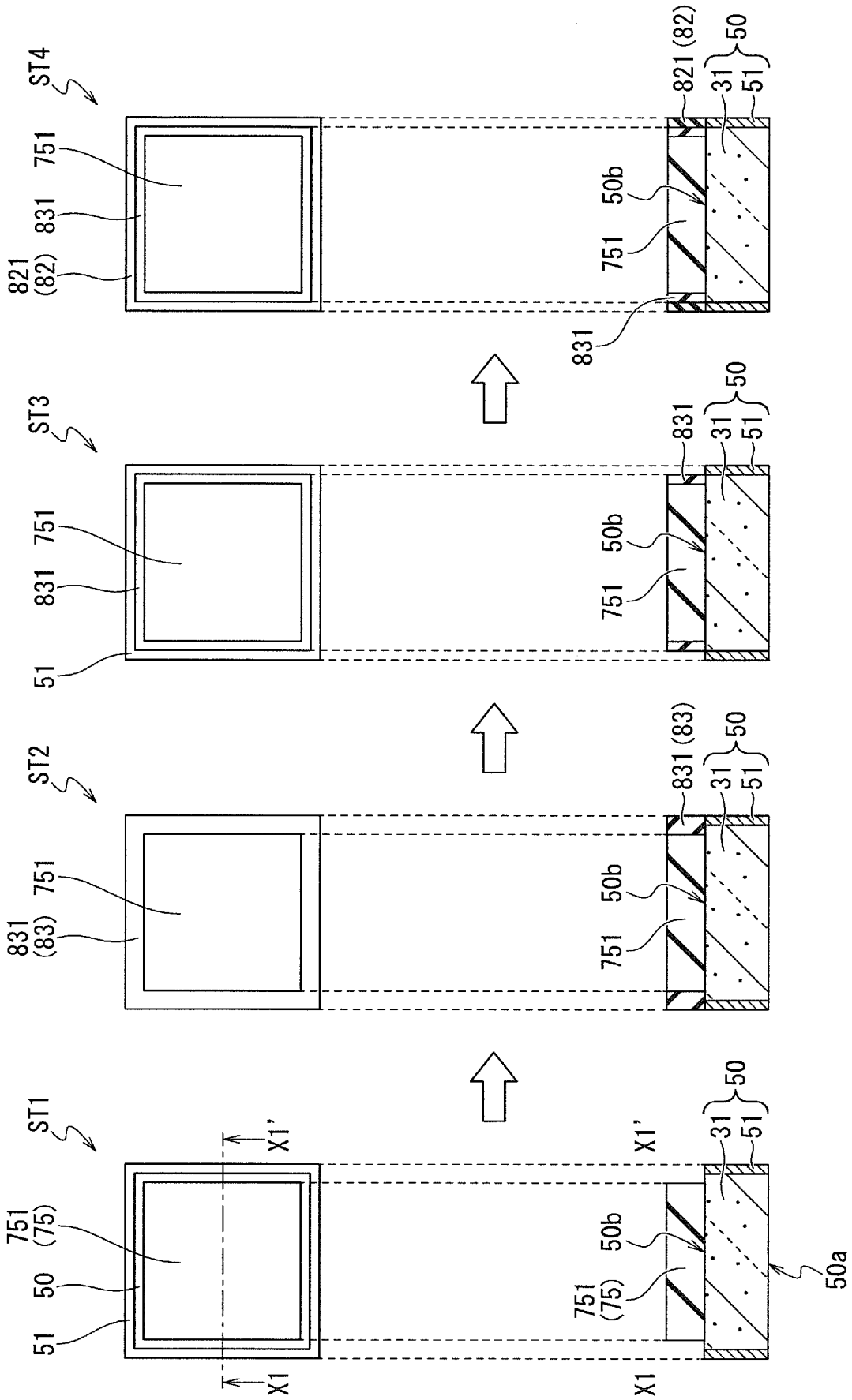
[図3]



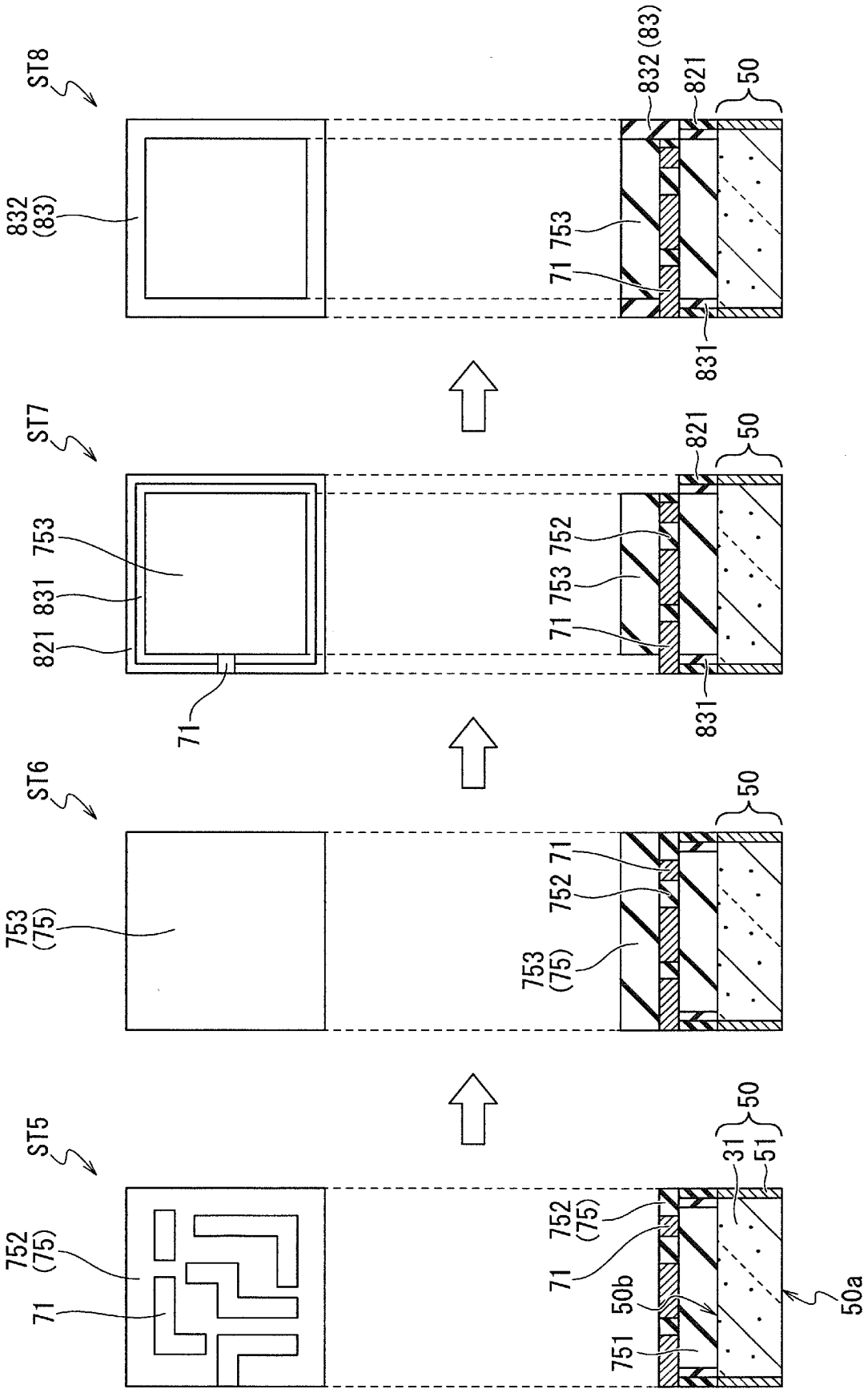
[図4]



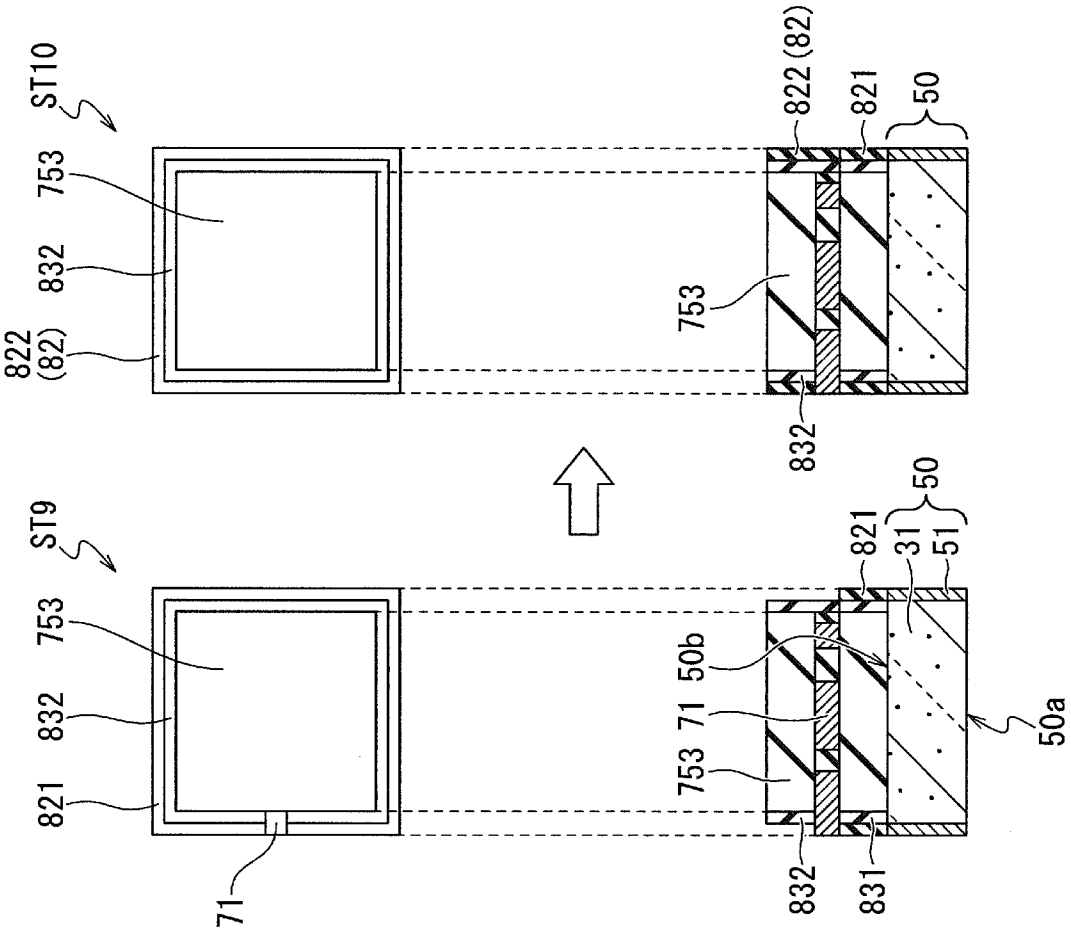
[図5]


ST4
751
831
821 (82)
821 (82)
50
31
51
50b
751
831
ST3
751
831
51
831
50
31
51
50b
751
ST2
751
831 (83)
831 (83)
50
31
51
50b
751
ST1
751 (75)
50
51
X1
X1'
X1'
50
31
51
50b
751 (75)
50a
X1

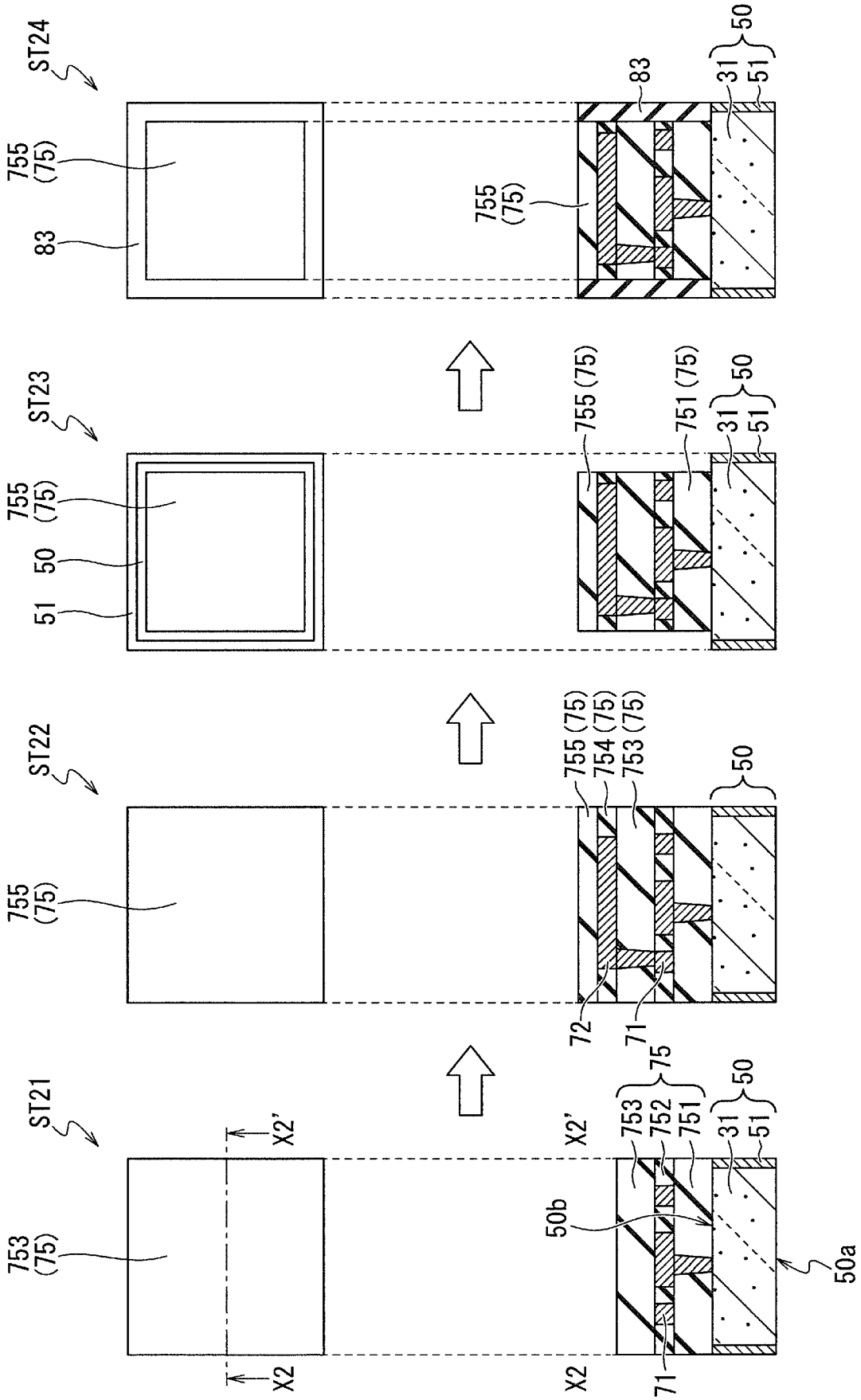
[図6]


ST8
832 (83)
832 (83)
821
50
71 753
831
ST7
753
831
821
71
821
50
752
753
71
831
ST6
753 (75)
50
752
71
753 (75)
ST5
752 (75)
71
50
31
51
752 (75)
71
50b
751
50a

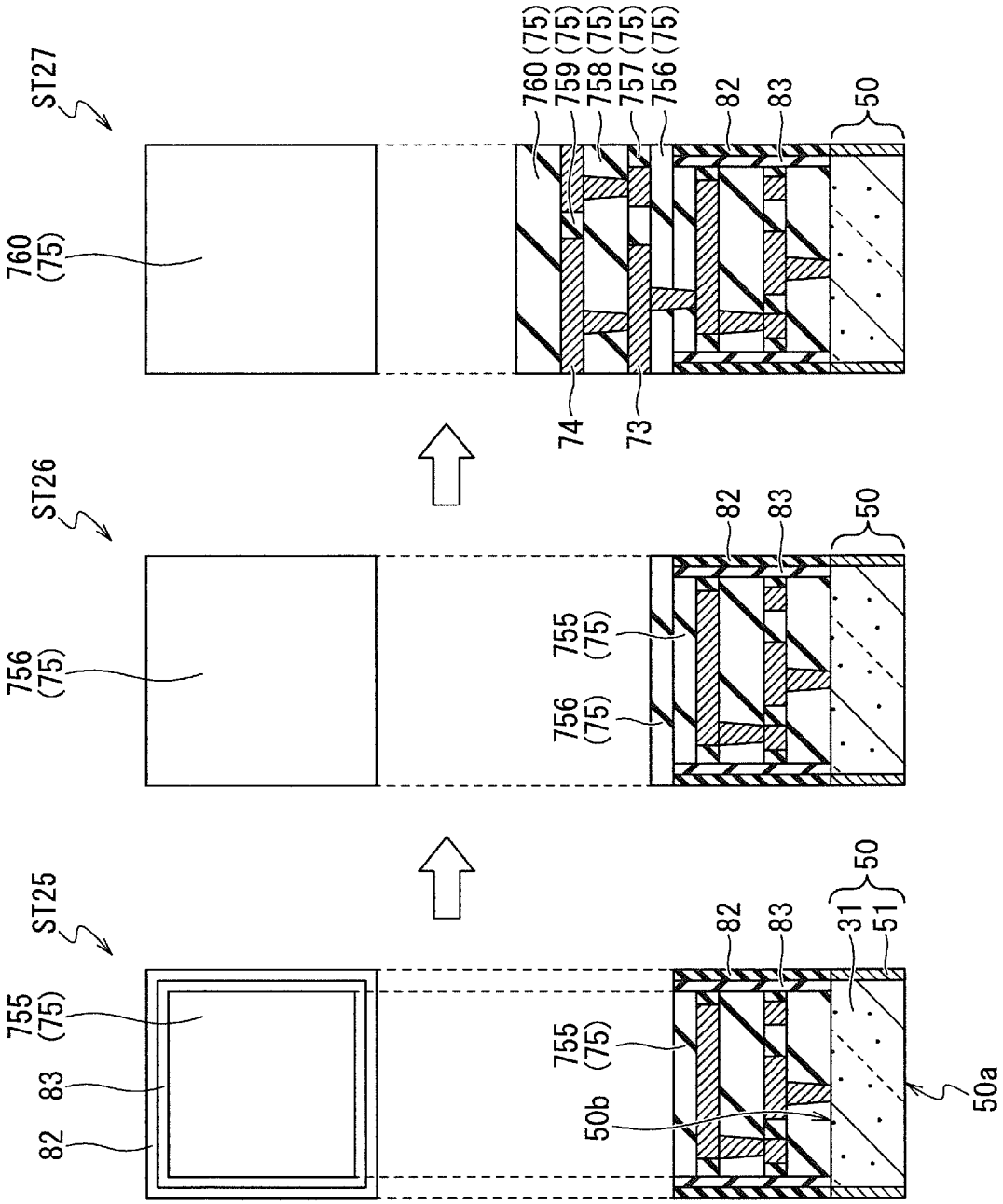
[図7]


ST10
753
832
822
(82)
822 (82)
821
50
753
832
ST9
753
832
821
71
821
31
51
50
50b
71
753
50a
832
831

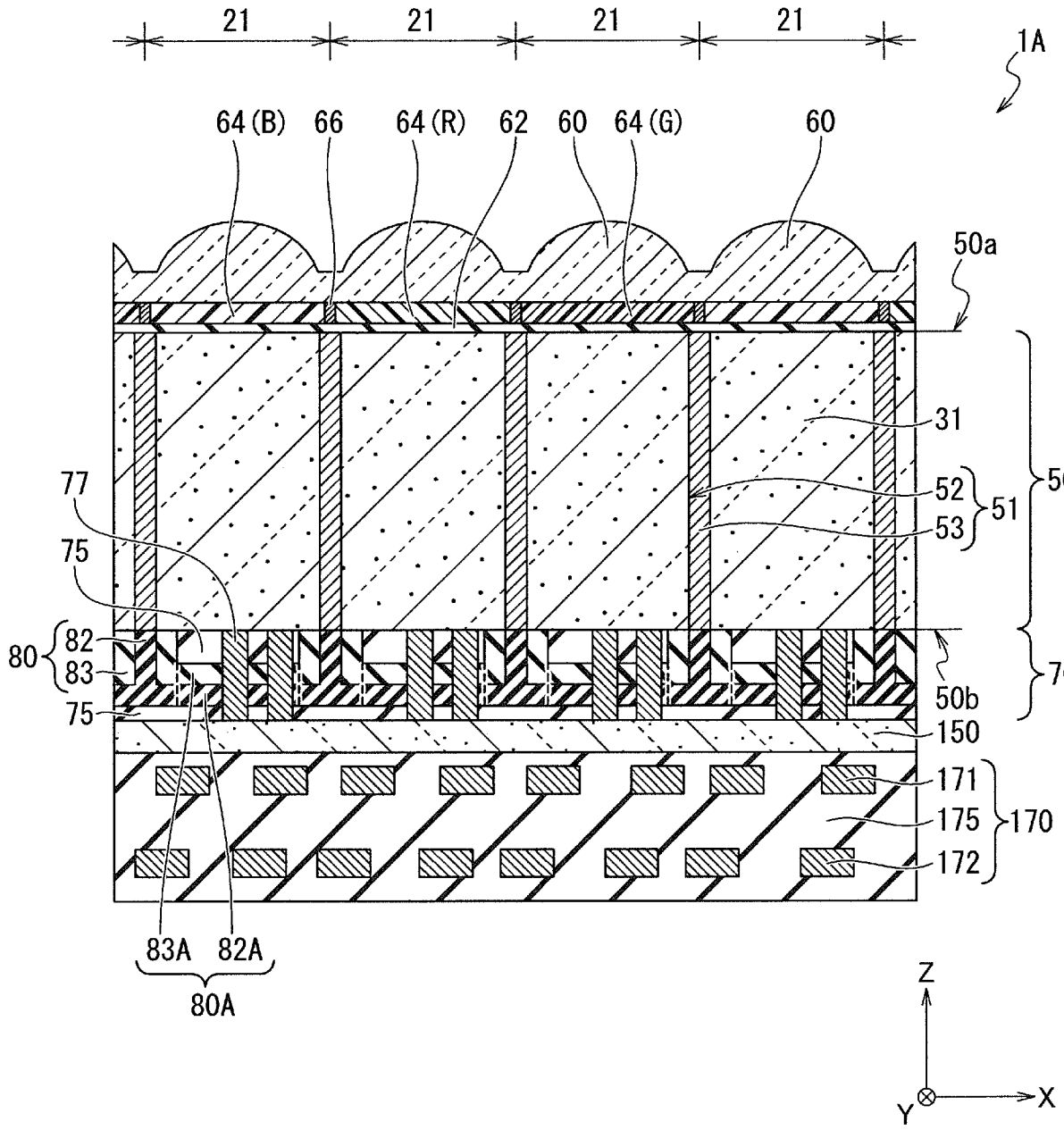
[図8]


ST24
755 (75)
83
755 (75)
83
31
51
50
ST23
755 (75)
50
51
755 (75)
751 (75)
31
51
50
ST22
755 (75)
755 (75)
754 (75)
753 (75)
50
72
71
75
ST21
753 (75)
X2'
X2
753
752
751
31
51
50
50b
50a
71

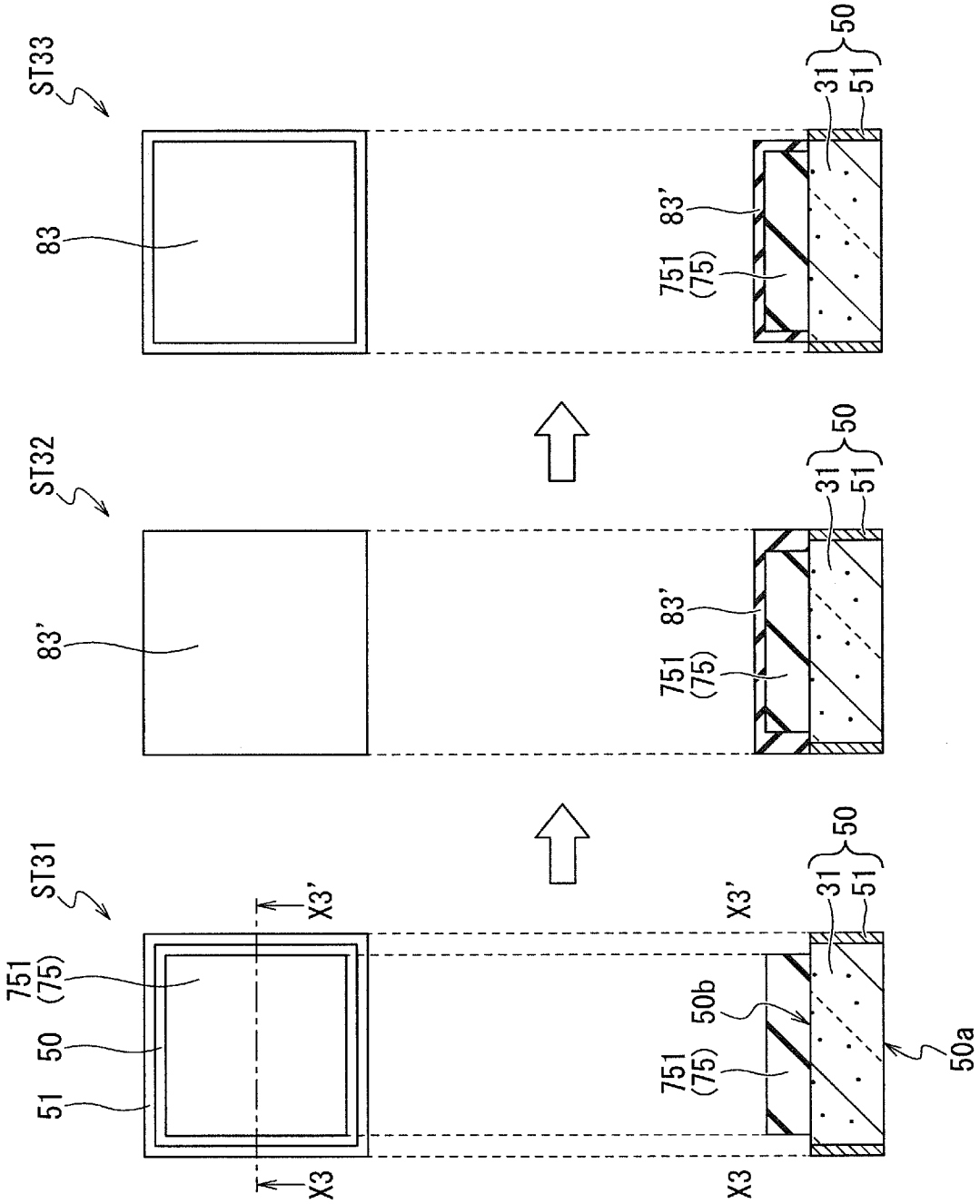
[図9]


ST27
760 (75)
760 (75)
759 (75)
758 (75)
757 (75)
756 (75)
82
83
50
74
73
ST26
756 (75)
755 (75)
756 (75)
82
83
50
ST25
755 (75)
83
82
755 (75)
50b
82
83
31
51
50
50a

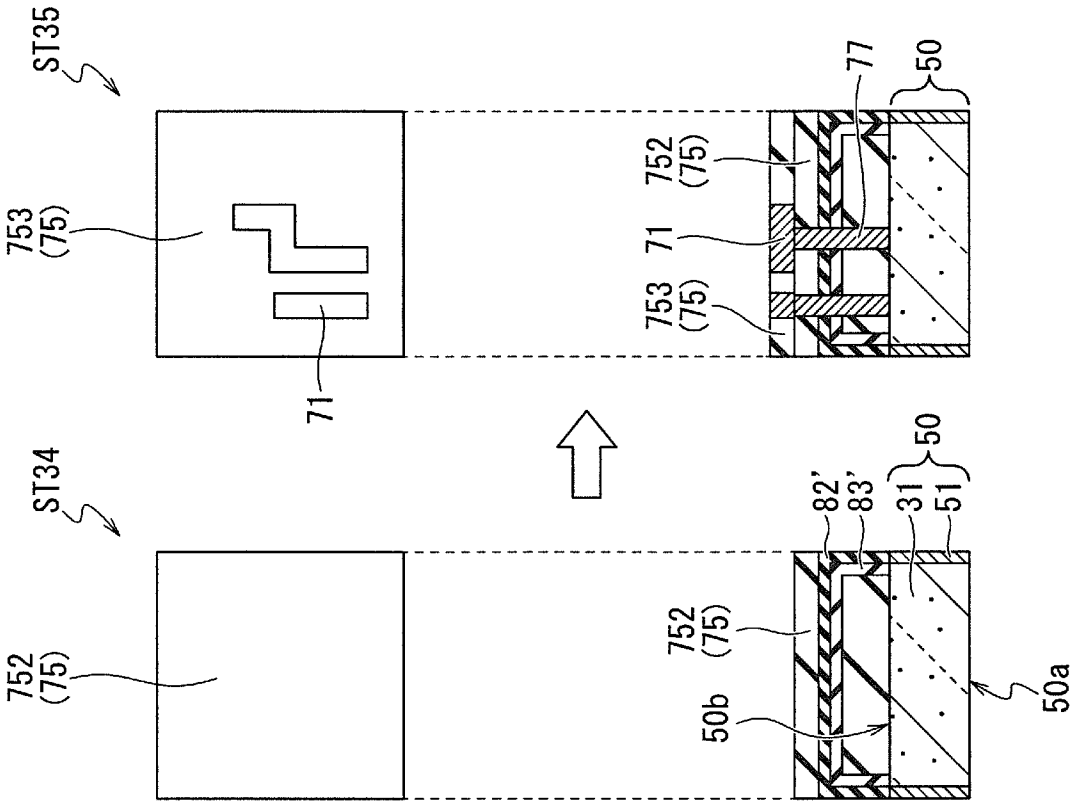
[図10]


21
21
21
21
1A
64(B)
66
64(R)
62
60
64(G)
60
50a
31
77
52
51
50
53
75
80
82
83
75
50b
70
150
171
175
170
172
83A
82A
80A
Z
Y
X

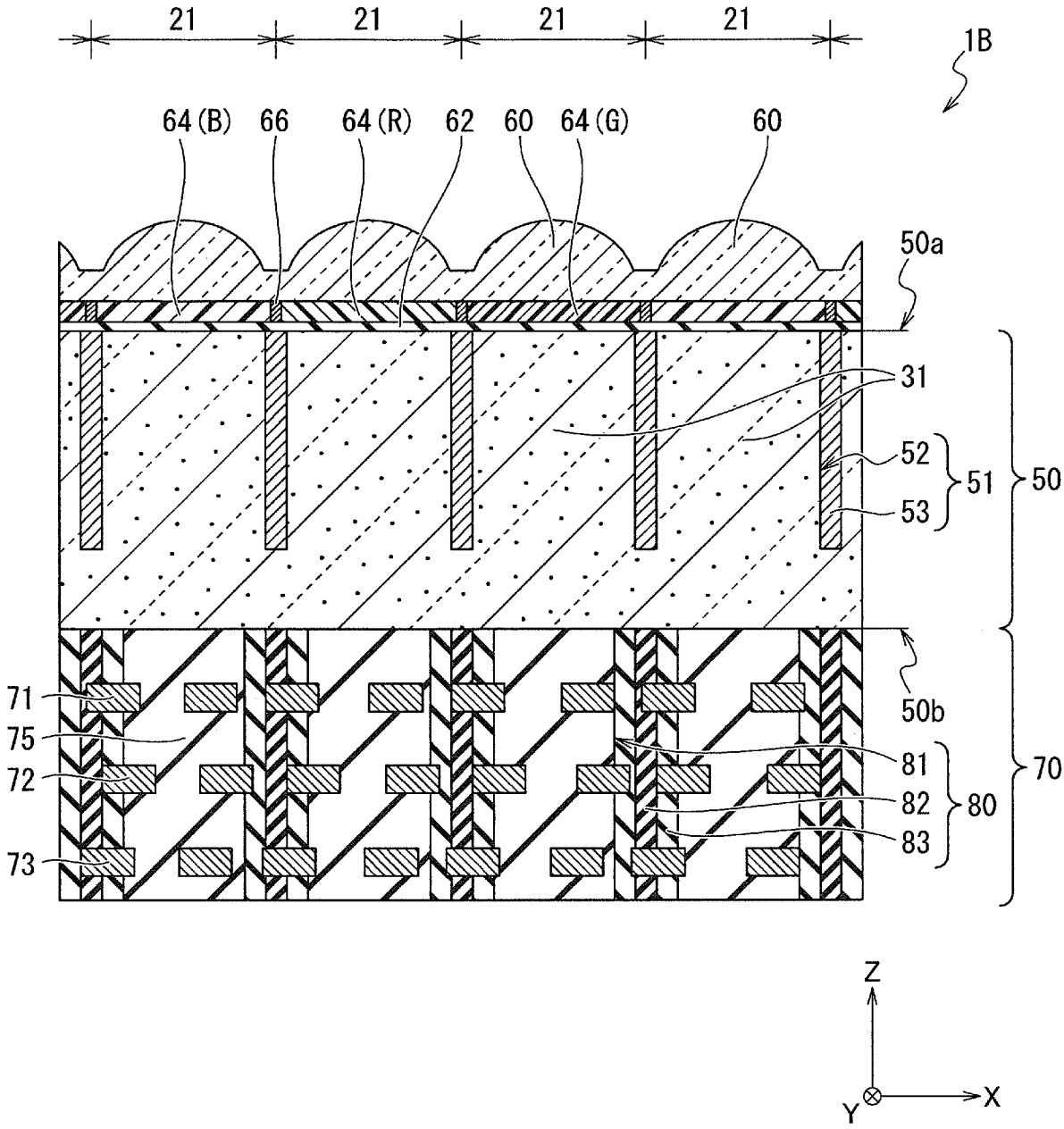
[図11]



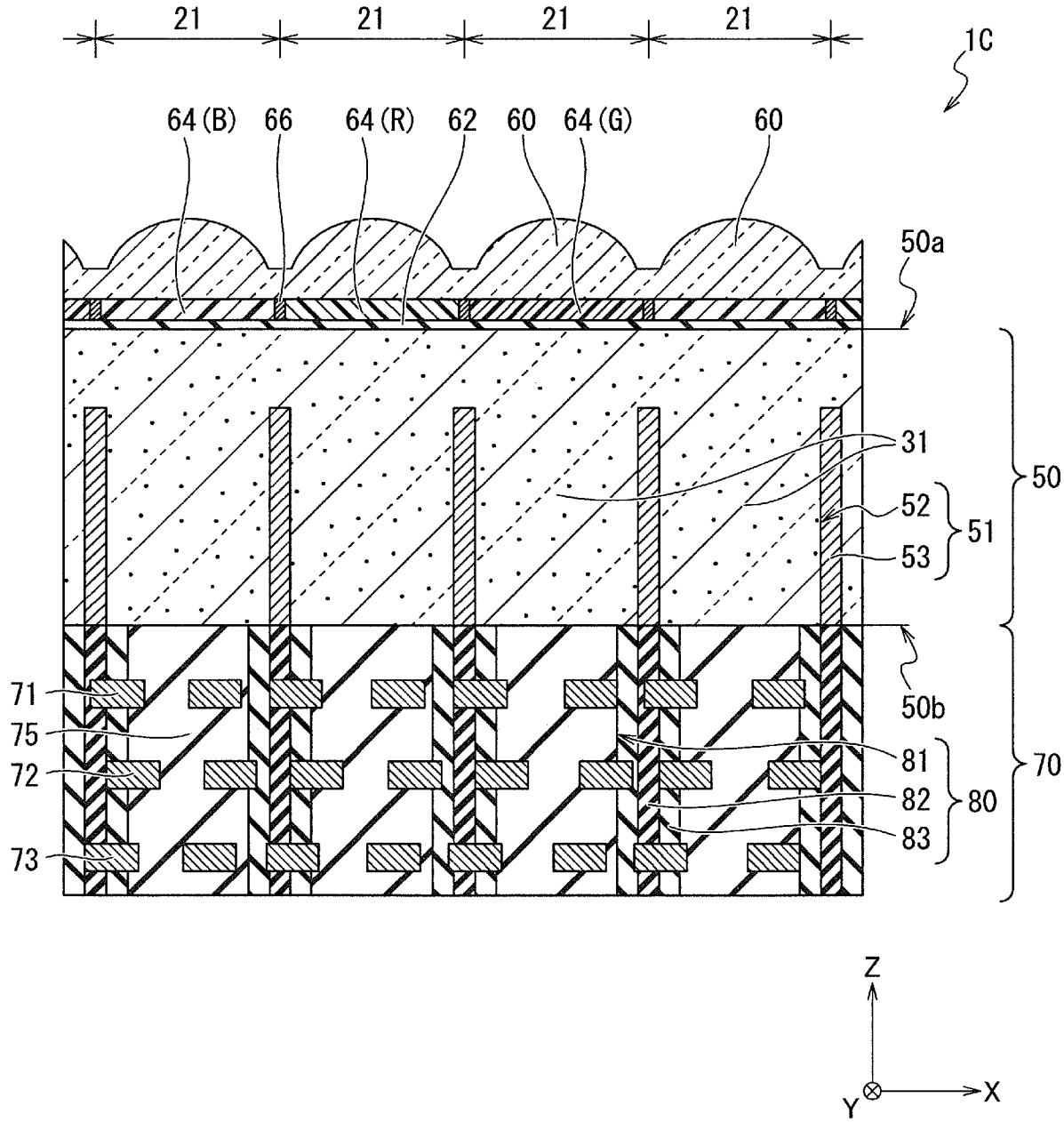
[図12]


ST35
753
(75)
71
752
(75)
71
753
(75)
77
50
ST34
752
(75)
752
(75)
50b
82'
83'
31
51
50
50a

[図13]


21
21
21
21
1B
64(B)
66
64(R)
62
60
64(G)
60
50a
31
52
53
51
50
71
75
72
73
50b
81
82
83
80
70
Z
Y
X

[図14]


21
21
21
21
1C
64(B)
66
64(R)
62
60
64(G)
60
50a
31
52
53
51
50
71
75
72
73
50b
81
82
83
80
70
Z
Y
X

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2022/009274

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/146(2006.01)i; ***H04N 5/357***(2011.01)i; ***H04N 5/369***(2011.01)i
FI: H01L27/146 D; H04N5/357 200; H04N5/369

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/146; H04N5/357; H04N5/369

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2022
Registered utility model specifications of Japan 1996-2022
Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-147333 A (SONY CORP.) 26 June 2008 (2008-06-26) paragraphs [0015]-[0023], fig. 1	1-10
A	WO 2020/175195 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP.) 03 September 2020 (2020-09-03) paragraphs [0034]-[0077], [0087]-[0091], fig. 3-5, 7	1-10

☐ Further documents are listed in the continuation of Box C.

☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
27 May 2022	**07 June 2022**
Name and mailing address of the ISA/JP **Japan Patent Office (ISA/JP)** **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2022/009274

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2008-147333 A	26 June 2008	US 2008/0135963 A1 paragraphs [0025]-[0033], fig. 1 KR 10-2008-0053228 A CN 101197387 A TW 200836336 A	
WO 2020/175195 A1	03 September 2020	EP 3933927 A1 paragraphs [0034]-[0077], [0087]-[0091], fig. 3-5, 7 KR 10-2021-0127159 A TW 202040992 A	

国際調査報告

国際出願番号
PCT/JP2022/009274

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 27/146(2006.01)i; H04N 5/357(2011.01)i; H04N 5/369(2011.01)i
FI: H01L27/146 D; H04N5/357 200; H04N5/369

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01L27/146; H04N5/357; H04N5/369

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２２年
日本国実用新案登録公報	１９９６－２０２２年
日本国登録実用新案公報	１９９４－２０２２年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2008-147333 A (ソニー株式会社) 26.06.2008 (2008-06-26) 段落 [0015]-[0023]，[図1]	1-10
A	WO 2020/175195 A1 (ソニーセミコンダクタソリューションズ株式会社) 03.09.2020 (2020-09-03) 段落 [0034]-[0077]，[0087]-[0091]，[図3]-[図5]，[図7]	1-10

☐ C欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
27.05.2022	07.06.2022

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
田邊　顕人 5F 5894
電話番号 03-3581-1101 内線 3514

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2022/009274

引用文献	公表日	パテントファミリー文献	公表日
JP 2008-147333 A	26.06.2008	US 2008/0135963 A1 段落 [0025] - [0033]，図1 KR 10-2008-0053228 A CN 101197387 A TW 200836336 A	
WO 2020/175195 A1	03.09.2020	EP 3933927 A1 段落 [0034] - [0077]，[0087] - [0091]，図3-5，7 KR 10-2021-0127159 A TW 202040992 A	