

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016年3月17日(17.03.2016)



(10) 国際公開番号

WO 2016/038709 A1

- (51) 国際特許分類:
G01R 31/28 (2006.01)
- (21) 国際出願番号: PCT/JP2014/074015
- (22) 国際出願日: 2014年9月11日(11.09.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: ルネサスエレクトロニクス株式会社
(RENESAS ELECTRONICS CORPORATION)
[JP/JP]; 〒1350061 東京都江東区豊洲三丁目2番
24号 Tokyo (JP).
- (72) 発明者: 渡辺 直剛(WATANABE, Naotake); 〒
1350061 東京都江東区豊洲三丁目2番24号
ルネサスエレクトロニクス株式会社内 Tokyo
(JP).
- (74) 代理人: 筒井 大和, 外(TSUTSUI, Yamato et al.);
〒1600022 東京都新宿区新宿2丁目3番10号
新宿御苑ビル3階 筒井国際特許事務所 Tokyo
(JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

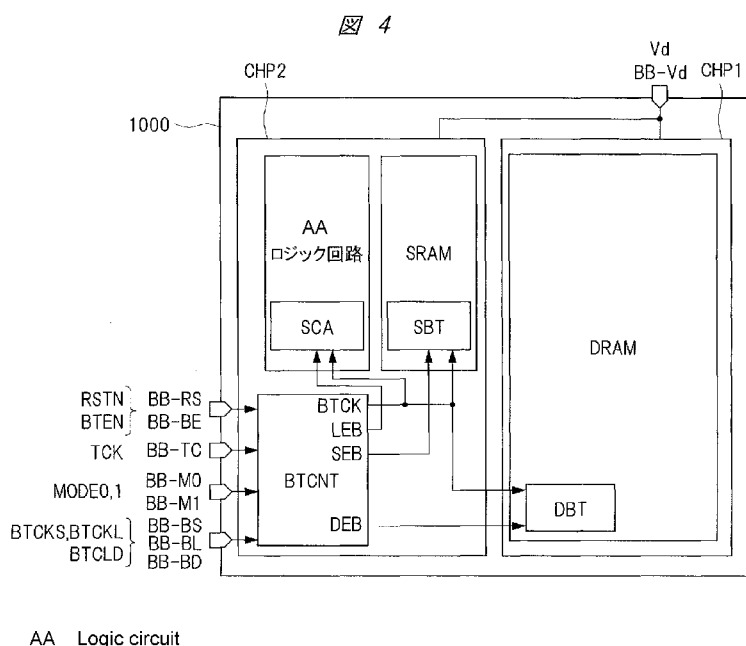
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユー
ロピア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨー
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,
MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM,
ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

(54) Title: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND SEMICONDUCTOR INTEGRATED CIRCUIT
DEVICE MANUFACTURING METHOD

(54) 発明の名称: 半導体集積回路装置および半導体集積回路装置の製造方法



(57) Abstract: A semiconductor integrated circuit device 1000 is provided with: a first semiconductor chip CHP1 having a first circuit; and a second semiconductor chip CHP2 having a second circuit and being different from the first semiconductor chip. The semiconductor integrated circuit device 1000 is also provided with a control circuit BTCNT for controlling the operations of the first and second circuits according to a control signal during a burn-in test, wherein said control circuit BTCNT controls the first and second circuits so that the amount of stress acting on the first semiconductor chip CHP1 by the operation of the first circuit and the amount of stress acting on the second semiconductor chip CHP2 by the operation of the second circuit are made different from each other during the burn-in test.

(57) 要約: 半導体集積回路装置1000は、第1回路を有する第1半導体チップCHP1と、第2回路を有し、第1半導体チップとは異なる第2半導体チップCHP2とを具備する。半導体集積回路装置1000は、バーイン試験のとき、制御信号に従って、第1回路および第2回路の動作を制御する。

制御回路BTCNTを具備し、バーイン試験のとき、第1回路が動作することにより第1半導体チップCHP1に作用するストレス量と、第2回路が動作することにより第2半導体チップCHP2に作用するストレス量とが異なるように、制御回路BTCNTは第1回路および第2回路を制御する。

WO 2016/038709 A1

明 細 書

発明の名称：

半導体集積回路装置および半導体集積回路装置の製造方法

技術分野

[0001] 本発明は、半導体集積回路装置および半導体集積回路装置の製造方法に関し、例えば、複数の半導体チップが1個の基板に搭載された半導体集積回路装置およびその製造方法に関する。

背景技術

[0002] 半導体チップの故障率は、所謂バスタブ特性に従って、時間の経過に伴って変化することが知られている。すなわち、時間を、初期故障期間、偶発故障期間および摩耗故障期間に分けると、故障率は、初期故障期間において、高い値から低下し、偶発故障期間においては、低い値を維持し、摩耗故障期間において、再び故障率が上昇する。半導体集積回路装置の製造においては、半導体集積回路装置にストレスを与え、初期故障期間において故障となるような半導体集積回路装置を取り除くことが行われる。

[0003] このストレスは、半導体集積回路装置の製造工程において、例えばバーイン試験において与えられる。バーイン試験においては、高温下で、高い電源電圧を半導体集積回路装置へ供給し、半導体集積回路装置を動作させる。これにより、半導体集積回路装置には、ストレスが与えられ、初期故障期間において故障となるような半導体集積回路装置は、バーイン試験において不良となり、取り除くことが可能となる。

[0004] バーイン試験については、例えば特許文献1に記載されている。

先行技術文献

特許文献

[0005] 特許文献1：特開2004-226220号公報

発明の概要

発明が解決しようとする課題

[0006] 高集積化および／または実装面積の小型化を図るために、複数個の半導体チップを1つの基板に搭載し、封止して、1個の半導体集積回路装置とする、所謂マルチチップモジュールあるいはマルチチップパッケージが知られている。この場合、封止する複数個の半導体チップは、同種類の半導体チップであってもよいし、互いに異なる種類の半導体チップであってもよい。

[0007] 互いに異なる種類の半導体チップを1個の半導体集積回路装置とすることにより、価格の上昇を抑制しながら、半導体集積回路装置の高機能化あるいは多機能化を図ることが可能である。この場合、1個の半導体集積回路装置とされる複数の半導体チップのそれぞれは、互いに異なる半導体製造プロセスによって製造される。そのため、より高集積化が可能な先端の半導体製造プロセスによって製造された半導体チップと、低価格化が可能な旧世代の半導体製造プロセスによって製造された半導体チップとが混在して、1個の半導体集積回路装置を構成することがある。一例を挙げると、配線幅が28 nmの半導体製造プロセスによって製造された半導体チップと配線幅が30 nmの半導体製造プロセスによって製造された半導体チップとが、1個に封止され、1個の半導体集積回路装置とされる。

[0008] 本発明者が確認したところでは、このように世代（例えば、配線幅が、28 nmの世代と30 nmの世代）の異なる半導体製造プロセスにより製造された半導体チップにおいては、故障率を表すバスタブ特性が異なる。例えば、配線幅が狭い先端の半導体製造プロセスにより製造された半導体チップのバスタブ特性は、旧世代の半導体製造プロセスにより製造された半導体チップのバスタブ特性に比べて、短い。すなわち、初期故障期間と、偶発故障期間と、摩耗故障期間とを合わせた時間が、先端の半導体製造プロセスにより製造された半導体チップは、旧世代の半導体製造プロセスにより製造された半導体チップに比べて短くなる。

[0009] 本発明者が検討したところでは、このように世代の異なる複数個の半導体チップを、1個に封止し、1個の半導体集積回路装置として、バーイン試験を実施した場合、より先端の半導体プロセスによって製造した半導体チップ

に故障が発生する可能性が高いことが判明した。すなわち、先端の半導体製造プロセスによって製造した半導体チップにおける摩耗故障期間が、旧世代の半導体製造プロセスによって製造した半導体チップにおける初期故障期間と重なることが生じる。そのため、バーイン試験において、旧世代の半導体製造プロセスによって製造した半導体チップに対して、初期故障期間に相当するストレスを与えると、同じ半導体集積回路装置として封止されている先端の半導体製造プロセスによって製造した半導体チップに対しては、摩耗故障期間に相当するストレスが与えられることになる。バーイン試験において、先端の半導体製造プロセスによる半導体チップには、過剰のストレスが与えられることになり、故障として取り除かれる半導体集積回路装置が増加する可能性がある。

[0010] 一方、バーイン試験において、先端の半導体製造プロセスによって製造された半導体チップに対して初期故障期間に相当するストレスを与えるようにした場合には、1個に封止されている旧世代製の半導体チップに対しては、ストレスが十分ではない。そのため、初期故障期間で故障となるような半導体チップを封止した半導体集積回路装置をバーイン試験において取り除くことが困難となる。

[0011] 特許文献1は、半導体チップに対するバーイン試験を示しているだけで、複数の半導体チップを封止することにより構成された半導体集積回路装置に対するバーイン試験は示されていない。勿論、世代が異なる複数の半導体チップを封止することにより構成された半導体集積回路装置に対してバーイン試験を実施した場合の課題も示されていない。

[0012] 本発明の目的は、複数の半導体チップを有し、バーイン試験においてそれぞれの半導体チップに適切なストレスを与えることが可能な半導体集積回路装置を提供することにある。

[0013] その他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

課題を解決するための手段

[0014] 本明細書には、解決するための手段が複数開示されている。ここでは、代表的な解決手段についてのみ述べる。

[0015] 半導体集積回路装置は、第1回路を有する第1半導体チップと、第2回路を有し、前記第1半導体チップとは異なる第2半導体チップとを備える。ここで、半導体集積回路装置は、バーイン試験のとき、制御信号に従って、第1回路および第2回路の動作を制御する制御回路を具備する。バーイン試験のとき、第1回路が動作することにより第1半導体チップに作用するストレス量と、第2回路が動作することにより第2半導体チップに作用するストレス量とが異なるように、制御回路は第1回路および第2回路を制御する。

[0016] 半導体集積回路装置は、バーイン試験のとき、高温状態におかれ（高温下）、高い電源電圧が供給される。バーイン試験において、第1回路が動作することにより、第1回路を構成する例えば素子および／または配線に電流が流れ、ストレスが発生し、第1半導体チップに作用する。同様に、バーイン試験において、第2回路が動作することにより、第2回路を構成する例えば素子および／または配線に電流が流れ、ストレスが発生し、第2半導体チップに作用する。制御回路は、第1回路が動作することにより第1半導体チップに作用するストレスの量と、第2回路が動作することにより第2半導体チップに作用するストレスの量とが異なるように、第1回路および第2回路を制御する。これにより、バーイン試験のとき、第1半導体チップおよび第2半導体チップのそれぞれに適したストレス量を与えることが可能となる。その結果として、信頼性を維持しながら、歩留まりの高い半導体集積回路装置を提供することが、可能となる。

[0017] 一実施の形態では、制御回路は、バーイン試験のとき、第1回路が動作している時間と第2回路が動作している時間とが異なるように、第1回路および第2回路を制御する。動作している時間を、異ならせることにより、第1回路において発生するストレス量と第2回路において発生するストレス量とが異なるようにされる。

[0018] また、一実施の形態では、制御回路は、バーイン試験のとき、第1回路の

動作速度と第2回路の動作速度とが異なるように制御する。動作速度が異なることにより、時間当たりのストレス量が異なり、第1回路において発生するストレス量と第2回路において発生するストレス量とが異なるようにされる。

発明の効果

[0019] 一実施の形態によれば、複数の半導体チップを有し、バーイン試験においてそれぞれの半導体チップに適切なストレスを与えることが可能な半導体集積回路装置を提供することができる。

図面の簡単な説明

[0020] [図1]実施の形態1に係わる半導体集積回路装置の構成を示す模式的な平面図である。

[図2]実施の形態1に係わる半導体集積回路装置の構成を示す模式的な断面図である。

[図3] (A) および (B) は、半導体チップのバスタブ特性を示す図である。

[図4]実施の形態1に係わる半導体集積回路装置の構成を示すブロック図である。

[図5] (A) および (B) は、実施の形態1に係わるバーイン制御回路を説明するための図である。

[図6]実施の形態1に係わるバーイン制御回路の構成を示すブロック図である。

[図7]実施の形態1に係わる半導体集積回路装置のモードを説明するための図である。

[図8] (A) から (C) は、実施の形態1に係わるバーイン制御回路の動作を説明するための波形図である。

[図9] (A) および (B) は、実施の形態1に係わるバーイン制御回路の動作を説明するための図である。

[図10] (A) から (E) は、実施の形態1に係わるバーイン制御回路の動作を説明するための図である。

[図11]実施の形態1に係わるバーインボードの構成を示すブロック図である。

[図12]実施の形態1に係わる半導体集積回路装置を製造するためのフロー図である。

[図13]実施の形態2に係わるバーインボードの構成を示すブロック図である。

[図14](A)および(B)は、実施の形態2に係わるバーンボードの動作を説明するための図である。

[図15]実施の形態3に係わる半導体集積回路装置の構成を示すブロック図である。

発明を実施するための形態

[0021] 以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一部分には原則として同一の符号を付し、その繰り返しの説明は、原則省略する。

[0022] (実施の形態1)

<半導体集積回路装置の全体構成>

図1は、実施の形態1に係わる半導体集積回路装置の構成を示す模式的な平面図である。同図において、1000は、半導体集積回路装置であり、SBは、基板であり、CHP1およびCHP2のそれぞれは、基板SBに搭載された半導体チップを示している。同図は、半導体集積回路装置1000を平面から見た模式図である。図1において、B-B'断面で見た場合の半導体集積回路装置の模式的な断面が、図2に示されている。

[0023] 図1および図2において、半導体チップCHP1およびCHP2は、互いに異なる半導体製造プロセスによって製造されている。特に制限されないが、半導体チップCHP1(第1半導体チップ)には、ダイナミック型メモリDRAMのようなメモリ回路(第1回路)、インタフェース回路IFおよびテスト回路DBT(第1テスト回路)が、例えば線幅30nmの半導体製造プロセスによって形成されている。テスト回路DBTは、ビルトインスキャ

ンテスト回路であり、テストパターンを発生し、ダイナミック型メモリDRAMに対して発生したテストパターンを供給し、供給したテストパターンに従ってダイナミック型メモリDRAMを動作させる。

[0024] 一方、半導体チップCHP2（第2半導体チップ）には、スタティック型メモリSRAM（第2回路または第3回路）、インタフェース回路IF、ロジック回路（第3回路または第2回路）、テスト回路およびバーイン制御回路BTCNT（制御回路）が、例えば線幅28nmの半導体製造プロセスによって形成されている。この実施の形態においては、ロジック回路は、マイクロコントローラCPUと入出力回路I/O1、I/O2とを含んでいる。また、テスト回路は、スタティック型メモリSRAMをテストするためのテスト回路SBT（第2テスト回路または第3テスト回路）とロジック回路をテストするためのテスト回路SCA（第3テスト回路または第2テスト回路）とを含んでいる。スタティック型メモリSRAMをテストするテスト回路SBTは、ビルトインスキャンテスト回路であり、テストパターンを発生し、発生したテストパターンをスタティック型メモリSRAMへ供給し、供給したテストパターンに従ってスタティック型メモリSRAMを動作させる。また、テスト回路SCAは、スキャンパス回路であり、ロジック回路に含まれる複数のフリップフロップ回路を直列に接続し、直列に接続したフリップフロップ回路に対してテストパターンを供給し、テストパターンに従ってロジック回路を動作させる。

[0025] バーイン制御回路BTCNTは、後で図4～図11を用いて詳しく説明するが、バーイン試験のとき、半導体チップCHP1におけるテスト回路DBTおよび半導体チップCHP2におけるテスト回路SBTおよびSCAを制御する。

[0026] 半導体チップCHP1とCHP2との間には、複数のインタフェース信号IFCにより、信号の送受信が行われる。例えば、バーイン制御装置BTCNTによって、半導体チップCHP1に設けられたテスト回路DBTを制御するための制御信号が、前記した複数のインタフェース信号IFCに含まれる

。特に制限されないが、図 1 に示した半導体集積回路装置 1000 は、高速シリアル通信用の半導体集積回路装置である。例えば、高速のシリアルデータは、入出力回路 I/O1 に供給され、入出力回路 I/O1 からマイクロコントローラ CPU へ供給される。マイクロコントローラ CPU は、スタティック型メモリ SRAM を用いながら、例えばシリアルデータのプロトコル等を解析する。パラレルデータあるいはプロトコルを変換したシリアルデータを入出力回路 I/O2 から出力する。

[0027] マイクロコントローラ CPU は、例えば供給されたシリアルデータおよび／または出力するパラレルデータあるいはシリアルデータを、ダイナミック型メモリ DRAM に格納したり、格納したデータをダイナミック型メモリ DRAM から読み出す。このデータの格納および読み出しは、半導体チップ CHP1 および CHP2 のそれぞれに設けられたインタフェース回路 IF を介して、インタフェース信号 IFC の送受信として行われる。

[0028] この実施の形態 1 においては、半導体チップ CHP1、CHP2 のそれぞれは、図 2 に示すように、基板 SB に搭載されている。基板 SB は、特に制限されないが、複数の絶縁層を積層することにより構成されており、絶縁層間に金属配線が形成されている。基板 SB の一方の主面（例えば図 2 において上側の面）およびこの主面と対向する面（図 2 において下側の面）には、金属パッドが形成されており、所定の金属パッド間が、絶縁層間に形成されている金属配線によって電氣的に接続されている。また、半導体チップ CHP1 および CHP2 のそれぞれの主面（図 2 において下側の面）にも金属パッドが形成されており、各回路の入出力と電氣的に接続されている。

[0029] 半導体チップ CHP1 の主面に形成された金属パッドと基板 SB の一主面に形成された金属パッドとは金属ボールによって電氣的に接続され、半導体チップ CHP2 の主面に形成された金属パッドと基板 SB の一主面に形成された金属パッドとは金属ボールによって電氣的に接続されている。半導体チップ CHP1 の金属パッドと基板 SB の金属パッドとの間に設けられた金属ボールは、図 2 に示すように複数あり、同図では 1 個の金属ボールが代表と

して符号S B B 1 が付されている。同様に、半導体チップC H P 2 の金属パッドと基板S B の金属パッドとの間に設けられた金属ボールも、図2 に示すように複数あり、同図では1 個の金属ボールが代表として符号S B B 2 が付されている。

[0030] また、基板S B の下側の面に設けられた金属パッドにも、金属ボールB B 1 ～B B n が設けられ、これらの金属ボールを介して、例えば図示しないプリント基板等と電氣的に接続される。また、これらの金属ボールB B 1 ～B B n の一部は、バーイン試験において、例えば後で図1 1 を用いて説明するバーインボードの端子と電氣的に接続される。なお、図2 には、基板S B 内の金属配線として、一部のインタフェース信号I F C を伝達する金属配線と、半導体チップC H P 2 と金属ボールB B n 等を接続する金属配線のみが示されている。

[0031] 図2 において、破線P M は、半導体チップC H P 1 およびC H P 2 を封止するためのレジンを示している。この実施の形態においては、特に制限されないが、半導体チップC H P 1 およびC H P 2 のそれぞれの一面が露出し、基板S B と半導体チップC H P 1 、C H P 2 との接続部が覆われるように、レジンによって、それぞれの半導体チップC H P 1 、C H P 2 が封止されている。

[0032] 図1 および図2 においては、基板S B に対して、半導体チップC H P 1 およびC H P 2 のそれぞれが平行するように、半導体チップC H P 1 、C H P 2 は搭載されているが、これに限定されるものではない、例えば、半導体チップC H P 1 の上側に半導体チップC H P 2 を乗せる、すなわちスタックするように搭載してもよい。また、半導体チップC H P 1 、C H P 2 の面に形成される金属パッドと基板S B の上側面に形成される金属パッドとのピッチが一致しない場合には、ピッチ変換用の再配線層を、半導体チップC H P 1 、C H P 2 のそれぞれに対して設け、再配線層を介して半導体チップの金属パッドと基板S B の金属パッドとが電氣的に接続されるようにしてもよい。

[0033] 上記したように、半導体チップC H P 1 は、3 0 n m の半導体製造プロセ

スにより製造され、半導体チップＣＨＰ２は、半導体チップＣＨＰ１を製造する半導体製造プロセスよりも進んだ２８ｎｍの半導体製造プロセスによって製造されている。すなわち、この実施の形態においては、半導体チップＣＨＰ２は、半導体チップＣＨＰ１よりも世代の進んだ半導体製造プロセスによって製造されている。旧世代の半導体製造プロセスによって、半導体チップＣＨＰ１を製造することにより、例えば半導体チップＣＨＰ１の価格を下げるのが可能となる。一方、進んだ世代の半導体製造プロセスによって、半導体チップＣＨＰ２を製造することにより、より微細化を図ることが可能となり、例えば半導体チップＣＨＰ２に多くの機能を持たせることが可能となる。

[0034] 一方、進んだ世代の半導体製造プロセスによって製造された半導体チップＣＨＰ２のバスタブ特性を求めると、図３（Ｂ）のようになる。これに対して、旧世代の半導体製造プロセスによって製造された半導体チップＣＨＰ１のバスタブ特性を求めると、図３（Ａ）のようになる。

[0035] 図３（Ａ）および（Ｂ）において、横軸は時間を示し、縦軸は故障率を示している。なお、図３（Ａ）および（Ｂ）において、時間のスケールは一致している。図３（Ａ）および（Ｂ）から理解されるように、進んだ世代の半導体製造プロセスによって製造した半導体チップにおいては、旧世代の半導体製造プロセスによって製造した半導体チップに比べて、初期故障期間、偶発故障期間および摩耗故障期間のいずれもが、短くなっている。

[0036] そのため、半導体チップＣＨＰ１、ＣＨＰ２の両方を、バーイン試験により、同じ時間だけ、動作させた場合、半導体チップＣＨＰ１においては、初期故障期間に生じる故障を発生させるのに適したストレスを作用させることができるのに対して、半導体チップＣＨＰ２に対しては、偶発故障期間に生じる故障あるいは摩耗故障期間に生じる故障を発生させるようなストレスが作用する。あるいは、半導体チップＣＨＰ２に対して適切なストレスが、バーイン試験において作用するようにした場合には、半導体チップＣＨＰ１には、初期故障期間に生じる故障を発生させるのに十分なストレスが作用しな

いという状況が発生する。すなわち、半導体チップCHP1、CHP2の両方に、同じストレスの量を与えた場合には、半導体チップCHP1、CHP2のいずれか一方においてストレス量の過不足が生じる。

[0037] <半導体集積回路装置の構成>

図4は、この実施の形態に係わる半導体集積回路装置1000の構成を示すブロック図である。図4において、BB-Vd、BB-RS、BB-BE、BB-TC、BB-M0、BB-M1、BB-Bs、BB-BLおよびBB-BDのそれぞれは、図2に示した金属ボールBB1～BBnのうちの一部である。以後、これらの金属ボールについては、端子と称する。この実施の形態においては、図2に示した金属ボールBB1～BBnのうち、これらの端子BB-Vd、BB-RS、BB-BE、BB-TC、BB-M0、BB-M1、BB-Bs、BB-BLおよびBB-BDには、バーイン試験において、電圧、クロック信号および制御信号が供給される。

[0038] 端子BB-Vdは、電源電圧端子である。電源電圧端子BB-Vdは、半導体チップCHP1およびCHP2のそれぞれに接続されている。半導体チップCHP1に含まれているダイナミック型メモリDRAM、インタフェース回路IFおよびテスト回路DBTのそれぞれは、電源電圧端子BB-Vdに供給される電源電圧Vdを受け、この電源電圧Vdを動作電圧として動作する。同様に、半導体チップCHP2に含まれるロジック回路、スタティク型メモリSRAM、インタフェース回路IF、バーイン制御回路BTCNTおよびテスト回路SBT、SCAのそれぞれにも、電源電圧Vdが供給され、この電源電圧Vdを動作電圧として動作する。なお、図面が複雑になるのを避けるために、図4においては、インタフェース回路IFは省略されており、図1に示したマイクロコントローラCPU、入出力回路I/O1、I/O2は、ロジック回路として示されている。また、テスト回路とテスト対象回路との対応関係を分かり易くするために、ダイナミック型メモリDRAMのテストを行うテスト回路DBTは、ダイナミック型メモリDRAMに含まれるように描かれている。同様に、スタティク型メモリSRAMをテス

トするテスト回路S B Tは、スタティック型メモリS R A Mに含まれるように描かれ、ロジック回路をテストするテスト回路S C Aは、ロジック回路に含まれるように描かれている。しかしながら、相互関係を分かり易くするためであり、これに限定されるものではない。

[0039] バース制御回路B T C N Tは、端子B B − R S、B B − B E、B B − T C、B B − M 0、B B − M 1、B B − B S、B B − B LおよびB B − B Dから供給される信号に基づいて、バース用内部クロック信号（以下、内部クロック信号とも称する）B T C K、ロジック用バースイネーブル信号（以下、Lイネーブル信号と称する）L E B、スタティック型メモリ用バースイネーブル信号（以下、Sイネーブル信号と称する）S E Bおよびダイナミック型メモリ用バースイネーブル信号（以下、Dイネーブル信号と称する）D E Bを形成する。

[0040] テスト回路D B Tは、Dイネーブル信号D E Bと内部クロック信号B T C Kを受信し、Dイネーブル信号D E Bが、例えばハイレベル（論理値“1”）となることにより、内部クロック信号B T C Kに従って、テストパターンを形成し、ダイナミック型メモリD R A Mへ供給する。ダイナミック型メモリD R A Mは、複数のメモリセルを有しており、テストパターンが供給されることにより、順次メモリセルを選択し、選択したメモリセルに対して、供給されたテストパターンの書き込み動作を行う。特に制限されないが、テスト回路D B Tに供給された内部クロック信号B T C Kは、テスト回路D B Tからダイナミック型メモリD R A Mへも供給され、書き込み動作は、内部クロック信号B T C Kに同期して実行される。

[0041] テスト回路S B Tは、Sイネーブル信号S E Bと内部クロック信号B T C Kを受信し、Sイネーブル信号S E Bが、例えばハイレベル（論理値“1”）となることにより、内部クロック信号B T C Kに従って、テストパターンを形成し、スタティック型メモリS R A Mへ供給する。スタティック型メモリS R A Mは、複数のメモリセルを有しており、テストパターンが供給されることにより、複数のメモリセルからメモリセルを、順次選択し、選択した

メモリセルに対してテストパターンを書き込む動作を行う。テスト回路S B Tにおいても、特に制限されないが、供給されている内部クロック信号B T C Kをスタティック型メモリS R A Mへ供給する。スタティック型メモリS R A Mは、供給されている内部クロック信号B L C Kに同期して、上記した書き込み動作を実行する。

[0042] テスト回路S C Aは、レイネーブル信号L E Bと内部クロック信号B T C Kとを受信し、レイネーブル信号L E Bが、例えばハイレベル（論理値“1”）になることにより、ロジック回路に含まれている複数のフリップフロップ回路を直列に接続するためのテスト制御信号を形成する。また、テスト回路S C Aは、直列に接続したフリップフロップ回路に供給されるテストパターンを形成し、形成したテスト制御信号とテストパターンを、ロジック回路へ供給する。ロジック回路は、テスト制御信号により、内部に含まれている複数のフリップフロップ回路を直列に接続し、直列に接続したフリップフロップ回路にテストパターンを設定して、動作を開始する。この場合も、テスト回路S C Aは、内部クロック信号B T C Kをロジック回路へ供給する。ロジック回路は、フリップフロップ回路に設定されたテストパターンを例えば初期の入力信号として、内部クロック信号B T C Kに同期して、ロジックの動作を実行する。

[0043] バイーン制御回路B T C N Tは、後で説明するが、端子B B − R SおよびB B − B Eに供給されるリセット信号R S T Nおよびバイーンイネーブル信号B T E Nと、端子B B − T Cに供給されるバイーン用クロック信号T C Kと、端子B B − M 0およびB B − M 1に供給されるバイーンモード制御信号M O D E 0、M O D E 1（モード信号）を受信する。また、この実施の形態においては、バイーン制御回路B T C N Tは、端子B B − B S、B B − B LおよびB B − B Dに供給される時間カウント用クロック信号B T C K S、B T C K LおよびB T C L Dを受信する。受信したこれらの信号に基づいて、内部クロック信号B T C K、Dイネーブル信号D E B、Sイネーブル信号S E Bおよびレイネーブル信号L E Bを形成し、出力する。

[0044] <バーイン制御回路B T C N Tの構成および動作>

次に、図5から図10を用いて、バーイン制御回路B T C N Tの構成および動作を説明する。まず、バーイン制御回路B T C N Tに供給される信号および出力される信号と、それぞれの信号に付されている符号との対応関係を明確にしておく。図5（A）は、バーイン制御回路B T C N Tに供給される複数の信号とそれぞれの信号に付されている符号との対応を示す図である。また、図5（B）は、バーイン制御回路B T C N Tから出力される信号とそれぞれの信号に付されている符号との対応を示す図である。バーイン制御回路B T C N Tに関する説明において用いる図6から図10においては、図5に示した符号が用いられている。

[0045] <<バーイン制御回路B T C N Tの構成>>

図6は、バーイン制御回路B T C N Tの構成を示すブロック図である。この実施の形態において、バーイン制御回路B T C N Tは、図1および図4に示したように、半導体チップC H P 2に設けられている。すなわち、ロジック回路およびスタティック型メモリS R A Mとともに、1つの半導体チップC H P 2に形成されている。バーイン制御回路B T C N Tは、特に制限されないが、B n 1～B n 8の入力ノードとB n 9～B n 12の出力ノードを備えている。また、同図において、S B T C Tは、スタティック型メモリS R A M用のバーイン時間カウンタ回路（第2指定回路）、S C A C Tは、ロジック回路用のバーイン時間カウンタ回路（指定回路）、D B T C Tは、ダイナミック型メモリD R A M用のバーイン時間カウンタ回路（第1指定回路）、B T S Q Nは、バーイン試験シーケンス回路（シーケンス回路）である。バーイン制御回路B T C N Tが、これらのバーイン時間カウンタ回路およびバーイン試験シーケンス回路を備えている。

[0046] 入力ノードB n 1には、バーイン用クロック信号T C Kが供給され、入力ノードB n 1に供給されたバーイン用クロック信号T C Kは、バーイン試験シーケンス回路B T S Q Nに供給されるとともに、出力ノードB n 9へ供給される。出力ノードB n 9へ供給されたバーイン用クロック信号T C Kは、

バーイン用内部クロック信号B T C L Kとして、バーイン制御回路B T C N Tから出力される。

[0047] 入力ノードB n 2には、リセット信号R S T Nが供給され、入力ノードB n 2に供給されたリセット信号R S T Nは、バーイン時間カウンタ回路S B T C T、S C A C TおよびD B T C T、およびバーイン試験シーケンス回路B T S Q Nへ供給される。図6において、バーイン時間カウンタ回路S B T C T、S C A C TおよびD B T C Tのそれぞれに付されている○印は、位相反転の入力ノードを意味している。この入力ノードは、それぞれのバーイン時間カウンタ回路のリセット入力ノードである。そのため、例えば、論理値“1”（ハイレベル）が有効状態を示すとした場合、リセット信号R S T Nがロウレベル（論理値“0”）になったとき、バーイン時間カウンタ回路S B T C T、S C A C TおよびD B T C Tのそれぞれは、リセットされる。リセットされることにより、バーイン時間カウンタ回路S B T C T、S C A C TおよびD B T C Tのそれぞれは、初期のカウント値（例えば、“0”）となる。

[0048] バーイン時間カウンタ回路S B T C Tは、入力ノードB n 3を介して供給される時間カウント用クロック信号B T C K Sを受信し、この時間カウント用クロック信号B T C K Sをカウントする。また、バーイン時間カウンタ回路S C A C Tは、入力ノードB n 4を介して供給される時間カウント用クロック信号B T C K Lを受信し、この時間カウント用クロック信号B T C K Lをカウントする。同様に、バーイン時間カウンタ回路D B T C Tは、入力ノードB n 5を介して供給される時間カウント用クロック信号B T C K Dを受信し、この時間カウント用クロック信号B T C K Dをカウントする。

[0049] 例えば、バーイン時間カウンタ回路S B T C Tは、リセットされ、初期のカウント値になった後、受信する時間カウント用クロック信号B T C K Sの論理値“0”（ロウレベル）から論理値“1”（ハイレベル）へ変化する回数をカウントし、所定のカウント値に到達すると、時間到達信号を出力する。時間到達信号を出力した後、バーイン時間カウンタ回路S B T C Tは、再

び、初期のカウント値から、時間カウント用クロック信号B T C K Sの論理値の変化回数をカウントする。以降、このカウント動作が繰り返される。バーイン時間カウント回路S C A C TおよびD B T C Tのそれぞれも、バーイン時間カウント回路S B T C Tと同様に、リセットされ、初期のカウント値になった後、受信する時間カウント用クロック信号B T C K L、B T C K Dの論理値“0”から論理値“1”へ変化する回数をカウントし、所定のカウント値に到達すると、時間到達信号を出力する。時間到達信号を出力した後、バーイン時間カウント回路S C A C TおよびD B T C Tのそれぞれは、再び、初期のカウント値から、時間カウント用クロック信号B T C K L、B T C K Dの論理値の変化回数をカウントする。以降、このカウント動作が繰り返される。

[0050] ここで、バーイン時間カウンタ回路S B T C Tは、スタティック型メモリS R A M用の時間カウントクロック信号B T C K Sをカウントするため、スタティック型メモリS R A M用のバーイン時間カウンタ回路である。また、バーイン時間カウンタ回路S C A C Tは、ロジック回路用の時間カウントクロック信号B T C K Lをカウントするため、ロジック回路用のバーイン時間カウンタ回路である。同様に、バーイン時間カウンタ回路D B T C Tは、ダイナミック型メモリD R A M用の時間カウントクロック信号B T C K Dをカウントするため、ダイナミック型メモリD R A M用のバーイン時間カウンタ回路である。

[0051] バーイン時間カウンタ回路S B T C T、S C A C TおよびD B T C Tのそれぞれから出力される時間到達信号は、バーイン試験シーケンス回路B R S Q Nへ供給される。

[0052] バーイン試験シーケンス回路B R S Q Nは、上記したバーイン用クロック信号T C Kおよびバーイン時間カウンタ回路S B T C T、S C A C TおよびD B T C Tのそれぞれからの時間到達信号とともに、入力ノードB n 6およびB n 7を介してバーインモード制御信号M O D E 0、M O D E 1と、入力ノードB n 8を介してバーインイネーブル信号B T E Nを受信する。ここで

、バーインイネーブル信号B T E は、バーイン制御回路B T C N Tを動作させるか否かを指定する信号である。また、バーインモード制御信号M O D E 0、M O D E 1は、バーイン試験において、このバーイン制御回路B T C N Tの動作モードを指定する信号である。特に制限されないが、この実施の形態において、バーイン制御回路B T C N Tは、停止モードと、リセットモードと、4種類の動作モードとを有している。

[0053] <<バーイン制御回路B T C N Tのモード選択>>

次に、図7を用いて、バーイン制御回路B T C N Tのモード選択を説明する。図7には、バーインイネーブル信号B T E N、リセット信号R S T Nおよびバーインモード制御信号M O D E 0、M O D E 1の組み合わせと、バーイン制御回路B T C N Tの動作モードとの対応が表として示されている。図7に示した表において、モードの列には、バーイン制御回路B T C N Tの動作モードが示されている。また、この表において、B T E Nの列、R S T Nの列、M O D E 0の列およびM O D E 1の列には、バーインイネーブル信号B T E N、リセット信号R S T N、バーインモード制御信号M O D E 0およびバーインモード制御信号M O D E 1の論理値が示されている。なお、ここでも、論理値“1”が有効を示している。

[0054] この図7に示した表（テーブル）に従って、バーイン制御回路B T C N Tに設けられているバーイン試験シーケンス回路B T S Q Nが、バーイン制御回路B T C N Tの動作モードを定める。すなわち、バーインイネーブル信号B T E Nが、論理値“0”であれば、このバーイン制御回路B T C N Tを、停止の状態にする（“A）停止”）。一方、バーインイネーブル信号B T E Nが、論理値“1”で、リセット信号R S T Nが、論理値“0”であれば、バーイン制御回路B T C N Tをリセットの状態（“B）リセット”）にする。このリセットの状態では、バーン時間カウンタ回路S B T C T、S C A C TおよびD B T C Tのそれぞれも、先に説明したようにリセットされる。なお、停止の状態においては、リセット信号R S T Nおよびバーインモード制御信号M O D E 0、M O D E 1の論理値は意味を持たないため、図7では、

“－”として示されている。同様に、リセットの状態では、バーインモード制御信号MODE 0、MODE 1の論理値は意味を持たないため、“－”で示されている。

[0055] バーインイネーブル信号BTENが論理値“1”で、リセット信号RSTNが論理値“1”のとき、バーイン試験シーケンス回路BT SQNが、バーインモード制御信号MODE 0およびMODE 1に従って、バーイン制御回路BTCNTの動作モードを定める。

[0056] すなわち、バーインモード制御信号MODE 0が論理値“0”で、バーインモード制御信号MODE 1が論理値“1”であれば、バーイン試験シーケンス回路BT SQNは、Dイネーブル信号DEBをハイレベルにし、Sイネーブル信号SEBおよびLイネーブル信号LEBのそれぞれをロウレベルにする。これにより、ダイナミック型メモリDRAMに対応したテスト回路DBTが動作状態となる（（1）DBT動作）。このとき、残りのテスト回路SCAおよびSBTは非動作状態とされる。

[0057] 次に、バーインモード制御信号MODE 0が論理値“1”で、バーインモード制御信号MODE 1が論理値“0”であれば、バーイン試験シーケンス回路BT SQNは、Lイネーブル信号LEBをハイレベルにし、Dイネーブル信号DEBおよびSイネーブル信号SEBのそれぞれをロウレベルにする。これにより、ロジック回路に対応したテスト回路SCAが動作状態となる（（2）SCA動作）。このとき、残りのテスト回路DBTおよびSBTは非動作状態とされる。

[0058] また、バーインモード制御信号MODE 0が論理値“1”で、バーインモード制御信号MODE 1が論理値“1”であれば、バーイン試験シーケンス回路BT SQNは、Sイネーブル信号SEBをハイレベルにし、Dイネーブル信号DEBおよびLイネーブル信号LEBのそれぞれをロウレベルにする。これにより、スタティック型メモリSRAMに対応したテスト回路SBTが動作状態となる（（3）SBT動作）。このとき、残りのテスト回路SCAおよびDBTは非動作状態とされる。

[0059] さらに、バーインモード制御信号MODE 0が論理値“0”で、バーインモード制御信号MODE 1が論理値“0”であれば、バーイン試験シーケンス回路B T S Q Nは、所定のシーケンスに従って、Dイネーブル信号D E B、Lイネーブル信号L E BおよびSイネーブル信号S E Bを順次ハイレベルにする。このとき、2個以上のイネーブル信号が、実質的に同時にハイレベルにならないように、バーイン試験シーケンス回路B T S Q Nは形成する。これにより、ダイナミック型メモリD R A Mに対応したテスト回路D B T、ロジック回路に対応したテスト回路S C Aおよびスタティック型メモリS R A Mに対応したテスト回路S B Tが、シーケンシャルに動作する（（4）D B T、S C A、S B Tシーケンシャル動作）。このシーケンシャル動作においては、2個以上のテスト回路が、実質的に同時に動作しないようにされる。

[0060] バーインモード制御信号MODE 0、MODE 1の組み合わせに従って、Sイネーブル信号、Lイネーブル信号およびDイネーブル信号の電圧（論理値）が定められ、それぞれのイネーブル信号の電圧によってテスト回路S B T、S C AおよびD B Tの動作／非動作が定められる。そのため、バーインモード制御信号MODE 0、MODE 1は、バーイン試験のときの半導体集積回路装置1 0 0 0の動作モードを定めるモード制御信号であると見なすことができる。

[0061] <<バーイン試験シーケンス回路B T S Q Nの動作>>

バーイン試験シーケンス回路B T S Q Nは、図7に示した表に従って動作モードを定めると、定めた動作モードに従って、バーイン制御回路B T C N Tが動作を行う。図8から図10を用いて、それぞれの動作モードでのバーイン制御回路B T C N Tの動作を説明する。図8（A）は、上記した動作モード“（1）D B T動作”において実行されるシーケンスを示しており、図8（B）は、動作モード“（2）S C A動作”において実行されるシーケンスを示しており、図8（C）は、動作モード“（3）S B T動作”において実行されるシーケンスを示している。

[0062] 動作モード“(1) D B T動作”、動作モード“(2) S C A動作”および動作モード“(3) S B T動作”のそれぞれにおいて、実行されるシーケンスは、互いに類似している。すなわち、先ず、初期化動作(i n i t)が行われ、次に待機状態(i d l e)となり、その後、各動作モードに対応したテスト回路を動作させる。

[0063] この実施の形態において、初期化動作(i n i t)は、バーインイネーブル信号B T E Nが論理値“0”(ロウレベル)の期間において行われる動作である。この初期動作としては、例えばダイナミック型メモリD R A Mおよび／またはスタティック型メモリS R A Mにヒューズが設けられていた場合、このヒューズから情報を読み出す動作が行われる。ヒューズとしては、例えば、ダイナミック型メモリD R A Mおよび／またはスタティック型メモリS R A Mに欠陥部分(例えば欠陥メモリセル)が存在する場合、欠陥部分を冗長部分に変更するための冗長用ヒューズがある。冗長用ヒューズには、例えば欠陥部分の有無を表す欠陥情報と、欠陥部分が存在する場合、欠陥部分のアドレス情報とが、半導体集積回路装置1 0 0 0を製造する工程において書き込まれる。初期化動作(i n i t)の期間T T 1において、ヒューズから情報が読み出される。

[0064] 次に、バーインイネーブル信号B T E Nが論理値“1”(ハイレベル)へ変更されると、そのときのバーインモード制御信号M O D E 0およびM O D E 1の組み合わせに従って、Dイネーブル信号D E B、Lイネーブル信号L E BおよびDイネーブル信号D E Bのいずれか1つのイネーブル信号をハイレベルする。このとき、特に制限されないが、バーイン試験シーケンス回路B T S Q Nは、バーイン用クロック信号T C Kが所定の回数発生した後で、バーインモード制御信号M O D E 0およびM O D E 1の組み合わせに従ったイネーブル信号をハイレベルにする。この所定の回数によって確保される時間が待機状態(i d l e)の時間T T 2となる。なお、所定の回数としては、例えばバーイン用クロック信号T C Kが2の2乗の回数とされる。また、初期化動作(i n i t)の期間(T T 1)としては、例えばバーイン用クロ

ック信号TCCKが2の14乗回発生する時間とされ、この時間が初期化の期間として確保される。

[0065] 動作モード“(1)DBT動作”、動作モード“(2)SCA動作”および動作モード“(3)SBT動作”のそれぞれは、リセット信号RSTNまたはバーインイネーブル信号BTENが論理値“0”(ロウレベル)にされるまで継続される。すなわち、例えば動作モード“(1)DBT動作”が指定された場合、リセット信号RSTNまたはバーインイネーブル信号BTENが論理値“0”(ロウレベル)になるまで、Dイネーブル信号DEBが継続して論理値“1”(ハイレベル)となる。これは、動作モード“(2)SCA動作”または動作モード“(3)SBT動作”が指定された場合も同じであり、Lイネーブル信号LEBまたはSイネーブル信号SEBが継続して論理値“1”となる。

[0066] これにより、3個のテスト回路DBT、SCAおよびSBTのうち、論理値“1”のイネーブル信号を受信しているテスト回路のみが継続して動作し、論理値“0”のイネーブル信号を受信しているテスト回路は非動作状態を継続する。テスト回路が動作状態とされることにより、動作状態のテスト回路からテストパターン等が供給されている回路(ダイナミック型メモリDRAM、スタティック型メモリSRAMあるいはロジック回路)のみが、バーイン試験において動作することとなる。その結果として、バーイン試験の際に、同じ半導体集積回路装置1000に封止されている半導体チップCHP1および半導体チップCHP2のいずれか1つに対してのみストレスを与えることが可能となる。

[0067] 次に、動作モード“(4)DBT、SCA、SBTシーケンシャル動作”でのバーイン制御回路BTCNTの動作を説明する。図9(A)は、動作モード“(4)DBT、SCA、SBTシーケンシャル動作”において実行されるバーイン制御回路BTCNTのシーケンス動作を示す遷移図である。また、図9(B)は、シーケンシャルに実行される動作の時間の一例を示す図である。

[0068] 動作モード“(4) DBT、SCA、SBTシーケンシャル動作”においては、バーイン試験シーケンス回路BT SQNは、所定の順番で、ディネーブル信号DEB、ライネーブル信号LEBおよびスイネーブル信号SEBを、順次、論理値“1”(ハイレベル)にする。ここでは、説明の都合上、バーイン試験シーケンス回路BT SQNは、ディネーブル信号DEB、ライネーブル信号LEB、スイネーブル信号SEBの順に論理値“1”とするものとする。勿論、この順番に限定されるものではなく、順番を任意に設定するようにしてもよい。

[0069] 図9(A)において、初期化動作(init)は、図8(A)～(C)において説明した初期化動作(init)と同じであるので、ここでは説明を省略する。

[0070] 図8において説明したように、バーインイネーブル信号BT ENが論理値“1”にされることにより、待機状態(idle1)後に、バーイン制御回路BTCNTは、ディネーブル信号DEBを論理値“1”にする。これにより、ダイナミック型メモリDRAMに対応したテスト回路DEB(図4)が動作を開始する。テスト回路DEBが動作することにより、テスト回路DEBからテストパターンとバーイン内部クロック信号BTC LKがダイナミック型メモリDRAMへ供給され、ダイナミック型メモリDRAMが動作する(図9では、DRAMと記載)。ダイナミック型メモリDRAMが動作することにより、半導体チップCHP1にストレスが与えられることになる。

[0071] ディネーブル信号DEBを論理値“1”に維持している時間(TBT1)は、後で説明するが、任意に変更することができる。任意の時間(TBT1)経過後、バーイン制御回路BTCNTは、ディネーブル信号DEBを論理値“0”にし、待機状態(idle2)へ遷移する。所定の時間TT3の間、待機状態(idle2)が維持された後、バーイン制御回路BTCNTは、ライネーブル信号LEBを論理値“1”にする。これにより、ロジック回路に対応したテスト回路SCA(図4)が動作を開始する。テスト回路SCAが動作することにより、テスト回路SCAからロジック回路へテスト制御

信号、テストパターンおよびバーイン内部クロック信号B T C L Kが供給される。ロジック回路においては、供給されたテスト制御信号によってフリップフロップ回路が直列的に接続され、直列接続されたフリップフロップ回路へテストパターンが供給される。フリップフロップ回路に保持されたテストパターンを初期の入力として、バーイン内部クロック信号B T C L Kに従ってロジック回路は動作する（図9では、L G I Cと記載）。ロジック回路が動作することにより、半導体チップC H P 2にストレスが与えられることになる。

[0072] ロジック回路が動作を開始してから任意の時間（T B T 2）を経過したところで、バーイン制御回路B T C N Tは、Lイネーブル信号L E Bを論理値“0”へ変更し、待機状態（i d l e 3）へ遷移する。所定の時間T T 4の間、待機状態（i d l e 3）は、維持され、所定の時間T T 4後に、バーイン制御回路B T C N Tは、Sイネーブル信号S E Bを論理値“1”にする。

[0073] Sイネーブル信号S E Bが論理値“1”となることにより、スタティック型メモリS R A Mに対応したテスト回路S B Tが動作を開始する。テスト回路S B Tが動作することにより、テスト回路S B Tから、スタティック型メモリS R A Mに対して、テストパターンとバーイン内部クロック信号B T C L Kが供給される。スタティック型メモリS R A Mにおいては、テストパターンが、バーイン内部クロック信号B T C L Kに従って、例えば順次書き込まれる。スタティック型メモリS R A Mにおいて、順次書き込み動作が行われることにより、半導体チップC H P 2に対してストレスが与えられることになる。

[0074] テスト回路S B Tが動作（図9では、S R A Mと記載）を開始してから任意の時間が経過すると、バーイン制御回路B T C N Tは、Sイネーブル信号S E Bを論理値“0”にし、待機状態（i d l e 2）へ遷移する。

[0075] 待機状態（i d l e 2）において、所定の時間（T T 2）が経過すると、Dイネーブル信号D E Bが、再び、論理値“1”とされる。以後、上記した動作が繰り返される。この繰り返しの動作は、例えばリセット信号R S T N

および／またはバーインイネーブル信号BTENを論理値“0”にするまで行われる。勿論、予め定めた時間あるいは回数だけ、上記した繰り返しの動作が行われるようにしてもよい。

[0076] 図9(B)は、上記した初期化動作、待機状態、ダイナミック型メモリDRAMの動作状態、ロジック回路の動作状態およびスタティック型メモリSRAMの動作状態について、それぞれの時間の一例が示されている。図9(B)において、初期化(init)動作は、バーインクロック信号TCKが2の15乗回発生する期間が、初期化の時間TT1とされ、待機状態(TT2～TT4)のそれぞれの時間は、バーインクロック信号TCKが2の2乗回発生する時間(TT2～TT4)とされている。

[0077] また、ダイナミック型メモリDRAMが動作している期間は、時間カウント用クロック信号BTCKDが2の30乗回発生する時間TBT1とされ、ロジック回路が動作している期間は、時間カウント用クロック信号BTCKLが2の30乗回発生する時間TBT2とされ、スタティック型メモリSRAMが動作している期間は、時間カウント用クロック信号BTCKSが2の11乗回発生する時間TBT3とされている。

[0078] 3個の待機状態(idle1～idle3)のそれぞれにおいては、3個のイネーブル信号DEB、LEBおよびSEBのそれぞれが、論理値“0”とされる。そのため、待機状態(idle1～idle3)のそれぞれにおいては、ダイナミック型メモリDRAM、ロジック回路およびスタティック型メモリSRAMのいずれもが動作していない。これにより、複数の回路が同時に動作することが防がれ、バーイン試験において、半導体集積回路装置の消費電力が増加するのを抑制することが可能とされている。

[0079] ダイナミック型メモリDRAMが動作(図9(A)ではDRAMと記載)している期間(TBT1)は、バーイン試験において、ダイナミック型メモリDRAMがストレスを発生し、そのストレスが、半導体チップCHP1に作用している時間と見なすことができる。そのため、この期間TBT1は、ダイナミック型メモリDRAMによるストレスが滞在する滞在時間と見なす

ことができる。同様に、期間 T_{BT2} は、ロジック回路によるストレスが滞在する滞在時間と見なすことができ、期間 T_{BT3} は、スタティック型メモリ $SRAM$ によるストレスが滞在する滞在期間と見なすことができる。

[0080] 上記したシーケンシャル動作を繰り返す回数と、それぞれの滞在時間との積により、バーイン試験におけるダイナミック型メモリ $DRAM$ によるストレスの合計滞在時間、ロジック回路によるストレスの合計滞在時間およびスタティック型メモリ $SRAM$ によるストレスの合計滞在時間を求めることが可能である。これにより、バーイン試験において、ダイナミック型メモリ $DRAM$ 、ロジック回路およびスタティック型メモリ $SRAM$ から半導体チップ $CHP1$ 、 $CHP2$ へ作用するストレスの量を把握することが可能である。

[0081] 図10は、バーイン制御回路 $BT CNT$ の動作を示す波形図である。図10において、横軸は時間を示し、縦軸は電圧を示している。図10は、バーインモード制御信号 $MODE0$ および $MODE1$ によって、動作モード“(4) DBT 、 SCA 、 SBT シーケンシャル動作”が指定されたときの波形が示されており、ハイレベルが論理値“1”に対応し、ロウレベルが論理値“0”に対応している。ここで、図10(A)は、リセット信号 $RSTN$ の波形を示し、図10(B)は、バーインイネーブル信号 $BTEN$ の波形を示し、図10(C)は、 D イネーブル信号 DEB の波形を示し、図10(D)は、 L イネーブル信号 LEB の波形を示し、図10(E)は S イネーブル信号 SEB の波形を示している。

[0082] リセット信号 $RSTN$ がロウレベルからハイレベルへ変化されることにより、半導体集積回路装置1000は、上記した初期状態($init$)へ遷移する。その後、バーインイネーブル信号 $BTEN$ が、ハイレベルへ変化されると、バーイン制御回路 $BT CNT$ は、待機状態($idle1$)へ遷移し、所定の時間($TT2$)、 D イネーブル信号 DEB 、 L イネーブル信号 LEB および S イネーブル信号 SEB のそれぞれをロウレベルにする。所定の時間($TT2$)が経過したところで、バーイン制御回路 $BT CNT$ は、 D イネー

ブル信号DEBをハイレベルにし、残りのラインネーブル信号LEBおよびラインネーブル信号SEBのそれぞれをロウレベルに維持する。この状態を、任意の滞在時間(TBT1)の間、バーイン制御回路BTCNTは維持する。

[0083] 任意の滞在時間(TBT1)を経過したところで、バーイン制御回路BTCNTは、再び、ラインネーブル信号DEBをロウレベルにし、所定の時間(TT3)の間、待機状態(idle2)にする。所定の時間(TT3)を経過したところで、バーイン制御回路BTCNTは、ラインネーブル信号LEBをハイレベルへ変化させ、任意の滞在時間(TBT2)の間、ハイレベルを維持する。この滞在時間(TBT2)においては、ラインネーブル信号DEBおよびラインネーブル信号SEBはロウレベルに維持される。滞在時間(TBT2)を経過すると、バーイン制御回路BTCNTは、ラインネーブル信号SEBをロウレベルにし、所定の時間(TT4)の間、待機状態(idle3)にする。所定の時間(TT4)を経過したところで、バーイン制御回路BTCNTは、ラインネーブル信号をハイレベルにし、残りのラインネーブル信号DEB、LEBのそれぞれをロウレベルに維持する。

[0084] 任意の滞在時間(TBT3)を経過すると、バーイン制御回路BTCNTは、再び待機状態(TT2)へ遷移する。以後、上記したシーケンス動作が繰り返される。

[0085] <<滞在時間の設定>>

次に、滞在時間の設定について、主に図6、図9および図10を用いて説明する。図6において説明したように、バーイン制御回路BTCNTは、スタティック型メモリSRAM用のバーイン時間カウンタ回路SBTCT、ロジック回路用のバーイン時間カウンタ回路SCACT、ダイナミック型メモリDRAM用のバーイン時間カウンタ回路DBTCTを備えている。バーイン時間カウンタSBTCTは、スタティック型メモリSRAMに対応した時間カウント用クロック信号BTCKSのクロック数をカウントし、所定のカウンタ値に到達する度に、時間到達信号を形成する。同様に、バーイン時間カウンタSCACTは、ロジック回路に対応した時間カウント用クロック信

号B T C K Lのクロック数をカウントし、所定のカウント値に到達する度に、時間到達信号を形成する。また、バーイン時間カウンタD B T C Tは、ダイナミック型メモリD R A Mに対応した時間カウント用クロック信号B T C K Dのクロック数をカウントし、所定のカウント値に到達する度に、時間到達信号を形成する。

[0086] これにより、それぞれのバーイン時間カウンタ回路に供給される時間カウント用クロック信号の周波数を変えることで、時間到達信号が形成される時間を変更することができる。図9（B）を例にすると、ダイナミック型メモリD R A M用のバーイン時間カウンタ回路D B T C Tは、所定のカウント値として、時間カウント用クロック信号B T C K Dを2の30乗回カウントする値とされる。これにより、バーイン時間カウンタ回路D B T C Tは、ダイナミック型メモリD R A Mに対応した時間カウント用クロック信号B T C K Dのクロック数を、2の30乗回カウントしたときに、時間到達信号を形成し、バーイン試験シーケンス回路B T S Q Nへ供給する。

[0087] 同様に、ロジック回路用のバーイン時間カウンタ回路S C A C Tは、所定のカウント値として、時間カウント用クロック信号B T C K Lを2の30乗回カウントする値とされる。これにより、バーイン時間カウンタ回路S C A C Tは、ロジック回路に対応した時間カウント用クロック信号B T C K Lのクロック数を、2の30乗回カウントしたときに、時間到達信号を形成し、バーイン試験シーケンス回路B T S Q Nへ供給する。また、スタティック型メモリS R A M用のバーイン時間カウンタ回路S B T C Tは、所定のカウント値として、時間カウント用クロック信号B T C K Sを2の11乗回カウントする値とされる。これにより、バーイン時間カウンタ回路S B T C Tは、スタティック型メモリS R A Mに対応した時間カウント用クロック信号B T C K Sのクロック数を、2の11乗回カウントしたときに、時間到達信号を形成し、バーイン試験シーケンス回路B T S Q Nへ供給する。

[0088] バーイン試験シーケンス回路B T S Q Nは、この実施の形態においては、バーインモード制御信号M O D E 0、M O D E 1によって、動作モード“（

4) D B T、S C A、S B Tシーケンシャル動作”が指定された場合、バーインイネーブル信号B T E Nがハイレベルにされると、バーイン用クロック信号T C Kのカウントを行い、そのカウント値が、2の2乗回に到達すると、図10に示すように、Dイネーブル信号D E Bをハイレベルにする。その後、ダイナミック型メモリD R A M用のバーイン時間カウンタ回路D B T C Tから、バーイン試験シーケンス回路B T S Q Nへ時間到達信号が供給されると、これに応答して、バーイン試験シーケンス回路B T S Q Nは、Dイネーブル信号D E Bをロウレベルへ変化させる。

[0089] また、バーイン時間カウンタ回路D B T C Tからの時間到達信号に応答して、バーイン試験シーケンス回路B T S Q Nは、バーイン用クロック信号T C Kをカウントし、そのカウント値が2の2乗回に到達すると、Lイネーブル信号L E Bを、図10に示すようにハイレベルへ変化させる。その後、ロジック回路用のバーイン時間カウンタ回路S C A C Tから時間到達信号が供給されると、これに応答して、バーイン試験シーケンス回路B T S Q Nは、Lイネーブル信号L E Bをロウレベルへ変化させる。また、これに応答して、バーイン試験シーケンス回路B T S Q Nは、バーイン用クロック信号T C Kをカウントし、そのカウント値が2の2乗回に到達すると、Sイネーブル信号S E Bを、図10に示すようにハイレベルへ変化させる。その後、スタティック型メモリS R A M用のバーイン時間カウンタ回路S B T C Tから時間到達信号が供給されると、これに応答して、バーイン試験シーケンス回路B T S Q Nは、Sイネーブル信号S E Bをロウレベルへ変化させる。

[0090] また、バーイン時間カウンタ回路S B T C Tから時間到達信号が供給されると、これに応答して、バーイン試験シーケンス回路B T S Q Nは、バーイン用クロック信号T C Kをカウントし、そのカウント値が2の2乗回に到達すると、再び、Dイネーブル信号D E Bをハイレベルにする。以降は、このシーケンス動作が繰り返される。

[0091] このようにすることにより、時間カウント用クロック信号B T C K D、B T C K LおよびB T C L Dのそれぞれの周波数を変更することにより、滞在

時間 $T_{BT1} \sim T_{BT3}$ のそれぞれの時間を任意に設定することが可能となる。すなわち、バーイン試験において、ダイナミック型メモリ DRAM、ロジック回路およびスタティック型メモリ SRAM のそれぞれが動作している時間を任意に設定することが可能となり、バーイン試験において、ダイナミック型メモリ DRAM から半導体チップ CHP1 へ作用するストレス量、およびロジック回路およびスタティック型メモリ SRAM から半導体チップ CHP2 へ作用するストレス量を調整することが可能となる。

[0092] この実施の形態においては、時間カウント用クロック信号の周波数を変更することによって、滞在時間を設定する例を示したが、これは一例であって、これに限定されるものではない。例えば、それぞれのバーイン時間カウンタ回路に設定する所定のカウンタ値を変更し、バーイン時間カウンタ回路に供給されるクロック信号の周波数は一定にしてもよい。

[0093] <バーインボードおよびバーイン試験装置の構成>

図 11 は、バーイン試験装置 1100 の構成を模式的に示した模式図である。同図において、 $BBD1 \sim BBDn$ のそれぞれは、バーインボードを示しており、 $BBD CNT$ は、バーイン試験において、バーインボード $BBD1 \sim BBDn$ のそれぞれを制御する制御装置を示している。バーイン試験装置 1100 は、バーイン試験の際には、図示されていないが温度調整機構によって、バーインボード $BBD1 \sim BBDn$ を高温状態にする。また、制御装置 $BBD CNT$ は、それぞれのバーインボード $BBD1 \sim BBDn$ に対して、リセット信号 $RSTN$ 、バーインイネーブル信号 $BTEN$ 、バーイン用クロック信号 TCK 、バーインモード制御信号 $MODE0$ 、 $MODE1$ 、および時間カウント用クロック信号 $BTCKS$ 、 $BTCKL$ 、 $BTCKD$ を供給する。また、制御装置 $BBD CNT$ は、バーインボード $BBD1 \sim BBDn$ のそれぞれに電源電圧 Vd を供給し、バーイン試験のときには、電源電圧 Vd を高電圧にする。

[0094] 特に制限されないが、この実施の形態において、バーインボード $BBD1 \sim BBDn$ のそれぞれは、互いに同じ構成を有している。そのため、同図で

は、バーインボードBBD1のみが詳しく示されている。以下、このバーインボードBBD1を代表として、バーインボードの構成を説明する。

[0095] バーインボードBBD1には、バーイン試験のとき、複数の半導体集積回路装置1000が搭載される。そのため、バーインボードBBD1には、予めそれぞれの半導体集積回路装置1000に対応した複数の接触端子（図示せず）が設けられている。それぞれの半導体集積回路装置1000に対応する複数の接触端子は、バーインボードBBD1に予め設けられた配線および端子を介して、制御装置BBD CNTに接続されている。また、接触端子としては、電源電圧Vdを受ける接触端子が含まれている。同図では、これらの配線および端子のうち、電源電圧Vdを制御装置BBD CNTから受ける端子TP、バーイン用クロック信号TCKおよび時間カウント用クロック信号BTCKS、BTCKL、BTCKDを受ける端子T1、リセット信号RSTNおよびバーインイネーブル信号BTENを受ける端子T2、およびバーインモード制御信号MODE0、MODE1を受ける端子T3が、明示されている。また、これらの端子T1～T3およびTPと、接触端子との間を接続する配線が明示されている。

[0096] 図11には、バーイン試験のために、バーインボードBBD1に、複数の半導体集積回路装置1000が、搭載された状態が示されている。それぞれの半導体集積回路装置1000は、図1および図2に示した構成を有している。バーインボードBBD1への搭載は、半導体集積回路装置1000の金属ボールBB1～BBnを、半導体集積回路装置1000に対応した接触端子に電氣的接続させることにより行われる。特に制限されないが、電氣的な接続を確実にを行うために、半導体集積回路装置1000のそれぞれを、バーインボードBBD1に向けて圧接することが行われている。これにより、バーイン試験においては、制御装置BBD CNTからの信号（TCK、BTCKS、BTCKL、BTCKD、RSTN、BTEN、MODE0、MODE1）および電源電圧Vdが、バーインボードBBD1に搭載された複数の半導体集積回路装置1000へ供給されることになる。

[0097] 図11に示した半導体集積回路装置1000には、バーイン制御回路BTCNTのみが明示されているが、図1に示したように、半導体チップCHP1およびCHP2を有しているものと理解して頂きたい。また、図11では、上記した信号(TCK、BTCKS、BTCKL、BTCKD、RSTN、BTEN、MODE0、MODE1)が、それぞれの半導体集積回路装置1000におけるバーイン制御回路BTCNTに供給されることが明示されている。一方、電源電圧Vdは、それぞれの半導体集積回路装置1000に供給されており、半導体集積回路装置1000内の半導体チップCHP1、CHP2のそれぞれに形成されている各回路ブロックの動作電圧として使われる。

[0098] 電源電圧Vdは、バーイン試験のとき、制御装置BBDCNTから給電され、その電圧値は、半導体集積回路装置1000の通常使用時における電圧値よりも高い電圧される。これにより、半導体チップCHP1、CHP2における回路ブロック(ダイナミック型メモリDRAM、スタティック型メモリSRAM、ロジック回路等)が、動作したとき、回路ブロックを構成する素子(例えばトランジスタ)を、例えば流れる電流の値が、通常使用時よりも高くなり、通常時よりも高いストレスが、素子および／または配線に与えられることになる。その結果として、バーイン試験において、回路ブロックが動作することにより、その回路を含む半導体チップに対してストレスを与えられることになる。

[0099] バーイン試験のときには、制御装置BBDCNTによって、バーインモード制御信号MODE0、MODE1を定める。これにより、半導体集積回路装置1000のそれぞれは、バーイン試験のとき、上記した4個の動作モード(“(1)DBT動作”、“(2)SCA動作”、“(3)SBT動作”および“(4)DBT、SCA、SBTシーケンシャル動作”)のうちのいずれか1個の動作モードで動作する。例えば、動作モード“(1)DBT動作”で、半導体集積回路装置1000を動作させれば、バーイン試験のときには、ダイナミック型メモリDRAMが動作することになる。この場合には

、ダイナミック型メモリDRAMから半導体チップCHP1へストレスが与えられ、半導体チップCHP1に対してのみストレスが与えられることになる。また、動作モード“(2)SCA動作”では、バーイン試験のとき、ロジック回路が動作することになり、ロジック回路から半導体チップCHP2へストレスを与えられる。この場合には、半導体チップCHP2に対してのみストレスを与えられる。

[0100] 同様に、動作モード“(3)SBT動作”で動作させれば、バーイン試験のとき、スタティック型メモリSRAMが動作することになり、スタティック型メモリSRAMから半導体チップへストレスが与えられ、半導体チップCHP2に対してのみストレスを与えられることになる。これにより、それぞれの半導体チップCHP1、CHP2が有するバスタブ特性に合わせて、それぞれの半導体チップに適したストレス量を与えることが可能となる。例えば、図3(A)および(B)に示したように、半導体チップCHP2のバスタブ特性が、半導体チップCHP1のバスタブ特性に比べて、短い場合には、動作モード“(2)SCA動作”および／または“(3)SBT動作”で動作させる時間を、動作モード“(1)DBT動作”で動作させる時間よりも短くする。これにより、半導体チップCHP2に与えられるストレス量を、半導体チップCHP1へ与えられるストレス量に比べて少なくすることが可能となる。その結果として、同じ半導体集積回路装置1000に含まれている2個の半導体チップのそれぞれに対して適した値のストレス量を、バーイン試験において与えることが可能となる。

[0101] このように、3個の動作モード“(1)DBT動作”、“(2)SCA動作”、“(3)SBT動作”)を組み合わせることにより、それぞれの半導体チップCHP1、CHP2に適したストレス量を、バーイン試験において与えることが可能である。この実施の形態においては、さらに、動作モード“(4)DBT、SCA、SBTシーケンシャル動作”を用いることにより、動作モードを組み合わせなくても、それぞれの半導体チップCHP1、CHP2に適したストレス量を、バーイン試験において与えることが可能で

ある。

[0102] 制御装置BBCNTが、それぞれの半導体集積回路装置1000に対して動作モード“(4)DBT、SCA、SBTシーケンシャル動作”を指定することにより、各半導体集積回路装置1000においては、ダイナミック型メモリDRAM、ロジック回路およびスタティック型メモリSRAMが、順次動作する。また、各回路が動作している滞在時間が、時間カウント用クロック信号BTCKS、BTCKL、BTCKDのそれぞれの周波数によって定められる。そのため、それぞれの半導体チップのバスタブ特性に合わせて、各回路を動作させる時間を求め、求めた時間に応じた滞在時間となるような時間カウント用クロック信号の周波数を定め、制御装置BBCNTから各半導体集積回路装置1000に供給する。これにより、動作モードを組み合わせなくても、バーイン試験において、各回路を順次動作させることが可能となり、動作させている時間も適切なストレス量を与えることが可能な滞在時間とすることが可能である。

[0103] 例えば、図3(A)および(B)に示したバスタブ特性の場合、制御装置BBCNTは、それぞれの半導体集積回路装置1000に対して、バーインモード制御信号MODE0、MODE1によって、動作モード“(4)DBT、SCA、SBTシーケンシャル動作”を指定する。また、制御装置BBCNTは、時間カウント用クロック信号BTCKS、BTCKLに対して、その周波数が低い時間カウント用クロック信号BTCKDを形成して、各半導体集積回路装置1000へ供給する。これにより、半導体チップCHP1に形成されているダイナミック型メモリDRAMが、動作している時間(滞在時間)が、長くなり、同じ半導体集積回路装置1000に形成されている2個の半導体チップのうち、半導体チップCHP1に対してバーイン試験のときに与えられるストレス量を増加させることが可能となり、それぞれの半導体チップに適したバーイン試験を行うことが可能となる。

[0104] バーイン試験は、バーイン試験装置1100を高温にした状態で行われる。動作モード“(4)DBT、SCA、SBTシーケンシャル動作”で、各

半導体集積回路装置 1000 を動作させるようにすれば、バーイン試験装置 1100 を高温にした状態を維持しながら、半導体チップ CHP 1、CHP 2 のそれぞれに対して適切なストレス量を与えることが可能である。高温にした状態を維持しながら、適切なストレス量を与えることが可能であるため、バーイン試験に要する時間の短縮化が可能である。

[0105] バーイン試験において、動作モード（“（１）DBT動作”、“（２）SCA動作”、“（３）SBT動作”）は、組み合わせて用いることを説明したが、これらの動作モードは、半導体集積回路装置 1000 に形成されている２個の半導体チップ CHP 1、CHP 2 のそれぞれのバスタブ特性を求める場合にも有益である。例えば、高温下で高電源電圧の状態、半導体集積回路装置 1000 を、動作モード“（１）DBT動作”で動作させれば、ダイナミック型メモリ DRAM のみが動作する。そのため、このときの半導体集積回路装置 1000 の故障率は、半導体チップ CHP 1 の故障率に対応する。動作モード“（１）DBT動作”で動作させている時間を変えながら、そのときの半導体集積回路装置 1000 の故障率を求めることにより、半導体チップ CHP 1 のバスタブ特性を求めることができる。

[0106] 同様に動作モード“（２）SCA動作”および／または“（３）SBT動作”で、半導体集積回路装置 1000 を動作させることにより、半導体チップ CHP 2 に形成されているロジック回路および／またはスタティック型メモリ SRAM のみが動作する。そのため、このときの半導体集積回路装置 1000 の故障率は、半導体チップ CHP 2 の故障率に対応する。従って、この場合も、動作モード“（２）SCA動作”および／または“（３）SBT動作”で動作させている時間を変えながら、そのときの半導体集積回路装置 1000 の故障率を求めることによって、半導体チップ CHP 2 のバスタブ特性を求めることができる。

[0107] このようにして求めた半導体チップ CHP 1、CHP 2 のそれぞれのバスタブ特性に基づいて、バーイン試験を実施する。この場合のバーイン試験では、制御装置 BBDCNT は、半導体集積回路装置 1000 におけるバーイ

ン制御回路B T C N Tに対して動作モード“(4) D B T、S C A、S B Tシーケンシャル動作”を指定する。先に求めた半導体チップC H P 1、C H P 2のそれぞれのバスタブ特性に基づいて、ダイナミック型メモリD R A Mを動作させている滞在時間、ロジック回路を動作させている滞在時間およびスタティック型メモリS R A Mを動作させている滞在時間を定め、さらに時間カウント用クロック信号B T C K D、B T C K LおよびB T C K Dのそれぞれの周波数を定めて、バーイン制御回路B T C N Tに供給する。これにより、半導体集積回路装置1 0 0 0に含められている2個の半導体チップのそれぞれのバスタブ特性に適したストレス量を与えながら、バーイン試験を行うことが可能となる。

[0108] <半導体集積回路装置1 0 0 0の製造方法>

図1 2は、半導体集積回路装置1 0 0 0の製造方法を示すフロー図である。半導体チップC H P 1は、工程S 1 2 0 0～S 1 2 0 2によって製造され、半導体チップC H P 2は、工程S 1 2 1 0～S 1 2 1 2によって製造される。

[0109] 先ず、半導体チップC H P 1の製造方法について説明する。工程S 1 2 0 0においては、半導体ウェハに、ダイナミック型メモリD R A M等の回路パターンに従ってトランジスタ等の素子を構成する半導体領域が、拡散等の処理により形成され、形成された半導体領域等を電氣的に接続する配線等がエッチング処理により形成される。これにより、工程S 1 2 0 0において、半導体ウェハに、それぞれダイナミック型メモリD R A M等が形成された複数の半導体チップが形成される。同図では、半導体チップを形成する複数の処理が1つの工程S 1 2 0 0として示してあり、この工程で実施される処理の代表例として、拡散が示されている。この実施の形態においては、工程S 1 2 0 0は、配線幅3 0 n mの半導体製造プロセスで半導体ウェハに回路パターンを形成している。

[0110] 次に、工程S 1 2 0 1において、冗長ヒューズへの書き込みと半導体ウェハのテストが行われる（ヒューズカット&ウェハテスト）。この工程では、

先に説明した冗長ヒューズへの書き込みが行われる。また、半導体ウェハに形成された各半導体チップのテストが行われる。

[0111] 工程S 1 2 0 2においては、半導体ウェハにそれぞれ形成されている半導体チップの金属パッドへ図2に示した金属バンプ（例えばS B B 1）を実装する（金属バンプ形成）。アセンブリ工程S 1 2 0 3において、基板S B（図2）に配置された配線と半導体チップの金属パッドとのピッチが一致しない場合には、半導体チップの金属パッドと金属バンプ（例えば、図2のS B B 1）との間に、ピッチ変換部材が、この工程S 1 2 0 2において半導体ウェハに取り付けられ、ピッチ変換部材を介して、金属パッドと金属バンプとが接続される。

[0112] 一方、半導体チップC H P 2については、工程S 1 2 1 0においては、半導体ウェハに、スタティック型メモリS R A M、ロジック回路およびバーイン制御回路B T C N T等の回路パターンに従ってトランジスタ等の素子を構成する半導体領域が、拡散等の処理により形成され、形成された半導体領域等を電氣的に接続する配線等がエッチング処理により形成される。これにより、工程S 1 2 1 0において、半導体ウェハに、それぞれスタティック型メモリS R A M、ロジック回路およびバーイン制御回路B T C N T等が形成された複数の半導体チップが形成される。同図では、半導体チップを形成する複数の処理が1つの工程S 1 2 1 0として示してあり、処理の代表例として、拡散が示されている。この実施の形態においては、工程S 1 2 1 0は、配線幅2 8 n mの半導体製造プロセスで半導体ウェハに回路パターンを形成している。

[0113] 次に、工程S 1 2 1 1において、工程S 1 2 0 1と同様に、ヒューズのカットと半導体ウェハのテストが行われる（ヒューズカット&ウェハテスト）。また、工程S 1 2 1 2においては、工程S 1 2 0 2と同様に、金属バンプ（例えば、図2のS B B 2）の形成が行われる。勿論、ピッチ変換部材が必要に応じて、工程S 1 2 1 2において、半導体ウェハに設けられる。

[0114] 工程S 1 2 0 2および工程S 1 2 1 2のそれぞれで、金属バンプが形成さ

れた半導体ウェハは、工程S 1 2 0 3において、半導体集積回路装置1 0 0 0として組み立てられる（アセンブリ）。すなわち、特に制限されないが、それぞれの半導体ウェハは、複数の半導体チップにカットされる。カットすることにより得られた半導体チップのそれぞれが、半導体チップC H P 1およびC H P 2となる。すなわち、工程S 1 2 0 0～S 1 2 0 2を介して工程S 1 2 0 3へ提供され、工程S 1 2 0 3におけるカットにより得られた複数の半導体チップが、半導体チップC H P 1となる。同様に、工程S 1 2 1 0～S 1 2 1 2を介して工程S 1 2 0 3へ提供され、工程S 1 2 0 3におけるカットにより得られた複数の半導体チップが、半導体チップC H P 2となる。

[0115] カットすることにより得られた半導体チップC H P 1およびC H P 2は、基板S B（図2）の配線に金属バンプが接続するように、搭載（実装）される。

[0116] 実装された半導体チップC H P 1、C H P 2は、レジン等によって、図2に破線P Mで示したように封止される。これにより、半導体チップC H P 1およびC H P 2を備えた半導体集積回路装置1 0 0 0が用意される。

[0117] 工程S 1 2 0 3により組み立てられた複数の半導体集積回路装置1 0 0 0に対して、バーイン試験の工程S 1 2 0 4において、バーイン試験が実施される。この場合、図1 1で示したように、複数の半導体集積回路装置1 0 0 0がバーイン試験装置1 1 0 0に格納されて、バーイン試験が行われる。すなわち、複数の半導体集積回路装置1 0 0 0に対して、実質的に同時に、高温状態にされ、高い電源電圧V dが供給される。バーイン試験については、先に説明したが、例えばバーイン制御回路B T C N Tが動作モード“（4）D B T、S C A、S B Tシーケンシャル動作”で動作するように設定される。これにより、ダイナミック型メモリD R A M、ロジック回路およびスタティック型メモリS R A Mの順に動作する。このとき、ダイナミック型メモリD R A M、ロジック回路およびスタティック型メモリS R A Mのそれぞれが動作している時間（停滞時間）が、半導体チップC H P 1、C H P 2のバス

タブ特性によって設定される。

[0118] バーン試験において、半導体集積回路装置 1000 は、高温状態で、高電圧（高い電源電圧 V_d ）が供給される。しかしながら、半導体集積回路装置 1000 に形成されている半導体チップ CHP 1、CHP 2 のそれぞれに与えられるストレスの量は、別々に制御される。そのため、半導体チップに適したストレスを、バーン試験の工程 S 1204 において与えることが可能となる。

[0119] 工程 S 1205 は、半導体集積回路装置 1000 をテストする工程である。このテストの工程 S 1205 は、特に制限されないが複数のテスト工程を含んでいる。例えば、バーン試験の工程 S 1204 によって各半導体集積回路装置 1000 には、ストレスが与えられ、故障となる半導体集積回路装置 1000 も発生する。バーン試験の工程 S 1205 によって故障となった半導体集積回路装置 1000 を、このテスト工程 S 1205 で、選別する。また、半導体集積回路装置 1000 を購入した購入者によるテストも、このテスト工程 S 1205 に含まれている。

[0120] 勿論、バーン試験の工程 S 1204 において、故障が発生した半導体集積回路装置を選別してもよい。この場合、例えば、テスト回路 DBT、SBT、SCA により発生されたテストパターンに対する期待値と、ダイナミック型メモリ DRAM、ロジック回路、スタティック型メモリ SRAM からの出力とを比較する比較回路を設け、比較回路の結果が不一致の場合には、故障と判定することが可能である。また、半導体ウェハから半導体チップをカットする処理は、工程 S 1202、S 1212 において行ってもよい。

[0121] 半導体チップ CHP 1 を製造する工程 S 1200～S 1202 と、半導体チップ CHP 2 を製造する工程 S 1210～S 1212 とは、時間的に平行でなくてもよい。また、地理的に離れた場所であってもよい。工程 S 1200 と工程 S 1210 とでは、半導体製造プロセスが異なるため、別々の半導体製造メーカーによって、半導体チップ CHP 1、CHP 2 は製造されていてもよい。

[0122] この実施の形態 1 によれば、互いにバスタブ特性の異なる半導体チップを備えた半導体集積回路装置 1000 に対して、バーイン試験のときに、それぞれの半導体チップに適したストレスを与えることが可能となる。その結果、例えばバーイン試験において与えられるストレスが不足することにより、初期故障の半導体チップを含む半導体集積回路装置が出荷されてしまうのを低減することが可能となる。また、バーイン試験において、ストレス過多によって、故障となる半導体チップを低減することが可能であるため、歩留まりの低下を抑止することが可能となる。

[0123] (実施の形態 2)

図 13 は、実施の形態 2 に係わるバーインボード BBD-2 の構成を示すブロック図である。図 13 には、複数の半導体集積回路装置 1000-1 ~ 1000-6 が、バーインボード BBD-2 に搭載された状態が示されている。複数の半導体集積回路装置 1000-1 ~ 1000-6 は、バーン制御回路が異なることを除いて、実施の形態 1 において説明した半導体集積回路装置と同じ構成を有している。

[0124] 実施の形態 2 におけるバーイン制御回路 BTCNT2 は、図 6 に示したバーイン制御回路 BTCNT と類似しているので、図 6 を参照にしながら、バーイン制御回路 BTCNT2 の構成を説明する。バーイン制御回路 BTCNT2 は、図 6 に示したバーイン時間カウンタ回路 SBTC、SCACT および DBTC を有しておらず、図 6 に示したバーイン試験シーケンス回路 BTSQN に類似した構成のバーイン試験シーケンス回路 BTSQN2 (図示せず) を有している。バーイン時間カウンタ回路 SBTC、SCACT および DBTC を有していないため、バーイン制御回路 BTCNT2 は、時間カウント用クロック信号 BTCKS、BTCKL、BTCKD を必要としない。

[0125] 図 6 に示したバーイン試験シーケンス回路 BTSQN は、バーインモード制御信号 MODE0、MODE1 によって、動作モード (“(4) DBT、SCA、SBT シーケンシャル動作”) が指定されたとき、ディネーブル信

号DEB、Lイネーブル信号LEN、Sイネーブル信号SEBの順にイネーブル信号を形成した。これに対して、この実施の形態に係わるバーイン試験シーケンス回路BT SQN 2は、動作モード（“（4）DBT、SCA、SBTシーケンシャル動作”）が指定されたとき、モード制御端子MDの電圧に従って、イネーブル信号の形成順番を変える。すなわち、モード制御端子MDが電源電圧Vdにされた場合は、バーインモードBT mode 1と判定し、Lイネーブル信号LEBを論理値“1”（形成）にし、所定時間後に、Lイネーブル信号LEBを論理値“0”にする。Lイネーブル信号LEBを論理値“0”にした後、Dイネーブル信号DEBとSイネーブル信号SEBをそれぞれ論理値“1”（形成）にし、所定時間後に、Dイネーブル信号DEBおよびSイネーブル信号SEBのそれぞれを論理値“0”にする。その後、再びLイネーブル信号LEBを論理値“1”にし、以後この動作を、例えばリセット信号が供給されるまで繰り返す。

[0126] これに対して、モード制御端子MDに接地電圧Vsが供給された場合には、バーイン試験シーケンス回路BT SQN 2は、バーインモードBT mode 2と判定し、Dイネーブル信号DEBとSイネーブル信号SEBをそれぞれ論理値“1”（形成）にし、所定時間後に、Dイネーブル信号DEBとSイネーブル信号SEBをそれぞれ論理値“0”にする。Dイネーブル信号DEBとSイネーブル信号SEBをそれぞれ論理値“0”にした後、Lイネーブル信号LEBを論理値“1”（形成）にし、所定時間後に、Lイネーブル信号LEBを論理値“0”にする。その後、再びDイネーブル信号DEBとSイネーブル信号SEBをそれぞれ論理値“1”にし、以後この動作を、例えばリセット信号が供給されるまで繰り返す。

[0127] また、バーイン制御回路BT CLN 2は、バーイン用クロック信号TCKの代わりに、ロジックスキャン用のバーインクロック信号TCK-SCAとビルトインスキャン用のバーインクロック信号TCK-BIを受信する。バーインクロック信号TCK-SCAは、バーイン用内部クロック信号BTCKの代わりに、テスト回路SCAに供給され、バーインクロック信号TCK

ー B I は、バーイン用内部クロック信号 B T C K の代わりに、テスト回路 D B T および S B T に供給される。

[0128] これにより、リーネーブル信号 L E B が論理値 “1” のとき、テスト回路 S C A は、バーインクロック信号 T C K − S C A に従って、制御信号、テストパターンを形成する。また、ロジック回路も、バーインクロック信号 T C K − S C A に従って動作する。一方、ディネーブル信号 D E B と S イネーブル信号 S E B がそれぞれ論理値 “1” のときには、テスト回路 D B T と S B T が、バーインクロック信号 T C K − B I に従って、テストパターンを形成する。また、ダイナミック型メモリ D R A M とスタティック型メモリ S R A M は、バーインクロック信号 T C K − B I に従って動作する。

[0129] 図 1 4 は、モード制御端子 M D に供給される電圧に従って定められるバーインモードの動作シーケンスを示す図である。図 1 4 (A) には、バーインモード B T m o d e 1 の場合の動作シーケンスが示されており、図 1 4 (B) には、バーインモード B T m o d e 2 の場合の動作シーケンスが示されている。図 1 4 において、S C A N は、テスト回路 S C A からのテストパターンに従って、ロジック回路が動作していることを示しており、D R A M + S R A M は、テスト回路 D B T および S B T からのテストパターンに従って、ダイナミック型メモリ D R A M とスタティック型メモリ S R A M が動作していることを示している。

[0130] 図 1 3 に示すように、それぞれの半導体集積回路装置 1 0 0 0 − 1 ∼ 1 0 0 0 − 6 におけるモード制御端子 M D には、バーインボード B B D − 2 において、電源電圧 V d または接地電圧 V s に接続されている。この実施の形態においては、バーインモード B T m o d e 1 と B T m o d e 2 とが混在するように、それぞれのバーイン制御回路 B T C N T 2 のモード制御端子 M D に供給される電圧が設定される。すなわち、バーインボード B B D − 2 に搭載された半導体集積回路装置 1 0 0 0 − 1 ∼ 1 0 0 0 − 6 においては、バーインモード B T m o d e 1 と B T m o d e 2 とが混在している。この例では、半導体集積回路装置 1 0 0 0 − 1 、 1 0 0 0 − 3 および 1 0 0 0 − 5 が、バ

ーインモードB T m o d e 1 に設定され、半導体集積回路装置1 0 0 0 - 2、1 0 0 0 - 4 および1 0 0 0 - 6 が、バーインモードB T m o d e 2 に設定されている。

[0131] このようにすることにより、半導体集積回路装置1 0 0 0 - 1、1 0 0 0 - 3 および1 0 0 0 - 5 のそれぞれは、図1 4 (A) に示すシーケンスに従って動作し、半導体集積回路装置1 0 0 0 - 2、1 0 0 0 - 4 および1 0 0 0 - 6 のそれぞれは、図1 4 (B) に示すシーケンスに従って動作する。これにより、例えば、半導体集積回路装置1 0 0 0 - 1、1 0 0 0 - 3 および1 0 0 0 - 5 のそれぞれにおいて、ロジック回路が動作しているとき（図1 4 ではS C A N）、半導体集積回路装置1 0 0 0 - 2、1 0 0 0 - 4 および1 0 0 0 - 6 のそれぞれにおいては、ダイナミック型メモリD R A M およびスタティック型メモリS R A M が動作する（図1 4 ではD R A M + S R A M）。反対に、半導体集積回路装置1 0 0 0 - 1、1 0 0 0 - 3 および1 0 0 0 - 5 のそれぞれにおいて、ダイナミック型メモリD R A M およびスタティック型メモリS R A M が動作しているとき（図1 4 ではD R A M + S R A M）、半導体集積回路装置1 0 0 0 - 2、1 0 0 0 - 4 および1 0 0 0 - 6 のそれぞれにおいては、ロジック回路が動作（図1 4 ではS C A N）することになる。

[0132] このようにすることにより、半導体集積回路装置1 0 0 0 - 1 ~ 1 0 0 0 - 6 において、同じ回路が、実質的に同じ時期に、多く動作することを防ぐことが可能となり、バーインボードB B D - 2 で消費されるピーク電力を低減することが可能となる。その結果として、バーイン試験装置1 1 0 0（図1 1）に設けられる制御装置B B D C N T の電力容量の低減を図ることが可能となる。

[0133] また、この実施の形態2 においては、バーインボードに、バーインクロック信号T C K - S C A が供給される端子と、バーインクロック信号T C K - B I が供給される端子とが設けられている。これらの端子を介して、制御装置B B D C N T（図1 1）から、各バーイン制御回路B T C N T 2 へバーイ

ンクロック信号TCK-SCA、TCK-BIが供給される。制御装置BBD CNTによって発生するバーインクロック信号TCK-SCA、TCK-BIの周波数を変更することにより、ダイナミック型メモリDRAM、スタティック型メモリSRAMおよびロジック回路の動作速度を変えることができる。例えば、バーインクロック信号TCK-SCAの周波数を高くすることにより、ロジック回路の動作速度を上げることができ、バーインクロック信号TCK-BIの周波数を高くすることにより、ダイナミック型メモリDRAMおよびスタティック型メモリSRAMのそれぞれの動作速度を上げることができる。反対に、バーインクロック信号TCK-SCAの周波数を低くすることにより、ロジック回路の動作速度を下げることができ、バーインクロック信号TCK-BIの周波数を低くすることにより、ダイナミック型メモリDRAMおよびスタティック型メモリSRAMのそれぞれの動作速度を下げるることができる。しかも、別々に動作速度を制御することが可能である。

[0134] そのため、Lイネーブル信号LEB、Dイネーブル信号DEBおよびSイネーブル信号SEBが論理値“1”となっている時間を、所定の時間（例えば固定の時間）としても、バーイン試験において、ダイナミック型メモリDRAM、スタティック型メモリSRAMおよびロジック回路のそれぞれに与えられるストレスの量を、バーインクロック信号TCK-SCA、TCK-BIの周波数を変えることにより制御することが可能である。すなわち、バーインクロック信号TCK-SCAの周波数を高くすることにより、ロジック回路が発生するストレス量を大きくし、半導体チップCHP2に作用するストレス量を大きくすることが可能である。同様に、バーインクロック信号TCK-BIの周波数を高くすることにより、ダイナミック型メモリDRAMが形成されている半導体チップCHP1に対するストレス量と、スタティック型メモリSRAMが形成されている半導体チップCHP2に与えられるストレス量を大きくすることが可能である。

[0135] これらのバーインクロック信号の周波数は、半導体チップCHP1、CH

P 2 のそれぞれのバスタブ特性に応じて設定されるが、一例としては、バーインクロック信号 TCK-SCA の周波数は、1 MHz にされ、バーインクロック信号 TCK-BI の周波数は、5 MHz にされる。

[0136] また、この実施の形態 2 においては、バーイン試験のとき、ダイナミック型メモリ DRAM とスタティック型メモリ SRAM が、実質的に同時に動作するため、バーイン試験に要する時間の短縮化を図ることが可能である。

[0137] (実施の形態 3)

図 15 は、実施の形態 3 に係わる半導体集積回路装置 1000 の構成を示すブロック図である。図 15 に示す半導体集積回路装置 1000 は、図 4 に示した半導体集積回路装置と類似しているので、ここでは、図 4 に示した半導体集積回路装置との相違点を主に説明する。

[0138] 実施の形態 3 に係わる半導体集積回路装置 1000 は、バーイン制御回路 BTCNT を有しておらず、端子 TBID、TSCA および TBIS を有している。バーイン試験の際に、端子 TBID には、ダイナミック型メモリ DRAM 用のバーインクロック信号 TCK-BID が供給され、端子 TSCA には、ロジック回路用のバーインクロック信号 TCK-SCA が供給され、端子 TBIS には、スタティック型メモリ SRAM 用のバーインクロック信号 TCK-BIS が供給される。ダイナミック型メモリ DRAM およびテスト回路 DBT には、端子 TBID を介して、バーイン試験のとき、バーインクロック信号 TCK-BID が供給される。また、ロジック回路およびテスト回路 SCA には、端子 TSCA を介して、バーインクロック信号 TCK-SCA が供給され、スタティック型メモリ SRAM およびテスト回路 SBT には、端子 TBIS を介して、バーインクロック信号 TCK-BIS が供給される。

[0139] この実施の形態 3 においては、バーイン試験のとき、制御装置 BBDCNT (図 11) が、バーインクロック信号 TCK-BID、TCK-SCA および TCK-BIS を形成し、供給する。この場合、バーインクロック信号 TCK-BID は、例えば 5 MHz とされ、バーインクロック信号 TCK-

SCAは、例えば1MHzにされ、バーインクロック信号TCK-BISは、例えば5MHzとされる。

[0140] ダイナミック型メモリDRAMおよびそのテスト回路DBTは、バーインクロック信号TCK-BIDに従って動作し、ロジック回路およびそのテスト回路SCAは、バーインクロック信号TCK-SCAに従って動作し、スタティック型メモリSDRAMおよびそのテスト回路SBTは、バーインクロック信号TCK-BISに従って動作する。このようにバーインクロック信号を、別々にすることにより、それぞれのバーインクロック信号で動作する回路において発生するストレス量を、別々に制御することが可能となる。すなわち、バーインクロック信号の周波数を低くすることにより、バーイン試験の際に発生するストレス量を小さくすることが可能であり、反対に周波数を高くすることにより、ストレス量を大きくすることが可能である。

[0141] 例えば、半導体チップCHP2に形成れているロジック回路へ供給されるバーインクロック信号TCK-SACの周波数を下げることににより、半導体チップCHP2に与えられるストレス量を小さくすることが可能である。これにより、半導体チップCHP2のバスタブ特性が、半導体チップCHP1のバスタブ特性よりも短くても、バーイン試験の際に、半導体チップCHP2へ与えられるストレス量を小さくすることが可能である。

[0142] この実施の形態3においては、バーイン試験の際に、実質的に同時に、ダイナミック型メモリDRAM、スタティック型メモリSRAMおよびロジック回路が動作するため、バーイン試験に要する時間の更なる短縮化を図ることが可能である。

[0143] 以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、実施の形態1では、4個の動作モードを有していたが、5個以上の動作モードを設けるようにしてもよい。

[0144] 予め半導体チップCHP1およびCHP2のそれぞれのバスタブ特性を求

めていれば、バーイン制御回路BTCNTは、動作モード“(4)DBT、SCA、SBTシーケンシャル動作”のみを有するようにしてもよい。この場合、予め求めているバスタブ特性に適合するように、滞在時間を定め、時間カウント用クロック信号BTCKS、BTCKL、BTCKDのそれぞれの周波数を定めればよい。このようにすることにより、バーイン制御回路BTCNTの構成を簡素化することが可能であり、半導体チップCHP2の価格上昇を抑制することが可能となる。

[0145] また、実施の形態2においては、バーインクロック信号TCK-SCA、TCK-BIによって、ロジック回路、ダイナミック型メモリDRAM、スタティック型メモリSRAMの動作速度を定めていたが、実施の形態1と同様に、滞在時間を変えるようにしてもよい。

[0146] <付記>

本明細書には、複数の発明が開示されており、その内のいくつかは、特許請求の範囲に記載しているが、これ以外の発明も開示しており、その代表的なものを次に列記する。

(A) 第1回路を有する第1半導体チップと、第2回路を有し、前記第1半導体チップとは異なる第2半導体チップと、前記第1半導体チップおよび前記第2半導体チップが搭載される基板とを備えた半導体集積回路装置であって、

前記半導体集積回路装置は、

バーイン試験のとき、前記第1半導体チップにおける前記第1回路を動作させる時間を指定する第1指定回路と、

バーイン試験のとき、前記第2半導体チップにおける前記第2回路を動作させる時間を指定する第2指定回路と、

を具備する、半導体集積回路装置。

(B) (A)に記載の半導体集積回路装置において、

前記第1指定回路および前記第2指定回路は、前記第2半導体チップに含まれ、

前記第1指定回路は、前記第1回路を動作させる期間に合わせて周波数が変更される第1クロック信号が供給される第1カウンタ回路を備え、前記第1カウンタ回路のカウント値が所定の値に到達するか否かにより、前記第1回路の動作を停止させるか否かが定められ、

前記第2指定回路は、前記第2回路を動作させる期間に合わせて周波数が変更される第2クロック信号が供給される第2カウンタ回路を備え、前記第2カウンタ回路のカウント値が所定の値に到達するか否かにより、前記第2回路の動作を停止させるか否かが定められる、半導体集積回路装置。

(C) (B)に記載の半導体集積回路装置において、

前記第1半導体チップと前記第2半導体チップとは、互いに異なるバスタブ特性を有する、半導体集積回路装置。

(D) 第1回路を有する第1半導体チップと、第2回路を有し、前記第1半導体チップとは異なる第2半導体チップと、前記第1半導体チップおよび前記第2半導体チップが搭載される基板とを備えた半導体集積回路装置であって、

前記半導体集積回路装置は、

モード制御端子に結合され、前記モード制御端子に供給される電圧に従って、バーイン試験のとき、前記第1回路および前記第2回路を制御する制御回路を備え、

前記制御回路は、前記モード制御端子が第1電圧のとき、前記第2回路を動作させ、前記第2回路の動作を停止した後、前記第1回路を動作させ、

前記制御回路は、前記モード制御端子が第2電圧のとき、前記第1回路を動作させ、前記第1回路の動作を停止した後、前記第2回路を動作させる、半導体集積回路装置。

(E) (D)に記載の半導体集積回路装置において、

前記第1回路は、バーイン試験のとき、第1周波数の第1信号に従って動作し、前記第2回路は、バーイン試験のとき、前記第1周波数とは異なる第2周波数の第2信号に従って、動作する、半導体集積回路装置。

(F) 第1回路を有する第1半導体チップと、第2回路を有し、前記第1半導体チップとは異なる第2半導体チップと、前記第1半導体チップおよび前記第2半導体チップが搭載される基板とを備えた半導体集積回路装置であって、

前記半導体集積回路装置は、

バーイン試験のとき、第1周波数の第1信号が供給される第1端子と、

バーイン試験のとき、前記第1周波数とは異なる第2信号が供給される第2端子と、

を備え、バーイン試験のとき、前記第1回路は、前記第1信号に従って動作し、前記第2回路は、前記第2信号に従って動作する、半導体集積回路装置。

(G) (F) に記載の半導体集積回路装置において、

前記第1半導体チップと前記第2半導体チップとは、互いに異なるバスタブ特性を有する、半導体集積回路装置。

(H) それぞれ第1回路を有する複数の第1半導体チップと、それぞれ前記第1半導体チップとは異なり、それぞれ第2回路を有する複数の第2半導体チップとを準備する準備工程と、

前記準備工程で準備された前記複数の第1半導体チップのそれぞれと前記複数の第2半導体チップのそれぞれとを、1個の基板に搭載し、複数の半導体集積回路装置とする工程と、

前記複数の半導体集積回路装置のそれぞれを、1個のバーインボードに装着し、前記バーインボードに電源電圧を供給しながら、前記複数の半導体集積回路装置に対して、バーイン試験を行うバーイン工程と、

を備えた半導体集積回路装置の製造方法であって、

前記1個のバーインボードに装着された前記複数の半導体集積回路装置のうちの第1の半導体集積回路装置は、前記バーイン工程において、前記第1半導体チップにおける前記第1回路を動作させ、前記第1回路の動作を停止させた後、前記第2半導体チップにおける前記第2回路を動作させる第1シ

ーケンス回路を有し、

前記１個のバーインボードに装着された前記複数の半導体集積回路装置のうち、前記第１の半導体集積回路装置とは異なる第２半導体集積回路装置は、前記バーイン工程において、前記第２半導体チップにおける前記第２回路を動作させ、前記第２回路の動作を停止させた後、前記第１半導体チップにおける前記第１回路を動作させる第２シーケンス回路を有し、

前記第１シーケンス回路および前記第２シーケンス回路によって、前記第１の半導体集積回路装置における前記第１回路と前記第２の半導体集積回路装置における前記第１回路とが、時間的に重なって動作しないようにされる、半導体集積回路装置の製造方法。

(Ｉ) (Ｈ)に記載の半導体集積回路装置の製造方法において、

前記第１の半導体集積回路装置および前記第２の半導体集積回路装置のそれぞれにおける前記第２半導体チップは、さらに第３回路を有し、

前記第１シーケンス回路は、前記第２の半導体集積回路装置において前記第２回路が動作しているとき、前記第１の半導体集積回路装置における前記第１回路または前記第３回路を動作させ、前記第２シーケンス回路は、前記第１の半導体集積回路装置において前記第２回路が動作しているとき、前記第２の半導体集積回路装置における前記第１回路または前記第３回路を動作させる、半導体集積回路装置の製造方法。

(Ｊ) (Ｉ)に記載の半導体集積回路装置の製造方法において、

前記第１回路は、ダイナミック型メモリであり、前記第２回路は、スタティック型メモリであり、前記第３回路は、ロジック回路であり、前記バーインボードに供給されている電源電圧は、前記複数の半導体集積回路装置のそれぞれに給電されている、半導体集積回路装置の製造方法。

(Ｋ) (Ｊ)に記載の半導体集積回路装置の製造方法において、

前記第１半導体チップと前記第２半導体チップとは、互いに異なるバスタブ特性を有する、半導体集積回路装置の製造方法。

(Ｌ) (Ｈ)に記載の半導体集積回路装置の製造方法において、

前記第1回路は、第1周波数の第1信号に従って動作し、前記第2回路は、前記第1周波数とは異なる第2周波数の第2信号に従って動作する、半導体集積回路装置の製造方法。

符号の説明

[0147] 1000 半導体集積回路装置

1100 バーイン試験装置BTCNT バーイン制御回路

CHP1、CHP2 半導体チップDBT、SBT、SCA テスト回路

DRAM ダイナミック型メモリ

SRAM スタティック型メモリ

請求の範囲

- [請求項1] 第1回路を有する第1半導体チップと、第2回路を有し、前記第1半導体チップとは異なる第2半導体チップとを備えた半導体集積回路装置であって、
- 前記半導体集積回路装置は、バーイン試験のとき、制御信号に従って、前記第1回路および前記第2回路の動作を制御する制御回路を具備し、
- バーイン試験のとき、前記第1回路が動作することにより前記第1半導体チップに作用するストレス量と、前記第2回路が動作することにより前記第2半導体チップに作用するストレス量とが異なるように、前記制御回路は前記第1回路および前記第2回路を制御する、半導体集積回路装置。
- [請求項2] 請求項1に記載の半導体集積回路装置において、
- 前記第1半導体チップと前記第2半導体チップとは、バスタブ特性が異なっており、前記第2半導体チップが、前記制御回路を備えている、半導体集積回路装置。
- [請求項3] 請求項2に記載の半導体集積回路装置において、
- 前記制御回路は、バーイン試験のとき、前記制御信号に従って、前記第1回路を動作させている時間と前記第2回路を動作させている時間とを異ならせる、半導体集積回路装置。
- [請求項4] 請求項2に記載の半導体集積回路装置において、
- 前記制御回路は、バーイン試験のとき、前記制御信号に従って、前記第1回路の動作速度と、前記第2回路の動作速度とを異ならせる、半導体集積回路装置。
- [請求項5] 第1回路を有する第1半導体チップと、第2回路を有し、前記第1半導体チップとは異なる第2半導体チップと、前記第1半導体チップおよび前記第2半導体チップが搭載される基板とを備えた半導体集積回路装置であって、

前記半導体集積回路装置は、バーイン試験のとき、モード信号に従って、前記第1半導体チップにおける前記第1回路と前記第2半導体チップにおける前記第2回路とを選択的に動作させる制御回路を具備し、

前記制御回路は、前記第1半導体チップにおける前記第1回路と前記第2半導体チップにおける前記第2回路とが、時間的に重なって動作しないように制御する、半導体集積回路装置。

[請求項6] 請求項5に記載の半導体集積回路装置において、

前記制御回路は、前記第1半導体チップにおける前記第1回路を動作させた後、前記第2半導体チップにおける前記第2回路を動作させるシーケンサ回路を備える、半導体集積回路装置。

[請求項7] 請求項6に記載の半導体集積回路装置において、

前記半導体集積回路装置は、

前記シーケンサ回路に結合され、前記第1回路を動作させる期間を指定する第1指定回路と、

前記シーケンサ回路に結合され、前記第2回路を動作させる期間を指定する第2指定回路と、

を備える、半導体集積回路装置。

[請求項8] 請求項7に記載の半導体集積回路装置において、

前記第1半導体チップは、クロック信号と第1イネーブル信号とを受け、前記第1イネーブル信号が供給されたとき、前記クロック信号に従って、前記第1回路を動作させる第1テスト回路を備え、

前記第2半導体チップは、前記クロック信号と第2イネーブル信号とを受け、前記第2イネーブル信号が供給されたとき、前記クロック信号に従って、前記第2回路を動作させる第2テスト回路を備え、

前記シーケンス回路は、前記第1指定回路により指定されている期間、前記第1イネーブル信号を形成し、前記第2指定回路により指定されている期間、前記第2イネーブル信号を形成する、半導体集積回

路装置。

[請求項9]

請求項8に記載の半導体集積回路装置において、

前記制御回路は、前記第1指定回路および前記第2指定回路を有し、
前記制御回路は、前記第2半導体チップに含まれ、

前記第1指定回路は、前記第1回路を動作させる期間に合わせて周波数が変更される第1クロック信号が供給される第1カウンタ回路を備え、前記第1カウンタ回路のカウント値が所定の値に到達するか否かにより、前記第1回路の動作を停止させるか否かが定められ、

前記第2指定回路は、前記第2回路を動作させる期間に合わせて周波数が変更される第2クロック信号が供給される第2カウンタ回路を備え、前記第2カウンタ回路のカウント値が所定の値に到達するか否かにより、前記第2回路の動作を停止させるか否かが定められる、半導体集積回路装置。

[請求項10]

請求項9に記載の半導体集積回路装置において、

前記第2半導体チップは、

さらに第3回路と、

前記クロック信号と第3イネーブル信号とを受け、前記第3イネーブル信号が供給されると、前記クロック信号に従って、前記第3回路を動作させる第3テスト回路と、

を備え、

前記制御回路は、前記第3回路を動作させる期間に合わせて周波数が変更される第3クロック信号が供給される第3カウンタ回路を含み、

前記制御回路における前記シーケンス回路は、前記第1回路を動作させた後であって、前記第2回路を動作させる前に、前記第3イネーブル信号を形成して、前記第3回路を動作させ、第3回路の動作を停止させるか否かが、前記第3カウンタ回路のカウント値が所定の値に到達したか否かにより定められる、半導体集積回路装置。

- [請求項11] 請求項10に記載の半導体集積回路装置において、
前記第1回路は、ダイナミック型メモリであり、前記第2回路は、スタティック型メモリであり、前記第3回路は、ロジック回路であり、
前記第1テスト回路および前記第2テスト回路のそれぞれは、BIST回路であり、前記第3テスト回路は、スキャンパス回路である、半導体集積回路装置。
- [請求項12] 第1半導体チップと、前記第1半導体チップとは異なる第2半導体チップとを準備する準備工程と、
前記準備工程で準備された前記第1半導体チップと前記第2半導体チップとを、1個の基板に搭載し、半導体集積回路装置とする工程と、
前記半導体集積回路装置を、バーインボードに装着し、バーイン試験を行うバーイン工程と、
を備える半導体集積回路装置の製造方法であって、
前記第1半導体チップは、第1回路を有し、前記第2半導体チップは、第2回路を有し、前記半導体集積回路装置は、シーケンス回路を有し、前記シーケンス回路により、前記バーイン工程において、前記第1半導体チップにおける前記第1回路を動作させ、前記第1回路の動作を停止した後、前記第2半導体チップにおける前記第2回路を動作させる、半導体集積回路装置の製造方法。
- [請求項13] 請求項12に記載の半導体集積回路装置の製造方法において、
前記第1半導体チップは、クロック信号と第1イネーブル信号を受け、前記第1イネーブル信号が供給されることにより、前記クロック信号に従って、前記第1回路を動作させる第1テスト回路を有し、
前記第2半導体チップは、前記クロック信号と第2イネーブル信号を受け、前記第2イネーブル信号が供給されることにより、前記クロック信号に従って、前記第2回路を動作させる第2テスト回路と、前

記シーケンス回路とを有し、

前記シーケンス回路は、前記第 1 イネーブル信号を形成した後、前記第 2 イネーブル信号を形成する、半導体集積回路装置の製造方法。

[請求項14]

請求項 1 3 に記載の半導体集積回路装置の製造方法において、

前記シーケンス回路は、

前記第 1 イネーブル信号を形成している時間を指定する第 1 指定回路と、

前記第 2 イネーブル信号を形成している時間を指定する第 2 指定回路と、

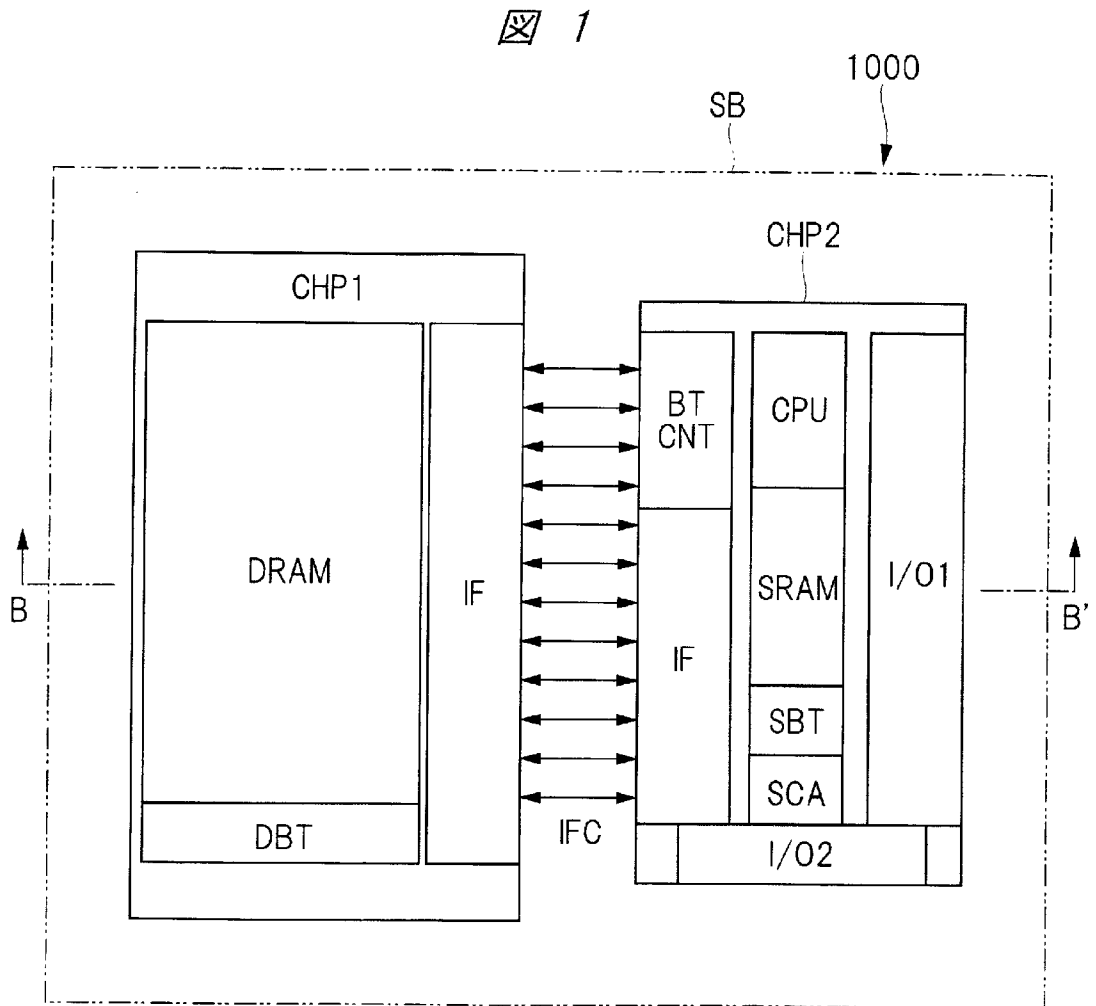
を具備する、半導体集積回路装置の製造方法。

[請求項15]

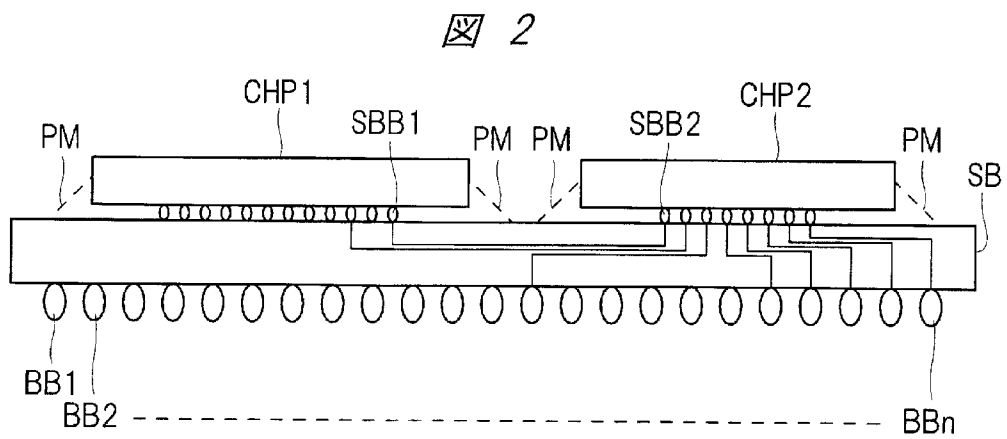
請求項 1 4 に記載の半導体集積回路装置の製造方法において、

前記第 1 半導体チップと前記第 2 半導体チップとは、互いに異なるバスタブ特性を有する、半導体集積回路装置の製造方法。

[図1]



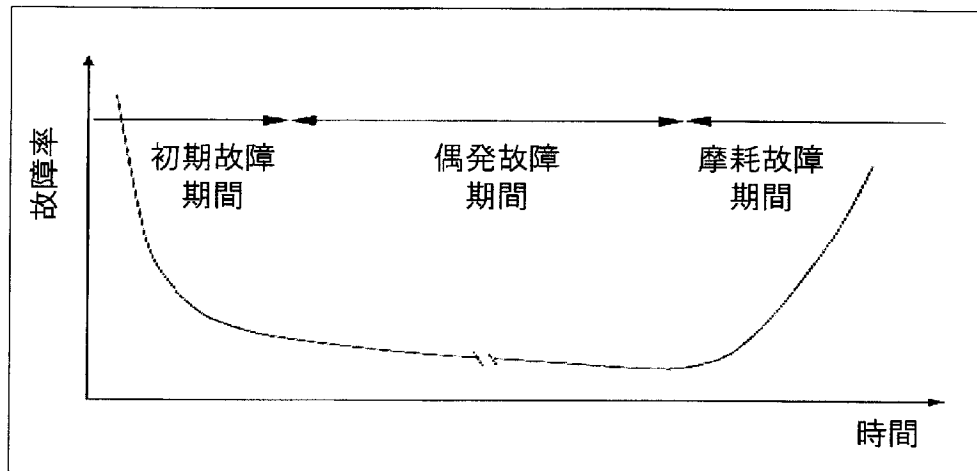
[図2]



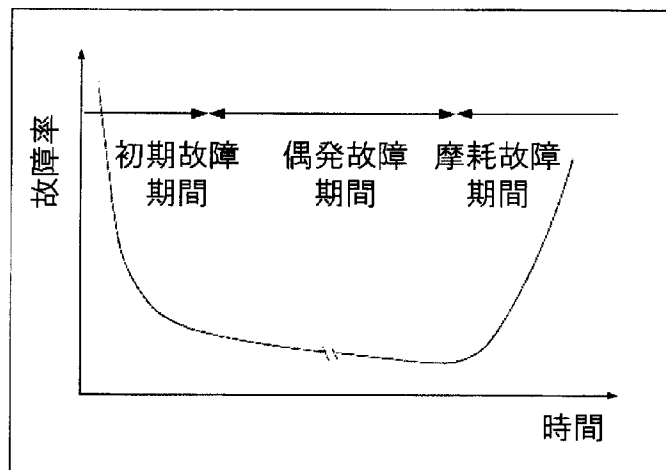
[図3]

図 3

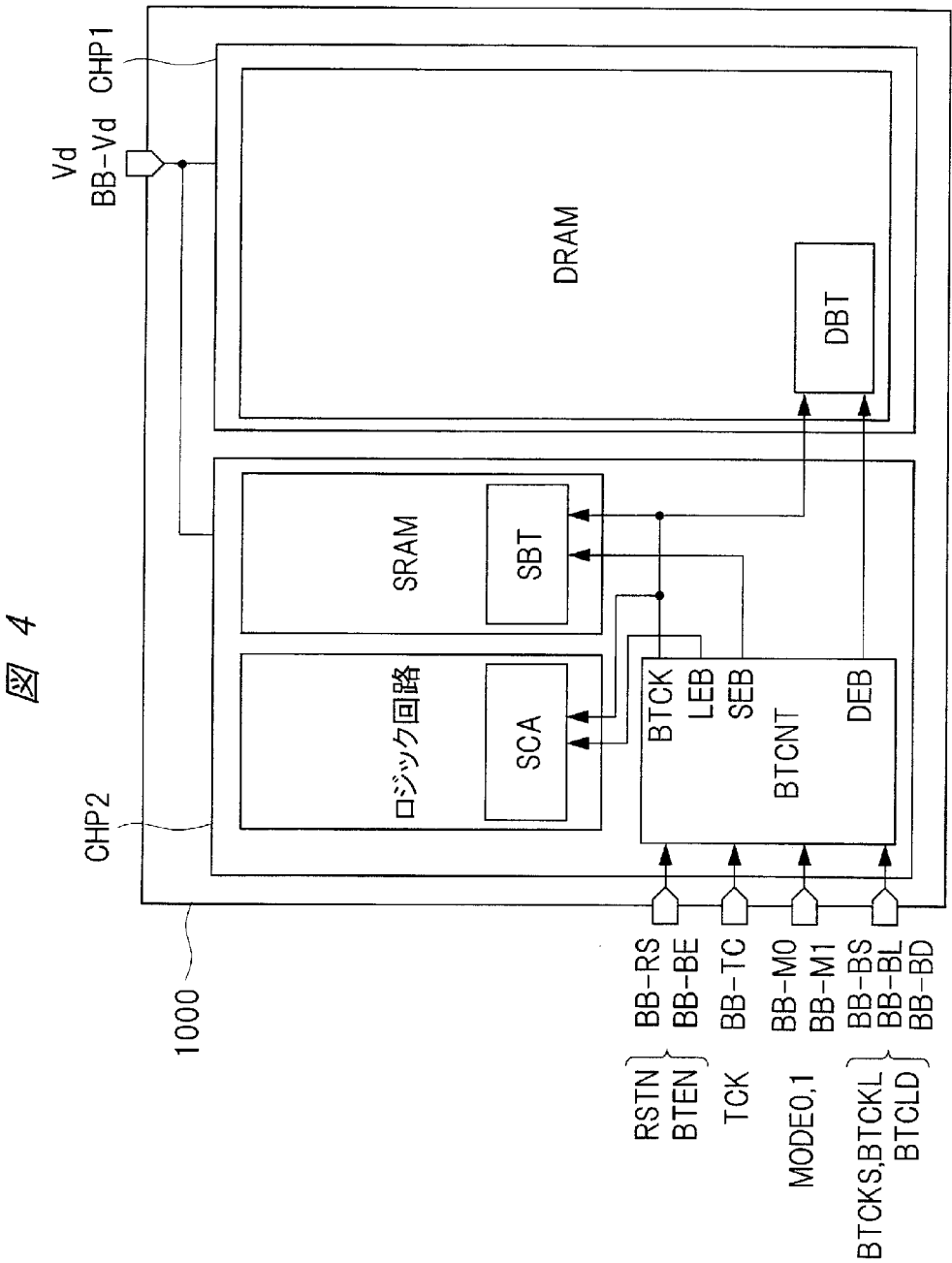
(A)



(B)



[図4]



[図5]

図 5

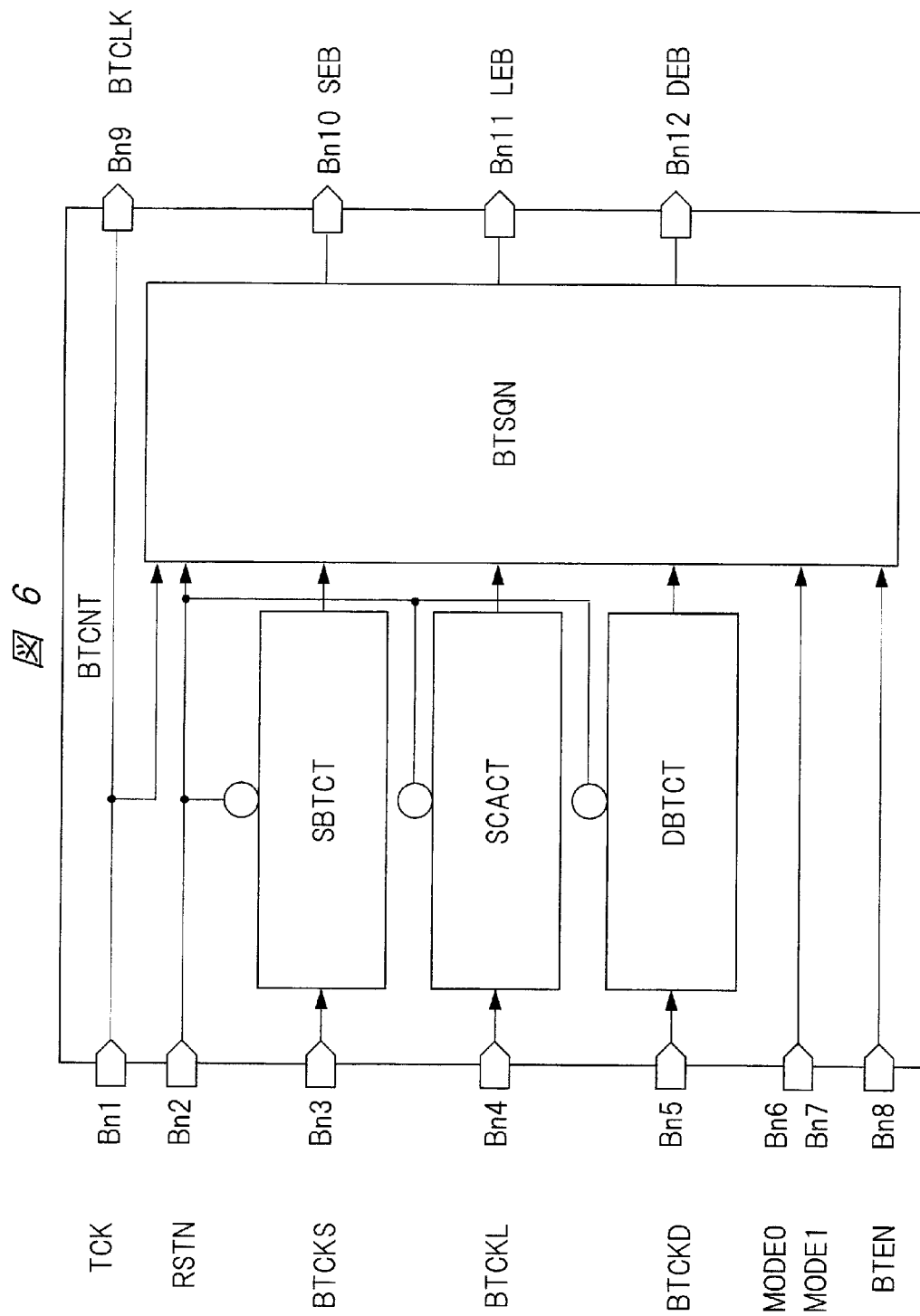
(A)

符号名	信号名
BTEN	バーインイネーブル信号
RSTN	リセット信号
MODE0, MODE1	バーインモード制御信号
TCK	バーイン用クロック信号
BTCKS	時間カウント用クロック信号
BTCKL	時間カウント用クロック信号
BTCKD	時間カウント用クロック信号

(B)

符号名	信号名
BTCLK	バーイン用内部クロック信号
SEB	スタティック型メモリ用バーインイネーブル信号
LEB	ロジック用バーインイネーブル信号
DEB	ダイナミック型メモリ用バーインイネーブル信号

[図6]



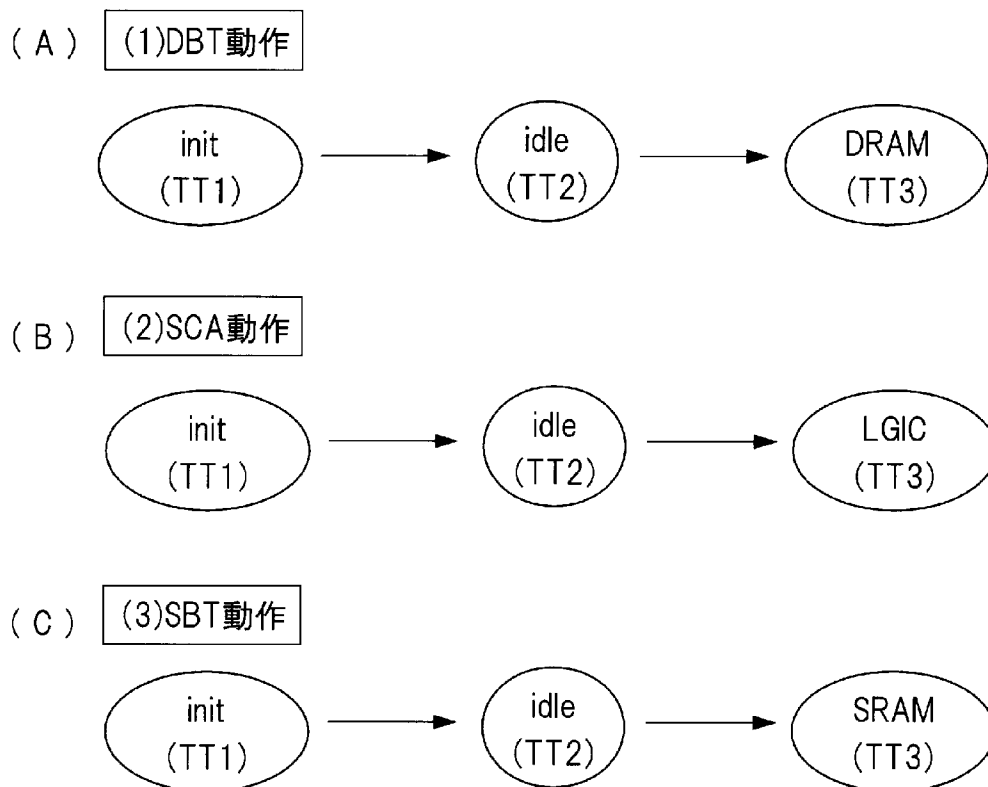
[図7]

図 7

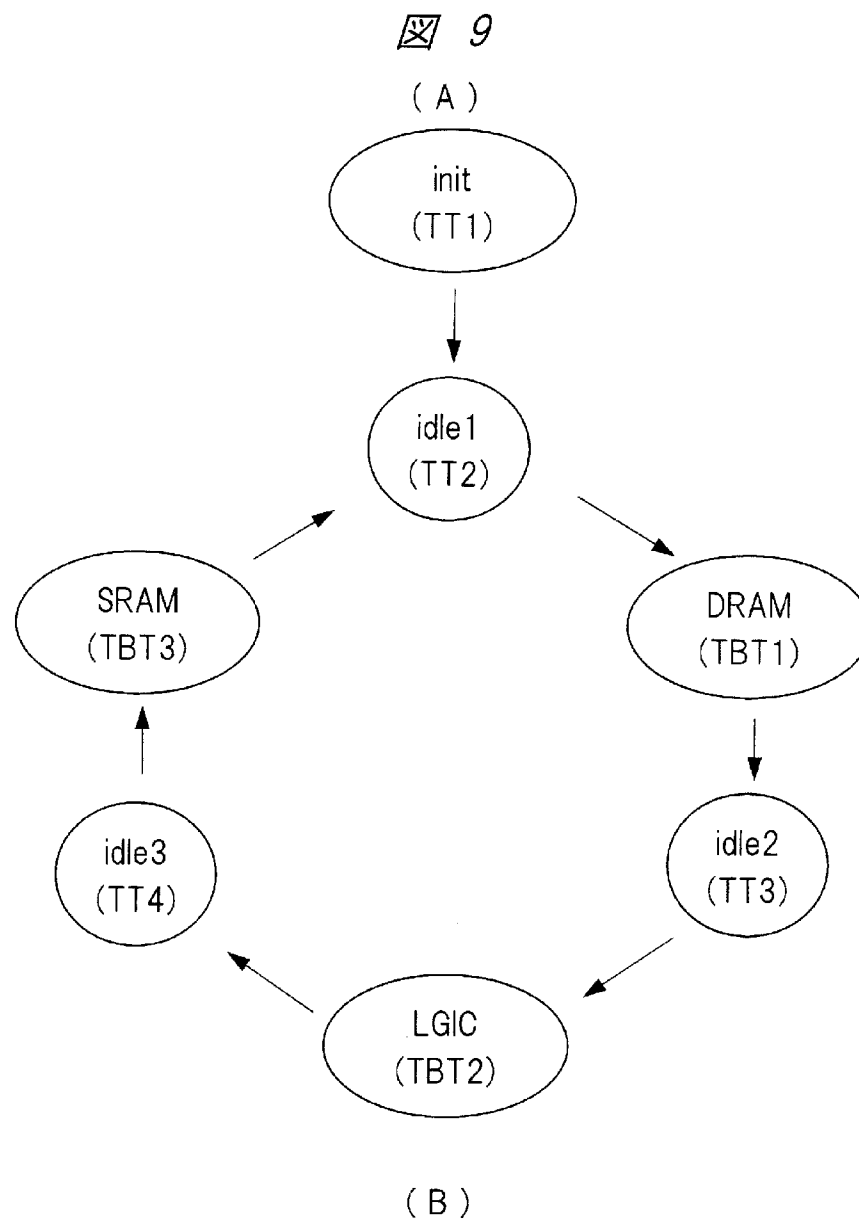
モード	BTEN	RSTN	MODE 0	MODE 1
A)停止	0	-	-	-
B)リセット	1	0	-	-
(1)DBT動作	1	1	0	1
(2)SCA動作	1	1	1	0
(3)SBT動作	1	1	1	1
(4)DBT,SCA,SBTシーケンシャル動作	1	1	0	0

[図8]

図 8



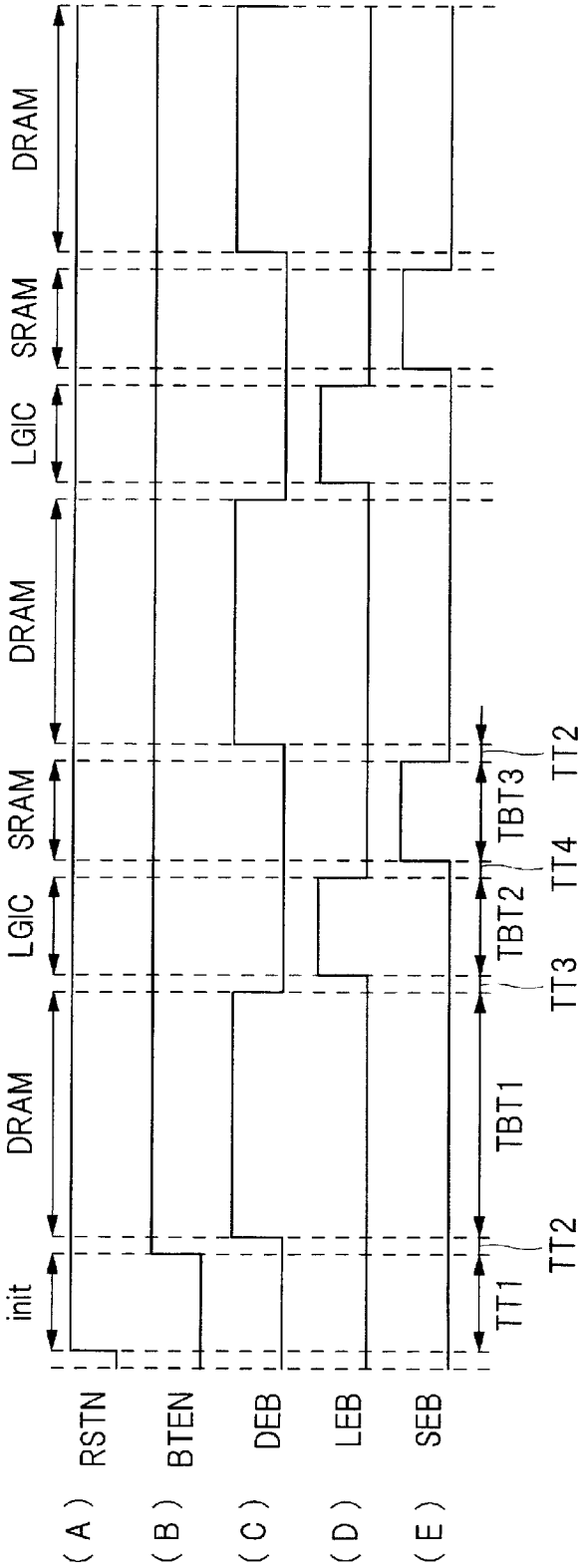
[図9]



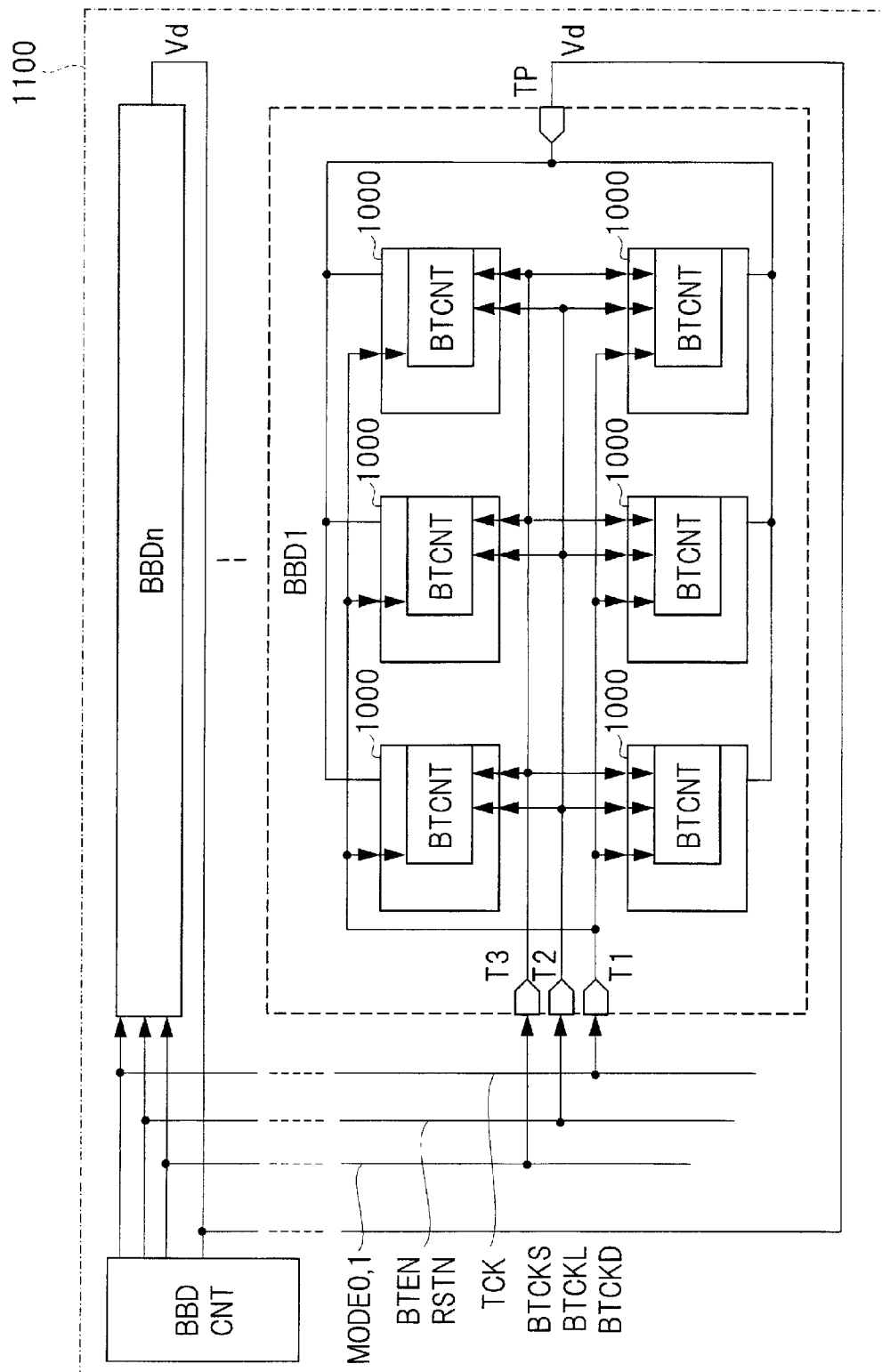
state	clock	cycle
init	TCK	$TT1 = 2^{15}$
idle	TCK	$TT2 \sim TT4 = 2^2$
DRAM	BTCKD	$TBT1 = 2^{30}$
LGIC	BTCKL	$TBT2 = 2^{30}$
SRAM	BTCKS	$TBT3 = 2^{11}$

[図10]

図 10

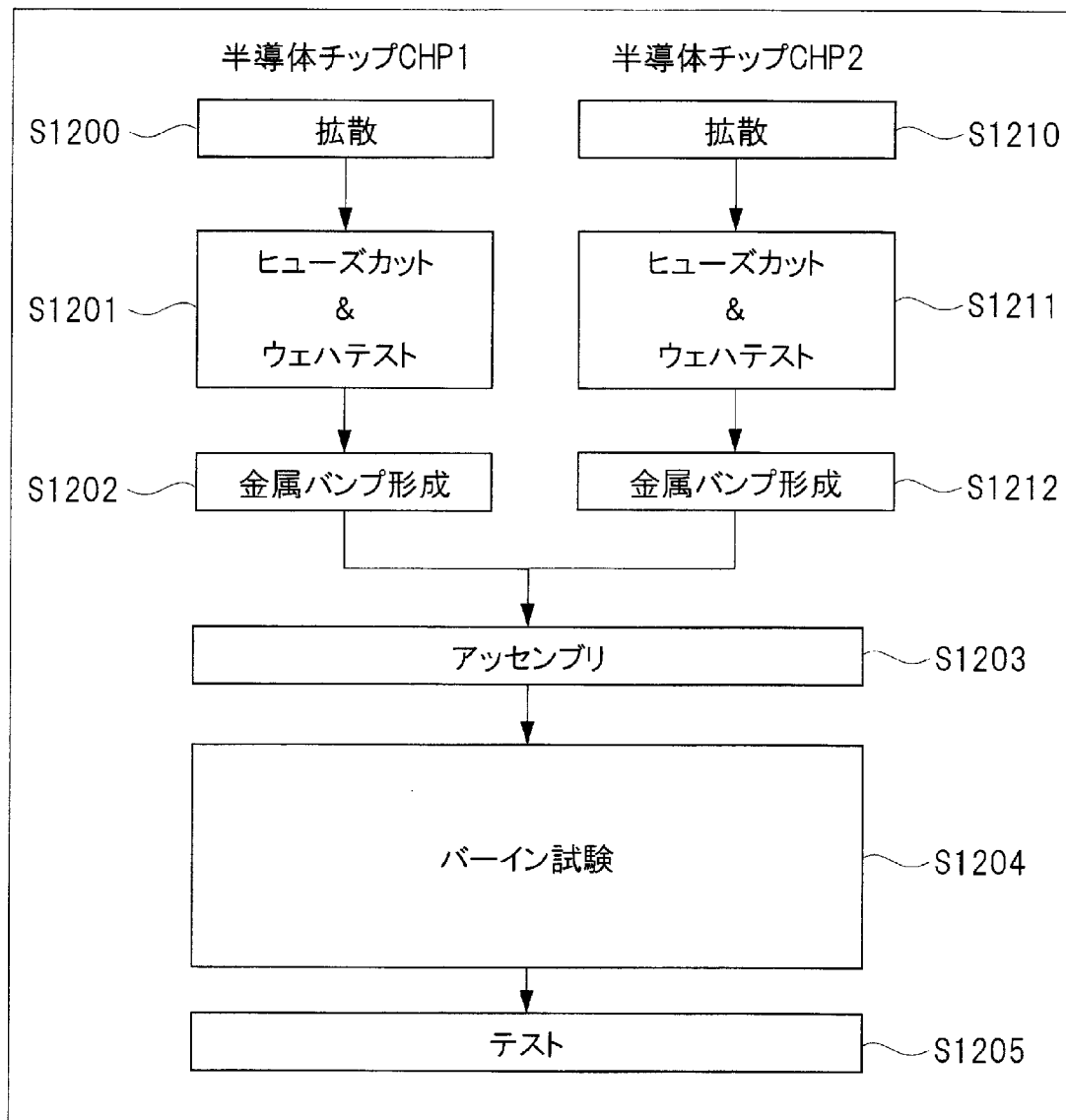


11



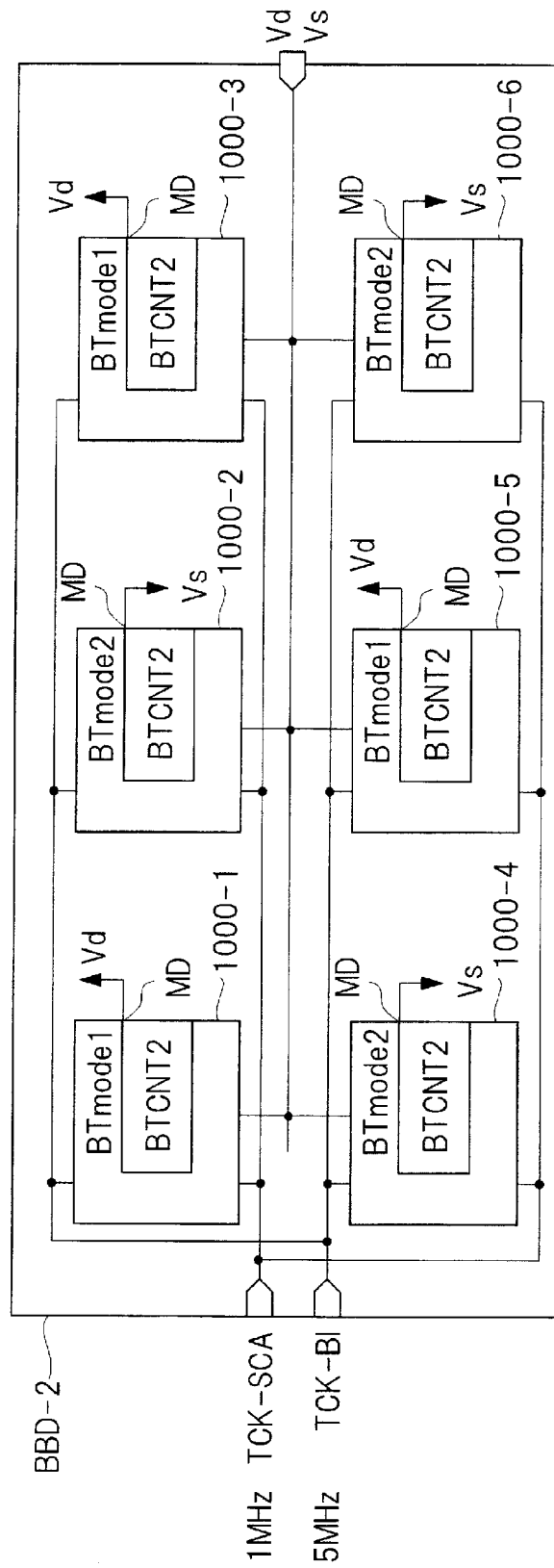
[図12]

図 12



[図13]

図 13



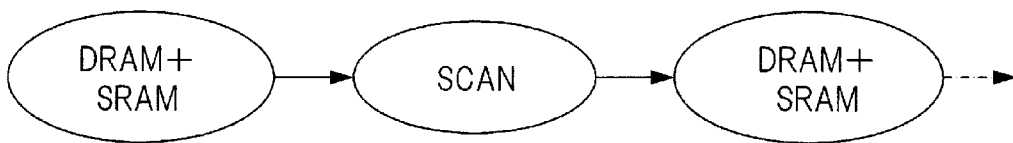
[図14]

図 14

(A) BTmode1

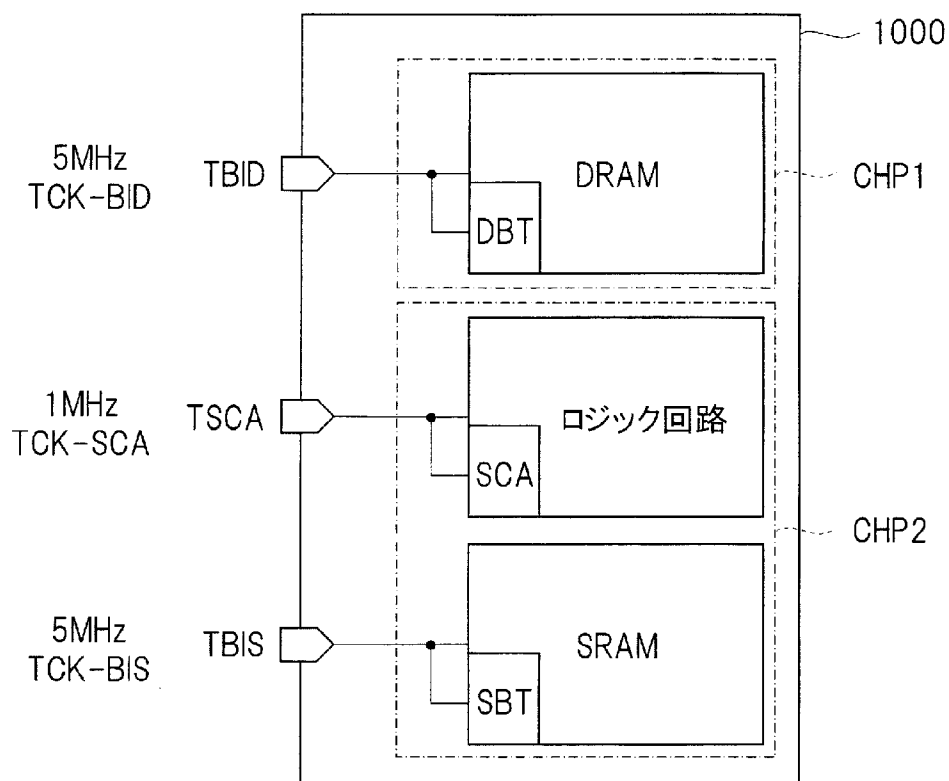


(B) BTmode2



[図15]

図 15



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/074015

A. CLASSIFICATION OF SUBJECT MATTER

G01R31/28 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G01R31/26, G01R31/28, H01L21/66

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2004-053276 A (Fujitsu Ltd.), 19 February 2004 (19.02.2004), paragraphs [0003] to [0008], [0048], [0049], [0051]; fig. 9 & US 2004/0015807 A1	1-3 4-15
Y	WO 2008/038546 A1 (Matsushita Electric Industrial Co., Ltd.), 03 April 2008 (03.04.2008), paragraphs [0081] to [0104]; fig. 5 (Family: none)	4-15
Y	JP 2005-024410 A (Matsushita Electric Industrial Co., Ltd.), 27 January 2005 (27.01.2005), paragraphs [0034], [0035]; fig. 4 (Family: none)	4

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
28 November, 2014 (28.11.14)

Date of mailing of the international search report
09 December, 2014 (09.12.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/074015

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 53-088767 A (Terasaki Electric Co., Ltd.), 04 August 1978 (04.08.1978), page 3, upper right column, lines 7 to 12; lower right column, lines 1, 2; fig. 2 (Family: none)	9-11
A	JP 10-289599 A (Mitsubishi Electric Corp.), 27 October 1998 (27.10.1998), paragraphs [0004], [0005], [0016], [0017] (Family: none)	1-15

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/074015

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The technical feature of the invention of claim 1 cannot be considered to be a special technical feature, since the technical feature does not make a contribution over the prior art in the light of the contents disclosed in the document 1 (JP 2004-053276 A (Fujitsu Ltd.), 19 February 2004 (19.02.2004), paragraphs [0003] to [0008], [0048], [0049], [0051]; fig. 9).

Therefore, there is no common special technical feature between the invention of claim 1 and the inventions of claims 2-15.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G01R31/28(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G01R31/26, G01R31/28, H01L21/66

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2014年
日本国実用新案登録公報	1996-2014年
日本国登録実用新案公報	1994-2014年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2004-053276 A（富士通株式会社）2004.02.19, 段落 0003-0008, 0048, 0049, 0051, 図9 & US 2004/0015807 A1	1-3 4-15
Y	WO 2008/038546 A1（松下電器産業株式会社）2008.04.03, 段落 0081-0104, 図5（ファミリーなし）	4-15
Y	JP 2005-024410 A（松下電器産業株式会社）2005.01.27, 段落 0034, 0035, 図4（ファミリーなし）	4

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

28.11.2014

国際調査報告の発送日

09.12.2014

国際調査機関の名称及びあて先

日本国特許庁（I S A/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

荒井 誠

電話番号 03-3581-1101 内線 3258

2S

3203

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 53-088767 A (寺崎電気産業株式会社) 1978. 08. 04, 第 3 頁右上 欄第 7-12 行, 右下欄第 1, 2 行, 第 2 図 (ファミリーなし)	9-11
A	JP 10-289599 A (三菱電機株式会社) 1998. 10. 27, 段落 0004, 0005, 0016, 0017 (ファミリーなし)	1-15

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求項 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところこの国際調査機関は認めた。

請求項1に係る発明の技術的特徴は、文献1(JP 2004-053276 A(富士通株式会社) 2004.02.19, 段落0003-0008, 0048, 0049, 0051, 図9)の開示内容に照らして、先行技術文献に対する貢献をもたらすものではないから、特別な技術的特徴であるとはいえない。よって、請求項1に係る発明と請求項2-15に係る発明との間に共通する特別な技術的特徴は存在しない。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。