



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년01월06일
(11) 등록번호 10-1693914
(24) 등록일자 2017년01월02일

(51) 국제특허분류(Int. Cl.)
H04B 1/00 (2006.01) G06K 19/07 (2006.01)
H01L 29/786 (2006.01)
(21) 출원번호 10-2012-7013060
(22) 출원일자(국제) 2010년10월25일
심사청구일자 2015년10월07일
(85) 번역문제출일자 2012년05월21일
(65) 공개번호 10-2012-0093975
(43) 공개일자 2012년08월23일
(86) 국제출원번호 PCT/JP2010/069240
(87) 국제공개번호 WO 2011/062042
국제공개일자 2011년05월26일
(30) 우선권주장
JP-P-2009-265594 2009년11월20일 일본(JP)
(56) 선행기술조사문헌
JP2007133558 A*
JP2007103918 A*
JP2001339510 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
가부시키가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
가또 기요시
일본 2430036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오파이 에네루기 켄큐쇼 내
교야마 준
일본 2430036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오파이 에네루기 켄큐쇼 내
(74) 대리인
장수길, 박충범, 이중희

전체 청구항 수 : 총 12 항

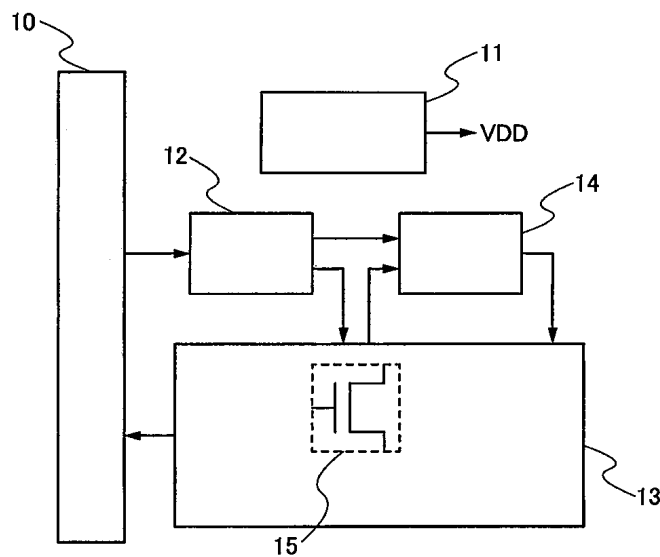
심사관 : 나병윤

(54) 발명의 명칭 반도체 장치

(57) 요약

무선 통신 기능을 갖는 반도체 장치의 저 전력 소비 및 오랜 수명을 달성하는 것이 목적이다. 이 목적은 전원으로 되는 전지 및 특정 회로가 채널 형성 영역이 산화물 반도체를 이용하여 형성된 트랜지스터를 통해 서로 전기적으로 접속되는 방식으로 달성될 수 있다. 산화물 반도체의 수소 농도는 5×10^{19} (원자/cm³) 이하이다. 따라서, 트랜지스터의 리크 전류가 감소될 수 있다. 결과적으로, 대기 상태에서 트랜지스터의 전력 소비가 감소될 수 있다. 또한, 반도체 장치는 오랜 수명을 가질 수 있다.

대표도 - 도1



명세서

청구범위

청구항 1

반도체 장치로서,

안테나;

전원 전압을 공급하는 전지;

상기 안테나에 전기적으로 접속된 복조 회로;

상기 복조 회로에 전기적으로 접속된 전력 제어 회로; 및

상기 복조 회로, 상기 전력 제어 회로, 및 상기 전지에 전기적으로 접속된 신호 처리부를 포함하고,

상기 신호 처리부는 트랜지스터를 포함하고,

상기 트랜지스터의 채널 형성 영역은, 수소 농도가 5×10^{19} 원자/cm³ 이하인 산화물 반도체를 포함하고,

상기 신호 처리부는 논리 게이트를 포함하고,

상기 논리 게이트와 상기 전지 사이의 전기적 접속은 상기 트랜지스터에 의해 제어되는, 반도체 장치.

청구항 2

삭제

청구항 3

제1항에 있어서,

상기 신호 처리부는 상기 복조 회로로부터 입력된 신호 및 상기 전지로부터 공급된 전원 전압을 이용하여 동작하는, 반도체 장치.

청구항 4

제1항에 있어서,

상기 전력 제어 회로는 상기 복조 회로로부터 입력된 신호에 의해 제어되는, 반도체 장치.

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

반도체 장치로서,
안테나;
전원 전압을 공급하는 전지;
신호를 정기적으로 출력하는 타이머;
상기 타이머에 전기적으로 접속된 전력 제어 회로; 및
상기 타이머, 상기 전력 제어 회로, 및 상기 전지에 전기적으로 접속된 신호 처리부를 포함하고,
상기 신호 처리부는 트랜지스터를 포함하고,
상기 트랜지스터의 채널 형성 영역은, 수소 농도가 5×10^{19} 원자/cm³ 이하인 산화물 반도체를 포함하고,
상기 신호 처리부는 논리 게이트를 포함하고,
상기 논리 게이트와 상기 전지 사이의 전기적 접속은 상기 트랜지스터에 의해 제어되는, 반도체 장치.

청구항 11

제1항 또는 제10항에 있어서,
상기 트랜지스터를 통해 상기 전지에 전기적으로 접속된 회로를 더 포함하는, 반도체 장치.

청구항 12

제10항에 있어서,
상기 신호 처리부는 상기 타이머로부터 입력된 신호 및 상기 전지로부터 공급된 전원 전압을 이용하여 동작하는, 반도체 장치.

청구항 13

제10항에 있어서,
상기 전력 제어 회로는 상기 타이머로부터 입력된 신호에 의해 제어되는, 반도체 장치.

청구항 14

제1항 또는 제10항에 있어서,
상기 트랜지스터의 전환은 상기 전력 제어 회로로부터 입력된 신호에 의해 제어되는, 반도체 장치.

청구항 15

제1항 또는 제10항에 있어서,
상기 전지는 2차 전지이고,
상기 반도체 장치는,
상기 안테나에 전기적으로 접속된 정류 회로;
상기 2차 전지 및 상기 정류 회로에 전기적으로 접속된 충전 회로; 및
상기 2차 전지에 전기적으로 접속된 안정화 전원 회로를 더 포함하는, 반도체 장치.

청구항 16

삭제

청구항 17

제1항 또는 제10항에 있어서,

상기 논리 게이트는 n 채널 트랜지스터를 포함하고,

상기 n 채널 트랜지스터의 채널 형성 영역은 상기 산화물 반도체를 포함하는, 반도체 장치.

청구항 18

제1항 또는 제10항에 있어서,

상기 논리 게이트는 p 채널 트랜지스터 및 n 채널 트랜지스터를 포함하고,

상기 p 채널 트랜지스터의 채널 형성 영역은, 실리콘을 주성분으로서 포함하는 반도체를 포함하고,

상기 n 채널 트랜지스터의 채널 형성 영역은, 실리콘을 주성분으로서 포함하는 상기 반도체, 또는 상기 산화물 반도체를 포함하는, 반도체 장치.

청구항 19

제1항 또는 제10항에 있어서,

상기 산화물 반도체는 인듐을 포함하는, 반도체 장치.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 장치에 관한 것으로, 특히, 무선 통신 기능을 갖는 반도체 장치에 관한 것이다.

[0002] 본 명세서에서 반도체 장치란 반도체 특성을 이용함으로써 기능할 수 있는 모든 전자 장치를 말하고, 전기 광학 장치, 반도체 회로, 및 전자 장치는 모두 반도체 장치라는 점에 유의한다.

배경 기술

[0003] 데이터를 무선으로 송수신하는 무선 통신 기능을 갖는 반도체 장치는 다양한 분야에서 실용화되어 왔다. 이러한 반도체 장치는 새로운 모드의 통신 정보 단말로서 시장을 더욱 확장시킬 것으로 예상되고 있다. 실용화되고 있는 무선 통신 기능을 갖는 반도체 장치에서, 안테나와 반도체 소자를 이용하여 형성된 집적 회로는 동일한 기판 위에 형성된다. 또한, 무선 통신 기능을 갖는 반도체 장치를 또한 무선 태그, 무선 주파수(RF) 태그, 무선 주파수 식별(RFID) 태그, 집적 회로(IC) 태그, 또는 식별(ID) 태그라고 한다.

[0004] 반도체 장치는 크게 능동 반도체 장치 및 수동 반도체 장치의 2개의 타입으로 분류된다. 전자는 반도체 장치 내부에 전지를 포함하고 전원으로서 전지로 동작하는 반도체 장치이다. 후자는 반도체 장치 내부에 전지로서 전원을 포함하지 않고 전원으로서 외부 인터로게이터(또한 리더, 리더/라이터, 또는 R/W라고 함)로부터 입력된 신호로 동작하는 반도체 장치이다.

[0005] 능동 무선 태그는 전원을 포함하므로, 수동 무선 태그에 비해, 인터로게이터와의 통신 거리가 더 길 수 있다. 그러나, 능동 무선 태그는 응답하는 인터로게이터가 존재하는지 여부에 관계없이 항상 또는 정기적으로 동작(신호를 발생)하여, 전력 소비가 더 크다.

[0006] 능동 무선 태그의 전력 소비가 감소되는 기술이 특허 문헌 1에 개시되어 있다. 특허 문헌 1에 개시된 능동 무선 태그는 종래의 능동 무선 태그의 구성요소 외에, 외부로부터의 신호를 수신하는 제2 안테나, 신호를 이용하여 전기를 발생하는 발전기, 및 발전기의 출력 전압이 입력되는 전압 감지 회로를 포함하고, 간헐적 동작이 전압 감지 회로에 의해 제어된다. 따라서, 전력 소비가 감소될 수 있다.

선행기술문헌

특허문헌

[0007] (특허문헌 0001) [특허 문헌 1] 일본 특개 2006-229558 공보

발명의 내용

- [0008] 그러나, 간헐적 동작을 수행하는 반도체 장치에 의해 소비되는 전력은 동작 전력 소비뿐만 아니라 대기 전력 소비(또한 대기 전력이라 함)를 의미한다. 대기 전력은 전지에 전기적으로 접속된 소자 또는 회로를 통해 방전되는 매우 적은 양의 전류로 인한 전력 소비를 의미한다는 점에 유의한다. 특히, 특허 문헌 1에 개시된, 간헐적 동작을 제어할 수 있는 반도체 장치에서, 대기 전력은 총 전력 소비에서 높은 비율을 갖는다. 따라서, 반도체 장치의 전력 소비를 감소시키기 위해서 대기 전력을 감소시키는 것이 중요하다.
- [0009] 따라서, 본 발명의 실시 형태의 목적은 반도체 장치의 대기 전력을 감소시키는 것이다.
- [0010] 또한, 본 발명의 실시 형태의 목적은 반도체 장치의 오랜 수명을 달성하는 것이다.
- [0011] 상기 목적들은 전원으로서는 기능하는 전지가 채널 형성 영역이 산화물 반도체를 이용하여 형성되는 트랜지스터를 통하여 특정 회로에 전기적으로 접속되는 방식으로 달성될 수 있다. 산화물 반도체는 전자 도너(도너)로 되는 수소를 제거하여 진성 또는 실질적으로 진성이다.
- [0012] 구체적으로, 산화물 반도체에 포함된 수소의 농도는 5×10^{19} (원자/cm³) 이하, 바람직하게는, 5×10^{18} (원자/cm³) 이하, 더욱 바람직하게는 5×10^{17} (원자/cm³) 이하이다. 수소 농도가 이렇게 감소될 때, 캐리어 밀도가 1×10^{14} cm⁻³ 미만, 바람직하게는 1×10^{12} cm⁻³, 더욱 바람직하게는, 측정 한계 이하인 1×10^{11} cm⁻³ 미만일 수 있다.
- [0013] 트랜지스터의 채널 형성 영역이 이렇게 고순도화된 산화물 반도체를 이용하여 형성될 때, 트랜지스터는 트랜지스터의 드레인 전류가 10mm의 채널 폭에서도 오프 상태에서 1×10^{-13} [A] 이하이도록 동작할 수 있다. 즉, 트랜지스터의 채널 형성 영역에 고순도화된 산화물 반도체를 적용함으로써 리크 전류가 상당히 감소될 수 있다.
- [0014] 본 발명의 실시 형태는 안테나, 전지, 안테나로부터 입력된 신호를 복조하는 복조 회로, 복조 회로로부터 입력된 신호 및 전지로부터 공급된 전원 전압을 이용하여 동작하는 신호 처리부, 및 복조 회로로부터 입력된 신호에 의해 제어되는 전력 제어 회로를 포함하는 반도체 장치이다. 신호 처리부는 전력 제어회로로부터 입력된 신호에 의해 전환이 제어되는 트랜지스터, 및 전지의 음극 또는 양극에 트랜지스터를 통해 전기적으로 접속된 기능 회로를 포함한다. 트랜지스터의 채널 형성 영역은 5×10^{19} (원자/cm³) 이하의 수소 농도를 갖는 산화물 반도체를 이용하여 형성된다.
- [0015] 상기 구성에 포함된 복조 회로는 타이머로 교체될 수 있다. 즉, 본 발명의 다른 실시 형태는 안테나, 전지, 신호를 정기적으로 출력하는 타이머, 타이머로부터 입력된 신호 및 전지로부터 공급된 전원 전압을 이용하여 동작하는 신호 처리부, 및 타이머로부터 입력된 신호에 의해 제어되는 전력 제어 회로를 포함하는 반도체 장치이다. 신호 처리부는 전환이 전력 제어 회로로부터 입력된 신호에 의해 제어되는 트랜지스터, 및 전지의 음극 또는 양극에 트랜지스터를 통해 전기적으로 접속된 기능 회로를 포함한다. 트랜지스터의 채널 형성 영역은 5×10^{19} (원자/cm³) 이하의 수소 농도를 갖는 산화물 반도체를 이용하여 형성된다.
- [0016] 또한, 상기 구성에서, 전지는 2차 전지이다. 본 발명의 다른 실시 형태는 상기 구성 요소 외에, 안테나로부터 입력된 신호를 정류하는 정류 회로, 정류 회로로부터 입력된 신호를 이용하여 2차 전지를 충전하는 충전 회로, 및 2차 전지를 이용하여 전원 전압을 발생하는 안정화 전원 회로를 포함하는 반도체 장치이다.
- [0017] 기능 회로로서, 예를 들어, 논리 게이트 등이 이용될 수 있다. 논리 게이트는 상보형 금속 산화물 반도체(CMOS)를 이용하여 형성될 수 있다. 다르게는, 논리 게이트는 n 채널 금속 산화물 반도체(NMOS) 만을 이용하여 형성될 수 있다.
- [0018] 본 발명의 실시 형태의 반도체 장치는 기능 회로, 전지, 및 기능 회로와 전지 사이의 전기적 접속을 제어하는 트랜지스터를 포함한다. 트랜지스터의 채널 형성 영역은 수소 농도가 낮아진 산화물 반도체를 이용하여 형성된다. 구체적으로, 산화물 반도체의 수소 농도는 5×10^{19} (원자/cm³) 이하이다. 그러므로, 트랜지스터를 통하는 전기적 방전은 대기 상태의 트랜지스터를 오프시킴으로써 억제될 수 있다. 결과적으로, 반도체 장치의 대기 전력이 감소될 수 있다. 또한, 대기 상태에서 전기적 방전을 억제함으로써, 반도체 장치는 오랜 수명을 가질 수

있다.

도면의 간단한 설명

- [0019] 도 1은 실시 형태 1에서 설명된 반도체 장치의 구성예를 도시한 도면.
 도 2는 실시 형태 2에서 설명된 반도체 장치의 구성예를 도시한 도면.
 도 3는 실시 형태 3에서 설명된 반도체 장치의 구성예를 도시한 도면.
 도 4는 실시 형태 4에서 설명된 반도체 장치의 구성예를 도시한 도면.
 도 5의 (a) 내지 (c)는 실시 형태 4에서 설명된 반도체 장치에 포함된 논리 게이트의 구성예를 각각 도시한 도면.
 도 6의 (a) 내지 (c)는 실시 형태 4에서 설명된 반도체 장치에 포함된 논리 게이트의 구성예를 각각 도시한 도면.
 도 7은 실시 형태 5에서 설명된 p 채널 트랜지스터 및 n 채널 트랜지스터의 구성예를 도시한 단면도.
 도 8의 (a) 내지 (h)는 실시 형태 5에서 설명된 p 채널 트랜지스터의 제조 공정의 예를 도시한 단면도.
 도 9의 (a) 내지 (g)는 실시 형태 5에서 설명된 n 채널 트랜지스터의 제조 공정의 예를 도시한 단면도.
 도 10의 (a) 내지 (d)는 실시 형태 5에서 설명된 n 채널 트랜지스터의 제조 공정의 예를 도시한 단면도.
 도 11은 실시 형태 5에서 설명된 p 채널 트랜지스터 및 n 채널 트랜지스터의 구성예를 도시한 단면도.
 도 12의 (a)와 (b)는 각각 실시 형태 5에서 설명된 p 채널 트랜지스터 및 n 채널 트랜지스터의 구성예를 도시한 단면도.
 도 13의 (a)와 (b)는 각각 실시 형태 5에서 설명된 p 채널 트랜지스터 및 n 채널 트랜지스터의 구성예를 도시한 단면도.
 도 14의 (a)와 (b)는 각각 실시 형태 5에서 설명된 p 채널 트랜지스터 및 n 채널 트랜지스터의 구성예를 도시한 단면도.
 도 15의 (a)와 (b)는 실시 형태 6에서 설명된 트랜지스터의 구성예를 도시한 평면도 및 단면도.
 도 16의 (a) 내지 (e)는 실시 형태 6에서 설명된 트랜지스터의 제조 공정의 예를 도시한 단면도.
 도 17의 (a) 내지 (e)는 실시 형태 7에서 설명된 트랜지스터의 제조 공정의 예를 도시한 단면도.
 도 18의 (a) 내지 (d)는 실시 형태 8에서 설명된 트랜지스터의 제조 공정의 예를 도시한 단면도.
 도 19의 (a) 내지 (f)는 실시 형태 9에서 설명된 반도체 장치의 적용예를 각각 도시한 도면.

발명을 실시하기 위한 구체적인 내용

- [0020] 이후, 본 발명의 실시 형태들이 첨부 도면을 참조하여 상세히 설명된다. 본 발명은 아래의 설명으로 한정되지 않고, 당업자라면 다양한 변경 및 변형이 본 발명의 취지 및 범위를 벗어나지 않고서 이루어질 수 있다는 것을 쉽게 알 것이라는 점에 유의한다. 따라서, 본 발명은 아래의 실시 형태들의 설명으로 제한되지 않아야 한다.
- [0021] 트랜지스터의 소스 단자 및 드레인 단자는 트랜지스터의 구성, 동작 조건 등에 따라 변화하기 때문에, 어느 것이 소스 단자인지 드레인 단자인지를 정의하기가 어렵다는 점에 유의한다. 따라서, 본 서류에서, 구별하기 위해 소스 단자 및 드레인 단자 중 하나를 제1 단자라 하고 나머지 하나를 제2 단자라고 한다.
- [0022] 실시 형태들에서의 도면 등에 도시된 각 구성의 크기, 층의 두께 또는 영역은 어떤 경우에는 명료성을 위해 과장되어 있다는 점에 유의한다. 따라서, 본 발명의 실시 형태들은 이러한 스케일로 한정되지 않는다. 또한, 본 명세서에서, "제1", "제2", 및 "제3"과 같은 서수는 구성 요소들 간의 혼동을 피하기 위해 사용되고, 이 용어는 구성 요소들을 수치적으로 한정하는 것은 아니다.
- [0023] (실시 형태 1)
- [0024] 본 실시 형태에서, 반도체 장치의 예가 설명될 것이다. 구체적으로, 전원으로서 전지를 갖는 무선 통신 기능을

갖는 반도체 장치의 예가 도 1을 참조하여 설명될 것이다.

- [0025] 도 1에 도시된 반도체 장치는 무선 신호를 송수신할 수 있는 안테나(10), 전원 전압(VDD)의 공급원으로 되는 전지(11), 안테나(10)로부터 입력된 신호를 복조하는 복조 회로(12), 복조 회로(12)로부터 입력된 신호 및 전지(11)로부터 공급된 전원 전압(VDD)을 이용하여 동작하는 신호 처리부(13), 및 복조 회로(12)로부터 입력된 신호 및 신호 처리부(13)로부터 입력된 신호에 의해 제어되는 전력 제어 회로(14)를 포함한다. 본 실시 형태에서, 동작은 신호 처리부(13) 또는 신호 처리부(13)의 일부에서의 신호의 발생을 의미한다는 점에 유의한다.
- [0026] 또한, 신호 처리부(13)는 전환이 전력 제어 회로(14)로부터 입력된 신호에 의해 제어되는 트랜지스터(15)를 포함한다. 구체적으로, 트랜지스터(15)는 복조 회로(12)로부터 전력 제어 회로(14)로 입력된 신호에 의해 제어되어 온된다. 마찬가지로, 트랜지스터(15)는 신호 처리부(13)로부터 전력 제어 회로(14)로 입력된 신호에 의해 제어되어 오프된다.
- [0027] 또한, 신호 처리부(13)는 복조 회로(12)로부터 입력된 신호 및 전원 전압(VDD)을 이용하여 동작하는 기능 회로(도시 안됨)를 포함한다. 트랜지스터(15)는 기능 회로와 전지(11)의 음극 또는 양극 사이에 제공된다는 점에 유의한다. 즉, 기능 회로는 트랜지스터(15)를 통해 전지(11)의 음극 또는 양극에 전기적으로 접속된다. 또한, 기능 회로는 트랜지스터(15)가 온 상태인 기간에서 동작할 수 있다.
- [0028] 또한, 트랜지스터(15)의 채널 형성 영역은 수소 농도가 5×10^{19} (원자/cm³) 이하, 바람직하게는, 5×10^{18} (원자/cm³) 이하, 더욱 바람직하게는 5×10^{17} (원자/cm³) 이하인 산화물 반도체를 이용하여 형성된다. 즉, 트랜지스터(15)는 채널 형성 영역이 캐리어의 도너로 되는 수소의 농도를 극도의 저 레벨로 감소시켜 고순도화된 산화물 반도체를 이용하여 형성된다. 산화물 반도체층의 수소 농도는 2차 이온 질량 분석법(SIMS)에 의해 측정된다.
- [0029] 따라서, 트랜지스터(15)의 리크 전류는 상당히 감소될 수 있다. 또한, 본 실시 형태의 반도체 장치에서, 트랜지스터(15)는 대기 상태에서 오프로 유지된다. 따라서, 대기 상태에서 전지(11)의 전기적 방전이 억제될 수 있다. 즉, 반도체 장치의 대기 전력이 감소될 수 있다. 더구나, 반도체 장치는 대기 상태에서 전지(11)의 전기적 방전을 억제함으로써 오랜 수명을 가질 수 있다.
- [0030] [변형예]
- [0031] 상술한 반도체 장치는 본 실시 형태의 반도체 장치의 예이고, 상술한 반도체 장치와 다른 점을 갖는 반도체 장치가 또한 본 실시 형태에 포함될 수 있다는 점에 유의한다.
- [0032] 예를 들어, 상술한 반도체 장치에서, 트랜지스터(15)가 기능 회로와 전지(11)의 음극 또는 양극 사이에 제공되는 구성이 설명되지만, 본 실시 형태의 반도체 장치는 이 구성으로 한정되지 않는다. 본 실시 형태의 반도체 장치에서, 트랜지스터(15)는 기능 회로 내에 포함될 수 있다. 또한, 트랜지스터(15)는 반드시 전지(11)에 직접 접속될 필요는 없다. 또한, 트랜지스터(15)는 기능 회로의 기능이 트랜지스터(15) 및 트랜지스터(15)에 직렬로 접속된 회로 또는 다른 트랜지스터의 순서를 변경함으로써 유지되면서 기능 회로 내에 제공될 수 있다.
- [0033] 또한, 상술한 반도체 장치에서, 트랜지스터(15)가 신호 처리부(13)의 출력 신호에 의해 제어되어 오프되는 구성이 설명되지만, 본 실시 형태의 반도체 장치는 이 구성으로 한정되지 않는다. 본 실시 형태의 반도체 장치에서, 트랜지스터(15)는 복조 회로(12)로부터 입력된 신호에 의해 제어되어 오프될 수 있다. 또한, 트랜지스터(15)가 온인 소정 기간 후에 트랜지스터(15)가 오프되는 구성이 적용될 수 있다.
- [0034] 본 실시 형태 또는 본 실시 형태의 일부는 다른 실시 형태들 또는 다른 실시 형태들의 일부와 자유롭게 조합될 수 있다.
- [0035] (실시 형태 2)
- [0036] 본 실시 형태에서, 반도체 장치의 예가 설명된다. 구체적으로, 전원으로서 전지를 갖는 무선 통신 기능을 갖는 반도체 장치의 예가 도 2를 참조하여 설명된다.
- [0037] 도 2에 도시된 반도체 장치는 무선 신호를 송수신할 수 있는 안테나(20), 전원 전압(VDD)의 공급원으로 되는 전지(21), 신호를 정기적으로 출력함으로써 반도체 장치의 간헐적 동작을 제어하는 타이머(22), 타이머(22)로부터 입력된 신호 및 전지(21)로부터 공급된 전원 전압(VDD)을 이용하여 동작하는 신호 처리부(23), 및 타이머(22)로부터 입력된 신호 및 신호 처리부(23)로부터 입력된 신호에 의해 제어되는 전력 제어 회로(24)를 포함한다. 본 실시 형태에서, 동작은 신호 처리부(23) 또는 신호 처리부(23)의 일부에서의 신호의 발생을 의미한다는 점에 유

의한다.

- [0038] 또한, 신호 처리부(23)는 전환이 전력 제어 회로(24)로부터 입력된 신호에 의해 제어되는 트랜지스터(25)를 포함한다. 구체적으로, 트랜지스터(25)는 타이머(22)로부터 전력 제어 회로(24)로 입력된 신호에 의해 제어되어 온된다. 마찬가지로, 트랜지스터(25)는 신호 처리부(23)로부터 전력 제어 회로(24)에 입력된 신호에 의해 제어되어 오프된다.
- [0039] 또한, 신호 처리부(23)는 타이머(22)의 출력 신호 및 전원 전압(VDD)을 이용하여 동작하는 기능 회로(도시 안됨)를 포함한다. 트랜지스터(25)는 기능 회로와 전지(21)의 음극 또는 양극 사이에 제공된다는 점에 유의한다. 즉, 기능 회로는 트랜지스터(25)를 통해 전지(21)의 음극 또는 양극에 전기적으로 접속된다. 또한, 기능 회로는 트랜지스터(25)가 온 상태인 기간에서 동작할 수 있다.
- [0040] 또한, 트랜지스터(25)의 채널 형성 영역은 수소 농도가 5×10^{19} (원자/cm³) 이하, 바람직하게는, 5×10^{18} (원자/cm³) 이하, 더욱 바람직하게는 5×10^{17} (원자/cm³) 이하인 산화물 반도체를 이용하여 형성된다. 즉, 트랜지스터(25)는 채널 형성 영역이 캐리어의 도너로 되는 수소의 농도를 극도의 저 레벨로 감소시켜 고순도화된 산화물 반도체를 이용하여 형성된다. 산화물 반도체층의 수소 농도는 2차 이온 질량 분석법(SIMS)에 의해 측정된다.
- [0041] 따라서, 트랜지스터(25)의 리크 전류는 상당히 감소될 수 있다. 또한, 본 실시 형태의 반도체 장치에서, 트랜지스터(25)는 대기 상태에서 오프로 유지된다. 따라서, 대기 상태에서 전지(21)의 전기적 방전이 억제될 수 있다. 즉, 반도체 장치의 대기 전력이 감소될 수 있다. 더구나, 반도체 장치는 대기 상태에서 전지(21)의 전기적 방전을 억제함으로써 오랜 수명을 가질 수 있다.
- [0042] [변형예]
- [0043] 상술한 반도체 장치는 본 실시 형태의 반도체 장치의 예이고, 상술한 반도체 장치와 다른 점을 갖는 반도체 장치가 또한 본 실시 형태에 포함될 수 있다는 점에 유의한다.
- [0044] 예를 들어, 상술한 반도체 장치에서, 타이머(22)의 출력 신호가 신호 처리부(23) 및 전력 제어 회로(24)에 입력되는 구성이 설명되지만, 본 실시 형태의 반도체 장치는 이 구성으로 한정되지 않는다. 본 실시 형태의 반도체 장치에서, 타이머(22)의 출력 신호는 전력 제어 회로에만 입력될 수 있다. 또한, 신호 처리부(23)의 출력 신호는 타이머(22)에 입력될 수 있다. 예를 들어, 신호 처리부(23)는 타이머(22)에 입력되는 리셋 신호를 출력하여 다음 동작의 타이밍이 제어될 수 있다.
- [0045] 본 실시 형태 또는 본 실시 형태의 일부는 다른 실시 형태들 또는 다른 실시 형태들의 일부와 자유롭게 조합될 수 있다는 점에 유의한다.
- [0046] (실시 형태 3)
- [0047] 본 실시 형태에서, 반도체 장치의 예가 설명된다. 구체적으로, 전원으로서 2차 전지를 갖는 무선 통신 기능을 갖는 반도체 장치의 예가 도 3을 참조하여 설명된다.
- [0048] 도 3에 도시된 반도체 장치는 무선 신호를 송수신할 수 있는 안테나(30), 전원으로서 되는 2차 전지(31), 안테나(30)로부터 입력된 신호를 정류하는 정류 회로(32), 정류 회로(32)로부터 입력된 신호를 이용하여 2차 전지(31)를 충전하는 충전 회로(33), 2차 전지(31)를 이용하여 반도체 장치에서 이용되는 전원 전압(VDD)을 발생하는 안정화 전원 회로(34), 안테나(30)로부터 입력된 신호를 복조하는 복조 회로(35), 복조 회로(35)로부터 입력된 신호 및 안정화 전원 회로(34)로부터 공급된 전원 전압(VDD)을 이용하여 동작하는 신호 처리부(36), 및 복조 회로(35)로부터 입력된 신호 및 신호 처리부(36)로부터 입력된 신호에 의해 제어되는 전력 제어 회로(37)를 포함한다. 본 실시 형태에서, 동작은 신호 처리부(36) 또는 신호 처리부(36)의 일부에서의 신호의 발생을 의미한다는 점에 유의한다.
- [0049] 또한, 신호 처리부(36)는 전환이 전력 제어 회로(37)로부터 입력된 신호에 의해 제어되는 트랜지스터(38)를 포함한다. 구체적으로, 트랜지스터(38)는 변조 회로(35)로부터 전력 제어 회로(37)로 입력된 신호에 의해 제어되어 온된다. 마찬가지로, 트랜지스터(38)는 신호 처리부(36)로부터 전력 제어 회로(37)로 입력된 신호에 의해 제어되어 오프된다.
- [0050] 또한, 신호 처리부(36)는 복조 회로(35)로부터 입력된 신호 및 전원 전압(VDD)을 이용하여 동작하는 기능 회로(도시 안됨)를 포함한다. 트랜지스터(38)는 기능 회로와 안정화 전원 회로(34) 사이에 제공된다는 점에 유의한다. 즉, 기능 회로는 트랜지스터(38) 및 안정화 전원 회로(34)를 통해 2차 전지(31)의 음극 또는 양극에 전기

적으로 접속된다. 또한, 기능 회로는 트랜지스터(38)가 온 상태인 기간에서 동작할 수 있다.

- [0051] 또한, 트랜지스터(38)의 채널 형성 영역은 수소 농도가 5×10^{19} (원자/cm³) 이하, 바람직하게는, 5×10^{18} (원자/cm³) 이하, 더욱 바람직하게는 5×10^{17} (원자/cm³) 이하인 산화물 반도체를 이용하여 형성된다. 즉, 트랜지스터(38)는 채널 형성 영역이 캐리어의 도너로 되는 수소의 농도를 극도의 저 레벨로 감소시켜 고순도화된 산화물 반도체를 이용하여 형성된다. 산화물 반도체층의 수소 농도는 2차 이온 질량 분석법(SIMS)에 의해 측정된다.
- [0052] 따라서, 트랜지스터(38)의 리크 전류는 상당히 감소될 수 있다. 또한, 본 실시 형태의 반도체 장치에서, 트랜지스터(38)는 대기 상태에서 오프로 유지된다. 따라서, 대기 상태에서 2차 전지(31)의 전기적 방전이 억제될 수 있다. 즉, 반도체 장치의 대기 전력이 감소될 수 있다. 더구나, 반도체 장치는 대기 상태에서 2차 전지(31)의 전기적 방전을 억제함으로써 오랜 수명을 가질 수 있다.
- [0053] 또한, 도 3에 도시된 반도체 장치에서, 2차 전지(31)는 안테나(30)로부터 입력된 신호에 의해 충전될 수 있다. 반도체 장치는 동작하는 동안 충전을 수행할 수 있고 대기 상태에서 안테나(30)로부터 입력된 신호를 이용하여 충전을 수행할 수 있다.
- [0054] 또한, 반도체 장치에서, 전지는 전지가 대기 전력과 거의 등가인 전력으로 연속적으로 충전되는 한 소모되지 않는다. 게다가, 반도체 장치는 상술한 트랜지스터(38)를 포함하여, 대기 전력이 감소될 수 있다. 따라서, 반도체 장치가 충전을 수행할 수 있는 거리가 개선될 수 있다. 이러한 특성을 갖는 본 실시 형태의 반도체 장치는 특히 접근이 어려운 장소(예를 들어, 체내, 방사능 또는 극약이 존재하는 공간, 또는 진공 공간)에서 효과적이다.
- [0055] [변형예]
- [0056] 상술한 반도체 장치는 본 실시 형태의 반도체 장치의 예이고, 상술한 반도체 장치와 다른 점을 갖는 반도체 장치가 또한 본 실시 형태에 포함될 수 있다는 점에 유의한다.
- [0057] 예를 들어, 상술한 반도체 장치에서, 안테나(30)가 포함되고 무선 신호를 송수신하는 것과 2차 전지(31)를 충전하는 것이 안테나(30)를 이용하여 수행되는 구성이 설명되지만, 본 실시 형태의 반도체 장치는 이 구성으로 한정되지 않는다. 본 실시 형태의 반도체 장치에서, 무선 신호를 송수신하는 안테나와 2차 전지(31)를 충전하는 안테나가 별도로 제공되는 구성이 적용될 수 있다.
- [0058] 본 실시 형태 또는 본 실시 형태의 일부는 다른 실시 형태들 또는 다른 실시 형태들의 일부와 자유롭게 조합될 수 있다는 점에 유의한다.
- [0059] (실시 형태 4)
- [0060] 본 실시 형태에서, 반도체 장치의 예가 설명된다. 구체적으로, 전원으로서 2차 전지를 갖는 무선 통신 기능을 갖는 반도체 장치의 예가 도 4를 참조하여 설명된다.
- [0061] 도 4에 도시된 반도체 장치는 무선 신호를 송수신할 수 있는 안테나(40), 전원으로서 되는 2차 전지(41), 안테나(40)로부터 입력된 신호를 정류하는 정류 회로(42), 정류 회로(42)의 출력 신호를 이용하여 2차 전지(41)를 충전하는 충전 회로(43), 2차 전지(41)를 이용하여 반도체 장치에서 이용되는 전원 전압(VDD)을 발생하는 안정화 전원 회로(44), 안테나(40)로부터 입력된 신호를 복조하는 복조 회로(45), 복조 회로(45)로부터 입력된 신호 및 안정화 전원 회로(44)로부터 공급된 전원 전압(VDD)을 이용하여 동작하는 신호 처리부(46), 및 복조 회로(45)로부터 입력된 신호 및 신호 처리부(46)로부터 입력된 신호에 의해 제어되는 전력 제어 회로(47)를 포함한다. 본 실시 형태에서, 동작은 신호 처리부(46) 또는 신호 처리부(46)의 일부에서의 신호의 발생을 의미한다는 점에 유의한다.
- [0062] 신호 처리부(46)는 복조 회로(45)로부터 입력된 신호를 이용하여 처리를 수행하는 논리 회로(48), 반도체 장치에서 이용되는 클록 신호(CK)를 발생하는 클록 발생 회로(49), 특정 외부 데이터를 신호로 변환하는 센서(50), 데이터를 저장하는 메모리 회로(51), 및 안테나(40)에 대한 부하 변조를 수행하는 변조 회로(52)를 포함한다. 전력 제어 회로(47)로부터 출력된 대기 신호(Stdby)는 논리 회로(48), 클록 발생 회로(49), 센서(50), 메모리 회로(51), 및 변조 회로(52)의 각각에 입력된다는 점에 유의한다.
- [0063] 본 실시 형태의 반도체 장치에 포함된 회로 각각은 트랜지스터를 포함한다. 여기서, 논리 회로(48) 내에 포함된 논리 게이트(인버터(NOT 게이트), NOR 게이트 또는 NAND 게이트)의 회로 구성의 특정예가 도 5의 (a) 내지

(c)를 참조하여 설명된다.

- [0064] 도 5의 (a)는 인버터의 회로 구성의 특정예이다. 도 5의 (a)에 도시된 인버터는 p 채널 트랜지스터(80), n 채널 트랜지스터(81), 및 n 채널 트랜지스터(82)를 포함한다.
- [0065] p 채널 트랜지스터(80)의 제1 단자는 전원 전압(VDD) 공급 배선에 전기적으로 접속된다.
- [0066] n 채널 트랜지스터(81)의 제1 단자는 p 채널 트랜지스터(80)의 제2 단자에 전기적으로 접속된다.
- [0067] n 채널 트랜지스터(82)의 게이트 단자는 대기 신호(Stdby) 공급 배선에 전기적으로 접속되고, n 채널 트랜지스터(82)의 제1 단자는 n 채널 트랜지스터(81)의 제2 단자에 전기적으로 접속되고, n 채널 트랜지스터(82)의 제2 단자는 접지된다.
- [0068] 도 5의 (a)에 도시된 인버터에서, 입력 신호는 p 채널 트랜지스터(80) 및 n 채널 트랜지스터(81)의 게이트 단자들 각각에 입력되고, p 채널 트랜지스터(80)의 제2 단자 및 n 채널 트랜지스터(81)의 제1 단자가 서로 전기적으로 접속되는 노드의 전위는 인버터의 출력 신호로서 출력된다는 점에 유의한다.
- [0069] 도 5의 (b)는 NOR 게이트의 회로 구성의 특정예이다. 도 5의 (b)에 도시된 NOR 게이트는 p 채널 트랜지스터(83), p 채널 트랜지스터(84), n 채널 트랜지스터(85), n 채널 트랜지스터(86), 및 n 채널 트랜지스터(87)를 포함한다.
- [0070] p 채널 트랜지스터(83)의 제1 단자는 전원 전압(VDD) 공급 배선에 전기적으로 접속된다.
- [0071] p 채널 트랜지스터(84)의 제1 단자는 p 채널 트랜지스터(83)의 제2 단자에 전기적으로 접속된다.
- [0072] n 채널 트랜지스터(85)의 제1 단자는 p 채널 트랜지스터(84)의 제2 단자에 전기적으로 접속된다.
- [0073] n 채널 트랜지스터(86)의 제1 단자는 p 채널 트랜지스터(84)의 제2 단자 및 n 채널 트랜지스터(85)의 제1 단자에 전기적으로 접속된다.
- [0074] n 채널 트랜지스터(87)의 게이트 단자는 대기 신호(Stdby) 공급 배선에 전기적으로 접속되고, n 채널 트랜지스터(87)의 제1 단자는 n 채널 트랜지스터(85)의 제2 단자 및 n 채널 트랜지스터(86)의 제2 단자에 전기적으로 접속되고, n 채널 트랜지스터(87)의 제2 단자는 접지된다.
- [0075] 도 5의 (b)에 도시된 NOR 게이트에서, 제1 입력 신호는 p 채널 트랜지스터(83) 및 n 채널 트랜지스터(86)의 게이트 단자들 각각에 입력되고, 제2 입력 신호는 p 채널 트랜지스터(84) 및 n 채널 트랜지스터(85)의 게이트 단자들 각각에 입력된다는 점에 유의한다. 또한, p 채널 트랜지스터(84)의 제2 단자, n 채널 트랜지스터(85)의 제1 단자, 및 n 채널 트랜지스터(86)의 제1 단자가 서로 전기적으로 접속된 노드의 전위는 NOR 게이트의 출력 신호로서 출력된다.
- [0076] 도 5의 (c)는 NAND 게이트의 회로 구성의 특정예이다. 도 5의 (c)에 도시된 NAND 게이트는 p 채널 트랜지스터(88), p 채널 트랜지스터(89), n 채널 트랜지스터(90), n 채널 트랜지스터(91), 및 n 채널 트랜지스터(92)를 포함한다.
- [0077] p 채널 트랜지스터(88)의 제1 단자는 전원 전압(VDD) 공급 배선에 전기적으로 접속된다.
- [0078] p 채널 트랜지스터(89)의 제1 단자는 전원 전압(VDD) 공급 배선에 전기적으로 접속된다.
- [0079] n 채널 트랜지스터(90)의 제1 단자는 p 채널 트랜지스터(88)의 제2 단자 및 p 채널 트랜지스터(89)의 제2 단자에 전기적으로 접속된다.
- [0080] n 채널 트랜지스터(91)의 제1 단자는 n 채널 트랜지스터(90)의 제2 단자에 전기적으로 접속된다.
- [0081] n 채널 트랜지스터(92)의 게이트 단자는 대기 신호(Stdby) 공급 배선에 전기적으로 접속되고, n 채널 트랜지스터(92)의 제1 단자는 n 채널 트랜지스터(91)의 제2 단자에 접속되고, n 채널 트랜지스터(92)의 제2 단자는 접지된다.
- [0082] 도 5의 (c)에 도시된 NAND 게이트에서, 제1 입력 신호는 p 채널 트랜지스터(88) 및 n 채널 트랜지스터(90)의 게이트 단자들 각각에 입력되고, 제2 입력 신호는 p 채널 트랜지스터(89) 및 n 채널 트랜지스터(91)의 게이트 단자들 각각에 입력된다는 점에 유의한다. 또한, p 채널 트랜지스터(88)의 제2 단자, p 채널 트랜지스터(89)의 제2 단자, 및 n 채널 트랜지스터(90)의 제1 단자가 서로 전기적으로 접속되는 노드의 전위는 NAND 게이트의 출력 신호로서 출력된다.

- [0083] 상술한 논리 게이트들 각각은 접지 전위 공급 배선과의 전기적 접속을 제어하는 트랜지스터(n 채널 트랜지스터(82), n 채널 트랜지스터(87), 또는 n 채널 트랜지스터(92))를 포함한다. 또한, 논리 게이트들 각각에서, 트랜지스터의 채널 형성 영역은 수소 농도가 5×10^{19} (원자/cm³) 이하, 바람직하게는, 5×10^{18} (원자/cm³) 이하, 더욱 바람직하게는 5×10^{17} (원자/cm³) 이하인 산화물 반도체를 이용하여 형성된다. 그러므로, 트랜지스터의 리크 전류는 상당히 감소될 수 있다. 따라서, 논리 게이트를 통하여 흐르는 관통 전류가 감소될 수 있다. 결과적으로, 반도체 장치의 대기 전류가 감소될 수 있다.
- [0084] 논리 게이트들 각각이 접지 전위의 입력을 제어하는 트랜지스터를 포함하는 구성이 여기서 설명되지만, 하나의 트랜지스터가 복수의 논리 게이트로의 접지 전위의 입력을 제어하는 구성이 적용될 수 있다.
- [0085] 논리 회로가 상기 설명에서 상보적 금속 산화물 반도체(CMOS)를 이용하여 형성되는 구성예가 설명되지만, 본 실시 형태의 반도체 장치는 n 채널 트랜지스터만을 이용하여 형성될 수 있다. 도 6의 (a) 내지 (c)는 각각 n 채널 트랜지스터만을 이용하여 형성된 논리 게이트이다. 도 6의 (a)는 인버터, 도 6의 (b)는 NOR 게이트, 및 도 6의 (c)는 NAND 게이트이다. 이것을 간단히 하기 위해, 도 6의 (a) 내지 (c)에 도시된 각각의 논리 게이트는 도 5의 (a) 내지 (c)에 도시된 논리 게이트에 포함된 p 채널 트랜지스터가 다이오드 접속된 n 채널 트랜지스터와 교체된 구성을 갖는다.
- [0086] 상술한 바와 같이, 도 6의 (a) 내지 (c)에 도시된 논리 게이트 각각은 접지 전위 공급 배선과의 전기적 접속을 제어하는 트랜지스터로서, 채널 형성 영역이 수소 농도가 5×10^{19} (원자/cm³) 이하, 바람직하게는, 5×10^{18} (원자/cm³) 이하, 더욱 바람직하게는 5×10^{17} (원자/cm³) 이하인 산화물 반도체를 이용하여 형성되는 트랜지스터를 포함한다. 따라서, 트랜지스터의 리크 전류는 상당히 감소될 수 있다. 따라서, 논리 게이트를 통하여 흐르는 관통 전류가 감소될 수 있다. 결과적으로, 반도체 장치의 대기 전류가 감소될 수 있다.
- [0087] 또한, 클록 발생 회로(49), 센서(50), 메모리 회로(51), 및 변조 회로(52)에서, 전환이 전력 제어 회로(47)에 의해 제어되는 트랜지스터가 종래의 회로 구성에 기초하여 회로와 접지 전위 공급 배선 사이 또는 회로와 전원 전위(VDD) 공급 배선 사이에 제공될 수 있다. 더구나, 전력 제어 회로(47)에 의해 제어되는 트랜지스터는 종래의 회로의 각 블록에 제공될 수 있다. 다르게는, 전력 제어 회로(47)에 의해 제어되는 트랜지스터는 각각의 기능 회로에 제공될 수 있다.
- [0088] 본 실시 형태 또는 본 실시 형태의 일부는 다른 실시 형태들 또는 다른 실시 형태들의 일부와 자유롭게 조합될 수 있다는 점에 유의한다.
- [0089] (실시 형태 5)
- [0090] 본 실시 형태에서, 실시 형태 1 내지 4 중 임의의 것에서 설명된 반도체 장치에 포함된 트랜지스터의 예가 설명된다. 구체적으로, 반도체 장치에 포함된 p 채널 트랜지스터로서 반도체 재료를 포함하는 기판을 이용하여 형성된 트랜지스터가 이용되고, 산화물 반도체를 이용하여 형성된 트랜지스터가 반도체 장치에 포함된 n 채널 트랜지스터로서 이용되는 예가 설명된다.
- [0091] [구성예]
- [0092] 본 실시 형태의 반도체 장치에 포함된 p 채널 트랜지스터 및 n 채널 트랜지스터가 도 7에 도시된다.
- [0093] 도 7에 도시된 p 채널 트랜지스터(160)는 반도체 재료를 포함하는 기판(100) 위에 제공된 채널 형성 영역(116), 채널 형성 영역(116)이 그 사이에 개재된 한 쌍의 불순물 영역(114a 및 114b) 및 한 쌍의 고농도 불순물 영역(120a 및 120b)(이들 영역은 또한 총체적으로 간단히 불순물 영역이라 함), 채널 형성 영역(116) 위에 제공된 게이트 절연층(108a), 게이트 절연층(108a) 위에 제공된 게이트 전극층(110a), 불순물 영역(114a)에 전기적으로 접속된 소스 전극층(130a), 및 불순물 영역(114b)에 전기적으로 접속된 드레인 전극층(130b)을 포함한다.
- [0094] 측벽 절연층(118)이 게이트 전극층(110a)의 측면 위에 제공된다. 반도체 재료를 포함하는 기판(100)은 측벽 절연층(118)과 겹치지 않는 영역에 한 쌍의 고농도 불순물 영역(120a 및 120b)을 구비한다는 점에 유의한다. 기판(100)은 또한 한 쌍의 고농도 불순물 영역(120a 및 120b) 위에 한 쌍의 금속 화합물 영역(124a 및 124b)을 구비한다. 또한, 소자 분리 절연층(106)이 p 채널 트랜지스터(160)를 둘러싸도록 기판(100) 위에 제공되고, 층간 절연층(126) 및 층간 절연층(128)이 p 채널 트랜지스터(160)를 덮도록 제공된다. 소스 전극층(130a) 및 드레인 전극층(130b)은 각각 층간 절연층(126) 및 층간 절연층(128)에 형성된 개구를 통해, 금속 화합물 영역(124a) 및 금속 화합물 영역(124b)에 전기적으로 접속된다. 즉, 소스 전극층(130a)은 금속 화합물 영역(124a)을 통해 고

농도 불순물 영역(120a) 및 불순물 영역(114a)에 전기적으로 접속되고, 드레인 전극층(130b)은 금속 화합물 영역(124b)을 통해 고농도 불순물 영역(120b) 및 불순물 영역(114b)에 전기적으로 접속된다.

[0095] 또한, 나중에 설명되는 n 채널 트랜지스터(164) 아래의 층으로서, 게이트 절연층(108a)이 형성되는 동일한 재료를 이용하여 형성된 절연층(108b), 게이트 전극층(110a)과 동일한 재료를 이용하여 형성된 전극층(110b), 및 소스 전극층(130a) 및 드레인 전극층(130b)과 동일한 재료를 이용하여 형성된 전극층(130c)이 제공된다.

[0096] 도 7에 도시된 n 채널 트랜지스터(164)는 층간 절연층(128) 위에 제공된 게이트 전극층(136d), 게이트 전극층(136d) 위에 제공된 게이트 절연층(138), 게이트 절연층(138) 위에 제공된 산화물 반도체층(140), 및 산화물 반도체층(140) 위에 제공되고 산화물 반도체층(140)에 전기적으로 접속된 소스 전극층(142a) 및 드레인 전극층(142b)을 포함한다.

[0097] 여기서, 게이트 전극층(136d)은 층간 절연층(128) 위에 형성된 절연층(132) 내에 매립되도록 제공된다. 게이트 전극층(136d)과 유사한 방식으로, p 채널 트랜지스터(160)에 포함된 소스 전극층(130a) 및 드레인 전극층(130b)과 각각 접하여 있는 전극층(136a) 및 드레인 전극층(136b)이 형성된다. 또한, 전극층(130c)과 접하여 있는 전극층(136c)이 형성된다.

[0098] n 채널 트랜지스터(164) 위에는, 보호 절연층(144)이 산화물 반도체층(140)과 부분적으로 접하도록 제공되고, 층간 절연층(146)이 보호 절연층(144) 위에 제공된다. 여기서, 소스 전극층(142a) 및 드레인 전극층(142b)에 이르는 개구들이 보호 절연층(144) 및 층간 절연층(146) 내에 제공된다. 전극층(150d) 및 전극층(150e)이 개구들을 통해, 소스 전극층(142a) 및 드레인 전극층(142b)과 각각 접하여 형성된다. 전극층(150d) 및 전극층(150e)과 유사한 방식으로, 전극층(150a), 전극층(150b), 및 전극층(150c)이 게이트 절연층(138), 보호 절연층(144), 및 층간 절연층(146) 내에 제공된 개구들을 통해, 전극층(136a), 전극층(136b), 및 전극층(136c)과 각각 접하여 형성된다.

[0099] 산화물 반도체층(140)은 그 안의 수소 등의 불순물을 충분히 제거함으로써 고순도화된다. 구체적으로, 산화물 반도체층(140)의 수소 농도는 5×10^{19} (원자/cm³) 이하이다. 산화물 반도체층(140)의 바람직한 수소 농도는 5×10^{18} (원자/cm³) 이하, 더욱 바람직하게는 5×10^{17} (원자/cm³) 이하라는 점에 유의한다. 수소 농도가 충분히 감소된 고순도화된 산화물 반도체층(140)이 이용될 때, 탁월한 오프 전류 특성을 갖는 n 채널 트랜지스터(164)가 얻어질 수 있다. 수소 농도가 충분히 감소된 고순도화된 산화물 반도체층(140)을 적용하면 n 채널 트랜지스터(164)의 리크 전류가 감소될 수 있다. 산화물 반도체층(140) 내의 수소 농도는 2차 이온 질량 분석법(SIMS)에 의해 측정된다.

[0100] 또한, 절연층(152)은 층간 절연층(146) 위에 제공되고, 전극층(154a), 전극층(154b), 전극층(154c), 및 전극층(154d)이 절연층(152) 내에 매립되도록 제공된다. 전극층(154a)은 전극층(150a)과 접하여 있고, 전극층(154b)은 전극층(150b)과 접하여 있고, 전극층(154c)은 전극층(150c) 및 전극층(150d)과 접하여 있고, 전극층(154d)은 전극층(150e)과 접하여 있다는 점에 유의한다.

[0101] 본 실시 형태의 p 채널 트랜지스터(160) 내의 소스 전극층(130a)은 상부 영역에 제공된 전극층(136a, 150a, 및 154a)에 전기적으로 접속된다. 따라서, 상술한 전극층을 위한 도전층이 적절히 형성되어, p 채널 트랜지스터(160) 내의 소스 전극층(130a)이 상부 영역에 제공된 n 채널 트랜지스터(164) 내에 포함된 전극층들 중 임의의 것에 전기적으로 접속될 수 있다. p 채널 트랜지스터(160) 내의 드레인 전극층(130b)이 상부 영역에 제공된 n 채널 트랜지스터(164) 내에 포함된 전극층들 중 임의의 것에 전기적으로 접속될 수 있다. 도 7에 도시되지 않았지만, p 채널 트랜지스터(160) 내의 게이트 전극층(110a)은 상부 영역에 제공된 전극층을 통해 n 채널 트랜지스터(164) 내에 포함된 전극층들 중 임의의 것에 전기적으로 접속될 수 있다.

[0102] 마찬가지로, 본 실시 형태의 n 채널 트랜지스터(164) 내의 소스 전극층(142a)은 하부 영역에 제공된 전극층(130c 및 110b)에 전기적으로 접속된다. 따라서, 상술한 전극층을 위한 도전층이 적절히 형성되어, n 채널 트랜지스터(164) 내의 소스 전극층(142a)이 하부 영역에 제공된 p 채널 트랜지스터(160)의 게이트 전극층(110a), 소스 전극층(130a), 또는 드레인 전극층(130b)에 전기적으로 접속될 수 있다. 도 7에 도시되지 않았지만, n 채널 트랜지스터(164) 내의 게이트 전극층(136d) 또는 드레인 전극층(142b)은 하부 영역에 제공된 전극층을 통해 p 채널 트랜지스터(160)에 포함된 전극층들 중 임의의 것에 전기적으로 접속될 수 있다.

[0103] 상술한 p 채널 트랜지스터(160) 및 n 채널 트랜지스터(164)가 적절히 제공될 때, 다양한 회로가 제공될 수 있다. 회로에 포함된 모든 n 채널 트랜지스터(164)는 반드시 산화물 반도체를 포함하는 트랜지스터일 필요는

없지만, n 채널 트랜지스터(164)는 각 트랜지스터에 요구된 특성에 따라 다른 구성을 가질 수 있다는 점에 유의한다. 예를 들어, 반도체 장치에서 논리 게이트 내에 제공된 n 채널 트랜지스터로서, 반도체 재료를 포함하는 기판을 이용하여 형성된 트랜지스터가 적용될 수 있고, 논리 게이트와 전지의 양극 사이의 전기적 접속을 제어하는 n 채널 트랜지스터로서, 산화물 반도체를 이용하여 형성된 트랜지스터가 적용될 수 있다.

[0104] [제조 단계의 예]

[0105] 다음에, p 채널 트랜지스터(160) 및 n 채널 트랜지스터(164)의 제조 방법의 예가 설명된다. 이후, p 채널 트랜지스터(160)의 제조 방법이 도 8의 (a) 내지 (h)를 참조하여 설명되고, n 채널 트랜지스터(164)의 제조 방법이 도 9의 (a) 내지 (g) 및 도 10의 (a) 내지 (d)를 참조하여 설명된다.

[0106] 먼저, 반도체 재료를 포함하는 기판(100)이 준비된다(도 8의 (a) 참조). 반도체 재료를 포함하는 기판(100)은 실리콘, 탄화 실리콘 등을 이용하여 형성된 단결정 반도체 기판; 다결정 반도체 기판; 실리콘 게르마늄 등을 이용하여 형성된 화합물 반도체 기판; SOI 기판 등일 수 있다. 여기서, 단결정 실리콘 기판이 반도체 재료를 포함하는 기판(100)으로서 이용되는 경우가 설명된다. 일반적으로, "SOI 기판"은 실리콘 반도체층이 절연 표면 위에 제공된 기판을 의미한다. 본 명세서 등에서는, 용어 "SOI 기판"은 또한 실리콘 이외의 재료를 이용하여 형성된 반도체층이 그 부류의 절연 표면 위에 제공되는 기판을 또한 포함한다. 즉, "SOI 기판" 내에 포함된 반도체층은 실리콘 반도체층으로 한정되지 않는다. 또한, "SOI 기판"은 절연층이 그 사이에 개재된 글래스 기판 등의 절연 기판 위에 반도체층이 형성된 구성을 포함한다.

[0107] 기판(100) 위에는, 소자 분리 절연층의 형성을 위한 마스크로 되는 보호층(102)이 형성된다(도 8의 (a) 참조). 보호층(102)으로서, 예를 들어, 산화 실리콘, 질화 실리콘, 질화 산화 실리콘 등을 이용하여 형성된 절연층이 이용될 수 있다. 이 단계의 전 또는 후에, n 형 도전성을 부여하는 불순물 또는 p 형 도전성을 부여하는 불순물이 반도체 장치의 임계 전압을 제어하기 위해 기판(100)에 첨가될 수 있다는 점에 유의한다. 반도체가 실리콘인 경우, n 형 도전성을 부여하는 불순물은 인, 비소 등일 수 있다. p 형 도전성을 부여하는 불순물은 붕소, 알루미늄, 갈륨 등일 수 있다.

[0108] 다음에, 보호층(102)으로 덮이지 않은 영역(노출된 영역)에서의 기판(100)의 부분은 보호층(102)을 마스크로 이용하여 에칭된다. 이 에칭에 의해, 분리된 반도체 영역(104)이 형성된다(도 8의 (b) 참조). 에칭으로서, 드라이 에칭이 양호하지만, 웨트 에칭이 수행될 수 있다. 에칭 가스 및 에칭액은 피에칭층의 재료에 따라 적절히 선택될 수 있다.

[0109] 다음에, 절연층이 반도체 영역(104)을 덮도록 형성되고, 반도체 영역(104)과 접치는 영역에서의 절연층이 선택적으로 제거되어, 소자 분리 절연층(106)이 형성된다(도 8의 (b) 참조). 절연층은 산화 실리콘, 질화 실리콘, 질화 산화 실리콘 등을 이용하여 형성된다. 절연층의 제거 방법으로서, 화학 기계적 연마(CMP) 등의 연마 처리, 에칭 처리 등을 들 수 있고, 상기 처리 중 어느 것이 이용될 수 있다. 보호층(102)은 반도체 영역(104)의 형성 또는 소자 분리 절연층(106)의 형성 후에 제거된다는 점에 유의한다.

[0110] 다음에, 절연층이 반도체 영역(104) 위에 형성되고, 도전 재료를 포함하는 층이 절연층 위에 형성된다.

[0111] 절연층은 나중에 게이트 절연층으로 되고, 산화 실리콘막, 질화 산화 실리콘막, 질화 실리콘막, 산화 하프늄막, 산화 알루미늄막, 산화 탄탈막 등의 단층 또는 상기 막들 중 어느 것을 포함하는 적층이 되도록 CVD 방법, 스퍼터링 방법 등에 의해 형성된다. 다르게는, 반도체 영역(104)의 표면은 고밀도 플라즈마 처리 또는 열 산화 처리에 의해 산화 또는 질화되어, 절연층이 형성될 수 있다. 고밀도 플라즈마 처리는 예를 들어 He, Ar, Kr, 또는 Xe 등의 희가스와 산소, 산화 질소, 암모니아, 질소, 또는 산소 등의 가스의 혼합 가스를 이용하여 수행될 수 있다. 절연층의 두께에는 특정한 제한이 없다. 예를 들어, 절연층은 1nm 이상 100nm 이하의 범위의 두께이도록 형성될 수 있다.

[0112] 도전 재료를 포함하는 층은 알루미늄, 구리, 티타늄, 탄탈, 또는 텅스텐 등의 금속 재료를 이용하여 형성될 수 있다. 다르게는, 도전 재료를 포함하는 층은 도전 재료를 포함하는 다결정 실리콘 등의 반도체 재료를 이용하여 형성될 수 있다. 도전 재료를 포함하는 층을 형성하는 방법에는 특정한 제한이 또한 없고, 증착 방법, CVD 방법, 스퍼터링 방법, 또는 스펀 코팅 방법 등의 다양한 막 형성 방법이 이용될 수 있다. 금속 재료를 이용하여 도전 재료를 포함하는 층을 형성하는 경우가 본 실시 형태에서 설명된다.

[0113] 다음에, 절연층 및 도전 재료를 포함하는 층이 선택적으로 에칭되어, 게이트 절연층(108a) 및 게이트 전극층(110a)이 형성된다(도 8의 (c) 참조).

- [0114] 다음에, 게이트 전극층(110a)을 덮는 절연층(112)이 형성된다(도 8의 (c) 참조). 다음에, 붕소(B), 알루미늄(Al) 등이 반도체 영역(104)에 첨가되어, 얇은 접합 깊이를 갖는 한 쌍의 불순물 영역(114a 및 114b)이 형성된다는 점에 유의한다(도 8의 (c) 참조). 여기서, 붕소 또는 알루미늄이 p 채널 트랜지스터의 형성을 위해 첨가되지만, n 채널 트랜지스터를 형성하는 경우에, 인(P) 또는 비소(As) 등의 불순물 원소가 첨가될 수 있다. 한 쌍의 불순물 영역(114a 및 114b)을 형성하여, 채널 형성 영역(116)이 게이트 절연층(108a) 아래의 반도체 영역(104)에 형성된다(도 8의 (c) 참조). 여기서 첨가된 불순물의 농도는 적절히 설정될 수 있고, 그 농도는 바람직하게는 반도체 소자의 초소형화에 따라 높게 설정된다. 한 쌍의 불순물 영역(114a 및 114b)이 여기서 절연층(112)의 형성 후에 형성되지만, 절연층(112)이 한 쌍의 불순물 영역(114a 및 114b)의 형성 후에 형성되어도 된다.
- [0115] 다음에, 측벽 절연층(118)이 형성된다(도 8의 (d) 참조). 절연층은 절연층(112)을 덮도록 형성되고, 높은 이방성의 에칭 처리가 절연층에 대해 수행되어, 측벽 절연층(118)이 자기정합적으로 형성될 수 있다. 이때, 절연층(112)이 부분적으로 에칭되어, 게이트 전극층(110a)의 상면 및 불순물 영역(114a 및 114b)의 상면이 노출될 수 있다.
- [0116] 다음에, 절연층이 게이트 전극층(110a), 한 쌍의 불순물 영역(114a 및 114b), 측벽 절연층(118) 등을 덮도록 형성된다. 다음에, 붕소(B), 알루미늄(Al) 등이 불순물 영역(114a 및 114b)에 일부에 첨가되어, 한 쌍의 고농도 불순물 영역(120a 및 120b)이 형성된다(도 8의 (e) 참조). 여기서, n 채널 트랜지스터를 형성하는 경우에, 인(P) 또는 비소(As) 등의 불순물 원소가 첨가될 수 있다. 그 다음에, 절연층이 제거되고, 금속층(122)이 게이트 전극층(110a), 측벽 절연층(118), 한 쌍의 고농도 불순물 영역(120a 및 120b) 등을 덮도록 형성된다(도 8의 (e) 참조). 금속층(122)은 진공 증착 방법, 스퍼터링 방법, 또는 스핀 코팅 방법 등의 다양한 막 형성 방법에 의해 형성될 수 있다. 금속층(122)은 반도체 영역(104)에 포함된 반도체 재료와 반응하는 금속 재료를 이용하여 낮은 저항을 갖는 금속 화합물이 되도록 형성되는 것이 바람직하다. 이러한 금속 재료의 예는 티타늄, 탄탈, 텅스텐, 니켈, 코발트, 및 백금을 포함한다.
- [0117] 다음에, 열 처리가 수행되어, 금속층(122)이 반도체 재료와 반응한다. 이 열 처리에 의해, 한 쌍의 고농도 불순물 영역(120a 및 120b)과 접하는 한 쌍의 금속 화합물 영역(124a 및 124b)이 형성된다(도 8의 (f) 참조). 다결정 실리콘 등이 게이트 전극층(110a)에 이용되는 경우에, 금속층(122)과 접하는 게이트 전극층(110a)의 부분이 또한 금속 화합물 영역으로 된다.
- [0118] 열 처리로서, 플래시 램프로 하는 조사가 이용될 수 있다. 물론 다른 열 처리가 이용될 수 있지만, 극도로 짧은 시간 동안의 열 처리가 이루어질 수 있는 방법이 바람직하게는 금속 화합물의 형성시에 화학 반응의 조절가능성을 개선하기 위해 이용될 수 있다. 금속 화합물 영역은 금속 재료와 반도체 재료의 반응에 의해 형성되어, 도전성이 충분히 증가된 영역으로 된다는 점에 유의한다. 금속 화합물 영역의 형성은 전기 저항을 적절히 감소시키고 소자 특성을 개선한다. 금속층(122)은 한 쌍의 금속 화합물 영역(124a 및 124b)이 형성된 후에 제거된다.
- [0119] 다음에, 층간 절연층(126) 및 층간 절연층(128)이 상기 단계들에서 형성된 구성요소들을 덮도록 형성된다(도 8의 (g) 참조). 층간 절연층(126 및 128)은 산화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 하프늄, 산화 알루미늄, 또는 산화 탄탈 등의 무기 절연 재료를 포함하는 재료를 이용하여 형성될 수 있다. 다르게는, 폴리이미드 또는 아크릴 등의 유기 절연 재료가 이용될 수 있다. 층간 절연층은 여기서 층간 절연층(126)과 층간 절연층(128)의 2층을 포함하는 구성을 갖지만, 층간 절연층의 구성은 이로 한정되지 않는다. 층간 절연층(128)의 형성 후에, 층간 절연층(128)의 표면은 양호하게는 CMP 처리, 에칭 처리 등에 의해 평탄화된다.
- [0120] 그 후, 한 쌍의 금속 화합물 영역(124a 및 124b)에 이르는 개구가 층간 절연층 내에 형성되고, 소스 전극층(130a) 및 드레인 전극층(130b)이 개구에 형성된다(도 8의 (h) 참조). 도전층이 개구를 포함하는 영역에 PVD 방법, CVD 방법 등에 의해 형성되고, 도전층의 일부가 에칭 처리 또는 CMP 처리에 의해 제거되어, 소스 전극층(130a) 및 드레인 전극층(130b)이 형성될 수 있다.
- [0121] 소스 전극층(130a) 및 드레인 전극층(130b)은 평탄한 표면을 갖도록 형성되는 것이 바람직하다. 예를 들어, 티타늄막 또는 질화 티타늄막의 박막이 개구를 포함하는 영역에 형성된 후, 텅스텐막이 개구를 채우도록 형성된다. 그 경우에, 텅스텐, 티타늄 또는 질화 티타늄의 불필요한 부분이 CMP 처리에 의해 제거되고, 표면의 평탄성이 개선될 수 있다. 이러한 방식으로, 소스 전극층(130a) 및 드레인 전극층(130b)을 포함하는 표면이 평탄화되어, 전극, 배선, 절연층, 반도체층 등이 나중 단계에서 바람직하게 형성될 수 있다.

- [0122] 여기서, 금속 화합물 영역(124a 및 124b)과 접하는 소스 전극층(130a) 및 드레인 전극층(130b) 만이 도시되지만, 배선으로 되는 전극층(예를 들어 도 7의 전극층(130c)) 등이 이 단계에서 함께 형성될 수 있다는 점에 유의한다. 소스 전극층(130a) 및 드레인 전극층(130b)을 형성하는 재료에는 특정한 제한이 없고, 다양한 도전 재료가 이용될 수 있다. 예를 들어, 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 또는 스칸듐 등의 도전 재료가 이용될 수 있다.
- [0123] 상기 단계들을 통해, 반도체 재료를 포함하는 기판(100)을 이용하는 p 채널 트랜지스터(160)가 형성된다. 상기 단계들 이후에, 전극, 배선, 절연층 등이 추가로 형성될 수 있다. 배선이 층간 절연층 및 도전층을 포함하는 적층 구조인 다층 배선 구조를 가질 때, 고 집적 회로가 제공될 수 있다. 또한, 상기 단계들과 유사한 단계들에 의해, 반도체 재료를 포함하는 기판(100)을 이용하는 n 채널 트랜지스터가 형성될 수 있다. 즉, 상기 단계에서 반도체 영역에 첨가되는 불순물 원소로서 인(P) 또는 비소(As) 등의 불순물 원소를 이용하여, n 채널 트랜지스터가 형성될 수 있다.
- [0124] 다음에, 층간 절연층(128) 위에 n 채널 트랜지스터(164)를 제조하는 공정이 도 9의 (a) 내지 (g) 및 도 10의 (a) 내지 (d)를 참조하여 설명된다. 도 9의 (a) 내지 (g) 및 도 10의 (a) 내지 (d)는 층간 절연층(128) 위에 다양한 전극층, n 채널 트랜지스터(164) 등을 제조하는 공정을 도시하고, 따라서, n 채널 트랜지스터(164) 아래에 제공된 p 채널 트랜지스터(160) 등은 생략된다는 점에 유의한다.
- [0125] 먼저, 절연층(132)이 층간 절연층(128), 소스 전극층(130a), 드레인 전극층(130b), 및 전극층(130c) 위에 형성된다(도 9의 (a) 참조). 절연층(132)은 PVD 방법, CVD 방법 등에 의해 형성될 수 있다. 절연층(132)은 산화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 하프늄, 산화 알루미늄, 또는 산화 탄탈 등의 무기 절연 재료를 포함하는 재료를 이용하여 형성될 수 있다.
- [0126] 다음에, 소스 전극층(130a), 드레인 전극층(130b), 및 전극층(130c)에 이르는 개구가 절연층(132) 내에 형성된다. 이때, 개구가 또한 게이트 전극층(136d)이 나중에 형성되는 영역에 형성된다. 다음에, 도전층(134)이 개구를 채우도록 형성된다(도 9의 (b) 참조). 개구는 마스크 등을 이용하여 에칭 등의 방법에 의해 형성될 수 있다. 마스크는 포토마스크 등을 이용하여 노광 등의 방법에 의해 형성될 수 있다. 웨트 에칭 또는 드라이 에칭이 에칭으로서 이용되는데, 미세 가공의 관점에서, 드라이 에칭이 선호된다. 도전층(134)은 PVD 방법, CVD 방법 등의 막 형성 방법에 의해 형성될 수 있다. 도전층(134)을 형성하기 위해 이용된 재료는 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 또는 스칸듐 등의 도전 재료, 및 그 합금, 상기 재료를 포함하는 질화물 등의 화합물 등일 수 있다.
- [0127] 보다 구체적으로, 예로서, 티타늄의 박막이 개구를 포함하는 영역에 PVD 방법에 의해 형성되고, 질화 티타늄 박막이 CVD 방법에 의해 형성되고, 텅스텐막이 개구를 채우도록 형성되는 방법이 적용될 수 있다. 여기서, PVD 방법에 의해 형성된 티타늄막은 하부 전극층(여기서, 소스 전극층(130a), 드레인 전극층(130b), 전극층(130c) 등)과의 접촉 저항을 감소시키도록 계면에서의 산화막을 환원하는 기능을 갖는다. 그 후에 형성된 질화 티타늄막은 도전 재료의 확산을 억제하는 배리어 기능을 갖는다. 또한, 티타늄, 질화 티타늄 등의 배리어막이 형성된 후에, 구리막이 도금 방법에 의해 형성될 수 있다.
- [0128] 도전층(134)이 형성된 후에, 도전층(134)의 일부가 에칭 처리, CMP 처리 등에 의해 처리되어, 절연층(132)이 노출되며, 따라서, 전극층(136a), 전극층(136b), 전극층(136c), 및 게이트 전극층(136d)이 형성된다(도 9의 (c) 참조). 전극층(136a), 전극층(136b), 전극층(136c), 및 게이트 전극층(136d)이 도전층(134)의 일부를 제거함으로써 형성될 때, 평탄한 표면이 형성되는 것이 바람직하다는 점에 유의한다. 절연층(132), 전극층(136a), 전극층(136b), 전극층(136c), 및 게이트 전극층(136d)의 표면을 평탄화함으로써, 전극, 배선, 절연층, 반도체 등이 나중 단계에서 바람직하게 형성될 수 있다.
- [0129] 다음에, 게이트 절연층(138)이 절연층(132), 전극층(136a), 전극층(136b), 전극층(136c), 및 게이트 전극층(136d)을 덮도록 형성된다(도 9의 (d) 참조). 게이트 절연층(138)은 CVD 방법, 스퍼터링 방법 등에 의해 형성될 수 있다. 또한, 게이트 절연층(138)은 바람직하게는 산화 실리콘, 질화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 산화 알루미늄, 산화 하프늄, 산화 탄탈 등을 포함하도록 형성된다. 게이트 절연층(138)은 단층 구조 또는 적층 구조를 가질 수 있다. 예를 들어, 게이트 절연층(138)은 실란(SiH_4), 산소, 및 질소가 원료 가스로서 이용되는 플라즈마 CVD 방법에 의해 산화 질화 실리콘을 이용하여 형성될 수 있다. 게이트 절연층(138)의 두께에는 특정한 제한이 없다. 예를 들어, 게이트 절연층(138)은 10nm 이상 500nm 이하의 범위의 두께를 갖도록 형성될 수 있다. 적층 구조의 경우에, 양호한 구조는 50nm 이상 200nm 이하의 두께의 제1 게이트 절연층 및

그 위에 5nm 이상 300nm 이하의 두께의 제2 게이트 절연층을 포함한다.

- [0130] 불순물의 제거에 의해 달성된 i형 또는 실질적으로 i형 산화물 반도체(고순도화된 산화물 반도체)는 계면 상태 밀도 또는 계면 전하에 극도로 민감하다. 그러므로, 산화물 반도체층과 게이트 절연층 사이의 계면은 이러한 산화물 반도체가 산화물 반도체층에 이용되는 경우에 중요한 요소이다. 바꾸어 말하면, 고순도화된 산화물 반도체층과 접하는 게이트 절연층(138)이 고품질을 가져야 한다.
- [0131] 예를 들어, μ 파(2.45GHz)를 이용하는 고밀도 플라즈마 CVD 방법이 높은 내압을 갖는 치밀하고 고 품질의 게이트 절연층(138)을 생성한다는 점에서 선호된다. 그 이유는, 고순도화된 산화물 반도체층과 고품질 게이트 절연층 사이의 밀접성은 계면 상태 밀도를 감소시키고 바람직한 계면 특성을 발생하기 때문이다.
- [0132] 물론, 고순도화된 산화물 반도체가 이용될 때에도, 스퍼터링 방법 또는 플라즈마 CVD 방법 등의 다른 방법이 고품질 절연층이 게이트 절연층으로서 형성될 수 있는 한 이용될 수 있다. 막 품질 또는 계면 특성이 막 형성 후에 열 처리에 의해 개질되는 절연층이 이용될 수 있다. 어느 경우에도, 게이트 절연층(138)으로서 바람직한 막 품질을 갖고 바람직한 계면을 형성하기 위해 산화물 반도체층과의 계면 레벨 밀도를 감소시킬 수 있는 절연층이 게이트 절연층(138)으로서 형성될 수 있다.
- [0133] 2×10^6 V/cm로 12시간 동안 85℃에서의 게이트 바이어스-온도 시험(BT 시험)에서, 불순물이 산화물 반도체에 첨가되면, 불순물과 산화물 반도체의 주성분 사이의 결합은 강한 전계(B: 바이어스) 및 고온(T: 온도)에 의해 절단되고, 발생된 땀글링 결합이 임계 전압(V_{th})의 시프트를 유도한다.
- [0134] 한편, 산화물 반도체 내의 불순물, 특히 수소, 물 등이 게이트 절연층과의 계면이 바람직한 특성을 가질 수 있도록 가능한 한 많이 제거될 때, BT 시험에 안정할 수 있는 트랜지스터가 얻어질 수 있다.
- [0135] 다음에, 산화물 반도체층이 게이트 절연층(138) 위에 형성되고 마스크를 이용하는 에칭 등의 방법에 의해 가공되어, 섬 형상의 산화물 반도체층(140)이 형성된다(도 9의 (e) 참조).
- [0136] 산화물 반도체층으로서, In-Ga-Zn-O계 산화물 반도체층, In-Sn-Zn-O계 산화물 반도체층, In-Al-Zn-O계 산화물 반도체층, Sn-Ga-Zn-O계 산화물 반도체층, Al-Ga-Zn-O계 산화물 반도체층, Sn-Al-Zn-O계 산화물 반도체층, In-Zn-O계 산화물 반도체층, Sn-Zn-O계 산화물 반도체층, Al-Zn-O계 산화물 반도체층, In-O계 산화물 반도체층, Sn-O계 산화물 반도체층, 또는 Zn-O계 산화물 반도체층이 이용된다. 특히, 비정질 산화물 반도체층이 선호된다. 본 실시 형태에서, 비정질 산화물 반도체층이 In-Ga-Zn-O계 금속 산화물 타겟을 이용하는 스퍼터링 방법에 의해 산화물 반도체층으로서 형성된다. 비정질 산화물 반도체층에 실리콘을 첨가하면 층의 결정화를 억제하므로, 산화물 반도체층은 2중량% 내지 10중량%의 SiO_2 를 포함하는 타겟을 이용하여 형성될 수 있다.
- [0137] 스퍼터링 방법에 의해 산화물 반도체층을 형성하는 타겟으로서, 예를 들어, 산화 아연을 주성분으로 포함하는 금속 산화물 타겟이 이용될 수 있다. 다르게는, In, Ga, 및 Zn(조성비로서, $In_2O_3:Ga_2O_3:ZnO = 1:1:1$ [몰 비], $In:Ga:Zn=1:1:0.5$ [원자 비])을 포함하는 금속 산화물 타겟이 이용될 수 있다. In, Ga, 및 Zn을 포함하는 금속 산화물 타겟으로서, $In:Ga:Zn=1:1:1$ [원자 비]의 조성비를 갖는 타겟 또는 $In:Ga:Zn=1:1:2$ [원자 비]를 갖는 타겟이 또한 사용될 수 있다. 금속 산화물 타겟의 충전율은 90% 이상 100% 이하, 바람직하게는 95% 이상 (예를 들어 99.9%)이다. 충전율이 높은 금속 산화물 반도체막 타겟을 이용함으로써, 치밀한 막인 산화물 반도체층이 형성될 수 있다.
- [0138] 산화물 반도체층의 형성을 위한 양호한 분위기는 회가스(전형적으로 아르곤) 분위기, 산소 분위기, 또는 회가스(전형적으로 아르곤)와 산소의 혼합된 분위기이다. 구체적으로, 고순도 가스가 바람직하게 사용되는데, 이 가스는 수소, 물, 수산기, 또는 수소화물 등의 불순물이 거의 수 ppm(parts per million)(양호하게는 수 ppb(parts per billion))로 감소된 것이다.
- [0139] 산화물 반도체층의 형성시에, 기판은 감압된 상태에서 처리실 내에 세트되고 기판 온도는 100℃ 내지 600℃, 양호하게는 200℃ 내지 400℃로 설정된다. 기판을 가열하면서 증착하면 산화물 반도체층의 불순물 농도가 감소될 수 있다. 또한, 스퍼터링에 의한 손상이 감소될 수 있다. 다음에, 수소 및 수분이 제거된 스퍼터링 가스가 처리실 내로 도입되고 이로부터 남아 있는 수분이 제거되고, 산화물 반도체층이 금속 산화물을 타겟으로 이용하여 형성된다. 처리실 내의 잔류 수분을 제거하기 위해서, 양호하게는 흡착형의 진공 펌프가 이용된다. 예를 들어, 크라이오펌프, 이온 펌프, 또는 티타늄 서블리메이션 펌프가 양호하게 이용된다. 배기 장치는 쿨드 트랩을 구비한 터보 펌프일 수 있다. 크라이오펌프를 이용하여 배기된 처리실에서, 수소 원자, 물(H_2O) 등의 수소를

원자를 포함하는 화합물(양호하게는, 또한 탄소 원자를 포함하는 화합물) 등이 제거되어, 처리실 내에 형성된 산화물 반도체층 내의 불순물 농도가 감소될 수 있다.

- [0140] 증착 조건의 예로서, 기관과 타겟 사이의 거리는 100mm, 압력은 0.6Pa, 직류(DC) 전력은 0.5kW, 및 증착 분위기는 산소 분위기(산소 유량의 비율이 100%)이다. 막 증착 시에 발생된 분말 물질(입자 또는 먼지라고도 함)이 감소될 수 있고 막 두께가 균일할 수 있기 때문에 펄스식 직류(DC) 전원이 바람직하게 이용될 수 있다는 점에 유의한다. 산화물 반도체층의 두께는 2nm 내지 200nm, 바람직하게는, 5nm 내지 30nm이다. 산화물 반도체 재료에 따라 적절한 두께는 다르고, 두께는 재료에 따라 적절히 설정될 수 있다는 점에 유의한다.
- [0141] 산화물 반도체층이 스퍼터링 방법에 의해 형성되기 전에, 게이트 절연층(138)의 표면 위의 먼지는 바람직하게는 아르곤 가스가 도입되고 플라즈마가 발생하는 역 스퍼터링에 의해 제거된다. 역 스퍼터링은 일반적 스퍼터링에서의 스퍼터링 타겟에 이온을 충돌시키는 것 대신에, 이온이 피처리 표면에 충돌하게 하여 표면이 개질되는 방법을 말한다. 피처리 표면에 이온을 충돌시키는 방법은 아르곤 분위기에서 고주파 전압이 표면 측에 인가되고 플라즈마가 기관 근방에서 발생하는 방법을 포함한다. 질소 분위기, 헬륨 분위기, 산소 분위기 등이 아르곤 분위기 대신에 이용될 수 있다.
- [0142] 산화물 반도체층의 에칭은 드라이 에칭 또는 웨트 에칭일 수 있다. 물론, 드라이 에칭과 웨트 에칭이 조합되어 이용될 수 있다. 에칭 조건(에칭 가스, 에칭액, 에칭 시간, 및 온도 등)은 재료에 따라 적절히 조정되어, 산화물 반도체층이 원하는 형상으로 가공될 수 있다.
- [0143] 예를 들어, 염소를 포함하는 가스(염소(Cl_2), 염화 붕소(BCl_3), 4염화 실리콘(SiCl_4), 또는 4염화 탄소(CCl_4) 등의 염소계 가스)가 드라이 에칭을 위한 에칭 가스로서 이용될 수 있다. 다르게는, 불소를 포함하는 가스(4불화 탄소(CF_4), 6불화 황(SF_6), 3불화 질소(NF_3), 또는 3불화 메탄(CHF_3) 등의 불소계 가스), 브롬화 수소(HBr), 산소(O_2), 이들 가스 중 임의의 것에 헬륨(He) 또는 아르곤(Ar) 등의 회가스가 첨가된 가스 등이 이용될 수 있다.
- [0144] 드라이 에칭 방법으로서, 평행 평판형 RIE(반응성 이온 에칭) 방법 또는 ICP(유도 결합형 플라즈마) 에칭 방법이 이용될 수 있다. 층을 원하는 형상으로 에칭하기 위해서, 에칭 조건(코일형 전극에 인가되는 전력량, 기관 측 위의 전극에 인가된 전력량, 기관 측 위의 전극의 온도 등)이 적절히 조정된다.
- [0145] 웨트 에칭에 이용되는 에칭액으로서, 인산, 아세트산, 및 질산 등의 혼합 용액이 이용될 수 있다. 다르게는 IT007N 등의 에칭액(간토화합사제)이 이용될 수 있다.
- [0146] 다음에, 제1 열 처리가 바람직하게는 산화물 반도체층에 대해 수행된다. 제1 열 처리에 의해, 산화물 반도체층이 탈수화 또는 탈수소화될 수 있다. 제1 열 처리의 온도는 300℃ 이상 750℃ 이하, 바람직하게는 400℃ 이상 기관의 왜곡점 미만이다. 예를 들어, 기관은 저항성 발열소자 등을 이용하는 전기로 내로 도입되고, 산화물 반도체층(140)은 질소 분위기에서 1시간 동안 450℃에서 열 처리된다. 열 처리 동안에, 산화물 반도체층(140)은 공기에 노출되지 않아 물 및 수소가 들어오는 것이 방지된다.
- [0147] 열 처리 장치는 전기로로 한정되지 않고, 피처리물을 가열된 가스 등의 매체에 의해 주어진 열 전도 또는 열 복사로 가열하는 장치일 수 있다는 점에 유의한다. 예를 들어 가스 급속 열 어닐링(GRTA) 장치 또는 램프 급속 열 어닐링(LRTA) 장치 등의 급속 열 어닐링(RTA) 장치가 이용될 수 있다. LRTA 장치는 피처리물을 할로겐 램프, 급속 헬라이드 램프, 크세논 아크 램프, 탄소 아크 램프, 고압 나트륨 램프 또는 고압 수은 램프로부터 방출된 광(전자기파)의 복사에 의해 가열하는 장치이다. GRTA 장치는 고온 가스를 이용하여 열 처리하기 위한 장치이다. 가스로서, 질소 등의, 열 처리에 의해 피처리물과 반응하지 않는 불활성 가스, 또는 아르곤 등의 회가스가 이용된다.
- [0148] 예를 들어, 제1 열 처리로서, GRTA는 다음과 같이 수행될 수 있다. 기관은 650℃ 내지 700℃의 고온으로 수분 동안 가열된 불활성 가스에 넣어져, 수분 동안 가열된 후, 가열된 불활성 가스로부터 추출된다. GRTA로, 단시간 동안의 고온 열 처리가 이루어질 수 있다. 또한, GRTA는 단시간 동안의 열 처리이므로, 기관의 왜곡점 보다 높은 온도 조건에서도 적용될 수 있다.
- [0149] 제1 열 처리는 그 주성분으로 질소 또는 회가스(예를 들어, 헬륨, 네온, 또는 아르곤)를 포함하고 물, 수소 등을 포함하지 않는 분위기에서 바람직하게 수행된다는 점에 유의한다. 예를 들어, 가열 장치 내로 도입된 질소 또는 헬륨, 네온, 또는 아르곤 등의 회가스의 순도는 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상이다(즉, 불순물 농도는 1ppm 이하, 바람직하게는 0.1ppm 이하이다).

- [0150] 제1 열 처리의 조건 또는 산화물 반도체층의 재료에 따라, 산화물 반도체층은 어떤 경우에는 미결정 또는 다결정으로 결정화된다. 예를 들어, 산화물 반도체층은 90% 이상, 또는 80% 이상의 결정화율을 갖는 미결정 반도체층으로 되도록 결정화할 수 있다. 또한, 제1 열 처리의 조건 및 반도체층의 재료에 따라, 산화물 반도체층은 다른 경우에 결정 성분을 포함하지 않는 비정질 산화물 반도체층으로 된다.
- [0151] 산화물 반도체층은 미결정 부분(1nm 이상 20nm 이하의 입경, 전형적으로 2nm 이상 4nm 이하의 입경)이 비정질 산화물 반도체(예를 들어, 산화물 반도체층의 표면)에 존재하는 산화물 반도체층으로 될 수 있다.
- [0152] 또한, 산화물 반도체층의 전기적 특성은 비정질 산화물 반도체 내에 미결정을 배향시킴으로써 변경될 수 있다. 예를 들어, 산화물 반도체층이 In-Ga-Zn-O계 금속 산화물 타겟을 이용하여 형성되는 경우에, 전기적 비등방성을 갖는 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 의 결정립이 배향되는 미결정 부분이 형성되어, 산화물 반도체층의 전기적 특성이 변경될 수 있다.
- [0153] 보다 구체적으로, 그 c 축이 산화물 반도체층의 표면에 수직인 방향으로 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 의 결정립을 배향시킴으로써, 산화물 반도체층의 표면에 평행한 방향에서의 도전성은 증가될 수 있고, 산화물 반도체층의 표면에 수직인 방향에서의 절연 특성은 증가될 수 있다. 또한, 이러한 미결정 부분은 물 또는 수소 등의 불순물이 산화물 반도체층으로 들어오는 것을 방지하는 기능을 갖는다.
- [0154] 상술한 미결정 부분을 포함하는 산화물 반도체층은 산화물 반도체층의 표면을 GRTA에 의해 가열함으로써 얻어질 수 있다는 점에 유의한다. Zn 보다 In 또는 Ga를 더 많이 포함하는 스퍼터링 타겟을 이용하면 훨씬 바람직한 산화물 반도체층이 형성될 수 있다.
- [0155] 제1 열 처리는 섬 형태의 산화물 반도체층(140)으로 가공되지 않았던 산화물 반도체층에 대해 수행될 수 있다. 그 경우에, 제1 열 처리 후에, 기판은 가열 장치로부터 추출되어 포토리소그래피 단계가 수행된다.
- [0156] 제1 열 처리는 또한 탈수화 처리 또는 탈수소화 처리라고 하는데, 그 이유는, 산화물 반도체층(140)을 탈수화 또는 탈수소화하는데 효과적이기 때문이라는 점에 유의한다. 이러한 탈수화 또는 탈수소화 처리를, 산화물 반도체층을 형성한 후, 산화물 반도체층(140) 위에 소스 및 드레인 전극을 적층한 후, 또는 소스 및 드레인 전극층 위에 보호 절연층을 형성한 후에 수행하는 것이 가능하다. 이러한 탈수화 처리 또는 탈수소화 처리는 1회 보다 많이 행해질 수 있다.
- [0157] 다음에, 소스 전극층(142a) 및 드레인 전극층(142b)은 산화물 반도체층(140)과 접하도록 형성된다(도 9의 (f) 참조). 도전층은 산화물 반도체층(140)을 덮도록 형성된 다음, 부분적으로 에칭되어, 소스 전극층(142a) 및 드레인 전극층(142b)이 형성될 수 있다.
- [0158] 도전막이 플라즈마 CVD 방법 등의 CVD 방법 또는 스퍼터링 방법을 포함하는 PVD 방법에 의해 형성될 수 있다. 도전층의 재료의 예는, 알루미늄, 크롬, 구리, 탄탈, 티타늄, 몰리브덴, 및 텅스텐으로부터 선택된 원소; 및 이들 원소 중 임의의 것을 성분으로 포함하는 합금을 포함한다. 다르게는, 망간, 마그네슘, 지르코늄, 베릴륨, 및 토륨으로부터 선택된 하나 이상의 재료가 이용될 수 있다. 또 다르게는, 티타늄, 탄탈, 텅스텐, 몰리브덴, 크롬, 네오디뮴 및 스칸듐으로부터 선택된 원소 중 하나 또는 그 이상의 재료와 결합된 알루미늄이 재료로서 이용될 수 있다. 도전층은 단층 구조 또는 둘 이상의 층의 적층 구조를 가질 수 있다. 예를 들어, 실리콘을 포함하는 알루미늄막의 단층 구조, 티타늄막이 알루미늄막 위에 적층된 2층 구조, 티타늄막, 알루미늄막, 및 티타늄막이 이 순서로 적층된 3층 구조 등을 들 수 있다.
- [0159] 여기서, 자외선광, KrF 레이저 광, 또는 ArF 레이저 광이 에칭 마스크를 만들기 위한 노광에 바람직하게 이용된다.
- [0160] 트랜지스터의 채널 길이(L)는 소스 전극층(142a)의 하부 에지부와 드레인 전극층(142b)의 하부 에지부 사이의 거리에 의해 결정된다. 채널 길이(L)가 25nm 보다 짧은 경우에, 마스크를 만들기 위한 노광이 수 나노미터 내지 수십 나노미터의 극도로 짧은 파장을 갖는 극자외선 광을 이용하여 형성된다. 극자외선 광의 노광은 고 해상도 및 깊은 초점 심도를 제공한다. 그러므로, 나중에 형성되는 트랜지스터의 채널 길이(L)는 10nm 내지 1000nm일 수 있으므로, 회로의 동작 속도가 증가될 수 있다.
- [0161] 도전층 및 산화물 반도체층(140)을 위한 재료 및 에칭 조건은 산화물 반도체층(140)이 도전층의 에칭시에 제거되지 않도록 적절히 조정된다. 이 단계에서, 산화물 반도체층(140)은 재료 및 에칭 조건에 따라 흠(오목부)을 갖는 산화물 반도체층이 되도록 부분적으로 에칭된다.

- [0162] 산화물 도전층은 산화물 반도체층(140)과 소스 전극층(142a) 사이 또는 산화물 반도체층(140)과 드레인 전극층(142b) 사이에 형성될 수 있다. 산화물 도전층과 소스 전극층(142a) 및 드레인 전극층(142b)이 되는 금속층을 연속으로 형성하는 것이 가능하다(연속 형성). 산화물 도전층은 소스 영역 또는 드레인 영역으로 기능할 수 있다. 이러한 산화물 도전층은 소스 영역 및 드레인 영역의 저항의 감소를 야기하여, 트랜지스터의 고속 동작이 달성된다.
- [0163] 사용된 마스크의 수 또는 단계의 수를 감소시키기 위해, 레지스트 마스크가 복수의 세기를 갖도록 광이 투과되는 노광 마스크인 멀티-톤 마스크를 이용하여 형성되고, 에칭이 레지스트 마스크를 이용하여 수행될 수 있다. 멀티-톤 마스크를 이용하여 형성된 레지스트 마스크는 복수의 두께(단차형)를 갖고 에칭을 수행하여 형상을 더 변경할 수 있기 때문에, 레지스트 마스크가 다른 패턴을 제공하도록 복수의 에칭 단계에서 이용될 수 있다. 따라서, 적어도 2종의 다른 패턴에 대응하는 레지스트 마스크가 멀티-톤 마스크를 이용하여 형성될 수 있다. 그러므로, 노광 마스크의 수가 감소될 수 있고 또한 대응하는 포토리소그래피 단계의 수가 감소될 수 있어, 단계의 간략화가 실현될 수 있다.
- [0164] N_2O , N_2 , 또는 Ar 등의 가스를 이용하는 플라즈마 처리는 바람직하게는 상기 공정 후에 행해진다. 플라즈마 처리는 산화물 반도체층의 노출된 표면에 붙은 물 등을 제거한다. 플라즈마 처리에서, 산소와 아르곤의 혼합 가스가 이용될 수 있다.
- [0165] 다음에, 산화물 반도체층(140)의 일부와 접하는 보호 절연층(144)이 공기에 노출되지 않고 형성된다(도 9의 (g) 참조).
- [0166] 보호 절연층(144)은 물 또는 수소 등의 불순물이 보호 절연층(144)에 들어오는 것을 방지하는 스퍼터링 방법 등의 적절한 방법을 이용하여 형성될 수 있다. 보호 절연층(144)의 두께는 적어도 1nm 이상이다. 보호 절연층(144)용 재료의 예는 산화 실리콘, 질화 실리콘, 산화 질화 실리콘 및 질화 산화 실리콘을 포함한다. 구조는 단층 구조 또는 적층 구조일 수 있다. 보호 절연층(144)의 증착을 위한 기판 온도는 바람직하게는 실온 이상 300℃ 이하이다. 증착을 위한 분위기는 바람직하게는 회가스(전형적으로 아르곤) 분위기, 산소 분위기, 또는 회가스(전형적으로 아르곤)와 산소의 혼합 분위기이다.
- [0167] 수소가 보호 절연층(144) 내에 포함될 때, 산화물 반도체층(140)으로의 수소의 진입 또는 수소에 의한 산화물 반도체층(140)에서의 산소의 추출이 야기되어, 산화물 반도체층(140)의 백 채널 측 상의 저항을 낮게 하여, 기생 채널이 형성될 수 있다. 따라서, 수소가 이용되지 않는 막 형성 방법이 가능한 한 수소를 포함하지 않는 보호 절연층(144)을 형성하기 위해 이용되는 것이 중요하다.
- [0168] 산화물 반도체층(140) 및 보호 절연층(144)으로 수소, 수산기, 또는 수분이 들어가는 것을 방지하기 위해, 처리실 내에 남아 있는 수분이 제거되면서 보호 절연층(144)을 형성하는 것이 바람직하다.
- [0169] 처리실 내의 잔류 수분을 제거하기 위해서, 양호하게는 흡착형의 진공 펌프가 이용될 수 있다. 예를 들어, 크라이오펌프, 이온 펌프, 또는 티타늄 서블리메이션 펌프가 양호하게 이용될 수 있다. 배기 장치는 콜드 트랩을 구비한 터보 펌프일 수 있다. 크라이오펌프를 이용하여 배기된 처리실에서, 수소 원자, 물(H_2O) 등의 수소 원자를 포함하는 화합물 등이 제거되어, 처리실 내에 형성된 보호 절연층(144) 내의 불순물 농도가 감소될 수 있다.
- [0170] 보호 절연층(144)의 증착을 위해 이용되는 스퍼터링 가스는 바람직하게는, 수소, 물, 수산기, 또는 수소화물 등의 불순물이 약 수 ppm(바람직하게는 수 ppb)로 감소된 고순도 가스이다.
- [0171] 다음에, 제2 열 처리는 바람직하게는 불활성 가스 분위기 또는 산소 가스 분위기(바람직하게는, 200℃ 내지 400℃, 예를 들어 250℃ 내지 350℃)에서 수행된다. 예를 들어, 제2 열 처리는 1시간 동안 250℃에서 질소 분위기에서 수행된다. 제2 열 처리는 트랜지스터의 전기적 특성의 변화를 감소시킬 수 있다.
- [0172] 또한, 열 처리는 공기 중에서 1시간 내지 30시간 동안 100℃ 내지 200℃에서 수행될 수 있다. 이 열 처리는 고정된 가열 온도에서 수행될 수 있다. 다르게는, 가열 온도의 다음의 변화가 복수 회 반복적으로 행해질 수 있다: 가열 온도는 실온에서 100℃ 내지 200℃까지 승온된 후 실온으로 떨어진다. 또한, 이 열 처리는 보호 절연층의 형성 전에 감압 하에서 수행될 수 있다. 감압 하에서, 가열 시간이 단축될 수 있다. 이 열 처리는 제2 열 처리 대신에 수행될 수 있거나, 또는 제2 열 처리 전, 제2 열 처리 후 등에 수행될 수 있다는 점에 유의한다.

- [0173] 다음에, 층간 절연층(146)이 보호 절연층(144) 위에 형성된다(도 10의 (a) 참조). 층간 절연층(146)은 PVD 방법, CVD 방법 등에 의해 수행될 수 있다. 층간 절연층(146)은 산화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 하프늄, 산화 알루미늄, 또는 산화 탄탈 등의 무기 절연 재료를 포함하는 재료를 이용하여 형성될 수 있다. 층간 절연층(146)의 형성 후에, 층간 절연층(146)의 표면은 CMP, 에칭 등에 의해 평탄화되는 것이 바람직하다.
- [0174] 다음에, 전극층(136a), 전극층(136b), 전극층(136c), 소스 전극층(142a), 및 드레인 전극층(142b)에 이르는 개구들이 층간 절연층(146), 보호 절연층(144), 및 게이트 절연층(138) 내에 형성된다. 다음에, 도전층(148)은 개구를 채우도록 형성된다(도 10의 (b) 참조). 개구는 마스크를 이용하는 에칭에 의해 형성될 수 있다. 마스크는 예를 들어 포토마스크를 이용하는 노광에 의해 만들어질 수 있다. 웨트 에칭 또는 드라이 에칭이 에칭으로서 이용될 수 있고, 미세 가공의 관점에서 드라이 에칭이 바람직하게 이용된다. 도전층(148)은 PVD 방법 또는 CVD 방법 등의 증착 방법에 의해 형성될 수 있다. 도전층(148)용 재료의 예는 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 및 이들 재료의 합금 및 화합물(예를 들어, 질화물)을 포함한다.
- [0175] 구체적으로, 티타늄의 박막이 개구를 포함하는 영역에 PVD 방법에 의해 형성되고, 질화 티타늄의 박막이 CVD 방법에 의해 형성되고, 텅스텐막이 개구를 채우도록 형성되는 방법이 예로서 이용될 수 있다. 여기서, PVD 방법에 의해 형성된 티타늄막은 하부 전극층(여기서, 전극층(136a), 전극층(136b), 전극층(136c), 소스 전극층(142a), 및 드레인 전극층(142b))과의 접촉 저항을 감소시키도록 계면에서의 산화물막을 환원하는 기능을 갖는다. 그 후에 형성된 질화 티타늄막은 도전 재료의 확산을 억제하는 배리어 기능을 갖는다. 또한, 티타늄, 질화 티타늄 등의 배리어막이 형성된 후에, 구리막이 도금 방법에 의해 형성될 수 있다.
- [0176] 도전층(148)이 형성된 후에, 도전층(148)의 일부가 에칭 처리, CMP 처리 등에 의해 제거되어, 층간 절연층(146)이 노출되고 전극층(150a), 전극층(150b), 전극층(150c), 전극층(150d), 및 전극층(150e)이 형성된다(도 10의 (c) 참조). 전극층(150a), 전극층(150b), 전극층(150c), 전극층(150d), 및 전극층(150e)이 도전층(148)의 일부를 제거함으로써 형성될 때, 평탄한 표면이 형성되는 것이 바람직하다는 점에 유의한다. 층간 절연층(146), 전극층(150a), 전극층(150b), 전극층(150c), 전극층(150d), 및 전극층(150e)의 표면을 평탄화함으로써, 전극, 배선, 절연층, 반도체 등이 나중 단계에서 바람직하게 형성될 수 있다.
- [0177] 또한, 절연층(152)이 형성되고, 전극층(150a), 전극층(150b), 전극층(150c), 전극층(150d), 및 전극층(150e)에 이르는 개구들이 절연층(152) 내에 형성된다. 다음에, 도전층이 개구를 채우도록 형성된다. 그 후, 도전층의 일부가 에칭, CMP 등에 의해 제거되어, 절연층(152)이 노출되고 전극층(154a), 전극층(154b), 전극층(154c), 및 전극층(154d)이 형성된다(도 10의 (d) 참조). 이 단계는 전극층(150a) 등을 형성하는 단계와 유사하므로, 상세한 설명은 생략한다.
- [0178] n 채널 트랜지스터(164)가 상기 방식으로 제조될 때, 산화물 반도체층(140)의 수소 농도는 5×10^{19} (원자/cm³) 보다 낮고, n 채널 트랜지스터(164)의 리크 전류는 감소될 수 있다. 탁월한 특성을 갖는 이러한 n 채널 트랜지스터(164)가 실시 형태 1 내지 4에서 설명된 반도체 장치에서 이용되어, 반도체 장치의 대기 전력이 감소될 수 있다.
- [0179] [변형예]
- [0180] 도 11, 도 12의 (a)와 (b), 도 13의 (a)와 (b), 및 도 14의 (a)와 (b)는 n 채널 트랜지스터(164)의 구성의 변형예를 도시한다. 즉, p 채널 트랜지스터(160)의 구성은 상기와 동일하다.
- [0181] 도 11은 게이트 전극층(136d)이 산화물 반도체층(140) 아래에 배치되고 소스 전극층(142a) 및 드레인 전극층(142b)이 산화물 반도체층(140)의 하면과 접하여 있는 구성을 갖는 n 채널 트랜지스터(164)의 예를 도시한다.
- [0182] 도 11의 구성과 도 7의 구성 간의 큰 차이는 산화물 반도체층(140)이 소스 및 드레인 전극층(142a 및 142b)과 접촉되는 위치이다. 즉, 산화물 반도체층(140)의 상면은 도 7의 구성에서 소스 및 드레인 전극층(142a 및 142b)과 접하여 있는 반면, 산화물 반도체층(140)의 하면이 도 11의 구성에서 소스 및 드레인 전극층(142a 및 142b)과 접하여 있다. 더구나, 접촉 위치의 차이에 따라, 다른 전극층, 절연층 등의 배치가 다르게 된다. 각 구성요소의 상세는 도 7의 것들과 동일하다.
- [0183] 구체적으로, 도 11에 도시된 n 채널 트랜지스터(164)는 층간 절연층(128) 위에 제공된 게이트 전극층(136d), 게이트 전극층(136d) 위에 제공된 게이트 절연층(138), 게이트 절연층(138) 위에 제공된 소스 및 드레인 전극층

(142a 및 142b), 및 소스 및 드레인 전극층(142a 및 142b)의 상면과 접하는 산화물 반도체층(140)을 포함한다. 또한, n 채널 트랜지스터(164) 위에, 보호 절연층(144)이 산화물 반도체층(140)을 덮도록 제공된다.

- [0184] 도 12의 (a)와 (b)는 게이트 전극층(136d)이 산화물 반도체층(140) 위에 제공된 n 채널 트랜지스터(164)를 각각 도시한다. 도 12의 (a)는 소스 및 드레인 전극층(142a 및 142b)이 산화물 반도체층(140)의 하면과 접하여 있는 구성의 예를 도시한다. 도 12의 (b)는 소스 및 드레인 전극층(142a 및 142b)이 산화물 반도체층(140)의 상면과 접하여 있는 구성의 예를 도시한다.
- [0185] 도 12의 (a)와 (b)의 구성이 도 7 및 도 11과 다른 큰 차이는 게이트 전극층(136d)이 산화물 반도체층(140) 위에 제공된다는 것이다. 더구나, 도 12의 (a)의 구성과 도 12의 (b)의 구성 간의 큰 차이는 소스 및 드레인 전극층(142a 및 142b)이 산화물 반도체층(140)의 하면 또는 상면과 접하여 있다는 것이다. 또한, 이러한 차이에 따라, 다른 전극층, 절연층 등의 배치가 다르게 된다. 각 구성요소의 상세는 도 7 등과 동일하다.
- [0186] 구체적으로, 도 12의 (a)에 도시된 n 채널 트랜지스터(164)는 층간 절연층(128) 위에 제공된 소스 및 드레인 전극층(142a 및 142b), 소스 및 드레인 전극층(142a 및 142b)의 상면과 접하는 산화물 반도체층(140), 산화물 반도체층(140) 위에 제공된 게이트 절연층(138), 및 산화물 반도체층(140)과 겹치는 영역에서의 게이트 절연층(138) 위의 게이트 전극층(136d)을 포함한다.
- [0187] 도 12의 (b)에 도시된 n 채널 트랜지스터(164)는 층간 절연층(128) 위에 제공된 산화물 반도체층(140), 산화물 반도체층(140)의 상면과 접하도록 제공된 소스 및 드레인 전극층(142a 및 142b), 산화물 반도체층(140) 및 소스 및 드레인 전극층(142a 및 142b) 위에 제공된 게이트 절연층(138), 및 산화물 반도체층(140)과 겹치는 영역에서 게이트 절연층(138) 위에 제공된 게이트 전극층(136d)을 포함한다.
- [0188] 도 12의 (a)와 (b)의 구조에서, 구성요소(예를 들어, 전극층(150a) 또는 전극층(154a))는 때때로 도 7 등의 구성으로부터 생략된다는 점에 유의한다. 이 경우에, 제조 공정의 간략화 등의 부수적 효과가 얻어질 수 있다. 물론 필수적이 아닌 구성요소는 또한 도 7 등의 구성으로부터 생략될 수 있다.
- [0189] 도 13의 (a)와 (b)는 소자의 크기가 비교적 크고 게이트 전극층(136d)이 산화물 반도체층(140) 아래에 배치된 경우의 n 채널 트랜지스터(164)를 각각 도시한다. 이 경우에, 표면의 평탄화 및 피복성의 요구가 비교적 완화되어, 반드시 배선, 전극 등을 절연층 내에 매립되게 형성할 필요는 없다. 예를 들어, 게이트 전극층(136d) 등은 도전층의 형성 후에 패터닝함으로써 형성될 수 있다.
- [0190] 도 13의 (a)의 구성과 도 13의 (b)의 구성 간의 큰 차이는 소스 및 드레인 전극층(142a 및 142b)이 산화물 반도체층(140)의 하면 또는 상면에 접한다는 것이다. 더구나, 이러한 차이에 따라, 다른 전극층, 절연층 등의 배치가 다르게 된다. 각 구성요소의 상세는 도 7 등과 동일하다.
- [0191] 구체적으로, 도 13의 (a)에 도시된 n 채널 트랜지스터(164)는 층간 절연층(128) 위에 제공된 게이트 전극층(136d), 게이트 전극층(136d) 위에 제공된 게이트 절연층(138), 게이트 절연층(138) 위에 제공된 소스 및 드레인 전극층(142a 및 142b), 및 소스 및 드레인 전극층(142a 및 142b)의 상면과 접하는 산화물 반도체층(140)을 포함한다.
- [0192] 또한, 도 13의 (b)에 도시된 n 채널 트랜지스터(164)는 층간 절연층(128) 위에 제공된 게이트 전극층(136d), 게이트 전극층(136d) 위에 제공된 게이트 절연층(138), 게이트 전극층(136d)과 겹치도록 게이트 절연층(138) 위에 제공된 산화물 반도체층(140), 및 산화물 반도체층(140)의 상면과 접하도록 제공된 소스 및 드레인 전극층(142a 및 142b)을 포함한다.
- [0193] 도 13의 (a)와 (b)의 구성에서, 또한, 구성요소는 때때로 도 7 등의 구성으로부터 생략된다는 점에 유의한다. 또한, 이 경우에, 제조 공정의 간략화 등의 부수적 효과가 얻어질 수 있다.
- [0194] 도 14의 (a)와 (b)는 소자의 크기가 비교적 크고 게이트 전극층(136d)이 산화물 반도체층(140) 위에 배치된 경우의 n 채널 트랜지스터(164)를 각각 도시한다. 이 경우에, 표면의 평탄화 및 피복성의 요구가 비교적 완화되어, 반드시 배선, 전극 등을 절연층 내에 매립되게 형성할 필요는 없다. 예를 들어, 게이트 전극층(136d) 등은 도전층의 형성 후에 패터닝함으로써 형성될 수 있다.
- [0195] 도 14의 (a)의 구성과 도 14의 (b)의 구성 간의 큰 차이는 소스 및 드레인 전극층(142a 및 142b)이 산화물 반도체층(140)의 하면 또는 상면에 접한다는 것이다. 더구나, 이러한 차이에 따라, 다른 전극층, 절연층 등의 배치가 다르게 된다. 각 부품의 상세는 도 7 등과 동일하다.

- [0196] 구체적으로, 도 14의 (a)에 도시된 n 채널 트랜지스터(164)는 층간 절연층(128) 위에 제공된 소스 및 드레인 전극층(142a 및 142b), 소스 및 드레인 전극층(142a 및 142b)의 상면과 접하는 산화물 반도체층(140), 소스 및 드레인 전극층(142a 및 142b) 및 산화물 반도체층(140) 위에 제공된 게이트 절연층(138), 및 산화물 반도체층(140)과 겹치도록 게이트 절연층(138) 위에 제공된 게이트 전극층(136d)을 포함한다.
- [0197] 도 14의 (b)에 도시된 n 채널 트랜지스터(164)는 층간 절연층(128) 위에 제공된 산화물 반도체층(140), 산화물 반도체층(140)의 상면과 접하여 제공된 소스 및 드레인 전극층(142a 및 142b), 소스 및 드레인 전극층(142a 및 142b) 및 산화물 반도체층(140) 위에 제공된 게이트 절연층(138), 및 산화물 반도체층(140)과 겹치는 영역에서 게이트 절연층(138) 위에 제공된 게이트 전극층(136d)을 포함한다.
- [0198] 도 14의 (a)와 (b)의 구성에서 또한, 구성요소는 때때로 도 7 등의 구성으로부터 생략된다는 점에 유의한다. 또한, 이 경우에, 제조 공정의 간략화 등의 부수적 효과가 얻어질 수 있다.
- [0199] 본 실시 형태에서, n 채널 트랜지스터(164)가 적층 구조를 갖도록 p 채널 트랜지스터(160) 위에 형성된 예가 설명되지만, p 채널 트랜지스터(160) 및 n 채널 트랜지스터(164)의 구성은 상기로 한정되지 않는다. 예를 들어, p 채널 트랜지스터(160) 및 n 채널 트랜지스터(164)는 동일한 평탄 표면 위에 형성될 수 있다. 또한, p 채널 트랜지스터(160) 및 n 채널 트랜지스터(164)가 서로 겹치는 구성이 적용될 수 있다.
- [0200] 상술한 n 채널 트랜지스터(164)는 실시 형태 1 내지 4에 설명된 반도체 장치에 포함된 n 채널 트랜지스터에 적용되어, 대기 상태에서 전지의 전기적 방전이 억제될 수 있다. 즉, 반도체 장치의 대기 전력이 감소될 수 있다. 또한, 대기 상태에서 전지의 전기적 방전이 억제될 때, 반도체 장치는 오랜 수명을 가질 수 있다.
- [0201] 본 실시 형태 또는 본 실시 형태의 일부는 다른 실시 형태들 또는 다른 실시 형태들의 일부와 자유롭게 조합될 수 있다는 점에 유의한다.
- [0202] (실시 형태 6)
- [0203] 본 실시 형태에서, 실시 형태 1 내지 4에서 설명된 반도체 장치 중 임의의 것에 포함된 트랜지스터의 예가 설명될 것이다. 구체적으로, 채널 형성 영역이 산화물 반도체를 이용하여 형성되는 트랜지스터의 예가 설명될 것이다.
- [0204] 트랜지스터의 실시 형태 및 본 실시 형태에서의 그 제조 단계가 도 15의 (a)와 (b) 및 도 16의 (a) 내지 (e)를 참조하여 설명된다.
- [0205] 도 15의 (a)와 (b)는 각각, 트랜지스터의 평면 구조의 예 및 트랜지스터의 단면 구조의 예를 도시한다. 도 15의 (a)와 (b)에 도시된 트랜지스터(460)는 톱 게이트형 구조를 갖는다.
- [0206] 도 15의 (a)는 톱 게이트형 트랜지스터(460)의 평면도이고, 도 15의 (b)는 도 15의 (a)의 선 D1-D2를 따라 절취한 단면도이다.
- [0207] 트랜지스터(460)는 절연 표면을 갖는 기판(450) 위에, 절연층(457), 소스 또는 드레인 전극층(465a)(465a1 및 465a2), 산화물 반도체층(462), 소스 또는 드레인 전극층(465b), 배선층(468), 게이트 절연층(452), 및 게이트 전극층(461)(461a 및 461b)을 포함한다. 소스 또는 드레인 전극층(465a)(465a1 및 465a2)은 배선층(468)을 통해 배선층(464)에 전기적으로 접속된다. 도시되지는 않았지만, 소스 또는 드레인 전극층(465b)은 또한 게이트 절연층(452)에 제공된 개구 내의 배선과 전기적으로 접속된다.
- [0208] 기판(450) 위에 트랜지스터(460)를 제조하는 공정이 도 16의 (a) 내지 (e)를 참조하여 이후 설명된다.
- [0209] 먼저, 마지막으로 되는 절연층(457)이 절연 표면을 갖는 기판(450) 위에 형성된다.
- [0210] 본 실시 형태에서, 산화 실리콘층이 절연층(457)으로서 스퍼터링 방법에 의해 형성된다. 기판(450)은 처리실로 반송되고, 수소 및 수분이 제거된 고순도 산소를 포함하는 스퍼터링 가스가 처리실 내로 도입되고, 실리콘 타겟 또는 석영(바람직하게는 합성 석영)이 이용되어, 산화 실리콘층이 기판(450) 위에 절연층(457)으로서 형성된다. 스퍼터링 가스로서, 산소 또는 산소와 아르곤의 혼합 가스가 이용된다.
- [0211] 예를 들어, 산화 실리콘층은 다음의 조건 하에서 RF 스퍼터링 방법에 의해 형성된다: 스퍼터링 가스의 순도는 6N; 석영(바람직하게는 합성 석영)이 이용되고; 기판 온도는 108℃; 기판과 타겟 사이의 거리(T-S 거리)는 60mm; 압력은 0.4Pa; 고주파 전력은 1.5kW; 및 분위기는 산소와 아르곤(산소 대 아르곤의 유량비는 1:1(각 유량은 25sccm)을 포함하는 분위기이다. 산화 실리콘의 두께는 100nm이다. 석영(바람직하게는 합성 석영) 대신에,

산화 실리콘막이 형성될 때 이용된 타겟으로서 실리콘 타겟이 이용될 수 있다는 점에 유의한다.

- [0212] 그 경우에, 절연층(457)은 바람직하게는 처리실 내에 남아 있는 수분이 제거되면서 형성될 수 있다. 이것은 수소, 수산기, 또는 수분이 절연층(457) 내에 포함되는 것을 방지하기 위함이다. 크라이오펌프로 배기된 처리실에서, 수소 원자, 물(H_2O) 등의 수소 원자를 포함하는 화합물 등이 제거되어, 처리실 내에 형성된 절연층(457) 내의 불순물의 농도가 감소될 수 있다.
- [0213] 절연층(457)의 형성을 위해 이용되는 스퍼터링 가스는 바람직하게는, 수소, 물, 수산기, 또는 수소화물 등의 불순물이 약 수 ppm 또는 수 ppb로 감소된 고순도 가스이다.
- [0214] 또한, 절연층(457)은 예를 들어, 질화 실리콘층, 질화 산화 실리콘층, 질화 알루미늄층, 또는 질화 산화 알루미늄층 등의 질화물 절연층 및 산화물 절연층이 기판(450) 측으로부터 이 순서로 적층된 적층 구조를 가질 수 있다.
- [0215] 예를 들어, 수소 및 수분이 제거된 고순도 질소를 포함하는 스퍼터링 가스가 산화 실리콘층과 기판 사이에 도입되고, 실리콘 타겟이 이용되어, 질화 실리콘층이 형성된다. 또한, 이 경우에, 산화 실리콘층의 형성과 유사한 방식으로, 처리실 내의 잔여 수분이 제거되면서 질화 실리콘층이 형성되는 것이 바람직하다.
- [0216] 다음에, 도전막이 절연층(457) 위에 형성된다. 제1 포토리소그래피 단계에서, 레지스트 마스크가 도전막 위에 형성되고 선택적 에칭이 수행되어, 소스 또는 드레인 전극층(465a1 및 465a2)이 형성된다. 다음에, 레지스트 마스크가 제거된다(도 16의 (a) 참조). 단면에서는 소스 또는 드레인 전극층(465a1 및 465a2)이 나누어진 것처럼 보이지만, 소스 또는 드레인 전극층(465a1 및 465a2)은 연속한 막이다. 소스 전극층 및 드레인 전극층은 바람직하게는 단부에서 테이퍼 형상을 가지는데, 그 이유는 그 위에 적층된 게이트 절연층의 피복성이 개선될 수 있기 때문이라는 점에 유의한다.
- [0217] 소스 또는 드레인 전극층(465a1 및 465a2)의 재료로서, Al, Cr, Cu, Ta, Ti, Mo, 및 W로부터 선택된 원소, 상기 원소들 중 임의의 것을 포함하는 합금, 이들 원소를 조합하여 포함하는 합금막 등이 이용될 수 있다. 또한, 망간, 마그네슘, 지르코늄, 베릴륨, 및 토륨으로부터 선택된 하나 또는 그 이상의 재료가 이용될 수 있다. 금속 도전막은 단층 또는 2 이상의 층의 적층 구조를 가질 수 있다. 예를 들어, 실리콘을 포함하는 알루미늄막의 단층 구조, 알루미늄막 및 그 위에 티타늄막이 적층된 2층 구조, Ti 막, 알루미늄막, 및 Ti 막이 이 순서로 적층된 3층 구조 등을 들 수 있다. 다르게는, 알루미늄(Al)과, 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오디뮴(Nd), 및 스칸듐(Sc)으로부터 선택된 하나 또는 복수의 원소를 포함하는 막, 합금막, 또는 질화막이 이용될 수 있다.
- [0218] 본 실시 형태에서, 두께가 150nm인 티타늄막이 소스 또는 드레인 전극층(465a1 및 465a2)을 위해 스퍼터링 방법에 의해 형성된다.
- [0219] 다음에, 두께가 2nm 내지 200nm인 산화물 반도체막이 절연층(457) 및 소스 또는 드레인 전극층(465a1 및 465a2) 위에 형성된다.
- [0220] 다음에, 산화물 반도체막이 제2 포토리소그래피 단계에서 섬 형상의 산화물 반도체층(462)으로 가공된다(도 16의 (b) 참조). 본 실시 형태에서, 산화물 반도체막은 In-Ga-Zn-O계 금속 산화물 타겟을 이용하는 스퍼터링 방법에 의해 형성된다.
- [0221] 기판은 감압 하에 있는 처리실 내에 유지되고, 수소 및 수분이 제거된 스퍼터링 가스가 처리실 내의 잔류 수분이 제거되면서 처리실 내로 도입되어, 산화물 반도체막이 타겟으로서 금속 산화물을 이용하여 기판(450) 위에 형성된다. 처리실 내의 잔류 수분을 제거하기 위해서, 양호하게는 흡착형의 진공 펌프가 이용된다. 예를 들어, 크라이오펌프, 이온 펌프, 또는 티타늄 서블리메이션 펌프가 양호하게 이용된다. 배기 장치는 쿨드 트랩을 구비한 터보 펌프일 수 있다. 크라이오펌프를 이용하여 배기된 처리실에서, 수소 원자, 물(H_2O) 등의 수소 원자를 포함하는 화합물(양호하게는, 또한 탄소 원자를 포함하는 화합물) 등이 제거되어, 처리실 내에 형성된 산화물 반도체막 내의 불순물 농도가 감소될 수 있다. 산화물 반도체막이 형성될 때 기판이 가열될 수 있다.
- [0222] 산화물 반도체막을 형성하기 위해 이용되는 스퍼터링 가스는 바람직하게는 수소, 물, 수산기, 또는 수소화물 등의 불순물이 거의 수 ppm 또는 수 ppb로 감소된 고순도 가스이다.
- [0223] 증착 조건의 예는 다음과 같다: 기판 온도는 실온, 기판과 타겟 사이의 거리는 60mm, 압력은 0.4Pa, 직류(DC) 전력은 0.5kW, 및 증착 분위기는 산소와 아르곤(산소 유량은 15sccm 및 아르곤 유량은 30sccm)을 포함하는 분위

기이다. 펄스식 직류(DC) 전원이 이용될 때, 막 증착 시에 발생된 분말 물질(입자 또는 먼지라고도 함)이 감소될 수 있고 막 두께가 균일할 수 있다는 점에 유의한다. 산화물 반도체층의 두께는, 바람직하게는, 5nm 내지 30nm이다. 산화물 반도체 재료에 따라 적절한 두께는 다르고, 두께는 재료에 따라 적절히 설정될 수 있다.

- [0224] 본 실시 형태에서, 산화물 반도체막은 에칭액으로서 인산, 아세트산, 및 질산의 혼합 용액으로 웨트 에칭 방법에 의해 섬 형상의 산화물 반도체층(462)으로 가공된다.
- [0225] 본 실시 형태에서, 산화물 반도체층(462)은 제1 열 처리된다. 제1 열 처리의 온도는 400℃ 이상 750℃ 이하, 바람직하게는 400℃ 이상 기판의 왜곡점 미만이다. 여기서, 기판은 일종의 열 처리 장치인 전기로에 놓여지고 열 처리가 1시간 동안 450℃의 온도에서 질소 분위기에서 산화물 반도체층에 대해 수행되고, 산화물 반도체층은 공기 중에 노출되지 않아 물 및 수소가 산화물 반도체층에 들어오는 것이 방지되므로, 산화물 반도체층이 얻어질 수 있다. 제1 열 처리에 의해, 산화물 반도체층(462)이 탈수화 또는 탈수소화될 수 있다.
- [0226] 열 처리 장치는 전기로로 한정되지 않고, 저항 발열 소자 등의 발열 소자로부터의 열 전도 또는 열 복사 등을 이용하여, 피처리물을 가열하는 장치를 구비한 것일 수 있다는 점에 유의한다. 예를 들어 가스 급속 열 어닐링(GRTA) 장치 또는 램프 급속 열 어닐링(LRTA) 장치 등의 급속 열 어닐링(RTA) 장치가 이용될 수 있다. 예를 들어, 제1 열 처리로서, 기판은 650℃ 내지 700℃의 고온으로 수분 동안 가열된 불활성 가스로 반송되어 고온으로 가열된 불활성 가스로부터 추출되는 GRTA가 수행될 수 있다. GRTA로, 단시간 동안의 고온 열 처리가 달성될 수 있다.
- [0227] 제1 열 처리는 질소 또는 헬륨, 네온, 또는 아르곤 등의 회가스 등의 분위기에서 물, 수소 등이 포함되지 않는 것이 바람직하다는 점에 유의한다. 예를 들어, 열 처리 장치 내로 도입된 질소 또는 헬륨, 네온, 또는 아르곤 등의 회가스의 순도는 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상이다(즉, 불순물 농도는 1ppm 이하, 바람직하게는 0.1ppm 이하이다).
- [0228] 제1 열 처리의 조건 또는 산화물 반도체층의 재료에 따라, 산화물 반도체층은 어떤 경우에는 미결정막 또는 다결정막으로 결정화된다.
- [0229] 제1 열 처리는 섬 형상의 산화물 반도체층으로 가공되지 않았던 산화물 반도체층에 대해 수행될 수 있다. 그 경우에, 제1 열 처리 후에, 기판은 가열 장치로부터 추출된 다음, 포토리소그래피 단계가 수행된다.
- [0230] 산화물 반도체층의 탈수화 또는 탈수소화를 위한 열 처리는 다음 타이밍들 중 임의의 것에서 수행될 수 있다: 산화물 반도체층이 형성된 후; 소스 및 드레인 전극이 산화물 반도체층 위에 형성된 후; 및 게이트 절연층이 소스 및 드레인 전극 위에 형성된 후.
- [0231] 다음에, 도전막이 절연층(457) 및 산화물 반도체층(462) 위에 형성된다. 제3 포토리소그래피 단계에서, 레지스트 마스크가 도전막 위에 형성되고 선택적 에칭이 수행되어, 소스 또는 드레인 전극층(465b) 및 배선층(468)이 형성된다. 다음에, 레지스트 마스크가 제거된다(도 16의 (c) 참조). 소스 또는 드레인 전극층(465b) 및 배선층(468)은 소스 또는 드레인 전극층(465a1 및 465a2)과 유사한 재료 및 단계를 이용하여 형성될 수 있다.
- [0232] 본 실시 형태에서, 두께가 150nm인 티타늄막이 소스 또는 드레인 전극층(465b) 및 배선층(468)을 위해 스퍼터링 방법에 의해 형성된다. 본 실시 형태에서, 동일한 티타늄막이 소스 및 드레인 전극층(465a1 및 465a2) 및 소스 또는 드레인 전극층(465b)에 이용된다. 따라서, 소스 또는 드레인 전극(465b)에 대한 소스 또는 드레인 전극층(465a1 및 465a2)의 에칭 선택비가 얻어지지 않는다. 소스 또는 드레인 전극층(465b)이 에칭될 때 소스 또는 드레인 전극층(465a1 및 465a2)이 에칭되는 것을 방지하기 위해서, 배선층(468)이 산화물 반도체층(462)으로 덮이지 않은 소스 또는 드레인 전극층(465a2)의 부분 위에 제공된다. 에칭 단계의 높은 선택비를 갖는 다른 재료가 소스 또는 드레인 전극층(465a1 및 465a2) 및 소스 또는 드레인 전극층(465b)에 이용되는 경우에, 에칭시에 소스 또는 드레인 전극층(465a2)을 보호하는 배선층(468)이 반드시 제공될 필요는 없다.
- [0233] 도전막이 에칭될 때 산화물 반도체층(462)이 제거되지 않도록 재료 및 에칭 조건이 적절히 조정될 수 있다는 점에 유의한다.
- [0234] 본 실시 형태에서, Ti 막은 도전층으로서 이용되고, In-Ga-Zn-O계 산화물 반도체가 산화물 반도체층(462)용으로 이용되고 암모니아 과수(암모니아수, 물, 및 과산화수소수 용액의 혼합물)이 에칭액으로서 이용된다.
- [0235] 제3 포토리소그래피 단계에서, 산화물 반도체층(462)의 일부 만이 에칭되어, 어떤 경우에는 홈(오목부)을 갖는 산화물 반도체층이 어떤 경우에 형성된다는 점에 유의한다. 소스 또는 드레인 전극층(465b) 및 배선층(468)을 형성하기 위해 이용된 레지스트 마스크가 잉크젯 방법에 의해 형성될 수 있다. 잉크젯 방법에 의한 레지스

트 마스크의 형성은 포토마스크를 필요로 하지 않으므로, 제조 코스트가 감소될 수 있다.

- [0236] 다음에, 게이트 절연층(452)은 절연층(457), 산화물 반도체층(462), 소스 또는 드레인 전극층(465a1 및 465a2), 소스 또는 드레인 전극층(465b), 및 배선층(468) 위에 형성된다.
- [0237] 게이트 절연층(452)은 플라즈마 CVD 방법, 스퍼터링 방법 등에 의해 형성되는, 산화 실리콘층, 질화 실리콘층, 산화 질화 실리콘층, 질화 산화 실리콘층, 산화 알루미늄층 중 임의의 것을 이용하여 형성된 단층 또는 적층일 수 있다. 게이트 절연층(452)이 다량의 수소를 포함하는 것을 방지하기 위해, 게이트 절연층(452)은 바람직하게는 스퍼터링 방법에 의해 형성된다. 산화 실리콘막이 스퍼터링 방법에 의해 형성되는 경우에, 실리콘 타겟 또는 석영 타겟이 타겟으로서 이용되고, 산소 또는 산소와 아르곤의 혼합 가스가 스퍼터링 가스로서 이용된다.
- [0238] 게이트 절연층(452)은 산화 실리콘층 및 질화 실리콘층이 소스 또는 드레인 전극층(465a1 및 465a2) 및 소스 또는 드레인 전극층(465b) 측으로부터 적층되는 구조를 가질 수 있다. 본 실시 형태에서, 두께가 100nm인 산화 실리콘층이 다음의 조건하에서 RF 스퍼터링 방법에 의해 형성된다: 압력은 0.4Pa; 고주파 전력은 1.5kW; 및 분위기는 산소와 아르곤(산소 대 아르곤의 유량비는 1:1(각 유량은 25sccm))을 포함하는 분위기이다.
- [0239] 다음에, 제4 포토리소그래피 단계에서, 레지스트 마스크가 형성되고 게이트 절연층(452)의 일부를 제거하도록 선택적 에칭이 수행되어, 배선층(468)에 이르는 개구(423)가 형성된다(도 16의 (d) 참조). 도시되지는 않았지만, 개구(423)를 형성하는데 있어서, 소스 또는 드레인 전극층(465b)에 이르는 개구가 형성될 수 있다. 본 실시 형태에서, 소스 또는 드레인 전극(465b)에 이르는 개구는 층간 절연층이 더 적층된 후에 형성되고, 전기적 접속을 위한 배선층이 개구에 형성된다.
- [0240] 다음에, 도전막이 게이트 절연층(452) 위와 개구(423) 내에 형성된 후, 게이트 전극층(461)(461a 및 461b) 및 배선층(464)이 제5 포토리소그래피 단계에서 형성된다. 레지스트 마스크는 잉크젯 방법에 의해 형성될 수 있다는 점에 유의한다. 잉크젯 방법에 의한 레지스트 마스크의 형성은 포토마스크를 필요로 하지 않으므로, 제조 코스트가 감소될 수 있다.
- [0241] 또한, 게이트 전극층(461)(461a 및 461b) 및 배선층(464)이 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴 및 스칸듐 등의 금속 재료 중 임의의 것, 및 이들 재료를 주성분으로 포함하는 합금 재료를 이용하는 단층 구조 또는 적층 구조로 형성될 수 있다.
- [0242] 본 실시 형태에서, 두께가 150nm인 티타늄막이 게이트 전극층(461)(461a 및 461b) 및 배선층(464)을 위해 스퍼터링 방법에 의해 형성된다.
- [0243] 다음에, 제2 열 처리(바람직하게는 200℃ 내지 400℃, 예를 들어, 250℃ 내지 350℃)가 불활성 가스 분위기 또는 산소 가스 분위기에서 수행된다. 본 실시 형태에서, 제2 열 처리는 1시간 동안 250℃에서 질소 분위기에서 수행된다. 제2 열 처리는 보호 절연층 또는 평탄화 절연층이 트랜지스터(460) 위에 형성된 후에 수행될 수 있다.
- [0244] 또한, 열 처리는 공기 중에서 1시간 내지 30시간 동안 100℃ 내지 200℃에서 수행될 수 있다. 이 열 처리는 고정된 가열 온도에서 수행될 수 있다. 다르게는, 가열 온도의 다음의 변화가 복수 회 반복적으로 행해질 수 있다: 가열 온도는 실온에서 100℃ 내지 200℃까지 승온된 후 실온으로 떨어진다. 또한, 이 열 처리는 산화물 절연층의 형성 전에 감압 하에서 수행될 수 있다. 감압 하에서, 가열 시간이 단축될 수 있다.
- [0245] 상술한 공정을 통해, 수소, 수분, 수소화물 또는 수산화물의 농도가 감소된 산화물 반도체층(462)을 포함하는 트랜지스터(460)가 형성될 수 있다(도 16의 (e) 참조).
- [0246] 보호 절연층 또는 평탄화를 위한 평탄화 절연층이 트랜지스터(460) 위에 제공될 수 있다. 도시되지는 않았지만, 소스 또는 드레인 전극층(465b)에 이르는 개구가 게이트 절연층(452) 및 보호 절연층 또는 평탄화 절연층 내에 형성될 수 있고, 소스 또는 드레인 전극층(465b)과의 전기적 접속을 위한 배선층이 개구 내에 형성된다.
- [0247] 반응 분위기에 남아 있는 수분은 산화물 반도체막의 형성시에 상술한 바와 같이 제거되어, 산화물 반도체막 내의 수소 및 수소화물의 농도가 감소될 수 있다. 따라서, 산화물 반도체막이 안정화될 수 있다.
- [0248] 상술한 트랜지스터가 상술한 실시 형태 1 내지 4에 설명된 반도체 장치에 포함된 트랜지스터에 적용되어, 대기 상태에서 전지의 전기적 방전이 억제될 수 있다. 즉, 반도체 장치의 대기 전력이 감소될 수 있다. 또한, 대기 상태에서 전지의 전기적 방전이 억제될 때, 반도체 장치는 오랜 수명을 가질 수 있다.

- [0249] 또한, 본 실시 형태에서의 트랜지스터는 실시 형태 1 내지 4에 포함된 반도체 장치에 포함된 트랜지스터로서 이용되어 제조 공정의 감소, 수율의 향상, 제조 코스트의 감소가 달성될 수 있다.
- [0250] 본 실시 형태 또는 본 실시 형태의 일부는 다른 실시 형태들 또는 다른 실시 형태들의 일부와 자유롭게 조합될 수 있다는 점에 유의한다.
- [0251] (실시 형태 7)
- [0252] 본 실시 형태에서, 실시 형태 1 내지 4에서 설명된 반도체 장치 중 임의의 것에 포함된 트랜지스터의 예가 설명될 것이다. 구체적으로, 채널 형성 영역이 산화물 반도체를 이용하여 형성되는 트랜지스터의 예가 설명될 것이다.
- [0253] 본 실시 형태의 트랜지스터의 실시 형태 및 그 제조 방법이 도 17의 (a) 내지 (e)를 참조하여 설명될 것이다.
- [0254] 도 17의 (a) 내지 (e)는 트랜지스터의 단면 구조의 예를 도시한다. 도 17의 (e)에 도시된 트랜지스터(390)는 보텀 게이트형 구조를 갖고 역 스택거형 트랜지스터라고도 한다.
- [0255] 트랜지스터(390)는 단일 게이트 트랜지스터를 이용하여 설명되지만, 복수의 채널 형성 영역을 포함하는 멀티-게이트 트랜지스터가 필요시 형성될 수 있다.
- [0256] 이후, 트랜지스터(390)를 기판(394) 위에 제조하는 공정이 도 17의 (a) 내지 (e)를 참조하여 설명된다.
- [0257] 먼저, 도전막이 절연 표면을 갖는 기판(394) 위에 형성되고, 그 다음 게이트 절연층(391)이 제1 포토리소그래피 단계에서 형성된다. 형성된 게이트 전극층(391)의 단부 부분은 테이퍼 형상을 가지는 것이 바람직하는데, 그 이유는, 그 위에 적층된 게이트 절연층의 피복성이 개선되기 때문이다. 레지스트 마스크는 잉크젯 방법에 의해 형성될 수 있다는 점에 유의한다. 잉크젯 방법에 의한 레지스트 마스크의 형성은 포토마스크를 필요로 하지 않으므로, 제조 코스트가 감소될 수 있다.
- [0258] 절연 표면을 갖는 기판(394)으로서 이용될 수 있는 기판에 대해 특정한 제한은 없지만, 기판은 적어도 이후에 수행될 열 처리에 견디기에 충분히 높은 내열성을 가져야 한다. 바륨 보로실리케이트 글래스, 알루미늄보로실리케이트 글래스 등을 이용하여 형성된 글래스 기판이 이용될 수 있다.
- [0259] 나중에 수행되는 열 처리의 온도가 높은 경우에, 왜곡점이 730℃ 이상인 글래스 기판이 바람직하게 이용된다. 글래스 기판으로서, 예를 들어, 알루미늄보로실리케이트 글래스, 알루미늄보로실리케이트 글래스 등의 글래스 재료가 이용될 수 있다. 내열성을 갖는 보다 실용적인 글래스는 산화 붕소(B_2O_3)보다 많은 양의 산화 바륨(BaO)을 포함할 때 얻어질 수 있다는 점에 유의한다. 따라서, B_2O_3 보다 많은 BaO 를 포함하는 글래스 기판이 바람직하게 이용된다.
- [0260] 상기 글래스 기판으로서, 세라믹 기판, 석영 기판, 또는 사파이어 기판 등의 절연체로 형성된 기판이 이용될 수 있다는 점에 유의한다. 다르게는, 결정화된 글래스 기판 등이 이용될 수 있다. 또 다르게는, 플라스틱 기판 등이 적절히 이용될 수 있다.
- [0261] 하지막으로 되는 절연막은 기판(394)과 게이트 전극층(391) 사이에 제공될 수 있다. 하지막은 불순물 원소가 기판(394)으로부터 확산하는 것을 방지하는 기능을 갖고, 질화 실리콘막, 산화 실리콘막, 질화 산화 실리콘막, 및 산화 질화 실리콘막으로부터 선택된 하나 또는 복수의 막을 포함하는 단층 구조 또는 적층 구조를 갖도록 형성될 수 있다.
- [0262] 게이트 전극층(391)은 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 또는 스칸듐 등의 금속 재료, 또는 이들 재료를 주성분으로 포함하는 합금 재료를 이용하는 단층 또는 적층으로 형성될 수 있다.
- [0263] 예를 들어, 게이트 전극층(391)의 2층 구조로서, 몰리브덴층이 알루미늄층 위에 적층된 2층 구조, 몰리브덴층이 구리층 위에 적층된 2층 구조, 질화 티타늄층 또는 질화 탄탈층이 구리층 위에 적층된 2층 구조, 질화 티타늄층 및 몰리브덴층이 적층된 2층 구조, 또는 질화 텅스텐층 및 텅스텐층이 적층된 2층 구조가 바람직하다. 다르게는, 텅스텐층 또는 질화 텅스텐층, 알루미늄-실리콘 합금층 또는 알루미늄-티타늄 합금층, 및 질화 티타늄층 또는 티타늄층이 적층된 3층 구조가 바람직하게 이용된다. 게이트 전극층은 투광성 도전막을 이용하여 형성될 수 있다는 점에 유의한다. 투광성 도전막으로서, 투광성 도전 산화물막 등을 들 수 있다.
- [0264] 다음에, 게이트 절연층(397)이 게이트 전극층(391) 위에 형성된다.

- [0265] 게이트 절연층(397)은 플라즈마 CVD 방법, 스퍼터링 방법 등에 의해 산화 실리콘층, 질화 실리콘층, 산화 질화 실리콘층, 질화 산화 실리콘층, 및 산화 알루미늄층 중 하나 또는 복수를 이용하는 단층 구조 또는 적층 구조로 형성될 수 있다. 게이트 절연층(397)이 다량의 수소를 포함하는 것을 방지하기 위해서, 게이트 절연층(397)은 바람직하게는 스퍼터링 방법에 의해 형성된다. 예를 들어, 산화 실리콘막이 스퍼터링 방법에 의해 형성되는 경우에, 실리콘 타겟 또는 석영 타겟이 타겟으로서 이용되고 산소 또는 산소와 아르곤의 혼합 가스가 스퍼터링 가스로서 이용된다.
- [0266] 게이트 절연층(397)은 질화 실리콘층 및 산화 실리콘층이 게이트 전극층(391) 측으로부터 적층된 구조를 가질 수 있다. 예를 들어, 게이트 절연층은 두께가 50nm 내지 200nm인 질화 실리콘층($\text{SiN}_y(y>0)$)이 제1 게이트 절연층으로서 스퍼터링 방법에 의해 형성되고 다음에 두께가 5nm 내지 300nm인 산화 실리콘층($\text{SiO}_x(x>0)$)이 제1 게이트 절연층 위에 제2 게이트 절연층으로서 적층되는 방식으로 형성된다.
- [0267] 또한, 게이트 절연층(397) 및 산화물 반도체막(393)이 수소, 수산기 또는 수분을 가능한 한 적게 포함하기 위해서, 게이트 절연층(391)이 그 위에 형성되는 기판(394) 또는 게이트 절연층(397)이 그 위에 형성된 후의 상태에서 기판(394)이 기판(394)에 흡수된 수소 또는 수분 등의 불순물이 제거된 다음 배기가 수행되도록 막 형성을 위한 예비 처리로서 스퍼터링 장치의 예비 가열실에서 예비 가열되는 것이 바람직하다. 예비 가열의 온도는 100℃ 이상 400℃ 이하, 바람직하게는 150℃ 이상 300℃ 이하라는 점에 유의한다. 예비 가열실에 제공된 배기 장치로서, 크라이오펌프가 바람직하게 이용된다. 이 예비 가열은 생략될 수 있다는 점에 유의한다. 또한, 이러한 예비 열 처리는 소스 전극층(395a) 및 드레인 전극층(395b)이 산화물 절연층(396)의 형성 전에 형성된 상태에서 기판(394)에 대해 유사하게 수행될 수 있다.
- [0268] 다음에, 두께가 2nm 내지 200nm인 산화물 반도체막(393)이 게이트 절연층(397) 위에 형성된다(도 17의 (a) 참조).
- [0269] 산화물 반도체막(393)이 스퍼터링 방법에 의해 형성되기 전에, 게이트 절연층(397)의 표면 위의 먼지는 바람직하게는 아르곤 가스가 도입되고 플라즈마가 발생되는 역 스퍼터링에 의해 제거된다. 역 스퍼터링은 타겟 측에 전압을 인가하지 않고, RF 전원이 기판의 근방에서 플라즈마를 발생시키기 위해 아르곤 분위기에서 기판 측에 전압의 인가를 위해 이용되어 표면을 개질하는 방법을 말한다. 아르곤 분위기 대신에, 질소 분위기, 헬륨 분위기, 산소 분위기 등이 이용될 수 있다는 점에 유의한다.
- [0270] 산화물 반도체막(393)은 스퍼터링 방법에 의해 형성된다. 산화물 반도체막(393)은 In-Ga-Zn-O계 산화물 반도체, In-Sn-Zn-O계 산화물 반도체, In-Al-Zn-O계 산화물 반도체, Sn-Ga-Zn-O계 산화물 반도체, Al-Ga-Zn-O계 산화물 반도체, Sn-Al-Zn-O계 산화물 반도체, In-Zn-O계 산화물 반도체, Sn-Zn-O계 산화물 반도체, Al-Zn-O계 산화물 반도체, In-O계 산화물 반도체, Sn-O계 산화물 반도체, 또는 Zn-O계 산화물 반도체를 이용하여 형성된다. 본 실시 형태에서, 산화물 반도체막(393)은 In-Ga-Zn-O계 금속 산화물 타겟을 이용하는 스퍼터링 방법에 의해 형성된다. 또한, 산화물 반도체막(393)은 회가스(전형적으로 아르곤) 분위기, 산소 분위기, 또는 회가스(전형적으로 아르곤)와 산소의 분위기에서 스퍼터링 방법에 의해 형성될 수 있다. 스퍼터링 방법을 이용하는 경우에, 증착은 2중량% 내지 10중량%의 SiO_2 를 포함하는 타겟을 이용하여 수행될 수 있다.
- [0271] 스퍼터링 방법에 의해 산화물 반도체막(393)을 형성하는 타겟으로서, 산화 아연을 주성분으로 포함하는 금속 산화물 타겟이 이용될 수 있다. 금속 산화물 타겟의 다른 예로서, In, Ga, 및 Zn(조성비로서, $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO} = 1:1:1$ [몰 비], In:Ga:Zn=1:1:0.5[원자 비])을 포함하는 금속 산화물 타겟이 이용될 수 있다. In, Ga, 및 Zn을 포함하는 금속 산화물 타겟으로서, In:Ga:Zn=1:1:1[원자 비]의 조성비를 갖는 타겟 또는 In:Ga:Zn=1:1:2[원자 비]를 갖는 타겟이 또한 사용될 수 있다. 금속 산화물 타겟의 충전율은 90% 이상 100% 이하, 바람직하게는 95% 이상 내지 99.9%이다. 충전율이 높은 금속 산화물 타겟을 이용함으로써, 치밀한 산화물 반도체층이 형성된다.
- [0272] 기판은 감압된 상태에서 처리실 내에 유지되고 기판은 실온 내지 400℃ 미만의 온도로 가열된다. 다음에, 처리실 내에 남아 있는 수분이 제거되면서 수소 및 수분이 제거된 스퍼터링 가스가 처리실 내로 도입되고 산화물 반도체막(393)이 금속 산화물을 타겟으로 이용하여 기판(394) 위에 형성된다. 처리실 내의 잔류 수분을 제거하기 위해서, 양호하게는 흡착형의 진공 펌프가 이용될 수 있다. 예를 들어, 크라이오펌프, 이온 펌프, 또는 티타늄 서블리메이션 펌프가 양호하게 이용된다. 배기 장치는 콜드 트랩을 구비한 터보 펌프일 수 있다. 크라이오펌프를 이용하여 배기된 처리실에서, 수소 원자, 물(H_2O) 등의 수소 원자를 포함하는 화합물(양호하게는, 또한 탄소 원자를 포함하는 화합물) 등이 제거되어, 처리실 내에 형성된 산화물 반도체막 내의 불순물 농도가 감소될

수 있다. 처리실 내에 남아 있는 수분을 제거하면서 스퍼터링 방법을 이용하는 막 형성에 의해, 산화물 반도체막(393)을 형성할 시의 기판 온도는 실온 이상 400℃ 미만일 수 있다.

[0273] 증착 조건의 예로서, 기판과 타겟 사이의 거리는 100mm, 압력은 0.6Pa, 직류(DC) 전력은 0.5kW, 및 증착 분위기는 산소 분위기(산소 유량의 비율이 100%)이다. 막 증착 시에 발생된 분말 물질(입자 또는 먼지라고도 함)이 감소될 수 있고 막 두께가 균일할 수 있기 때문에 펄스식 직류(DC) 전원이 바람직하게 이용된다는 점에 유의한다. 산화물 반도체막의 두께는 바람직하게는, 5nm 내지 30nm이다. 산화물 반도체 재료에 따라 적절한 두께는 다르고, 두께는 재료에 따라 적절히 설정될 수 있다는 점에 유의한다.

[0274] 스퍼터링 방법의 예는, 스퍼터링 전원에 고주파 전원을 적용하는 RF 스퍼터링 방법, 및 DC 스퍼터링 방법, 및 펄스 바이어스를 가하는 펄스식 DC 스퍼터링 방법을 포함한다. RF 스퍼터링 방법은 절연막을 형성하는 경우에 주로 이용되고, DC 스퍼터링 방법은 금속막을 형성하는 경우에 주로 이용된다.

[0275] 또한, 다른 재료의 복수의 타겟이 설치될 수 있는 다원 스퍼터링 장치도 있다. 다원 스퍼터링 장치로는, 다른 재료의 막이 동일 챔버 내에 적층되도록 형성될 수 있거나, 또는 복수 종의 재료의 막이 동일한 챔버 내에서 동시에 방전하여 형성될 수 있다.

[0276] 다르게는, 챔버 내에 자석 기구를 구비하고 마그네트론 스퍼터링 방법을 위해 이용되는 스퍼터링 장치, 또는 글로우 방전을 사용하지 않고 마이크로파를 이용하여 발생된 플라즈마를 이용하는 ECR 스퍼터링 방법을 위해 이용되는 스퍼터링 장치가 사용될 수 있다.

[0277] 또한, 스퍼터링 방법을 이용하는 증착 방법으로서, 타겟 물질과 스퍼터링 가스 성분을 증착 중에 서로 화학 반응시켜서 그것들의 화합물의 박막을 형성하는 반응성 스퍼터링 방법, 또는 증착 중에 기판측에도 전압을 가하는 바이어스 스퍼터링 방법이 이용될 수 있다.

[0278] 다음에, 제2 포토리소그래피 단계에서, 산화물 반도체막은 섬 형상의 산화물 반도체층(399)으로 가공된다(도 17의 (b) 참조). 섬 형상의 산화물 반도체층(399)의 형성을 위해 이용되는 레지스트 마스크는 잉크젯 방법에 의해 형성될 수 있다. 잉크젯 방법에 의한 레지스트 마스크의 형성은 마스크를 필요로 하지 않으므로, 제조 코스트가 감소될 수 있다.

[0279] 게이트 절연층(397) 내에 컨택트 홀을 형성하는 경우에, 그 단계는 산화물 반도체층(399)의 형성시에 수행될 수 있다.

[0280] 산화물 반도체막(393)의 에칭을 위해, 웨트 에칭, 드라이 에칭, 또는 이들 둘 다가 이용될 수 있다.

[0281] 드라이 에칭을 위한 에칭 가스로서, 바람직하게는 염소를 포함하는 가스(염소(Cl_2), 염화 붕소(BCl_3), 4염화 실리콘(SiCl_4), 또는 4염화 탄소(CCl_4) 등의 염소계 가스)가 바람직하게 이용된다.

[0282] 다르게는, 불소를 포함하는 가스(4불화 탄소(CF_4), 6불화 황(SF_6), 3불화 질소(NF_3), 또는 3불화 메탄(CHF_3) 등의 불소계 가스), 브롬화 수소(HBr), 산소(O_2), 이들 가스 중 임의의 것에 헬륨(He) 또는 아르곤(Ar) 등의 희가스가 첨가된 가스 등이 이용될 수 있다.

[0283] 드라이 에칭 방법으로서, 평행 평판형 RIE(반응성 이온 에칭) 방법 또는 ICP(유도 결합형 플라즈마) 에칭 방법이 이용될 수 있다. 층을 원하는 형상으로 에칭하기 위해서, 에칭 조건(코일형 전극에 인가되는 전력량, 기판 측 위의 전극에 인가되는 전력량, 기판 측 위의 전극의 온도 등)이 적절히 조정된다.

[0284] 웨트 에칭에 이용되는 에칭액으로서, 인산, 아세트산, 및 질산 등의 혼합 용액이 이용될 수 있다. 다르게는 IT007N 등의 에칭액(간토화학사제)이 이용될 수 있다.

[0285] 웨트 에칭 후의 에칭액은 세정에 의해 에칭된 재료와 함께 제거된다. 에칭액과 에칭 제거된 재료를 포함하는 폐액은 정화되고 그 재료는 재사용될 수 있다. 산화물 반도체층에 포함된 인듐 등의 재료는 에칭 후에 폐액으로부터 수집되고 재사용될 때, 자원이 효율적으로 사용되고 코스트가 감소될 수 있다.

[0286] 에칭 조건(에칭액, 에칭 시간, 및 온도 등)은 재료가 원하는 형상으로 에칭될 수 있도록 재료에 따라 적절히 조정된다.

[0287] 산화물 반도체층(399) 및 게이트 절연층(397)의 표면에 부착된 잔여 레지스트는 후속 단계에서 도전막의 형성 전에 역 스퍼터링을 수행함으로써 제거되는 것이 바람직하다는 점에 유의한다.

- [0288] 다음에, 도전막이 게이트 절연층(397) 및 산화물 반도체층(399) 위에 형성된다. 도전막은 스퍼터링 방법 또는 진공 증착 방법에 의해 형성될 수 있다. 도전막의 재료로서, Al, Cr, Cu, Ta, Ti, Mo, 및 W로부터 선택된 원소, 상기 원소들 중 임의의 것을 포함하는 합금, 이들 원소들 조합하여 포함하는 합금막 등이 이용될 수 있다. 또한, 망간, 마그네슘, 지르코늄, 베릴륨, 및 토륨으로부터 선택된 하나 또는 그 이상의 재료가 이용될 수 있다. 금속 도전막은 단층 또는 2 이상의 층의 적층 구조를 가질 수 있다. 예를 들어, 실리콘을 포함하는 알루미늄막의 단층 구조, 알루미늄막 및 그 위에 티타늄막이 적층된 2층 구조, Ti 막, 알루미늄막, 및 Ti 막이 이 순서로 적층된 3층 구조 등을 들 수 있다. 다르게는, 알루미늄(Al)과, 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오디뮴(Nd), 및 스칸듐(Sc)으로부터 선택된 하나 또는 복수의 원소를 포함하는 막, 합금막, 또는 질화막이 이용될 수 있다.
- [0289] 제3 포토리소그래피 단계에서, 레지스트 마스크가 도전막 위에 형성되고 선택적 에칭이 수행되어, 소스 전극층(395a) 및 드레인 전극층(395b)이 형성된다. 다음에, 레지스트 마스크가 제거된다(도 17의 (c) 참조)
- [0290] 자외선광, KrF 레이저 광, 또는 ArF 레이저 광이 제3 포토리소그래피 단계에서 레지스트 마스크를 형성하기 위한 노광에 이용된다. 나중에 형성될 트랜지스터의 채널 길이(L)는 산화물 반도체층(399) 위에서 서로 인접하는 소스 전극층의 하부 에지부와 드레인 전극층의 하부 에지부 사이의 거리에 의해 결정된다. 채널 길이(L)가 25nm 보다 짧은 경우에, 제3 포토리소그래피 단계에서 마스크를 만들기 위한 노광이 수 나노미터 내지 수십 나노미터의 극도로 짧은 파장을 갖는 극자외선 광을 이용하여 형성된다. 극자외선 광의 노광은 고 해상도 및 깊은 초점 심도를 제공한다. 그러므로, 나중에 형성되는 트랜지스터의 채널 길이(L)는 10nm 내지 1000nm일 수 있으므로, 회로의 동작 속도가 증가될 수 있다. 또한, 오프 전류값이 극도로 작으므로, 저 전력 소비가 달성될 수 있다.
- [0291] 도전막이 에칭될 때 산화물 반도체층(399)이 제거되지 않도록 재료 및 에칭 조건이 적절히 조정된다는 점에 유의한다.
- [0292] 본 실시 형태에서, Ti 막은 도전층으로서 이용되고, In-Ga-Zn-O계 산화물 반도체가 산화물 반도체층(399)용으로 이용되고, 암모니아 과수(암모니아수, 물, 및 과산화수소수 용액의 혼합물)이 에칭액으로서 이용된다.
- [0293] 제3 포토리소그래피 단계에서, 산화물 반도체층(399)의 일부 만이 에칭되어, 어떤 경우에 흠(오픈부)을 갖는 산화물 반도체층이 형성된다는 점에 유의한다. 소스 전극층(395a) 및 드레인 전극층(395b)을 형성하기 위해 이용된 레지스트 마스크가 잉크젯 방법에 의해 형성될 수 있다. 잉크젯 방법에 의한 레지스트 마스크의 형성은 포토마스크를 필요로 하지 않으므로, 제조 코스트가 감소될 수 있다.
- [0294] 포토리소그래피 단계에서 사용된 마스크의 수 또는 포토리소그래피 단계의 수를 감소시키기 위해, 에칭 단계는 복수의 세기를 갖도록 광이 투과되는 노광 마스크인 멀티-톤 마스크를 이용하여 수행될 수 있다. 멀티-톤 마스크를 이용하여 형성된 레지스트 마스크는 복수의 두께를 갖고 에칭에 의해 형상이 더 변경될 수 있으므로, 레지스트 마스크가 다른 패턴을 제공하도록 복수의 에칭 단계에서 이용될 수 있다. 따라서, 적어도 2종 이상의 다른 패턴에 대응하는 레지스트 마스크가 멀티-톤 마스크를 이용하여 형성될 수 있다. 따라서, 노광 마스크의 수는 감소될 수 있고 대응하는 포토리소그래피 단계의 수가 감소되어, 단계의 간략화가 실현될 수 있다.
- [0295] N₂O, N₂, 또는 Ar 등의 가스를 이용하는 플라즈마 처리는 노출된 산화물 반도체의 표면 위에 흡수된 물 등을 제거하기 위해 수행될 수 있다. 플라즈마 처리는 산소와 아르곤의 혼합 가스를 이용하여 수행될 수 있다.
- [0296] 플라즈마 처리를 수행하는 경우에, 산화물 반도체층의 일부와 접하여, 보호 절연층으로 되는 산화물 절연층(396)은 공기에 노출되지 않고 형성된다(도 17의 (d) 참조). 본 실시 형태에서, 산화물 절연층(396)은 산화물 반도체층(399)이 소스 전극층(395a)이나 드레인 전극층(395b)에 접치지 않는 영역에서 산화물 반도체층(399)과 접하여 형성된다.
- [0297] 본 실시 형태에서, 섬 형상의 산화물 반도체층(399), 소스 전극층(395a), 및 드레인 전극층(395b)까지 층이 형성된 기판(394)이 실온 이상이고 100℃ 미만인 온도까지 가열되고, 수소 및 수분이 감소된 고순도 산소를 포함하는 스퍼터링 가스가 도입되어, 실리콘 타겟을 이용하여 결합을 포함하는 산화 실리콘층이 산화물 절연층(396)으로서 형성된다.
- [0298] 예를 들어, 산화 실리콘층은 다음의 조건 하에서 펄스식 DC 스퍼터링 방법에 의해 형성된다: 봉소로 도핑되고 6N(99.9999%)의 순도를 갖는 실리콘 타겟(비저항: 0.01Ωcm)이 사용되고, 타겟과 기판 사이의 거리(T-S 거리)는 89mm, 압력은 0.4Pa, 직류(DC) 전원은 6kW, 및 분위기는 산소 분위기(산소 유량의 비율이 100%). 산화 실리콘

층의 두께는 300nm이다. 실리콘 타겟 대신에, 석영(바람직하게는, 합성 석영)이 산화 실리콘층을 형성하기 위한 타겟으로서 이용될 수 있다. 스퍼터링 가스로서, 산소 또는 산소와 아르곤의 혼합 가스가 이용된다.

[0299] 이 경우에, 처리실 내의 잔류 수분이 제거되면서 산화물 반도체층(396)이 형성되는 것이 바람직하다. 그 이유는, 수소, 수산기, 또는 수분이 산화물 반도체층(399) 및 산화물 절연층(396)에 포함되는 것이 방지되기 때문이다.

[0300] 처리실 내의 잔류 수분을 제거하기 위해서, 양호하게는 흡착형의 진공 펌프가 이용된다. 예를 들어, 크라이오 펌프, 이온 펌프, 또는 티타늄 서블리메이션 펌프가 양호하게 이용된다. 배기 장치는 콜드 트랩을 구비한 터보 펌프일 수 있다. 크라이오펌프를 이용하여 배기된 처리실에서, 수소 원자, 물(H₂O) 등의 수소 원자를 포함하는 화합물 등이 제거되어, 처리실 내에 형성된 산화물 절연층(396) 내의 불순물 농도가 감소될 수 있다.

[0301] 산화 실리콘층 대신에, 산화 질화 실리콘층, 산화 알루미늄층, 산화 질화 알루미늄층 등이 산화물 절연층(396)으로서 이용될 수 있다.

[0302] 또한, 열 처리는 산화물 절연층(396) 및 산화물 반도체층(399)이 서로 접하는 그러한 조건에서 100℃ 내지 400℃의 온도에서 수행될 수 있다. 산화물 절연층(396)이 본 실시 형태에서 많은 결함을 포함하기 때문에, 산화물 반도체층(399)에 포함된 수소, 수분, 수산기, 또는 수산화물 등의 불순물이 이 열 처리에 의해 산화물 절연층(396) 내로 확산되어, 산화물 반도체층(399) 내의 불순물이 더 감소될 수 있다.

[0303] 상술한 공정을 통해, 수소, 수분, 수산기, 또는 수산화물의 농도가 감소된 산화물 반도체층(392)을 포함하는 트랜지스터(390)가 형성될 수 있다(도 17의 (e) 참조).

[0304] 반응 분위기에 남아 있는 수분은 산화물 반도체막을 형성할 시에 상술한 바와 같이 제거되어, 산화물 반도체막 내의 수소 및 수산화물의 농도가 감소될 수 있다. 따라서, 산화물 반도체막이 안정화될 수 있다.

[0305] 보호 절연층은 산화물 절연층 위에 제공될 수 있다. 본 실시 형태에서, 보호 절연층(398)은 산화물 절연층(396) 위에 형성된다. 보호 절연층(398)으로서, 질화 실리콘막, 질화 산화 실리콘막, 질화 알루미늄막, 질화 산화 알루미늄막 등이 이용된다.

[0306] 보호 절연층(398)으로서, 질화 실리콘막은 층이 산화물 절연층(396) 까지 형성된 기판(394)이 100℃ 내지 400℃의 온도까지 가열되고 수소 및 수분이 제거되고 고순도 질소를 포함하는 스퍼터링 가스가 도입되는 방식으로 실리콘 반도체 타겟을 이용하여 형성된다. 이 경우에, 잔여 수분은 산화물 절연층(396)의 것과 유사한 방식으로 보호 절연층(398)의 형성시에 처리실로부터 제거되는 것이 바람직하다.

[0307] 보호 절연층(398)을 형성하는 경우에, 기판(394)은 보호 절연층(398)의 형성 시에 100℃ 내지 400℃의 온도까지 가열되어, 산화물 반도체층에 포함된 수소 또는 수분이 산화물 절연층 내로 확산될 수 있다. 이 경우에, 열 처리는 반드시 산화물 절연층(396)의 형성 후에 수행될 필요는 없다.

[0308] 산화물 절연층(396)으로서 산화 실리콘층 및 보호 절연층(398)으로서 질화 실리콘층이 적층되는 경우에, 산화 실리콘층 및 질화 실리콘층은 공통 실리콘 타겟을 이용하여 동일한 처리실에서 형성될 수 있다. 먼저, 산소를 포함하는 스퍼터링 가스가 도입되고 산화 실리콘층이 처리실 내부에 위치된 실리콘 타겟을 이용하여 형성되고 그 다음 스퍼터링 가스가 질소를 포함하는 스퍼터링 가스로 바뀌고 질화 실리콘층이 동일한 실리콘 타겟을 이용하여 형성된다. 산화 실리콘층 및 질화 실리콘층이 공기에 노출되지 않고 연속으로 형성될 수 있기 때문에, 수소 및 수분 등의 불순물이 산화 실리콘층의 표면에 흡수되는 것이 방지될 수 있다. 이 경우에, 산화물 절연층(396)으로서 산화 실리콘층 및 보호 절연층(398)으로서 질화 실리콘층이 적층된 후, 산화물 반도체층 내에 포함된 수소 또는 수분을 산화물 절연층으로 확산하기 위한 (100℃ 내지 400℃의 온도에서의) 열 처리가 수행될 수 있다.

[0309] 보호 절연층의 형성 후에, 열 처리가 공기 중에서 1시간 내지 30시간 동안 100℃ 내지 200℃에서 더 수행될 수 있다. 이 열 처리는 고정된 가열 온도에서 수행될 수 있다. 다르게는, 가열 온도의 다음의 변화가 복수회 반복적으로 행해질 수 있다: 가열 온도는 실온에서 100℃ 내지 200℃까지 승온된 후 실온으로 떨어진다. 또한, 이 열 처리는 산화물 절연층의 형성 전에 감압 하에서 수행될 수 있다. 감압 하에서, 가열 시간이 단축될 수 있다. 이 열 처리로, 노멀리-오프 트랜지스터가 얻어질 수 있다. 그러므로, 반도체 장치의 신뢰성이 향상될 수 있다.

[0310] 채널 형성 영역으로 되는 산화물 반도체층이 게이트 절연층 위에 형성될 때, 반응 분위기에 남아 있는 수분이

제거되므로, 산화물 반도체층 내의 수소 및 수산화물의 농도가 감소될 수 있다.

- [0311] 상기 단계들은 액정 표시 채널, 전계 발광 표시 채널, 및 전자 잉크를 이용하는 표시 장치의 백플레인(그 위에 트랜지스터가 형성된 기판)의 제조에 이용될 수 있다. 상기 단계들은 400℃ 이하에서 수행되므로, 상기 단계들은 두께가 1mm 이하이고 길이가 1m보다 긴 글래스 기판이 이용되는 제조 공정에 적용될 수 있다. 상기 모든 단계들은 400℃ 이하에서 수행될 수 있으므로, 표시 패널을 제조하기 위해 다량의 에너지를 필요로 하지 않는다.
- [0312] 상술한 트랜지스터는 실시 형태 1 내지 4에서 설명된 반도체 장치 내에 포함된 트랜지스터에 적용되어, 대기 상태에서 전지의 전기적 방전이 억제될 수 있다. 즉, 반도체 장치의 대기 전력이 감소될 수 있다. 또한, 대기 상태에서 전지의 전기적 방전이 억제될 때, 반도체 장치는 오랜 수명을 가질 수 있다.
- [0313] 또한, 상술한 트랜지스터는 실시 형태 1 내지 4에서 설명된 반도체 장치에 포함된 트랜지스터로서 이용되어, 제조 공정의 감소, 수율의 향상, 및 제조 코스트의 감소가 달성될 수 있다.
- [0314] 본 실시 형태 또는 본 실시 형태의 일부는 다른 실시 형태들 또는 다른 실시 형태들의 일부와 자유롭게 조합될 수 있다.
- [0315] (실시 형태 8)
- [0316] 본 실시 형태에서, 실시 형태 1 내지 4에서 설명된 반도체 장치 중 임의의 것에 포함된 트랜지스터의 예가 설명될 것이다. 구체적으로, 채널 형성 영역이 산화물 반도체를 이용하여 형성되는 트랜지스터의 예가 설명될 것이다.
- [0317] 본 실시 형태의 트랜지스터의 실시 형태 및 그 제조 방법이 도 18의 (a) 내지 (d)를 참조하여 설명될 것이다.
- [0318] 도 18의 (a) 내지 (d)는 트랜지스터의 단면 구조의 예를 도시한다. 도 18의 (d)에 도시된 트랜지스터(360)는 채널 보호형(채널 스톱형)이라고 하는 일종의 보텀 게이트형 구조를 갖고 역 스택거형 트랜지스터라고도 한다.
- [0319] 트랜지스터(360)는 단일 게이트 트랜지스터를 이용하여 설명되지만, 복수의 채널 형성 영역을 포함하는 멀티-게이트 트랜지스터가 필요시 형성될 수 있다.
- [0320] 이후, 트랜지스터(360)를 기판(320) 위에 제조하는 공정이 도 18의 (a) 내지 (d)를 참조하여 설명된다.
- [0321] 먼저, 도전막이 절연 표면을 갖는 기판(320) 위에 형성되고, 그 다음 게이트 전극층(361)이 제1 포토리소그래피 단계에서 형성된다. 레지스트 마스크는 잉크젯 방법에 의해 형성될 수 있다. 잉크젯 방법에 의한 레지스트 마스크의 형성은 포토마스크를 필요로 하지 않으므로, 제조 코스트가 감소될 수 있다.
- [0322] 게이트 전극층(361)이 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 또는 스칸듐 등의 금속 재료, 또는 이들 재료를 주성분으로 포함하는 합금 재료를 이용하는 단층 구조 또는 적층 구조로 형성될 수 있다.
- [0323] 다음에, 게이트 절연층(322)이 게이트 전극층(361) 위에 형성된다.
- [0324] 본 실시 형태에서, 두께가 100nm 이하인 산화 질화 실리콘층이 게이트 절연층(322)으로서 플라즈마 CVD 방법에 의해 형성된다.
- [0325] 다음에, 두께가 2nm 내지 200nm인 산화물 반도체막이 게이트 절연층(322) 위에 형성되고 제2 포토리소그래피 단계에서 섬 형상의 산화물 반도체층으로 가공된다. 본 실시 형태에서, 산화물 반도체막은 스퍼터링 방법에 의해 In-Ga-Zn-O계 금속 산화물 타겟을 이용하여 형성된다.
- [0326] 이 경우에, 처리실 내의 잔여 수분이 제거되면서 산화물 반도체막이 형성되는 것이 바람직하다. 그 이유는, 수소, 수산화기, 및 수분이 산화물 반도체막 내에 포함되는 것이 방지되기 때문이다.
- [0327] 처리실 내의 잔류 수분을 제거하기 위해서, 양호하게는 흡착형의 진공 펌프가 이용된다. 예를 들어, 크라이오 펌프, 이온 펌프, 또는 티타늄 서블리메이션 펌프가 양호하게 이용된다. 배기 장치는 콜드 트랩을 구비한 터보 펌프일 수 있다. 크라이오펌프를 이용하여 배기된 처리실에서, 수소 원자, 물(H₂O) 등의 수소 원자를 포함하는 화합물 등이 제거되어, 처리실 내에 형성된 산화물 반도체막 내의 불순물 농도가 감소될 수 있다.
- [0328] 산화물 반도체막의 형성을 위해 이용되는 스퍼터링 가스는 바람직하게는, 수소, 물, 수산화기, 또는 수소화물 등의 불순물이 약 수 ppm 또는 수 ppb로 감소된 고순도 가스이다.
- [0329] 다음에, 산화물 반도체층의 탈수화 또는 탈수소화가 수행된다. 탈수화 또는 탈수소화를 위한 제1 열 처리의 온

도는 400℃ 이상 750℃ 이하, 바람직하게는 400℃ 이상 기판의 왜곡점 미만이다. 여기서, 기판은 열 처리 장치의 하나인 전기로 내로 도입되고, 열 처리가 1시간 동안 450℃에서 질소 분위기에서 산화물 반도체층에 대해 수행되고, 다음에 산화물 반도체층은 공기에 노출되지 않아 물 및 수소가 들어오는 것이 방지되므로, 산화물 반도체층(332)이 얻어진다(도 18의 (a) 참조).

- [0330] 다음에, 플라즈마 처리는 N_2O , N_2 , 또는 Ar 등의 가스를 이용하여 수행된다. 이 플라즈마 처리에 의해, 산화물 반도체층의 노출된 표면에 부착된 흡수된 물 등이 제거된다. 플라즈마 처리는 역시 산소와 아르곤의 혼합 가스를 이용하여 수행될 수 있다.
- [0331] 다음에, 산화물 절연층이 게이트 절연층(322) 및 산화물 반도체층(332) 위에 형성된다. 그 이후, 제3 포토리소그래피 단계에서, 레지스트 마스크가 형성되고 선택적 에칭이 수행되어, 산화물 절연층(366)이 형성된다. 다음에, 레지스트 마스크가 제거된다.
- [0332] 본 실시 형태에서, 산화물 절연층(366)으로서, 두께가 200nm인 산화 실리콘막이 스퍼터링 방법에 의해 형성된다. 증착 시의 기판 온도는 실온 이상 300℃ 이하일 수 있다. 본 실시 형태에서, 기판 온도는 100℃이다. 산화 실리콘막은 회가스(전형적으로 아르곤) 분위기, 산소 분위기, 또는 회가스(전형적으로 아르곤)와 산소의 분위기에서 스퍼터링 방법에 의해 형성될 수 있다. 타겟으로서, 산화 실리콘 타겟 또는 실리콘 타겟이 이용될 수 있다. 예를 들어, 산화 실리콘은 산소와 질소의 분위기에서 실리콘 타겟을 이용하는 스퍼터링 방법에 의해 형성될 수 있다.
- [0333] 이 경우에, 처리실 내의 잔여 수분이 제거되면서 산화물 절연층(366)이 형성되는 것이 바람직하다. 그 이유는, 수소, 수산기, 및 수분이 산화물 반도체층(332) 및 산화물 절연층(366) 내에 포함되는 것이 방지되기 때문이다.
- [0334] 처리실 내의 잔류 수분을 제거하기 위해서, 양호하게는 흡착형의 진공 펌프가 이용된다. 예를 들어, 크라이오 펌프, 이온 펌프, 또는 티타늄 서블리메이션 펌프가 양호하게 이용된다. 배기 장치는 콜드 트랩을 구비한 터보 펌프일 수 있다. 크라이오펌프를 이용하여 배기된 처리실에서, 수소 원자, 물(H_2O) 등의 수소 원자를 포함하는 화합물 등이 제거되어, 처리실 내에 형성된 산화물 절연층(366) 내의 불순물 농도가 감소될 수 있다.
- [0335] 산화물 절연층(366)의 형성을 위해 이용되는 스퍼터링 가스는 바람직하게는, 수소, 물, 수산기, 또는 수소화물 등의 불순물이 약 수 ppm 또는 수 ppb로 감소된 고순도 가스이다.
- [0336] 다음에, 제2 열 처리는 불활성 가스 분위기 또는 산소 가스 분위기(바람직하게는 200℃ 이상 400℃ 이하, 예를 들어, 250℃ 이상 350℃ 이하의 온도)에서 수행될 수 있다. 예를 들어, 제2 열 처리는 1시간 동안 250℃에서 질소 분위기에서 수행된다. 제2 열 처리가 수행될 때, 산화물 반도체층(채널 형성 영역)의 일부가 산화물 절연층(366)과 접촉하는 조건 하에서 열이 가해진다.
- [0337] 본 실시 형태에서, 산화물 절연층(366)을 구비하고 부분적으로 노출된 산화물 반도체층(332)은 질소 분위기 또는 불활성 가스 분위기 또는 감압 하에서 더 열 처리된다. 질소 분위기 또는 불활성 가스 분위기 또는 감압 하에서의 열 처리에 의해, 산화물 절연층(366)으로 덮이지 않은 산화물 반도체층(332)의 노출된 영역의 저항이 감소될 수 있다. 예를 들어, 열 처리는 1시간 동안 질소 분위기에서 250℃에서 수행된다.
- [0338] 질소 분위기에서 산화물 절연층(366)을 구비한 산화물 반도체층(332)을 위한 열 처리에 의해, 산화물 반도체층(332)의 노출된 영역의 저항은 감소될 수 있다. 따라서, 다른 저항을 갖는 영역(도 18의 (b)에 음영 영역과 백색 영역으로 표시)을 포함하는 산화물 반도체층(362)이 형성된다.
- [0339] 다음에, 도전막이 게이트 절연층(322), 산화물 반도체층(362), 및 산화물 절연층(366) 위에 형성된다. 그 이후, 제4 포토리소그래피 단계에서, 레지스트 마스크가 형성되고 선택적 에칭이 수행되어, 소스 전극층(365a) 및 드레인 전극층(365b)이 형성된다. 다음에, 레지스트 마스크가 제거된다(도 18의 (c) 참조).
- [0340] 소스 전극층(365a) 및 드레인 전극층(365b)의 재료로서, Al, Cr, Cu, Ta, Ti, Mo, 및 W로부터 선택된 원소, 상기 원소들 중 임의의 것을 성분으로 포함하는 합금, 이들 원소를 조합하여 포함하는 합금막 등을 들 수 있다. 금속 도전막은 단층 또는 2 이상의 층의 적층 구조를 가질 수 있다.
- [0341] 상기 단계들을 통해, 탈수화 또는 탈수소화를 위한 열 처리가 산화물 반도체막의 저항을 감소시키도록 증착된 산화물 반도체막에 대해 수행된 후에, 산화물 반도체막의 일부는 선택적으로 산소 과잉 상태로 된다. 결과적으로, 게이트 전극층(361)과 겹치는 채널 형성 영역(363)은 i형으로 되고, 소스 전극층(365a)과 겹치는 고저항 소스 영역(364a) 및 드레인 전극층(365b)과 겹치는 고저항 드레인 영역(364b)은 자기정합적으로 형성된다. 상술

한 단계들을 통해, 트랜지스터(360)가 형성된다.

- [0342] 또한, 열 처리는 1시간 내지 30시간 동안 공기 중에서 100℃ 내지 200℃에서 수행될 수 있다. 본 실시 형태에서, 열 처리는 10시간 동안 150℃에서 수행된다. 이 열 처리는 고정된 가열 온도에서 수행될 수 있다. 다르게는, 가열 온도의 다음의 변화가 복수회 반복적으로 행해질 수 있다: 가열 온도는 실온에서 100℃ 내지 200℃까지 승온된 후 실온으로 떨어진다. 또한, 이 열 처리는 산화물 절연층의 형성 전에 감압 하에서 수행될 수 있다. 감압 하에서, 가열 시간이 단축될 수 있다. 이 열 처리로, 수소가 산화물 반도체층으로부터 산화물 절연층으로 도입되므로, 노멀리-오프 트랜지스터가 얻어질 수 있다. 그러므로, 반도체 장치의 신뢰성이 향상될 수 있다.
- [0343] 드레인 전극층(365b)(및 소스 전극층(365a))과 겹치는 산화물 반도체층 내에 고저항 드레인 영역(364b)(및 고저항 소스 영역(364a))을 형성함으로써, 트랜지스터의 신뢰성이 향상될 수 있다. 구체적으로, 고저항 드레인 영역(364b)을 형성하면, 도전성이 고저항 드레인 영역(364b)을 통해 드레인 전극층으로부터 채널 형성 영역(363)까지 점차적으로 변화하는 그러한 구조가 가능하게 된다. 따라서, 동작이 고전원 전위 VDD 공급 배선에 접속된 드레인 전극층(365b)으로 수행되는 경우에, 고저항 드레인 영역은 버퍼로 되므로, 고전압이 게이트 전극층(361)과 드레인 전극층(365b) 사이에 인가되어도 전계의 국소적인 집중이 거의 발생하지 않으므로, 트랜지스터의 내압이 증가하게 된다.
- [0344] 보호 절연층(323)은 소스 전극층(365a), 드레인 전극층(365b), 및 산화물 절연층(366) 위에 형성된다. 본 실시 형태에서, 보호 절연층(323)은 질화 실리콘막을 이용하여 형성된다(도 18의 (d) 참조).
- [0345] 또한, 산화물 절연층은 소스 전극층(365a), 드레인 전극층(365b), 및 산화물 절연층(366) 위에 형성될 수 있고, 보호 절연층(323)은 산화물 절연층 위에 더 적층될 수 있다.
- [0346] 상술한 트랜지스터가 상술한 실시 형태 1 내지 4에 설명된 반도체 장치에 포함된 트랜지스터에 적용되어, 대기 상태에서의 전지의 전기적 방전이 억제될 수 있다. 즉, 반도체 장치의 대기 전력이 감소될 수 있다. 또한, 대기 상태에서 전지의 전기적 방전이 억제될 때, 반도체 장치는 오랜 수명을 가질 수 있다.
- [0347] 또한, 상술한 트랜지스터는 실시 형태 1 내지 4의 반도체 장치에 포함된 트랜지스터로서 이용되어, 제조 공정의 감소, 수율의 향상, 제조 코스트의 감소가 달성될 수 있다.
- [0348] 본 실시 형태 또는 본 실시 형태의 일부는 다른 실시 형태들 또는 다른 실시 형태들의 일부와 자유롭게 조합될 수 있다는 점에 유의한다.
- [0349] (실시 형태 9)
- [0350] 본 실시 형태에서, 실시 형태 1 내지 4에서 설명된 반도체 장치의 사용예가 도 19의 (a) 내지 (f)를 참조하여 설명된다.
- [0351] 도 19의 (a) 내지 (f)에 도시한 바와 같이, 반도체 장치가 광범위하게 이용될 수 있다. 반도체 장치는 예를 들어, 지폐, 경화, 유가증권, 무기명 채권, 증명서(예를 들어, 운전 면허증, 또는 주민등록증, 도 19의 (a) 참조), 기록 매체(예를 들어, DVD 또는 비디오 테이프, 도 19의 (b) 참조), 물품을 포장하기 위한 용기(예를 들어, 포장지, 또는 병, 도 19의 (c) 참조), 운송 수단(예를 들어, 자전거, 도 19의 (d) 참조), 개인 소지품(예를 들어, 백 또는 안경), 식품류, 식물, 동물, 인체, 의류, 생활용품, 또는 전자 장치(예를 들어, 액정 표시 장치, EL 표시 장치, 텔레비전 수신기, 또는 이동 전화), 또는 물품의 선적 태그(도 19의 (e) 및 (f) 참조)용으로 제공될 수 있다.
- [0352] 반도체 장치(1500)는 프린트 기관 위에 장착되거나, 표면에 부착되거나, 또는 물품에 내장됨으로써 물품에 고정된다. 예를 들어, 반도체 장치(1500)는 각 물품에 고정될 책의 종이 또는 유기 수지 패키지에 내장된다. 반도체 장치(1500)는 소형, 박형, 및 경량을 실현하므로, 반도체 장치(1500)가 물품에 고정되어도 물품의 디자인이 손상되지 않는다. 또한, 지폐, 경화, 유가증권, 무기명 채권, 증명서 등에 반도체 장치(1500)를 제공함으로써, 식별 기능이 얻어질 수 있고 식별 기능을 이용하여 그 위조가 방지될 수 있다. 또한, 본 발명의 반도체 장치가 물품을 포장하기 위한 용기, 기록 매체, 개인 소지품, 식품류, 의류, 생활용품, 전자 장치 등에 부착될 때, 조사 시스템 등의 시스템이 더 효과적으로 실행될 수 있다. 또한, 운송 수단에 대해서도, 반도체 장치(1500)가 운송 수단에 부착될 때 도난 등에 대한 안전성이 높아질 수 있다.
- [0353] 상기 실시 형태들에서 설명된 반도체 장치가 설명된 방식으로 본 실시 형태에서 설명된 용도를 위해 이용될 때, 정보를 교환하기 위해 이용되는 데이터가 정확한 값으로 유지될 수 있다. 따라서, 물품의 인증성 또는 안전성

이 높아질 수 있다.

[0354] 본 실시 형태 또는 본 실시 형태의 일부는 다른 실시 형태들 또는 다른 실시 형태들의 일부와 자유롭게 조합될 수 있다는 점에 유의한다.

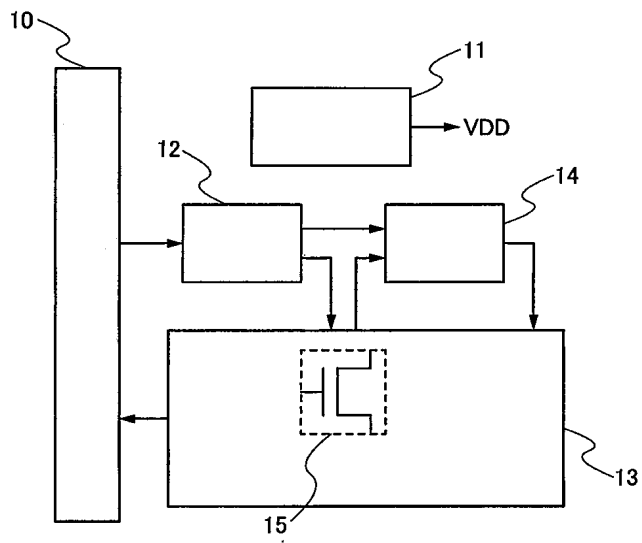
[0355] 본 출원은, 그 전체 내용이 본 명세서에 참고로 인용되며 2009년 11월 20일자로 일본 특허청에 제출된 일본 특허 출원 번호 제2009-265594호에 기초한 것이다.

부호의 설명

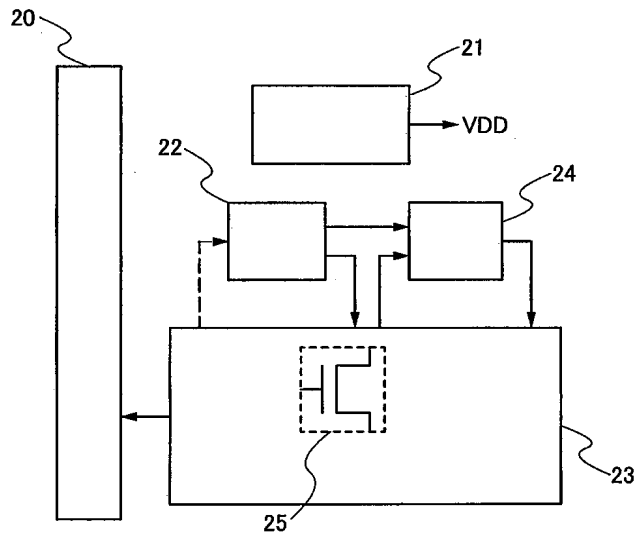
[0356] 10: 안테나, 11: 전지, 12: 변조 회로, 13: 신호 처리부, 14: 전력 제어 회로, 15: 트랜지스터, 20: 안테나, 21: 전지, 22: 타이머, 23: 신호 처리부, 24: 전력 제어 회로, 25: 트랜지스터, 30: 안테나, 31: 2차 전지, 32: 정류 회로, 33: 충전 회로, 34: 안정화 전원 회로, 35: 복조 회로, 36: 신호 처리부, 37: 전력 제어 회로, 38: 트랜지스터, 40: 안테나, 41: 2차 전지, 42: 정류 회로, 43: 충전 회로, 44: 안정화 전원 회로, 45: 복조 회로, 46: 신호 처리부, 47: 전력 제어 회로, 48: 논리 회로, 49: 클럭 발생 회로, 50: 센서, 51: 메모리 회로, 52: 변조 회로, 80: p 채널 트랜지스터, 81: n 채널 트랜지스터, 82: n 채널 트랜지스터, 83: p 채널 트랜지스터, 84: p 채널 트랜지스터, 85: n 채널 트랜지스터, 86: n 채널 트랜지스터, 87: n 채널 트랜지스터, 88: p 채널 트랜지스터, 89: p 채널 트랜지스터, 90: n 채널 트랜지스터, 91: n 채널 트랜지스터, 92: n 채널 트랜지스터, 100: 기관, 102: 보호층, 104: 반도체 영역, 106: 소자 분리 절연층, 108a: 게이트 절연층, 108b: 절연층, 110a: 게이트 전극층, 110b: 전극층, 112: 절연층, 114a: 불순물 영역, 114b: 불순물 영역, 116: 채널 형성 영역, 118: 측벽 절연층, 120a: 고농도 불순물 영역, 120b: 고농도 불순물 영역, 122: 금속층, 124a: 금속 화합물 영역, 124b: 금속 화합물 영역, 126: 층간 절연층, 128: 층간 절연층, 130a: 소스 전극층, 130b: 드레인 전극층, 130c: 전극층, 132: 절연층, 134: 도전층, 136a: 전극층, 136b: 전극층, 136c: 전극층, 136d: 게이트 전극층, 138: 게이트 절연층, 140: 산화물 반도체층, 142a: 소스 전극층, 142b: 드레인 전극층, 144: 보호 절연층, 146: 층간 절연층, 148: 도전층, 150a: 전극층, 150b: 전극층, 150c: 전극층, 150d: 전극층, 150e: 전극층, 152: 절연층, 154a: 전극층, 154b: 전극층, 154c: 전극층, 154d: 전극층, 160: p 채널 트랜지스터, 164: n 채널 트랜지스터, 320: 기관, 322: 게이트 절연층, 323: 보호 절연층, 332: 산화물 반도체층, 360: 트랜지스터, 361: 게이트 전극층, 362: 산화물 반도체층, 363: 채널 형성 영역, 364a: 소스 영역, 364b: 드레인 영역, 365a: 소스 전극층, 365b: 드레인 전극층, 366: 산화물 절연층, 390: 트랜지스터, 391: 게이트 전극층, 392: 산화물 반도체층, 393: 산화물 반도체막, 394: 기관, 395a: 소스 전극층, 395b: 드레인 전극층, 396: 산화물 절연층, 397: 게이트 절연층, 398: 보호 절연층, 399: 산화물 반도체층, 423: 개구, 450: 기관, 452: 게이트 절연층, 457: 절연층, 460: 트랜지스터, 461: 게이트 전극층, 461a: 게이트 전극층, 461b: 게이트 전극층, 462: 산화물 반도체층, 464: 배선층, 465a: 소스 전극층 또는 드레인 전극층, 465a1: 소스 전극층 또는 드레인 전극층, 465a2: 소스 전극층 또는 드레인 전극층, 465b: 소스 전극층 또는 드레인 전극층, 468: 배선층, 및 1500: 반도체 장치.

도면

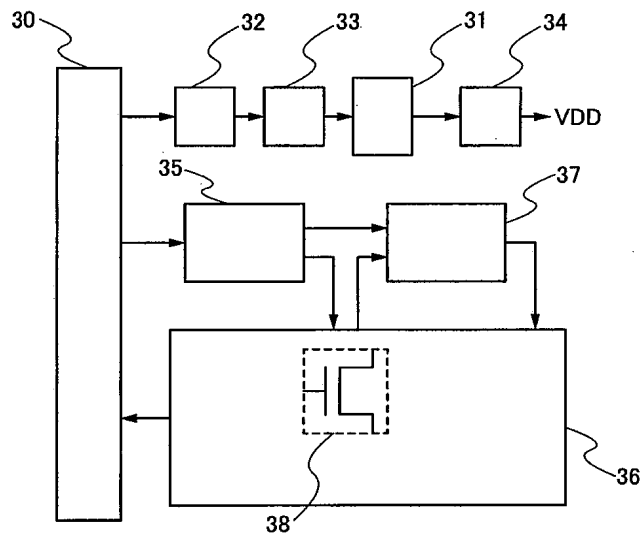
도면1



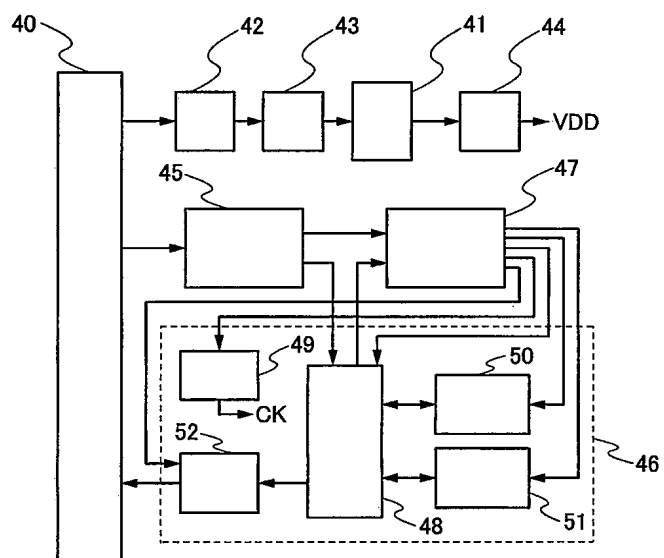
도면2



도면3

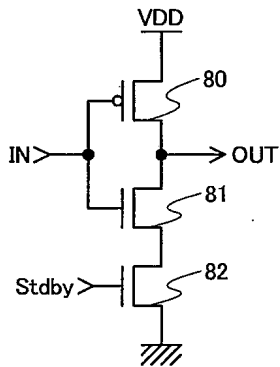


도면4

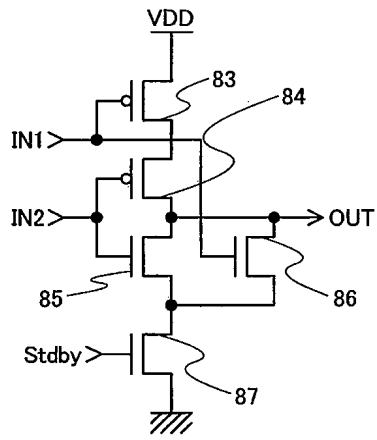


도면5

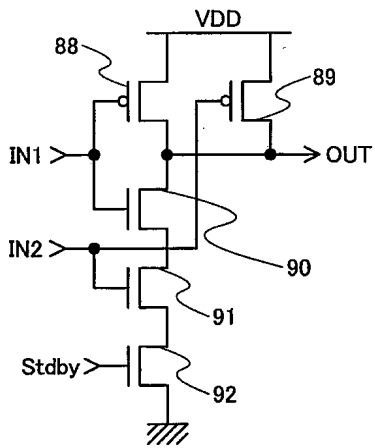
(a)



(b)

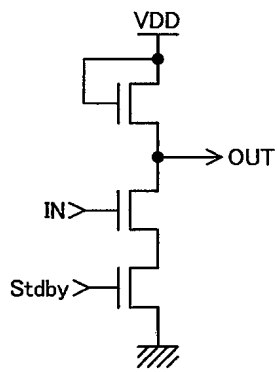


(c)

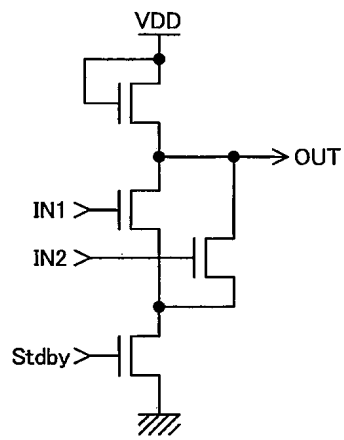


도면6

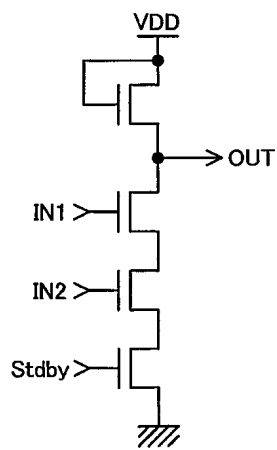
(a)



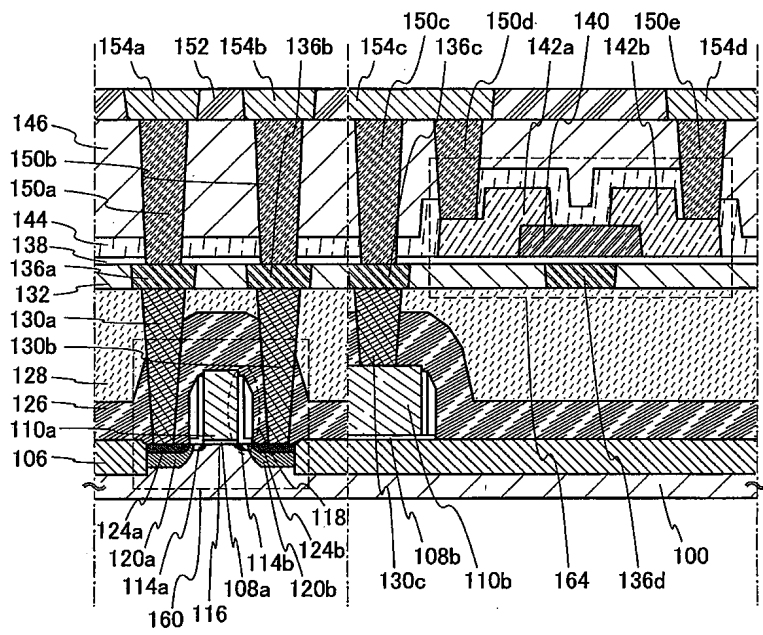
(b)



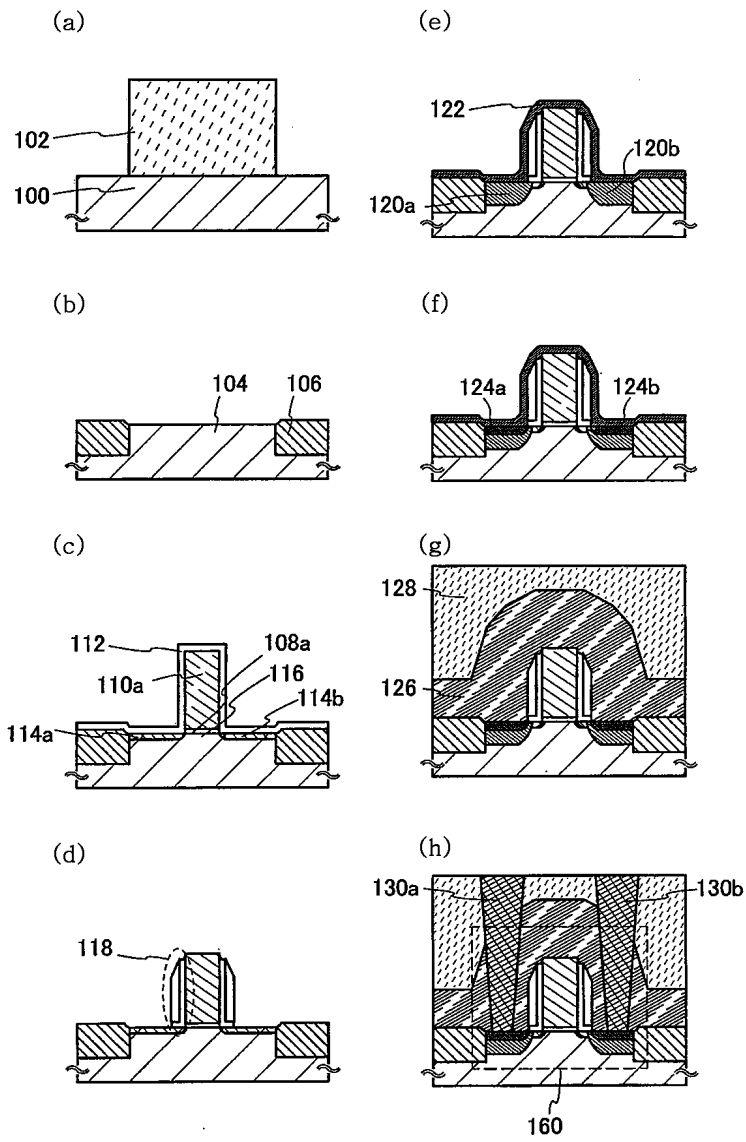
(c)



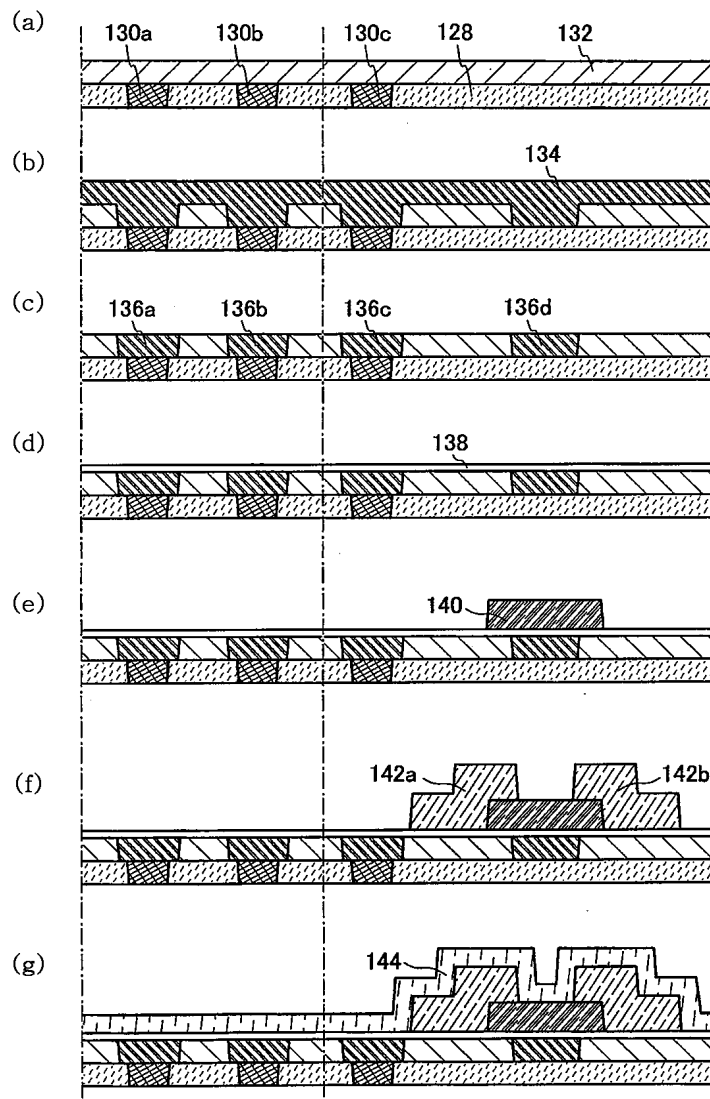
도면7



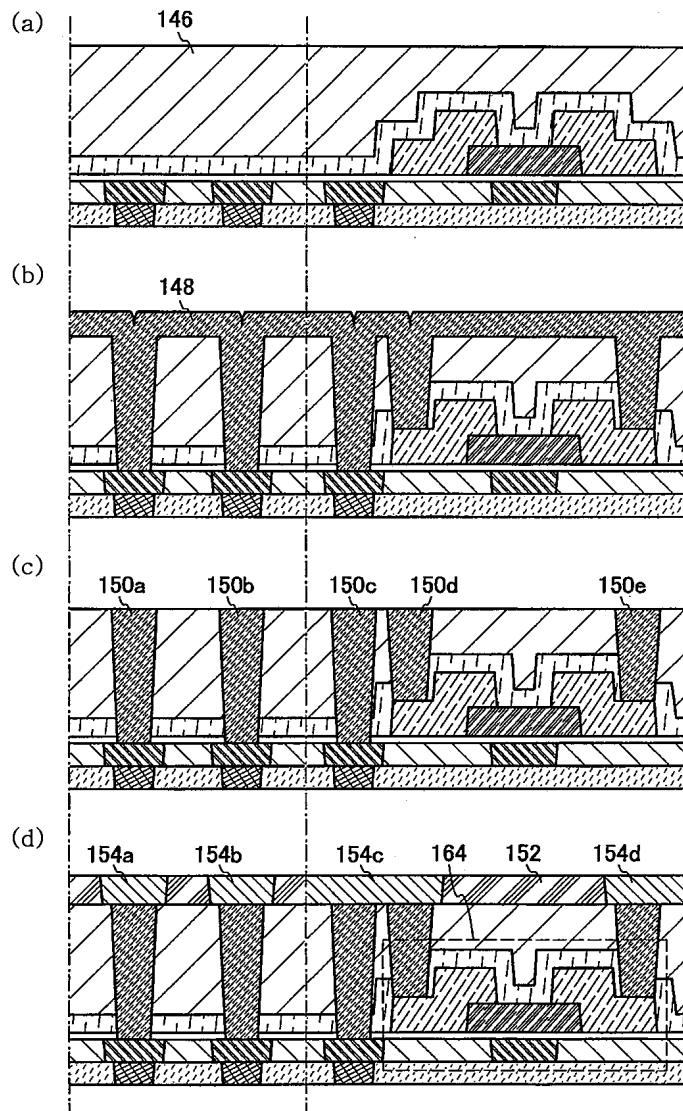
도면8



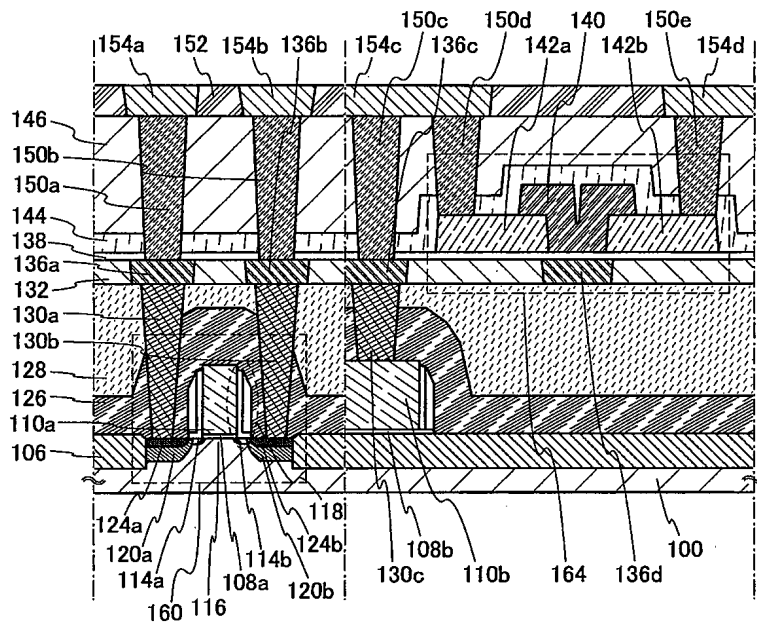
도면9



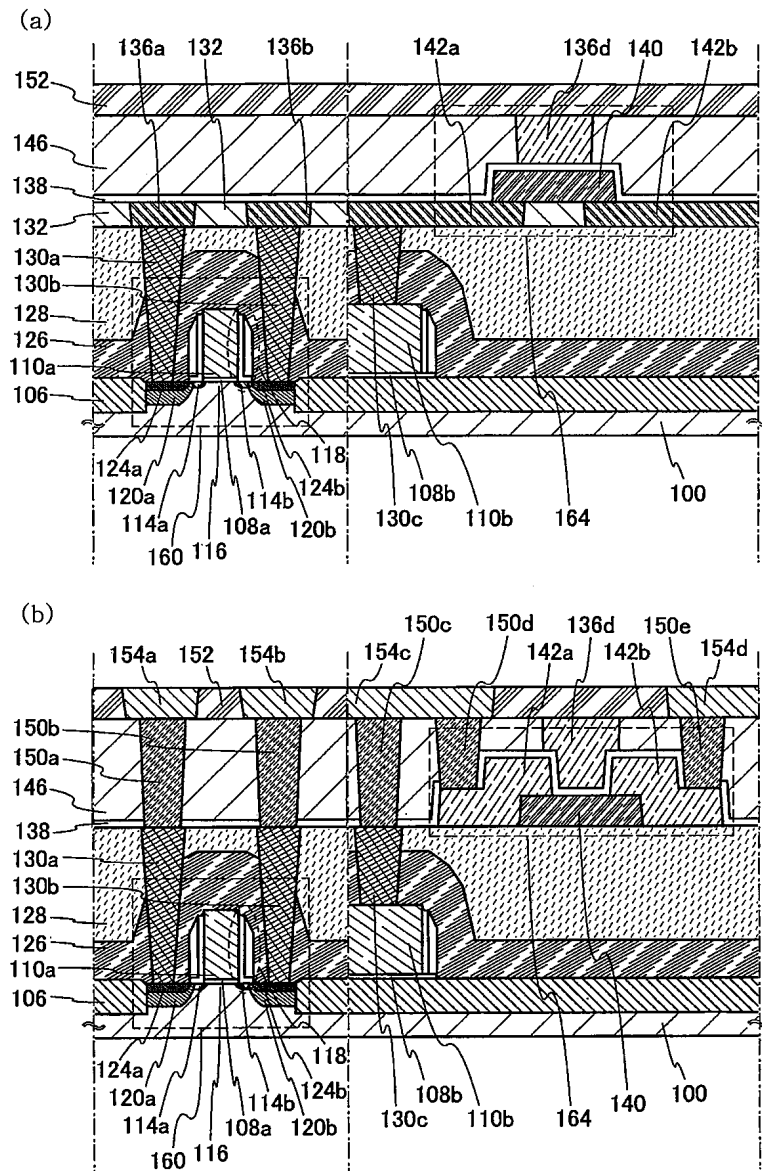
도면10



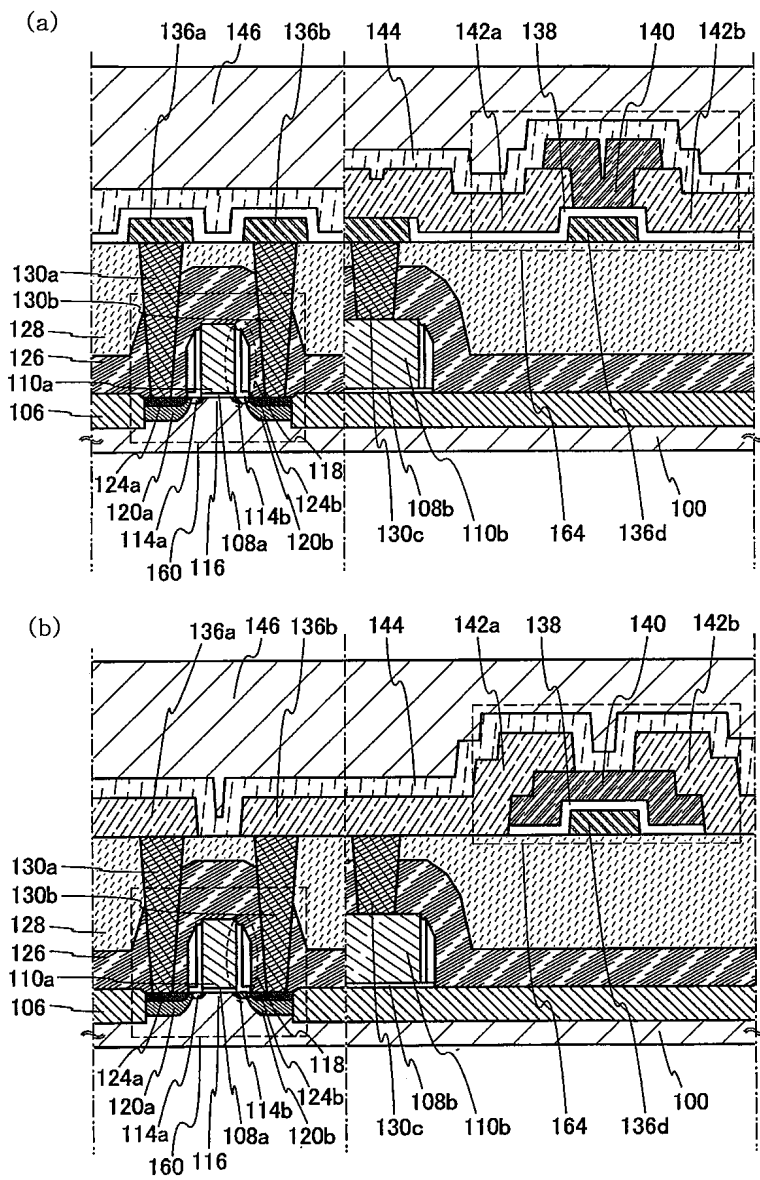
도면11



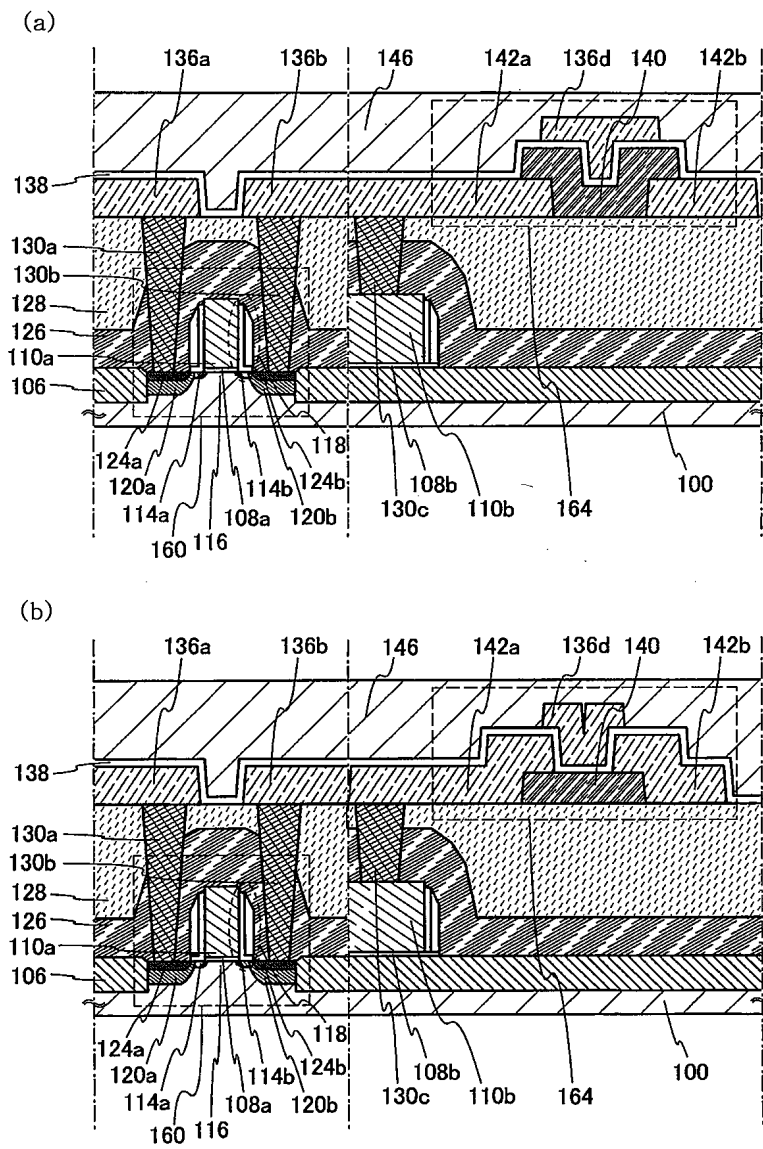
도면12



도면13

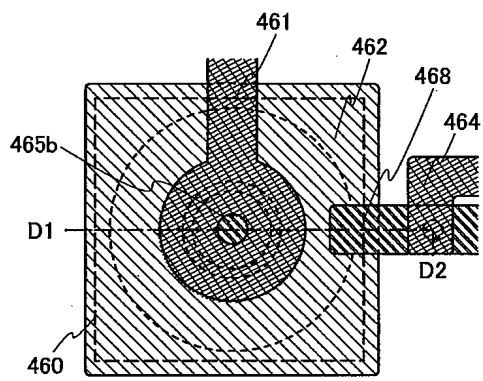


도면14

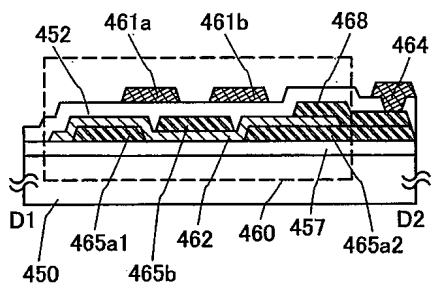


도면15

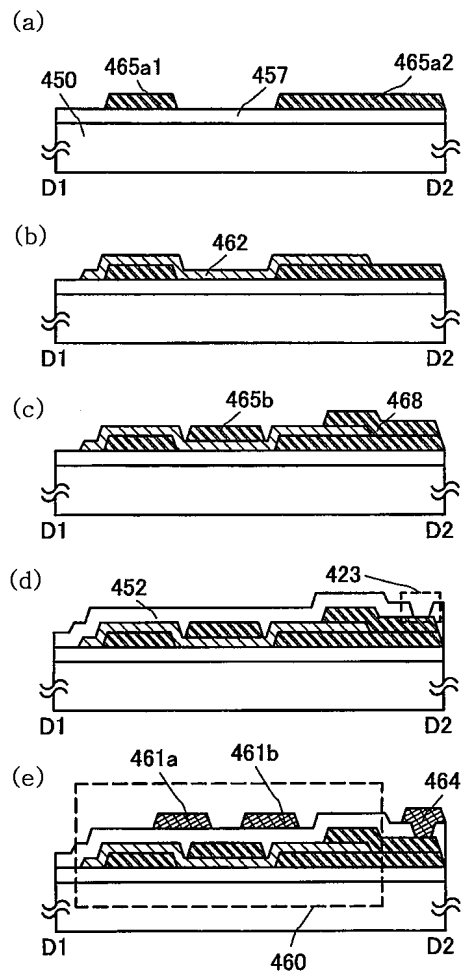
(a)



(b)

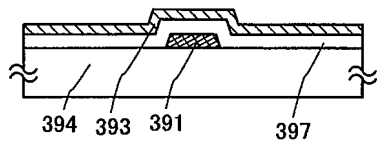


도면16

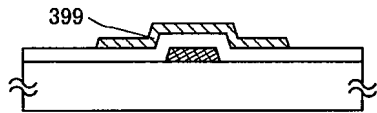


도면17

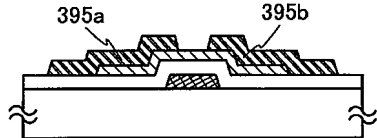
(a)



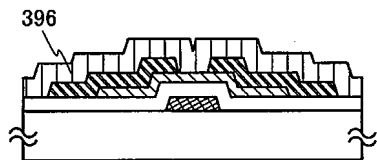
(b)



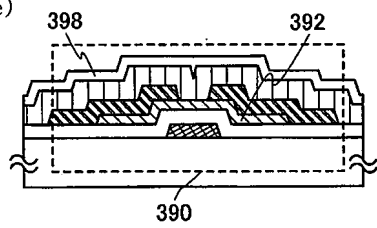
(c)



(d)

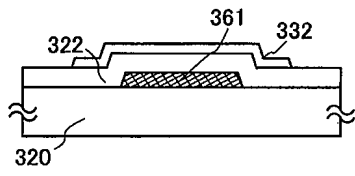


(e)

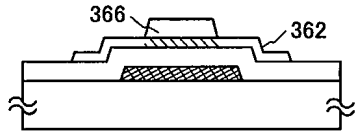


도면18

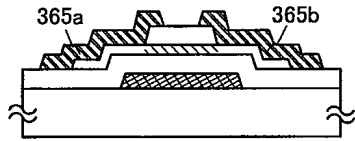
(a)



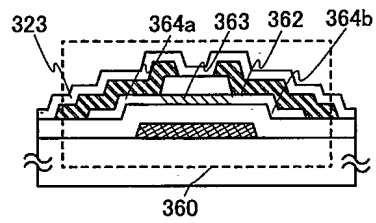
(b)



(c)

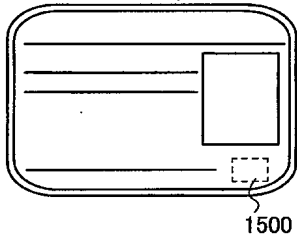


(d)

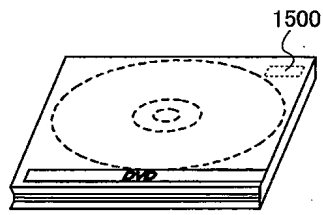


도면19

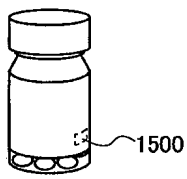
(a)



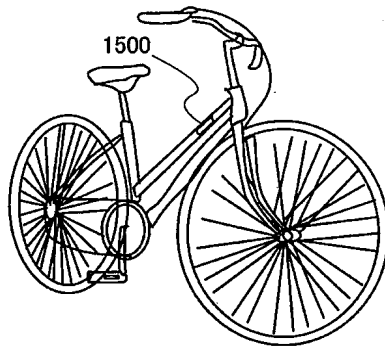
(b)



(c)



(d)



(e)



(f)

