



[12] 发明专利说明书

专利号 ZL 200410046241.6

[45] 授权公告日 2008 年 1 月 9 日

[11] 授权公告号 CN 100361111C

[22] 申请日 2004.6.4

[21] 申请号 200410046241.6

[73] 专利权人 金丽科技股份有限公司

地址 台湾省新竹市

[72] 发明人 蔡志福 谢建民

[56] 参考文献

CN1104688C 2003.4.2

US20030229748A1 2003.12.11

US20030081391A1 2003.5.1

CN1326573A 2001.12.12

审查员 温 睿

[74] 专利代理机构 北京三幸商标专利事务所

代理人 刘激扬

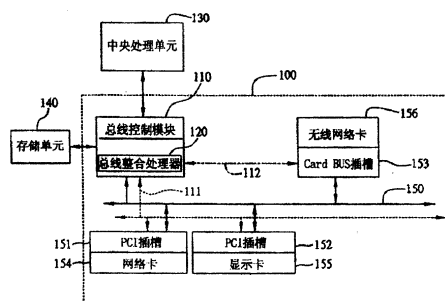
权利要求书 2 页 说明书 7 页 附图 2 页

[54] 发明名称

总线整合系统

[57] 摘要

应用在数据处理系统中的总线整合系统包括总线控制模块，搭接至至少一个周边装置，用于根据该周边装置发出的数据存取信息，驱动对应该周边装置数据存取信息的装置进行数据存取；以及总线整合处理器，包括至少一个第一总线数据存取信息接脚以及至少一个第二总线数据存取信息接脚，供该总线控制模块控制第一数据传输规格总线及第二数据传输规格总线的周边装置通过该单一总线，与相同及相异数据传输规格的另一周边装置进行数据存取；通过该总线整合系统，能供不同数据传输规格的总线仅通过单一总线及整合的总线控制系统即可进行数据传输的控制，达到减少硬件占用空间及制造成本的目的。



1.一种总线整合系统，应用在数据处理系统中，提供与该数据处理系统相互连接的不同数据传输规格的周边装置，通过单一总线整合处理机制进行数据传输，其特征在于，该总线整合系统包括：

总线控制模块，供至少一个总线处理器搭接至所属的周边装置，用于根据该周边装置发出的数据存取信息，驱动对应该周边装置数据存取信息的总线处理器，进行数据存取，进而达到各总线处理器间的数据交换；以及

总线整合处理器，其包括至少一个第一总线数据存取信息接脚与该周边装置中的第一周边装置连接以及至少一个第二总线数据存取信息接脚与该周边装置中的第二周边装置连接，该第一周边装置兼容于第一数据传输规格的共享式结构，而第二周边装置兼容于第二数据传输规格的点对点式结构，该总线整合处理器通过单一的共用总线与该第一周边装置及第二周边装置连接，且该第一周边装置及第二周边装置通过该共用总线连接，该总线整合处理器通过该共用总线分别控制该第一周边装置及第二周边装置的总线处理器以在不同周期下通过不同时间下激活该第一及第二总线数据存取信号接脚来进行数据的存取。

2.如权利要求1所述的系统，其特征在于，该第一数据传输规格是外部设备互联局部总线，该第一总线数据存取信息接脚是该外部设备互联局部总线规格的数据传输起始信号接脚。

3.如权利要求1所述的系统，其特征在于，该第一数据传输规格是卡片总线，该第一总线数据存取信息接脚是该卡片总线规格的数据传输起始信号接脚。

4.如权利要求1所述的系统，其特征在于，该第二数据传输规格是卡片总线；该第二总线数据存取信息接脚是该卡片总线规格的数据传输起始信号接脚。

5.如权利要求1所述的系统，其特征在于，该共用总线可以是规格内定义完整功能的外部设备互联局部总线或支持部分功能的外部设备互联局部总线中的一种。

6.如权利要求1所述的系统，其特征在于，该共用总线可以是规格内所定义完整功能的卡片总线或支持部分功能的卡片总线中的一种。

7.如权利要求1所述的系统，其特征在于，该第一数据传输规格可以是共享式结构的总线规格。

8.如权利要求1所述的系统,其特征在于,该第一数据传输规格可以是点对点式结构的总线规格。

9.如权利要求1所述的系统,其特征在于,该总线整合处理器可以是支持第一数据传输规格全部功能或部分功能的总线处理器中的一种。

10.如权利要求1所述的系统,其特征在于,该总线整合处理器可以是支持第二数据传输规格全部功能或部分功能的总线处理器中的一种。

11.如权利要求1所述的系统,其特征在于,该总线整合处理器包括多个该第二总线数据存取信息接脚时,各该第二总线数据存取信息接脚与该周边装置中兼容于第二数据传输规格的一个周边装置连接,供各周边装置借由相对应的第二总线数据存取信息接脚,发出数据存取请求信号或其它装置对该周边装置发出数据存取请求信号。

12.如权利要求1所述的系统,其特征在于,该系统可应用在电子产品中。

13.如权利要求12所述的系统,其特征在于,该电子产品可以是个人计算机、笔记本型计算机、掌上型计算机、个人数字助理、平板型计算机、服务器系统、工作站、数字家电、移动设备、通信设备、多媒体设备、医疗器材、自动化控制设备中的一种。

14.如权利要求1所述的系统,其特征在于,该总线控制模块整合在集成电路芯片中。

15.如权利要求1所述的系统,其特征在于,该总线整合处理器整合在集成电路芯片中。

16.如权利要求1所述的系统,其特征在于,该总线整合处理器整合在该总线控制模块中。

17.如权利要求1所述的系统,其特征在于,该总线控制模块与该总线整合处理器是独立的集成电路芯片。

总线整合系统

技术领域

本发明是关于一种总线整合系统，特别是关于一种将不同数据传输规格的总线集成的总线整合系统。

背景技术

总线(BUS)是一组建立在许多计算机元件与元件间的电子电路(electrical circuits)，用来在计算机系统的元件间传送数据。实际上可以将总线理解成是一条使用者可共享的高速公路(shared highway)，连接着计算机系统的各种不同部分，如中央处理器、内存、磁盘驱动器、打印机、影像系统或输入输出端口等。总线不仅电性连接不同的元件及装置，并具有传送信息的功能。且总线是由中央处理器管理。一条总线同时能传送的数据量，是由移动的二进制电子信息数目的数量来决定。在一台 PC 里面一般都有下列的四条总线：处理器总线(processor bus)、内存总线(memory bus)、地址总线(address bus)以及输入输出总线(I/O bus)。

以上述输入输出总线为例，它也称为扩展总线(expansion bus)，可让个人计算机的使用者采用标准化的连接器，自行加装诸如显示卡、打印机、光驱等周边装置，所以输入输出总线是使用频率最高的总线。目前常用的总线结构可分为下列五种：工业标准结构总线(ISA—Industry Standard Architecture bus)、微通道结构总线(MCA—Micro Channel Architecture bus)、扩展工业标准结构总线(EISA—Extended Industry Standard Architecture bus)、视频电子标准协会局部总线(VESA local—Video Electronics Standard Association Local BUS)、外部设备互联局部总线 (PCI local—Peripheral Component Interconnect Local BUS)以及 AGP 总线(AGP—Accelerated Graphics Port)等。

上述外部设备互联局部总线(PCI Local BUS)是由 INTEL 公司开发的规格，该规格的定义了允许多个与周边元件互连(PCI)兼容的扩充卡安装在计算机中的局部总线系统上。PCI 控制器和中央处理器可根据执行的状况决定一次交换 32 位或 64 位的数据，并允许具有智能的多个 PCI 兼容扩充卡，可借由使用总线主控(bus mastering)的技术与中央处理器同时执行工作，且 PCI 规格允许在总线上同时存在超过一个以上

的 PCI 兼容装置的多任务技术,所以也可将其称为共享总线(share bus)。

除了上述针对个人计算机所设计的总线以外,还有主要为提供笔记本型计算机、膝上型计算机、掌上型计算机和其它便携式计算机及智能型电子装置设计,用于安装 PC 卡(PC Card)Card BUS 插槽的共同标准,它是由个人计算机存储卡国际协会(Personal Computer Memory Card International Association; PCMCIA)所制定的接口设备连接标准。其中的 PC 卡是为可移动式的装置,大小如信用卡般,被设计插入 PCMCIA 规格的 Card BUS 插槽(PCMCIA Slot)中使用。其中 32 位的 PC 卡的 PCMCIA 总线标准称为卡片总线(Card BUS)。不同于上述 PCI Local BUS,能够以共享方式提供允许在总线上同时存在超过一个以上的 PCI 兼容装置的多任务技术,单一的主桥接器(Host Bridge)仅能提供单一的 Card BUS 的装置与其连接,所以也可将其称为点对点总线(point to point bus)。

承前所述,虽然 PCI Local BUS 与 Card BUS 在单一总线上是否能提供超过一个以上的电子装置方面有所不同,然而两者在系统运行与设定方法上极为相同。但是,迄今两者仍是分别由不同的控制器与中央处理器进行沟通,若能将这两种不同规格的总线结构整合,就能够减少硬件所占的空间及制造成本,因此如何将两者整合是目前急待解决的问题。

发明内容

为克服上述现有技术的缺点,本发明的主要目的在于提供一种总线整合系统,借以提供数据传输规格不同但传输协议相似的总线结构,通过单一总线及整合的总线控制模块进行周边装置数据存取的控制。

本发明的另一目的在于提供一种总线整合系统,提供原来须以点对点方式进行数据传输的总线结构,通过单一总线及整合的总线控制模块进行共享式周边装置数据存取的控制。

为达上述及其他目的,本发明的总线整合系统包括:总线控制模块,搭接至至少一个周边装置,根据该周边装置发出的数据存取信息,驱动对应该周边装置数据存取信息的装置,进行数据存取;以及总线整合处理器,其包括至少一个第一总线数据存取信息接脚以与该周边装置中的第一周边装置连接以及至少一个第二总线数据存取信息接脚以与该周边装置中的第二周边装置连接,该第一周边装置兼容于第一数据传输规格的共享式结构,而第二周边装置兼容于第二数据传输规格的点对点式结构,该总线整合处理器通过单一的共用总线与该第一

周边装置及第二周边装置连接，且该第一周边装置及第二周边装置通过该共用总线连接，该总线整合处理器通过该共用总线分别控制该第一周边装置及第二周边装置的总线处理器以在不同周期下通过不同时间下激活该第一及第二总线数据存取信号接脚来进行数据的存取。

与现有总线控制系统结构比较，本发明的总线整合系统除了可以提供不同数据传输规格的总线结构，通过单一整合的总线控制模块进行周边装置数据存取的控制外，还可以提供原来须以点对点方式进行数据传输的总线结构，通过单一整合的总线控制模块进行共享式周边装置数据存取的控制，达到减少硬件所占的空间及制造成本的目的。

附图说明

图 1 是系统结构方块示意图，显示本发明的总线整合的系统结构；图 2 是总线整合系统在数据传输时的波形示意图。

具体实施方式

实施例

以下通过特定的具体实施例说明本发明的实施方式。

在以下实施例中，本发明的总线整合系统应用在个人计算机系统中，该个人计算机系统至少具有一个外部设备互联局部总线(PCI Local BUS)系统，以及一个卡片总线(Card BUS)系统。其中，该 PCI Local BUS 系统，供使用者通过诸如周边元件互连插槽(PCI Slot)，安装符合该 PCI 数据传输规格的扩充卡，例如网络卡及/或显示卡等；该 Card BUS 系统则供使用者通过 PCMCIA 规格的 Card BUS 插槽(PCMCIA Slot)，安装符合该 PCMCIA 规格的 PC 卡(PC Card)，且在本实施例中，该 PC 卡是 32 位的规格。由于该 PCI 及该 Card BUS 的总线结构是现有技术，所以，以下仅针对与本发明的总线整合系统有关的部分进行说明。

图 1 是本发明的总线整合系统 100 的系统结构示意图，该总线整合系统包括：总线控制模块 110 以及 PCI 总线整合处理器 120。

该总线控制模块 110，分别搭接至中央处理单元 130、存储单元 140 与 PCI 总线 150，根据中央处理单元 130 发出的数据存取信息，驱动该中央处理单元 130、该存储单元 140 或周边装置相互之间进行数据存取。在本实施例中，该总线控制模块 110 除包括该用于处理 PCI 总线的 PCI 总线整合处理器 120 外，还包括处理与该中央处理单元 130 间总线的中央处理单元总线处理器(图未标)，以及处理与该存储单元 140 间总线的存储单元总线处理器(图未标)。

该 PCI 总线整合处理器 120, 建置在该总线控制模块 110 中, 至少包括 PCI BUS 数据传输起始信号接脚(frame)111 以及至少一个 Card BUS 数据传输起始信号接脚(cframe)112, 供该总线控制模块控制 PCI 及/或 Card BUS 的周边装置进行数据存取。其中该 PCI BUS 数据传输起始信号接脚(frame)111 被激活, 是从 PCI 装置发出数据存取请求信号或其它装置对该 PCI 装置发出数据存取请求信号; 该 Card BUS 数据传输起始信号接脚(cframe)112 被激活, 是从 Card BUS 装置发出数据存取请求信号或其它装置对该 Card BUS 装置发出数据存取请求信号。通过激活不同的起始信号接脚, 供相应的周边装置间进行数据存取。

其中, 该中央处理单元 130 用于提供该个人计算机系统提取、译码及执行指令的功能, 并可通过数据传输路径如上述介于该总线控制模块 110 间的中央处理单元总线处理器等, 从其它资源处传递及接收数据等。

该存储单元 140 提供该个人计算机系统的其它模块或单元快速存取所需数据的随机存储器(Random Access Memory; RAM), 例如动态随机存储器(Dynamic Random Access Memory; DRAM)、同步动态随机存储器(Synchronous Dynamic Random Access Memory; SDRAM)或双倍速同步动态随机存取存储器(Double Data Rate Synchronous Dynamic Random Access Memory; DDRSDRAM)等。且它也可如该中央处理单元 130 般, 通过与该总线控制模块 110 间的存储单元总线处理器等从其它资源处传递及接收数据。

该 PCI 总线 150 在本实施例中是 PCI Local BUS 结构, 并分别搭接至 PCI 插槽 151 与 PCI slot152, 以及 PCMCIA 规格的 Card BUS 插槽 153; 其中, 该 PCI 插槽 151 与 152 分别用于提供使用者安装符合该 PCI 数据传输规格的网络卡 154 与显示卡 155; 该 PCMCIA 规格的 Card BUS 插槽 153 则用于提供使用者安装符合该 PCMCIA 规格的无线网络卡 156。需特别说明的是, 在本实施例中为便于突出本发明的技术特征, 该 PCI 总线 150 是指除该 PCI BUS 数据传输起始信号接脚(frame)111 及该 Card BUS 数据传输起始信号接脚(cframe)112 两个接脚以外的数据传输线, 与现有包括所有数据传输线在内的 PCI BUS 有所不同。

承前所述, 该总线控制模块 110 与该 PCI 总线 150 间至少设有以下的信号输出接脚: 该 PCI BUS 数据传输起始信号接脚(frame)111 被激活, 是在 PCI 装置发出数据存取请求信号或其它装置对该 PCI 装置发出数据存取请求信号, 以及该 Card BUS 数据传输起始信号接脚(cframe) 112 被激活, 是在 Card BUS 装置发出数据存取请求信号或其

它装置对该 Card BUS 装置发出数据存取请求信号。此外，该总线控制模块 110 与该 PCI 总线 150 间还包括以下信号输出输入接脚：

(1)脉冲信号接脚(CLK)，供各该周边装置接收时序(Timing)信号输入的接脚。

(2)启动器就绪接脚(Initiator Ready; IRDY)，供该主要装置发出告知目标装置已准备接收传输数据的信号。

(3)目标就绪接脚(Target Ready; TRDY)，供该目标装置(Target)发出告知该主要装置已准备传输数据的信号。

(4)装置选择接脚(Device Select; DEVSEL)，供该目标装置发出告知已被主要装置选择的信号。

(5)停止接脚(Stop)，供该目标装置发出停止数据传输的信号。

(6)地址数据接脚(Address and Data; AD)，传输地址及数据的信号。

(7)总线命令/字节激活接脚(Bus Command and Byte Enable; C/BE)，供该主要装置发出传输总线控制命令的信号。

承前所述，需特别说明的是，在本实施例中，除该 Card BUS 数据传输起始信号接脚(cframe)112 外，各该接脚均与现有 PCI Local BUS 的接脚功能兼容，且在此处仅显示与本发明的总线整合系统有关的接脚，其余的接脚均兼容于该 PCI Local BUS 的规格，故在此不再说明。

图 2 是该总线控制模块 110 在执行周边装置间数据传输时的波形示意图。

承前所述，在本实施例中，当该无线网络卡 156 要从该存储单元 140 读取数据时，该无线网络卡 156 设定为主要装置，该 PCI 总线整合处理器 120 则设为目标装置，令该 PCI 总线整合处理器 120 可根据该无线网络卡 156 的读取数据请求，通过介于该存储单元 140 间的存储单元总线处理器向该存储单元 140 读取数据。此外，由该无线网络卡 156 发出总线数据存取信息，在此实施例中该总线数据存取信息是指 Card BUS 数据传输起始信号接脚(cframe)112 发出低电位信号，用于表示符合卡片总线数据传输规格的该无线网络卡 156 在进行数据读取，并将该信号传送至该 PCI 总线整合处理器 120。

其次，令该无线网络卡 156 发出启动器就绪的信号至该 PCI 总线整合处理器 120，用于表示该无线网络卡 156 已做好数据读取的准备。

接着，令该 PCI 总线整合处理器 120 发出装置选择信号，用于表示该 PCI 总线整合处理器 120 被选取，之后，通过该存储单元总线处理器取得该存储单元 140 的数据，令该 PCI 总线整合处理器 120 发出目标就绪信号，用于表示该 PCI 总线整合处理器 120 已做好被读取数

据的准备。

同时,该无线网络卡 156 根据该总线命令/字节激活所设定的命令内容,通过该总线控制模块 110 的 PCI 总线整合处理器 120 进行数据的读取。

承前所述,若有另一网络卡 154 要从该存储单元 140 读取数据时,该网络卡 154 被设定为主要装置,而该 PCI 总线整合处理器 120 则设为目标装置,借以令该 PCI 总线整合处理器 120 可根据该网络卡 154 的读取数据请求,通过介于该存储单元 140 间的存储单元总线处理器向该存储单元 140 读取数据。由该网络卡 154 发出另一总线数据存取信息,在此实施例该另一总线数据存取信息是指 PCI BUS 数据传输起始信号接脚(frame)111 发出低电位信号,用于表示符合 PCI 数据传输规格的该网络卡 154 要进行数据读取,并将该信号传送至该 PCI 总线整合处理器 120。

其次,令该网络卡 154 发出启动器就绪的信号至该 PCI 总线整合处理器 120,用于表示该网络卡 154 已做好数据读取的准备。

接着,令该 PCI 总线整合处理器 120 发出装置选择信号用于表示该 PCI 总线整合处理器 120 被选取,之后通过该存储单元总线处理器取得该存储单元 140 的数据,令该 PCI 总线整合处理器 120 发出目标就绪信号,用于表示该 PCI 总线整合处理器 120 已做好被数据读取的准备。

同时,该网络卡 154 根据该总线命令/字节激活所设定的命令内容,通过该总线控制模块 110 的 PCI 总线整合处理器 120 进行数据的读取。

承前所述,该总线控制模块 110 的 PCI 总线整合处理器 120 通过接收不同总线数据传输规格的周边装置所发出的数据存取请求,借以判断该周边装置数据传输规格,并根据该周边数据传输规格供该周边装置进行数据存取。

此外,另该 PCI 总线整合处理器 120 监控该 PCI 总线的数据传输状况,供周边装置在符合该总线规格下进行数据传输,借以避免不同数据传输的总线间发生总线竞争的情况。

本发明的总线整合系统只需在该 PCI 总线整合处理器 120 上增加 Card BUS 数据传输起始信号接脚(cframe),即可连接相同于该 Card BUS 数据传输起始信号接脚(cframe)的卡片总线规格的周边装置,换言之,多个卡片总线规格周边装置借由该 PCI 总线整合处理器 120,仅需通过总线接口即可进行数据的传输,达到如同周边装置总线般,允许在总线上同时存在超过一个以上的电子信号的多任务技术。

综上所述，本发明的总线整合系统除可提供不同数据传输规格的总线结构，通过单一总线及整合的总线控制模块进行周边装置数据存取的控制外，还可以提供原来须以点对点进行数据传输的总线结构，通过单一总线及整合的总线控制模块进行共享式周边装置数据存取的控制，达到减少硬件所占的空间及制造成本的目的。

此外，本发明的总线整合系统应用在 Card BUS 规格的周边装置时，该 Card BUS 数据传输起始信号接脚(cframe)的数量可根据该 Card BUS 周边装置的数量进行增减，则该 Card BUS 周边装置的数量可根据使用者的需要进行增减。另一方面，根据上述总线整合系统的原理，该总线整合系统也可应用在仅具有多个 Card BUS 周边装置的个人计算机系统上，通过对应这些 Card BUS 周边装置数量的多个 Card BUS 数据传输起始信号接脚(cframe)，提供这些 Card BUS 周边装置在其它周边装置进行数据的存取工作。

此外，本发明的总线整合系统还可整合在集成电路芯片(IC Chip)中，用于提供各种电子装置有效率的总线整合的解决方案。

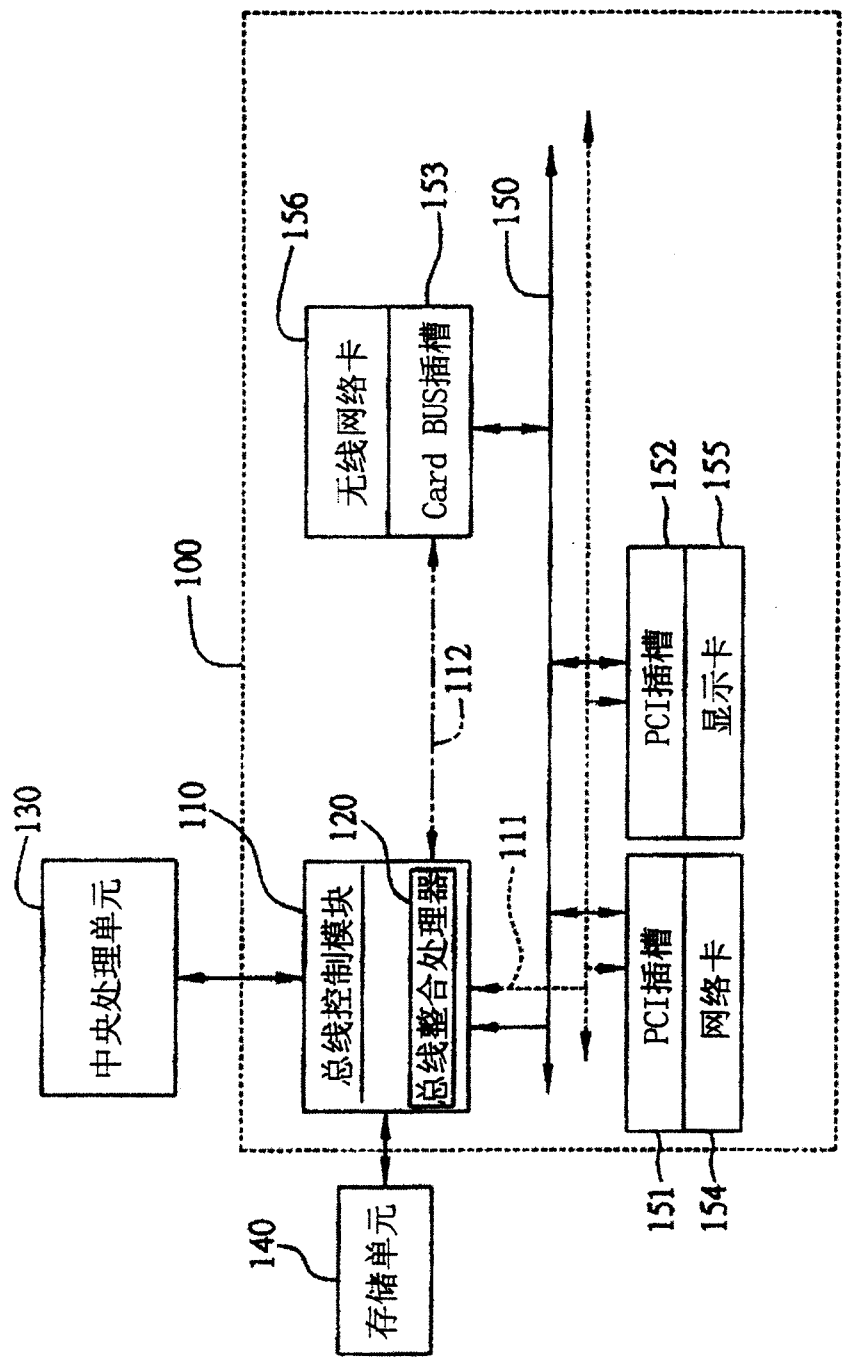


图1

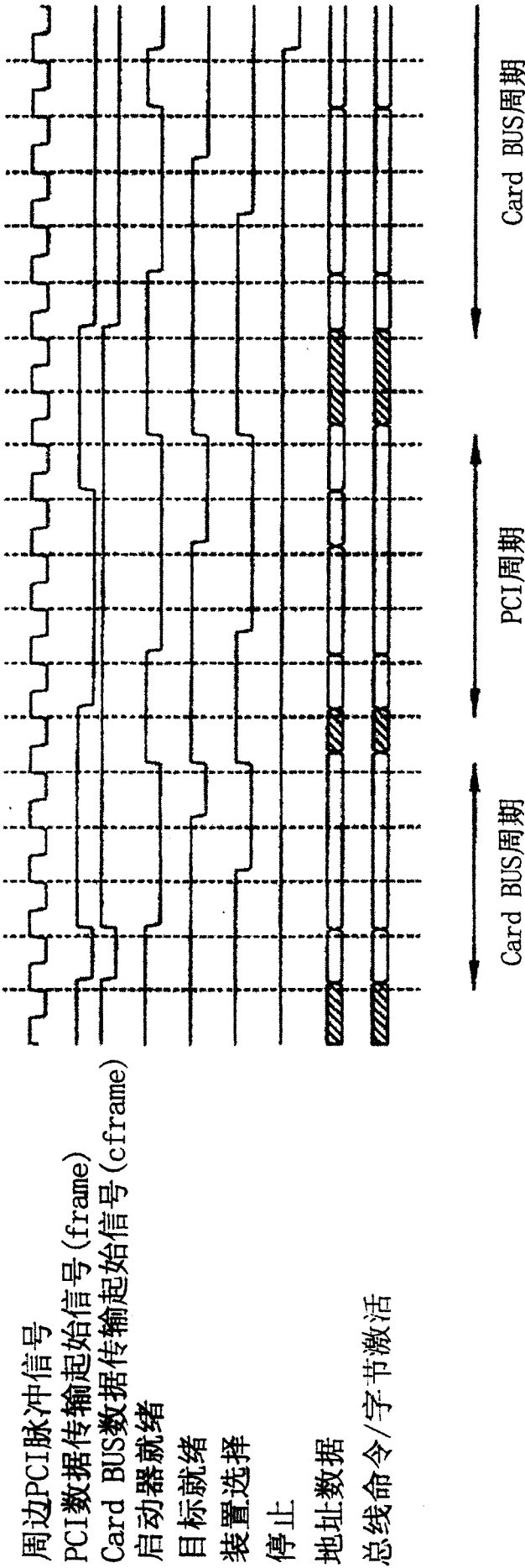


图2