公告本

411616

申請日期	87 年 2 月 5 日
案號	87101532
類別	H01L 27/10

A4
C4

（以上各欄由本局填註）

411616

發明 ~~新型~~ 專利說明書

一、~~發明 新型~~ 名稱	中文	動態型ＲＡＭ
	英文	
二、~~發明 創作~~ 人	姓名	(1) 野田浩正 (2) 西本賢二 (3) 木下嘉隆
	國籍	(1) 日本　(2) 日本　(3) 日本
	住、居所	(1) 日本國東京都杉並區松庵三－一－一－二〇五 (2) 日本國埼玉縣浦和市南浦和一－二七－五－二〇一 (3) 日本國東京都昭島市上川原町一－一八－六
三、申請人	姓名（名稱）	(1) 日立製作所股份有限公司 株式会社日立製作所
	國籍	(1) 日本
	住、居所（事務所）	(1) 日本國東京都千代田區神田駿河台四丁目六番地
	代表人姓名	(1) 金井務

裝 訂 線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

411616

申請日期	87 年 2 月 5 日
案號	87101532
類別	

A4
C4

（以上各欄由本局填註）

發明 ~~新型~~ 專利說明書

一、發明 ~~新型~~ 名稱	中文	
	英文	
二、發明 ~~創作~~ 人	姓名	⑷ 青木正和
	國籍	⑷ 日本
	住、居所	⑷ 日本國埼玉縣所沢市東所沢三－二四－二〇
三、申請人	姓名（名稱）	
	國籍	
	住、居所（事務所）	
	代表人姓名	

裝 訂 線

經濟部中央標準局員工消費合作社印製

411616

A6
B6

（由本局填寫）

承辦人代碼：
大　　類：
ＩＰＣ分類：

本案已向：

國（地區）	申請專利，申請日期：	案號：	，□有 □無主張優先權 ☑有主張優先權
日本	1997 年 3 月 24 日	9-088949	

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部中央標準局員工消費合作社印製

五、發明說明(1　)

【發明之領域】

本發明係有關於，動態型ＲＡＭ（動態型隨機存取記憶體），主要係關於利用於同步ＤＡＲＭ之缺陷救濟技術，非常有效之技術者。

【先前之技術】

關於動態型ＲＡＭ之冗長電路，係揭示於日本特開昭４－７６５９７，特開平４－２８６７９８，特開平７－２８２５９７，特開平７－１０５６９７，特開平９－１２８９９３。

【發明所要解決之問題】

於具備有將不良字線切換成冗長字線之缺陷救濟電路之動態型ＲＡＭ中，判定被輸入之地址信號是否爲不良地址，當被判定爲係對不良字線之存取時，禁止其標準電路側之選擇動作，然後選擇冗長字線，因此，會多花費進行判斷上述不良地址所用之時間。而這在，選擇不存在不良之標準字線時，作爲上述標準字線之選擇動作之條件，藉由上述不良地址之比較結果，必須要爲不是不良地址之判定結果，所以同樣地也花費時間。

本案之發明者，爲了解除上述不良地址之比較所造成之動作延遲，因而考慮利用地址信號之準備（set up）時間。

本發明之目的，係提供具有缺陷救濟功能，而且能實

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(2)

現高速動作之動態型ＲＡＭ。本發明之上述目的及其他之目的與新穎之特徵，係可以由本說明書之記載及圖式了解。

【解決問題之手段】

對於本案所揭示之發明之中，具有代表性者，予以簡單說明，陳述如下。即，於同步ＤＲＡＭ中，將從地址端所輸入之Ｘ地址信號予以取入，形成內部地址信號之Ｘ地址緩衝器，作爲靜態型電路。又，將上述被形成之內部地址信號與被記憶之Ｘ系不良地址予以比較，然後檢測出一致／不一致之信號之比較電路，也作爲靜態型電路。

【圖示說明】

圖１係表示本發明所應用之ＳＤＲＡＭ之一實施例之概略方塊圖。

圖２係說明本發明之冗長方式之一實施例所用之重要部位方塊圖。

圖３係表示圖２之地址緩衝器之一實施例之電路圖。

圖４係表示圖２之前解碼器之一實施例之電路圖。

圖５係表示圖２之前解碼器之一實施例之電路圖。

圖６係表示圖２之冗長字線選擇電路之一實施例之電路圖。

圖７係表示圖２之塊選擇器之一實施例之電路圖。

圖８係表示圖２之不良地址記憶與比較電路之一實施

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製

五、發明說明(3　)

例之電路圖。

圖9係表示圖2之不良地址記憶即比較電路之其他之實施例之電路圖。

圖10係說明本發明之動態型RAM之一實施例之冗長方式所用之說明圖。

圖11係說明本發明之靜態型冗長方式之X系選擇動作之一例所用之時間圖。

圖12係說明本發明之冗長方式之其他之一實施例所用之重要部位方塊圖。

圖13A、13B、13C、13D係表示圖12之各電路方塊之一實施例之電路圖。

圖14係表示圖12之塊選擇器之一實施例之電路圖。

圖15係說明圖12所示之冗長方式之動作所用之說明圖。

圖16係說明圖12所示之冗長方式之動作所用之時間圖。

圖17係表示本發明之動態型RAM之一實施例之概略設計圖。

圖18係表示用於本發明之SDRAM之同步時鐘產生電路之一實施例之電路圖。

圖19係說明使用圖18之同步時鐘產生電路時之冗長方式之動作所用之說明圖。

（請先閱讀背面之注意事項再填寫本頁）
表
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(4)

〔圖號說明〕

200A	記憶體陣列
200B	記憶體陣列庫
201A	行解碼器
201B	行解碼器
202A	列選擇電路
202B	列選擇電路
203A	列解碼器
203B	列解碼器
205	列地址緩衝器
206	行地址緩衝器
210	輸入緩衝器
211	輸出緩衝器

【實施例】

圖1係表示應用本發明之同步DRAM（以下稱爲SDRAM）之一實施例之概略方塊圖。該圖所示之SDRAM，並無特別限制，係利用習知之半導體積體電路之製造技術，形成於單晶矽這樣之1個半導體基板上。

該實施例之SDRAM，係具備有構成記憶體庫0（BANK0）之記憶體陣列（MEMORY ARRAY）200A，及構成記憶體庫1（BANK1）之記憶體陣列200B。上述各記憶體陣列200A、200B，具備有被矩陣配置之動態型記憶體單元，依據圖示，被配置於同一列之記憶

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製

五、發明說明(5　)

體單元之選擇端子，係結合於每列之字線（未圖式），被配置於同一行之記憶體單元之資料輸出入端子，係每行結合於互補資料線（未圖式）。

記憶體陣列２００Ａ之未圖示字線，係依據行（Ｘ）解碼器２０１Ａ之行地址信號之解碼結果，１根被驅動成選擇位準。記憶體陣列２００Ａ之未圖示之互補資料線，係結合於讀出放大器與列選擇電路２０２Ａ。讀出放大器與列選擇電路２０２Ａ之讀出放大器，係藉由記憶體單元之資料讀出，檢測出各互補資料線所出現之微小電位差然後予以放大之放大電路。其列（Ｙ）開關電路，係將互補資料線個別選擇導通於互補共通資料線（Ｉ／Ｏ　ＢＵＳ）所用之開關電路。列開關電路，係依據列解碼器２０３Ａ之列地址信號之解碼結果，作選擇動作。

記憶體陣列２００Ｂ側，也與上述相同地，設有行解碼器２０１Ｂ、讀出放大器及列選擇電路２０２Ｂ及列解碼器２０３Ｂ。上述記憶體資料庫２００Ａ予２００Ｂ之互補共通資料線（Ｉ／Ｏ　ＢＵＳ），係連接於輸入緩衝器２１０之輸出端及輸出緩衝器２１１之輸入端。輸入緩衝器２１０之輸入端子及輸出緩衝器２１１之輸出端子，係連接於8位元之資料輸出端子Ｉ／Ｏ０～Ｉ／Ｏ７。

地址輸入端子Ａ０～Ａ１１所供給之行（Ｘ）地址信號及列（Ｙ）地址信號，係於列（Ｙ）地址緩衝器２０５及行（Ｘ）地址緩衝器２０６，以地址多工器形式被取入。被供給之地址信號，分別被保持緩衝器２０５及２０６

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(6　)

。行地址緩衝器２０６係於更新動作模式，將從更新計數器２０８輸出之更新地址信號作爲行地址信號予以取入。列地址緩衝器２０５之輸出，係作爲列地址計數２０７之前設定資料而被供給，列地址計數器２０７，配合後面所述之指令等所指定之動作模式，將作爲上述前設定資料之列地址信號或其列地址信號依序予以增量之值，朝向列解碼器２０３Ａ、２０３Ｂ輸出。

控制電路２１２係沒有特別之限制，但是，被供給時鐘信號ＣＬＫ、可時鐘信號ＣＫＥ、晶片選擇信號／ＣＳ、列地址選通信號／ＣＡＳ（記號／表示被副間之信號爲行可能信號）、行地址選公信號／ＲＡＳ、可寫入信號／ＷＥ、資料輸出入罩覆控制信號ＤＱＭ等之外部信號，及地址輸入端子Ａ０～Ａ１１之控制資料，依據這些之信號之位準之變化或定時（timing）等，控制ＳＤＲＡＭ之動作模式及上述電路方塊之動作所用之內部定時信號予以形成者，因此，具有控制邏輯予模式暫存器。

時鐘信號ＣＬＫ，當作ＳＤＲＡＭ之罩覆時鐘，其他之外部輸入信號，予該內部時鐘信號之上升邊緣同步。晶片選擇信號／ＣＳ，係藉由其行位準指示指令輸入循環之開始。晶片選擇信號／ＣＳ爲高位準時（晶片非選擇狀態）或其他之輸入不具有意義。但是，後述之記憶體資料庫之選擇狀態或脈衝串動作等之內部動作，不受晶片非選擇狀態變化之影響。／ＲＡＳ、／ＣＡＳ、／ＷＥ之各信號與通常之ＤＲＡＭ之對應信號之機能不同，定義後述之指

（請先閱讀背面之注意事項再填寫本頁）
表
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(7)

令循環時爲有意義之信號。

可時鐘信號ＣＫＥ，係指示下一個時鐘信號之有效性之信號，該信號ＣＫＥ爲高位準時，下一個時鐘信號ＣＬＫ之上升邊緣成爲有效，低位準時爲無效。更者，未圖示，但是讀出模式中，進行對於輸出緩衝器２１１之可輸出之控制之外部控制信號也被供給到控制電路２１２，其信號例如爲高位準時，輸出緩衝器２１１成爲高輸出阻抗狀態。

上述行地址信號，係藉由與時鐘信號ＣＬＫ（內部時鐘信號）之上升邊緣同步之後述之行地址選通·資料庫主動指令循環之Ａ０～Ａ１０之位準所定義。從Ａ１１來之輸入，於上述行地址選通·資料庫主動指令循環中，被當作資料庫選擇信號。即，Ａ１１之輸入於低位準時，記憶體資料庫ＢＡＮＫ被選擇，高位準時，記憶體資料庫ＢＡＮＫ被選擇。記憶體資料庫之選擇控制，沒有特別限制，但是，可以藉由只有選擇記憶替資料庫側之行解碼器之活潑化、非選擇記憶體資料庫側之列開關電路之全非選擇、選擇記憶體資料庫側之輸入緩衝器２１０及輸出緩衝器２１１之連接等之處理，來進行。

後述之預充電指令循環之Ａ１０之輸入，係指示對互補資料線等之預充電動作之樣態，其高位準係指示預充電之對象爲雙方之記憶體資料庫，其低位準係指示Ａ１１所指示之一方之記憶體資料庫爲預充電之對象。

上述列地址信號，係藉由與時鐘信號ＣＬＫ（內部時

（請先閱讀背面之注意事項再填寫本頁）

表 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明(8)

鐘）之上升邊緣同步之讀出或寫入指令（後述之列地址讀出指令、列地址寫入指令）循環之Ａ０～Ａ８之位準所定義。然後，像這樣所定義之列地址，被當作脈衝群存取之開始地址。

其次，說明指令所指示之Ｓ.ＤＲＡ.Ｍ之主要之動作模式。

（１）模式暫存器設定指令（Ｍｏ）

係爲了設定上述模式暫存器３０所用之指令，藉由／ＣＳ、／ＲＡＳ、／ＣＡＳ、／ＷＥ＝低位準而使該指令被指定，應設定之資料（暫存器設定資料）經由Ａ０～Ａ１１而被給予。暫存器設定資料，並無特別限制，但是，成爲脈衝串長度、ＣＡＳ、寫入模式等。雖無特別之限制，但是設定可能之脈衝串長度，成爲１、２、４、８、全頁，設定可能之ＣＡＳ成爲１、２、３，設定可能之寫入模式，成爲脈衝串寫入與同步寫入。

上述ＣＡＳ於後述之列地址．讀出指令所指示之讀出動作中，從／ＣＡＳ之下降到輸出緩衝器２１１之輸出動作爲止，花費了內部時鐘信號之幾個循環，將其指示出來。到讀出資料確定爲止，資料讀出所用之內部動作時間成爲必要，將其配合內部時鐘信號之使用頻率而予以設定。換言之，使用高頻率之內部信號時，相對地將ＣＡＳ設定成大值，使用低頻率之內部時鐘信號時，相對地將ＣＡＳ設定成小的值。

（請先閱讀背面之注意事項再填寫本頁）
表 訂 線
經濟部中央標準局員工消費合作社印製

五、發明說明(9)

（２）行地址選通・資料庫主動指令（Ａｃ）

這是使行地址選通之指示及Ａｌｌ之記憶體資料庫之選擇成爲有效之指令，藉由／ＣＳ、／ＲＡＳ＝低位準、／ＣＡＳ、／ＷＥ＝高位準而被指示，這時被供給到Ａ０～Ａ１０之地址作爲行地址信號，被供給到Ａ１１之信號作爲記憶體資料庫之選擇信號而被取入。取入動作係如上這樣，與內部時鐘信號之上升邊緣同步而進行者。例如，當該指令被指定時，藉此被指定之記憶體資料庫之字線被選擇，連接於該字線之記憶體單元，被分別對應之互補資料線所導通。

（３）列地址・讀出指令（Ｒｅ）

該指令係開始脈衝串讀出動作所必須要之指令，同時，是給予列地址選通指示之指令，被／ＣＳ、／ＣＡＳ＝低位準、／ＲＡＳ、／ＷＥ＝高位準所指示，這時，被供給到Ａ０～Ａ８之列地址作爲列地址信號而被取入。藉此被取入之列地址信號，作爲脈衝串開始地址，而被供給到列地址計數器２０７。被其所指示之脈衝串讀出中，之前行地址選通・資料庫主動指令循環，被進行記憶體資料庫與其之字線之選擇，該選擇字線之記憶體單元，係依據與內部信號同步，從列地址計數器２０７所輸出之地址信號，依序被選擇連續地被讀出。連續地被讀出之資料數，成爲上述脈衝串長度所指定之個數。又，從輸出緩衝器

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製

五、發明說明(10)

２１１之資料讀出開始，等待上述ＣＡＳ所規定之內部時鐘信號之循環數，而被進行。

（４）列地址．寫入指令（Ｗｒ）

作爲寫入動作之樣態，當模式暫存器被設定脈衝串寫入時，爲了使該脈衝串寫入動作開始所地需要之指令，作爲寫入動作之樣態，當模式暫存器被設定單一寫入時，成爲開始該單一寫入動作所必須要之指令。更者，該指令係給予單一寫入及脈衝串寫入之列地址選通之指示。該指令係被／ＣＳ、／ＣＡＳ、／ＷＥ＝低位準、／ＲＡＳ＝高位準所指示，這時，被供給到Ａ０～Ａ８之地址，被作爲列地址信號而被取入。藉此所取入之列地址信號，於脈衝串寫入中，作爲脈衝串開始地址，被供給到列地址計數器２０７。藉此所指示之脈衝串寫入動作之順序，也與脈衝串讀出動作同樣進行。但是，寫入動作，沒有ＣＡＳ，寫入資料之取入，係從該列地址．寫入指令循環開始。

（５）預充電指令（Ｐｒ）

這是對被Ａ１０、Ａ１１所選擇之記憶體資料庫預充電動作之開始指令，被／ＣＳ、／ＲＡＳ、／ＷＥ＝低位準、／ＣＡＳ＝高位準所指示。

（６）自動更新指令

此指令係開始自動更新所需要之指令，被／ＣＳ、／

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製

五、發明說明(11)

ＲＡＳ、／ＣＡＳ＝低位準、／ＷＥ、ＣＫＥ＝高位準所指示。

（７）脈衝串停止·進入·全頁指令

係爲了使對全頁之脈衝串動作，對於所有之記憶體資料庫使停止所必須要之指令，於全頁以外之脈衝串動作被漠視。該指令係被／ＣＳ、／ＷＥ＝低位準、／ＲＡＳ、／ＣＡＳ＝高位準所指示。

（８）不操作指令（Ｎｏｐ）

此爲指示不進行實質之動作之指令，被／ＣＳ＝低位準、／ＲＡＳ、／ＣＡＳ、／ＷＥ之高位準所指示。

於ＳＤＲＡＭ中，以一方之記憶體資料庫，進行脈衝串動作時，於其途中，指定其他之記憶體資料庫，被供給行地址選通·資料庫主動指令時，對於該實行中之一方之記憶體資料庫之動作，不會有任何影響，該別的記憶體資料庫之行地址系之動作成爲可能。例如，ＳＤＲＡＭ具有將從外部所供給之資料、地址及控制信號保持於內部之手段，其保持內容、特別是地址及控制信號，沒有特別之限制，但是，係以每個記憶體資料庫被保存。或，藉由行地址選通·資料庫主動指令循環所選擇之記憶體方塊之字線１根之資料，於列系作動之前，先予以讀出之動作，而被閂鎖於未圖示之閂鎖電路。

所以，資料輸出入端子Ｉ／Ｏ０～Ｉ／Ｏ７中，資料只要不衝突，處理未結束之指令實行中，該實行中之指令

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(12)

，對與作爲處理對象之記憶體資料庫不同之記憶體資料庫之預充電指令、行地址選通·資料庫主動指令予以發行，使內部動作事先開始是可能的。

ＳＤＲＡＭ係定義爲與依據外部時鐘信號ＣＬＫ所形成之內部時鐘信號同步，而可輸出入資料、地址或／ＲＡＳ、／ＣＡＳ等之各種控制信號之記憶體。ＳＤＲＡＭ係可以使與ＤＲＡＭ有相同之大容量記憶體，以與ＳＲＡＭ匹敵之高速動作，又，對於被選擇之１根之字線，存取有數個之資料，係藉由脈衝喘長度予以指定，藉此，以內藏列地址計數器２０７，依序切換列系之選擇狀態，可以連續地讀出或寫入複數個之資料。

圖２係表示說明本發明之冗長方式之一實施例所用之重要部位方塊圖。該圖中，表示出上述圖１之行地址緩衝器２０６，及行解碼器２０１及控制電路２１２之一部份。行解碼器係只表示對應１個資料庫之電路。

該實施例之行解碼器２０１，係由前解碼器（predecoder）２０１－１，及塊選擇器（Mat Selector）２０１－２，及標準字線選擇及驅動電路（Normal Word Decoder & Driver）２０１－３，及作爲缺陷救濟所用之不良地址記憶及比較電路（Redundancy Address Comparator）２０１－４及冗長字線選擇電路（Redundancy Word Driver）２０１－５所構成。

上述各電路方塊中，以粗線所示之地址緩衝器２０６之外，前解碼器２０１－１、塊選擇器２０１－２及不良

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明(13)

地址記憶及比較電路２０１－４，係ＳＤＲＡＭ爲等待時（stand by狀態），也會被活潑化之電路。因此，上述不良地址記憶及比較電路２０１－４係由靜態型電路所構成，其地址比較動作所用之啓動信號係不需要者。

該實施例中，利用地址信號之裝設（set up）時間，進行冗長地址比較。如果資料庫啓動信號被輸入，則產生控制信號２１２所包含之ＲＡＳ時鐘產生電路２１２－１所形成之前解碼器啓動信號ＰＤＥ，控制上述前解碼器２０１－１及塊選擇器２０１－２，輸出這時被輸入之內部地址信號所對應之解碼信號。上述不良地址記憶及比較電路，係形成被輸入之地址信號與被記憶之不良地址之判定結果ＮＥＷ（Normal Word Enable）或ＲＷＥ（Redundancy Word Enable），於上述比較判定後，移動到下一段電路之動作選擇。

ＳＤＲＡＭ之Ｘ系動作，係以塊選擇信號被發出之速度來決定，這是依存於冗長判定之速度者。如該實施例之不良地址記憶及比較電路２０１－４這樣，先使地址緩衝器活潑化，然後，取入地址信號，同時，利用靜態型電路所構成者，不需要啓動信號，利用上述地址信號之裝設時間，進行實質之不良地址之比較判定者，對於上述Ｘ系動作之高速化有效。

圖３係表示上述地址緩衝器之一實施例之電路圖。該實施例中，利用直線閂鎖電路。即，地址信號Ａｉ被供給到時鐘反相電路ＣＮ１之輸入端子。該時鐘反相電路

（請先閱讀背面之注意事項再填寫本頁）

表 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（14）

ＣＮ１之輸出信號，被供給到反相電路Ｎ２之輸入端子。該反相電路Ｎ２之輸出信號，被供給到反相電路Ｎ３之輸入端子。該反相電路Ｎ３之輸出信號，作爲反轉之內部信號／ＩＡｉ而被輸出。上述反相電路Ｎ２之輸出信號，也被供給到時鐘反相電路ＣＮ２之輸入。該時鐘反相電路ＣＮ２之輸出端子，被連接於上述時鐘反相電路ＣＮ１之輸出端子，及連接於上述反相電路Ｎ２之輸入端子。

爲了使上述２個時鐘反向器電路ＣＮ１與ＣＮ２互補地活潑化，然後使其進行直線動作及閂鎖動作，動作控制信號ＥＮ及以反相電路Ｎ１所形成之反轉信號，被互補地供給到上述時鐘反相電路ＣＮ１與ＣＮ２。即，動作控制信號ＥＮ於行位準時，時鐘反相電路ＣＮ１活潑化，進行地址信號Ａｉ之取入。這時，時鐘反相電路ＣＮ２，成爲非活潑狀態，成爲輸出高阻抗。動作控制信號ＥＮ變化成高位準時，於其變化時間中，時鐘反相電路２被活性化，之前被輸入之地址信號Ａｉ被閂鎖。即，時鐘反相電路ＣＮ２，被上述動作控制信號ＥＮ之高位準鎖活潑化，使上述被取入之地址與反相電路Ｎ２一起保持。

上述動作控制信號，係對應上述資料庫啓動信號而發生，進行上述輸入信號之閂鎖動作，對應之後之輸入地址信號之變化，使內部地址信號ＡＩｉ及／ＡＩＩ不變化。藉由停止像這樣之內部地址信號之變化，而可以控制該處之浪費之電流消費。如果不使這樣之電流消費成無問題，上述地址緩衝器，可以只置換成反相電路。

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(15)

圖4係表示上述前解碼器之一實施例之電路圖。該實施例之前解碼器，係解讀下位之地址信號ＩＡｉ～ＩＡｋ者，選擇標準系電路時及選擇冗長系電路時，都被活潑化，藉由反相電路Ｎ５～Ｎ７及接受其輸出信號之反及（ＮＡＮＤ）閘電路Ｇ１而進行解碼動作。像上述這樣，由於地址緩衝器經常被活潑化，所以，於輸出部設有直線閂鎖電路。即，藉由時鐘反相電路ＣＮ３、ＣＮ４及反相電路Ｎ８及前解碼器啓動信號ＰＤＥ及形成該反轉信號之反相電路Ｎ４，構成上述同樣之直線閂鎖電路。

像上述這樣，於等待時也使地址緩衝器活性化，對應這樣之無效之地址信號，爲了不使字線等之選擇動作被進行，於上述直線閂鎖電路之輸出部，設有閘電路Ｇ２。該閘電路Ｇ２係由或閘電路所構成，被供給上述反相電路Ｎ４之輸出信號，作爲其控制信號。藉此，利用前解碼器啓動信號ＰＤＥ之低位準，於上述直線閂鎖電路作直線動作期間，上述閘電路Ｇ２之輸出信號被固定於低位準，地址選擇動作被停止。即，以上述前解碼器啓動信號ＰＤＥ從低位準變化到高位準之定時（timing），使對應有效地址信號之前解碼信號被閂鎖，同時，上述閘電路Ｇ２打開閘，輸出前解碼信號ＰＡ１者。上述前解碼信號ＰＡ１，經由以反向器電路Ｎ９與反向器電路Ｎ１０所構成之驅動器而被輸出。

圖5係表示上述前解碼器之一實施例之電路圖。該實施例之前解碼器，係解讀中位之地址信號ＩＡｍ與ＩＡｎ

（請先閱讀背面之注意事項再填寫本頁）
表
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(16)

者，只有在選擇標準系電路時才被活潑化。即，除了上述地址信號ＩＡｍ與ＩＡｎ之外，指示不良地址記憶與比較電路之標準電路之選擇之判定信號ＮＷ，作爲輸入信號被輸入。除此之外，該前解碼器實質上與圖４所示之前解碼器相同。即，與上述相同地，藉由反相電路Ｎ５～Ｎ７及接受該輸出信號之反及閘電路Ｇ１，進行解碼動作，於其輸出側直線閂鎖電路及閘電路被連接成縱列型態。

圖６係表示上述冗長字線選擇電路之一實施例之電路圖。上述不良地址記憶及比較電路之判定信號ＮＷＥ，被輸入時鐘反相電路ＣＮ５、及由反相電路Ｎ１２及時鐘反相電路ＣＮ６及接受前解碼啓動信號ＰＤＥ之反相電路Ｎ１１所構成之直線電路，上述啓動信號ＰＤＥ發生時刻之上述判定信號ＮＷＥ被取入。該直線閂鎖電路之輸出信號，係通過上述之閘電路Ｇ１２與構成驅動電路及驅動器之反相電路Ｎ１３及Ｎ１４，而被輸出。等待時，爲了防止不良地址之比較結果被輸出，所以，與上述同樣的，藉由前解碼器啓動信號ＰＤＥ之低位準，於上述直線閂鎖電路直線作動期間，將閘電路Ｇ１２之輸出信號固定於低位準，然後使冗長字線之選擇動作停止。

圖７係表示上述塊選擇器之一實施例之電路圖。反相電路Ｎ１７～Ｎ１９與閘電路Ｇ３，係解讀３位元之地址信號，然後選擇８個記憶體塊中之１個記憶體塊。藉由該閘電路Ｇ３所形成之塊選擇信號，及被分配於上述不良地址記憶及比較電路之冗長字線所對應之塊選擇信號Ｃ'Ｍ０

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(17)

，係經由由ＭＯＳＦＥＴＱ１～Ｑ４所構成之多工器，作爲塊選擇信號而被輸出。

於該塊選擇器，如上述這樣，爲了使地址緩衝器於等待時也活潑化，對應這樣之無效地址信號，使塊選擇信號不形成，所以與上述者相同地，設有時鐘反相電路ＣＮ７、ＣＮ８及反相電路Ｎ２０，及接受前解碼啓動信號ＰＤＥ之反相電路Ｎ１５所構成直線閂鎖電路，及作爲閘電路Ｇ４、驅動電路及驅動器之反相電路Ｎ２１及Ｎ２２。

上述閘電路Ｇ４，係由反及閘電路所構成，接受上述前解碼器啓動信號ＰＤＥ之反相電路Ｎ４之輸出信號，作爲其控制信號而被供給。藉此，利用前解碼器啓動信號ＰＤＥ之低位準，於上述直線閂鎖電路直線作動期間，上述閘電路Ｇ２之輸出信號被固定於低位準，塊選擇信號之輸出信號被停止。

由上述ＭＯＳＦＥＴＱ１～Ｑ４所構成之多工器，被供給上述判定信號ＮＷＥ。即，信號ＮＷＥ於低未準時，Ｐ通道型ＭＯＳＦＥＴＱ１爲ＯＮ狀態，界尤其反轉信號之高位準，Ｎ通道型ＭＯＳＦＥＴＱ２成爲ＯＮ狀態，所以，閘電路Ｇ３所形成之塊選擇信號成爲有效，被輸出。相對於此，信號ＮＷＥ爲高未準時，Ｎ通道型ＭＯＳＦＥＴＱ４成爲ＯＮ狀態，藉由其反轉信號之低位準，Ｐ通道型ＭＯＳＦＥＴＱ３成爲ＯＮ狀態，所以，上述不良地址記憶即比較電路之輸出信號ＣＭＯ被輸出。藉

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製

五、發明說明(18)

由設上述多工器，其他之記憶體塊之不良字線，可以置換成被該電路所選擇之記憶體塊所設之冗長字線。藉此，超越記憶體塊，不良地址之救濟目標被決定，可以使救濟效率提高。

圖８係表示上述不良地址記憶即比較電路之一實施例之電路圖。如上所述，於地址緩衝器，係形成非反轉地址信號ＩＡｉ與反轉地址信號／ＩＡｉ者，但是，不良地址比較電路被供給其中一方之內部地址信號ＩＡｉ。藉此，可以減少地址緩衝器２０６與不良地址比較電路之配線數。

於該實施例中，如上所述，地址緩衝器２０６所形成之內部地址信號中之１０位元所構成之非反轉地址信號ＩＡ０～ＩＡ９被傳送，藉由反相電路Ｎ２３等，形成反轉地址信號。從上述地址緩衝器２０６所傳送來之非反轉地址信號ＩＡ０，及以反轉電路Ｎ２３所形成之反轉地址信號（／ＩＡ０），被供給至反及電路Ｇ５與Ｇ６之一方之輸入端子。這些反及閘電路Ｇ５與Ｇ６之另一方之輸入端子，被供給可保險信號ＦＥ。於其他之內部地址信號ＩＡ１～ＩＡ９，也設有與上述相同之反相電路及反及閘電路。

上述反及閘電路Ｇ５與Ｇ６之輸出端子之傳送路徑，設有保險絲Ｆ１與Ｆ２。這些保險絲Ｆ１與Ｆ２之另一端，被共通連接，被供給至或閘電路Ｇ７之一方之輸入。於該或閘電路Ｇ７之另一方之輸入，對應地址信號ＩＡ１之

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(19)

反及閘電路之輸出信號被傳送。以下，同樣地，相鄰位元之地址信號每2位元成一組，被輸入至上述同樣之非或閘電路。如上述地址信號ＩＡ0～ＩＡ9這樣，由１０位元構成時，每2位元合計非或閘電路被設置。這些之非或閘電路與接受該輸出信號之反及閘電路G8，構成比較電路。

上述保險絲Ｆ１與Ｆ２，對應不良地址，一方被切斷。這些保險絲Ｆ１與Ｆ２，沒有特別限制，但是，係以最上層之鋁層所形成，藉由雷射光線之照射，一方被切斷。如上所述，比較電路，係將非或閘電路與反及閘電路組合而構成時，當不良地址與被輸入之地址一致時，通過保線絲，低位準被傳至非或閘。例如，切斷保線絲Ｆ２時，內部地址信號ＩＡ0爲高位準時，反及閘電路Ｇ５之低位準作爲一致信號而被輸出。內部地址信號ＩＡ0爲低位準時，反及閘電路Ｇ５之輸出信號成爲高位準，使非或閘電路Ｇ７之輸出成爲低位準。

不將不良地址記憶於保線絲Ｆ１、Ｆ２時，換言之，上述１０組之保險絲之兩方沒有被切斷時，上述可保險絲信號ＦＥ不被形成。即，該信號ＦＥ成爲低位準。因此，與內部地址信號ＩＡ0～ＩＡ9無關，成爲一對之反及閘電路Ｇ５與Ｇ６等之輸出信號都成爲高位準，於其輸出端子間，不會流通電流，輸出不一致信號。

於內部地址信號ＩＡ0～ＩＡ9之各位元，低位準之一致信號被輸出時，非或閘電路Ｇ７等之輸入全部成爲低

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製

五、發明說明 (20)

位準，其輸出信號成爲高位準。其結果，藉由反及閘電路G8，形成低位準之一致信號CMO。於此實施例中，像這樣之不良地址記憶及比較電路被設有4位元。上述4個比較輸出CMO0～CMO3，係每2個地被輸入至反及閘G9與G10，這些輸出信號被輸入至反及閘電路G11，通過輸出用之反相電路N24而被輸出。藉此，4個不良地址記憶及比較電路中，所有之輸出信號CMO0～CMO3，只有在高位準之不一致輸出時形成被作成低位準之標準系字線啓動信號NWE。

於上述4個不良地址記憶及比較電路中，於輸出信號CMO0～CMO3中之任何一個中（例如CMO0），當低位準之一致信號被輸出時，上述標準系字線啓動信號NWE成爲高位準，標準系電路之選擇動作停止，取而代之者，係藉由圖6所示之冗長字線選擇電路，形成冗長字線選擇信號RWE，同時，對應上述一致信號CMO0，藉由圖7所示之塊選擇器，產生冗長字線被形成之塊選擇信號MS。

圖9係表示上述不良地址記憶及比較電路之其他之一實施例之電路圖。於該實施例中，爲了使圖示簡化，圖8之反及閘電路G5與G6，被置換成反相電路。即，藉由P通道型MOSFETQ5與N通道型MOSFETGQ6，構成對應上述反及閘電路G5之反相電路，爲了附加閘機能，將反轉之可保險絲信號／FE供給至N通道型MOSFETQ6之源極。於由對應上述反及閘電路G6

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（21）

之Ｐ通道型ＭＯＳＦＥＴＱ７與Ｎ通道型ＭＯＳＦＥＴＱ８所構成之反相電路，也同樣地於Ｎ通道型ＭＯＳＦＥＴ之源極，被供給上述信號／ＦＥ。然後，於保險絲Ｆ１與Ｆ２之被共通連接之輸出側，設有上拉（pull up）用之Ｐ通道型ＭＯＳＦＥＴＱ９，該閘被供給接受上述可保險絲信號／ＦＥ之反相電路Ｎ２５之輸出信號。

可保險絲信號／ＦＥ爲高位準時，使將非反轉與反轉之內部地址信號傳送到保險絲Ｆ１、Ｆ２等之反相電路之接地側電位，藉由上述信號／ＦＥ，成爲對應電源電壓之高位準，藉此，附加與上述反及閘電路相同之閘機能。當可保險絲信號／ＦＥ爲低位準時，給予將非反轉與反轉之內部地址信號傳送到保險絲Ｆ１、Ｆ２等之反相電路之接地側電位，進行通常動作者。

將上述反相電路Ｎ２５與拉上ＭＯＳＦＥＴＱ９都消除，是可能的。上述可保險絲信號／ＦＥ爲高位準時，內部地址信號ＩＡ０如果爲高位準時，反相電路Ｎ２６之輸出信號成爲低位準，使Ｐ通道型ＭＯＳＦＥＴＱ７成爲ＯＮ狀態，將對應電源電壓之高位準，經過保險絲Ｆ２，傳入非或閘電路Ｇ７之一方之輸入。上述可保險絲信號／ＦＥ爲高位準時，內部地址信號ＩＡ０爲低位準時，使Ｐ通道型ＭＯＳＦＥＴＱ５成爲ＯＮ狀態，使對應電源電壓之高位準，通過保險絲Ｆ１，傳入非或閘電路Ｇ７之一方之輸入。不良地址之記憶及比較動作，係與上述圖８之電路相同，所以省略其說明。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（22）

圖１０係表示說明本發明之動態型ＲＡＭ之冗長方式所用之說明圖。該途中，爲了說明本發明之靜態冗長方式，因此也一同表示習知之動態冗長方式。該說明圖，係Ｘ系選擇電路知各電路方塊，將從信號輸入起到輸出爲止之時間，沿著信號之傳達路徑，排成棒狀圖形者，各電路方塊係分成ＲＡＳ定時產生器與Ｘ地址系。

上述靜態冗長方式及習知之動態冗長方式之ＲＡＳ定時產生系中，上述時間ｔＡＳ爲地址信號之裝設時間，在時鐘信號ＣＬＫ變化成高位準之前，地址信號被輸入。對應外部時鐘信號ＣＬＫ成爲高位準之變化，於內部時鐘信號變化成低位準爲止，要花費時間ｔＣＤ。於該命令解碼之後，設定塊選擇啓動所用之時間ｔＤＬ。

Ｘ地址系中，時間ｔＡＸ爲Ｘ地址信號之取入時間，其中之ｔＳＨ爲裝設．保持調整之延遲時間。藉由上述命令解碼，資料庫活潑化信號被產生，直線狀態之Ｘ地址信號之分配信號被開始，花費時間ｔＸＤ。藉由此Ｘ地址信號之傳送，於不良地址記憶及比較電路，進行冗長判定ｔＲＣ，與其並行，於前解碼器，進行前解碼動作ｔＰＤ。對應上述冗長判定結果，進行標準／冗長之切換ｔＳＷ，藉由上述ＲＡＳ定時系之塊選擇啓動信號，進行塊選擇動作。

相對於此，於定時冗長方式，於Ｘ地址之取入時ｔＡＸ之後，爲了Ｘ系之啓動，設置時間ｔＸＳ。即，上述這樣的命令解碼之結果，Ｘ系選擇動作被判定之後，於

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製

五、發明說明（23）

X系啓動時間ｔＸＳ，在冗長電路，實施冗長判定節點之預充電，之後，爲了冗長啓動，花費時間ｔＲＸＳ。於該時間ｔＲＸＳ，上述冗長判定節點成爲浮動狀態。之後，X地址分配信號花費時間ｔＸＤ，並行實施冗長判定ｔＲＣ與前解碼動作ｔＰＤ。

上述之定時冗長方式，一定要冗長啓動信號，該信號由於系接受指示X系之選擇動作之資料庫活潑化信號然後產生，所以，於X地址系動作中，地址信號必需於冗長比較電路之入口等待，而產生等待時間ｔＷＴ。相對於此，本發明之靜態冗長方式，不需要上述等待時間ｔＷＴ，ＲＡＳ定時系與X地址系，於外部時鐘信號ＣＬＫ變化之後到塊選擇爲止，可以彼此獨立動作，所以可以高速化。

圖１１係表示說明本發明之靜態冗長方式之X系選擇動作之一例所用之定時圖。外部時鐘信號ＥＸＣＬＫ，變化成高位準，相對於此，內部時鐘信號ＣＬＫ變化成低位準，進行指令ＣＯＭ之判定，產生模式信號ＭＯＤＥ。上述模式信號ＭＯＤＥ，於本實施例是相當於資料庫活潑化信號。延遲該模式信號ＭＯＤＥ，產生前解碼器啓動信號ＰＤＥ。

於X地址系，對應外部地址信號ＥＸＡＤＤ，形成地址緩衝器之輸入信號ＡＤＤ，相對於此，內部地址信號ＩＡ０～ＩＡ１１被形成，冗長判定信號ＣＭＯ與記憶有被輸入之內部地址信號ＩＡ０～１１之不良地址不一致時，保持於高位準，如果爲一致時，成爲低位準。對應該高

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（24）

位準／低位準，產生標準系字線啓動信號ＮＷＥ。以適合於該定時之方式，產生前解碼器啓動信號ＰＤＥ，進行標準／冗長之切換，然後形成塊選擇信號ＭＳ。於該圖中，被省略，但是上述塊選擇信號形成共用開開關ＭＯＳＦＥＴ、位元線預充電之控制信號，最後啓動字線之選擇動作。

圖１２是表示說明該發明之冗長方式之其他之一實施例所用之重要部位方塊圖。於該圖中，爲了達到低消費電力，而花費了一番功夫。該圖中，與上述圖２之實施例相同地，表示出行地址緩衝器２０６、行解碼器２０１及控制電路２１２之一部份，行解碼器係只表示對應１個資料庫之電路。

上述電路方塊中，以粗線表示之電路方塊，係與上述實施例相同地，於ＳＤＲＡＭ等待時也被活潑化之電路。於該實施例中，與上述圖２之實施例不同點，係地址緩衝器２０６分成２個地址緩衝器２０６－１及２０６－２，同時，上述等待也被活潑化之電路，被限定於冗長用之地址緩衝器２０６－１及不良地址記憶及比較電路２０１－４。藉此，等待時，也被活潑化之電路變少，配合等待時之地址信號之變化，可以減少內部之充電氣零件／放電所花費之電流。

標準電路用之地址緩衝器２０６－２，係藉由ＲＡＳ時鐘產生電路２１２－１所產生之可地址信號ＡＥ，形成供給前解碼器２０１－１及塊選擇器２０１－２之內部信

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(25)

號ＩＡ０－１１。上述冗長用之地址緩衝器２０６－１之具體之構成，由於與上述圖３相同，所以，省略其說明。但是，如上述圖８及圖９之實施例這樣，只將非反轉之地址信號ＩＡｉ供給不良地址記憶及比較電路之方式，於圖３之實施例電路中，形成反轉之地址信號／ＩＡｉ之反相電路Ｎ３變成不需要。

圖１３Ａ、１３Ｂ、１３Ｃ、１３Ｄ係表示上述圖１２之各電路方塊之一實施例之電路圖。圖１３Ａ係表示標準系地址緩衝器（２０６－２）之電路圖。於標準系地址緩衝器，像上述這樣，藉由可地址信號ＡＥ，與地址信號Ａｉ閂鎖動作一起，打開閘電路Ｇ１´與Ｇ２´，形成內部地址信號ＩＡｉ與／ＩＡｉ。

像上述這樣，藉由設置２組之地址緩衝器，地址緩衝器之電路元件數增加，但是，另一面，前解碼器電路之元件數可以大幅度地減少。即，於圖１３Ｂ、１３Ｃ、１３Ｄ所示之標準系／冗長系前解碼器、標準前解碼器及冗長字線選擇電路，像上述這樣被供給被確定之內部地址信號，所以，如上述圖４至圖６，上述直線閂鎖與輸出閘電路可以省略。圖１３Ｂ係將地址之下位位元解碼者，不論是標準系被選擇時，或是冗長系被選擇時，都被活潑化。於該前解碼器，由於不需要等待冗長判定，所以，當內部地址信號ＩＡｉ、ＩＡｊ、ＩＡｋ被輸入時，不等前解碼活潑化信號，就輸出前解碼信號ＰＡ１。

圖１３Ｃ之前解解碼器，係將中位位元解碼者，只有

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明(26)

於標準系被選擇時，才被活潑化。即，只有於標準系字線啓動信號ＮＷＥ爲低位準時，才被活潑化。這些電路，例如，像圖１３Ｂ這樣，於３輸入之前解碼器，爲了全部形成８種之前解碼信號ＰＡ１，所以設有８個電路。如圖１３Ｃ這樣，實質上於２輸入之前解碼器，爲了形成４種之前解碼信號ＰＡ２，所以，設有４個電路。因此，於各前解碼器，可以省略直線閂鎖電路與輸出閘電路，因此，即使像上述這樣設標準電路用之地址緩衝器，也不會造成實質上之電路規模之增大。

圖１４係表示塊選擇器之一實施例之電路圖。於該塊選擇器，也與圖１３Ａ、１３Ｂ、１３Ｃ、１３Ｄ所示之前解碼器同樣地被供給被確定之內部地址信號，所以，可以省略上述圖７之實施例這樣之直線閂鎖與輸出閘電路。

圖１５係表示說明上述圖１２所示之冗長方式之動作所用之說明圖。該說明圖，係與上述圖１０相同地，Ｘ系選擇電路之各電路方塊，將從輸入到輸出之時間，沿著信號之傳達經過路線，並排成棒狀者，各電路方塊，係分成ＲＡＳ定時產生系與Ｘ地址系。基本上係與上述圖１０相同。但是，如上述這樣，標準系前解碼，係活潑性定時於接受ＲＡＳ定時產生系之Ｘ系啓動信號，

像上述這樣，標準系前解碼，於活潑定時接受ＲＡＳ定時產生器之Ｘ系啓動信號，有地址緩衝器２（２０６－２）之Ｘ地址分配信號後，前解碼動作才延遲開始。但是，塊選擇之速度，係以冗長判定之信號路徑決定，所以，

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製

五、發明說明(27)

該前解碼器之活潑化變遲本身，也不會造成使字線之選擇動作變遲。即，以塊選擇之定時比較時，與圖１０相同地可以高速化。

圖１６係表示說明上述圖１２所示之冗長方式之動作所用之定時。基本上，係與上述圖１１之定時圖相同，但是，如上所述，設有２個地址緩衝器，標準系之內部地址ＩＡ０－１１（Ｎ）係藉由對應資料庫活潑化信號之模式信號ＭＯＤＥ，產生可地址信號ＡＥ，藉由相關之可地址信號ＡＥ而形成者，所以，與圖１２同樣地，與以快的定時所產生之冗長用之內部地址ＩＡ０－１１相比，是比較遲的。但是，如上所述，塊選擇之速度，係以冗長判定之信號路徑之延遲來決定，所以，該標準系之內部地址ＩＡ０－１１（Ｎ）遲發生，前解碼器輸出變遲本身，不會造成字線之選擇動作之延遲。

圖１７係表示本發明之動態型ＲＡＭ之一實施例之概略設計圖。記憶體晶片，整體而言具有分成４個之記憶體陣列。記憶體晶片之長方向之中央部，配置有周邊電路１與周邊電路２。該周邊電路１之一部份予以擴大表示，對應外部端子之小片ＰＡＤ連接於輸入緩衝器ＢＡ之輸入端子。該輸入端子於圖中予以省略，但是，除了作爲緩衝電路之機能之外，於更新循環中，也進行圖1之更新電路所形成之內部更新地址與外部地址之切換動作。

上述輸入緩衝器ＢＡ之輸出信號ＡＸ，供給地址緩衝器２０６－１與２０６－２之輸入端子。該兩個地址緩衝

（請先閱讀背面之注意事項再填寫本頁）
表
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（28）

器２０６－１與２０６－２係以一端側相鄰之方式被並排配置於一直線上。然後，冗長專用所設之地址緩衝器２０６－１之另端側，被配置不良地址記憶與比較電路２０１－４，上述地址緩衝器２０６－２之另一端側，被配置前解碼器２０１－１、塊選擇器２０１－２。

像本實施例這樣，設有冗長專用之地址緩衝器２０６－１時，必須要有連接其輸出端子與不良地址記憶與比較電路之配線通道。但是，像上述這樣，將地址緩衝器２０６－１與２０６－２於一直線上相鄰配置，於各另一端側設接受其輸出信號之電路時，傳達２個電路之輸出信號之配線通道，幾乎於一直線並排被配置，所以，不會變成增加配線通道寬度。藉此，可以防止設置上述２個地址緩衝器２０６－１與２０６－２所造成之晶片面積之增大。

圖１８係表示用於本發明之ＳＤＲＡＭ之同步時鐘產生電路之一實施例之電路圖。於該實施例中，爲了使被取入ＳＤＲＡＭ之內部時鐘ＣＬＫｏｕｔ之上升與外部時鐘ＣＬＫｉｎ之上升同步化，外部時鐘ＣＬＫｉｎ其延遲時間分別通過ｄ１、ｄ２與ｄ３之３個延遲電路，然後被輸入前向．延遲．陣列電路（以下稱爲ＦＤＡ）。於該ＦＤＡ中傳播之第ｎ個循環之時鐘之上升邊緣，係藉由作爲公共的（ＣＯＭＭＯＮ）而被傳播之第ｎ＋１循環之時鐘之上升，使上述ＦＤＡ中之傳播停止，同時，於與傳播被停止之位置正好對稱之位置之向後．延遲．陣列（以下

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明(29)

稱爲ＢＤＡ）中之節點上，上升邊緣被傳送。

上述上升邊緣，係花費與ＦＤＡ中之傳播時間ｔＤＡ正好相同之時間，於ＢＤＡ中傳播，通過延遲時間ｄ２之延遲電路（相當於內部時鐘驅動器），作爲內部時鐘ＣＬＫｏｕｔ而被輸出。上述Ｆ.ＤＡ中之第ｎ循環之上升邊緣，因爲第ｎ＋１循環之ＣＯＭＭＯＮ之上升邊緣，而使傳播停止，所以以下之（１）之式子成立。此處，ｔＣＫ爲時鐘ＣＬＫｉｎ之循環時間（１週期）。

$$d2 + d1 + tDA = tCK \quad \cdots\cdots (1)$$

從上述外部時鐘ＣＬＫｉｎ到內部時鐘ＣＬＫｏｕｔ之上升邊緣之傳播時間，沿著上述這樣之傳播路徑計算，則可以獲得以下之（２）式。即，從外部時鐘ＣＬＫｉｎ到內內部時鐘ＣＬＫｏｕｔ，正好等於２ｔＣＫ，上述之外部時鐘ＣＬＫｉｎ與內部時鐘ＣＬＫｏｕｔ成爲同步。

$$d1 + d2 + d1 + tDA + tDA + d2 =$$
$$2(d1 + d2 + tDA) = 2tCK \cdots\cdots (2)$$

圖１９係表示說明使用上述同步時鐘產生電路時之冗長方式之動作所用之說明圖。該說明圖係藉由使用上述之時鐘同步化電路，而使內部時鐘產生所用之延遲時間ｔＣＫ成爲不需要，於時鐘ＣＬＫ之上升之同時，於

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明 (30)

ＲＡＳ定時產生系，移動到命令解碼動作，Ｘ地址系之中，於冗成系，成爲移動到Ｘ地址之分配信號ｔＸＤ。藉此，只以上述延遲時間ｔＣＤ，可使字線之選擇動作變快。又，將地址輸入小塊與同步時鐘產生電路之設計上之位置關係，以對於各地址信號設置／保持（偏離幾乎爲零）成爲相等之方式予以配置，藉此，佔有地址取入之一半，可以去除比內部時鐘產生所需要之時間爲長之設置／保持調整用延遲電路之延遲。

上述之實施例所獲得之作用效果係如下所述。

（１）將從地址端子所輸入之Ｘ地址信號予以取入，形成內部地址信號之Ｘ地址緩衝器，先使其成爲作動狀態，將該內部地址信號與被記憶之Ｘ系不良地址作比較，檢測出一致／不一致之靜態型電路所構成之不良地址記憶及比較電路，使不良地址記憶及比較電路之啓動動先進行，藉此，可以獲得使Ｘ系之選擇動作高速化之效果。

（２）作爲上述地址緩衝器，使用藉由以上述控制電路所形成之地址取入定時信號，進行閂鎖動作之直線閂鎖電路，藉此，於取入有效之地址信號後，對應變化之外部地址信號，內部地址信號變化所造成之浪費電流消費，可以減低，此也爲其效果。

（３）作爲上述不良地址記憶及比較電路，係利用，由非反轉與反轉所構成之複數之互補地址信號，係分別被施加於一端，另一端被共通連接而構成之複數對所形成之保險絲手段，及判斷上述複數對之保險絲手段之共通連接

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製

五、發明說明 (31)

側之位準爲一方之位準之邏輯閘電路，藉此，可以獲得以少量之元件構成電路之效果。

（４）從與外部端子所供給之時鐘信號同步所輸入之控制信號之組合，來判斷動作模式，產生動作定時信號，同時，產生使寫入信號及讀出信號與上述時鐘信號徒步而予以輸出入之定時信號之同步ＤＲＡＭ，藉由資料庫活潑化信號，對應複數之記憶體資料庫，必須開始Ｘ系之選擇動作，所以，本發明之靜態冗長方式之Ｘ系之選擇動作之高速化之意義變得很大，此爲其效果。

（５）對應冗長電路，取入地址端子所輸入之Ｘ地址信號，形成內部地址信號之第１Ｘ地址緩衝器，使其成爲動作狀態，將該內部地址信號與被記憶之Ｘ系不良地址作比較，檢測出一致／不一致信號之靜態型電路所構成之不良地址記憶及比較電路予以供給，實質上使不良地址記憶及比較電路之啓動動作先進行，達成動作之高速化，對應標準電路從上述地址端子所輸入之Ｘ地址信號予以取入之第２Ｘ地址緩衝器，以對應資料庫活潑化信號之內部定時信號，使成爲動作狀態，取入標準電路用之地址信號，藉此，可以削減等待時之白白浪費之消費電力，此爲其效果。

（６）使上述第１Ｘ地址緩衝器，成爲藉由利用上述控制電路所形成之地址取入定時信號，進行閂鎖動作之直線閂鎖電路，藉此，可以削減冗長判斷後之上述第１之Ｘ地址緩衝器之輸出側之白白浪費之電流消費，此爲其效果

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明 (32)

。

（７）上述第１之地址緩衝器及第２之地址緩衝器之一端側相鄰接之方式被並排配置於一直線上，於第１之地址緩衝器之它端側，被配置上述不良地址記憶及比較電路，上述第２之地址緩衝器之它端側，被配置上述前解碼電路，藉此，連接上述２個地址緩衝器之輸出及與其對應之電路之輸入之配線通道，以上述鄰接點爲界線，可以左右分離，所以，可以防止實質上之配線通道寬度之增加，此爲其效果。

（８）上述時鐘信號，係由包含：使從外部端子所輸入之時鐘延遲之輸入段電路，及構成接受通過該輸入段電路之脈衝信號，依序將該輸出信號傳播之基本延遲單位予以構成之邏輯積閘電路所構成之前向．延遲．陣列，及接受通過上述輸入段電路之脈衝與各邏輯積閘電路之輸出信號，將其輸出作爲上述前向．延遲．陣列之指定之邏輯積閘之閘控制信號，而予以傳送之鏡控制信號，及從上述鏡控制電路供給對應之輸出信號，將通過該鏡控制電路之脈衝邊緣朝向與上述前向．延遲．陣列相反方向傳播之基本延遲單位予以構成之邏輯積閘電路所形成之向後．延遲．陣列之同步時鐘產生電路所形成；從上述向後．延遲．陣列所輸出之時鐘信號，係與上述外部端子所輸入之時鐘遲２週期，而相位成爲一致者。藉此，Ｘ系之選擇動作可以更高速化，此爲其效果。

以上係依據實施例說明本案發明者之發明，但是，本

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明 (33)

發明並不只限於上述實施例，只要不脫離其主旨，可作各種之變更。例如，作爲同步時鐘產生電路，可以使用ＰＬＬ（鎖相環路）電路或ＤＬＬ（延遲鎖相環路）電路。又，除了同步ＤＲＡＭ之外，於非同期型之動態型ＲＡＭ，也可以同樣適用。於該非同期型之動態型ＲＡＭ，以／ＲＡＳ信號之低位準之變化定時，Ｘ系之地址信號之取入被進行之點與上述ＳＤＲＡＭ不同。藉由應用像這樣之非同期之動態型ＲＡＭ，利用地址信號之裝設時間，冗長電路之不良地址之判定同樣地先進行，所以可以期待Ｘ系選擇動作之高速化。本發明之動態型ＲＡＭ之記憶體陣列之具體構成，可以採用種種實施型態。

本發明所揭示之內容之代表性者所獲得之效果，簡單作一說明。即，將從地址端子所輸入之Ｘ地址信號予以取入，形成內部地址信號之Ｘ地址緩衝器，先使其成爲作動狀態，將該內部地址信號與被記憶之Ｘ系不良地址作比較，檢測出一致／不一致之靜態型電路所構成之不良地址記憶及比較電路，使不良地址記憶及比較電路之啓動動先進行，藉此，可以獲得使Ｘ系之選擇動作高速化之效果。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

四、中文發明摘要（發明之名稱：動態型ＲＡＭ）

本發明係有關於，動態型ＲＡＭ（動態型隨機存取記憶體），主要係關於利用於同步ＤＡＲＭ之缺陷救濟技術之技術，非常有效之技術者。主要係使，將從地址端子所輸入之Ｘ地址信號取入，形成內部地址信號之Ｘ地址緩衝器，於外部控制塊之輸入前開始，先成爲作動狀態。將形成之上述地址信號與被記憶之Ｘ系不良地址作比較，檢測出一致／不一致信號所用之不良地址記憶及比較電路，作爲靜態型電路。藉此，使不良地址記憶及比較電路之啓動動作變快，結果達成讀取動作之高速化。

英文發明摘要（發明之名稱：）

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部中央標準局員工消費合作社印製

89年1月27日 修正補充

A8
B8
C8
D8

六、申請專利範圍

附件1a：　　第87101532號專利申請案

中文申請專利範圍修正本

民國89年1月修正

1．一種動態型RAM，係包含有：

外部地址端子，係X系地址信號與Y系地址信號，係以時間系列地被輸入者；及

外部時鐘端子，係接受時鐘信號者；及

控制電路，係藉由與上述時鐘信號同步而被輸入之控制信號，產生內部動作所必須要之定時信號者；及

X地址緩衝器，係將從上述外部地址端子所輸入之X地址信號予以取入，形成內部地址信號者；及

地址比較電路，係將以上述X地址緩衝器所形成之內部地址信號與X系不良地址作比較，輸出一致或不一致信號之靜態型電路所構成者；及

字線選擇電路，係藉由上述地址比較電路之不一致信號，選擇標準電路之字線者；及

冗長字線選擇電路，係藉由上述地址比較電路之一致信號，選擇冗長電路之字線者。

2．如申請專利範圍第1項之動態型RAM，其中上述X地址緩衝器，係藉由利用上述控制電路所形成之地址取入定時信號，進行閂鎖動作之直線閂鎖電路所構成者。

3．如申請專利範圍第1項之動態型RAM，其中上述地址比較電路，係包含，由非反轉與反轉所構成之複數之互補地址信號，分別被施加於一端，另一端被共通連接

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

89年1月27日 修正補充

A8
B8
C8
D8

六、申請專利範圍

附件1a：　　第87101532號專利申請案

中文申請專利範圍修正本

民國89年1月修正

1．一種動態型RAM，係包含有：

外部地址端子，係X系地址信號與Y系地址信號，係以時間系列地被輸入者；及

外部時鐘端子，係接受時鐘信號者；及

控制電路，係藉由與上述時鐘信號同步而被輸入之控制信號，產生內部動作所必須要之定時信號者；及

X地址緩衝器，係將從上述外部地址端子所輸入之X地址信號予以取入，形成內部地址信號者；及

地址比較電路，係將以上述X地址緩衝器所形成之內部地址信號與X系不良地址作比較，輸出一致或不一致信號之靜態型電路所構成者；及

字線選擇電路，係藉由上述地址比較電路之不一致信號，選擇標準電路之字線者；及

冗長字線選擇電路，係藉由上述地址比較電路之一致信號，選擇冗長電路之字線者。

2．如申請專利範圍第1項之動態型RAM，其中上述X地址緩衝器，係藉由利用上述控制電路所形成之地址取入定時信號，進行閂鎖動作之直線閂鎖電路所構成者。

3．如申請專利範圍第1項之動態型RAM，其中上述地址比較電路，係包含，由非反轉與反轉所構成之複數之互補地址信號，分別被施加於一端，另一端被共通連接

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

而構成之複數對所形成之保險絲手段，及判斷上述複數對之保險絲手段之共通連接側之位準爲一方之位準之邏輯閘電路，上述一對之保險絲對應上述不良地址而被選擇地切斷而構成者。

4．如申請專利範圍第1、2或3項中任一項之動態型RAM，其中上述控制電路，係從與上述時鐘信號同步而被輸入之控制信號之組合，來判斷動作模式，產生動作定時信號，同時，產生使寫入信號與讀出信號與上述時鐘信號同步而予以輸出入之定時信號者。

5．一種動態型RAM，係具備有：

外部地址端子，係X系地址信號與Y系地址信號，係以時間系列地被輸入者；及

外部時鐘端子，係接受時鐘信號者；及

外部端子，係接受控制信號者；及

控制電路，係依據與上述時鐘信號同步而被取入之上述控制信號，產生內部動作所必須要之定時信號者；及

第1X地址緩衝器，係將從上述外部地址端子所輸入之X地址信號予以取入，形成第1內部地址信號者；及

第2X地址緩衝器，係接受從上述外部地址端子所輸入之X地址信號，藉由利用上述控制電路所形成之定時信號，保持上述地址信號，形成第2內部地址信號者；及

比較電路，係由將利用上述第1X地址緩衝器所形成之第1內部地址信號與被記憶之X系不良地址作比較，輸出一致或不一致信號之靜態型電路所構成者；及

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

字線選擇電路，係依據上述比較電路之不一致信號，選擇標準電路之字線者；及

冗長字線選擇電路，係依據上述比較電路之一致信號，選擇冗長電路之字線者。

6．如申請專利範圍第5項之動態型ＲＡＭ，其中上述第1Ｘ地址緩衝器，係藉由利用上述控制電路所形成之地址取入定時信號，進行閂鎖動作之直線閂鎖電路所構成者。

7．如申請專利範圍第5項之動態型ＲＡＭ，其中上述比較電路，係包含，由非反轉與反轉所構成之複數之互補地址信號，分別被施加於一端，另一端被共通連接而構成之複數對所形成之保險絲手段，及判斷上述複數對之保險絲手段之共通連接側之位準爲一方之位準之邏輯閘電路，上述一對之保險絲對應上述不良地址而被選擇地切斷而構成者。

8．如申請專利範圍第5、6或7項中任一項之動態型ＲＡＭ，其中上述控制電路，係從與上述時鐘信號同步而被輸入之控制信號之組合，來判斷動作模式，產生動作定時信號，同時，產生使寫入信號及讀出信號與上述時鐘信號同步而予以輸出入之定時信號者。

9．如申請專利範圍第8項之動態型ＲＡＭ，其中上述第1之地址緩衝器及第2之地址緩衝器之一端側相鄰接之方式被並排配置於一直線上，於第1之地址緩衝器之它端側，被配置上述比較電路。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

１０．如申請專利範圍第４項之動態型ＲＡＭ，其中上述時鐘信號，係由包含：使從外部端子所輸入之時鐘延遲之輸入段電路，及構成接受通過該輸入段電路之脈衝信號，依序將該輸出信號傳播之基本延遲單位之邏輯積閘電路所構成之第１延遲電路，及接受通過上述輸入段電路之脈衝與各邏輯積閘電路之輸出信號，將其輸出作爲上述第１延遲電路之指定之邏輯積閘之閘控制信號，而予以傳送之鏡控制信號，及從上述鏡控制電路供給對應之輸出信號，將通過該鏡控制電路之脈衝邊緣朝向與上述第１延遲電路相反方向傳播之基本延遲單位予以構成之邏輯積閘電路所形成之第２延遲電路之同步時鐘產生電路所形成；

從上述第２延遲電路所輸出之時鐘信號，係與上述外部端子所輸入之時鐘遲２週期，而相位成爲一致者。

１１．如申請專利範圍第４項之動態ＲＡＭ，其中具備接收上述時鐘信號，形成與該時鐘信號相位一致之內部時鐘信號之同步時鐘產生電路；

上述控制電路係與上述內部時鐘信號同步作動者。

１２．一種動態型ＲＡＭ，係包含有：

地址端子，係Ｘ系地址信號與Ｙ系地址信號，係以時間系列地被輸入而構成者；及

控制電路，係藉由從外部端子所輸入之控制信號，產生內部動作所必須要之定時信號者；及

Ｘ地址緩衝器，係將從上述地址端子所輸入之Ｘ地址信號予以取入，形成內部地址信號者；及

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

不良地址記憶及比較電路，係接收利用上述X地址緩衝器所形成之內部地址信號，與被記憶之X系不良地址作比較，輸出一致或不一致信號之靜態型電路所構成者；及

前解碼電路，係接收利用上述X地址緩衝器所形成之內部地址信號，形成前解碼信號，同時，將其前解碼信號以利用上述控制電路所產生之動作定時信號予以保持者；及

字線選擇電路，係藉由上述前解碼信號之組合及上述地址比較電路之不一致信號之組合，選擇標準電路之字線者；及

冗長字線選擇電路，係藉由上述地址比較電路之一致信號，選擇冗長電路之字線者。

１３．如申請專利範圍第１２項之動態型ＲＡＭ，其中上述X地址緩衝器，係藉由利用上述控制電路所形成之地址取入定時信號，進行閂鎖動作之直線閂鎖電路所構成者。

１４．如申請專利範圍第１２之動態型ＲＡＭ，其中上述不良地址記憶及比較電路，係包含，由非反轉與反轉所構成之複數之互補地址信號，係分別被施加於一端，另一端被共通連接而構成之複數對所形成之保險絲手段，及判斷上述複數對之保險絲手段之共通連接側之位準爲一方之位準之邏輯閘電路，上述一對之保險絲對應上述不良地址而被選擇地切斷而構成者。

１５．如申請專利範圍第１２、１３或１４項中任一

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

項之動態型ＲＡＭ，其中上述控制電路，係從與外部端子所供給之時鐘信號同步而被輸入之控制信號之組合，來判斷動作模式，產生動作定時信號，同時，產生使寫入信號及讀出信號與上述時鐘信號同步而予以輸出入之定時信號者。

１６．一種動態型ＲＡＭ，係包含有：

地址端子，係Ｘ系地址信號與Ｙ系地址信號，係以時間系列地被輸入而構成者；及

控制電路，係藉由從外部端子所輸入之控制信號，產生內部動作所必須要之定時信號者；及

第１Ｘ地址緩衝器，係將從上述地址端子所輸入之Ｘ地址信號予以取入，形成第１內部地址信號者；及

第２Ｘ地址緩衝器，係接受從上述地址端子所輸入之Ｘ地址信號，藉由以上述控制電路所形成之定時信號，將上述Ｘ地址信號予以保持，形成第２之內部地址信號者；及

不良地址記憶及比較電路，係接收利用上述第１Ｘ地址緩衝器所形成之第１內部地址信號，與被記憶之Ｘ系不良地址作比較，檢測出一致／不一致信號之靜態型電路所構成者；及

前解碼電路，係接收利用上述第２Ｘ地址緩衝器所形成之第２內部地址信號，形成前解碼信號者；及

字線選擇電路，係藉由上述前解碼信號之組合及上述地址比較電路之不一致信號之組合，選擇標準電路之字線

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

者；及

冗長字線選擇電路，係藉由上述地址比較電路之一致信號，選擇冗長電路之字線者。

１７．如申請專利範圍第１６項之動態型ＲＡＭ，其中上述第１Ｘ地址緩衝器，係藉由利用上述控制電路所形成之地址取入定時信號，進行閂鎖動作之直線閂鎖電路所構成者。

１８．如申請專利範圍第１６之動態型ＲＡＭ，其中上述不良地址記憶及比較電路，係包含，由非反轉與反轉所構成之複數之互補地址信號，係分別被施加於一端，另一端被共通連接而構成之複數對所形成之保險絲手段，及判斷上述複數對之保險絲手段之共通連接側之位準爲一方之位準之邏輯閘電路，上述一對之保險絲對應上述不良地址而被選擇地切斷而構成者。

１９．如申請專利範圍第１６、１７或１８項中任一項之動態型ＲＡＭ，其中上述控制電路，係從與外部端子所供給之時鐘信號同步而被輸入之控制信號之組合，來判斷動作模式，產生動作定時信號，同時，產生使寫入信號及讀出信號與上述時鐘信號同步而予以輸出入之定時信號者。

２０．如申請專利範圍第１９項之動態型ＲＡＭ，其中上述第１之地址緩衝器及第２之地址緩衝器之一端側相鄰接之方式被並排配置於一直線上，於第１之地址緩衝器之它端側，被配置上述不良地址記憶及比較電路，上述第

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

2之地址緩衝器之它端側，被配置上述前解碼電路。

21．如申請專利範圍第4項之動態型RAM，其中上述時鐘信號，係由包含：使從外部端子所輸入之時鐘延遲之輸入段電路，及構成接受通過該輸入段電路之脈衝信號，依序將該輸出信號傳播之基本延遲單位予以構成之邏輯積閘電路所構成之前向．延遲．陣列，及接受通過上述輸入段電路之脈衝與各邏輯積閘電路之輸出信號，將其輸出作爲上述前向．延遲．陣列之指定之邏輯積閘之閘控制信號，而予以傳送之鏡控制信號，及從上述鏡控制電路供給對應之輸出信號，將通過該鏡控制電路之脈衝邊緣朝向與上述前向．延遲．陣列相反方向傳播之基本延遲單位予以構成之邏輯積閘電路所形成之向後．延遲．陣列之同步時鐘產生電路所形成；

從上述向後．延遲．陣列所輸出之時鐘信號，係與上述外部端子所輸入之時鐘遲2週期，而相位成爲一致者。

22．如申請專利範圍第15項之動態RAM，其中具備接收從上述外部端子所供給之時鐘信號，形成與該時鐘信號相位一致之內部時鐘信號之同步時鐘產生電路；

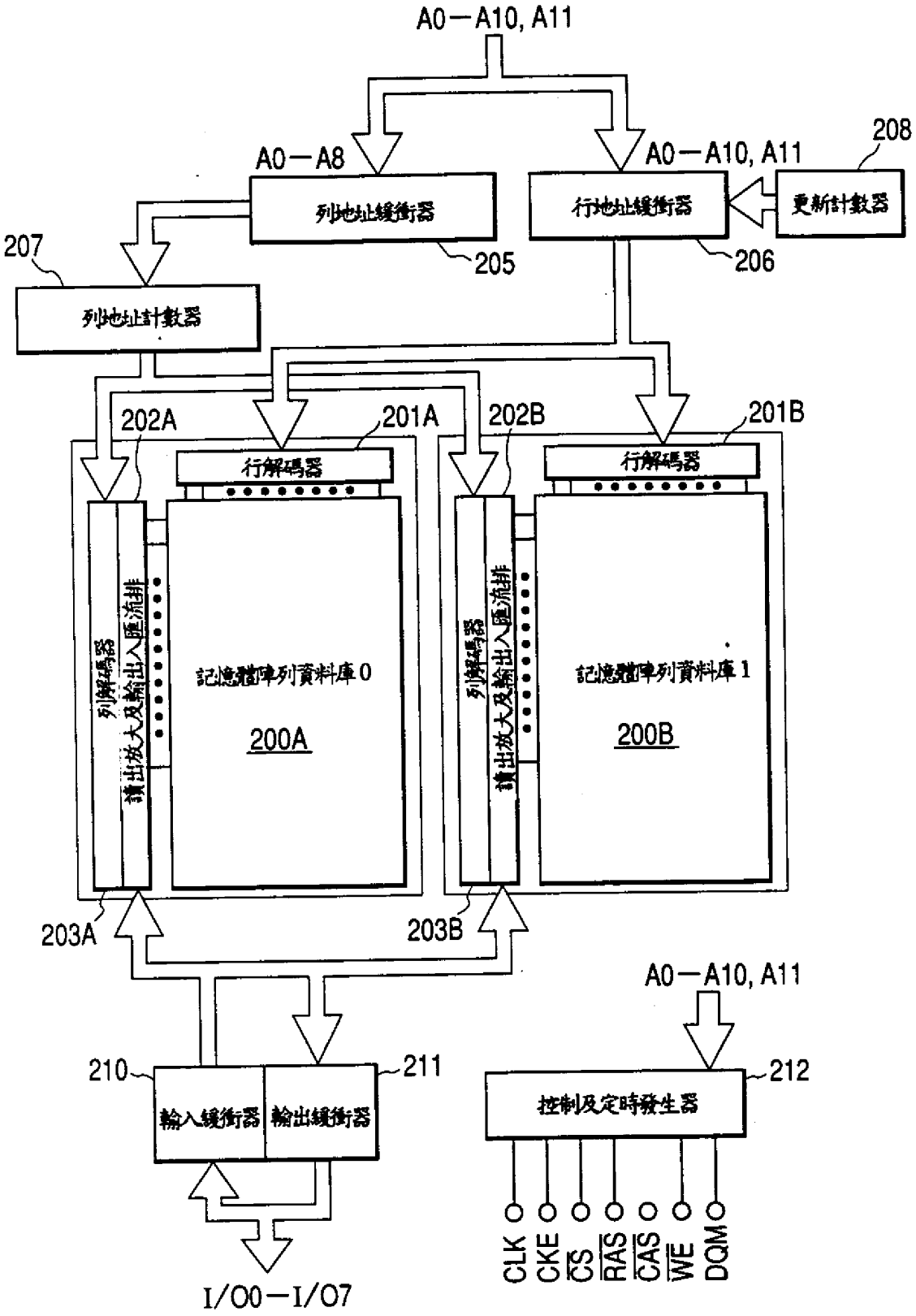
上述控制電路係與上述內部時鐘信號同步作動者。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

411616

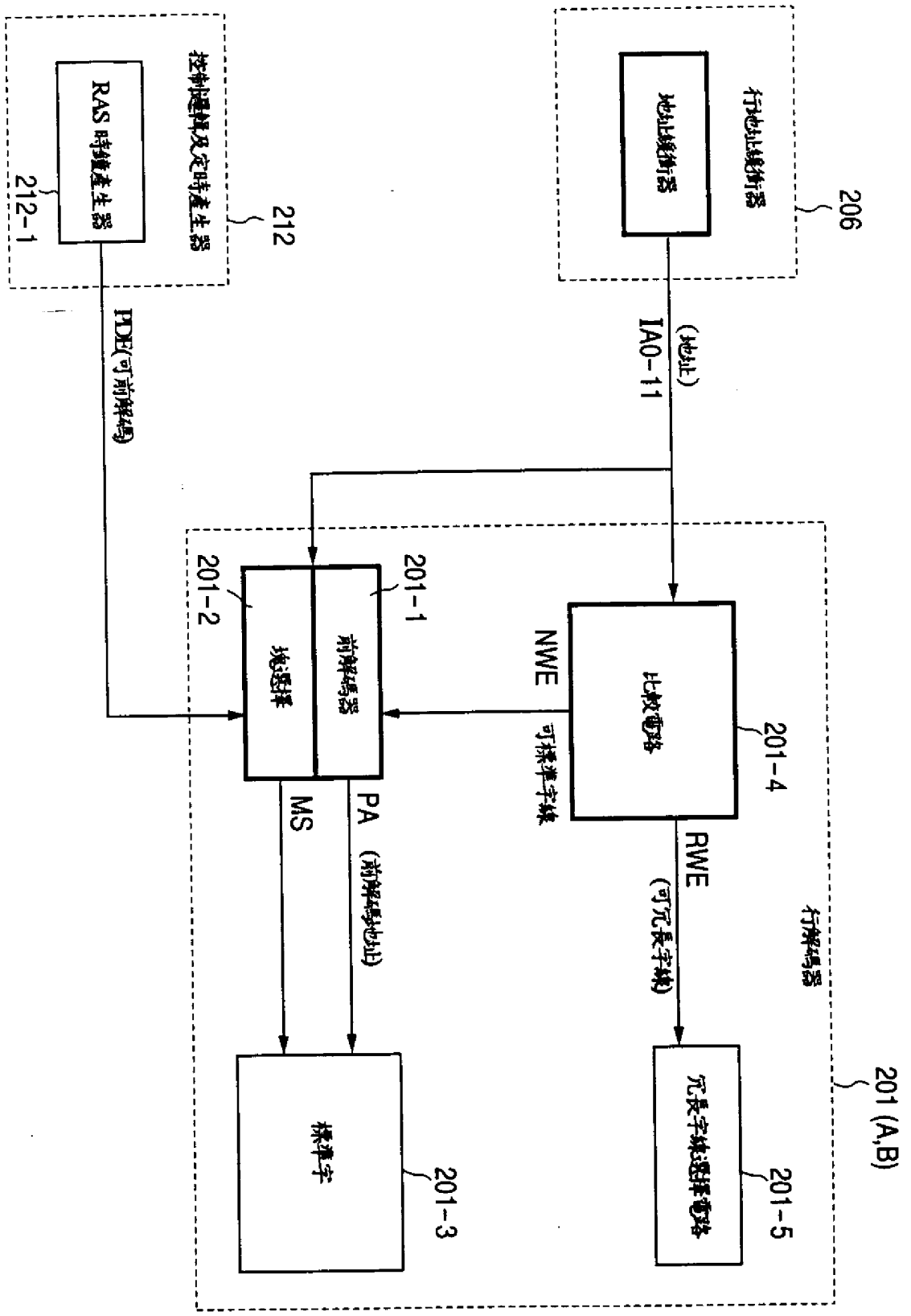
730550

第 1 圖

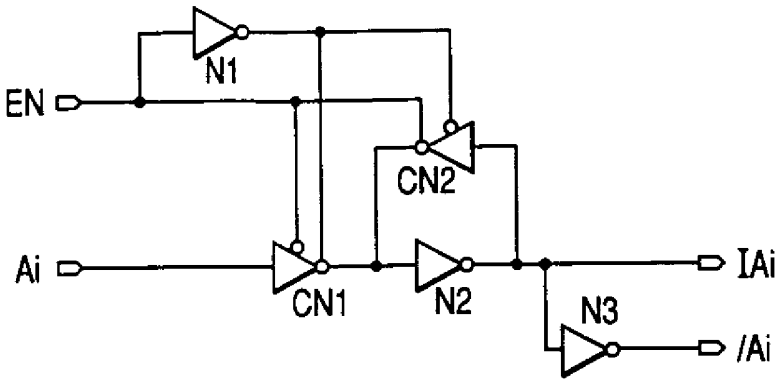


411616

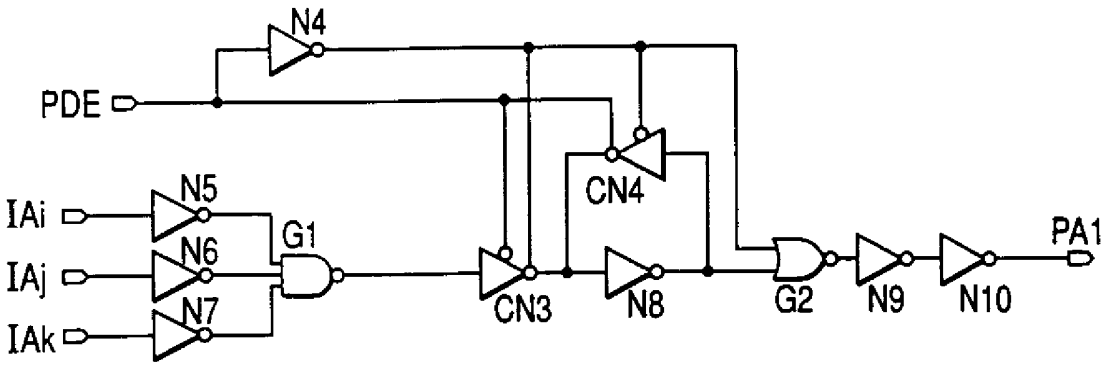
第 2 圖


行地址緩衝器
206
地址緩衝器
(地址)
IA0-11
控制邏輯及定時產生器
212
RAS 時鐘產生器
212-1
PDE(可前解碼)
201 (A,B)
行解碼器
201-1
前解碼器
201-2
地選擇
NWE
比較電路
201-4
可標準字線
RWE
(可冗長字線)
冗長字線選擇電路
201-5
MS
PA
(前解碼地址)
標準字
201-3

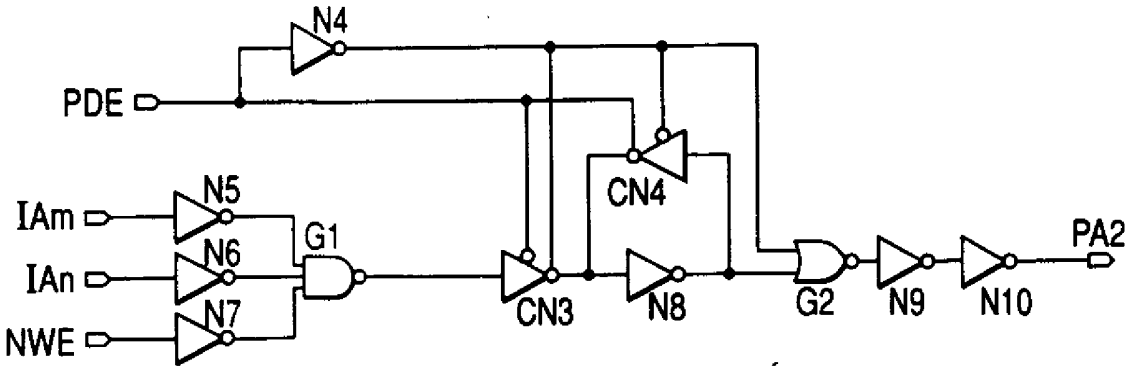
第 3 圖


N1
EN
CN2
Ai
CN1
N2
IAi
N3
/Ai

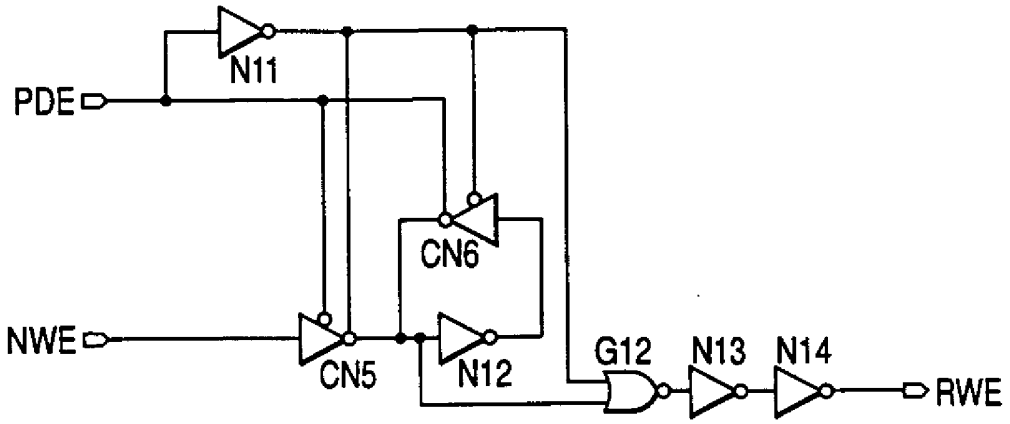
第 4 圖


N4
PDE
CN4
N5
IAi
G1
N6
IAj
N7
IAk
CN3
N8
G2
N9
N10
PA1

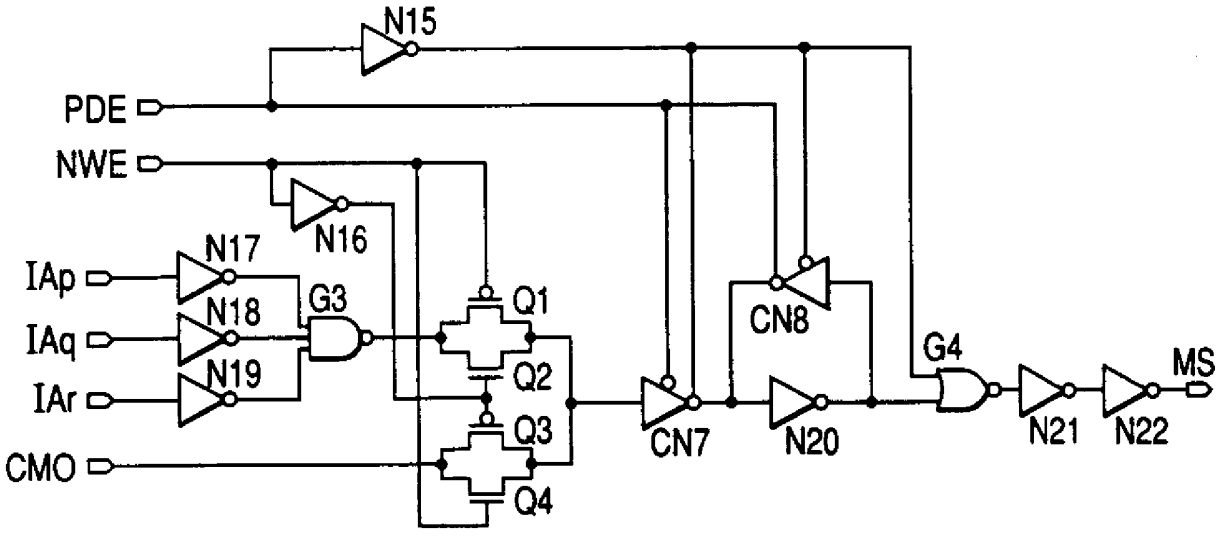
第 5 圖


N4
PDE
CN4
N5
IAm
G1
N6
IAn
N7
NWE
CN3
N8
G2
N9
N10
PA2

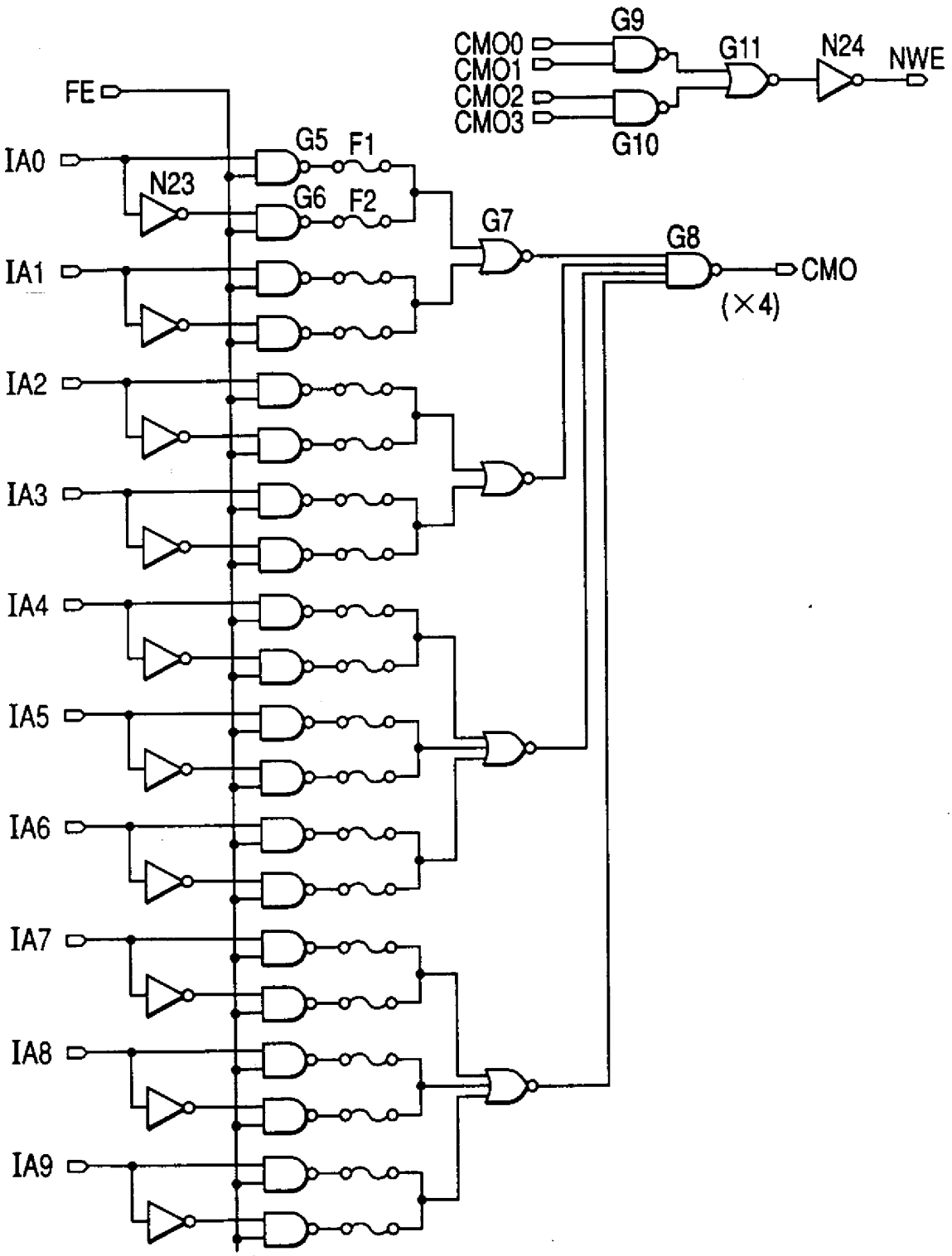
第 6 圖


N11
PDE
CN6
NWE
CN5
N12
G12
N13
N14
RWE

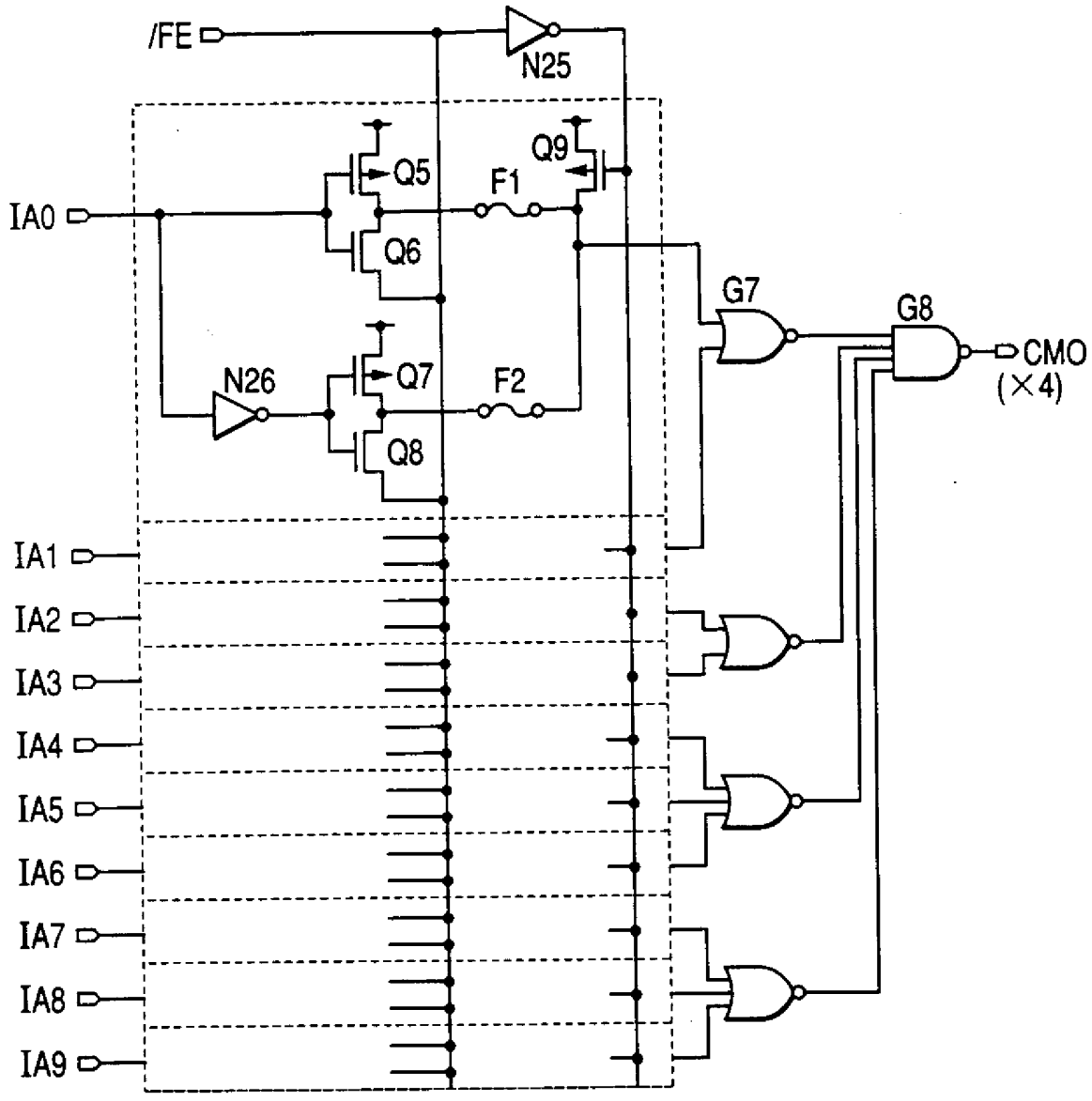
第 7 圖


N15
PDE
NWE
N16
N17
IAp
G3
N18
IAq
N19
IAr
CMO
Q1
Q2
Q3
Q4
CN8
CN7
N20
G4
N21
N22
MS

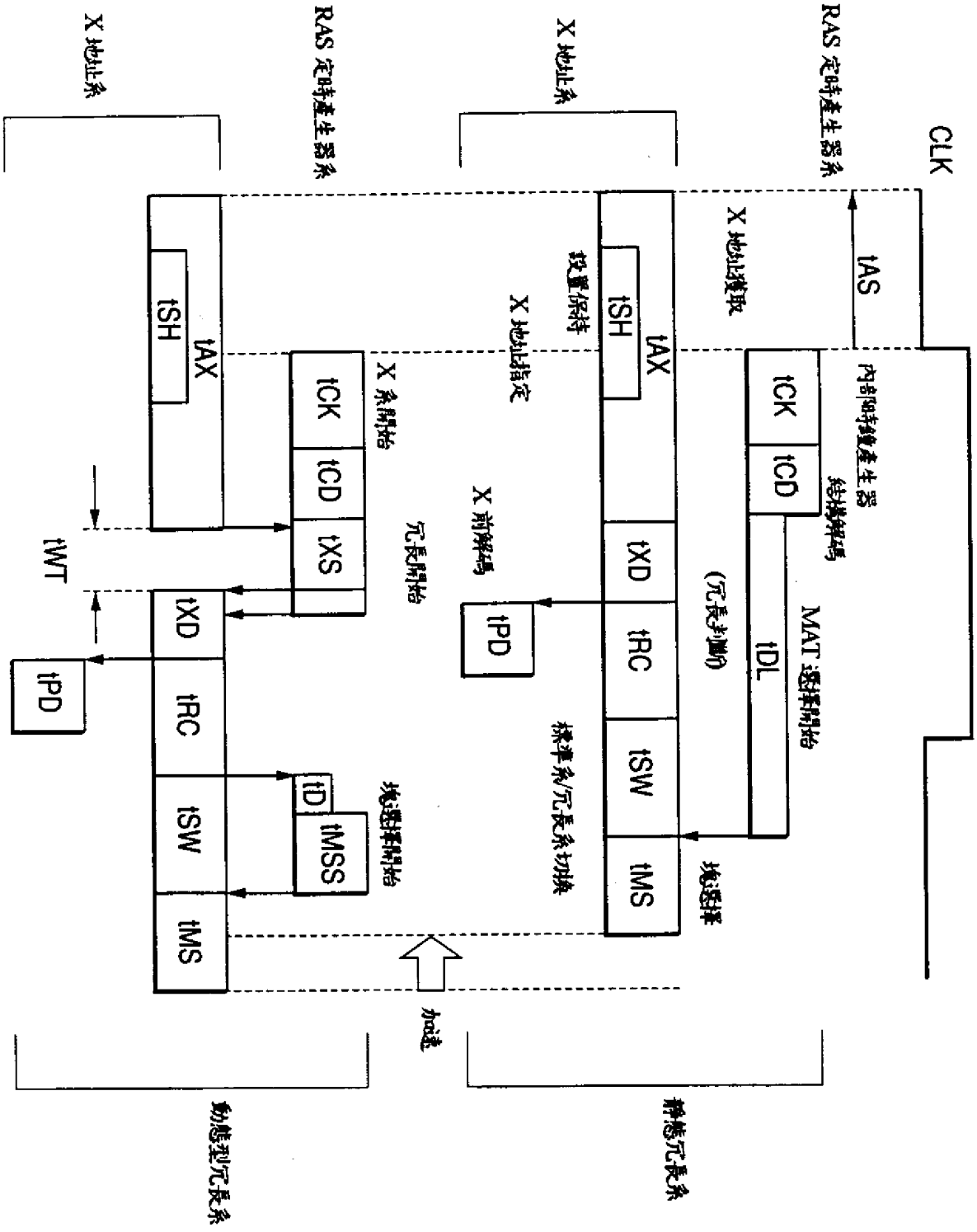
第 8 圖


CMO0
CMO1
CMO2
CMO3
G9
G10
G11
N24
NWE
FE
IA0
IA1
IA2
IA3
IA4
IA5
IA6
IA7
IA8
IA9
N23
G5
F1
G6
F2
G7
G8
CMO
(×4)

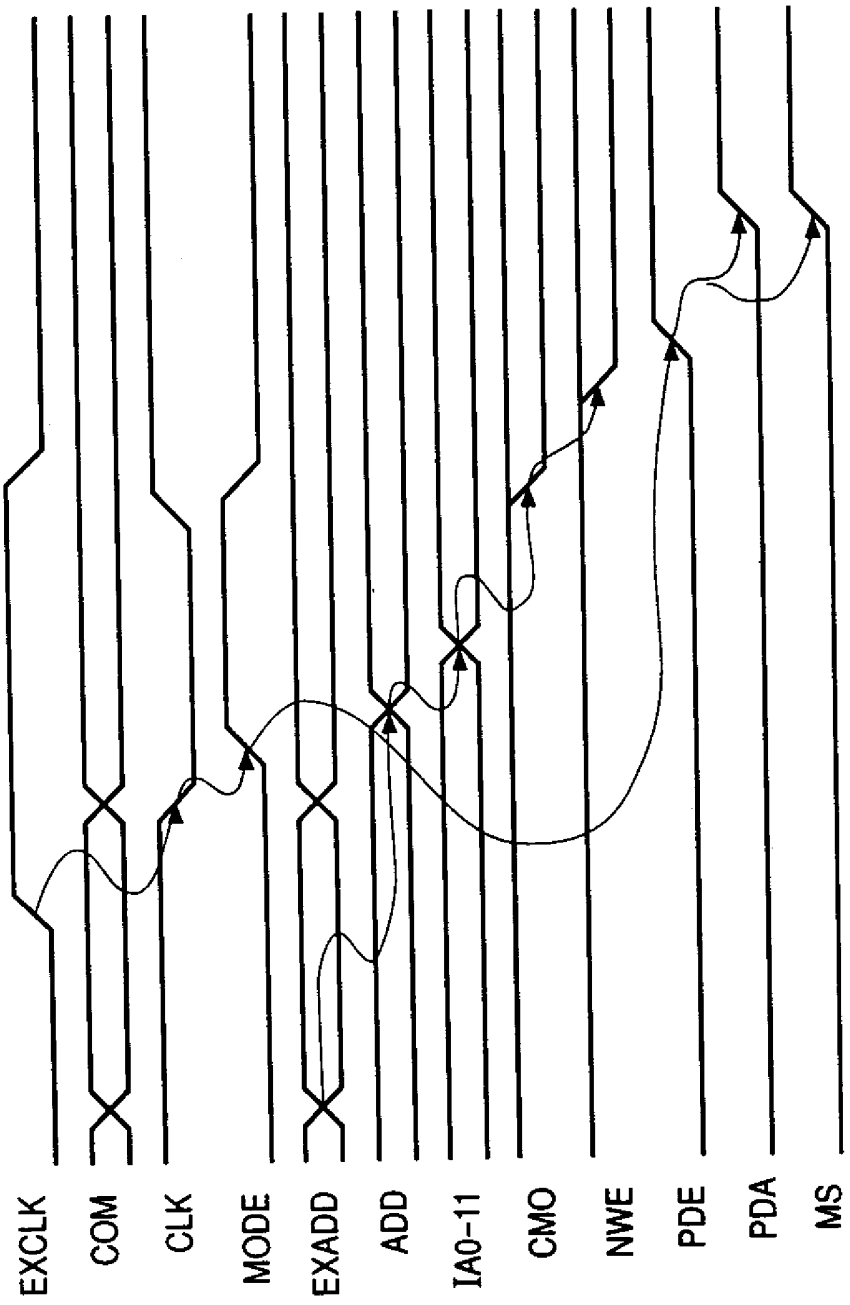
第 9 圖


/FE
N25
Q5
Q9
F1
IA0
Q6
G7
G8
CMO
(×4)
N26
Q7
F2
Q8
IA1
IA2
IA3
IA4
IA5
IA6
IA7
IA8
IA9

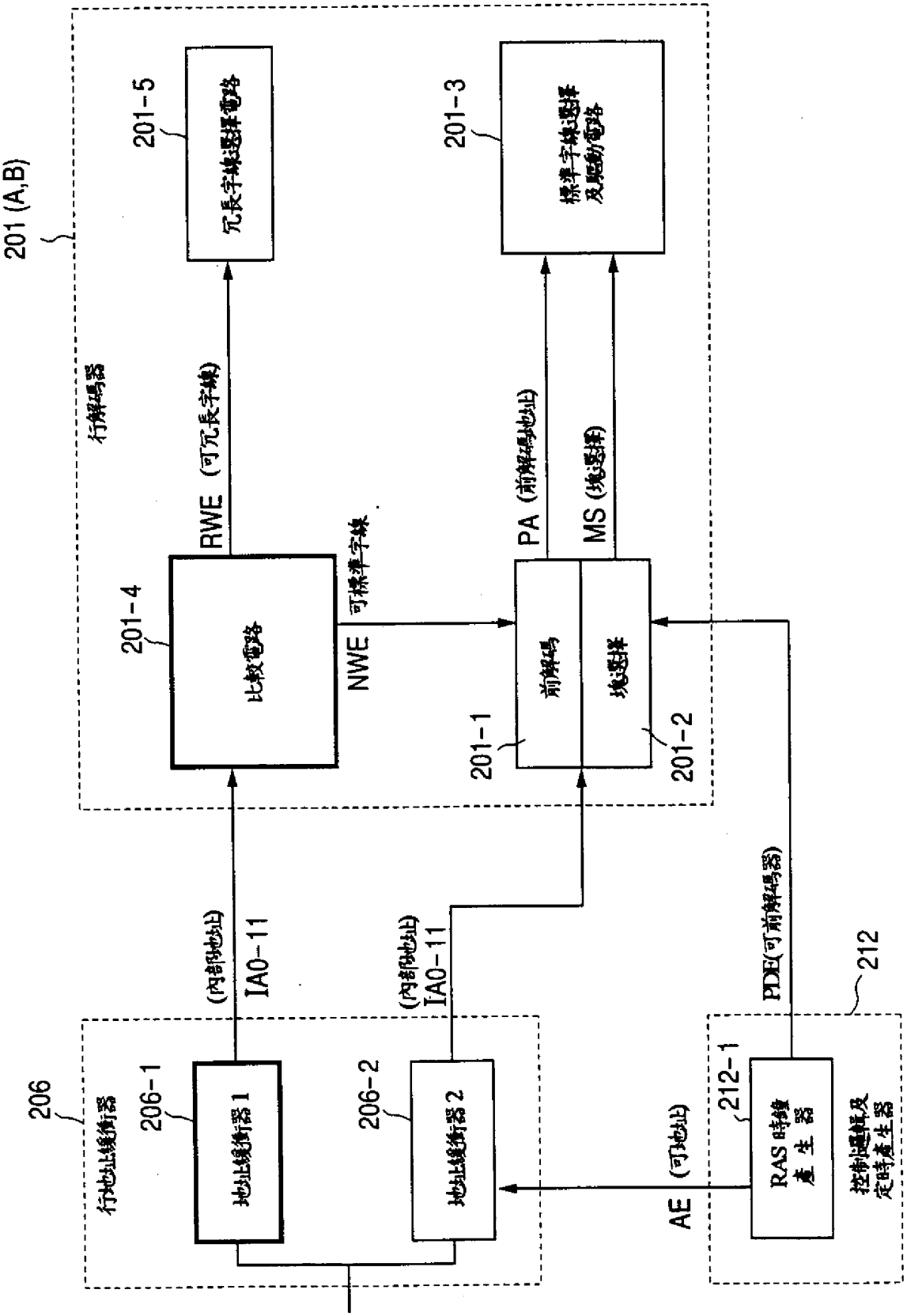
第10圖


CLK
RAS 定時產生器系
X 地址系
X 地址系
RAS 定時產生器系
tAS
X 地址獲取
設置保持
X 地址指定
X 系開始
X 前解碼
冗長開始
內部時鐘產生器
結構解碼
(冗長判斷)
MAT 選擇開始
標準系/冗長系切換
塊選擇
塊選擇開始
加速
靜態冗長系
動態型冗長系
tCK
tCD
tDL
tAX
tSH
tXD
tRC
tSW
tMS
tXS
tD
tMSS
tPD
tWT

第11圖

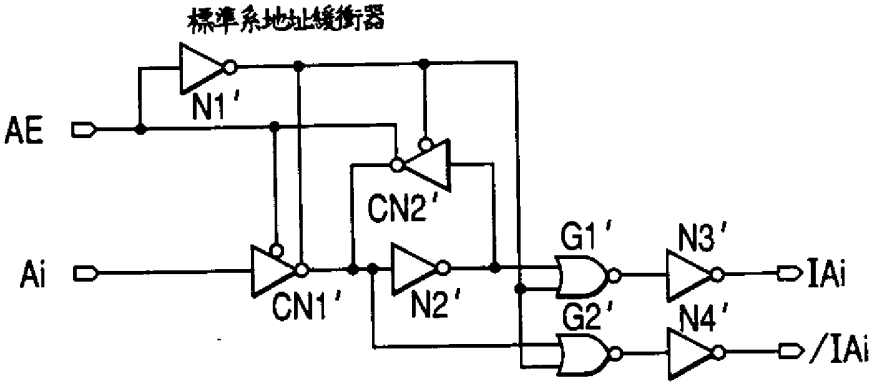


第12圖

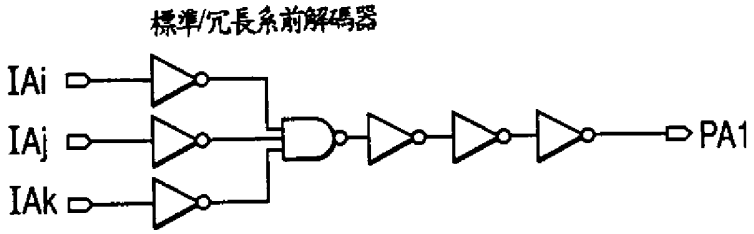

201 (A,B)
行解碼器
201-5
冗長字線選擇電路
201-3
標準字線選擇及驅動電路
RWE (可冗長字線)
PA (前解碼地址)
MS (塊選擇)
201-4
比較電路
可標準字線
NWE
201-1
前解碼
塊選擇
201-2
(內部地址)
IA0-11
(內部地址)
IA0-11
206
行地址緩衝器
206-1
地址緩衝器 1
206-2
地址緩衝器 2
AE (可地址)
212-1
RAS 時鐘產生器
PDE(可前解碼器)
212
控制邏輯及定時產生器

第13圖

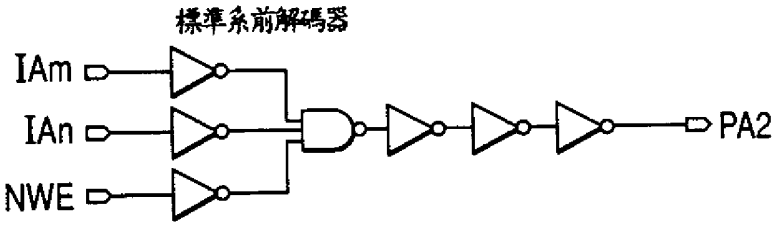
A



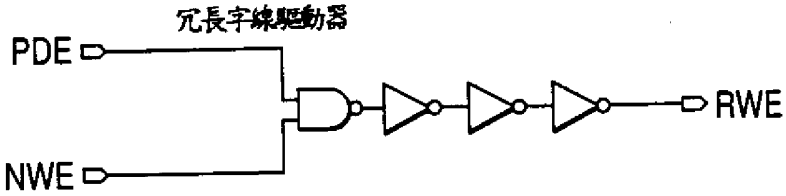
B



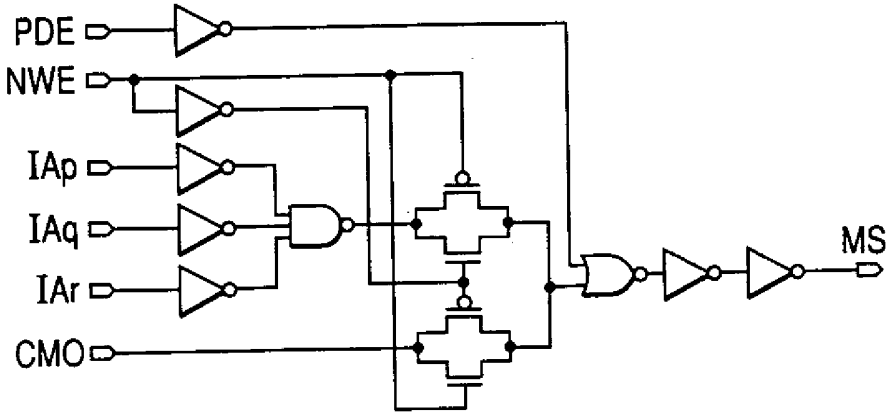
C



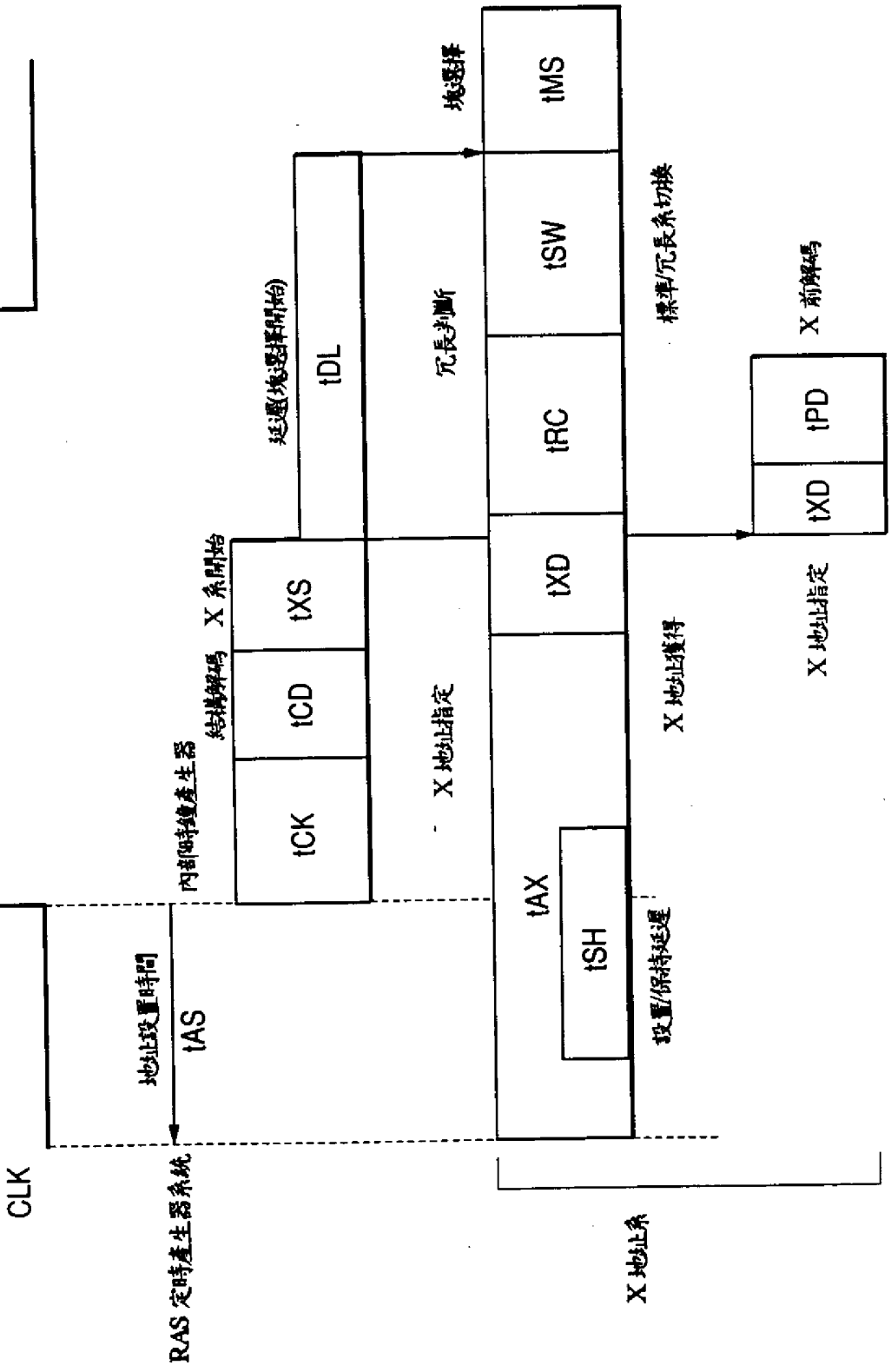
D

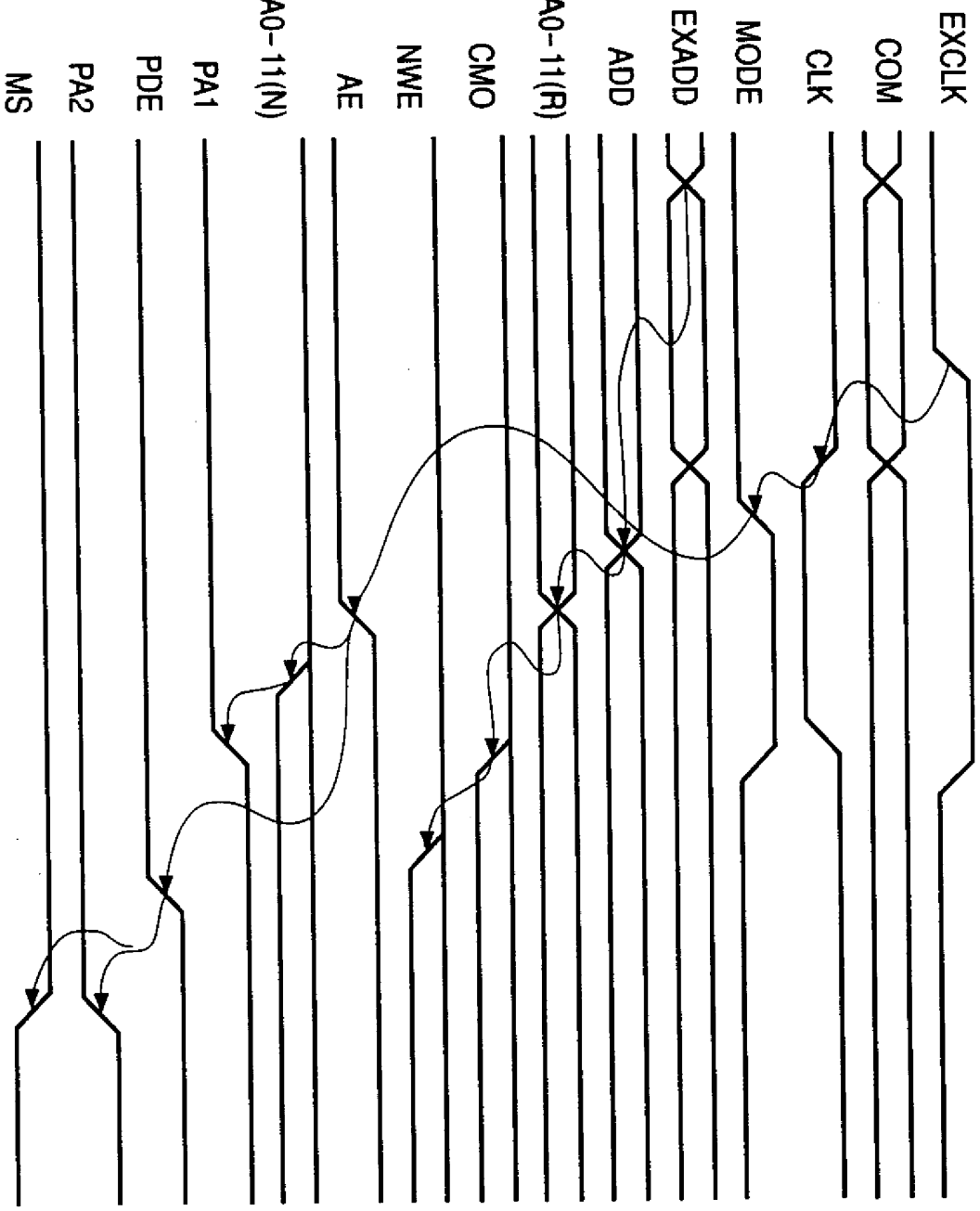


第14圖



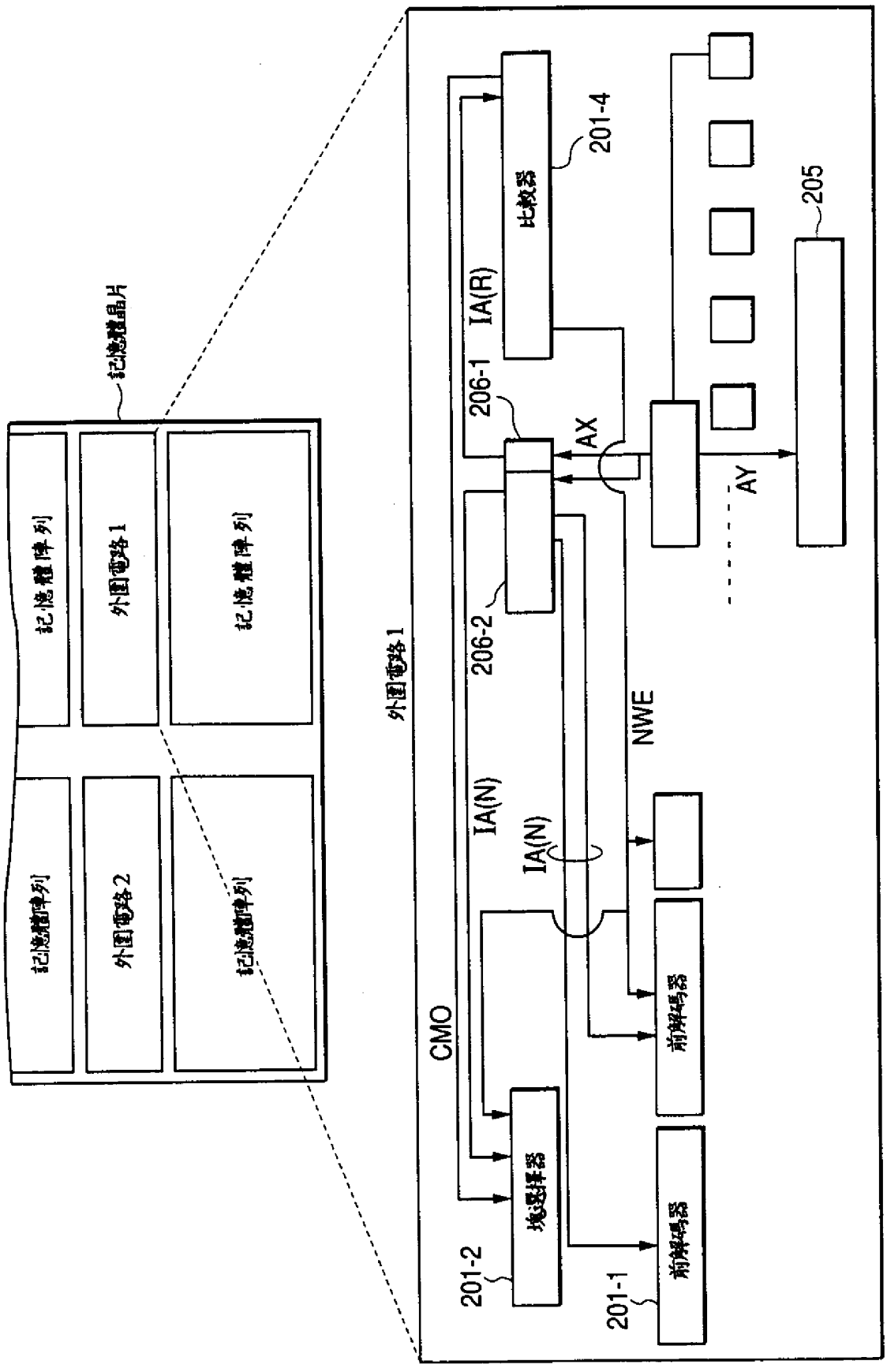
第15圖


CLK
RAS 定時產生器系統
地址設置時間
tAS
內部時鐘產生器
結構解碼
X 系開始
tCK
tCD
tXS
X 地址指定
延遲塊選擇開始
tDL
冗長判斷
塊選擇
tMS
tSW
tRC
tXD
tAX
tSH
設置/保持延遲
X 地址鎖存
標準/冗長系切換
X 地址指定
tXD
tPD
X 前解碼
X 地址系

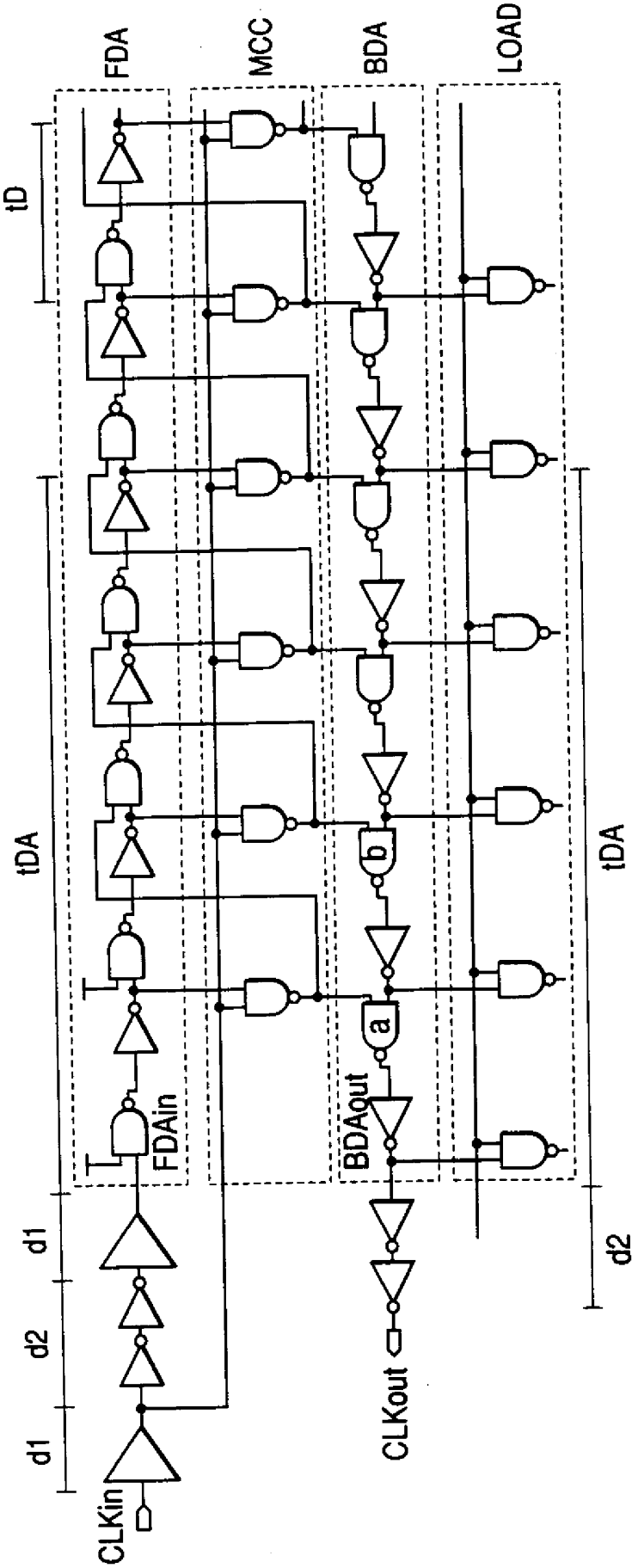

EXCLK
COM
CLK
MODE
EXADD
ADD
IA0-11(R)
CMO
NWE
AE
IA0-11(N)
PA1
PDE
PA2
MS

第16圖

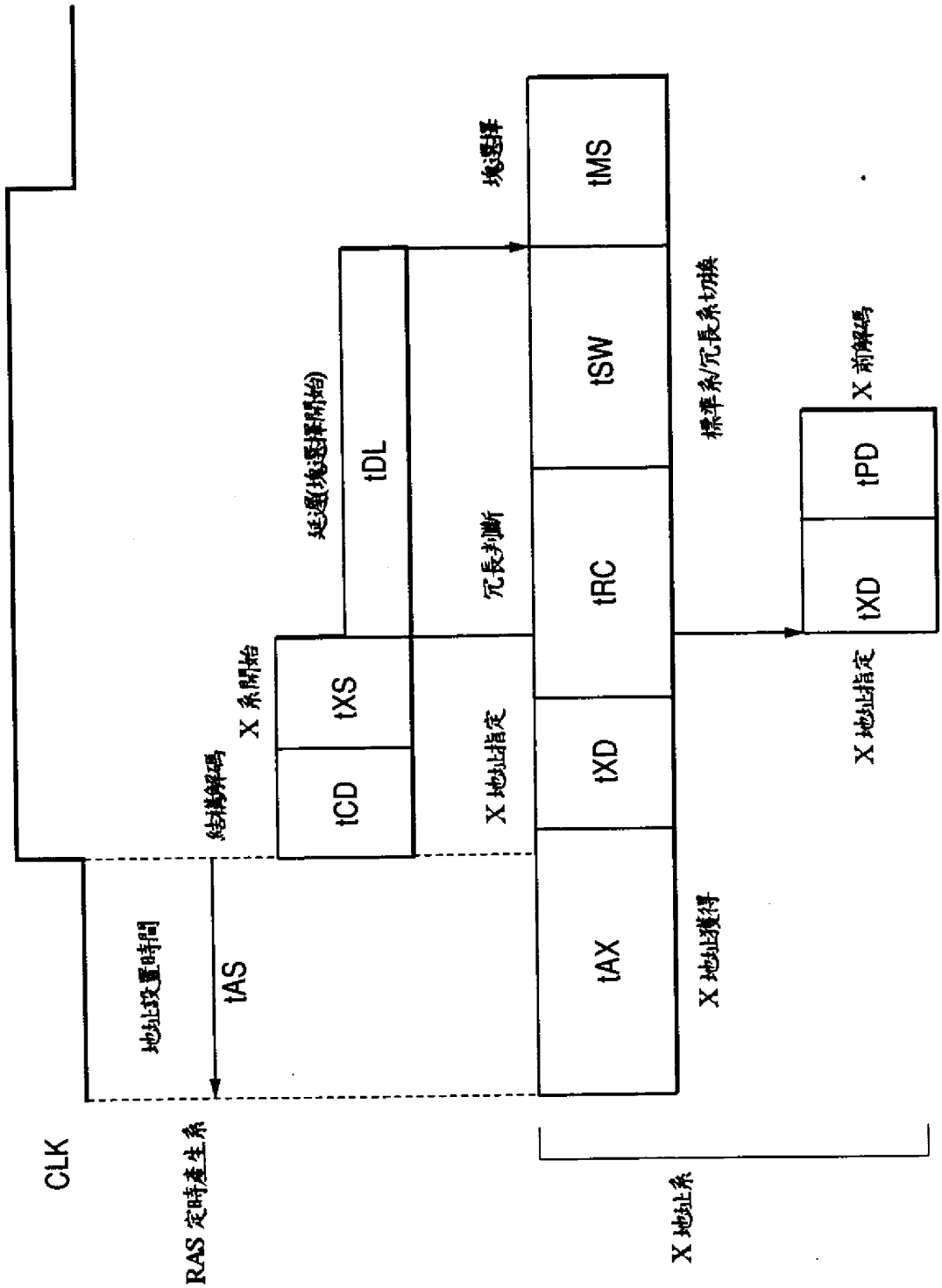
第17圖


記憶體晶片
記憶體陣列
外圍電路1
記憶體陣列
記憶體陣列
外圍電路2
記憶體陣列
外圍電路1
CMO
201-4
比較器
IA(R)
206-1
206-2
AX
AY
205
IA(N)
IA(N)
NWE
前解碼器
前解碼器
201-2
塊選擇器
201-1

第18圖


FDA
MCC
BDA
LOAD
tD
tDA
tDA
d1
d2
d1
d2
CLKin
FDAin
BDAout
CLKout
a
b

第19圖


CLK
RAS 定時產生系
地址設置時間
tAS
結構解碼
X 系開始
tCD
tXS
延遲(塊選擇開始)
tDL
X 地址指定
冗長判斷
塊選擇
tMS
tSW
tRC
tXD
tAX
X 地址獲得
標準系/冗長系切換
X 地址系
X 地址指定
tXD
tPD
X 前解碼