



랜지스터(PM13)의 드레인에, 드레인이 상기 노드 0에 연결되고, 기판에 공급전압(VCCP)이 인가된 피모스 트랜지스터(PM14)와, 게이트에 공급전압(VCCP)이, 소스에 외부전압(VCC)이 인가되고, 드레인이 상기 피모스 트랜지스터(PM14)의 드레인에 연결된 앤모스 트랜지스터(NM15)로 구성되어 노드 0에서 출력신호(OUT)가 출력된다.

이와 같이 구성된 종래 기술의 전압 레벨 병진기의 동작을 첨부된 도면을 참조하여 설명하면 다음과 같다.

먼저, 도 2에 도시된 바와 같이 입력신호(IN)가 "하이" 레벨에서 "로우" 레벨로 트리거될 때, 인버터(INV11)의 출력인 노드 A는 "로우" 레벨에서 "하이" 레벨로 천이하게 되고, 따라서, 앤모스 트랜지스터(NM11)는 턴온되어 노드 B를 "로우" 레벨로 만든다. 이때, 앤모스 트랜지스터(NM12)는 항상 턴온되어 있으므로 노드 C도 "로우" 레벨이 된다.

노드 D는 처음에는 앤모스 트랜지스터(NM13)에 의해  $VCC - V_t$ 에 있다가, 노드 C가 로우레벨이 되면 피모스 트랜지스터(PM12)가 활성화(Activate)되어 노드 E가 공급전압(VCCP)까지 올라가므로  $VCCP - V_t$ 로 천이하게 된다. 따라서, 피모스 트랜지스터들(PM11), (PM14)이 턴온 된다. 여기서,  $V_t$ 는 쓰레숄드 전압으로 약 0.7V이다.

상기 노드 C가 "로우" 레벨이기 때문에 피모스 트랜지스터(PM13)가 턴온되어 노드 0는 공급전압(VCCP)레벨에 있게 된다. 즉, 출력신호(OUT) 레벨이 공급전압(VCCP)이 된다.

이어서, 입력신호(IN)가 "로우" 레벨에서 "하이" 레벨로 천이하면 노드 A는 "하이" 레벨에서 "로우" 레벨로 천이하고, 앤모스 트랜지스터(NM11)는 턴오프 되어 노드 D는 "로우" 레벨로 떨어진다. 따라서, 노드 E도 "로우" 레벨이 되어 피모스 트랜지스터(PM11)를 활성화시키고, 노드 C는 공급전압(VCCP)까지 올라가게 되어 피모스 트랜지스터들(PM12), (PM13)은 턴오프 된다.

또한, 노드 E가 "로우" 레벨이므로 피모스 트랜지스터(PM14)는 활성화되고, 앤모스 트랜지스터(NM15)는 처음부터(Originally) 턴온 되어 있으므로 노드 0에서의 출력신호(OUT)는 외부전압(VCC) 레벨이 된다.

따라서, 디램(DRAM)과 같은 메모리 회로에서 전압레벨 병진기를 전송 게이트 드라이버(Transfer gate driver)로 사용하기 위해서 출력신호(OUT)가 디스에이블 상태에서 외부전압(VCC)에 있다가, 선택된 블록일 경우 공급전압(VCCP)으로, 선택이 안된 경우 접지전압(VSS)으로 바뀌어야 하는데, 접지전압(VSS)을 출력하기 위해서는 외부전압(VCC)레벨에서 접지전압(VSS)레벨로 가는 별도의 회로를 구성해야 하는 문제점이 있다.

### **발명이 이루고자 하는 기술적 과제**

따라서, 본 발명의 목적은 별도의 회로의 추가 없이도 3 상의 전압레벨을 출력할 수 있는 전압 레벨 병진기를 제공하는데 있다.

본 발명의 또 다른 목적은 공용 센스앰프 구조를 갖는 디램(DRAM)과 같은 메모리 회로에서 셀 블록과 센스앰프를 연결하는 전송 게이트 드라이버로 사용할 수 있도록 하는데 있다.

본 발명의 또 다른 목적은 적은 전력을 소비하고, 빠른 속도 및 적은 레이아웃 면적을 구현하는데 있다.

이와 같은 목적을 달성하기 위한 본 발명의 레벨 쉬프트 회로는 제 1 입력신호를 반전시키는 인버터와, 게이트에 상기 인버터에 의해 반전된 입력신호가 인가되고, 소스가 접지전압에, 드레인이 노드 B'에 연결된 앤모스 트랜지스터와, 게이트에 외부전압이 인가되고, 소스가 상기 노드 B'에, 드레인이 노드 C'에 연결된 앤모스 트랜지스터와, 게이트에 제 1 입력신호가 인가되고, 소스가 접지전압에, 드레인이 노드 A'에 연결된 앤모스 트랜지스터와, 게이트에 외부전압이 인가되고, 소스가 상기 노드 A'에, 드레인이 노드 D'에 연결된 앤모스 트랜지스터와, 게이트가 상기 노드 D'에, 드레인이 상기 노드 C'에 연결되고, 소스와 기판에 승압전압이 인가된 피모스 트랜지스터와, 게이트가 상기 노드 C'에, 드레인이 상기 노드 D'에 연결되고, 소스와 기판에 승압전압이 인가된 피모스 트랜지스터와, 게이트가 상기 노드 C'에, 드레인이 노드 0'에 연결되고, 소스와 기판에 승압전압이 인가된 피모스 트랜지스터와, 게이트가 상기 노드 C'에, 드레인이 상기 노드 0'에 연결되고, 소스에 제 2 입력신호가 인가되는 앤모스 트랜지스터와, 게이트가 상기 노드 D'에, 소스가 상기 노드 0'에 연결되고, 드레인에 상기 제 2 입력신호가 인가되는 피모스 트랜지스터로 구성되어 노드 0'에서 출력신호가 출력되는 것을 특징으로 한다.

### **발명의 구성 및 작용**

본 발명의 레벨 쉬프트 회로는 도 3에 도시된 바와 같이 제 1 입력신호(IN1)를 반전시키는 인버터(INV31)와, 게이트에 상기 인버터에 의해 반전된 입력신호(INB)가 인가되고, 소스가 접지전압(VSS)에, 드레인이 노드 B'에 연결된 앤모스 트랜지스터(NM31)와, 게이트에 외부전압(VCC)이 인가되고, 소스가 상기 노드 B'에, 드레인이 노드 C'에 연결된 앤모스 트랜지스터(NM32)와, 게이트에 제 1 입력신호(IN1)가 인가되고, 소스가 접지전압(VSS)에, 드레인이 노드 A'에 연결된 앤모스 트랜지스터(NM33)와, 게이트에 외부전압(VCC)이 인가되고, 소스가 상기 노드 A'에, 드레인이 노드 D'에 연결된 앤모스 트랜지스터(NM34)와, 게이트가 상기 노드 D'에, 드레인이 상기 노드 C'에 연결되고, 소스와 기판에 승압전압(VIP)이 인가된 피모스 트랜지스터(PM31)와, 게이트가 상기 노드 C'에, 드레인이 상기 노드 D'에 연결되고, 소스와 기판에 승압전압(VPP)이 인가된 피모스 트랜지스터(PM32)와, 게이트가 상기 노드 C'에, 드레인이 노드 0'에 연결되고, 소스와 기판에 승압전압(VPP)이 인가된 피모스 트랜지스터(PM33)와, 게이트가 상기 노드 C'에, 드레인이 상기 노드 0'에 연결되고, 소스에 제 2 입력신호(IN2)가 인가되는 앤모스 트랜지스터(NM35)와, 게이트가 상기 노드 D'에, 소스가 상기 노드 0'에 연결되고, 드레인에 상기 제 2 입력신호(IN2)가 인가되는 피모스 트랜지스터(PM34)로 구성되어 노드 0'에서 출력신호(OUT)가 출력된다.

이와 같이 구성된 본 발명의 레벨 쉬프트 회로의 동작을 첨부된 도면을 참조하여 설명하면 다음과 같다.

먼저, 제 1 입력신호(IN1)가 선택된 블록신호이고, 제 2 입력신호(IN2)가 센스앰프의 다른 쪽에 연결된

블록의 선택신호일 때, 메모리 회로가 디스에이블에서 인에이블로 되면 제 1 입력신호(IN1)는 "하이" 레벨에서 "로우" 레벨로 가고, 제 2 입력신호(IN2)는 계속 "하이" 레벨 상태를 유지하게 된다.

도 4 에 도시된 바와 같이 제 1 입력신호(IN1)가 "로우" 레벨로 가게 되면 그의 반전된 신호(INB)는 "하이" 레벨로 가게 되고, 이에 의해 앤모스 트랜지스터(NM33)는 턴오프, 앤모스 트랜지스터(NM31)는 턴온된다. 따라서, 상기 앤모스 트랜지스터(NM31)의 드레인은 "로우" 레벨로 가고, 앤모스 트랜지스터(NM32)는 항상 턴온되어 있으므로 노드 C'도 "로우" 레벨로 간다. 상기 노드 C'는 피모스 트랜지스터(PM32)와 피모스 트랜지스터(PM33), 그리고 앤모스 트랜지스터(NM35)의 게이트에 연결되어 있으므로, 상기 피모스 트랜지스터(PM32)는 활성화되고, 노드 D'는 승압전압(VPP) 레벨이 된다.

따라서, 앤모스 트랜지스터(NM34)는 항상 턴온되어 있으므로 노드 A'의 전압레벨은  $V_{CC} - V_t$ 가 된다.

상기 노드 C'가 "로우" 레벨이므로 피모스 트랜지스터(PM33)는 노드 0'의 전압레벨을 승압전압(VPP)까지 끌어올린다. 또한, 상기 앤모스 트랜지스터(NM35)는 턴오프된다.

상기 노드 D'가 승압전압(VPP)이므로 상기 피모스 트랜지스터(PM34)는 턴오프된다.

이어서, 제 1 입력신호(IN1)가 다시 디스에이블("하이" 레벨)되면 앤모스 트랜지스터(NM31)는 턴오프되고, 앤모스 트랜지스터(NM33)는 턴온된다. 앤모스 트랜지스터(NM34)는 내부적으로 턴온되어 있으므로 노드 0'는 "로우" 레벨로 떨어지고, 따라서, 피모스 트랜지스터(PM31)가 활성화되어 노드 C'를 승압전압(VPP) 레벨까지 올라가고, 앤모스 트랜지스터(NM35)를 턴온시켜 출력신호(OUT)는 외부전압(VCC) 레벨로 떨어진다.

여기서, 상기 피모스 트랜지스터들(PM32)(PM33)은 턴오프되고, 상기 피모스 트랜지스터(PM34)는 턴온되므로, 상기 피모스 트랜지스터(PM34)는 상기 앤모스 트랜지스터(NM35)와 함께 씨모스 풀다운 스위치로 동작한다.

한편, 도 5 에 도시된 바와 같이 제 1 입력신호(IN1)가 계속 "하이" 레벨을 유지하고, 제 2 입력신호(IN2)가 "하이" 레벨에서 "로우" 레벨로 떨어지게 되면, 앤모스 트랜지스터(NM33)가 턴온되고, 앤모스 트랜지스터(NM31)는 턴오프되어, 노드 D'가 "로우" 레벨로 떨어지게 되고, 따라서, 피모스 트랜지스터들(PM31),(PM34)을 활성화시키므로, 노드 0'는 제 2 입력신호(IN2)를 그대로 출력신호(OUT)로 출력하게 된다. 여기서, 피모스 트랜지스터들(PM32),(PM33)은 메모리 동작 동안 노드 C'가 "하이" 레벨에 있으므로 턴오프 상태로 있게 된다.

또한, 앤모스 트랜지스터들(NM34),(NM32)은 노드 C',D'가 승압전압(VPP)에 있다가 앤모스 트랜지스터(NM33) 또는 앤모스 트랜지스터(NM31)에 의해 접지전압(VSS)으로 연결될 때, 상기 피모스 트랜지스터들(PM31),(PM32)의 로딩을 줄여주기 위한 트랜지스터로 초기에는 턴온상태이다. 이때, 노드 A',B'는  $V_{CC} - V_t$  또는 접지전압(VSS) 중 하나의 값을 갖는다.

여기서, 앤모스 트랜지스터(NM35)와 피모스 트랜지스터(PM34)는 씨모스 스위치로 제 2 입력신호(IN2)가 "로우" 레벨이든 "하이" 레벨이든 그대로 출력신호(OUT)로 출력되게 한다.

참고로, 본 발명이 공용 센스앰프 구조 및 양방향성 글로벌 비트 라인 구조를 갖는 디램(DRAM)에서 셀 어레이와 센스앰프를 연결하는 전송 게이트 드라이버로 사용될 때, 두 개의 센스앰프 사이에 복수 개의 어레이가 있고, 그 어레이 사이에 전송 트랜지스터가 연결되어 있는데, 그 전송 트랜지스터는 메모리 회로가 디스에이블일 때, 모두 외부전압(VCC) 레벨로 있다가, 구동 상태가 되면, 선택된 쪽의 전송 트랜지스터(Transfer TR)는 승압전압(VPP) 레벨로, 그렇지 않은 쪽의 전송 트랜지스터는 접지전압(VSS) 레벨이 된다.

### 발명의 효과

따라서, 공용 센스앰프 구조를 갖는 디램(DRAM)과 같은 메모리 회로에서 셀 블록과 센스앰프를 연결하는 전송 게이트 드라이버로 사용할 수 있으며, 풀다운 트랜지스터를 사용하므로 전력의 소비를 줄이고, 빠른 속도로 동작할 수 있다. 또한 한 회로에서 3 개의 다른 상태의 전압레벨( $V_{CC}$ ,  $V_{PP}$ ,  $V_{SS}$ )을 얻을 수 있기 때문에 전압레벨 병진기로도 사용할 수 있으며, 종래 회로에 비해 간단하여 레이아웃 면적을 줄일 수 있는 효과가 있다.

### (57) 청구의 범위

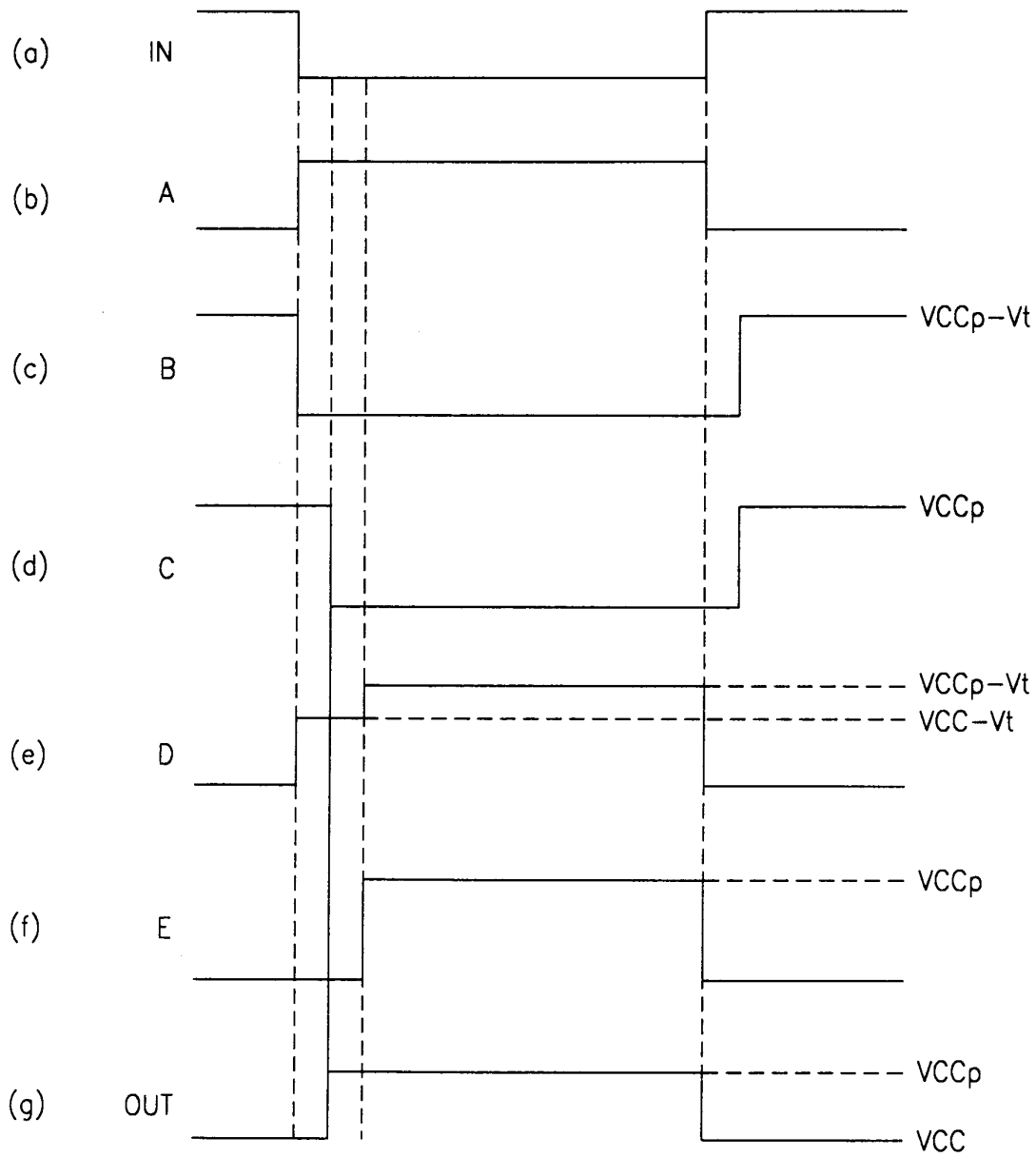
#### 청구항 1

제 1 입력신호(IN1)를 반전시키는 인버터(INV31)와, 게이트에 상기 인버터에 의해 반전된 입력신호(INB)가 인가되고, 소스가 접지전압(VSS)에, 드레인이 노드 B'에 연결된 앤모스 트랜지스터(NM31)와, 게이트에 외부전압(VCC)이 인가되고, 소스가 상기 노드 B'에, 드레인이 노드 C'에 연결된 앤모스 트랜지스터(NM32)와, 게이트에 제 1 입력신호(IN1)가 인가되고, 소스가 접지전압(VSS)에, 드레인이 노드 A'에 연결된 앤모스 트랜지스터(NM33)와, 게이트에 외부전압(VCC)이 인가되고, 소스가 상기 노드 A'에, 드레인이 노드 D'에 연결된 앤모스 트랜지스터(NM34)와, 게이트가 상기 노드 D'에, 드레인이 상기 노드 C'에 연결되고, 소스와 기판에 승압전압(VPP)이 인가된 피모스 트랜지스터(PM31)와, 게이트가 상기 노드 C'에, 드레인이 상기 노드 D'에 연결되고, 소스와 기판에 승압전압(VPP)이 인가된 피모스 트랜지스터(PM32)와, 게이트가 상기 노드 C'에, 드레인이 상기 노드 C'에, 드레인이 노드 0'에 연결되고, 소스와 기판에 승압전압(VPP)이 인가된 피모스 트랜지스터(PM33)와, 게이트가 상기 노드 C'에, 드레인이 상기 노드 0'에 연결되고, 소스에 제 2 입력신호(IN2)가 인가되는 앤모스 트랜지스터(NM35)와, 게이트가 상기 노드 D'에, 소스가 상기 노드 0'에 연결되고, 드레인에 상기 제 2 입력신호(IN2)가 인가되는 피모스 트랜지스터(PM34)로 구성되어 노드 0'에서 출력신호(OUT)가 출력되는 것을 특징으로 하는 레벨 쉬프터 회로.

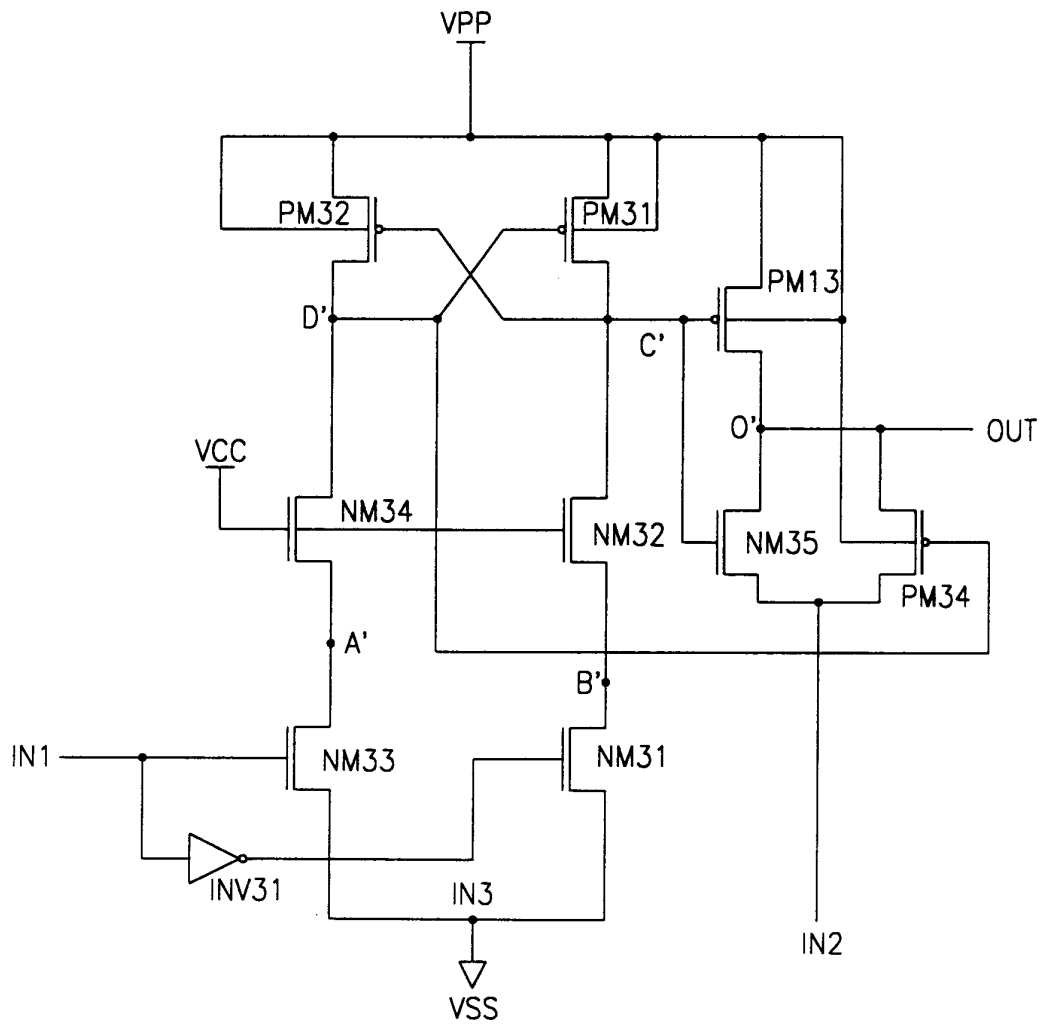
#### 청구항 2



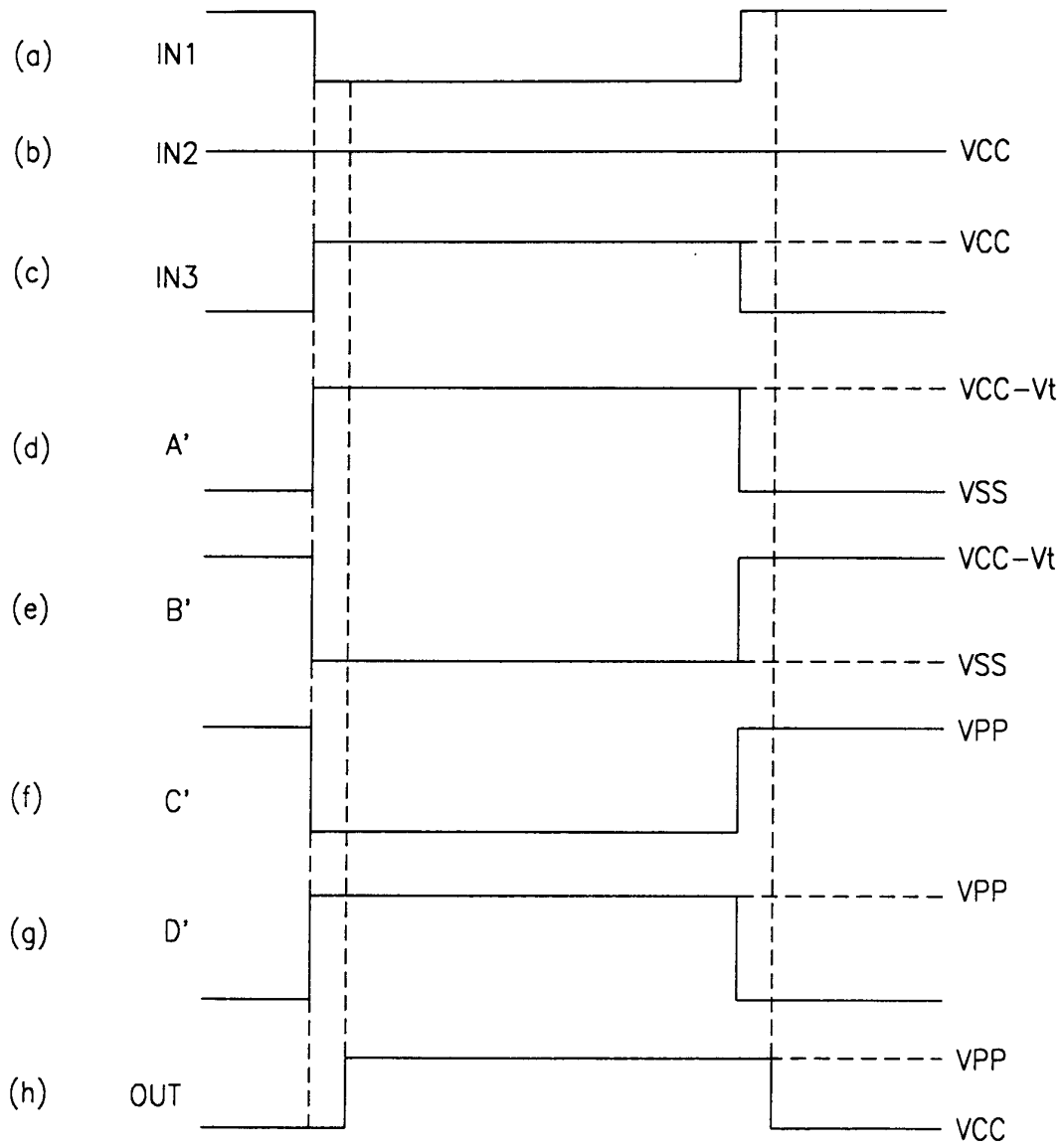
## 도면2



## 도면3



## 도면4



## 도면5

