



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0027372  
(43) 공개일자 2009년03월17일

(51) Int. Cl.

G09G 3/36 (2006.01) G02F 1/133 (2006.01)

H03M 1/66 (2006.01) G09G 3/20 (2006.01)

(21) 출원번호 10-2007-0092538

(22) 출원일자 2007년09월12일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

김아름

서울 광진구 중곡동 51-34번지 101호

손선규

경기 수원시 영통구 영통동 황골마을1단지아파트  
135-204

(74) 대리인

특허법인가산

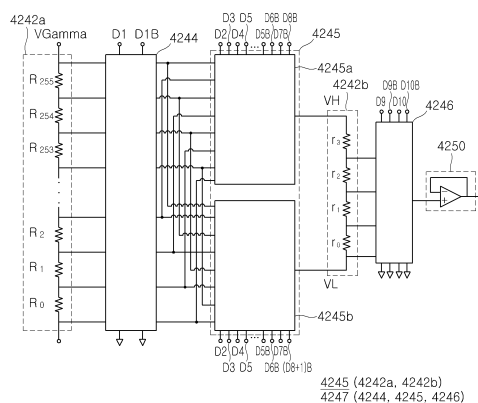
전체 청구항 수 : 총 20 항

(54) 디지털 아날로그 컨버터 및 이의 구동 방법과 이를포함하는 소스 드라이버 및 표시 장치

### (57) 요약

본 발명은 디지털아날로그 컨버터 및 이의 구동 방법과 이를 포함하는 소스 드라이버 및 표시 장치에 관한 것으로, 특히 분할형 디지털아날로그 컨버터 및 이의 구동 방법과 이를 포함하는 소스 드라이버 및 표시 장치에 관한 것이다. 본 발명은 디지털아날로그 컨버터의 디코더를 다수개로 분할하여 각 디코더가 구비하는 트랜지스터 수를 감소시켜 디코더의 크기를 줄일 수 있으며 이로 인해 크기가 감소된 디지털아날로그 컨버터 및 이의 구동 방법과 이를 포함하는 소스 드라이버 및 표시 장치를 제공할 수 있다.

대표도 - 도3



## 특허청구의 범위

### 청구항 1

다수개의 저항을 포함하는 제 1 전압 분배부와,

상기 제 1 전압 분배부에서 분배 전압을 인가받아 제 1 감마 레퍼런스 전압을 출력하는 제 1 디코더와,

상기 제 1 감마 레퍼런스 전압 중 연속된 두 개의 전압을 제 2 및 제 3 감마 레퍼런스 전압으로 출력하는 제 2 디코더와,

다수개의 저항을 포함하여 상기 제 2 및 제 3 감마 레퍼런스 전압을 다수개로 분배하는 제 2 전압 분배부와,

상기 제 2 전압 분배부에서 분배 전압을 인가받아 하나의 제 4 감마 레퍼런스 전압을 출력하는 제 3 디코더를 포함하는 것을 특징으로 하는 디지털아날로그 컨버터.

### 청구항 2

청구항 1에 있어서,

상기 제 1 전압 분배부는  $2^{L+M}$ 개의 커스 저항을 포함하고,

상기 제 2 전압 분배부는  $2^N$ 개의 팩인 저항을 포함하고,

상기 L과 M 및 N은 자연수인 것을 특징으로 하는 소스 드라이버.

### 청구항 3

청구항 2에 있어서,

상기 제 1 디코더는 L+M+N비트의 화소 데이터를 입력받는 것을 특징으로 하는 디지털아날로그 컨버터.

### 청구항 4

청구항 3에 있어서,

상기 제 1 디코더는 L비트 디코더를 포함하고,

상기 제 2 디코더는 M비트 디코더를 포함하며,

상기 제 3 디코더는 N비트 디코더를 포함하는 것을 특징으로 하는 디지털아날로그 컨버터.

### 청구항 5

청구항 4에 있어서,

상기 제 2 디코더는 두 개의 M비트 디코더를 포함하고,

상기 두 개의 M비트 디코더에 입력되는 화소 데이터는 최하위비트 값이 1만큼 차이나는 것을 특징으로 하는 디지털 아날로그 컨버터.

### 청구항 6

청구항 1에 있어서,

상기 디지털/아날로그 컨버터는 L+M+N비트인 것을 특징으로 하는 디지털아날로그 컨버터.

### 청구항 7

청구항 4에 있어서,

상기 L은 1이고,

상기 M은 7이며,

상기 N은 2인 것을 특징으로 하는 디지털아날로그 컨버터.

#### 청구항 8

기준전압을 이용하여 감마 레퍼런스 전압을 생성하여 출력하는 소스 드라이버로서,

다수의 저항을 가지는 제 1 전압 분배부 및 제 2 전압 분배부와 상기 제 1 전압 분배부 및 제 2 전압 분배부에서 분배된 전압을 선택하는 제 1 내지 제 3 디코더를 포함하는 것을 특징으로 하는 소스 드라이버.

#### 청구항 9

청구항 8에 있어서,

상기 제 1 디코더는 상기 제 1 전압 분배부에서 분배된 전압을 기초로 제 1 감마 레퍼런스 전압을 선택하고,

상기 제 2 디코더는 상기 제 1 감마 레퍼런스 전압을 기초로 제 2 및 제 3 감마 레퍼런스 전압을 선택하며,

상기 제 3 디코더는 상기 제 2 및 제 3 감마 레퍼런스 전압을 상기 제 2 전압 분배부에서 분배한 전압을 기초로 제 4 감마 레퍼런스 전압을 선택하는 것을 특징으로 하는 소스 드라이버.

#### 청구항 10

청구항 8에 있어서,

상기 제 1 전압 분배부는  $2^{L+M}$ 개의 커스 저항을 포함하고,

상기 제 2 전압 분배부는  $2^N$ 개의 파인 저항을 포함하고,

상기 L과 M 및 N은 자연수인 것을 특징으로 하는 소스 드라이버.

#### 청구항 11

청구항 10에 있어서,

상기 제 1 디코더는 복수의 분배 전압 중  $2^L$  등분된 어느 한 범위를 선택하여 제 1 감마 레퍼런스 전압을 출력하는 것을 특징으로 하는 소스 드라이버.

#### 청구항 12

청구항 11에 있어서,

상기 제 2 디코더는 상기 제 1 감마 레퍼런스 전압 중 연속된 두 개의 전압을 제 2 및 제 3 감마 레퍼런스 전압으로 출력하는 것을 특징으로 하는 소스 드라이버.

#### 청구항 13

청구항 12에 있어서,

상기 제 3 디코더는 상기 제 2 전압 분배부에서  $2^N$ 개의 분배 전압을 인가받아 하나의 제 4 감마 레퍼런스 전압을 출력하는 것을 특징으로 하는 소스 드라이버.

#### 청구항 14

화상을 표시하기 위한 표시 패널과,

기준전압을 이용하여 상기 표시 패널에 감마 레퍼런스 전압을 생성하여 출력하며, 다수의 저항을 가지는 제 1 전압 분배부 및 제 2 전압 분배부와 상기 제 1 전압 분배부 및 제 2 전압 분배부에서 분배된 전압을 선택하는 제 1 내지 제 3 디코더를 가지는 소스 드라이버를 포함하는 것을 특징으로 하는 표시 장치.

#### 청구항 15

청구항 14에 있어서,

상기 제 1 디코더는 상기 제 1 전압 분배부에서 분배된 전압을 기초로 제 1 감마 레퍼런스 전압을 선택하고,  
상기 제 2 디코더는 상기 제 1 감마 레퍼런스 전압을 기초로 제 2 및 제 3 감마 레퍼런스 전압을 선택하며,  
상기 제 3 디코더는 상기 제 2 및 제 3 감마 레퍼런스 전압을 상기 제 2 전압 분배부에서 분배한 전압을 기초로  
제 4 감마 레퍼런스 전압을 선택하는 것을 특징으로 하는 표시 장치.

#### 청구항 16

복수의 분배 전압을 생성하는 단계;

상기 복수의 분배 전압 중 제 1 감마 레퍼런스 전압을 선택하는 단계;

상기 제 1 감마 레퍼런스 전압 중 연속된 제 2 및 제 3 감마 레퍼런스 전압을 선택하는 단계;

상기 제 2 및 제 3 감마 레퍼런스 전압을 기초로 복수의 분배 전압을 생성하는 단계;

상기 복수의 분배 전압 중 제 4 감마 레퍼런스 전압을 선택하는 단계;를 포함하는 것을 특징으로 하는 디지털아날로그 컨버터의 구동 방법.

#### 청구항 17

청구항 16에 있어서,

상기 복수의 분배 전압 중 제 1 감마 레퍼런스 전압을 선택하는 단계;는

$L+M+N$ 비트의 화소 데이터 중  $L$ 비트의 화소 데이터에 의하여 제 1 감마 레퍼런스 전압을 선택하는 것을 특징으로 하는 디지털아날로그 컨버터의 구동 방법.

#### 청구항 18

청구항 17에 있어서,

상기 복수의 분배 전압 중 제 1 감마 레퍼런스 전압을 선택하는 단계;는

복수의 분배 전압 중  $L$ 비트 화소 데이터에 의하여  $2^L$  등분된 어느 한 범위를 선택하여 제 1 감마 레퍼런스 전압을 출력하는 것을 특징으로 하는 디지털아날로그 컨버터의 구동 방법.

#### 청구항 19

청구항 16에 있어서,

상기 제 1 감마 레퍼런스 전압 중 연속된 제 2 및 제 3 감마 레퍼런스 전압을 선택하는 단계;는

$L+M+N$ 비트의 화소 데이터 중  $M$ 비트 화소 데이터에 의해 제 2 감마 레퍼런스 전압을 선택하는 단계;와

$L+M+N$ 비트의 화소 데이터 중  $M$ 비트 화소 데이터에 1을 더하는 단계; 및

$L+M+N$ 비트의 화소 데이터 중  $M$ 비트 화소 데이터에 1을 더한 값에 의해 제 3 감마 레퍼런스 전압을 선택하는 단계;를 포함하는 것을 특징으로 하는 디지털아날로그 컨버터의 구동 방법.

#### 청구항 20

청구항 16에 있어서,

상기 복수의 분배 전압 중 제 4 감마 레퍼런스 전압을 선택하는 단계;는

$L+M+N$ 비트의 화소 데이터 중  $N$ 비트 화소 데이터에 의해 제 4 감마 레퍼런스 전압을 선택하는 것을 특징으로 하는 디지털아날로그 컨버터의 구동 방법.

## 명세서

### 발명의 상세한 설명

## 기술 분야

- <1> 본 발명은 디지털아날로그 컨버터 및 이의 구동 방법과 이를 포함하는 소스 드라이버 및 표시 장치에 관한 것으로, 특히 분할형 디지털아날로그 컨버터 및 이의 구동 방법과 이를 포함하는 소스 드라이버 및 표시 장치에 관한 것이다.

## 배경 기술

- <2> 최근 들어, 모니터, 노트북, TV 및 이동 통신 단말기 등과 같은 전자 장치의 경량화 및 박형화 추세에 따라 표시 장치도 경량화 및 박형화가 요구되고 있으며, 이러한 요구의 충족을 위해 기존의 음극선관 대신 다양한 평판 표시 장치의 개발 및 대중화가 급속히 이루어지고 있다.
- <3> 이러한 평판 표시 장치의 하나로서, 액정 표시 장치는 이러한 평판 표시 장치의 하나로서, 공통 전극과 컬러 필터 등이 형성되어 있는 상부 기판과, 박막 트랜지스터와 화소 전극 등이 형성되어 있는 하부 기판 사이에 유전율 이방성(Dielectric Anisotropy)을 갖는 액정물질을 주입하고, 화소 전극과 공통 전극에 전압을 인가하여 전계를 형성시킨 뒤, 그 전계의 세기를 조절하여 빛의 투과율을 조절함으로써 화상을 표시하는 장치이다.
- <4> 이러한 액정 표시 장치에는 외부의 호스트 시스템 즉, 그래픽 소스로부터 레드(Red), 그린(Green) 및 블루(Blue)의 RGB 데이터가 입력된다. 입력된 RGB 데이터는 액정 표시 장치의 타임 컨트롤러(Time Controller; T-Con)에 의하여 데이터 포맷이 변환된 뒤 집적회로(Integrated Circuit; IC)인 소스 드라이버로 전달되고, 소스 드라이버는 그 RGB 데이터 신호에 대응하는 아날로그 게조 전압을 각각 선택하여 액정 표시 패널로 인가함으로써, 액정 표시 패널의 표시 동작을 수행한다.
- <5> 통상, 상기 그래픽 소스에서 타임 컨트롤러에 입력되는 RGB 데이터의 비트수와 소스 드라이버의 처리 가능한 데이터 신호의 비트(Bit)수는 동일하여야 하는데, 현재 출시되고 있는 액정 표시 장치는 레드, 블루 및 그린 각각 6비트(n=6)인 18비트 제품, 또는 레드, 블루 및 그린 각각 8비트(n=8)인 24비트( $3 \times n = 24$ ) 제품이 보편적으로 사용된다.
- <6> 그런데, 최근 들어서는 액정 표시 장치를 구비한 TV 등의 전자 장치가 대형화됨에 따라 좀 더 세밀하고 다양한 색상의 재현이 가능하도록 10비트(n=10) 이상의 데이터 신호를 처리할 수 있는 소스 드라이버가 요구되고 있다.
- <7> 그러나, 소스 드라이버의 데이터 처리 규격을 증가시키는 데는 여러 가지 제약이 따른다. 특히, 소스 드라이버는 입력되는 화소 데이터를 아날로그 게조 전압으로 변환시키기 위한 디지털/아날로그 컨버터가 내장되는데, 이 디지털/아날로그 컨버터를 구성하는 트랜지스터의 수는 증가되는 비트 수에 따라 대폭 증가되기 때문에 처리비트 수를 증가시킬수록 소스 드라이버 칩의 크기가 커지는 문제가 야기된다. 또한, 이러한 소스 드라이버를 내장하는 액정 표시 장치의 크기도 커지게 된다.

## 발명의 내용

### 해결 하고자하는 과제

- <8> 본 발명의 목적은 크기가 감소된 디지털아날로그 컨버터 및 이의 구동 방법과 이를 포함하는 소스 드라이버 및 표시 장치를 제공하는 것이다.

### 과제 해결수단

- <9> 상술한 목적을 달성하기 위해 본 발명은 다수개의 저항을 포함하는 제 1 전압 분배부와, 상기 제 1 전압 분배부에서 분배 전압을 인가받아 제 1 감마 레퍼런스 전압을 출력하는 제 1 디코더와, 상기 제 1 감마 레퍼런스 전압 중 연속된 두 개의 전압을 제 2 및 제 3 감마 레퍼런스 전압으로 출력하는 제 2 디코더와, 다수개의 저항을 포함하여 상기 제 2 및 제 3 감마 레퍼런스 전압을 다수개로 분배하는 제 2 전압 분배부와, 상기 제 2 전압 분배부에서 분배 전압을 인가받아 하나의 제 4 감마 레퍼런스 전압을 출력하는 제 3 디코더를 포함하는 것을 특징으로 하는 디지털아날로그 컨버터를 제공한다.
- <10> 상기 제 1 전압 분배부는  $2^{L+M}$ 개의 커스 저항을 포함하고, 상기 제 2 전압 분배부는  $2^N$ 개의 파인 저항을 포함하고, 상기 L과 M 및 N은 자연수일 수 있다.
- <11> 상기 제 1 디코더는 L+M+N비트의 화소 데이터를 입력받을 수 있다.

- <12> 상기 제 1 디코더는 L비트 디코더를 포함하고, 상기 제 2 디코더는 M비트 디코더를 포함하며, 상기 제 3 디코더는 N비트 디코더를 포함할 수 있다.
- <13> 상기 제 2 디코더는 두 개의 M비트 디코더를 포함하고, 상기 두 개의 M비트 디코더에 입력되는 화소 데이터는 최하위비트 값이 1만큼 차이 나는 것이 바람직하다.
- <14> 상기 디지털/아날로그 컨버터는 L+M+N비트이다. 이때, 상기 L은 1이고, 상기 M은 7이며, 상기 N은 2일 수 있다.
- <15> 또한, 본 발명은 기준전압을 이용하여 감마 레퍼런스 전압을 생성하여 출력하는 소스 드라이버로서, 다수의 저항을 가지는 제 1 전압 분배부 및 제 2 전압 분배부와 상기 제 1 전압 분배부 및 제 2 전압 분배부에서 분배된 전압을 선택하는 제 1 내지 제 3 디코더를 포함하는 것을 특징으로 하는 소스 드라이버를 제공한다.
- <16> 상기 제 1 디코더는 상기 제 1 전압 분배부에서 분배된 전압을 기초로 제 1 감마 레퍼런스 전압을 선택하고, 상기 제 2 디코더는 상기 제 1 감마 레퍼런스 전압을 기초로 제 2 및 제 3 감마 레퍼런스 전압을 선택하며, 상기 제 3 디코더는 상기 제 2 및 제 3 감마 레퍼런스 전압을 상기 제 2 전압 분배부에서 분배한 전압을 기초로 제 4 감마 레퍼런스 전압을 선택할 수 있다.
- <17> 상기 제 1 전압 분배부는  $2^{L+M}$ 개의 커스 저항을 포함하고, 상기 제 2 전압 분배부는  $2^N$ 개의 파인 저항을 포함하고, 상기 L과 M 및 N은 자연수일 수 있다.
- <18> 상기 제 1 디코더는 복수의 분배 전압 중  $2^L$  등분된 어느 한 범위를 선택하여 제 1 감마 레퍼런스 전압을 출력하는 것이 바람직하며, 상기 제 2 디코더는 상기 제 1 감마 레퍼런스 전압 중 연속된 두 개의 전압을 제 2 및 제 3 감마 레퍼런스 전압으로 출력할 수 있다. 또한, 상기 제 3 디코더는 상기 제 2 전압 분배부에서  $2^N$ 개의 분배 전압을 인가받아 하나의 제 4 감마 레퍼런스 전압을 출력할 수 있다.
- <19> 또한, 본 발명은 화상을 표시하기 위한 표시 패널과, 기준전압을 이용하여 상기 표시 패널에 감마 레퍼런스 전압을 생성하여 출력하며, 다수의 저항을 가지는 제 1 전압 분배부 및 제 2 전압 분배부와 상기 제 1 전압 분배부 및 제 2 전압 분배부에서 분배된 전압을 선택하는 제 1 내지 제 3 디코더를 가지는 소스 드라이버를 포함하는 것을 특징으로 하는 표시 장치를 제공한다.
- <20> 상기 제 1 디코더는 상기 제 1 전압 분배부에서 분배된 전압을 기초로 제 1 감마 레퍼런스 전압을 선택하고, 상기 제 2 디코더는 상기 제 1 감마 레퍼런스 전압을 기초로 제 2 및 제 3 감마 레퍼런스 전압을 선택하며, 상기 제 3 디코더는 상기 제 2 및 제 3 감마 레퍼런스 전압을 상기 제 2 전압 분배부에서 분배한 전압을 기초로 제 4 감마 레퍼런스 전압을 선택할 수 있다.
- <21> 또한, 본 발명은 복수의 분배 전압을 생성하는 단계; 상기 복수의 분배 전압 중 제 1 감마 레퍼런스 전압을 선택하는 단계; 상기 제 1 감마 레퍼런스 전압 중 연속된 제 2 및 제 3 감마 레퍼런스 전압을 선택하는 단계; 상기 제 2 및 제 3 감마 레퍼런스 전압을 기초로 복수의 분배 전압을 생성하는 단계; 상기 복수의 분배 전압 중 제 4 감마 레퍼런스 전압을 선택하는 단계;를 포함하는 것을 특징으로 하는 디지털아날로그 컨버터의 구동 방법을 제공한다.
- <22> 상기 복수의 분배 전압 중 제 1 감마 레퍼런스 전압을 선택하는 단계;는 L+M+N비트의 화소 데이터 중 L비트의 화소 데이터에 의하여 제 1 감마 레퍼런스 전압을 선택하는 것이 바람직하다.
- <23> 또한, 상기 복수의 분배 전압 중 제 1 감마 레퍼런스 전압을 선택하는 단계;는 복수의 분배 전압 중 L비트 화소 데이터에 의하여  $2^L$  등분된 어느 한 범위를 선택하여 제 1 감마 레퍼런스 전압을 출력하는 것이 바람직하다.
- <24> 상기 제 1 감마 레퍼런스 전압 중 연속된 제 2 및 제 3 감마 레퍼런스 전압을 선택하는 단계;는 L+M+N비트의 화소 데이터 중 M비트 화소 데이터에 의해 제 2 감마 레퍼런스 전압을 선택하는 단계;와 L+M+N비트의 화소 데이터 중 M비트 화소 데이터에 1을 더하는 단계; 및 L+M+N비트의 화소 데이터 중 M비트 화소 데이터에 1을 더한 값에 의해 제 3 감마 레퍼런스 전압을 선택하는 단계;를 포함할 수 있다.
- <25> 상기 복수의 분배 전압 중 제 4 감마 레퍼런스 전압을 선택하는 단계;는 L+M+N비트의 화소 데이터 중 N비트 화소 데이터에 의해 제 4 감마 레퍼런스 전압을 선택하는 것이 바람직하다.

## 효 과

- <26> 본 발명은 디지털아날로그 컨버터의 디코더를 다수개로 분할하여 각 디코더의 트랜지스터 수를 감소시켜 디코더

의 크기를 줄일 수 있으며, 이로 인해 크기가 감소된 디지털아날로그 컨버터 및 이의 구동 방법과 이를 포함하는 소스 드라이버 및 표시 장치를 제공할 수 있다.

<27> 또한, 본 발명은 크기가 감소된 디지털아날로그 컨버터를 적용하므로, 이를 포함하는 소스 드라이버 및 표시 장치의 크기를 감소시킬 수 있다.

### 발명의 실시를 위한 구체적인 내용

<28> 이하, 도면을 참조하여 본 발명의 실시예를 상세히 설명하기로 한다.

<29> 그러나 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 도면상의 동일 부호는 동일한 요소를 지칭한다.

<30> 도 1은 본 발명에 따른 액정 표시 장치의 개략 블록도이고, 도 2는 본 발명에 따른 소스 드라이버의 개략 블록도이고, 도 3 및 도 4는 본 발명에 따른 디지털/아날로그 컨버터의 개략 회로도이고, 도 5는 본 발명에 따른 화소 데이터의 블록도이고, 도 6은 본 발명에 따른 디지털/아날로그 컨버터의 작동을 설명하기 위한 순서도이고, 도 7a 내지 도 7c는 본 발명에 따른 디지털/아날로그 컨버터의 작동을 설명하기 위한 그래프이다.

<31> 본 발명에 따른 액정 표시 장치는 도 1에 도시된 바와 같이, 화상을 표시하기 위한 액정 표시 패널(3000)과, 게이트 드라이버(4600), 소스 드라이버(4200), 구동 전압 생성부(4900) 및 신호 제어부(5000)를 포함한다.

<32> 액정 표시 패널(3000)은 대략 열방향으로 연장된 복수의 게이트 라인(GL1 ~ GLn) 및 이와 직교하는 행방향으로 연장된 복수의 데이터 라인(DL1 ~ DLm)을 포함하고, 게이트 라인(GL1 ~ GLn)과 데이터 라인(DL1 ~ DLm)의 교차 영역에 마련된 화소를 포함한다. 또한, 화소는 각각이 박막 트랜지스터(T), 액정 커패시터(C1c)를 포함하는 적색(R), 녹색(G), 청색(B) 화소를 포함하고 이들의 조합을 통해 총 천연색을 표시 할 수 있다. 이때, 화소는 유지 커패시터(Cst)를 더 포함할 수 있다. 이러한 액정 표시 패널(3000)은 박막 트랜지스터(T), 게이트 라인(GL1 ~ GLn), 데이터 라인(DL1 ~ DLm) 및 액정 커패시터용 화소 전극이 마련된 박막 트랜지스터 기판(미도시)과, 블랙 매트릭스, 컬러 필터 및 액정 커패시터(C1c)용 공통 전극이 마련된 공통 전극 기판(미도시)을 포함하고, 박막 트랜지스터 기판과 공통 전극 기판 사이에 마련된 액정(미도시)을 포함한다.

<33> 여기서, 박막 트랜지스터(T)의 게이트 단자는 게이트 라인(GL1 ~ GLn)에 접속되고, 소스 단자는 데이터 라인(DL1 ~ DLm)에 접속되며, 드레인 단자는 액정 커패시터(C1c)의 화소 전극에 접속된다. 박막 트랜지스터(T)는 게이트 라인에 인가되는 게이트 턴온 전압에 따라 동작하여 데이터 라인(DL1 ~ DLm)의 데이터 신호(즉, 게조 전압)를 화소 커패시터의 화소 전극에 공급하여 액정 커패시터 양단의 전계를 변화시킨다. 이를 통해 액정 표시 패널(3000) 내측의 액정의 배열을 변화시켜 백라이트로부터 공급된 광의 투과율을 조정할 수 있다.

<34> 여기서, 액정 커패시터(C1c)의 화소 전극에는 액정의 배열 방향을 조정하기 위한 도메인 규제수단으로 다수의 절개 및/또는 돌기 패턴이 마련될 수 있고, 공통 전극에는 돌기 및/또는 절개 패턴이 마련될 수 있다. 본 실시예의 액정은 수직 배향 방식으로 배향되는 것이 바람직하나, 이에 한정되는 것은 아니다.

<35> 상술한 구조의 액정 표시 패널(3000)의 외측에는 액정 표시 패널(3000)의 구동을 위한 신호들을 제공하는 액정 표시 패널 구동부가 마련되며, 액정 표시 패널 구동부는 게이트 드라이버(4600), 소스 드라이버(4200), 구동 전압 생성부(4900), 및 신호 제어부(5000)를 포함한다.

<36> 여기서, 게이트 드라이버(4600) 및/또는 소스 드라이버(4200)는 액정 표시 패널(3000)의 하부 표시판 즉, 박막 트랜지스터 기판 상에 실장될 수도 있고, 별도의 인쇄 회로 기판(Printed Circuit Board; PCB)에 실장된 다음 연성 인쇄 회로 기판(Flexible Printed Circuit Board; FPC)을 통해 전기적으로 접속될 수도 있다. 본 실시예의 게이트 드라이버(4600)와 소스 드라이버(4200)는 적어도 하나의 구동 칩 형태로 제작되어 실장되는 것이 바람직하다. 그리고, 구동 전압 생성부(4900)와 신호 제어부(5000)는 인쇄 회로 기판 상에 실장되어 연성 인쇄 회로 기판을 통해 액정 표시 패널(3000)과 전기적으로 접속되는 것이 바람직하다.

<37> 신호 제어부(5000)는 외부의 그래픽 제어기(도시하지 않음)로부터의 화소 데이터(R, G, B) 및 이의 표시를 제어하는 입력 제어 신호, 예를 들면 수직 동기 신호(Vsync)와 수평 동기 신호(Hsync), 메인 클럭(CLK), 데이터 인에이블 신호(DE) 등을 제공받는다. 이러한 화소 데이터를 액정 표시 패널(3000)의 동작 조건에 맞게 처리하고, 게이트 제어 신호 및 데이터 제어 신호를 생성하고, 게이트 제어 신호를 게이트 드라이버(4600)에 전송한다. 여기서, 화소 데이터는 액정 표시 패널(3000)의 화소 배열에 따라 재배열된다. 그리고, 게이트 제어 신호는 게이트



트 턴온 전압(Von)의 출력 시작을 지시하는 수직 동기 시작 신호(SVsync), 게이트 클럭 신호(CLK\_G) 및 출력 인에이블 신호(OE)등을 포함한다. 데이터 제어 신호는 화소 데이터의 전송 시작을 알리는 수평 동기 시작 신호, 해당 데이터 라인에 데이터 전압을 인가하라는 로드 신호 및 공통 전압에 대한 계조 전압의 극성을 반전시키는 반전 신호 및 데이터 클럭 신호등을 포함한다.

<38> 상기 구동 전압 생성부(4900)는 외부 전원장치로부터 입력되는 외부 전원을 이용하여 액정 표시 장치의 구동에 필요한 다양한 구동 전압들, 예를 들어, 기준 전압(GVDD)과, 게이트 턴온 전압(Von) 및 게이트 턴오프 전압(Voff) 그리고 공통 전압을 생성할 수 있다. 그리고, 구동 전압 생성부(4900)는 신호 제어부(5000)로부터의 제어 신호에 따라 상기 게이트 턴온 전압(Von) 및 게이트 턴오프 전압(Voff)을 게이트 드라이버(4600)에 인가하고, 기준 전압(GVDD)을 소스 드라이버(4200)에 인가한다. 여기서 기준 전압(GVDD)은 액정을 구동시키는 계조 전압 생성을 위한 기준 전압으로 사용된다.

<39> 게이트 드라이버(4600)는 외부의 제어 신호에 따라 구동 전압 생성부(4900)의 게이트 턴온/턴오프 전압(Von/Voff)을 게이트 라인(GL1 ~ GLn)에 인가한다. 이를 통해 각 화소에 인가될 계조 전압이 해당 화소에 인가되도록 해당 박막 트랜지스터(T)를 제어할 수 있게 된다.

<40> 소스 드라이버(4200)는 신호 제어부(5000)의 제어 신호와, 구동 전압 생성부(4900)의 기준 전압(GVDD)을 이용하여 계조 전압을 생성하여 각 데이터 라인(DL1 ~ DLm)에 인가한다. 즉, 소스 드라이버(4200)는 입력된 디지털 형태의 화소 데이터를 상기 기준 전압(GVDD)에 기초하여 아날로그 형태의 데이터 신호(즉, 계조 전압)로 생성한다.

<41> 본 실시예의 소스 드라이버(4200)는 도 2에 도시된 바와 같이 신호 제어부(5000)로부터 인가된 화소 데이터 및 제어신호에 의해 레지스터부(4420)를 제어하는 디지털 제어부(4210)와, 디지털 제어부(4210)에서 인가된 화소 데이터에 의해 샘플링 신호를 순차적으로 전송하는 쉬프트 레지스터부(4422)와 화소 데이터를 일시 저장하는 데이터 레지스터부(4424)를 포함하는 레지스터부(4420)와, 샘플링 신호를 통해 화소 데이터를 샘플링하여 래치(Latch)하는 데이터 래치부(4230)와, 데이터 래치부(4230)로부터 제공되는 화소 데이터가 디지털/아날로그 컨버터(4250)에 입력될 수 있도록 고전압으로 전압의 레벨을 변환시키는 레벨 쉬프터부(4240)와, 레벨이 변환된 화소 데이터를 계조 전압으로 변환시키는 디지털/아날로그 컨버터(Digital to Analog Converter; DAC, 4250) 및 변환된 화소 데이터를 데이터 라인(D1 내지 Dm)에 공급하는 버퍼링부(4260)를 포함한다.

<42> 여기서, 쉬프트 레지스터부(4422)는 디지털 제어부(4210)로부터 제공되는 제어 신호를 기초하여 샘플링 신호를 발생하고, 이를 데이터 래치부(4230)에 공급한다. 데이터 레지스터부(4424)는 신호 제어부(5000)로부터 순차적으로 입력되는 화소 데이터(R, G, B)를 일시 저장한다. 데이터 래치부(4230)는 쉬프트 레지스터부(4422)의 샘플링 신호에 대응하여 데이터 레지스터부(4424)에 일시 저장되어 있는 화소 데이터(R, G, B)를 샘플링 하여 래치한다. 이때, 데이터 래치부(4230)는 각각의 데이터 라인(D1 내지 Dm)에 대응하는 화소 데이터를 동시에 래치하여 출력한다.

<43> 디지털/아날로그 컨버터(4250)는 레벨 쉬프터부(4240)에서 출력된 화소 데이터를 아날로그 형태의 데이터 신호 즉, 계조 전압으로 변환하여 버퍼링부(4260)에 출력하기 위한 것으로서, 레벨별 감마 레퍼런스 신호를 생성하고 레벨 쉬프터부(4240)를 통하여 변환된 화소 데이터에 따라 감마 레퍼런스 전압을 선택할 수 있다. 또한, 이를 위해 디지털/아날로그 컨버터(4250)는 도 2 내지 도 4에 도시된 바와 같이, 전압 분배부(4242)와 디코더부(4247)를 포함할 수 있다. 본 실시예에서는 복수개의 채널(C) 중 하나의 채널(C)을 예로 하여 설명하며, 디지털/아날로그 컨버터(4250)은 10비트(bit) 디지털/아날로그 컨버터(4250)을 예로 하여 설명하기로 한다. 이 경우, 10비트 디지털/아날로그 컨버터(4250)에는 도 5에 도시된 바와 같이 10비트의 화소 데이터가 입력된다.

<44> 전압 분배 수단인 전압 분배부(4242)를 통해 기준 전압(GVDD)을 전압 분배시키고 디코더부(4247)에 의해 복수의 계조 전압으로 출력하여 액정의 광투과도를 변화시킨다.

<45> 전압 분배부(4242)는 레벨별 감마 레퍼런스 전압을 생성하기 위한 것으로서, 제 1 디코더(4244)와 연결되어 제 1 레벨별 감마 레퍼런스 전압을 생성하는 제 1 전압 분배부(4242a)와 제 2 및 제 3 디코더(4245, 4246)와 연결되어 제 2 레벨별 감마 레퍼런스 전압을 생성하는 제 2 전압 분배부(4242b)를 포함한다. 제 1 전압 분배부(4242a)는 구동 전압 생성부(4900)에서 인가된 기준 전압(GVDD)인 감마 전원 전압(Vgamma)과 접지 전압 사이에 직렬로 연결된 다수의 저항 어레이로 구성되어 각 저항의 전압 분배를 통해 소정 계조를 표현하기 위한 제 1 레벨별 감마 레퍼런스 전압을 생성한다. 제 2 전압 분배부(4242b)는 제 2 디코더(4245)에서 선택된 제 2 및 제 3 감마 레퍼런스 전압 사이에 직렬로 연결된 다수의 저항 어레이로 구성되어 각 저항의 전압 분배를 통해 소정 계



조를 표현하기 위한 제 2 레벨별 감마 레퍼런스 전압을 생성한다. 본 실시예는 10비트(Bit) 디지털/아날로그 컨버터(4250)를 예로 하므로 전압 분배부(4242)는 제 1 전압 분배부(4242a)와 제 2 전압 분배부(4242b)의 조합으로 0계조 내지 1023계조를 표현하기 위한 1024개의 레벨별 감마 레퍼런스 전압들을 생성할 수 있다. 또한, 도시되지는 않았지만 전압 분배부(4242)에는 이상적인 감마 커브에 따라 감마 레퍼런스 전압들을 출력할 수 있도록 감마 레퍼런스 전압을 조정할 수 있는 감마 보정 회로가 구비될 수도 있다. 또한, 본 실시예에서는 전압 분배부(4242)를 소스 드라이버의 디지털/아날로그 컨버터(4250)에 포함시켜 구성하였지만, 실시 환경에 따라 전압 분배부(4242)를 소스 드라이버와는 별도의 유닛으로 구성하여 외부 입력으로 디지털/아날로그 컨버터(4250)에 레벨별 감마 레퍼런스 전압을 인가시킬 수도 있다. 즉, 전압 분배부(4242)는 반드시 디지털/아날로그 컨버터(4250) 내에 구비되는 것이 아니라 별도 외부 구성이 가능하며, 소스 드라이버의 외부에 구비될 수도 있다.

<46> 제 1 전압 분배부(4242a)는 감마 전원 전압(Vgamma)과 접지 전압 사이에 직렬 연결된 다수개의 저항 즉,  $2^{L+M}$ 개의 저항을 포함할 수 있다. 본 실시예에서 제 1 전압 분배부(4242a)는  $2^{1+7}$ 개의 저항인 256개의 저항 즉, 제 0 커스(Coarse) 저항 내지 제 255 커스 저항( $R_0 \sim R_{255}$ )으로 구성될 수 있다.

<47> 제 2 전압 분배부(4242b)는 제 2 디코더(4245)에서 출력된 두 개의 전압 사이에 직렬 연결된 다수개의 저항 즉,  $2^N$ 개의 저항을 포함할 수 있다. 본 실시예에서 제 2 전압 분배부(4242b)는  $2^2$ 개의 저항인 4개의 저항 즉, 제 0 파인(Fine) 저항 내지 제 3 파인 저항( $r_0 \sim r_3$ )으로 구성될 수 있다.

<48> 이와 같이 본 실시예에 따른 전압 분배부(4242)는  $2^{1+7}$ 개인 256개의 계조를 표현할 수 있는 제 1 전압 분배부(4242a)와  $2^2$ 개인 4개의 계조를 표현할 수 있는 제 2 전압 분배부(4242b)를 구비하여 10비트인 총 1024개의 계조를 표현할 수 있다.

<49> 디코더부(4247)는 전압 분배부(4242)로부터 화소 데이터에 대응하는 감마 레퍼런스 전압을 선택하기 위한 것으로서, 제 1 내지 제 3 디코더(4244, 4245, 4246)를 포함할 수 있다. 본 실시예에서 디코더부(4247)는 레벨별 감마 레퍼런스 전압을 모두 인가받고, 입력되는 화소 데이터에 따라서 선택된 감마 레퍼런스 전압을 출력하는 풀타입 디코더를 포함할 수 있다. 또한, 본 실시예에 따른 제 1 내지 제 3 디코더(4244, 4245, 4246)는 각각이 트랜지스터로 구성되며, 트랜지스터의 스위칭 작용에 의해 전압 분배부(4242)에서 인가된 레벨별 감마 레퍼런스 전압 중 화소 데이터에 대응하는 감마 레퍼런스 전압을 선택할 수 있다.

<50> 제 1 디코더(4244)는 제 1 감마 레퍼런스 전압을 선택하기 위한 것으로서,  $2^L$ 비트 디코더를 포함할 수 있다. 본 실시예에서는 L을 1로 하여  $2^1$ 비트 즉, 1비트 디코더를 제 1 디코더(4244)로 사용한다. 또한, 분배 저항에 의해 제 1 레벨별 감마 레퍼런스 전압을 선택하기 위해 제 1 디코더(4244)의 입력단은 제 1 전압 분배부(4242a)의 감마 전원 전압(Vgamma)과 접지 전압 사이에 직렬 연결된 제 0 내지 제 255 커스 저항( $R_0 \sim R_{255}$ ) 사이에 연결될 수 있다. 이때, 제 1 디코더(4244)는 화소 데이터에 따라 결정된 계조의 신호 즉, 레벨 쉬프터부(4240)를 통하여 변환된 화소 데이터에 따라 제 1 전압 분배부(4242a)에서 인가된 제 1 레벨별 감마 레퍼런스 전압을 선택할 수 있다. 이는 상기 화소 데이터의 최상위비트(Most Significant Bit; MSB, ①)에 따라 결정될 수 있다. 예를 들어, 제 1 디코더(4244)는 제 0 내지 제 255 커스 저항( $R_0 \sim R_{127}$ )을 제 0 내지 제 127 커스 저항( $R_0 \sim R_{255}$ )과 제 128 내지 제 255 커스 저항( $R_{128} \sim R_{255}$ )으로 나누고, 화소 데이터의 최상위비트(①)가 0일 때 제 0 내지 제 127 커스 저항( $R_0 \sim R_{127}$ )을 선택하고 화소 데이터의 최상위비트(①)가 1일 때 제 128 내지 제 255 커스 저항( $R_{128} \sim R_{255}$ )을 선택하여 1비트 디코더를 구현할 수 있다. 물론, 최상위비트(①)가 0일 때 제 128 내지 제 255 커스 저항( $R_{128} \sim R_{255}$ )을 선택하고, 최상위비트(①)가 1일 때 제 0 내지 제 127 커스 저항( $R_0 \sim R_{127}$ )을 선택할 수도 있다. 물론, L비트가 최상위비트가 아닐 수도 있으며, L비트는 화소 데이터 중 임의의 영역에 위치한 L비트일 수도 있다. 한편, 제 1 디코더(4244)는 서로 대응되도록 접속된 동일한 수의 입력단과 출력단을 갖게 되며, 제 1 디코더(4244)의 출력단에서 출력된 제 1 감마 레퍼런스 전압은 제 2 디코더(4245)에 입력된다.

<51> 제 2 디코더(4245)는 제 2 및 제 3 감마 레퍼런스 전압을 선택하기 위한 것으로서,  $2^M$ 비트 디코더를 포함할 수 있다. 본 실시예에서는 M을 7로 하여  $2^7$ 비트 즉, 7비트 디코더를 제 2 디코더(4245)로 사용한다. 제 2 디코더(4245)는 두 개의 7비트 디코더 즉, 제 2 감마 레퍼런스 전압을 선택하는 제 1 풀타입 디코더(4245a)와 제 3 감마 레퍼런스 전압을 선택하는 제 2 풀타입 디코더(4245b)를 포함할 수 있으며, 제 1 풀타입 디코더(4245a)와 제

2 폴타입 디코더(4245b)에는 각각 동일한 제 1 감마 레퍼런스 전압이 인가된다. 또한, 제 2 디코더(4245)는 레벨 쉬프터부(4240)를 통하여 변환된 화소 데이터에 따라 제 1 디코더(4244)에서 인가된 제 1 감마 레퍼런스 전압 중 어느 하나를 선택할 수 있으며, 이는 화소 데이터의 최하위비트(Least Significant Bit; LSB) 두 자리(③)와 최상위비트(①)를 제외한 나머지 화소 데이터(②)를 이용하여 구현할 수 있다. 예를 들어, 본 실시예와 같이 10비트의 화소 데이터를 이용할 경우, 최하위비트 두 자리(③)인 2비트와 최상위비트(①)인 1비트를 제외한 7비트의 화소 데이터(②)를 이용할 수 있다. 이때, 제 2 디코더(4245)는 제 2 전압 분배부(4242b)에 서로 다른 제 2 및 제 3 감마 레퍼런스 전압을 인가할 수 있으며, 이를 위해 제 1 폴타입 디코더(4245a)에는 7비트의 화소 데이터(②)를 입력하여 제 2 감마 레퍼런스 전압을 생성하고, 제 2 폴타입 디코더(4245b)에는 제 1 폴타입 디코더(4245a)에 인가된 화소 데이터에 1을 더한 값을 입력하여 제 3 감마 레퍼런스 전압을 선택할 수 있다. 물론, 이에 한정되는 것은 아니며, 제 2 디코더(4245)는 화소 데이터 중 임의의 영역에 위치한 M비트에 의해 제 2 및 제 3 감마 레퍼런스 전압을 선택할 수도 있다.

<52> 제 3 디코더(4246)는 제 4 감마 레퍼런스 전압을 선택하기 위한 것으로서, 제 2 전압 분배부(4242b)의 출력 전압을 입력으로 하여 제 4 감마 레퍼런스 전압을 선택할 수 있다. 이때, 제 3 디코더(4246)는  $2^N$ 비트 디코더를 포함할 수 있다. 본 실시예에서는 제 3 디코더(4246)로 N을 2로 하여  $2^2$ 비트 즉, 2비트 디코더를 제 3 디코더(4246)로 사용할 수 있으며, 2비트 디코더인 제 3 디코더(4246)는 10비트의 화소 데이터 중 최하위비트 두 자리(③)에 의해 제 2 전압 분배부(4242b)의 출력 전압 중 어느 하나를 선택할 수 있다. 즉, 제 3 디코더(4246)의 입력단자는 제 2 전압 분배부(4242b)의 제 2 감마 레퍼런스 전압과 제 3 감마 레퍼런스 전압의 입력단 사이에 직렬로 구비된 제 0 파인 저항 내지 제 3 파인 저항( $r_0 \sim r_3$ ) 사이에 각각 접속되며, 화소 데이터에 의해 제 2 감마 레퍼런스 전압과 제 3 감마 레퍼런스 전압의 입력단과 제 0 파인 저항 내지 제 3 파인 저항( $r_0 \sim r_3$ ) 중 어느 하나를 선택하여 분배전압에 의해 최종 감마 레퍼런스 전압인 제 4 감마 레퍼런스 전압을 선택할 수 있다. 물론, 이에 한정되는 것은 아니며, 제 3 디코더(4246)는 화소 데이터 중 임의의 영역에 위치한 N비트에 의해 제 4 감마 레퍼런스 전압을 선택할 수도 있다.

<53> 버퍼링부(4260)는 디지털/아날로그 컨버터(4250)에서 변환된 아날로그 신호 즉, 제 4 감마 레퍼런스 전압과 동일한 전압레벨의 신호를 보다 큰 구동력으로 액정 표시 패널의 소스라인에 공급하기 위한 것으로서, 단일이득앰프를 포함할 수 있다.

<54> 한편, 본 실시예에서는 디코더부(4247)를 1비트 디코더인 제 1 디코더(4244)와 7비트 디코더인 제 2 디코더(4245)와 2비트 디코더인 제 3 디코더(4246)로 분할하였으나, 이에 한정되는 것은 아니며, 본 발명에 따른 디지털/아날로그 컨버터(4250)는 서로 다른 비트인 제 1 내지 제 3 디코더(4244, 4245, 4246)를 포함할 수도 있다. 즉, 본 발명에 따른 디지털/아날로그 컨버터(4250)는  $2^L$ 비트와  $2^M$ 비트 및  $2^N$ 비트를 포함하는 세 개의 디코더를 포함하되, 직렬 연결된  $2^{L+M}$ 개의 저항으로 구성되어  $2^{L+M}$ 개의 제 1 레벨별 감마 레퍼런스 전압을 생성하는 제 1 전압 분배부(4242a)와, L비트의 디지털 신호에 응답하여 제 1 전압 분배부(4242a)를  $2^L$  등분하며  $2^L$  등분된 제 1 전압 분배부 중 어느 한 범위의 출력전압을 선택하는 제 1 디코더(4244)와, M비트의 디지털 신호와 M비트의 디지털 신호에 1을 더한 값에 응답하여 제 1 디코더(4244)의 출력전압 중 연속하는 두 전압(VH, VL)을 선택하여 출력하는 제 2 디코더(4245)와, 직렬 연결된  $2^N$ 개의 저항으로 구성되어 제 2 디코더(4245)의 출력전압을 입력으로 하여  $2^N$ 개의 제 2 레벨별 감마 레퍼런스 전압을 생성하는 제 2 전압 분배부(4242b)와, N비트의 디지털 신호에 응답하여 제 2 전압 분배부(4242b)의 출력전압 중 하나를 선택하여 아날로그 신호로 출력하기 위한 제 3 디코더(4246)를 포함할 수 있다. 이때, L, M, N의 값은 자연수이며, 디지털/아날로그 컨버터(4250)의 비트 수에 따라 가변되는 것이 바람직하다. 물론, 디코더의 개수 역시 가감될 수 있다.

<55> 상술한 본 발명에 따른 디지털/아날로그 컨버터는 도 6을 참조하면, 직렬 접속된 다수의 저항을 구비한 제 1 전압 분배부의 양단에 각기 고 전위 전압과 저 전위 전압을 인가하여 복수의 분배 전압을 생성하는 단계(S1)와, 복수의 분배 전압 중 제 1 감마 레퍼런스 전압을 선택하는 단계(S2)와, 제 1 감마 레퍼런스 전압 중 연속된 제 2 및 제 3 감마 레퍼런스 전압을 선택하는 단계(S3)와, 제 2 및 제 3 감마 레퍼런스 전압을 직렬 접속된 다수의 저항을 구비한 제 2 전압 분배부의 양단에 인가하여 복수의 분배 전압을 생성하는 단계(S4)와, 복수의 분배 전압 중 제 4 감마 레퍼런스 전압을 선택하는 단계(S5)를 포함한다.

<56> 직렬 접속된 다수의 저항을 구비한 제 1 전압 분배부의 양단에 각기 고 전위 전압과 저 전위 전압을 인가하여 복수의 분배 전압을 생성하는 단계(S1)는 감마 전원 전압(Vgamma)과 접지 사이에 다수의 저항, 즉, 제 0 내지

제 255 커스 저항( $R_0 \sim R_{255}$ )이 직렬로 구비된 제 1 전압 분배부(4242a)를 마련하고, 감마 전원 전압( $V_{\gamma}$ )과 접지 및 제 0 내지 제 255 커스 저항( $R_0 \sim R_{255}$ ) 각각의 사이에 제 1 디코더(4244)의 입력단을 연결하여 감마 전원 전압( $V_{\gamma}$ )을 이용하여 복수의 분배 전압 즉, 제 1 레벨별 감마 레퍼런스 전압을 생성한다.

<57> 복수의 분배 전압 중 제 1 감마 레퍼런스 전압을 선택하는 단계(S2)는 제 1 레벨별 감마 레퍼런스 전압 중 최상위비트의 화소 데이터에 의해서 제 1 감마 레퍼런스 전압을 선택한다. 이때, 제 1 전압 분배부에 구비된 다수개의 저항인 커스 저항은 제 1 디코더(4244)에 입력된 화소 데이터에 따라 등분된다.

<58> 이는 도 7a에 도시된 바와 같이 예를 들어, 디코더부(4247)에 화소 데이터 '0000000101'이 입력될 경우, 최상위비트(㉠)가 0이므로 최상위비트(㉠) 0과 최상위비트(㉠) 0의 반전값인 D1과 D1B가 제 1 디코더(4244)에 입력된다. 이때, 최상위비트(㉠)가 한자리 수 즉, 1비트 이므로, 제 1 전압 분배부(4242a)에 구비된 커스 저항은  $2^1$ 등분되어 제 0 내지 제 127 커스 저항( $R_0 \sim R_{127}$ )과 제 128 내지 제 255 커스 저항( $R_{128} \sim R_{255}$ )으로 나뉜다. 또한, 제 1 디코더(4244)는 입력된 D1 및 D1B에 의해 제 1 레벨별 감마 레퍼런스 전압 중 제 0 내지 제 127 커스 저항( $R_0 \sim R_{127}$ )에 대응하는 제 1 감마 레퍼런스 전압(㉡)이 선택되어 제 2 디코더(4245) 즉, 제 1 폴타입 디코더(4245a)와 제 2 폴타입 디코더(4245b)에 각각 인가된다. 물론, 본 실시예에서는 제 1 디코더(4244)에 화소 데이터의 최상위비트(㉠) 값인 D1과 이의 반전값인 D1B를 입력하였으나, 이에 한정되는 것은 아니며, 화소 데이터의 최상위비트(㉠) 값인 D1만을 제 1 디코더(4244)의 입력으로 할 수도 있다. 하지만, 제 1 디코더(4244)의 트랜지스터 수를 감소시키기 위해 D1과 이의 반전값인 D1B를 입력으로 하는 것이 바람직하다. 또한, 본 실시예에서는 제 1 디코더(4244)의 화소 데이터 입력단을 두 개로 하였으나, 이에 한정되는 것은 아니며, D1에 의해 온되는 트랜지스터와 D1B에 의해 온되는 트랜지스터를 구비하여 하나의 입력단만을 구비할 수도 있다.

<59> 제 1 감마 레퍼런스 전압 중 연속된 제 2 및 제 3 감마 레퍼런스 전압을 선택하는 단계(S3)는 제 1 감마 레퍼런스 전압 중 최상위비트와 최하위비트 N자릿수를 제외한 화소 데이터에 대응하는 제 2 및 제 3 감마 레퍼런스 전압(㉢)을 선택한다.

<60> 이는 제 2 디코더(4245) 중 제 1 폴타입 디코더(4245a)에는 최하위비트 두 자리(㉣)인 2비트와 최상위비트(㉠)인 1비트를 제외한 7비트의 화소 데이터(㉡) '0000010'에 대응하는 D2, D3, D4, D5, D6, D7, D8과 이의 반전값인 D2B, D3B, D4B, D5B, D6B, D7B, D8B가 입력되고, 제 2 폴타입 디코더(4245b)에는 제 1 폴타입 디코더(4245a)에 입력된 '0000001'에 1을 더한 값인 '0000010'에 대응하는 D2, D3, D4, D5, D6, D7, D8+1과 이의 반전값인 D2B, D3B, D4B, D5B, D6B, D7B, (D8+1)B가 입력된다. 따라서, 도 7b에 도시된 바와 같이 제 1 폴타입 디코더(4245a)는 입력된 화소 데이터에 따라 제 1 디코더(4244)에 의해서 선택된 제 0 내지 제 127 커스 저항( $R_0 \sim R_{127}$ )에 대한 제 1 감마 레퍼런스 전압 중 2번째 커스 저항인 제 1 커스 저항( $R_1$ )에 대한 제 2 감마 레퍼런스 전압이 선택되어 제 2 전압 분배부(4242b)의 일단에 인가된다. 또한, 제 2 폴타입 디코더(4245b)는 입력된 화소 데이터에 따라 제 1 디코더(4244)에 의해서 선택된 제 0 내지 제 127 커스 저항( $R_0 \sim R_{127}$ )에 대응하는 제 1 감마 레퍼런스 전압 중 3번째 커스 저항인 제 2 커스 저항( $R_2$ )에 대한 제 3 감마 레퍼런스 전압이 선택되어 제 2 전압 분배부(4242b)의 타단에 인가된다.

<61> 제 2 및 제 3 감마 레퍼런스 전압을 직렬 접속된 다수의 저항을 구비한 제 2 전압 분배부의 양단에 인가하여 복수의 분배 전압을 생성하는 단계(S4)는 제 2 및 제 3 감마 레퍼런스 전압 사이에 다수의 저항, 즉, 제 0 내지 제 4 파인 저항( $r_0 \sim r_4$ )을 직렬로 구비한 제 2 전압 분배부(4242b)를 마련하고, 제 2 및 제 3 감마 레퍼런스 전압과 제 0 내지 제 4 파인 저항( $r_0 \sim r_4$ ) 각각의 사이에 제 3 디코더(4246)의 입력단을 연결하여 제 2 및 제 3 감마 레퍼런스 전압을 이용하여 복수의 분배 전압 즉, 제 2 레벨별 감마 레퍼런스 전압을 생성한다.

<62> 이는 도 7c에 도시된 바와 같이, 제 2 전압 분배부(4242b)는 제 2 디코더(4245)에서 인가된 제 2 감마 레퍼런스 전압과 제 3 감마 레퍼런스 전압에 따라 0 내지 3 계조로 구분된 제 2 레벨별 감마 레퍼런스 전압을 생성한다.

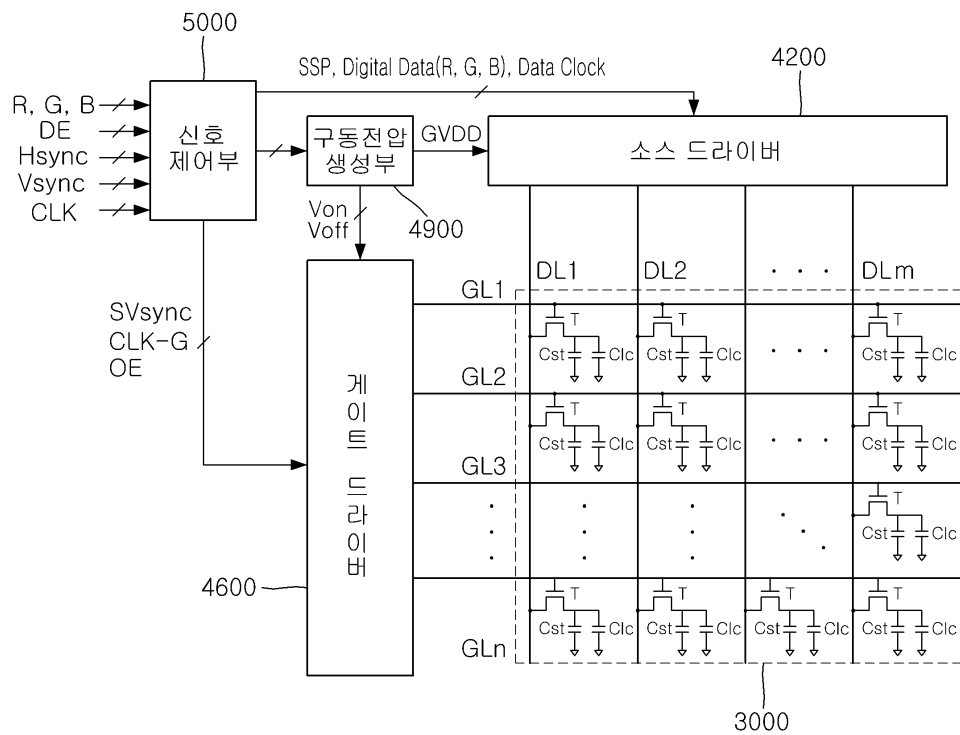
<63> 복수의 분배 전압 중 제 4 감마 레퍼런스 전압을 선택하는 단계(S5)는 0 내지 3 계조로 구분된 제 2 레벨별 감마 레퍼런스 전압 중 화소 데이터의 N비트 자릿수에 대응하는 제 4 감마 레퍼런스 전압을 선택한다.

<64> 도 7c를 참조하면, 제 3 디코더(4246)에는 화소 데이터 '0000000101' 중 최하위비트 두 자리(㉣)인 '01'에 대응하는 D9, D10과 이의 반전값인 D9B, D10B가 입력되며, 이에 의해 제 2 레벨별 감마 레퍼런스 전압 중 제 1 커스 저항( $R_1$ )과 제 2 커스 저항( $R_2$ )의 2/4값인 제 1 파인 저항( $r_1$ )의 전압값을 최종 제 4 감마 레퍼런스 전압(㉤)으

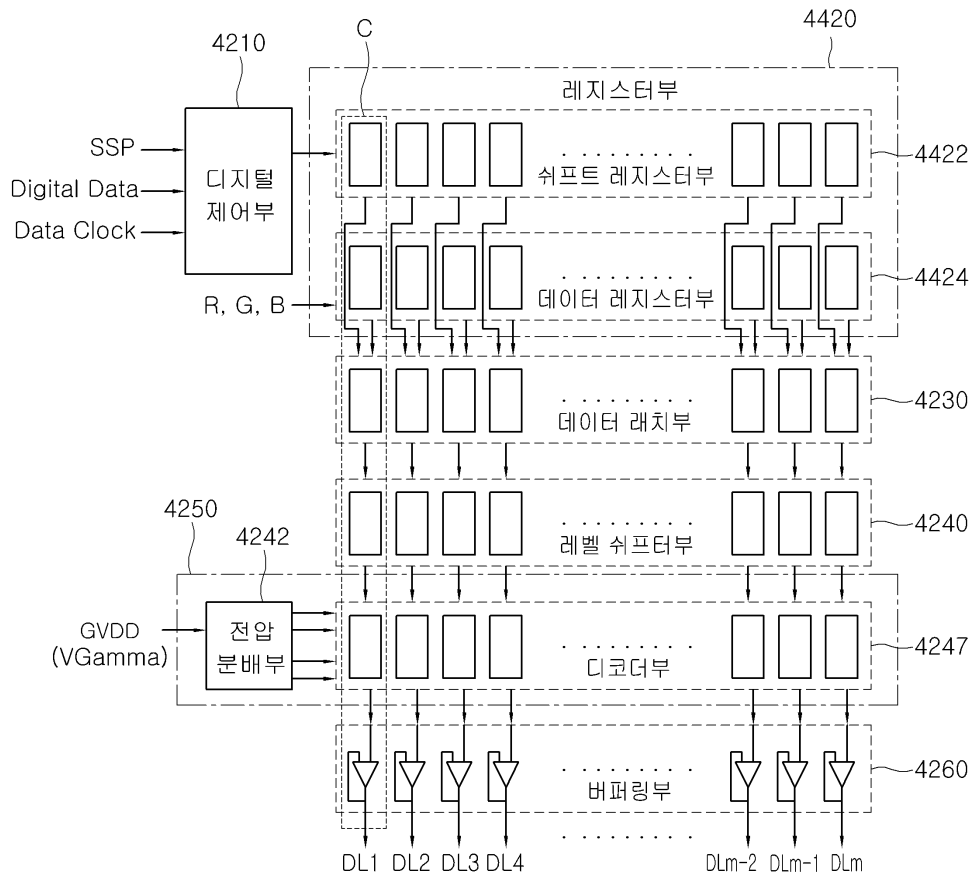


도면

도면1

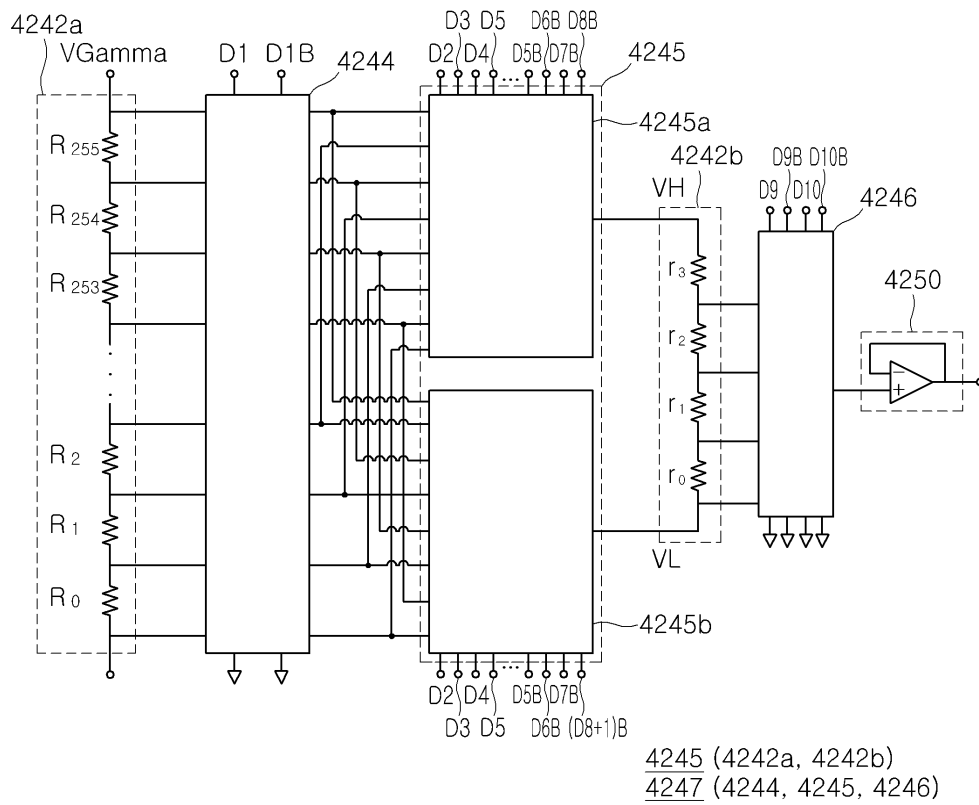


도면2

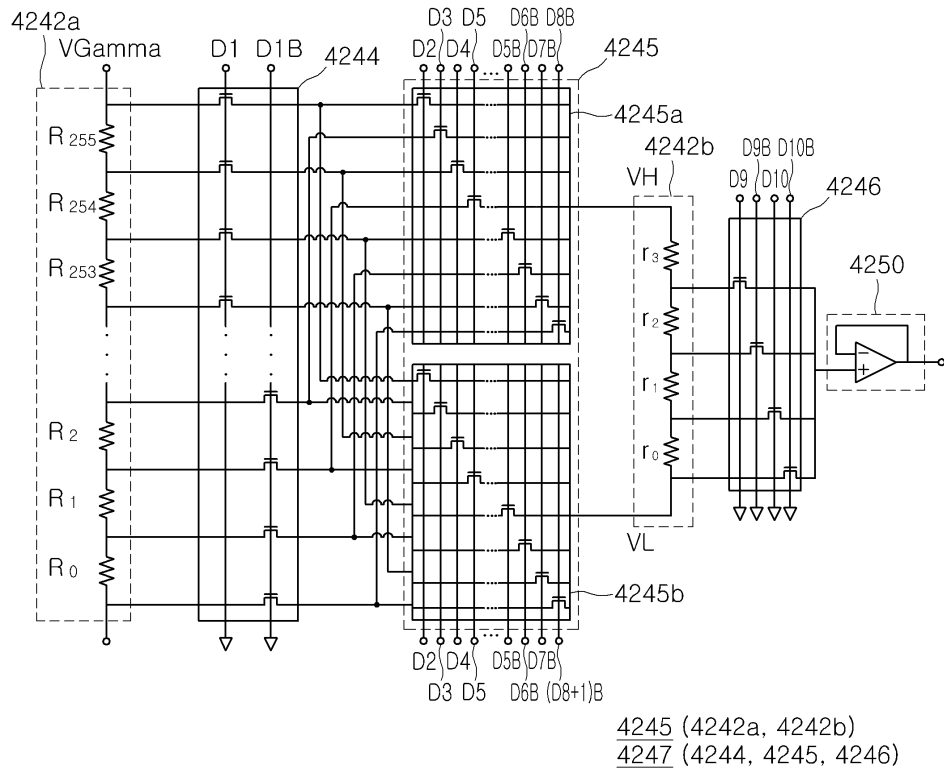




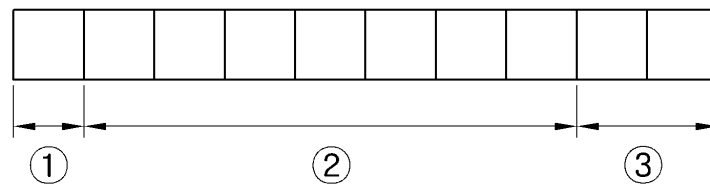
도면3



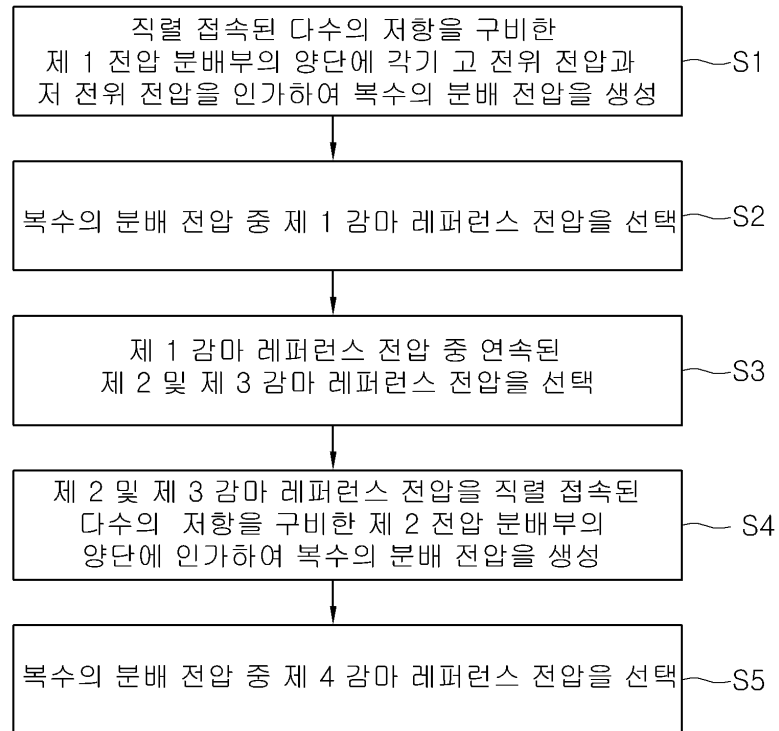
도면4



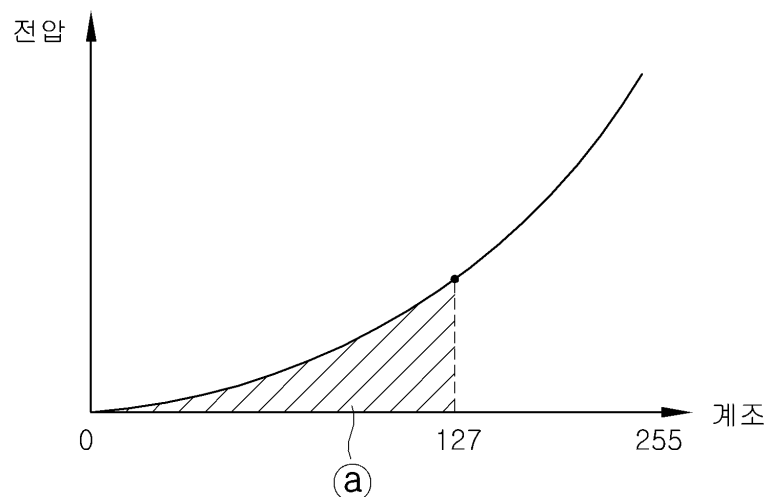
도면5



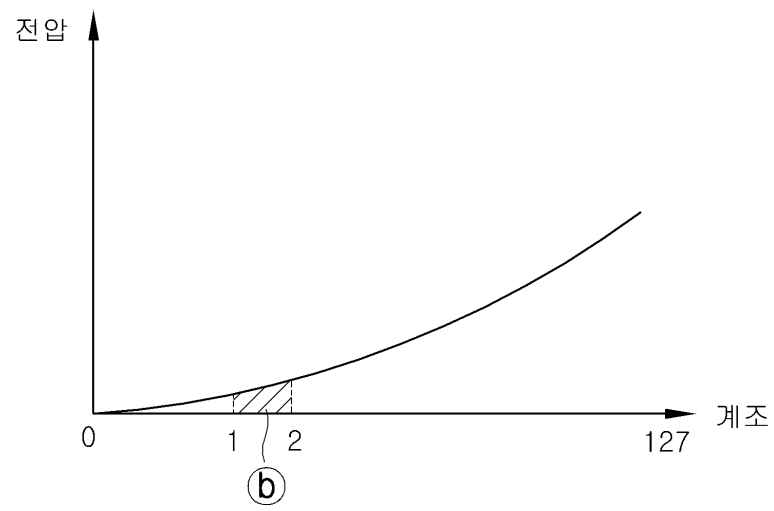
도면6



도면7a



도면7b



도면7c

