(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3904427号
(P3904427)
(45)発行日　平成19年4月11日(2007.4.11)　(24)登録日　平成19年1月19日(2007.1.19)

(51)Int.Cl.　F I
H04N 1/028 (2006.01)　H04N 1/028 A

請求項の数 2 (全 8 頁)

(21)出願番号　特願2001-323082(P2001-323082)
(22)出願日　平成13年10月22日(2001.10.22)
(65)公開番号　特開2002-165062(P2002-165062A)
(43)公開日　平成14年6月7日(2002.6.7)
審査請求日　平成16年10月21日(2004.10.21)
(31)優先権主張番号　09/704173
(32)優先日　平成12年10月31日(2000.10.31)
(33)優先権主張国　米国(US)

(73)特許権者　398038580
ヒューレット・パッカード・カンパニー
ＨＥＷＬＥＴＴ－ＰＡＣＫＡＲＤ　ＣＯＭＰＡＮＹ
アメリカ合衆国カリフォルニア州パロアルト　ハノーバー・ストリート　３０００
(74)代理人　100075513
弁理士　後藤　政喜
(74)代理人　100084537
弁理士　松田　嘉夫
(72)発明者　カート・イー・スピアーズ
アメリカ合衆国　コロラド８０５２５、スピナッカーレーンフォートコリンズ　３１９

最終頁に続く

(54)【発明の名称】光センサ・アレイ

(57)【特許請求の範囲】
【請求項１】
走査方法において
第１の露光時間の間に複数の光センサ要素を露光する段階と、
複数の光センサ要素から前記第１の露光時間の間に生じた電荷を前記複数の光センサ要素から電荷シフト・レジスタに転送する段階とを含み、
前記電荷シフト・レジスタ内の少なくともいくつかの段が、前記第１の露光時間の間に複数の光センサ要素から生じた電荷を蓄積し、
さらに、第２の露光時間の間に前記光センサ要素を露光する段階と、
前記光センサ要素から前記電荷シフト・レジスタに前記第２の露光時間の間に生じた電荷を転送する段階とを含み、
前記電荷シフト・レジスタ内で、前記第１の露光時間の間に生じる電荷と前記第２の露光時間の間に生じる電荷が交互に配置される走査方法。
【請求項２】
第１の露光時間の間に第１および第２の光センサ要素を露光する段階と、
前記第１の光センサ要素から電荷シフト・レジスタの第１の段に第１の電荷を転送する段階と、
前記電荷シフト・レジスタの前記第１の段から前記電荷シフト・レジスタの第２の段に前記電荷をシフトする段階と、
前記第２の光センサ要素から、前記第１の露光時間の間に生じる第２の電荷を前記電荷

シフト・レジスタの前記第２の段に転送し、それにより前記電荷シフト・レジスタの前記第２の段に、前記第１および第２の電荷を蓄積する段階と、
　第２の露光時間の間に前記第１の光センサ要素を露光して、第３の電荷を得る段階と、
　前記第３の電荷を前記第１の光センサ要素から前記電荷シフト・レジスタの前記第１の段に転送し、それにより前記第３の電荷を、前記電荷シフト・レジスタ内の前記蓄積された第１および第２の電荷と交互に配置する段階と、を含む走査方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、一般に、光学的イメージ・スキャナおよびカメラに使用される光センサ・アレイに関し、より具体的には、一般に光学的イメージ・スキャナに使用されるライン・アレイに関する。

【０００２】

【従来の技術】

イメージ・スキャナは、文書または写真上の可視像あるいは透過媒体内の像を、コンピュータによる複写、記憶または処理に適した電子形式に変換する。イメージ・スキャナは、個別の装置でもよく、あるいはイメージ・スキャナは、複写機の一部、ファクシミリ装置の一部、または多目的装置の一部でもよい。反射型イメージ・スキャナは、一般に、制御された光源を備え、光が、文書の表面から、光学システムを通り、光電素子のアレイ上に反射される。光電素子は、受け取った光の強度を電子的な信号に変換する。透過型イメージ・スキャナは、光を、たとえば写真ポジ・スライドなどの透過性の画像に通過させ、光学システムを介して、光電素子のアレイ上に当てる。

【０００３】

一般に、イメージ・スキャナは、光学レンズ・システムを使用して画像を光センサ・アレイ上に収束させる。光センサ・アレイは、一般に、数千個の個別の光電要素を有する。各光電要素は、スキャナの光学システムと協力して、走査している像の画素（ピクセル）を定義する文書上の有効領域からの光の強度を測定する。光サンプリング・レートは、しばしば、走査している文書（あるいは、物体またはトランスペアレンシ）上で測定した１インチ（または１ｍｍ）当たりの画素数として表される。また、走査している文書で測定された光サンプリング・レートは、入力サンプリング・レートと呼ばれる。

【０００４】

イメージ・スキャナの光センサ・アレイは、一般に、３列または４列のセンサを有し、各列が、たとえば赤、緑、青の異なる帯域の波長の光を受け取る。各列は、フィルタが付けられる、あるいは白色光が、ビーム・スプリッタによって異なる帯域の波長に分離されることがある。各列のセンサは、走査線と呼ばれる文書上の１本の線から光を受け取る。一般に、ピッチ（個々の光センサ要素の間隔）は、各列で同じであり、一般に、このピッチは、指定された固有入力サンプリング・レートを実現するように設定される。

【０００５】

固有入力サンプリング・レートは、光学素子および個々のセンサのピッチによって決定される。スキャナのオペレータは、選択した画素を単に欠落させるかあるいはディジタル再サンプリング技術を使用することによって、固有入力サンプリング・レートよりも低いサンプリング・レートを選択することができる。あるいは、スキャナのオペレータは、中間値を補間によって計算する場合は固有入力サンプリング・レートよりも高いサンプリング・レートを選択することができる。一般に、電荷または電圧がすべて、光センサ・アレイから読み取られ、次にディジタル化され、次に得られたディジタル画素データにサブサンプリングまたは補間が実行される。

【０００６】

一般の光センサ技術は、電荷結合素子（ＣＣＤ）、電荷注入素子（ＣＩＤ）、相補型金属酸化物半導体素子（ＣＭＯＳ）および太陽電池を含む。一般に、ＣＩＤまたはＣＭＯＳアレイの場合、各光電要素は、アドレス指定可能である。これと対照的に、ＣＣＤライン・

アレイは、一般に、電荷を測定可能な電圧に変換するために、すべての電荷がバケツツ・リレー式に次々と各ラインの光電要素から少数のセンス・ノードに送られる。本発明は、主に、シリアル読出しレジスタとも呼ばれるシリアル電荷シフト・レジスタを有する光センサ・アレイに関する。

【０００７】

代表的なＣＣＤライン・アレイの場合、露光時間中センサに光が当てられ、シフト・レジスタを充電するために電荷が転送ゲートから並列に送られ、電荷が、センス・ノードに次々とシフトされ、電荷が測定される（アナログ－ディジタル変換）。Ｎを１列当たりのセンサ数、T_sを電荷シフト・レジスタ内のある段から次の段に電荷をシフトするシフト時間、およびT_cを１つの電圧測定のためのアナログ－ディジタル変換時間（増幅器遅延を含む）とする。露光後に１つの走査線を処理するのに必要な合計時間は、約$N\times(T_s+T_c)$である。Ｎが大きくなり、他のすべてのパラメータが一定のままならば、各走査線を処理するのに必要な時間が長くなる。一般に、ある走査線が露光されている間にその前の走査線が変換されており、一般に、露光時間は、１つの線の処理時間よりも長いかまたはそれと同じである。

【０００８】

【発明が解決しようとする課題】

イメージ・スキャナの小売り市場では、固有入力サンプリング・レートは、約３年ごとに２倍になってきた。現在では、多くの作業に必要な入力サンプリング・レートをはるかに超える固有入力サンプリング・レートを有するイメージ・スキャナが入手可能である。たとえば、光学式文字認識（ＯＣＲ）に必要な光サンプリング・レートは、多くの場合、一般に入手可能なイメージ・スキャナの固有入力サンプリング・レートよりもはるかに低い。ＯＣＲなどの作業の場合、一般にスキャナからのデータがサブサンプリングされ、その結果、たとえば４分の３のデータが単に廃棄されてしまう。しかしながら、そのほとんどが使用されないすべての電荷をシフトし変換する時間が必要とされる。

【０００９】

本発明は、固有入力サンプリング・レートよりも低い光サンプリング・レートを必要とする作業の走査時間を短縮することを目的とする。

【００１０】

【課題を解決するための手段】

光センサ・アレイは、論理的にセクションに分割された転送ゲートを有し、各セクションが個別に制御される。電荷シフト・レジスタのシフトと組み合わされた転送ゲート・セクションのシーケンス制御によって、電荷シフト・レジスタの各段が、複数のセンサ要素からの電荷を蓄積することができる。次に、複数の走査線が、電荷シフト・レジスタ内に部分的にインターリーブされる（つまり相互干渉しない状態で交互配置される）。

【００１１】

実施形態において、第１の走査線に関して、４つの隣り合ったセンサ要素からの電荷が、１つの電荷シフト・レジスタ段に蓄積され、その結果、電荷シフト・レジスタ段の４分の１だけが使用される。第２の走査線の露光は、第１の走査線の処理と部分的に重なる。４つのセンサ要素からの電荷が蓄積されるので、露光時間を４分の１に短縮することができる。第２の走査線の露光中に、第１の走査線の約４分の１が処理される（シフティング、増幅、アナログ－ディジタル変換等の処理）。次に、第２の走査線に関して、４つの隣り合ったセンサ要素からの電荷が、１つの電荷シフト・レジスタ段に蓄積され、その結果、第２の走査線が、第１の走査線の一部分とインターリーブされる。このプロセスが繰り返され、電荷シフト・レジスタ内に最大４つの走査線が部分的にインターリーブされる。電荷シフト・レジスタのアナログ-ディジタル変換器に最も近い部分が、本質的に完全にインターリーブされる。電荷のインターリーブ（交互配置）および結合によって、本質的にアナログ－ディジタル変換器からのすべてのデータが使用される。露光時間を短縮し、変換時間をより効率よく使用する結果、必要なデータだけを取得するのに必要な全体の時間が実質的に短縮される。たとえば、固有入力サンプリング・レートの４分の１でデータを

取得する場合に必要な全体の時間が、固有入力サンプリング・レートでデータを取得するのに必要な時間のほぼ４分の１に短縮される。

【００１２】

【発明の実施の形態】

図１は、本発明による光センサ・アレイの実施例を示す。図１のアレイは、１列の光センサ要素１００、１列の電荷転送ゲート１０２、および電荷シフト・レジスタ１０４を有する。図１では、説明のために１０個の光センサ要素だけを示しているが、実際には１０，０００個のオーダーの光センサ要素を有する。光センサ要素１００は、露光され、次に電荷が電荷転送ゲート１０２から電荷シフト・レジスタ１０４に送られ、電荷シフト・レジスタ内の電荷が増幅器１０８に次々とシフトされ、次にアナログ－ディジタル変換（図示せず）される。従来技術の光センサ・アレイでは、電荷をすべての光センサ要素から電荷シフト・レジスタに同時に送ることが一般的である。これに対して、図１の光センサ・アレイでは、電荷は、電荷転送ゲート１０２に対する制御線１０６によって制御されながら、光センサ要素１００から電荷シフト・レジスタ１０４にグループで転送される。図１の実施例において、電荷転送ゲートは、論理的に４つのグループに分割され、４分の１の電荷または４分の１の整数倍の電荷を１度に転送することができる。電荷転送ゲートを４つのグループに論理的に分割する選択肢は、単に説明のためであり、電荷転送ゲートは、論理的に任意の整数のグループに分割することができる。

【００１３】

図２ａ～図２ｄは、光センサ・アレイを示し、分かりやすくするために電荷転送ゲートと制御線が除去されている。図２ａにおいて、１６個の光センサからなるライン・アレイ２００が、電荷を電荷シフト・レジスタ２０２に送る。最初の露光時間の後で、光センサ要素３、７、１１および１５からの電荷が、電荷シフト・レジスタに送られる。図２ｂのように、電荷転送レジスタ２０２内の電荷が、右側に１段シフトされる。図２ｃのように、光センサ要素２、６、１０および１４からの電荷が、既に電荷シフト・レジスタ内にある光センサ３、７、１１および１５からの電荷にそれぞれ追加される。このシフトと追加がさらに２回繰り返され、その結果、図２ｄに示したように、４つの光センサ要素のブロックからの電荷が、電荷シフト・レジスタ２０２の４番目ごとの段に蓄積され、他のすべての電荷シフト・レジスタ段は、ノイズに伴う電荷以外はなくなる。このように、事実上、１本の走査線の電荷は、走査線範囲における固有サンプリング・レートの４分の１で、電荷シフト・レジスタ２０２内にあり、４番目ごとの段を占有する。

【００１４】

図２ｄに示した状態において、光センサ・ライン・アレイ２００は、第２の走査線を受ける準備ができている。４つの光センサからの電荷が足し合わされるため、通常の露光時間の４分の１しか必要ない。通常の露光時間が、１６個の電荷を処理（増幅とアナログ－ディジタル変換）するのに必要な時間とほぼ同じであると仮定すると、第２の走査線の露光中に、電荷シフト・レジスタ２０２の段の約４分の１からの電荷を処理することができる。

【００１５】

図３ａ～図３ｇは、図２ａ～図２ｄに示したプロセスの続きであるが、多重化の説明を容易にするために、電荷シフト・レジスタ内にさらに多くの段を有する。図３ａは、図２ｄに対応し、電荷シフト・レジスタの４番目ごとの段に電荷が蓄積される。第２の露光時間中に、電荷シフト・レジスタ内の電荷の約４分の１（つまり、右側の約４分の１の電荷シフト・レジスタ内にある電荷）が処理され、それにより、第２の露光後に、シフト・レジスタの状態は、図３ｂに示したようになる。詳細には、図３ｂにおいて、図３ａに対して、電荷が、右側に３０回シフトされている。シフト・レジスタの左側の４分の１は空であり、右側の４分の３は、４番目ごとの段に電荷を有する。その後で、図２ａ～図２ｄに示したプロセスが繰り返され、シフト・レジスタの４番目ごとの段に新しい電荷が蓄積される。４つの電荷が蓄積された後で、図３ｃに示したような結果となる。図３ｃにおいて、図３ｂに対して、電荷が、右側に３回シフトされている。第３の露光時間中、電荷シフト

・レジスタ内の電荷の約４分の１が処理され、それにより、第３の露光後に、シフト・レジスタの状態は、図３ｄに示したようになる。図３ｄにおいて、シフト・レジスタの左側の４分の１は空であり、次の４分の１は４分の１だけ一杯であり、後半の半分は、半分のみ一杯である。次に、図２ａ～図２ｄに示したプロセスが繰り返され、シフト・レジスタの４番目ごとの段に新しい電荷が蓄積される。４つの電荷が蓄積された後、結果は、図３ｅに示したようになる。第４の露光時間中に、電荷シフト・レジスタ内の電荷の約４分の１が処理され、その結果、第４の露光後に、シフト・レジスタの状態は、図３ｆに示したようになる。図３ｆにおいて、シフト・レジスタの左側の４分の１は空であり、次の４分の１は、４分１だけ一杯であり、次の４分の１は、半分が一杯であり、次の４分の１は、４分の３が一杯である。この場合も、４つの電荷が蓄積され、図３ｇの結果となり、このとき、増幅器に最も近い電荷シフト・レジスタの４分の１が一杯である。したがって、５回目の露光後には、すべての変換から、使用されるデータを生じることになる。

【００１６】

図２ａ～図２ｄの例において、４分の１の固有サンプリング・レートで走査するために、図１と同じような分割転送ゲート構成が使用されていることに注意されたい。しかしながら、また、図１に示した構成を使用して、すべての光センサ要素から電荷シフト・レジスタに同時に電荷を転送することによって、固有入力サンプリング・レートで走査することができることに注意されたい。あるいは、図１に示した構成を使用して、走査線範囲における半分の固有サンプリング・レートで走査を実現することができる。もう一度述べると、転送ゲートを４つに分割することは単なる例であり、電荷転送ゲートは、論理的に任意の整数のグループに分割することができる。

【００１７】

１つの光センサ・ライン・アレイに２つの電荷シフト・レジスタを設けることは既知である。この構成は、バイリニア読出しと呼ばれることがある。一般に、偶数番号の光センサが、第１の電荷シフト・レジスタに電荷を転送し、奇数番号の光センサが、第２の電荷シフト・レジスタに電荷を転送する。次に、シフティングと変換を並列に行うことによって、シフティングとアナログ－ディジタル変換の時間が、半分に短縮される。図１に示したような分割電荷転送ゲートは、バイリニア読出し構成に等しく適用可能であり、２つの転送ゲートがそれぞれセクションに分割され、各セクションが別々に制御される。

【００１８】

本発明の以上の説明は、例示と説明のために提示された。網羅的なものではなくまた本発明を開示された厳密な形態に制限するものでもなく、上記の教示を考慮して他の修正および変形が可能である。実施形態は、本発明の原理とその実際の応用例を最もよく説明し、それにより当業者が本発明を意図された特定の使用に適したような様々な実施形態および様々な変更で利用することができるように、選択され説明された。併記の特許請求の範囲は、従来技術によって制限された範囲を除く本発明の他の代替実施形態を含むように解釈されるべきである。

【００１９】

上記した実施形態は、以下の発明を含んでいる。

【００２０】

（１）第１の露光時間の間に光センサ要素（１００、２００）を露光する段階と、電荷を前記光センサ要素から電荷シフト・レジスタ（１０４、２０２）に転送する段階とを含み、前記電荷シフト・レジスタ内の少なくともいくつかの段が、前記第１の露光時間の間に複数の光センサ要素から生じた電荷を蓄積する走査方法。

【００２１】

（２）第２の露光時間の間に前記光センサ要素を露光する段階と、前記光センサ要素から前記電荷シフト・レジスタに電荷を転送する段階とを含み、前記電荷シフト・レジスタ内で、前記第１の露光時間の間に生じる電荷と前記第２の露光時間の間に生じる電荷がインターリーブ（相互干渉しない状態で交互配置）される上記（１）に記載の方法。

【００２２】

（３）第１の露光時間の間に第１および第２の光センサ要素（１００、２００）を露光する段階と、前記第１の光センサ要素から電荷シフト・レジスタ（１０４、２０２）の第１の段に第１の電荷を転送する段階と、前記電荷シフト・レジスタの前記第１の段から前記電荷シフト・レジスタの第２の段に前記電荷をシフトする段階と、前記第２の光センサ要素から、前記第１の露光時間の間に生じる第２の電荷を前記電荷シフト・レジスタの前記第２の段に転送し、それにより前記電荷シフト・レジスタの前記第２の段に、前記第１および第２の電荷を蓄積する段階とを含む走査方法。

【００２３】

（４）第２の露光時間の間に前記第１の光センサ要素を露光して、第３の電荷を得る段階と、前記第３の電荷を前記第１の光センサ要素から前記電荷シフト・レジスタの前記第１の段に転送し、それにより前記第３の電荷を、前記電荷シフト・レジスタ内の前記蓄積された第１および第２の電荷とインターリーブする段階とをさらに含む上記（３）に記載の方法。

【図面の簡単な説明】

【図１】本発明による光センサ・アレイの実施例のブロック図である。

【図２】図２ａ～図２ｄは、複数の電荷をレジスタ段に蓄積する時間シーケンスを示すブロック図である。

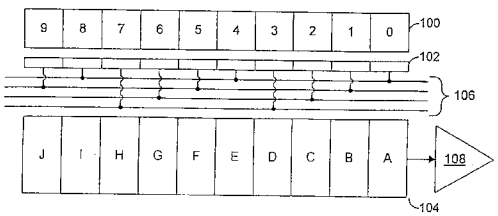
【図３】図３ａ～図３ｇは、蓄積された電荷をレジスタ段に多重化する時間シーケンスを示すブロック図である。

【符号の説明】

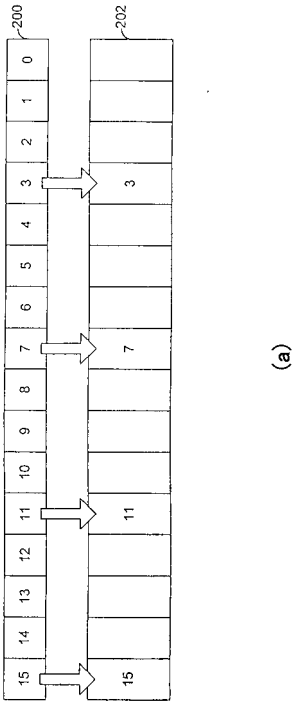
１００、２００　光センサ要素

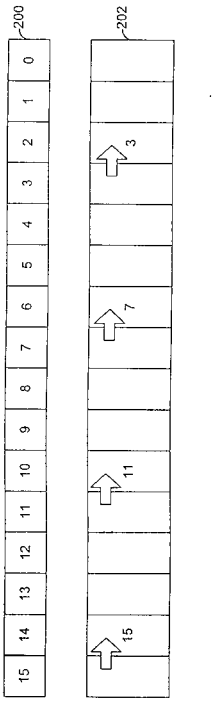
１０４、２０２　電荷シフト・レジスタ

【図１】

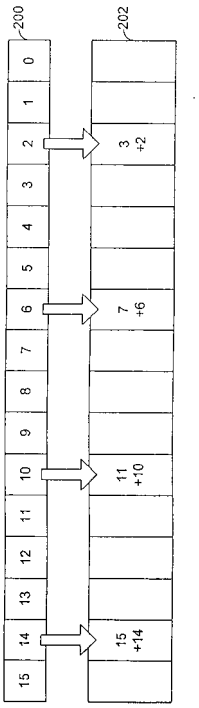


【図２】



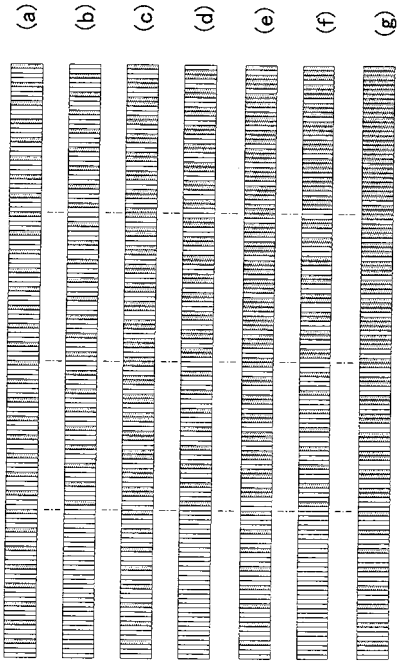

200
202
0
1
2
3
4
5
6
7
8
9
10
11
12
13
14
15
3
7
11
15

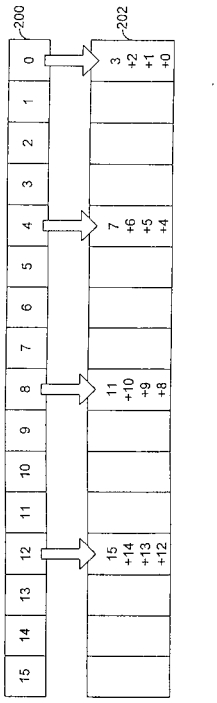
(b)


200
202
0
1
2
3
4
5
6
7
8
9
10
11
12
13
14
15
3 +2
7 +6
11 +10
15 +14

(c)

【図３】


(a)
(b)
(c)
(d)
(e)
(f)
(g)


200
202
0
1
2
3
4
5
6
7
8
9
10
11
12
13
14
15
3 +2 +1 +0
7 +6 +5 +4
11 +10 +9 +8
15 +14 +13 +12

(d)

フロントページの続き

審査官　渡辺　努

(56)参考文献　特開平０６－０７８１１２（ＪＰ，Ａ）
特開昭６１－１８９０７８（ＪＰ，Ａ）
特開２００１－２４４４４８（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H04N 1/024-1/028