(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第4044204号
(P4044204)

(45)発行日　平成20年2月6日(2008.2.6)　(24)登録日　平成19年11月22日(2007.11.22)

(51)Int.Cl.		F I		
G11C 16/02	(2006.01)	G11C	17/00	611F
G11C 16/04	(2006.01)	G11C	17/00	622C

請求項の数 23　(全 22 頁)

(21)出願番号	特願平10-77261
(22)出願日	平成10年3月25日(1998.3.25)
(65)公開番号	特開平11-297080
(43)公開日	平成11年10月29日(1999.10.29)
審査請求日	平成12年3月3日(2000.3.3)
審判番号	不服2004-22446(P2004-22446/J1)
審判請求日	平成16年11月1日(2004.11.1)

(73)特許権者　598039493
マクロニクス　インターナショナル　カンパニー　リミテッド
台湾　シン　チュ　サイエンス　ベースド　インダストリアル　パーク　クリエイション　ロード　サード　３
(74)代理人　100059959
弁理士　中村　稔
(74)代理人　100067013
弁理士　大塚　文昭
(74)代理人　100065189
弁理士　宍戸　嘉一
(74)代理人　100074228
弁理士　今城　俊夫

最終頁に続く

(54)【発明の名称】隣接セルを擾乱せずにバーチャルグラウンドＥＰＲＯＭアレイセルをプログラムする装置及び方法

(57)【特許請求の範囲】

【請求項１】

隣接セルに記憶されたデータの擾乱を回避する選択したメモリセルをプログラムする方法であり、該選択したメモリセルは、アレイを形成するようにロー及びカラムに配置された複数のフローティングゲートメモリセルを含んでいる電気的にプログラマブルな半導体メモリ機器の一部であり、複数のメモリセルにおけるメモリセルは、制御ゲート、第１の電流路端子及び第２の電流路端子を含んでおり、ローにおける該メモリセルの該制御ゲートは、同じワードラインに結合される、該方法であって：

前記選択したメモリセルの制御ゲートに結合されたワードラインに第１の電位を印加し；

前記選択したメモリセルの前記第１の電流路端子を第１のノードに結合し；

前記選択したメモリセルの前記第２の電流路端子を第２のノードに結合し、前記第１のノード及び前記第２のノードの少なくとも一つがカラムラインであり；

前記第１のノードに第２の電位を印加し；かつ

前記選択したメモリセルのフローティングゲートへの電子の移動をもたらすべく前記第２のノードの電位を制御された速度で第３の電位に降下させる段階を具備し、

前記速度は、前記選択したセルの前記第１の電流路端子及び前記第２の電流路端子の電位が隣接セルに記憶されたデータを擾乱しないように制御されることを特徴とする方法。

【請求項２】

前記選択したセルのプログラミング中に前記隣接セルのデータの擾乱を回避するように

前記選択したメモリセルに隣接するメモリセルの前記第１の電流路端子及び前記第２の電流路端子を互いに結合することを含むことを特徴とする請求項１に記載の方法。

【請求項３】

前記選択したセルのプログラミング中に前記選択したメモリセルの一つの側の隣接セルのデータの擾乱を回避するように前記選択したメモリセルの該一つの側の隣接メモリセルの前記第１の電流路端子及び前記第２の電流路端子を互いに結合し；かつ

前記選択したセルのプログラミング中に前記選択したメモリセルの別の側の隣接セルのデータの擾乱を回避するように前記選択したメモリセルの該別の側の隣接メモリセルの前記第１の電流路端子及び前記第２の電流路端子を互いに結合することを含むことを特徴とする請求項１に記載の方法。

【請求項４】

前記選択したメモリセルのプログラミングが完了した後に前記選択したセルの前記第２の電流路端子に前記第１の電流路端子を結合すること含むことを特徴とする請求項１に記載の方法。

【請求項５】

前記フローティングゲートメモリセルのアレイは、フローティングゲートメモリセルの複数のブロックに分割され、該複数のブロックは、個々に選択可能であり、かつ前記選択したメモリセルを含んでいるブロックを選択することを含んでいることを特徴とする請求項１に記載の方法。

【請求項６】

前記選択したセル以外のメモリセルの第１の電流路端子及び第２の電流路端子を第４の電位に結合することを含んでいることを特徴とする請求項１に記載の方法。

【請求項７】

前記フローティングゲートメモリセルのアレイは、フローティングゲートメモリセルの複数のブロックに分割され、該複数のブロックは、個々に選択可能であり、かつ

前記選択したメモリセルを含んでいるブロックを選択し；

前記選択したセル以外のメモリセルの第１の電流路端子及び第２の電流路端子を第５の電位に結合することを含んでいることを特徴とする請求項１に記載の方法。

【請求項８】

制御された速度での前記第２のノードの電位の降下は、前記選択したセルの前記ワードラインへの前記第１の電位の印加の後、及び前記第１のノードへの前記第２の電位の印加の後で実行されて、前記第２のノードが前記選択したセルの前記第１の電流路端子及び前記第２の電流路端子の間の導電経路を介して前記第１のノードによって充電され、プログラミング電流が隣接セルに記憶されたデータが高ドレイン電圧によって擾乱されないように低減されることを特徴とする請求項１に記載の方法。

【請求項９】

前記第２のノードの電位の降下は、前記選択したセルの前記ワードラインへの第１の電位の印加の前に実行されて、隣接セルに記憶されたデータのソース側擾乱が回避されることを特徴とする請求項１に記載の方法。

【請求項１０】

前記選択したセルの前記ワードラインへの前記第１の電位の印加は、２段階電圧上昇されることを特徴とする請求項１に記載の方法。

【請求項１１】

前記選択したセルの前記ワードラインへの前記第１の電位の印加は、隣接セルに記憶されたデータの擾乱を低減すると同時にプログラミング有効性を増大するために２フェーズで実行されて以下の段階を具備する：

前記選択したセルの前記ワードラインの電圧を前記第１の電位よりも低い中間電位に上昇させ；

固定された時間の間隔待機し；かつ

前記選択したセルの前記ワードラインの電圧を前記第１の電位に上昇させることを含む

ことを特徴とする請求項１に記載の方法。
【請求項１２】
前記第１のノードへの前記第２の電位の印加は、２段階電圧上昇されることを特徴とする請求項１に記載の方法。
【請求項１３】
前記第１のノードへの前記第２の電位の印加は、前記ワードラインへの前記第１の電位の印加の前に前記選択したセルの前記第１の電流路端子の過剰電圧の結果としてのストレスを低減するために２フェーズで実行されて、以下の段階を具備する：
前記選択したセルの前記第１の電流路端子に結合された前記第１のノードの電圧を第２の電位よりも低い中間電位に上昇させ；
固定された時間の間隔待機し；かつ
前記選択したセルの前記第１の電流路端子に結合された前記第１のノードの電圧を前記第２の電位に上昇させることを含むことを特徴とする請求項１に記載の方法。
【請求項１４】
隣接セルに記憶されたデータの擾乱を回避する選択したメモリセルをプログラムする方法であり、該選択したメモリセルは、アレイを形成するようにロー及びカラムに配置された複数のフローティングゲートメモリセルを含んでいる電気的にプログラマブルな半導体メモリ機器の一部であり、複数のメモリセルにおけるメモリセルは、制御ゲート、第１の電流路端子及び第２の電流路端子を含んでおり、ローにおける該メモリセルの該制御ゲートは、同じワードラインに結合される、該方法であって：
前記選択したメモリセルに結合されたワードラインに第１の電位を印加し；
前記選択したメモリセルの前記第１の電流路端子を第１のノードに結合し；
前記選択したメモリセルの前記第２の電流路端子を第２のノードに結合し、前記第１のノード及び前記第２のノードの少なくとも一つがカラムラインであり；
前記第１のノードに第２の電位を印加し；かつ
前記選択したメモリセルのフローティングゲートへの電子の移動をもたらすべく前記第２のノードの電位を第３の電位に降下させる段階を具備し、
前記降下は、前記選択したセルのワードラインへの前記第１の電位の印加の後、かつ前記第１のノードへの前記第２の電位の印加の後で実行され、前記第２のノードが前記選択したセルの前記第１及び第２の電流路端子の間の導電経路を介して前記第１のノードによって充電され、プログラミング電流が隣接セルのフローティングゲートが高ドレイン電圧によって擾乱されないように低減されることを特徴とする方法。
【請求項１５】
隣接セルに記憶されたデータの擾乱を回避する選択したメモリセルをプログラムする方法であり、該選択したメモリセルは、アレイを形成するようにロー及びカラムに配置された複数のフローティングゲートメモリセルを含んでいる電気的にプログラマブルな半導体メモリ機器の一部であり、複数のメモリセルにおけるメモリセルは、制御ゲート、第１の電流路端子及び第２の電流路端子を含んでおり、ローにおける該メモリセルの該制御ゲートは、同じワードラインに結合される、該方法であって：
前記選択したメモリセルに結合されたワードラインに第１の電位を印加し；
前記選択したメモリセルの前記第１の電流路端子を第１のノードに結合し；
前記選択したメモリセルの前記第２の電流路端子を第２のノードに結合し、前記第１のノード及び前記第２のノードの少なくとも一つがカラムラインであり；
前記ワードラインへの前記第１の電位の印加の前に前記選択したセルの前記第１の電流路端子の過剰電圧の結果として生ずるストレスを低減するために２つのフェーズで前記第１のノードに第２の電位を印加し、前記選択したセルの前記第１の電流路端子に結合された前記第１のノードの電圧を第２の電位よりも低い中間電位に上昇させ、固定された時間の間隔待機し、かつ前記選択したセルの前記第１の電流路端子に結合された前記第１のノードの電圧を前記第２の電位に上昇させることを含み；かつ
前記選択したメモリセルのフローティングゲートへの電子の移動をもたらすべく前記第

２のノードの電位を第３の電位に降下させる段階を具備することを特徴とする方法。
【請求項１６】
電気的にプログラマブルなメモリ装置であって、
各メモリセルが制御ゲート及び第１の電流路端子、第２の電流路端子を含む、アレイを形成するようにロー及びカラムに配置された複数のフローティングゲートメモリセル；
同じローのセルの制御ゲートが複数のワードラインの共通ワードラインに結合される、複数のワードライン；
前記アレイのメモリセルの第１の電流路端子及び第２の電流路端子に結合された複数のカラムライン；
選択したメモリセルに結合されたワードラインを選択する、前記複数のワードラインに結合された、ローデコーダ；
前記選択したメモリセルのプログラミングをもたらすべく、前記選択したメモリセルの前記第１の電流路端子に結合された第１のカラムラインを第１の電位に結合し、かつ前記選択したメモリセルの前記第２の電流路端子に結合された第２のカラムラインを第２の電位に結合する、カラムデコーダ；及び
前記隣接メモリセルの前記第１の電流路端子と前記第２の電流路端子との間の電圧差を制限することによって前記隣接メモリセルに記憶されたデータを擾乱することを回避するように、かつ第１のモード及び第２のモードの一つで前記選択したメモリセルに隣接するメモリセルの前記第１の電流路端子及び前記第２の電流路端子に結合されたカラムラインの対を互いに結合するために複数のカラムラインのカラムラインに結合され、かつ前記第１のモードで隣接偶数-奇数カラムラインが互いに結合しかつ隣接奇数-偶数カラムラインが互いに結合せず、かつ前記第２のモードで隣接奇数-偶数カラムラインが互いに結合しかつ隣接偶数-奇数カラムラインが互いに結合しないカラム接続回路
を備えていることを特徴とする電気的にプログラマブルなメモリ装置。
【請求項１７】
前記選択されたセルのプログラミング中に隣接セルに記憶されたデータを擾乱しないように前記選択したセルに結合されたカラムラインで電圧が降下する速度を制御する、前記複数のカラムラインのカラムラインに結合された電流リミタ回路を含んでいることを特徴とする請求項１６に記載の電気的にプログラマブルなメモリ装置。
【請求項１８】
前記フローティングゲートメモリセルのアレイは、フローティングゲートメモリセルの複数のブロックに分割され、前記複数のブロックは、個別に選択可能であることを特徴とする請求項１６に記載の電気的にプログラマブルなメモリ装置。
【請求項１９】
前記選択したセル以外のメモリセルの第１の電流路端子及び第２の電流路端子を互いに第３の電位に結合する機構を含むことを特徴とする請求項１６に記載の電気的にプログラマブルなメモリ装置。
【請求項２０】
電気的にプログラマブルなメモリ装置であって、
各メモリセルが制御ゲート及び第１の電流路端子、第２の電流路端子を含む、アレイを形成するようにロー及びカラムに配置された複数のフローティングゲートメモリセル；
同じローのセルの制御ゲートが複数のワードラインの共通ワードラインに結合される、複数のワードライン；
前記アレイのメモリセルの前記第１の電流路端子及び第２の電流路端子に結合された複数のカラムライン；
選択したメモリセルに結合されたワードラインを選択する、前記複数のワードラインに結合された、ローデコーダ；
前記選択したメモリセルのプログラミングをもたらすべく、前記選択したメモリセルの前記第１の電流路端子に結合された第１のカラムラインを第１の電位に結合し、かつ前記選択したメモリセルの前記第２の電流路端子に結合された第２のカラムラインを第２の電

位に結合する、カラムデコーダ；及び
前記隣接メモリセルに記憶されたデータを擾乱することを回避するように前記選択したメモリセルに結合されたカラムラインで電圧が降下する速度を制御する、前記複数のカラムラインのカラムラインに結合された電流リミタ回路
を備えていることを特徴とする電気的にプログラマブルなメモリ装置。
【請求項２１】
前記隣接メモリセルの前記第１の電流路端子と前記第２の電流路端子との間の電圧差を制限することによって前記隣接メモリセルに記憶されたデータを擾乱することを回避するように前記選択したメモリセルに隣接するメモリセルの前記第１の電流路端子及び前記第２の電流路端子に結合されたカラムラインの対を互いに結合するために複数のカラムラインに結合された、カラム接続回路を含んでいることを特徴とする請求項２０に記載の電気的にプログラマブルなメモリ装置。
【請求項２２】
前記フローティングゲートメモリセルのアレイは、フローティングゲートメモリセルの複数のブロックに分割され、前記複数のブロックは、個別に選択可能であることを特徴とする請求項２０に記載の電気的にプログラマブルなメモリ装置。
【請求項２３】
前記隣接メモリセルの前記第１の電流路端子と前記第２の電流路端子との間の電圧差を制限することによって前記隣接メモリセルに記憶されたデータを擾乱することを回避するように前記選択したメモリセルに隣接するメモリセルの前記第１の電流路端子及び前記第２の電流路端子に結合されたカラムラインの対を互いに結合するために複数のカラムラインのカラムラインに結合される、カラム接続回路を含んでおり、前記カラム接続回路素子は、偶数－奇数及び奇数－偶数カラムラインの隣接する対を互いに選択的に結合することを特徴とする請求項２０に記載の電気的にプログラマブルなメモリ装置。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】
本発明は、半導体メモリ機器に関し、特に、隣接セルを擾乱せずにバーチャルグラウンドＥＰＲＯＭアレイセルをプログラムする方法及び装置に関する。
【０００２】
【従来の技術】
より高速でかつより低コストな半導体メモリに対する継続する需要は、リプログラマブル不揮発性メモリに対するバーチャルグラウンドメモリ設計の開発に結び付く。バーチャルグラウンドメモリ設計は、既存の半導体プロセスとのプロセス互換性を維持すると同時にアレイ密度を増大することができる。バーチャルグラウンドメモリアレイの代表例は、米国特許第 3,916,169号公報、米国特許第 3,934,233号公報、米国特許第 4,021,781号公報、及び米国特許第 4,387,447号公報に開示されている。
【０００３】
【発明が解決しようとする課題】
バーチャルグラウンドメモリ設計は、増大したビット密度の利点を享受すると同時に、多数の不利点を有する。一つの不利点は、隣接メモリセル間の不要なインタラクションの問題である。この妨害は、選択したセルのプログラミングが、未選択の隣接メモリセルの不要なプログラミングに結び付くような、プログラム擾乱条件の形式を取ることができる。また、この妨害は、不要現行コンポーネントによる読取りアクセス劣化の形式を取ることもできる。両方の状況において、妨害は、隣接カラムに配置されかつ選択したローライン(row line)に接続されたメモリセルに影響を及ぼす。また、隣接セル間のインタラクションは、個々のセルの読取り、消去及びプログラミングを妨害する寄生電流をもたらす。結局、アクセス速度及びメモリアレイの保全性は、これらの問題により脅かされる。
【０００４】
必要なものは、隣接の未選択メモリセルに記憶されたデータを擾乱せずに選択したメモリ

セルのプログラミングを許容するバーチャルグラウンドＥＰＲＯＭメモリアレイ用のプログラミング機構である。
本発明は、上記従来の技術における問題点に鑑みてなされたものであり、隣接アレイセルを擾乱せずにバーチャルグラウンドＥＰＲＯＭアレイ内の選択したセルをプログラミングする方法及び装置を提供することをその課題とする。
【０００５】
【課題を解決するための手段】
本発明の課題は、隣接セルに記憶されたデータの擾乱を回避する選択したメモリセルをプログラムする方法であり、該選択したメモリセルは、アレイを形成するようにロー及びカラムに配置された複数のフローティングゲートメモリセルを含んでいる電気的にプログラマブルな半導体メモリ機器の一部であり、複数のメモリセルにおけるメモリセルは、制御ゲート、第１の端子及び第２の端末を含んでおり、ローにおける該メモリセルの該制御ゲートは、同じローラインに結合される、該方法であって：選択したメモリセルに結合されたローラインに第１の電位を印加し；選択したメモリセルの第１の端子を第１のノードに結合し；選択したメモリセルの第２の端子を第２のノードに結合し；第１のノードに第２の電位を印加し；かつ選択したメモリセルのフローティングゲートへの電子の移動をもたらすべく第２のノードの電位を制御された速度で第３の電位に降下させる段階を具備し、速度は、選択したセルの第１及び第２の端子の電位が隣接セルに記憶されたデータを擾乱しないように制御される方法によって達成される。
【０００６】
本発明の別の形態によれば、本発明の方法は、選択したセルのプログラミング中に隣接セルのデータの擾乱を回避するように選択したメモリセルに隣接するメモリセルの第１の端子及び第２の端子を互いに結合することを含むように構成してもよい。
本発明の別の形態によれば、フローティングゲートメモリセルのアレイは、フローティングゲートメモリセルの複数のブロックに分割され、該ブロックは、個々に選択可能であり、かつ選択したメモリセルを含んでいる選択したブロックを選択する段階を含むように構成してもよい。
本発明の別の形態によれば、方法は、選択したセルのプログラミングによって影響を受けないメモリセルの第１及び第２の端子を第４の電位に結合することを含むように構成してもよい。
【０００７】
本発明の別の形態によれば、制御された速度での第２のノードの電位の降下は、選択したセルのローラインへの第１の電位の印加の後、及び第１のノードへの第２の電位の印加の後で実行されて、第２のノードが選択したセルの第１と第２の端子間の導電経路を介して第１のノードによって充電され、プログラミング電流が隣接セルに記憶されたデータが高ドレイン電圧によって擾乱されないように低減されるように構成してもよい。
本発明の別の形態によれば、第２のノードの電位の降下は、選択したセルのローラインへの第１のデータにの印加の前に実行されて、隣接セルに記憶されたデータのソース側擾乱が回避されるように構成してもよい。
本発明の別の形態によれば、選択したセルのローラインへの第１の電位の印加は、隣接セルに記憶されたデータの擾乱を低減すると同時にプログラミング有効性を増大するために制御された速度で実行されるように構成してもよい。
【０００８】
本発明の別の形態によれば、選択したセルのローラインへの第１の電位の印加は、隣接セルに記憶されたデータの擾乱を低減すると同時にプログラミング有効性を増大するために２フェーズで実行される。これら２フェーズは、選択したセルのローラインの電圧を第１の電位よりも低い中間電位に上昇させ；固定された時間の間隔待機し；かつ選択したセルのローラインの電圧を第１の電位に上昇させることを含むように構成してもよい。
本発明の別の形態によれば、第１のノードへの第２の電位の印加は、第１の電位をローラインに印加する前に、選択したセルの第１の端子の過剰電圧の結果として生じるストレス

を低減するために制御された速度で実行されるように構成してもよい。
【０００９】
本発明の別の形態によれば、第１のノードへの第２の電位の印加は、ローラインへの第１の電位の印加の前に選択したセルの第１の端子の過剰電圧の結果としてのストレスを低減するために２フェーズで実行される。２フェーズは、選択したセルの第１の端子に結合された第１のノードの電圧を第２の電位よりも低い中間電位に上昇させ；固定された時間の間隔待機し；かつ選択したセルの第２の端子に結合された第１のノードの電圧を第２の電位に上昇させることを含むように構成してもよい。
本発明の上述した課題は、電気的にプログラマブルなメモリ装置であって、
各メモリセルが制御ゲート及び第１及び第２の端子を含む、アレイを形成するようにロー及びカラムに配置された複数のフローティングゲートメモリセル；同じローのセルの制御ゲートが複数のローラインの共通ローラインに結合される、複数のローライン；アレイのメモリセルの第１及び第１の端子に結合された複数のカラムライン；選択したメモリセルに結合されたローラインを選択する、複数のローラインに結合された、ローデコーダ；選択したメモリセルのプログラミングをもたらすべく、選択したメモリセルの第１の端子に結合された第１のカラムラインを第１の電位に結合し、かつ選択したメモリセルの第２の端子に結合された第２のカラムラインを第２の電位に結合する、カラムデコーダ；及び隣接メモリセルの第１及び第２の端末間の電圧差を制限することによって隣接メモリセルに記憶されたデータを擾乱することを回避するように選択したメモリセルに隣接するメモリセルの第１及び第２の端子に結合されたカラムラインの対を互いに結合するために複数のカラムラインのカラムラインに結合された、カラム接続回路を備えている電気的にプログラマブルなメモリ装置によって達成される。
【００１０】
本発明の形態によれば、電気的にプログラマブルなメモリ装置は、選択セルのプログラミング中に隣接セルに記憶されたデータを擾乱しないように選択したセルに結合されたカラムラインで電圧が降下する速度を制御する複数のカラムラインのカラムラインに結合された電流リミタ回路を含むように構成してもよい。
本発明の別の形態によれば、フローティングゲートメモリセルのアレイは、フローティングゲートメモリセルの複数の個別に選択可能なブロックに分割されるように構成してもよい。
本発明の別の形態によれば、電気的にプログラマブルなメモリ装置は、選択したセルのプログラミングによって影響を受けないメモリセルの第１及び第２の端子を互いに第３の電位に結合する機構を含むように構成してもよい。
【００１１】
本発明の方法では、選択したセルのプログラミング中に選択したメモリセルの一つの側の隣接セルのデータの擾乱を回避するように選択したメモリセルの該一つの側の隣接メモリセルの第１の端子及び第２の端子を互いに結合し；かつ
選択したセルのプログラミング中に選択したメモリセルの別の側の隣接セルのデータの擾乱を回避するように選択したメモリセルの該別の側の隣接メモリセルの第１の端子及び第２の端子を互いに結合することを含むことを含むように構成してもよい。
本発明の方法では、選択したメモリセルのプログラミングがが完了した後に選択したセルの第２の端子に第１の端子を結合すること含むように構成してもよい。
【００１２】
本発明の方法では、フローティングゲートメモリセルのアレイは、フローティングゲートメモリセルの複数のブロックに分割され、該複数のブロックのブロックは、個々に選択可能であり、かつ選択したメモリセルを含んでいる選択したブロックを選択することを含むように構成してもよい。
本発明の方法では、フローティングゲートメモリセルのアレイは、フローティングゲートメモリセルの複数のブロックに分割され、該複数のブロックのブロックは、個々に選択可能であり、かつ選択したメモリセルを含んでいる選択したブロックを選択し；選択したセ

ルのプログラミングによって影響を受けないメモリセルの第１及び第２の端子を第５の電位に結合することを含むように構成してもよい。

【００１３】

また、本発明の上記課題は、隣接セルに記憶されたデータの擾乱を回避する選択したメモリセルをプログラムする方法であり、該選択したメモリセルは、アレイを形成するようにロー及びカラムに配置された複数のフローティングゲートメモリセルを含んでいる電気的にプログラマブルな半導体メモリ機器の一部であり、複数のメモリセルにおけるメモリセルは、制御ゲート、第１の端子及び第２の端末を含んでおり、ローにおける該メモリセルの該制御ゲートは、同じローラインに結合される、該方法であって：選択したメモリセルに結合されたローラインに第１の電位を印加し；選択したメモリセルの第１の端子を第１のノードに結合し；選択したメモリセルの第２の端子を第２のノードに結合し；第１のノードに第２の電位を印加し；かつ選択したメモリセルのフローティングゲートへの電子の移動をもたらすべく第２のノードの電位を第３の電位に降下させる段階を具備し、降下は、選択したセルのワードラインへの第１の電位の印加の後、かつ第１のノードへの第２の電位の印加の後で実行され、第２のノードが選択したセルの第１及び第２の端子の間の導電経路を介して第１のノードによって充電され、プログラミング電流が隣接セルのフローティングゲートが高ドレイン電圧によって擾乱されないように低減される方法によって達成される。

【００１４】

更に本発明の上記課題は、隣接セルに記憶されたデータの擾乱を回避する選択したメモリセルをプログラムする方法であり、該選択したメモリセルは、アレイを形成するようにロー及びカラムに配置された複数のフローティングゲートメモリセルを含んでいる電気的にプログラマブルな半導体メモリ機器の一部であり、複数のメモリセルにおけるメモリセルは、制御ゲート、第１の端子及び第２の端末を含んでおり、ローにおける該メモリセルの該制御ゲートは、同じローラインに結合される、該方法であって：選択したメモリセルに結合されたローラインに第１の電位を印加し；選択したメモリセルの第１の端子を第１のノードに結合し；選択したメモリセルの第２の端子を第２のノードに結合し；第１のノードに第２の電位を印加し；かつ選択したメモリセルのフローティングゲートへの電子の移動をもたらすべく第２のノードの電位を第３の電位に降下させる段階を具備し、降下は、選択したセルのワードラインへの第１の電位の印加の前で実行されて、隣接セルに記憶されたデータのソース側擾乱が回避される方法によって達成される。

【００１５】

本発明の上記課題は、隣接セルに記憶されたデータの擾乱を回避する選択したメモリセルをプログラムする方法であり、該選択したメモリセルは、アレイを形成するようにロー及びカラムに配置された複数のフローティングゲートメモリセルを含んでいる電気的にプログラマブルな半導体メモリ機器の一部であり、複数のメモリセルにおけるメモリセルは、制御ゲート、第１の端子及び第２の端末を含んでおり、ローにおける該メモリセルの該制御ゲートは、同じローラインに結合される、該方法であって：選択したメモリセルに結合されたローラインに第１の電位を印加し；選択したメモリセルの第１の端子を第１のノードに結合し；選択したメモリセルの第２の端子を第２のノードに結合し；選択したセルの第１の端子に結合された第１のノードの電圧を第２の電位よりも低い中間電位に上昇させ、固定された時間の間隔待機し、かつ選択したセルの第２の端子に結合された第１のノードの電圧を第２の電位に上昇させることを含む、ローラインへの第１の電位の印加の前に選択したセルの第１の端末の過剰電圧の結果として生ずるストレスを低減するために２フェーズで第１のノードに第２の電位を印加し；かつ選択したメモリセルのフローティングゲートへの電子の移動をもたらすべく第２のノードの電位を第３の電位に降下させる段階を具備する方法によって達成される。

【００１６】

また、本発明の上記課題は、隣接セルに記憶されたデータの擾乱を回避する選択したメモリセルをプログラムする方法であり、該選択したメモリセルは、アレイを形成するように

ロー及びカラムに配置された複数のフローティングゲートメモリセルを含んでいる電気的にプログラマブルな半導体メモリ機器の一部であり、複数のメモリセルにおけるメモリセルは、制御ゲート、第１の端子及び第２の端末を含んでおり、ローにおける該メモリセルの該制御ゲートは、同じローラインに結合される、該方法であって：選択したメモリセルに結合されたローラインに第１の電位を印加し、印加は、隣接セルに記憶されたデータの擾乱を低減すると同時にプログラミング有効性を増大するために２つのフェーズで実行され、選択したセルのワードラインの電圧を第１の電位よりも低い中間電位に上昇させ、固定時間の間隔待機し、かつ選択したセルのワードラインの電圧を第１の電位に上昇させ；選択したメモリセルの第１の端子を第１のノードに結合し；選択したメモリセルの第２の端子を第２のノードに結合し；第１のノードに第２の電位を印加し；かつ選択したメモリセルのフローティングゲートへの電子の移動をもたらすべく第２のノードの電位を第３の電位に降下させる段階を具備する方法によって達成される。

【００１７】

本発明の電気的にプログラマブルなメモリ装置は、カラム接続回路素子は、偶数－奇数及び奇数－偶数カラムラインの隣接する対を互いに選択的に結合するように構成してもよい。

本発明の上記課題は、各メモリセルが制御ゲート及び第１及び第２の端子を含む、アレイを形成するようにロー及びカラムに配置された複数のフローティングゲートメモリセル；同じローのセルの制御ゲートが複数のローラインの共通ローラインに結合される、複数のローライン；アレイのメモリセルの第１及び第１の端子に結合された複数のカラムライン；選択したメモリセルに結合されたローラインを選択する、複数のローラインに結合された、ローデコーダ；選択したメモリセルのプログラミングをもたらすべく、選択したメモリセルの第１の端子に結合された第１のカラムラインを第１の電位に結合し、かつ選択したメモリセルの第２の端子に結合された第２のカラムラインを第２の電位に結合する、カラムデコーダ；及び隣接メモリセルに記憶されたデータを擾乱することを回避するように選択したメモリセルに結合されたカラムラインで電圧が降下する速度を制御する、複数のカラムラインのカラムラインに結合された、電流リミタ回路を備えている電気的にプログラマブルなメモリ装置によって達成される。

【００１８】

本発明の電気的にプログラマブルなメモリ装置では、隣接メモリセルの第１及び第２の端末間の電圧差を制限することによって隣接メモリセルに記憶されたデータを擾乱することを回避するように選択したメモリセルに隣接するメモリセルの第１及び第２の端子に結合されたカラムラインの対を互いに結合するために複数のカラムラインのカラムラインに結合された、カラム接続回路を含むように構成してもよい。

本発明の電気的にプログラマブルなメモリ装置では、フローティングゲートメモリセルのアレイは、フローティングゲートメモリセルの複数のブロックに分割され、複数のブロックのブロックは、個別に選択可能であるように構成してもよい。

【００１９】

本発明の電気的にプログラマブルなメモリ装置では、隣接メモリセルの第１及び第２の端末間の電圧差を制限することによって隣接メモリセルに記憶されたデータを擾乱することを回避するように選択したメモリセルに隣接するメモリセルの第１及び第２の端子に結合されたカラムラインの対を互いに結合するために複数のカラムラインのカラムラインに結合される、カラム接続回路を含んでおり、カラム接続回路素子は、偶数－奇数及び奇数－偶数カラムラインの隣接する対を互いに選択的に結合するように構成してもよい。

【００２０】

【作用】

本発明は、隣接アレイセルを擾乱せずにバーチャルグラウンドＥＰＲＯＭアレイ内の選択したセルをプログラミングする方法及び装置を提供する。隣接セルに記憶されるデータの電気的擾乱は、多くの方法で制限される：（１）カラム接続回路は、隣接メモリセルのソース及びドレイン端子が互いに電気的に結合されるように偶数－奇数の隣接する対または

奇数－偶数カラムラインを互いに選択的に結合するために設けられ、それによって擾乱から隣接セル内に記憶されるデータを防止する；（２）電流リミタ回路は、選択したセルの端末上の電圧が隣接メモリセルに記憶されたデータを擾乱しないようにプログラミング中に制御された速度で選択したセルの端末上の電位を低下するために設けられる；（３）プログラミング信号が選択したセルに供給される順番は、隣接セルのデータの擾乱を低減するような方法で制御される；かつ（４）高いワードライン及びデータライン電圧は、最初中間電圧に、次いで高電圧に、二つのステップで選択したセルに供給される。これは、隣接セルへの擾乱を低減しかつプログラミングを改善する。

【００２１】

【実施例】

以下の記述は、当業者が本発明を成しかつ使用ことができるように示されており、かつ特定のアプリケーション及びその必要条件のコンテキストで提供される。開示された実施例に対する種々の変更は、当業者に対して容易に明らかであり、かつここに規定された一般的な原理は、本発明の精神及び範疇から逸脱することなく他の実施例及びアプリケーションに適用されうる。それゆえに、本発明は、示された実施例に限定されることを企図しないが、ここの開示された原理及び特徴に見合った最も広い範疇に従うものである。

【００２２】

図１は、本発明の形態によるフローティングゲートメモリセルのアレイの内部構造を示す回路図である。アレイは、複数のフローティングゲートメモリセル、１３０、１３２、１３３、１３４、１３５、１３６、１３７、１３８、１３９、１４６、１４７、１４８、１４９、１５０、１５１、１５２、１５３、１５４、及び１５５を含む。フローティングゲートメモリセルは、フローティングゲートメモリセルのロー（行）を形成すべくソースからドレインに結合される。ローの全てのフローティングゲートメモリセルの制御ゲートは、同じワードラインに結合される。フローティングゲートメモリセル１３０、１３１、１３２、１３３、及び１３４は、ローにソース－ドレイン間で互いに結合され、かつこれらのフローティングゲートメモリセルの制御ゲートは、ワードライン１２２に結合される。フローティングゲートメモリセル１３５、１３６、１３７、１３８及び１３９は、ローにソース－ドレイン間で互いに結合され、かつこれらのフローティングゲートメモリセルの制御ゲートトランジスタは、ワードライン１２３に結合される。フローティングゲートメモリセル１４６、１４７、１４８、１４９及び１５０は、ローにソース－ドレイン間で互いに結合され、かつこれらのフローティングゲートメモリセルの制御入力は、ワードライン１２５に結合される。フローティングゲートメモリセル１５１、１５２、１５３、及び１５５は、ローにソース－ドレイン間で互いに結合され、かつこれらのフローティングゲートメモリセルの制御ゲートは、ワードライン１２６に結合される。

【００２３】

多数のカラムラインは、フローティングゲートメモリセルのアレイを通り抜ける。これらのカラムラインは、左から右の順番に、グラウンドライン１８６、ビットライン１８３、グラウンドライン１８７、ビットライン１８４、グラウンドライン１８８及びビットライン１８５である。これらのカラムラインは、ブロック選択信号１２１及び１２４によって制御される複数のトランジスタを介してフローティングゲートメモリセルに選択的に結合することができる。ブロック選択信号１２１は、トランジスタ１２７、１２８、１２９、１４０、１４１及び１４２を制御し、グランドライン１８６、１８７及び１８８、及びビットライン１８３、１８４及び１８５をメモリセル１３０、１３１、１３２、１３３、１３４、１３５、１３６、１３７、１３８及び１３９を含む、メモリセルのブロックにそれぞれ結合する。ブロック選択信号１２４は、トランジスタ１４３、１４４、１４５、１５６、１５７及び１５８を制御し、グランドライン１８６、１８７及び１８８、及びビットライン１８３、１８４及び１８５をフローティングゲートメモリセル１４６、１４７、１４８、１４９、１５０、１５１、１５２、１５３、１５４及び１５５にそれぞれ選択的に結合する。ブロック選択信号１２１及び１２４の一つだけがある一時にアクティブである。それゆえに、フローティングゲートメモリセルの１ブロックだけがある特定の時間にカ

ラムラインに結合される。

【００２４】

ビットライン及びグラウンドラインは、アレイの最上部の回路素子に結合する。ビットライン１８３、１８４及び１８５は、トランジスタ１１２、１１３及び１１４を介して高電圧ＶＤＤに結合される。トランジスタ１１２、１１３及び１１４は、信号ＶＣＰ１１１に結合されかつそれによって制御される。信号ＶＣＰ１１１は、１／３ＶＤＤのような中間電圧に設定される。トランジスタ１１２、１１３及び１１４は、プログラミングに含まれないビットラインを中間電圧１／３ＶＤＤに効果的に結合する。グラウンドライン１８６、１８７及び１８８は、トランジスタ１０３、１０５及び１０７を介して、図１の最上部で、ドライバ１０２、１０４及び１０６にそれぞれ結合される。ドライバ１０２、１０４及び１０６は、アレイ内のフローティングゲートメモリセルのプログラミング中に、グラウンドライン１８６、１８７及び１８８にグラウンド電圧をそれぞれ供給する。グラウンドライン１８６、１８７及び１８８上の電圧がグラウンドに降下する速度は、電流リミタ１００によって制御され、信号ＴＹＰ０１０１を作成し、トランジスタ１０３、１０５及び１０７を制御する。電流リミタ１００は、電圧においてグラウンドライン１８６、１８７及び１８８が降下する速度を制限するような方法でトランジスタ１０３、１０５及び１０７を制御し、それによって、選択したフローティングゲートメモリセルのプログラミング中に隣接するフローティングゲートメモリセルのデータの擾乱の問題を低減する。

【００２５】

ビットライン及びグラウンドラインは、アレイの底部で回路素子に接続する。グラウンドライン１８６、１８７及び１８８並びにビットライン１８３、１８４及び１８５は、トランジスタ１９０、１９１、１９２、１９３及び１９４によって互いに結合される。これらのトランジスタは、選択的に隣接カラムラインの奇数－偶数及び偶数－奇数対を互いに結合する。信号ＤＷＲ１８１は、トランジスタ１９０、１９１及び１９２の制御入力に接続する。信号ＤＷＬ１８２は、トランジスタ１９３及び１９３の制御入力に接続する。トランジスタ１９０は、グラウンドライン１８６をビットライン１８３に選択的に結合する。トランジスタ１９１は、グラウンドライン１８７をビットライン１８４に選択的に結合する。トランジスタ１９２は、グラウンドライン１８８をビットライン１８５に選択的に結合する。トランジスタ１９３は、ビットライン１８３をグラウンドライン１８７に選択的に結合する。トランジスタ１９４は、ビットライン１８４をグラウンドライン１８８に選択的に結合する。信号ＤＷＲ１８１は、グラウンドラインをグラウンドラインの右の次の隣接ビットラインに選択的に結合する。信号ＤＷＬ１８２は、ビットラインをビットラインの右の次の隣接グラウンドラインに選択的に結合する。信号ＤＷＬ１８１及びＤＷＬ１８２の一つだけがプログラミング中にアクティブである。それゆえに、ビットラインの偶数－奇数または奇数－偶数対だけがプログラミング中に互いに結合される。

【００２６】

信号ＤＷＲ１８１及びＤＷＬ１８２によって制御される、上記回路素子は、プログラミングのために選択されたトランジスタに隣接するトランジスタのソース及びドレインを互いに結合するために用いられる。例えば、左側にグラウンドライン及び右側にビットラインを有するフローティングゲートトランジスタがプログラムされるならば、信号ＤＷＬ１８２は、隣接セルに記憶されるデータの擾乱を防ぐためにアサート（アクティブ）にされる。他方、左側にビットライン及び右側にグラウンドラインを有するフローティングゲートメモリセルがプログラムされるならば、信号ＤＷＲ１８１は、隣接セルのデータが擾乱されるのを防ぐためにアサート（アクティブ）にされる。

【００２７】

図２は、本発明の形態による図１のフローティングゲートメモリセルのアレイの底部から出ているビットライン１８３、１８４及び１８５の中に及びそれらからデータを移動するための回路素子を示す。図１の底部からのビットライン１８３、１８４及び１８５は、図２の最上部に至る。ビットライン１８３は、トランジスタ２２４のドレイン及びセンス増幅器２００の中にトランジスタ２２０を通して送り込む。トランジスタ２２０は、信号

ＹＳ０２０２によって制御される。ビットライン１８４は、トランジスタ２２４のドレイン及びセンス増幅器２００の入力の中にトランジスタ２２１を通り抜ける。トランジスタ２２１は、信号ＹＳ１２０４によって制御される。ビットライン１８５は、トランジスタ２２４のドレイン及びセンス増幅器２００の入力の中にトランジスタ２２２を通して送り込む。トランジスタ２２２は、信号ＹＳ２２０６によって制御される。

【００２８】

信号ＹＳ０２０２、ＹＳ１２０４及びＹＳ２２０６は、ビットライン１８３、１８４及び１８５の一つを選択するデコーダ回路から出ている。ビットライン１８３、１８４及び１８は、データ入力２１２にトランジスタ２２４を通して送り込む。トランジスタ２２４は、信号ＰＹＳ２０８によって制御される。また、これらのビットラインは、センス増幅器２００にも送り込り、データ出力２１４にトランジスタ２２６を通して送り込む。トランジスタ２２６は、信号ＲＹＰ２１０によって制御される。

【００２９】

図２に示す回路は、図１に示したアレイのビットラインの中に及びそれらからデータを流すためにゲートウェイを動作する。ＰＹＰ２０８がアサートされた場合、データ入力２１２は、選択ラインＹＳ０２０２、ＹＳ１２０４、及びＹＳ２２０６のいずれがアクティブであるかにより、ビットライン１８３、１８４及び１８５の一つの中にトランジスタ２２４を通して送り込む。このようにデータは、ビットライン１８３、１８４及び１８５の一つの中にデータ入力２１２を通して送り込む。

代替的に、データは、ビットライン１８３、１８４及び１８５からセンス増幅器２００の中に送り込むことができ、センス増幅器２００は、ビットライン１８３、１８４及び１８５からの信号を感知し、かつ０値または１値のいずれかを出力する。この値は、信号ＲＹＰ２１０の制御下でデータ出力２１４にトランジスタ２２６を通して出力される。

【００３０】

図３は、本発明の形態による選択したフローティングゲートメモリセルのプログラミング中の、図１のフローティングゲートメモリセルのアレイのグラウンドライン上の、プログラミング中の、電圧が降下する速度を制御する回路を示す。図３に示す回路は、ｐ－チャネルトランジスタ３０６、３０８及び３１２、並びにｎ－チャネルトランジスタ３１０、３１４及び３１６を含む、６つのトランジスタを含む。ｐ－チャネルトランジスタ３０６のソースは、ＡＶＳ３００に接続し、そのドレインは、ｐ－チャネルトランジスタ３０８のソース、及びｐ－チャネルトランジスタ３１２のソースに接続する。ｐ－チャネルトランジスタ３０６のゲートは、信号ＹＰＢ３０２に接続する。信号ＹＰＢ３０２は、ｎ－チャネルトランジスタ３１６のゲートに更に接続する。ｐ－チャネルトランジスタ３０８のドレインは、ｎ－チャネルトランジスタ３１０のゲート及びドレイン、ｐ－チャネルトランジスタ３１２のドレイン、ｎ－チャネルトランジスタ３１６のドレインに接続しかつ信号ＴＹＰ０１０１を出力する。ｐ－チャネルトランジスタ３０８のゲートは、電流ミラーから出てくる、電流ミラー信号３０４に接続する。ｎ－チャネルトランジスタ３１０のソースは、ｎ－チャネルトランジスタ３１４のドレインに接続する。ｎ－チャネルトランジスタ３１４のゲートは、入力信号ＰＧＭ３２０に接続し、かつｎ－チャネルトランジスタ３１４のソースは、グラウンドに接続する。また、ｎ－チャネルトランジスタ３１６のソースもグラウンドに接続する。信号ＹＰＢ３０２、電流ミラー３０４及びＰＧＭ３２０は、信号ＴＹＰ０１０１を生成するために図３の回路を制御すべく動作し、制御された速度で高電圧から低プログラミング電圧までグラウンドライン１８６、１８７及び１８８の駆動を制御する。メモリアレイにわたる処理変化のインパクト（衝撃）を低減するために、アレイの一部分は、電流源として用いられる。このように、グラウンドライン１８６、１８７及び１８８上の信号が高電圧から低電圧に行く速度は、データが選択したセルのプログラミング中に隣接セルで擾乱されないように制御される。

【００３１】

図４は、本発明の形態による図１のドライバ１０２、１０４及び１０６において見出されるような、ドライバ回路の構造の回路図である。回路は、２つの入力信号ＹＧ０４００及

びＶＣＰ４０２を取る。信号ＹＧ０４００は、ｎ－チャネルトランジスタ４０８のゲート及びｎ－チャネルトランジスタ４１２のゲートに接続する。信号ＶＣＰ４０２は、ｎ－チャネルトランジスタ４１０のゲートに接続する。ｐ－チャネルトランジスタ４０８のソースは、ＶＤＤに接続しかつｐ－チャネルトランジスタ４０８のドレインは、ｎ－チャネルトランジスタ４１０のドレインに接続する。ｎ－チャネルトランジスタ４１０のソースは、ｎ－チャネルトランジスタ４１２のドレイン並びにグラウンドライン４０４に接続する。ｎ－チャネルトランジスタ４１２のソースは、信号ＶＳＺ４０６に接続する。信号ＶＣＰ４０２は、１／３ＶＤＤのような、中間電圧に維持される。これは、グラウンドライン４０４が他の電圧レベルに結合されないときにグラウンドライン４０４上の電圧をＶＣＰ－ＶＴまで上昇させる傾向がある。信号ＹＧ０４００が高値までアサート（アクティブ）にされる場合、導通経路は、トランジスタ４１２を介してグラウンドライン４０４及びＶＺ４０６の間で生成される。これは、グラウンドライン４０４をグラウンド電圧に引き寄せる。

【００３２】

図５は、本発明の形態による選択したセルのプログラミング中の図１に示すアレイにおける制御信号のシーケンスを示すタイミング図である。ラインＶＣＰ４０２及びＶＳＺ４０６は、グラウンド電圧に結合されたＶＳＺ４０６、及びおおよそ１／３ＶＤＤの電圧に結合されたＶＣＰ４０２により、固定値を想定する。

制御信号は、次に示すシーケンスで起動される。

まず、アレイの中に送り込まれるアドレスラインは、選択したセルのアドレスを特定すべくアサート（アクティブ）にされる。

次に、信号線ＹＰＢ３０２、ＹＧ０４００、ＹＳ０２０２、ＹＳ１２０４、ＹＳ２２０６及びＲＹＰ２１０が起動される。信号ＹＰＢ３０２及びＹＧ０４００は、図１のグラウンドラインの一つに制御された電圧降下を始動する。信号ＹＳ０２０２、ＹＳ１２０４及びＹＳ２２０６は、図２に示した回路素子を介してビットライン１８３、１８４及び１８５の一つを選択する。読取り動作が望ましいならば、信号ＲＹＰ２１０は、図２のトランジスタ２２６を介してデータ出力２１４を広げる。

【００３３】

次に、プログラミングを開始する。信号ＰＧＭ３２０は、処理を始動すべく低電圧を想定し、かつ信号ＰＹＰ２０８は、図２のビットライン１８３、１８４及び１８５の一つにトランジスタ２２４を介してデータ入力２１２を渡すべく高電圧を想定する。このとき、信号ＲＹＰ２１０は、回路からデータ出力を遮断すべく低になる。プログラミングが完了した後、信号ＰＧＭ３２０は、プログラミング処理を終了させるために高電圧に戻るように上昇する。

図１を参照して、トランジスタ１３２は、プログラムされるべく選択したトランジスタであると想定する。ワードライン１２２は、高値にアサート（アクティブ）され、プログラミングの準備においてトランジスタ１３２のゲートを高値にする。ブロック選択信号１２１は、アサートされかつグラウンドライン１８７をトランジスタ１３２のソースに結合しかつビットライン１８４をトランジスタ１３２のドレイン入力に結合する。選択したメモリセル１３２にプログラムされるべきデータは、ビットライン１８４にデータ入力２１２（図２参照）を通って送り込まれ、信号ＹＳ１２０４によって選択される。このデータは、トランジスタ１３２のドレインに供給される。次に、グラウンドライン１８７上の電圧は、ドライバ１０４によってグラウンドに駆動される。これの電圧減少は、隣接メモリセルのスプリアスなプログラミングを低減するように電流リミタ１００によって制御される。一度トランジスタ１３２のドレイン上の電圧がグラウンドに到達したならば、プログラミングが開始され、かつ短期間後にデータ入力２１２からの入力は、フローティングゲートトランジスタ１３２にプログラムされる。

【００３４】

図６は、本発明の形態による図１に示した回路素子のサブセットの回路図である。図６は、隣接トランジスタ６１０及び６１２と共に、選択してトランジスタ６１１を含む。これ

らのトランジスタの全ては、ワードライン６０１に結合されたゲートを有する。トランジスタ６１２のドレインは、ノードＳＤＢ６０６に接続し、それはトランジスタ６１４のドレインに接続する。トランジスタ６１２のソース及びトランジスタ６１４のソースの両方ともにノードＤＰ６０８に接続し、それはまたトランジスタ６１１のドレインに接続する。ＤＰ６０８は、信号入力ＤＬ６０２及びトランジスタ６１５のドレインに更に接続するということに注目する。トランジスタ６１１のソースは、ノードＳＰ６０７に接続し、それは、また、トランジスタ６１０のドレイン、トランジスタ６１３のドレイン及びトランジスタ６１５のソースに接続する。また、ＳＰ６０７は、信号ＧＬ６００にも接続する。トランジスタ６１０のソース及びトランジスタ６１３のソースの両方は、ノードＤＤＢ６０５に接続する。入力ＤＷＬ６０３は、トランジスタ６１３及び６１４のゲートに接続する。入力ＤＷＬ６０４は、トランジスタ６１５のゲートに接続する。

【００３５】

図７は、本発明の形態による第１のプログラミング・モード中の図６における種々のノード上の電圧レベルを示すタイミング図である。この第１のプログラミング・モードは、高速プログラミング時間を供給しかつより少ないソース側擾乱の対象であり、かつ以下のように動作する。まず、信号ＧＬ６００は、低電圧に降下してトランジスタ６１１のソースを低電圧にする。また、信号ＤＷＬ６０３は、高電圧に上昇し、トランジスタ６１３を介してノードＤＤＢ６０５とノードＳＰ６０７の間に導通経路を生成し、かつトランジスタ６１４を介してノードＳＤＢ６０６とノードＤＰ６０８の間導通経路を生成する。次に、信号ＤＬ６０２は、高電圧を想定し、トランジスタ６１１のドレイン側を高電圧にする。次に、信号ＷＬは、高電圧を想定しトランジスタ６１１のプログラミングを始動する。このプログラミング中、信号ＤＬ６０２は、さらに高い電圧に到達する。信号ＤＬ６０２は、ＷＬ６０１への高電圧の印加の前に信号線ＤＬ６０２上の過剰電圧からストレスを低減するために２段階で高電圧に上昇される。ノードＤＰ６０８、ＳＰ６０７、ＳＤＢ６０６及びＤＤＢ６０５上の合成電圧も図７の下方に表される。

【００３６】

図８は、図６の回路の種々のノード上の電圧を示すタイミング図であり、従って、本発明の形態による隣接セルに対するドレイン－ターン－オン問題を低減する。図８の信号は、信号ＧＬ６００が信号ＤＬ６０２及びＷＬ６０１の両方が高電圧を想定した後で低電圧になるという事実以外は、図７の信号と同じである。これは、ＷＬ６０１がトランジスタ６０１をオンにすることによりトランジスタ６１１上のソース電圧がトランジスタ６１１を介してＤＬ６０２上の電圧によって充電された後でトランジスタ６１１上のソース電圧を引き下げる。更に、信号ＷＬ６０１は、隣接メモリセルに記憶されたデータの擾乱を低減すると同時に、プログラミング有効性を増大するために２段階で上昇される。

図９は、本発明の形態による図８の信号ＷＬ６０１を生成するために用いられるように、ワードラインに対する２段階電圧を生成するために用いられる回路素子を示す回路図である。この回路は、２つの入力Ｓ０９００及びＳ１９０１を有する。信号Ｓ１９０１は、トランジスタ９０５のゲートに送り込まれる。トランジスタ９０５のドレインは、ＶＰＰに接続しかつトランジスタ９０５のソースは、信号ＷＬ６０１に接続する。信号Ｓ１９０１がアサートされるとき、導通経路は、トランジスタ９０５を介してＶＰＰとＷＬ６０１の間に生成される。信号Ｓ０９００は、トランジスタ９０４のゲートに送り込まれ、かつトランジスタ９０４のソースは、信号ＷＬ６０１に接続する。トランジスタ９０４のドレインは、ダイオード－接続型トランジスタ９０２及び９０３を介してＶＰＰに結合される。このように、信号Ｓ０９００がアサートされるとき、導通経路が信号ＷＬ６０１とＶＰＰ－２Ｔの間に確立される。２段階電圧を生成するために、信号Ｓ０９００がまずアサートされる。これは、ＷＬ６０１にＶＰＰ－３Ｔの電圧を想定させる。次に、信号Ｓ１９０１がアサートされる。これは、ＷＬ６０１にＶＰＰ－ＶＴの電圧を想定させ、それは、最終高電圧である。

【００３７】

図１０は、回路素子がＷＬ６０１の代わりに信号線ＤＬ６０２に接続されること以外は、

図９に示すような２段階電圧上昇を生成するための同じ回路素子を示す。回路素子は、図９に示した回路素子とまったく同じ方法で動作する。
本発明は、以下の方法で選択されたセルのプログラミング中に隣接セルに記憶されたデータの擾乱を防止する。図１を参照すると、メモリセル１３２がプログラミングされるべき選択されたセルであると想定する。高ワードライン電圧がプログラミングのために必要なので、プログラムすることが可能である他のセルだけが同じワードライン、ワードライン１２２に結合されなければならない。また、セルは、カラムラインがセルのソース及びドレイン入力に接続されるために同じブロックに配置されなければならない。これは、ブロック選択信号１２１によって起動されたブロック内にありワードライン１２２に結合されるトランジスタだけが影響を及ぼされるということを意味する。更に、高ドレイン電圧がプログラミングのために要求される。これは、メモリセル１３１、１３３及び１３４だけがスプリアスなプログラミングに対して可能な候補であるということを意味する。二つのプログラミングモードが開示された実施例に関連付けられるという先の議論を思い起こす。

【００３８】

第１のプログラミングモードを考える。トランジスタ１３２をプログラムするために、信号ＤＷＲ１８２は、トランジスタ１３１のソース及びドレインが　　を介して互いに結合され、かつトランジスタ１３３のソース及びドレインがトランジスタ１９４を介して互いに結合されるようにアサートされる。トランジスタ１３２のプログラミング中にグラウンドライン１８７上の電圧が低いので、トランジスタ１３１は、プログラムされず、かつビットライン１８３上の電圧は、トランジスタ１９３がオンにされる結果としてＶＣＰ－ＶＴよりも低い。従って、トランジスタ１３１間の電圧は、プログラミングが行われるには余りにも低すぎる。

トランジスタ１３３は、プログラムされない。ワードライン１２２が高電圧に上昇する前には、グラウンドライン１８８は、トランジスタ１９４がオンにされる結果として高電圧に引き上げられる。更に、ビットライン１８４は、高電圧に結合される。その結果、トランジスタ１３３は、プログラムされない。

【００３９】

トランジスタ１３４もプログラムされない。ワードライン１２２が高電圧になる前には、グラウンドライン１８８上の電圧は、高電圧に結合されかつビットライン１８５上の電圧は、ＶＣＰ－ＴＶに結合される。その結果、トランジスタ１３４間の電圧は、ＶＤＬ－（ＶＣＰ－ＶＴ）である。従って、トランジスタ１３４は、プログラムされない。
第２のプログラミングモードは、第１のプログラミングモードとは多少異なる。第２のプログラミングモードでは、トランジスタ１３３及び１３４に対する上述した議論は、第１のプログラミングモードに対するものと同じである。しかしながら、メモリセル１３１に対する議論は、異なる。グラウンドライン１８７が低電圧に引き下げられる前には、グラウンドライン１８７及びビットライン１８３上の電圧は、トランジスタ１３２がオンされる結果として高電圧のまま保持される。トランジスタ１３１間の電圧は、グラウンドライン１８７が低値に落下する制御された速度によって制限される。従って、トランジスタ１３１は、プログラムされない。この制御された電圧降下は、図１の電流リミタ１００によって制御されるトランジスタ１０５を通って送り込まれるドライバ１０４によって達成されるということを思い出す。

【００４０】

本発明の実施例の先の説明は、説明及び記述の目的としてだけ示されている。それらは、本発明が網羅的であることまたは開示された形式に制限されることを企図しない。多くの変更及び変形が当業者により理解されるであろう。

【００４１】

【発明の効果】

本発明の方法は、隣接セルに記憶されたデータの擾乱を回避する選択したメモリセルをプログラムする方法であり、選択したメモリセルは、アレイを形成するようにロー及びカラ

ムに配置された複数のフローティングゲートメモリセルを含んでいる電気的にプログラマブルな半導体メモリ機器の一部であり、複数のメモリセルにおけるメモリセルは、制御ゲート、第１の端子及び第２の端末を含んでおり、ローにおけるメモリセルの制御ゲートは、同じローラインに結合される、方法であって：選択したメモリセルに結合されたローラインに第１の電位を印加し；選択したメモリセルの第１の端子を第１のノードに結合し；選択したメモリセルの第２の端子を第２のノードに結合し；第１のノードに第２の電位を印加し；かつ選択したメモリセルのフローティングゲートへの電子の移動をもたらすべく第２のノードの電位を制御された速度で第３の電位に降下させる段階を具備し、速度は、選択したセルの第１及び第２の端子の電位が隣接セルに記憶されたデータを擾乱しないように制御されるので、隣接アレイセルを擾乱せずにバーチャルグラウンドＥＰＲＯＭアレイ内の選択したセルをプログラミングすることができる。

【００４２】

本発明の方法は、隣接セルに記憶されたデータの擾乱を回避する選択したメモリセルをプログラムする方法であり、選択したメモリセルは、アレイを形成するようにロー及びカラムに配置された複数のフローティングゲートメモリセルを含んでいる電気的にプログラマブルな半導体メモリ機器の一部であり、複数のメモリセルにおけるメモリセルは、制御ゲート、第１の端子及び第２の端末を含んでおり、ローにおけるメモリセルの制御ゲートは、同じローラインに結合される、方法であって：選択したメモリセルに結合されたローラインに第１の電位を印加し；選択したメモリセルの第１の端子を第１のノードに結合し；選択したメモリセルの第２の端子を第２のノードに結合し；第１のノードに第２の電位を印加し；かつ選択したメモリセルのフローティングゲートへの電子の移動をもたらすべく第２のノードの電位を第３の電位に降下させる段階を具備し、降下は、選択したセルのワードラインへの第１の電位の印加の後、かつ第１のノードへの第２の電位の印加の後で実行され、第２のノードが選択したセルの第１及び第２の端子の間の導電経路を介して第１のノードによって充電され、プログラミング電流が隣接セルのフローティングゲートが高ドレイン電圧によって擾乱されないように低減されるので、隣接アレイセルを擾乱せずにバーチャルグラウンドＥＰＲＯＭアレイ内の選択したセルをプログラミングすることができる。

【００４３】

本発明の方法は、隣接セルに記憶されたデータの擾乱を回避する選択したメモリセルをプログラムする方法であり、選択したメモリセルは、アレイを形成するようにロー及びカラムに配置された複数のフローティングゲートメモリセルを含んでいる電気的にプログラマブルな半導体メモリ機器の一部であり、複数のメモリセルにおけるメモリセルは、制御ゲート、第１の端子及び第２の端末を含んでおり、ローにおけるメモリセルの制御ゲートは、同じローラインに結合される、方法であって：選択したメモリセルに結合されたローラインに第１の電位を印加し；選択したメモリセルの第１の端子を第１のノードに結合し；選択したメモリセルの第２の端子を第２のノードに結合し；第１のノードに第２の電位を印加し；かつ選択したメモリセルのフローティングゲートへの電子の移動をもたらすべく第２のノードの電位を第３の電位に降下させる段階を具備し、降下は、選択したセルのワードラインへの第１の電位の印加の前で実行されて、隣接セルに記憶されたデータのソース側擾乱が回避されるので、隣接アレイセルを擾乱せずにバーチャルグラウンドＥＰＲＯＭアレイ内の選択したセルをプログラミングすることができる。

【００４４】

本発明の方法は、隣接セルに記憶されたデータの擾乱を回避する選択したメモリセルをプログラムする方法であり、選択したメモリセルは、アレイを形成するようにロー及びカラムに配置された複数のフローティングゲートメモリセルを含んでいる電気的にプログラマブルな半導体メモリ機器の一部であり、複数のメモリセルにおけるメモリセルは、制御ゲート、第１の端子及び第２の端末を含んでおり、ローにおけるメモリセルの制御ゲートは、同じローラインに結合される、方法であって：選択したメモリセルに結合されたローラインに第１の電位を印加し；選択したメモリセルの第１の端子を第１のノードに結合し；

選択したメモリセルの第２の端子を第２のノードに結合し；選択したセルの第１の端子に結合された第１のノードの電圧を第２の電位よりも低い中間電位に上昇させ、固定された時間の間隔待機し、かつ選択したセルの第２の端子に結合された第１のノードの電圧を第２の電位に上昇させることを含む、ローラインへの第１の電位の印加の前に選択したセルの第１の端末の過剰電圧の結果として生ずるストレスを低減するために２フェーズで第１のノードに第２の電位を印加し；かつ選択したメモリセルのフローティングゲートへの電子の移動をもたらすべく第２のノードの電位を第３の電位に降下させる段階を具備するので、隣接アレイセルを擾乱せずにバーチャルグラウンドＥＰＲＯＭアレイ内の選択したセルをプログラミングすることができる。

【００４５】

本発明の方法は、隣接セルに記憶されたデータの擾乱を回避する選択したメモリセルをプログラムする方法であり、選択したメモリセルは、アレイを形成するようにロー及びカラムに配置された複数のフローティングゲートメモリセルを含んでいる電気的にプログラマブルな半導体メモリ機器の一部であり、複数のメモリセルにおけるメモリセルは、制御ゲート、第１の端子及び第２の端末を含んでおり、ローにおけるメモリセルの制御ゲートは、同じローラインに結合される、方法であって：選択したメモリセルに結合されたローラインに第１の電位を印加し、印加は、隣接セルに記憶されたデータの擾乱を低減すると同時にプログラミング有効性を増大するために２つのフェーズで実行され、選択したセルのワードラインの電圧を第１の電位よりも低い中間電位に上昇させ、固定時間の間隔待機し、かつ選択したセルのワードラインの電圧を第１の電位に上昇させ；選択したメモリセルの第１の端子を第１のノードに結合し；選択したメモリセルの第２の端子を第２のノードに結合し；第１のノードに第２の電位を印加し；かつ選択したメモリセルのフローティングゲートへの電子の移動をもたらすべく第２のノードの電位を第３の電位に降下させる段階を具備するので、隣接アレイセルを擾乱せずにバーチャルグラウンドＥＰＲＯＭアレイ内の選択したセルをプログラミングすることができる。

【００４６】

本発明の電気的にプログラマブルなメモリ装置は、各メモリセルが制御ゲート及び第１及び第２の端子を含む、アレイを形成するようにロー及びカラムに配置された複数のフローティングゲートメモリセル；同じローのセルの制御ゲートが複数のローラインの共通ローラインに結合される、複数のローライン；アレイのメモリセルの第１及び第１の端子に結合された複数のカラムライン；選択したメモリセルに結合されたローラインを選択する、複数のローラインに結合された、ローデコーダ；選択したメモリセルのプログラミングをもたらすべく、選択したメモリセルの第１の端子に結合された第１のカラムラインを第１の電位に結合し、かつ選択したメモリセルの第２の端子に結合された第２のカラムラインを第２の電位に結合する、カラムデコーダ；及び隣接メモリセルの第１及び第２の端末間の電圧差を制限することによって隣接メモリセルに記憶されたデータを擾乱することを回避するように選択したメモリセルに隣接するメモリセルの第１及び第２の端子に結合されたカラムラインの対を互いに結合するために複数のカラムラインのカラムラインに結合された、カラム接続回路を備えているので、隣接アレイセルを擾乱せずにバーチャルグラウンドＥＰＲＯＭアレイ内の選択したセルをプログラミングすることができる。

【００４７】

本発明の電気的にプログラマブルなメモリ装置は、各メモリセルが制御ゲート及び第１及び第２の端子を含む、アレイを形成するようにロー及びカラムに配置された複数のフローティングゲートメモリセル；同じローのセルの制御ゲートが複数のローラインの共通ローラインに結合される、複数のローライン；アレイのメモリセルの第１及び第１の端子に結合された複数のカラムライン；選択したメモリセルに結合されたローラインを選択する、複数のローラインに結合された、ローデコーダ；選択したメモリセルのプログラミングをもたらすべく、選択したメモリセルの第１の端子に結合された第１のカラムラインを第１の電位に結合し、かつ選択したメモリセルの第２の端子に結合された第２のカラムラインを第２の電位に結合する、カラムデコーダ；及び隣接メモリセルに記憶されたデータを擾

乱することを回避するように選択したメモリセルに結合されたカラムラインで電圧が降下する速度を制御する、複数のカラムラインのカラムラインに結合された、電流リミタ回路を備えているので、隣接アレイセルを擾乱せずにバーチャルグラウンドＥＰＲＯＭアレイ内の選択したセルをプログラミングすることができる。

【図面の簡単な説明】

【図１】本発明の形態によるプログラミング回路素子を含むフローティングゲートメモリセルのアレイの構造を示す回路図である。

【図２】本発明の形態による図１のビットライン１８３、１８４及び１８５にデータ入力２１２及びデータ出力２１４を接続する回路素子を示す回路図である。

【図３】本発明の形態による図１の電流リミタ回路１００の内部構造を示す回路図である。

【図４】本発明の形態による図１のドライバ１０２、１０４及び１０６のようなドライバの内部構造を示す回路図である。

【図５】本発明の形態による選択したメモリセルのプログラミング中に信号が図１のフローティングゲートメモリセルのアレイに供給されるようなシーケンスを示すタイミング図である。

【図６】本発明の形態による選択したセルのプログラミング中に隣接セルに記憶されるデータの擾乱を低減するようにフローティングゲートメモリセルのアレイのカラムラインを互いに結合させる方法を示す回路図である。

【図７】本発明の形態による第１のプログラミングモード中に図６内の種々のノードに存在する電圧レベルを示すタイミング図である。

【図８】本発明の形態による第２のプログラミングモード中に図６内の種々のノードに存在する電圧レベルを示すタイミング図である。

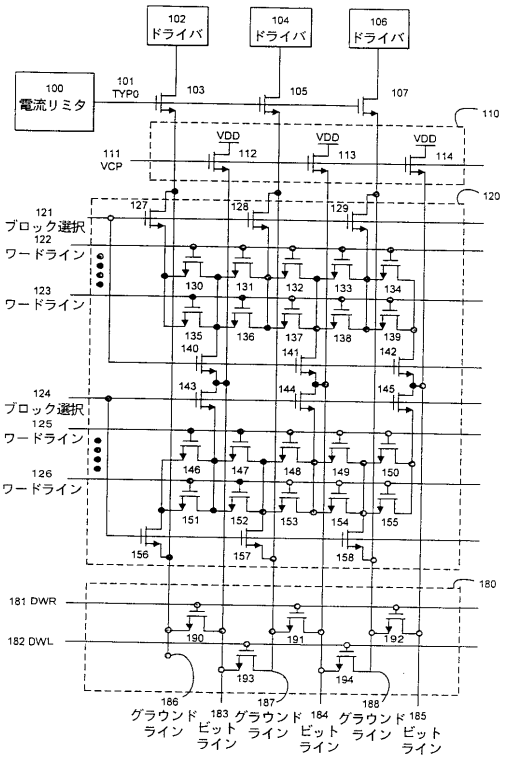
【図９】本発明の形態による２段ワードライン電圧を供給するためのワードラインドライバの構造を示す回路図である。

【図１０】本発明の形態による２段電圧をデータラインに駆動するためのデータラインドライバの構造を示す回路図である。

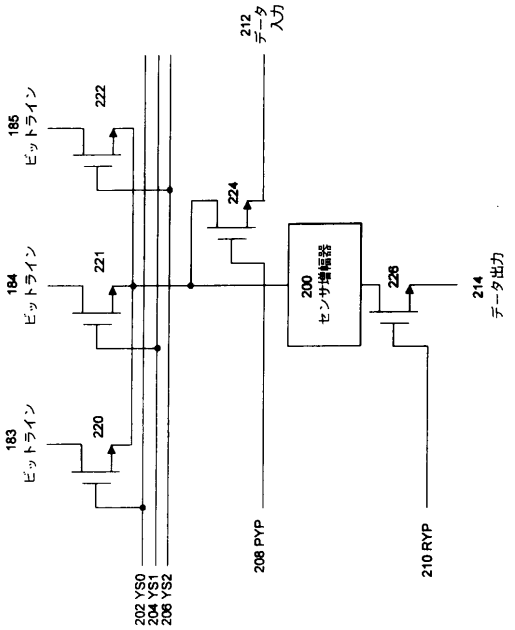
【符号の説明】

１００　電流リミタ
１０１　信号ＴＹＰ０
１０２、１０４、１０６　ドライバ
１０３、１０５、１０７　トランジスタ
１１１　信号ＶＣＰ
１１２、１１３、１１４　トランジスタ
１２１、１２４　ブロック選択信号
１２２、１２３　ワードライン
１２４　ブロック選択信号
１２７、１２８、１２９　トランジスタ
１３０、１３１、１３２、１３３　フローティングゲートメモリセル
１３４、１３５、１３６、１３７　フローティングゲートメモリセル
１３８、１３９　フローティングゲートメモリセル
１４０、１４１、１４２、１４３、１４４、１４５　トランジスタ
１４６、１４７、１４８、１４９　フローティングゲートメモリセル
１５０、１５１、１５２、１５３　フローティングゲートメモリセル
１５４、１５５　フローティングゲートメモリセル
１５６、１５７、１５８　トランジスタ
１８１、１８２　信号ＤＷＬ
１８３、１８４、１８５　ビットライン
１８６、１８７、１８８　グラウンドライン
１９０、１９１、１９２、１９３、１９４　トランジスタ

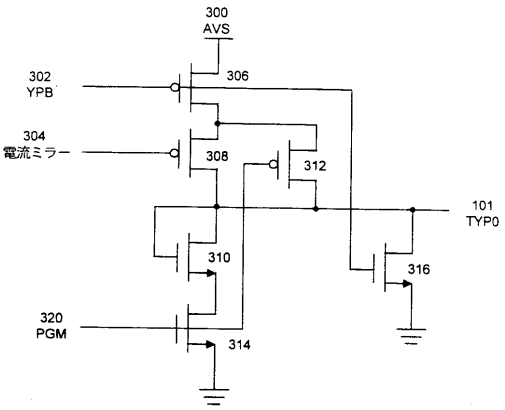
【図１】


102 ドライバ
104 ドライバ
106 ドライバ
100 電流リミタ
101 TYP0
103
105
107
110
VDD
111 VCP
112
113
114
120
121 ブロック選択
122 ワードライン
123 ワードライン
124 ブロック選択
125 ワードライン
126 ワードライン
127
128
129
130
131
132
133
134
135
136
137
138
139
140
141
142
143
144
145
146
147
148
149
150
151
152
153
154
155
156
157
158
180
181 DWR
182 DWL
190
191
192
193
194
186 グラウンドライン
183 ビットライン
187 グラウンドライン
184 ビットライン
188 グラウンドライン
185 ビットライン

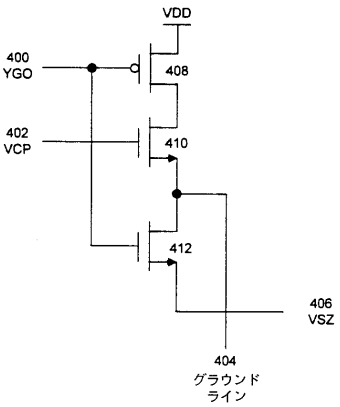
【図２】


212 データ入力
185 ビットライン
222
184 ビットライン
221
183 ビットライン
220
224
200 センサ増幅器
226
214 データ出力
202 YS0
204 YS1
206 YS2
208 PYP
210 RYP

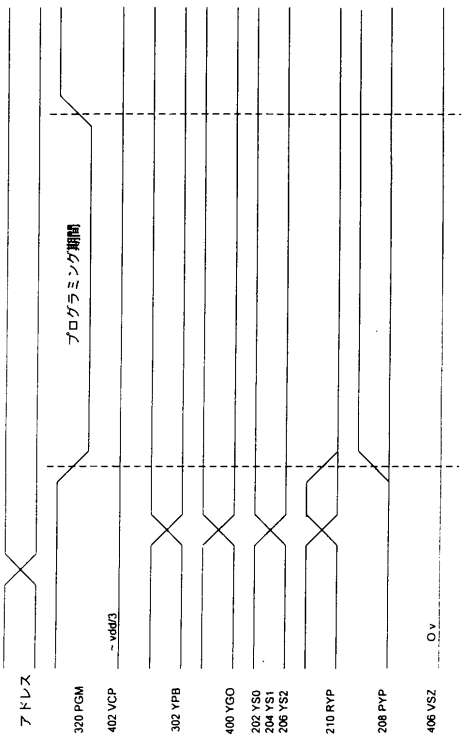
【図３】


300 AVS
302 YPB
306
304 電流ミラー
308
312
101 TYP0
310
316
320 PGM
314

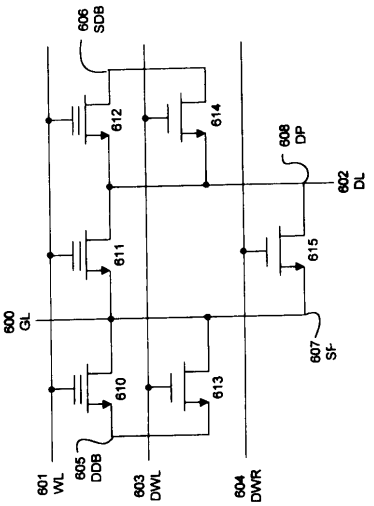
【図４】


VDD
400 YGO
408
402 VCP
410
412
406 VSZ
404 グラウンドライン

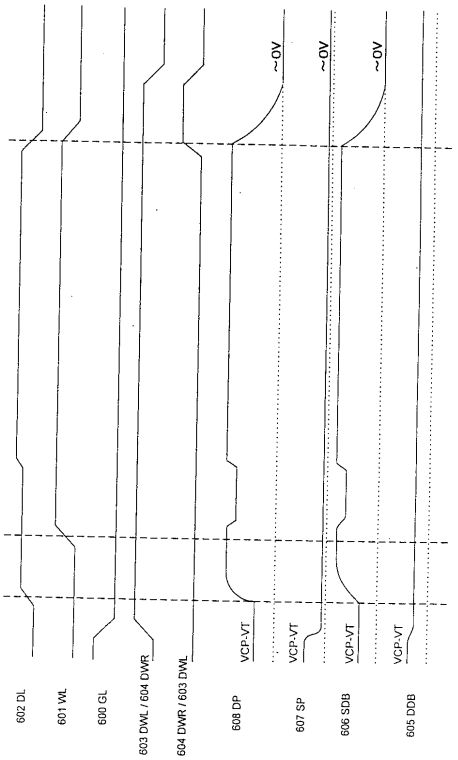
【図５】


プログラミング期間
~ vdd/3
0 v
アドレス
320 PGM
402 VCP
302 YPB
400 YGO
202 YS0
204 YS1
206 YS2
210 RYP
208 PYP
406 VSZ

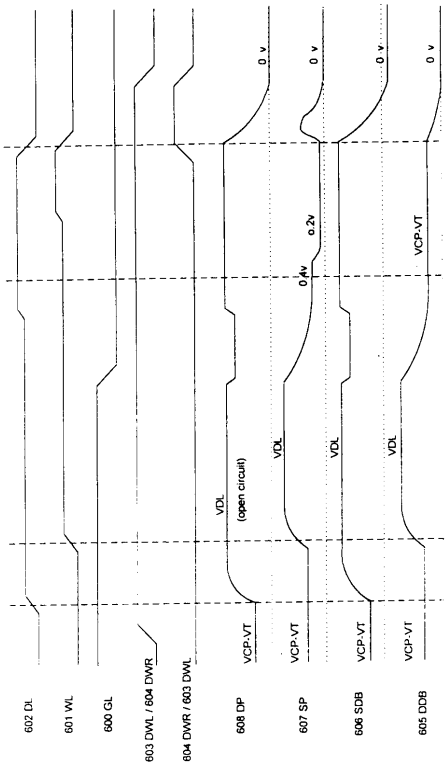
【図６】


606 SDB
612
614
608 DP
602 DL
611
615
600 GL
607 SF
610
613
601 WL
605 DDB
603 DWL
604 DWR

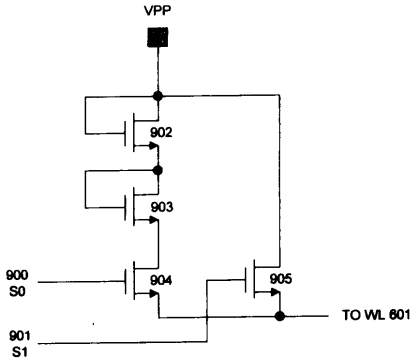
【図７】


~0V
~0V
~0V
602 DL
601 WL
600 GL
603 DWL / 604 DWR
604 DWR / 603 DWL
608 DP
VCP-VT
607 SP
606 SDB
605 DDB

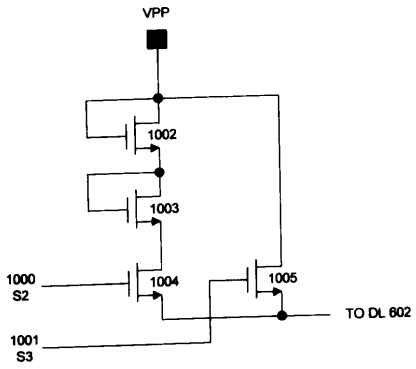
【図８】


0 v
0 v
0 v
0 v
0.2v
0.4v
VCP-VT
VDL
(open circuit)
602 DL
601 WL
600 GL
603 DWL / 604 DWR
604 DWR / 603 DWL
608 DP
607 SP
606 SDB
605 DDB

【図９】


VPP
902
903
900
S0
904
905
TO WL 601
901
S1

【図１０】



フロントページの続き

(74)代理人 100084009
弁理士 小川 信夫
(74)代理人 100082821
弁理士 村社 厚夫
(72)発明者 チン シ リン
台湾 シン チュ チン チャオ ヒュー レーン １６０－３６
(72)発明者 シー チャルン アイ
台湾 タイペイ ネイ ヒュー ディストリクト チアン ナン ストリート レーン ２１－４－７エフ
(72)発明者 チエン シン リー
台湾 タイペイ シュー リン タウン シュー テ ストリート ９２
(72)発明者 フル ロン ニ
台湾 シン チュ ナン ヤ ストリート レーン ３１１ アレイ ６６－７－２エフ
(72)発明者 マム ツン ワン
台湾 シン チュ サイエンティフィック パーク ロード レーン １６２ アレイ ３－１８
(72)発明者 チン イ ヒューアン
台湾 シン チュ パオ シャン ヴィレッジ シューアン シー ツン ミン ヒュー ストリート レーン ２５－１６

合議体
審判長 大日方 和幸
審判官 和田 志郎
審判官 坂東 博司

(56)参考文献 特開平７－７３６８４（ＪＰ，Ａ）
特開平６－４４７９０（ＪＰ，Ａ）
特開平８－１７１８９（ＪＰ，Ａ）
特開昭６２－１４３２９６（ＪＰ，Ａ）
特開平９－１１５２９１（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
G11C16/06