

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2013 年 10 月 3 日 (03.10.2013)



(10) 国际公布号
WO 2013/143157 A1

(51) 国际专利分类号:
G09G 3/36 (2006.01)

(21) 国际申请号: PCT/CN2012/073516

(22) 国际申请日: 2012 年 4 月 5 日 (05.04.2012)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201210091066.7 2012 年 3 月 30 日 (30.03.2012) CN

(71) 申请人 (对除美国外的所有指定国): **深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.)** [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号王可心, Guangdong 518132 (CN)。

(72) 发明人: 及

(75) 发明人/申请人 (仅对美国): **陈世烽 (CHEN, Shyh-feng)** [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号王可心, Guangdong 518132 (CN)。

(74) 代理人: **深圳翼盛智成知识产权事务所(普通合伙) (ESSEN PATENT&TRADEMARK AGENCY)**; 中国广东省深圳市福田区天安数码城数码时代大厦 A 座 1409 王可心, Guangdong 518040 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,

[见续页]

(54) Title: GATE ELECTRODE DRIVING CIRCUIT OF DISPLAY DEVICE

(54) 发明名称: 显示器的栅极驱动电路

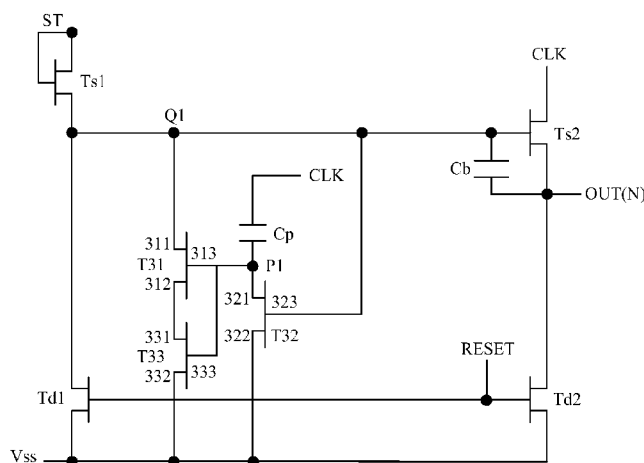


图 3 / Fig.3

(57) Abstract: A gate electrode driving circuit of a display device. Utilized is at least one transistor (T33) serial-connected between a transistor (T31) connected to a node (Q1) providing a high potential and a reference voltage signal input end (Vss), while a voltage load between a source electrode and a drain electrode of the transistor (T31) connected to the node (Q1) is apportioned to the at least one transistor (T33). This reduces the occurrence of current leakage on the transistor (T31), thus increasing the stability of the driving voltage of the gate electrode driving circuit, thereby improving the reliability of the gate electrode driving circuit.

(57) 摘要: 一种显示器的栅极驱动电路, 其利用在连接提供一高电位的节点 (Q1) 的晶体管 (T31) 和参考电压信号输入端 (Vss) 之间串联至少一个晶体管 (T33), 以将连接该节点 (Q1) 的该晶体管 (T31) 源极和汲极间的电压负荷分摊到该至少一个晶体管 (T33) 上, 借此减少该晶体管 (T31) 发生漏电流的情形, 从而提高栅极驱动电路的驱动电压的稳定性, 提升栅极驱动电路的可靠度。



WO 2013/143157 A1



RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, **本国际公布:**
CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, — 包括国际检索报告(条约第 21 条(3))。
TG)。

说明书

发明名称：显示器的闸极驱动电路

技术领域

- [1] 本发明涉及一种显示器的闸极驱动电路，特别涉及一种可有效减少晶体管发生漏电流的显示器闸极驱动电路。

背景技术

- [2] 液晶显示器（liquid crystal display, LCD）是利用电场来控制具有介电异向性的液晶分子，以改变光的穿透性，依此来显示影像。液晶显示器通常包含一显示面板具有矩阵排列的像素以及一驱动电路用来驱动该显示面板。
- [3] 上述的驱动电路一般分为源极驱动电路和闸极驱动电路，源极驱动电路是将输入资料转换成资料信号，而闸极驱动电路会产生用于驱动像素的扫描信号，以显示对应该输入资料的影像。源极驱动电路和闸极驱动电路可根据由时序控制器产生之控制信号所决定的时序来进行操作。
- [4] 现今，为了降低显示器的成本，采用非晶硅（amorphous-Si）薄膜晶体管技术来设计液晶显示器的闸极驱动电路已逐渐成为主流的趋势。然而，非晶硅薄膜晶体管元件会因为长时间的使用，或者是高偏压施加而产生临界电压漂移的问题，进而影响到驱动电路的稳定度，造成画面的显示品质下降。
- [5] 现有的闸极驱动电路中，一般是由多级的移位暂存器（shift register）串联而成，移位暂存器输出的闸极脉冲讯号也会提供给下一级的移位暂存器作为一个输入信号，相关专利可参考US 7,825,887和TW 200813920。
- [6] 图1显示一种现有的显示器的闸极驱动电路的部分电路示意图。闸极驱动电路用来根据预定的时序产生脉冲信号，脉冲信号会送到闸极线，藉此来控制显示面板之像素内的薄膜电晶体的开关。如图1所示，晶体管T11作为起始的开关，晶体管T12作为脉冲开关，当起始脉冲信号ST将晶体管T11打开时，会对存储电容Cb进行充电，当时脉信号CLK处于高电位时，存储电容Cb进行放电，藉此提供电压信号VN给显示面板的第N条闸极线，作为输出信号OUT(N)。
- [7] 晶体管T12通常称为上拉晶体管，因为需对整条闸极线充电，所以上拉晶体管T

12必须提供高电流，若上拉晶体管T12无法提供足够的电流，则对应该条闸极线的像素将无法正常工作。

[8] 晶体管T13和晶体管T14作为下拉晶体管，其能将送到闸极线的信号下拉到接近参考电压信号V_{ss}的电压水平。具体来说，通过重置信号RESET将晶体管T13和晶体管T14开启时，晶体管T14可将节点Q1的电压下拉到接近参考电压信号V_{ss}的电压水平，而晶体管T13可将节点Q2的电压下拉到接近参考电压信号V_{ss}的电压水平。

[9] 然而，由于需在上拉晶体管T12提供高电压，因此闸极驱动电路容易产生杂讯，故需再增加其他辅助的杂讯抑制电路，一般有采用晶体管以数位讯号处理的方式来抑制杂讯，但因需要的晶体管元件较多，占用了较大的布线（layout）面积，对于显示器中窄边框的产品来说，因面积不足而无法达成。

[10] 图2显示现有的显示器的闸极驱动电路用来抑制杂讯的部分电路示意图。为了降低杂讯，现有的闸极驱动电路采用电容耦合的方式来控制杂讯。如图2所示的等效电路中，在晶体管T21和晶体管T22间的连接节点P1与时脉信号CLK之间插入一耦合电容C_p，如此可以使用较少的晶体管元件来达到抑制杂讯的效果，相对的布线面积也会减少，从而有利于显示器中窄边框产品的开发。

[11] 然而，在图2所示的电路中，由于节点Q1的电压会被拉到两倍于时脉信号CLK的电压水平，因此晶体管T21的源极和汲极间的电压V_{ds}过高，导致漏电流增大，而节点Q1的电压也会因晶体管T21产生漏电流的现象而跟着下降，致使闸极驱动电路驱动的能力下降，容易造成相应闸极线之像素无法正常工作的情况。

对发明的公开

技术问题

[12] 本发明之一目的在于提供一种显示器的闸极驱动电路，以解决闸极驱动电路内之晶体管容易产生漏电流的问题。

[13] 本发明之另一目的在于提供一种显示器的闸极驱动电路，以提升闸极驱动电路之驱动电压的稳定性，提高闸极驱动电路的可靠度。

问题的解决方案

技术解决方案

- [14] 本发明一方面提供一种显示器的闸极驱动电路，包含：一第一节点，其在一起始信号通过时具有一电压水平；一第一晶体管，其耦接于该第一节点和一参考电压信号输入端，当该第一晶体管开启时，该第一节点的电压会被下拉到接近该参考电压信号的电压；一第二晶体管，其一端与该第一晶体管电性连接，另一端与该参考电压信号输入端电性连接；一第二节点，位于该第一晶体管 and 该第二晶体管的连接端；一电容，设置于该第二节点和一时脉信号输入端，该电容用于抑制杂讯的产生；以及一第三晶体管，设置于该第一晶体管 and 该参考电压信号输入端之间，该第三晶体管与该第一晶体管串联连接，用于与该第一晶体管分摊该第一节点与该参考电压信号输入端之间的电压差。
- [15] 在本发明之显示器的闸极驱动电路中，该第一晶体管的闸极与该第三晶体管的闸极电性连接。
- [16] 在本发明之显示器的闸极驱动电路中，所述电路更包含一第四晶体管，设置于该第三晶体管 and 该参考电压信号输入端之间，该第四晶体管与该第三晶体管串联连接，用于与第一晶体管 and 该第三晶体管分摊该第一节点与该参考电压信号输入端之间的电压差。
- [17] 在本发明之显示器的闸极驱动电路中，该第三晶体管的闸极与该第四晶体管的闸极电性连接。
- [18] 在本发明之显示器的闸极驱动电路中，该第二晶体管的闸极电性连接至该第一节点。
- [19] 本发明另一方面提供一种显示器的闸极驱动电路，包含：一第一晶体管，该第一晶体管的第一端耦接至提供一高电位的一第一节点，而该第一晶体管的第二端耦接至一参考电压信号输入端；一第二晶体管，该第二晶体管的第一端与该第一晶体管的第三端电性连接并在其间形成一第二节点，该第二晶体管的第二端耦接至该参考电压信号输入端，而该第二晶体管的第三端耦接至该第一节点；一电容，其一端与该第一晶体管 and 该第二晶体管间的该第二节点电性连接，另一端与一时脉信号输入端电性耦接；以及至少一晶体管，设置在该第一晶体管 and 该参考电压信号输入端之间，该至少一晶体管与该第一晶体管串联连接。
- [20] 在本发明之显示器的闸极驱动电路中，该第一晶体管的第三端为闸极，其与该

至少一晶体管的闸极电性连接。

[21] 在本发明之显示器的闸极驱动电路中，当该第一晶体管 and 该至少一晶体管开启时，该第一节点的电压会被下拉到接近该参考电压信号的电压。

[22] 在本发明之显示器的闸极驱动电路中，该第一晶体管的第三端为闸极，而该第二晶体管的第一端为源极或汲极。

[23] 在本发明之显示器的闸极驱动电路中，该第一晶体管、该第二晶体管和该至少一晶体管为非晶硅晶体管。

[24] 本发明再一方面提供一种显示器的闸极驱动电路，包含：一第一节点，其会根据一起始信号和一时脉信号，将一高电压水平的驱动信号传送到一输出端，该输出端电性连接至一闸极线；一第一晶体管，该第一晶体管的第一端耦接至该第一节点，而该第一晶体管的第二端耦接至一参考电压信号输入端；一第二晶体管，该第二晶体管的第一端与该第一晶体管的第三端电性连接，该第二晶体管的第二端耦接至该参考电压信号输入端，而该第二晶体管的第三端耦接至该第一节点；以及至少一晶体管，设置于该第一晶体管和该参考电压信号输入端之间，该至少一晶体管与该第一晶体管串联连接。

[25] 在本发明之显示器的闸极驱动电路中，更包含一起始晶体管，设置于该起始信号之输入端和该第一节点之间；以及一时脉晶体管，设置于该时脉信号之输入端和该第一节点之间。

[26] 在本发明之显示器的闸极驱动电路中，更包含一存储电容，设置于该第一节点和该输出端之间。

[27] 在本发明之显示器的闸极驱动电路中，更包含一第一下拉晶体管，设置于该第一节点和该参考电压信号输入端之间；以及一第二下拉晶体管，设置于该输出端和该参考电压信号输入端之间，其中当该第一下拉晶体管和该第二下拉晶体管基于一重置信号而导通时，会将该第一节点和该输出端的电压下拉至该参考电压信号输入端的电压。

[28] 在本发明之显示器的闸极驱动电路中，该第一晶体管的第三端为闸极，其与该至少一晶体管的闸极电性连接。

发明的有益效果

有益效果

- [29] 在本发明中，通过在第一晶体管 and 参考电压信号输入端之间串联至少一晶体管，以将第一晶体管源极和汲极间的电压负荷分摊到该至少一晶体管上，藉此第一晶体管不致受第一节点上高电压的影响而产生漏电流使得第一节点上之电压降低所导致像素驱动电压不足的情形，因此本发明能够有效解决闸极驱动电路之驱动电压稳定性的问题，提高闸极驱动电路的可靠度，进一步提升显示面板的画面显示品质。

对附图的简要说明

附图说明

- [30] 图1显示一种现有的显示器的闸极驱动电路的部分电路示意图。
- [31] 图2显示现有的显示器的闸极驱动电路用来抑制杂讯的部分电路示意图。
- [32] 图3显示根据本发明第一实施例的显示器闸极驱动电路的电路示意图。
- [33] 图4显示根据本发明第二实施例的显示器闸极驱动电路的电路示意图。

实施该发明的最佳实施例

本发明的最佳实施方式

- [34] 以下各实施例的说明是参考附加的图式，用以例示本发明可用以实施的特定实施例。
- [35] 在本发明说明书及权利要求当中使用了某些词汇来指称特定的元件，本领域技术人员应可理解，硬件制造商可能会用不同的名词来称呼同一个元件。
- [36] 在通篇说明书及权利要求当中所提及的「包含」为一开放式的用语，故应解释成「包含但不限于」。此外，「耦接」一词在此包含任何直接及间接的电性连接手段，因此若本说明书文中描述第一元件耦接于第二元件，则代表第一元件可直接电性连接于第二元件，或通过其他元件或连接手段间接地电性连接至第二元件。并且，在说明书和附图中，结构相似的单元是以相同标号表示。
- [37] 在本发明中，显示器可为液晶显示器或主动式液晶显示器（AMOLCD），显示器包含像素呈矩阵排列的一显示面板以及用来驱动该显示面板的一驱动电路。该驱动电路分为源极驱动电路和闸极驱动电路，源极驱动电路用来将输入的影像资料转换成资料信号，而闸极驱动电路会根据时脉控制器产生的时序，来

产生用于驱动像素的扫描信号，以显示对应该资料信号的影像。

[38] 本发明着重在闸极驱动电路的改良，以减少闸极驱动电路内部之晶体管发生漏电流的情形，藉此提升闸极驱动电路的稳定性，从而提升显示面板的画面显示品质。此外，特别是在闸极驱动电路内部之晶体管实现为采用非晶硅（amorphous-Si）薄膜晶体管技术而制成的晶体管时，本发明所提供之防止晶体管发生漏电流的解决方案，其效果更佳。

[39] 图3显示根据本发明第一实施例的显示器闸极驱动电路的电路示意图。虽然图3中仅例示了一级的电路，但本领域技术人员可以理解到，整合的闸极驱动电路是由若干级的电路串联而成，每一级的电路对应驱动显示面板中的一或多条闸极线，本级的电路除了提供扫描信号给对应的闸极线之外，也会提供一个输出信号作为下一级电路的一个输入。

[40] 如图3所示，闸极驱动电路中包含一第一晶体管T31、一第二晶体管T32、一第三晶体管T33和一电容Cp，第一晶体管T31的一端与第二晶体管T32耦接的电性接点上具有一第一节点Q1，而第一晶体管T31的另一端与第二晶体管T32耦接的电性接点上具有一第二节点P1。

[41] 首先，当接收到一起始信号ST，起始信号ST在高电压水平时会开启晶体管Ts1，并接着对存储电容Cb充电。而当电容充电完成时，时脉信号CLK处于高电位状态，晶体管Ts2关闭，使得存储电容Cb开始放电，藉此提供电压信号给显示面板的第N条闸极线，作为输出信号OUT(N)。此外，在通过重置信号RESET将晶体管Td1和晶体管Td2开启时，晶体管Td1可将节点Q1的电压下拉到接近参考电压信号Vss的电压水平，而晶体管Td2可将输出信号OUT(N)的电压下拉到接近参考电压信号Vss的电压水平，此时输出至第N条闸极线的电压保持低电位。

[42] 具体来说，第一节点Q1会根据该起始信号的时序，在一段时间内保持高电压水平，而在另一段时间内保持低电压水平。当第一节点Q1在高电压水平时，会对存储电容Cb进行充电，而存储电容Cb放电时的高电压会输入对应该级的扫描线，作为扫描信号，以驱动该级之扫描线所对应的像素。

[43] 另外，当起始信号ST在低电压水平时，节点Q1的电压容易受到时脉信号CLK的影响而呈现微幅高低起伏的情形，因此需要杂讯抑制电路来减低此杂讯对整

体电路的影响。如图3所示，当起始信号ST在低电压水平，而节点Q1受时脉信号CLK影响处于微幅高电位时，此微幅高电位仍不足将第二晶体管T32开启，但时脉信号CLK的高电位会将第一晶体管T31和第三晶体管T33导通，因此节点Q1的微幅高电位会被拉至参考电压Vss，即接地电位。

[44] 再者，当起始信号ST在高电压水平时，节点Q1上的高电位会将第二晶体管T32开启，参考电压Vss的接地电位传递到节点P1，此时第一晶体管T31和第三晶体管T33在理想情况下为关闭状态，节点Q1上的高电位因而能对电容Q1进行充电。

[45] 由于驱动扫描线上对应之像素需要相当高的电流，也就是说，在第一节点Q1上的高电压需要的电压相当大，这就容易使得闸极驱动电路中的晶体管，如第一晶体管T31，产生漏电流，而第一晶体管T31发生漏电流现象时，第一节点Q1上的高电压会跟着降低，进而容易导致像素之驱动电压不足的问题，使得该扫描线所对应的像素无法正常工作。

[46] 本发明通过在第一晶体管T31串联至少一晶体管，如第三晶体管T33，藉此能够有效减少第一晶体管T31发生漏电流的情况，进而有效解决闸极驱动电路之驱动电压稳定性的问题。

[47] 以下将详细说明根据本发明实现的第一实施例的闸极驱动电路的电路配置示意图。

[48] 第一晶体管T31耦接于第一节点Q1和一参考电压信号Vss输入端之间，第二晶体管T32的一端与第一晶体管T31电性连接，另一端与参考电压信号Vss输入端电性连接。具体来说，第一晶体管T31的第一端311耦接至第一节点Q1，第一晶体管T31的第二端312耦接至参考电压信号Vss输入端；而第二晶体管T32的第二端322耦接至参考电压信号Vss输入端，第二晶体管T32的第三端323耦接至第一节点Q1。第一晶体管T31的第三端313与第二晶体管T32的第一端321电性连接。也就是说，在具体的电路配置中，第一晶体管T31的闸极313是与第二晶体管T32的源极或汲极电性连接，而第二晶体管T32的闸极电性连接至第一节点Q1。

[49] 在上述电路配置中，当第一晶体管T31开启而第三晶体管T33也随着开启时，第一节点Q1的电压会被下拉到接近参考电压信号Vss的电压。

- [50] 如前所述，第一节点Q1会根据起始信号的时序，在一段时间内保持高电压水平，而在另一段时间内保持低电压水平，该高电压水平透过存储电容Cb的充放电作为像素的驱动电压，其所需的电压相当高。当第一节点Q1处于高电压状态，而第一晶体管T31关闭时，容易导致第一晶体管T31发生漏电流的现象，进而使得第一节点Q1上的驱动电压电压不足。关于此点，本发明提出的具体解决方案将于后文详细描述。
- [51] 在第一晶体管T31和第二晶体管T32的连接端具有第二节点P1。具体来说，第一晶体管T31的第三端313与第二晶体管T32的第一端321电性连接并在其间形成第二节点P1。也就是说，在具体的电路配置中，第一晶体管T31的闸极与第二晶体管T32的源极或汲极的连接端具有第二节点P1。
- [52] 电容Cp设置于第二节点P1和来自时脉控制器的时脉信号CLK的输入端。具体来说，电容Cp的一端是与第一晶体管T31和第二晶体管T32间的第二节点P1电性连接，而电容Cp的另一端是与该时脉信号CLK输入端电性耦接。
- [53] 通过在第二节点P1和时脉信号CLK输入端之间插入耦合电容Cp，藉此可使用较少的晶体管元件来抑制闸极驱动电路中因高驱动电压所容易引起的杂讯，避免了节点Q1受时脉信号CLK影响而导致的微幅电压变动，也因此闸极驱动电路在显示面板上的布线面积可以减少，非常有利于显示器中窄边框产品的开发。
- [54] 本发明中，闸极驱动电路中具有至少一晶体管，如图3所示的第三晶体管T33，其设置在第一晶体管T31和参考电压信号Vss输入端之间，该至少一晶体管（或第三晶体管T33）与第一晶体管T31串联连接。具体来说，第三晶体管T33的第一端331与第一晶体管T31的第二端312电性连接，第三晶体管T33的第二端332与参考电压信号Vss输入端电性耦接，而第三晶体管T33的第三端333与第一晶体管T31的第三端313电性连接。也就是说，在具体的电路配置中，第一晶体管T31的闸极与第三晶体管T33的闸极电性连接，以使得第一晶体管T31和第三晶体管T33形成串联的连接架构。
- [55] 在本发明第一实施例中，上述第三晶体管T33的配置，使得第三晶体管T33可以与第一晶体管T31一起分摊第一节点Q1与参考电压信号Vss输入端之间的电压差。也就是说，第三晶体管T33的配置可以减轻第一晶体管T31源极和汲极间的电

压 V_{ds} 的电压负荷，以减少第一晶体管T31发生漏电流的现象。

[56] 图4显示根据本发明第二实施例的显示器闸极驱动电路的电路示意图。与图3所示的第一实施例相较，在图4所示的第二实施例中，闸极驱动电路更包含一第四晶体管T34，其设置在第三晶体管T33和参考电压信号 V_{ss} 输入端之间，第四晶体管T34与第三晶体管T33串联连接。在具体的电路配置中，第四晶体管T34的闸极与第三晶体管T33的闸极电性连接，以使得第四晶体管T34和第三晶体管T33形成串联的连接架构。进一步来说，第一晶体管T31、第三晶体管T33和第四晶体管T34都是相互串联连接的。

[57] 在本发明第二实施例中，增加了上述第四晶体管T34的配置，使得第三晶体管T33和第四晶体管T34可以与第一晶体管T31一起分摊第一节点Q1与参考电压信号 V_{ss} 输入端之间的电压差。也就是说，第三晶体管T33和第四晶体管T34的配置可以减轻第一晶体管T31源极和汲极间的电压 V_{ds} 的电压负荷，以减少第一晶体管T31发生漏电流的现象。而且，本实施例中配置了两个晶体管，即第三晶体管T33和第四晶体管T34，对于减轻第一晶体管T31源极和汲极间的电压 V_{ds} 之电压负荷的效果更为显著，更能有效降低第一晶体管T31发生漏电流的机会，确保第一节点Q1上之高电压不受影响。

[58] 藉由本发明上述实施例可以理解到，本发明通过在第一晶体管和参考电压信号输入端之间串联至少一晶体管，如第三晶体管和第四晶体管，以将第一晶体管源极和汲极间的电压负荷分摊到该至少一晶体管上，藉此当第一节点上处于高电压状态时，第一晶体管不致受此影响而产生漏电流使得第一节点上之电压降低，进而使得像素驱动电压不足，因此本发明能够有效解决闸极驱动电路之驱动电压稳定性的问题，提高闸极驱动电路的可靠度，进一步提升显示面板的画面显示品质。

[59] 综上所述，虽然本发明已以优选实施例揭露如上，但上述优选实施例并非用以限制本发明，本领域的普通技术人员，在不脱离本发明的精神和范围内，均可作各种更动与润饰，因此本发明的保护范围以权利要求界定的范围为准。

发明实施例

本发明的实施方式

[60]

工业实用性

[61]

序列表自由内容

[62]

权利要求书

- [权利要求 1] 一种显示器的闸极驱动电路，所述电路包含：
- 一第一节点，其在一起始信号通过时具有一电压水平；
 - 一第一晶体管，其耦接于该第一节点和一参考电压信号输入端，当该第一晶体管开启时，该第一节点的电压会被下拉到接近该参考电压信号的电压；
 - 一第二晶体管，其一端与该第一晶体管电性连接，另一端与该参考电压信号输入端电性连接；
 - 一第二节点，位于该第一晶体管和第二晶体管的连接端；
 - 一电容，设置于该第二节点和一时脉信号输入端，该第一晶体管、该第二晶体管 and 该电容用于抑制杂讯的产生；以及
 - 一第三晶体管，设置于该第一晶体管 and 该参考电压信号输入端之间，该第三晶体管与该第一晶体管串联连接，用于与该第一晶体管分摊该第一节点与该参考电压信号输入端之间的电压差。
- [权利要求 2] 根据权利要求1所述的显示器的闸极驱动电路，其中该第一晶体管的闸极与该第三晶体管的闸极电性连接。
- [权利要求 3] 根据权利要求1所述的显示器的闸极驱动电路，更包含：
- 一第四晶体管，设置于该第三晶体管 and 该参考电压信号输入端之间，该第四晶体管与该第三晶体管串联连接，用于与该第一晶体管 and 该第三晶体管分摊该第一节点与该参考电压信号输入端之间的电压差。
- [权利要求 4] 根据权利要求3所述的显示器的闸极驱动电路，其中该第三晶体管的闸极与该第四晶体管的闸极电性连接。
- [权利要求 5] 根据权利要求1所述的显示器的闸极驱动电路，其中该第二晶体管的闸极电性连接至该第一节点。
- [权利要求 6] 一种显示器的闸极驱动电路，所述电路包含：
- 一第一晶体管，该第一晶体管的第一端耦接至提供一高电位的第一节点，而该第一晶体管的第二端耦接至一参考电压信号输入

端；

一第二晶体管，该第二晶体管的第一端与该第一晶体管的第三端电性连接并在其间形成一第二节点，该第二晶体管的第二端耦接至该参考电压信号输入端，而该第二晶体管的第三端耦接至该第一节点；

一电容，其一端与该第一晶体管 and 该第二晶体管间的该第二节点电性连接，另一端与一时脉信号输入端电性耦接；以及

至少一晶体管，设置在该第一晶体管 and 该参考电压信号输入端之间，该至少一晶体管与该第一晶体管串联连接。

[权利要求 7] 根据权利要求6所述的显示器的闸极驱动电路，其中该第一晶体管的第三端为闸极，该第一晶体管的闸极与该至少一晶体管的闸极电性连接。

[权利要求 8] 根据权利要求6所述的显示器的闸极驱动电路，其中当该第一晶体管 and 该至少一晶体管开启时，该第一节点的电压会被下拉到接近该参考电压信号的电压。

[权利要求 9] 根据权利要求6所述的显示器的闸极驱动电路，其中该第一晶体管的第三端为闸极，而该第二晶体管的第一端为源极或汲极。

[权利要求 10] 根据权利要求6所述的显示器的闸极驱动电路，其中该第一晶体管、该第二晶体管 and 该至少一晶体管为非晶硅晶体管。

[权利要求 11] 一种显示器的闸极驱动电路，所述电路包含：
一第一节点，其会根据一起始信号和一时脉信号，将一高电压水平的驱动信号传送到一输出端，该输出端电性连接至一闸极线；
一第一晶体管，该第一晶体管的第一端耦接至该第一节点，而该第一晶体管的第二端耦接至一参考电压信号输入端；
一第二晶体管，该第二晶体管的第一端与该第一晶体管的第三端电性连接，该第二晶体管的第二端耦接至该参考电压信号输入端，而该第二晶体管的第三端耦接至该第一节点；
一第二节点，位于该第一晶体管 and 该第二晶体管的连接端；

一电容，其一端与该第一晶体管 and 该第二晶体管间的该第二节点电性连接，另一端与该时脉信号的输入端电性耦接；以及
至少一晶体管，设置于该第一晶体管 and 该参考电压信号输入端之间，该至少一晶体管与该第一晶体管串联连接。

[权利要求 12] 根据权利要求11所述的显示器的闸极驱动电路，更包含：
一起始晶体管，设置于该起始信号之输入端 and 该第一节点之间；
以及

一时脉晶体管，设置于该时脉信号之输入端 and 该第一节点之间。

[权利要求 13] 根据权利要求11所述的显示器的闸极驱动电路，更包含：
一存储电容，设置于该第一节点 and 该输出端之间。

[权利要求 14] 根据权利要求11所述的显示器的闸极驱动电路，更包含：
一第一下拉晶体管，设置于该第一节点 and 该参考电压信号输入端之间；以及
一第二下拉晶体管，设置于该输出端 and 该参考电压信号输入端之间，其中当该第一下拉晶体管 and 该第二下拉晶体管基于一重置信号而导通时，会将该第一节点 and 该输出端的电压下拉至该参考电压信号输入端的电压。

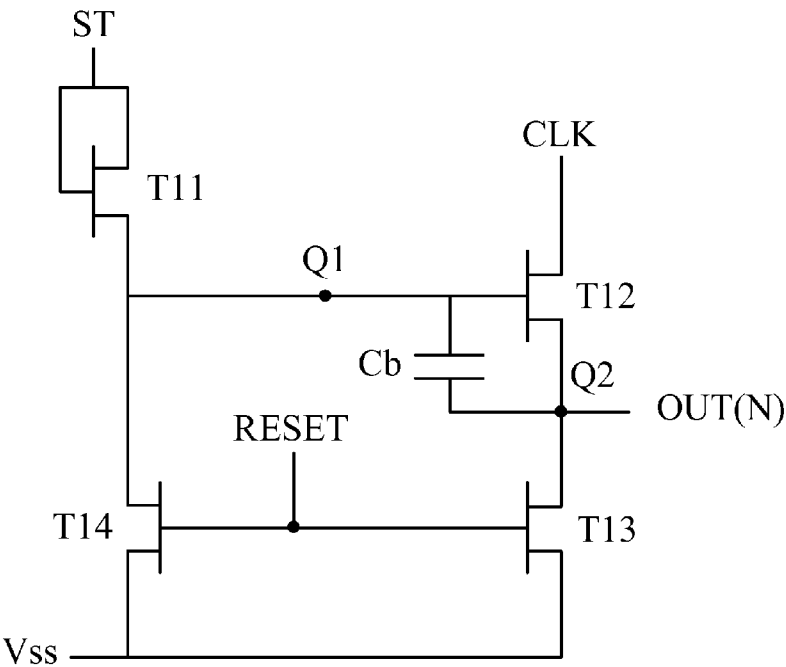


图 1

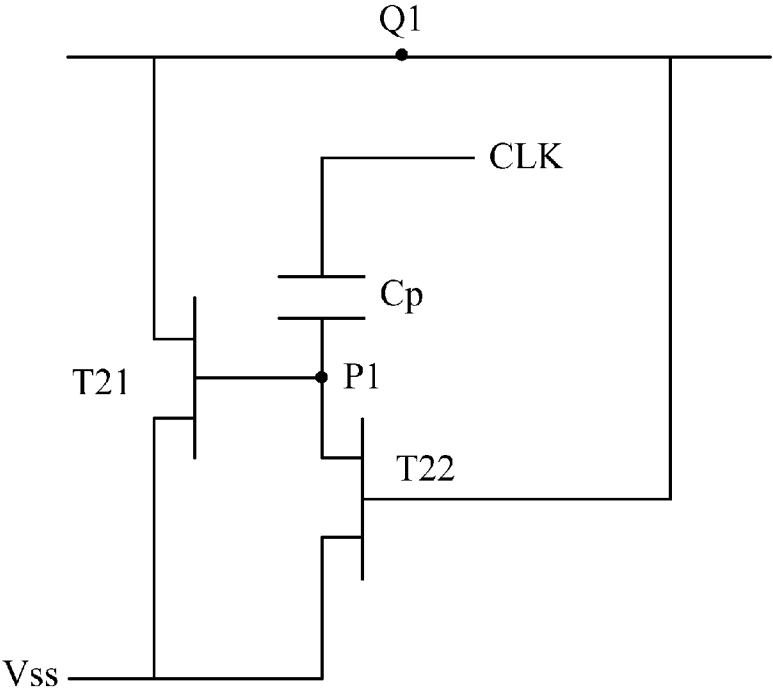


图 2

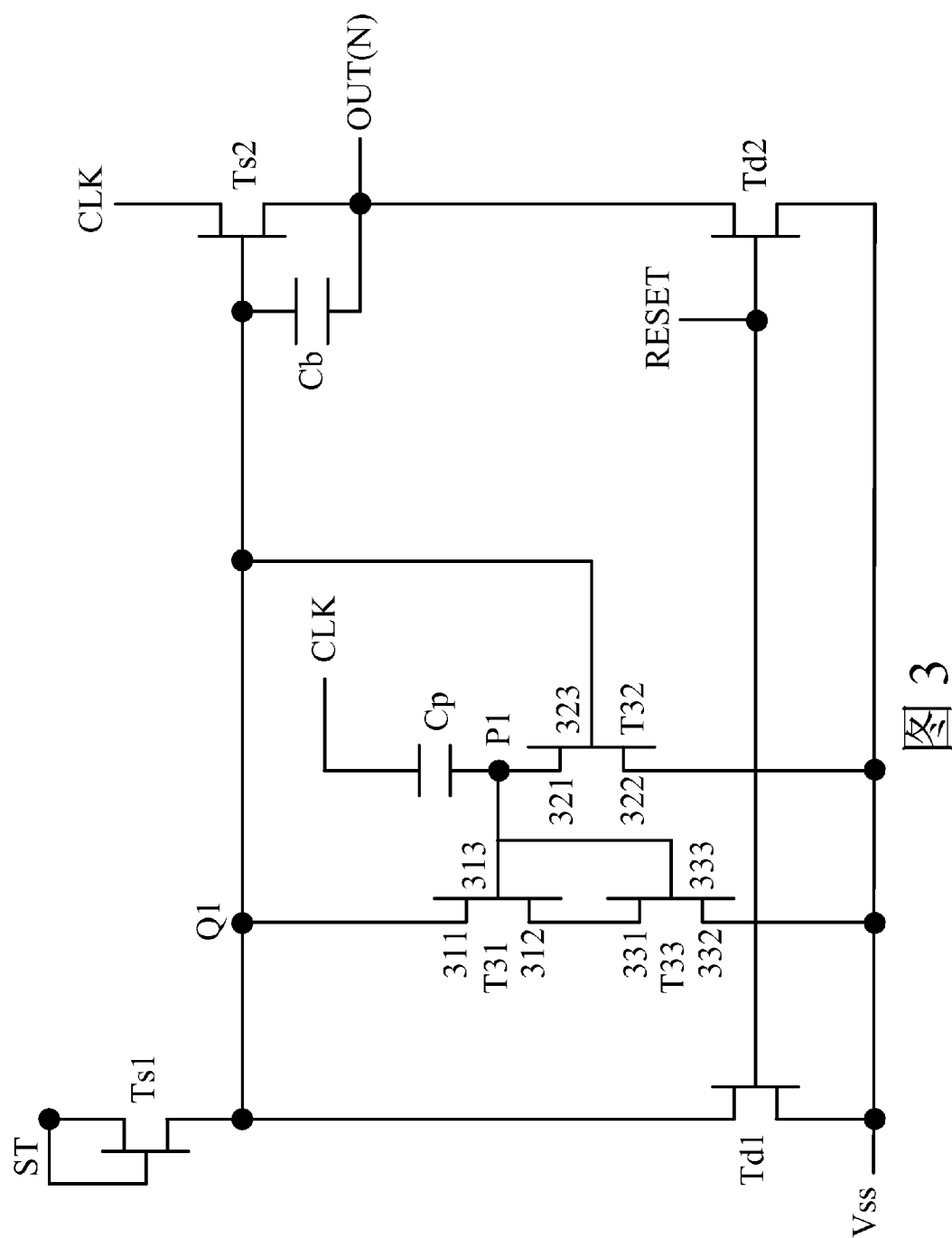


图 3

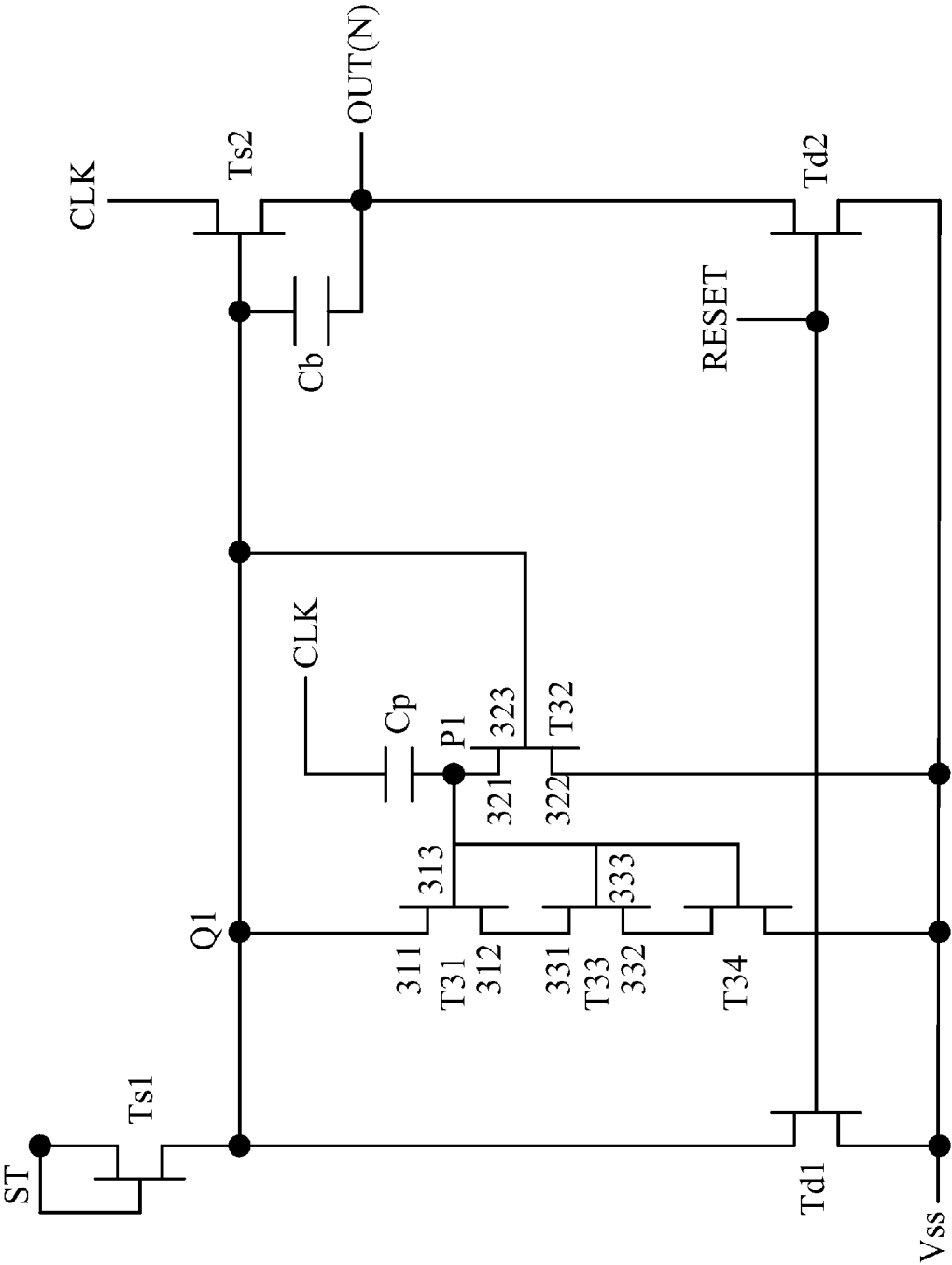


图 4

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2012/073516

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: G09G, G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNKI, EPODOC, WPI: liquid crystal, LCD, gate pole, grid, gate electrode, triode, reduction voltage, voltage division, gate, drive, driver, driving, liquid crystal display, transistor, voltage, noise, capacitor, capacitance, capacity, current leak+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	TW 201131540 A1 (SAMSUNG MOBILE DISPLAY CO., LTD.), 16 September 2011 (16.09.2011), description, paragraphs 39-50, and figures 2 and 4	1-13
Y		14
Y	US 6426743 B1 (LG PHILIPS LCD CO., LTD.), 30 July 2002 (30.07.2002), description, column 1, line 44 to column 2, line 12, and figure 2	14
A	CN 101174070 A (SAMSUNG ELECTRONICS CO., LTD.), 07 May 2008 (07.05.2008), the whole document	1-14
A	TW 200813920 A (AU OPTRONICS CORP.), 16 March 2008 (16.03.2008), the whole document	1-14
A	US 2008079701 A1 (SHIN, S. et al.), 03 April 2008 (03.04.2008), the whole document	1-14

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	
"E" earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	"&" document member of the same patent family

Date of the actual completion of the international search 13 November 2012 (13.11.2012)	Date of mailing of the international search report 13 December 2012 (13.12.2012)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer ZHANG, Yue Telephone No.: (86-10) 62412098

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2012/073516

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
TW 201131540 A1	16.09.2011	US 2011221736 A1	15.09.2011
		JP 2011192376 A	29.09.2011
		KR 20110102684 A	19.09.2011
		KR 101097347 B1	21.12.2011
US 6426743 B1	30.07.2002	GB 2343068 A	26.04.2000
		GB 2343068 B	13.12.2000
		DE 19950860 A1	04.05.2000
		DE 19950860 B4	27.08.2009
		FR 2787913 A1	30.06.2000
		FR 2787913 B1	27.08.2004
		JP 2000155550 A	06.06.2000
		JP 4181710 B2	19.11.2008
		GB 2343067 A	26.04.2000
		GB 2343067 B	13.03.2002
		US 6556646 B1	29.04.2003
		KR 20000026582 A	15.05.2000
		KR 20000055633 A	15.09.2000
		KR 100281336 B	02.03.2001
		KR 100438525 B	03.07.2004
CN 101174070 A	07.05.2008	EP 1918938 A2	07.05.2008
		EP 1918938 A3	01.07.2009
		US 2008100560 A1	01.05.2008
		US 8228282 B2	24.07.2012
		CN 101174070 B	15.06.2011
		KR 20080039026 A	07.05.2008
TW 200813920 A	16.03.2008	US 2008055293 A1	06.03.2008
		US 7928942 B2	19.04.2011
		TW I336870 B	01.02.2011
US 2008079701 A1	03.04.2008	US 8120598 B2	21.02.2012
		KR 20080030212 A	04.04.2008
		US 2012146983 A1	14.06.2012

A. 主题的分类

G09G 3/36 (2006.01) i

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC:G09G,G06F

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS,CNKI,EPODOC,WPI:液晶, LCD, 驱动, 闸极, 栅极, 栅电极, 门极, 门电极, 晶体管, 三极管, 降压, 分压, 电压, 漏电流, 噪音, 噪声, 杂音, 杂声, 杂讯, 电容, gate, drive, driver, driving, liquid crystal display, transistor, voltage, noise, capacitor, capacitance, capacity, current leak+

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	TW 201131540 A1 (三星移动显示器股份有限公司) 16.9 月 2011 (16.09.2011)说明书第 39-50 段、图 2,4	1-13
Y		14
Y	US 6426743 B1 (LG PHILIPS LCD CO LTD) 30.7 月 2002 (30.07.2002) 说明书第 1 栏第 44 行至第 2 栏第 12 行、图 2	14
A	CN 101174070 A (三星电子株式会社) 07.5 月 2008 (07.05.2008) 全文	1-14
A	TW 200813920 A (友达光电股份有限公司) 16.3 月 2008 (16.03.2008) 全文	1-14
A	US 2008079701 A1 (Seob SHIN 等) 03.4 月 2008 (03.04.2008) 全文	1-14



其余文件在 C 栏的续页中列出。



见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

13.11 月 2012 (13.11.2012)

国际检索报告邮寄日期

13.12 月 2012 (13.12.2012)

ISA/CN 的名称和邮寄地址:

中华人民共和国国家知识产权局

中国北京市海淀区蓟门桥西土城路 6 号 100088

传真号: (86-10)62019451

授权官员

张月

电话号码: (86-10) 62412098

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2012/073516

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
TW 201131540 A1	16.09.2011	US 2011221736 A1	15.09.2011
		JP 2011192376 A	29.09.2011
		KR 20110102684 A	19.09.2011
US 6426743 B1	30.07.2002	KR 101097347 B1	21.12.2011
		GB 2343068 A	26.04.2000
		GB 2343068 B	13.12.2000
		DE 19950860 A1	04.05.2000
		DE 19950860 B4	27.08.2009
		FR 2787913 A1	30.06.2000
		FR 2787913 B1	27.08.2004
		JP 2000155550 A	06.06.2000
		JP 4181710 B2	19.11.2008
		GB 2343067 A	26.04.2000
		GB 2343067 B	13.03.2002
		US 6556646 B1	29.04.2003
		KR 20000026582 A	15.05.2000
		KR 20000055633 A	15.09.2000
		KR 100281336 B	02.03.2001
CN 101174070 A	07.05.2008	KR 100438525 B	03.07.2004
		EP 1918938 A2	07.05.2008
		EP 1918938 A3	01.07.2009
		US 2008100560 A1	01.05.2008
		US 8228282 B2	24.07.2012
		CN 101174070 B	15.06.2011
TW 200813920 A	16.03.2008	KR 20080039026 A	07.05.2008
		US 2008055293 A1	06.03.2008
		US 7928942 B2	19.04.2011
US 2008079701 A1	03.04.2008	TW I336870 B	01.02.2011
		US 8120598 B2	21.02.2012
		KR 20080030212 A	04.04.2008
		US 2012146983 A1	14.06.2012