

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5716637号
(P5716637)

(45) 発行日 平成27年5月13日 (2015. 5. 13)

(24) 登録日 平成27年3月27日 (2015. 3. 27)

(51) Int. Cl.

F I

H O 1 L 25/07 (2006. 01)

H O 1 L 25/04

C

H O 1 L 25/18 (2006. 01)

請求項の数 9 (全 24 頁)

(21) 出願番号 特願2011-241856 (P2011-241856)
 (22) 出願日 平成23年11月4日 (2011. 11. 4)
 (65) 公開番号 特開2013-98450 (P2013-98450A)
 (43) 公開日 平成25年5月20日 (2013. 5. 20)
 審査請求日 平成26年6月25日 (2014. 6. 25)

(73) 特許権者 000002130
 住友電気工業株式会社
 大阪府大阪市中央区北浜四丁目5番33号
 (74) 代理人 100088155
 弁理士 長谷川 芳樹
 (74) 代理人 100113435
 弁理士 黒木 義樹
 (74) 代理人 100108257
 弁理士 近藤 伊知良
 (74) 代理人 100140453
 弁理士 戸津 洋介
 (72) 発明者 澤田 研一
 大阪府大阪市此花区島屋一丁目1番3号
 住友電気工業株式会社大阪製作所内

最終頁に続く

(54) 【発明の名称】 半導体モジュール及び半導体モジュールの製造方法

(57) 【特許請求の範囲】

【請求項 1】

ベースと、

少なくとも1つの回路基板と、

を備える半導体モジュールであって、

前記少なくとも1つの回路基板が、支持基板と前記支持基板によって支持される半導体素子とを有し、

前記ベースが、前記少なくとも1つの回路基板を前記ベースに嵌め合わせるための溝を有し、

前記溝が、前記溝の延在方向に沿って深くなっている、
半導体モジュール。

【請求項 2】

前記少なくとも1つの回路基板が複数の回路基板を備え、

前記複数の回路基板のそれぞれが、前記支持基板と前記半導体素子とを有する、請求項1に記載の半導体モジュール。

【請求項 3】

前記半導体素子と電氣的に接続される端子を支持すると共に、前記ベースに取り付けられる絶縁支持体を更に備える、請求項1又は2に記載の半導体モジュール。

【請求項 4】

前記少なくとも1つの回路基板を前記ベースに固定する固定部材を更に備える、請求項

10

20

1 ~ 3 のいずれか一項に記載の半導体モジュール。

【請求項 5】

前記少なくとも 1 つの回路基板の主面の中心を通ると共に前記主面に垂直な軸線に対して、前記溝が非対称に形成されている、請求項 1 ~ 4 のいずれか一項に記載の半導体モジュール。

【請求項 6】

前記半導体素子がワイドバンドギャップ半導体を含む、請求項 1 ~ 5 のいずれか一項に記載の半導体モジュール。

【請求項 7】

前記ワイドバンドギャップ半導体が SiC 又は GaN である、請求項 6 に記載の半導体モジュール。

10

【請求項 8】

溝を有するベースに、前記溝に対向配置された端子を支持する絶縁支持体を取り付ける工程と、

前記端子と前記ベースとの間に、支持基板と前記支持基板によって支持される半導体素子とを有する回路基板の第 1 の端部を挿入する工程と、

前記回路基板の第 1 の端部とは異なる第 2 の端部を固定部材によって前記ベースに固定して、前記端子を前記半導体素子と電氣的に接続すると共に、前記回路基板を前記ベースの前記溝に嵌め合わせる工程と、

を含む、半導体モジュールの製造方法。

20

【請求項 9】

前記溝が、前記溝の延在方向に沿って前記端子に向かって深くなっている、請求項 8 に記載の半導体モジュールの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体モジュール及び半導体モジュールの製造方法に関する。

【背景技術】

【0002】

半導体素子が搭載されたセラミックス基板と、当該セラミックス基板が取り付けられた金属ベースとを備える半導体モジュールが知られている（特許文献 1 参照）。

30

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開平 6 - 8 5 1 2 6 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、上述の半導体モジュールでは、半田等によりセラミックス基板を金属ベースに取り付ける際に、セラミックス基板が所望の位置からずれてしまうおそれがある。このため、セラミックス基板と金属ベースとの間の位置決め精度を向上させるのは容易でない。

40

【0005】

本発明は、上記事情に鑑みて為されたものであり、半導体素子を有する回路基板とベースとの間において高い位置決め精度を有する半導体モジュール及び半導体モジュールの製造方法を提供することを目的とする。

【課題を解決するための手段】

【0006】

上述の課題を解決するため、本発明の一側面に係る半導体モジュールは、ベースと、少

50

なくとも1つの回路基板と、を備える半導体モジュールであって、前記少なくとも1つの回路基板が、支持基板と前記支持基板によって支持される半導体素子とを有し、前記ベース及び/又は前記支持基板が、前記少なくとも1つの回路基板を前記ベースに嵌め合わせるための構造を有する。

【0007】

この半導体モジュールでは、回路基板をベースに嵌め合わせることによって、回路基板とベースとの間において高い位置決め精度が得られる。

【0008】

一実施形態において、半導体モジュールは、前記少なくとも1つの回路基板が複数の回路基板を備え、前記複数の回路基板のそれぞれが、前記支持基板と前記半導体素子とを有してもよい。

10

【0009】

半導体素子を支持基板に搭載する際に、実装によるストレスによって不良品の半導体素子が発生する可能性がある。半導体素子を直接検査することは困難であるため、通常、支持基板に搭載した後に半導体素子を検査する。ここで、複数の半導体素子が単一の支持基板によって支持されていると、検査により1つでも不良品の半導体素子が見つかり、支持基板によって支持された全ての半導体素子が無駄になってしまう。一方、上記半導体モジュールでは、個々の回路基板を検査して良品の回路基板を選別し、選別された良品の回路基板を選択的にベースに嵌め合わせることができる。このため、複数の半導体素子が単一の支持基板によって支持される場合に比べて、半導体モジュールの製造歩留まりを向上させることができる。

20

【0010】

また、複数の半導体素子が単一の支持基板によって支持される場合、不良品の半導体素子が見つかった場合に備えて、良品の半導体素子を新たに搭載するためのスペースを支持基板に設けることがある。この場合、支持基板のサイズは大きくなる。一方、上記半導体モジュールでは、そのようなスペースが必要ないので、半導体モジュールを小型化できる。

【0011】

さらに、上記半導体モジュールでは、複数の半導体素子が単一の支持基板によって支持される場合に比べて、個々の回路基板のサイズを小さくすることができるので、回路基板が応力によって撓むことを抑制できる。

30

【0012】

一実施形態において、半導体モジュールは、前記半導体素子と電氣的に接続される端子を支持すると共に、前記ベースに取り付けられる絶縁支持体を更に備えてもよい。

【0013】

この場合、端子と絶縁支持体とが一体化しているので、半導体モジュールの組み立てが容易になる。

【0014】

一実施形態において、前記ベースが、前記構造として凹部又は凸部を有してもよい。

【0015】

40

一実施形態において、前記ベースが、前記構造として溝を有してもよい。この場合、溝に沿って回路基板をスライドさせてベースに嵌め合わせることができるので、半導体モジュールの組み立てが容易になる。

【0016】

一実施形態において、前記溝が、前記溝の延在方向に沿って深くなってもよい。この場合、溝が深くなっている部分に回路基板の端部を差し込み易くなるので、半導体モジュールの組み立てが容易になる。

【0017】

一実施形態において、半導体モジュールは、前記少なくとも1つの回路基板を前記ベースに固定する固定部材を更にてもよい。この場合、回路基板とベースとの間においてより

50

高い位置決め精度が得られる。

【0018】

一実施形態において、前記少なくとも1つの回路基板の主面の中心を通ると共に前記主面に垂直な軸線に対して、前記構造が非対称に形成されてもよい。この場合、ベースに対する回路基板の向きが1つに決まるので、間違った向きで回路基板をベースに嵌め合わせることが抑制できる。その結果、半導体モジュールの組み立てが容易になる。

【0019】

一実施形態において、前記半導体素子がワイドバンドギャップ半導体を含んでもよい。前記ワイドバンドギャップ半導体がSiC又はGaNであってもよい。

【0020】

本発明の一側面に係る半導体モジュールの製造方法は、支持基板と前記支持基板によって支持される半導体素子とを有する少なくとも1つの回路基板をベースに嵌め合わせる工程を含み、前記ベース及び/又は前記支持基板が、前記少なくとも1つの回路基板を前記ベースに嵌め合わせるための構造を有する。

【0021】

この半導体モジュールの製造方法では、回路基板をベースに嵌め合わせることによって、回路基板とベースとの間において高い位置決め精度を有する半導体モジュールが得られる。

【0022】

本発明の別の側面に係る半導体モジュールの製造方法は、溝を有するベースに、前記溝に対向配置された端子を支持する絶縁支持体を取り付ける工程と、前記端子と前記ベースとの間に、支持基板と前記支持基板によって支持される半導体素子とを有する回路基板の第1の端部を挿入する工程と、前記回路基板の第1の端部とは異なる第2の端部を固定部材によって前記ベースに固定して、前記端子を前記半導体素子と電気的に接続すると共に、前記回路基板を前記ベースの前記溝に嵌め合わせる工程とを含む。

【0023】

この半導体モジュールの製造方法では、回路基板をベースに嵌め合わせることによって、回路基板とベースとの間において高い位置決め精度を有する半導体モジュールが得られる。さらに、回路基板の第1の端部を端子とベースとの間に挿入する際に、端子が第1の端部を押圧することによって回路基板の反対側の端部が浮き上がってしまっても、固定部材によって回路基板をベースの溝に嵌め合わせることができる。

【0024】

一実施形態において、前記溝が、前記溝の延在方向に沿って前記端子に向かって深くなってもよい。

【0025】

この場合、端子と溝の底との間のスペースを広く維持することができるので、回路基板の第1の端部を斜めに挿入することができる。その結果、半導体モジュールの組み立てが容易になる。また、固定部材によってベースに第2の端部を固定する際に、この原理によって端子と半導体素子との間の電気的接続がより確実に得られる。

【発明の効果】

【0026】

本発明によれば、半導体素子を有する回路基板とベースとの間において高い位置決め精度を有する半導体モジュール及び半導体モジュールの製造方法が提供され得る。

【図面の簡単な説明】

【0027】

【図1】第1実施形態に係る半導体モジュールを模式的に示す平面図である。

【図2】図1のII-II線に沿った半導体モジュールの断面図である。

【図3】図1のIII-III線に沿った半導体モジュールの断面図である。

【図4】図1の半導体モジュールの等価回路結線図である。

【図5】図1の半導体モジュールの端子の配置を模式的に示す図である。

10

20

30

40

50

【図 6】図 1 の半導体モジュールを構成する回路基板を模式的に示す平面図である。

【図 7】図 6 の回路基板の裏面を模式的に示す平面図である。

【図 8】図 6 の V I I I - V I I I 線に沿った回路基板の断面図である。

【図 9】第 1 実施形態に係る半導体モジュールの製造方法の一工程における構造体を模式的に示す平面図である。

【図 10】図 9 の X - X 線に沿った構造体の断面図である。

【図 11】図 9 の X I - X I 線に沿った構造体の断面図である。

【図 12】図 9 の X I I - X I I 線に沿った構造体の断面図である。

【図 13】図 9 の X I I I - X I I I 線に沿った構造体の断面図である。

【図 14】第 1 実施形態に係る半導体モジュールの製造方法の一工程における構造体を模式的に示す平面図である。 10

【図 15】図 14 の X V - X V 線に沿った構造体の断面図である。

【図 16】図 14 の X V I - X V I 線に沿った構造体の断面図である。

【図 17】第 1 実施形態に係る半導体モジュールの製造方法の一工程における構造体を模式的に示す平面図である。

【図 18】図 17 の X V I I I - X V I I I 線に沿った構造体の断面図である。

【図 19】図 17 の X I X - X I X 線に沿った構造体の断面図である。

【図 20】図 17 の X X - X X 線に沿った構造体の断面図である。

【図 21】第 1 実施形態に係る半導体モジュールの蓋を模式的に示す平面図である。

【図 22】第 2 実施形態に係る半導体モジュールを模式的に示す平面図である。 20

【図 23】図 22 の X X I I I - X X I I I 線に沿った半導体モジュールの断面図である。

【図 24】図 22 の X X I V - X X I V 線に沿った半導体モジュールの断面図である。

【図 25】図 22 の半導体モジュールの等価回路結線図である。

【図 26】図 22 の半導体モジュールを構成する回路基板を模式的に示す平面図である。

【図 27】図 26 の回路基板の裏面を模式的に示す平面図である。

【図 28】図 26 の X X V I I I - X X V I I I 線に沿った回路基板の断面図である。

【図 29】第 3 実施形態に係る半導体モジュールを模式的に示す平面図である。

【図 30】図 29 の X X X - X X X 線に沿った半導体モジュールの断面図である。

【図 31】図 29 の X X X I - X X X I 線に沿った半導体モジュールの断面図である。 30

【図 32】第 3 実施形態に係る半導体モジュールの製造方法の一工程における構造体を模式的に示す図である。

【図 33】回路基板をベースに嵌め合わせるための構造の一例を示す図である。

【図 34】第 4 実施形態に係る半導体モジュールを模式的に示す断面図である。

【図 35】図 34 の半導体モジュールを構成する回路基板を模式的に示す平面図である。

【図 36】図 35 の X X X V I - X X X V I 線に沿った回路基板の断面図である。

【図 37】第 5 実施形態に係る半導体モジュールを模式的に示す断面図である。

【図 38】第 6 実施形態に係る半導体モジュールを模式的に示す断面図である。

【図 39】第 7 実施形態に係る半導体モジュールを模式的に示す断面図である。

【図 40】第 8 実施形態に係る半導体モジュールを模式的に示す断面図である。 40

【発明を実施するための形態】

【 0 0 2 8 】

以下、添付図面を参照しながら本発明の実施形態を詳細に説明する。なお、図面の説明において、同一又は同等の要素には同一符号を用い、重複する説明を省略する。

【 0 0 2 9 】

(第 1 実施形態)

<半導体モジュール>

図 1 は、第 1 実施形態に係る半導体モジュールを模式的に示す平面図である。図 2 は、図 1 の I I - I I 線に沿った半導体モジュールの断面図である。図 3 は、図 1 の I I I - I I I 線に沿った半導体モジュールの断面図である。図 1 において蓋 7 0 は便宜上表示さ 50

れていない。

【 0 0 3 0 】

図 1 ~ 3 に示される半導体モジュール 1 0 は、ベース 2 0 と、複数の回路基板 3 0 (本実施形態では例えば 6 つ) とを備える。複数の回路基板 3 0 は、ベース 2 0 上にアレイ配置され得る。半導体モジュール 1 0 は、単一の回路基板 3 0 を備えてもよい。複数の回路基板 3 0 のそれぞれは、支持基板 3 1 と支持基板 3 1 によって支持される半導体素子 3 2 とを有する (図 6 ~ 図 8 参照) 。

【 0 0 3 1 】

ベース 2 0 は、例えば Cu、Al 等の金属を含む金属ベースであり得る。ベース 2 0 は、放熱板として機能し得る。ベース 2 0 は、回路基板 3 0 をベース 2 0 に嵌め合わせるための構造として溝 2 2 を有してもよい。溝 2 2 は、ベース 2 0 の互いに対向する端部 1 2 0 からベース 2 0 の中央部 2 2 0 に向けて形成され得る。溝 2 2 は凹部であってもよい。

【 0 0 3 2 】

支持基板 3 1 は、絶縁基板 3 3 と、絶縁基板 3 3 の主面に設けられた電極パッド 3 6 a , 3 6 b , 3 6 c と、絶縁基板 3 3 の主面とは反対側の面に設けられた金属層 3 4 とを備え得る。絶縁基板 3 3 は例えば AlN、Al₂O₃ 等のセラミックスを含む。電極パッド 3 6 a , 3 6 b , 3 6 c 及び金属層 3 4 は、例えば Cu を含む。金属層 3 4 上には、ベース 2 0 の溝 2 2 に嵌め合わされる凸部 3 5 が形成され得る。凸部 3 5 は、一方向に延在し得る。凸部 3 5 は、例えば Cu 等の金属を含む。凸部 3 5 の延在方向に垂直な断面形状は例えば矩形である。

【 0 0 3 3 】

半導体素子 3 2 は、例えば半導体チップである。半導体素子 3 2 は、ワイドバンドギャップ半導体を含む。この場合、シリコンに比べて半導体素子 3 2 の発生する熱量は大きくなるが、ベース 2 0 により放熱が適切に行われる。ワイドバンドギャップ半導体としては、例えば SiC 又は GaN 等の化合物半導体が挙げられる。このような場合、半導体素子 3 2 はパワー半導体素子として機能し得る。

【 0 0 3 4 】

半導体素子 3 2 は、トランジスタ 3 2 a 及びダイオード 3 2 b を備え得る。トランジスタ 3 2 a としては、例えばバイポーラトランジスタ、MOSFET、絶縁ゲートバイポーラトランジスタ (IGBT) 等が挙げられる。トランジスタ 3 2 a は、半田 3 7 a を介して電極パッド 3 6 c に電氣的に接続されている。ダイオード 3 2 b は、半田 3 7 b を介して電極パッド 3 6 c に電氣的に接続されている。トランジスタ 3 2 a のゲートは、ワイヤ 3 8 a を介して電極パッド 3 6 a に電氣的に接続されている。トランジスタ 3 2 a のソースは、ワイヤ 3 8 b を介して電極パッド 3 6 b に電氣的に接続されている。ダイオード 3 2 b は、ワイヤ 3 8 c を介して電極パッド 3 6 b に電氣的に接続されている。

【 0 0 3 5 】

半導体モジュール 1 0 は、ベース 2 0 に取り付けられる絶縁支持体 4 0 を備えてもよい。絶縁支持体 4 0 は、ベース 2 0 の中央部 2 2 0 に取り付けられる。絶縁支持体 4 0 は、回路基板 3 0 の端部 1 3 0 (第 1 の端部) を把持する把持部 4 2 を有する。絶縁支持体 4 0 は、半導体素子 3 2 と電氣的に接続される端子 8 0 ~ 9 1 を支持する。端子 8 0 ~ 9 1 は、ベース 2 0 上の回路基板 3 0 の端部 1 3 0 に向けて絶縁支持体 4 0 から突出している。

【 0 0 3 6 】

半導体モジュール 1 0 は、ベース 2 0 に取り付けられる絶縁支持体 5 0 a , 5 0 b を備えてもよい。絶縁支持体 5 0 a , 5 0 b は、ベース 2 0 の互いに対向する端部 1 2 0 にそれぞれ取り付けられる。絶縁支持体 5 0 a , 5 0 b のそれぞれは、ベース 2 0 の端部 1 2 0 を把持する把持部 5 2 と、回路基板 3 0 の端部 2 3 0 (第 2 の端部) を把持する把持部 5 4 とを有する。回路基板 3 0 の端部 2 3 0 は、溝 2 2 の延在方向に沿って端部 1 3 0 と反対側に位置する。絶縁支持体 5 0 a は、半導体素子 3 2 と電氣的に接続される端子 9 2 ~ 9 5 を支持する。端子 9 2 ~ 9 5 は、ベース 2 0 上の回路基板 3 0 の端部 2 3 0 に向け

て絶縁支持体 50a から突出している。絶縁支持体 50b は、半導体素子 32 と電氣的に接続される端子 96 ~ 102 を支持する。端子 96 ~ 102 は、ベース 20 上の回路基板 30 の端部 230 に向けて絶縁支持体 50b から突出している。

【0037】

半導体モジュール 10 は、ベース 20 に取り付けられる絶縁支持体 60 を備えてもよい。絶縁支持体 60 は、絶縁支持体 40, 50a, 50b を挟むように、ベース 20 の互いに対向する側部 320 にそれぞれ取り付けられる。絶縁支持体 60 は、ベース 20 の互いに対向する側部 320 を把持する把持部 62 と、回路基板 30 の側部 330 を把持する把持部 64 とを有する。絶縁支持体 60 は、端子を支持していない。

【0038】

絶縁支持体 40, 50a, 50b, 60 は例えば樹脂を含む。端子 80 ~ 102 は例えば金属ワイヤである。端子 80 ~ 102 は、半導体素子 32 に直接接触（例えばスプリングコンタクト）してもよいし、ワイヤボンディング等により半導体素子 32 に接続されてもよい。

【0039】

端子 80 は、第 1 の半導体素子 32 の電極パッド 36a に接続され、絶縁支持体 40 を貫通して半導体モジュール 10 の外部に突出する。端子 81 は、第 1 の半導体素子 32 の電極パッド 36b に接続され、絶縁支持体 40 を貫通して半導体モジュール 10 の外部に突出する。端子 82 は、第 1 の半導体素子 32 の電極パッド 36b に接続され、絶縁支持体 40 中を通して第 2 の半導体素子 32 の電極パッド 36c に接続される。端子 83 は、第 2 の半導体素子 32 の電極パッド 36a に接続され、絶縁支持体 40 を貫通して半導体モジュール 10 の外部に突出する。

【0040】

端子 84 は、第 3 の半導体素子 32 の電極パッド 36a に接続され、絶縁支持体 40 を貫通して半導体モジュール 10 の外部に突出する。端子 85 は、第 3 の半導体素子 32 の電極パッド 36b に接続され、絶縁支持体 40 を貫通して半導体モジュール 10 の外部に突出する。端子 86 は、第 3 の半導体素子 32 の電極パッド 36b に接続され、絶縁支持体 40 中を通して第 4 の半導体素子 32 の電極パッド 36c に接続される。端子 87 は、第 4 の半導体素子 32 の電極パッド 36a に接続され、絶縁支持体 40 を貫通して半導体モジュール 10 の外部に突出する。

【0041】

端子 88 は、第 5 の半導体素子 32 の電極パッド 36a に接続され、絶縁支持体 40 を貫通して半導体モジュール 10 の外部に突出する。端子 89 は、第 5 の半導体素子 32 の電極パッド 36b に接続され、絶縁支持体 40 を貫通して半導体モジュール 10 の外部に突出する。端子 90 は、第 5 の半導体素子 32 の電極パッド 36b に接続され、絶縁支持体 40 中を通して第 6 の半導体素子 32 の電極パッド 36c に接続される。端子 91 は、第 6 の半導体素子 32 の電極パッド 36a に接続され、絶縁支持体 40 を貫通して半導体モジュール 10 の外部に突出する。

【0042】

端子 92 は、第 1 の半導体素子 32 の電極パッド 36c に接続され、絶縁支持体 50a を貫通して半導体モジュール 10 の外部に突出する。端子 93 は、第 1 の半導体素子 32 の電極パッド 36c に接続され、絶縁支持体 50a 中を通して第 3 の半導体素子 32 の電極パッド 36c に接続される。端子 94 は、第 3 の半導体素子 32 の電極パッド 36c に接続され、絶縁支持体 50a 中を通して第 5 の半導体素子 32 の電極パッド 36c に接続される。端子 95 は、第 5 の半導体素子 32 の電極パッド 36c に接続され、絶縁支持体 50a を貫通して半導体モジュール 10 の外部に突出する。

【0043】

端子 96 は、第 2 の半導体素子 32 の電極パッド 36a に接続され、絶縁支持体 50b を貫通して半導体モジュール 10 の外部に突出する。端子 97 は、第 2 の半導体素子 32 の電極パッド 36b に接続され、絶縁支持体 50b を貫通して半導体モジュール 10 の外

10

20

30

40

50

部に突出する。端子 98 は、第 2 の半導体素子 32 の電極パッド 36b に接続され、絶縁支持体 50b 中を通して第 4 の半導体素子 32 の電極パッド 36b に接続される。端子 99 は、第 4 の半導体素子 32 の電極パッド 36a に接続され、絶縁支持体 50b を貫通して半導体モジュール 10 の外部に突出する。端子 100 は、第 4 の半導体素子 32 の電極パッド 36b に接続され、絶縁支持体 50b 中を通して第 6 の半導体素子 32 の電極パッド 36b に接続される。端子 101 は、第 6 の半導体素子 32 の電極パッド 36a に接続され、絶縁支持体 50b を貫通して半導体モジュール 10 の外部に突出する。端子 102 は、第 6 の半導体素子 32 の電極パッド 36b に接続され、絶縁支持体 50b を貫通して半導体モジュール 10 の外部に突出する。

【0044】

半導体モジュール 10 は、絶縁支持体 40, 50a, 50b, 60 上に配置されると共にベース 20 に対向配置される蓋 70 を更に備えてもよい。蓋 70 には、端子 80, 81, 83, 84, 85, 87, 88, 89, 91, 92, 95, 96, 97, 99, 101, 102 通る貫通孔が形成され得る。蓋 70 は例えば樹脂を含む。

【0045】

図 4 は、図 1 の半導体モジュールの等価回路結線図である。図 5 は、図 1 の半導体モジュールの端子の配置を模式的に示す図である。図 4 及び図 5 に示されるように、半導体モジュール 10 は、U 相、V 相及び W 相を有する 3 相インバータ用モジュールとして機能し得る。各回路基板 30 において、トランジスタ 32a はダイオード 32b と逆並列接続されている。

【0046】

半導体モジュール 10 では、回路基板 30 をベース 20 に嵌め合わせることによって、回路基板 30 とベース 20 との間において高い位置決め精度が得られる。

【0047】

半導体素子を支持基板に搭載する際に、実装（ダイシング、ダイボンディング、ワイヤボンディング等）によるストレスによって不良品の半導体素子が発生する可能性がある。半導体素子を直接検査することは困難であるため、通常、支持基板に搭載した後に半導体素子を検査する。ここで、複数の半導体素子が単一の支持基板によって支持されていると、検査により 1 つでも不良品の半導体素子が見つかり、支持基板によって支持された全ての半導体素子が無駄になってしまう。一方、半導体モジュール 10 では、個々の回路基板 30 を検査して良品の回路基板 30 を選別し、選別された良品の回路基板 30 を選択的にベース 20 に嵌め合わせることができる。このため、複数の半導体素子が単一の支持基板によって支持される場合に比べて、半導体モジュール 10 の製造歩留まりを向上させることができる。

【0048】

また、複数の半導体素子が単一の支持基板によって支持される場合、不良品の半導体素子が見つかった場合に備えて、良品の半導体素子を新たに搭載するためのスペースを支持基板に設けることがある。この場合、支持基板のサイズは大きくなる。一方、半導体モジュール 10 では、複数の回路基板 30 のそれぞれが支持基板 31 と半導体素子 32 とを有している。そのため、良品の半導体素子を新たに搭載するためのスペースが必要ないので、半導体モジュール 10 を小型化できる。さらに、半導体モジュール 10 では、複数の半導体素子が単一の支持基板によって支持される場合に比べて、個々の回路基板 30 のサイズを小さくすることができるので、回路基板 30 が応力によって撓むことを抑制できる。

【0049】

半導体モジュール 10 が、端子 80 ~ 91 を支持する絶縁支持体 40 を備える場合、端子 80 ~ 91 と絶縁支持体 40 とが一体化しているので、半導体モジュール 10 の組み立てが容易になる。

【0050】

半導体モジュール 10 が、溝 22 を有するベース 20 を備える場合、溝 22 に沿って回路基板 30 をスライドさせてベース 20 に嵌め合わせることができるので、半導体モジュ

10

20

30

40

50

ール 10 の組み立てが容易になる。

【 0 0 5 1 】

< 半導体モジュールの製造方法 >

図 6 ~ 図 21 を参照しながら、本実施形態に係る半導体モジュールの製造方法の一例として、図 1 ~ 3 に示される半導体モジュール 10 の製造方法について説明する。半導体モジュール 10 は例えば以下のようにして製造される。

【 0 0 5 2 】

(回路基板の準備工程)

まず、図 6 ~ 図 8 に示されるように、回路基板 30 を準備する。回路基板 30 の凸部 35 は、例えば以下のようにして形成される。まず、絶縁基板 33 の主面とは反対側の面に設けられた金属層 34 上に金属膜を形成する。次に、フォトリソグラフィ法を用いて当該金属膜をエッチングすることによって凸部 35 を形成する。

【 0 0 5 3 】

回路基板 30 は、必要に応じて電気試験等によって検査され得る。検査により、良品の回路基板 30 が選別される。

【 0 0 5 4 】

(第 1 の絶縁支持体の取り付け工程)

次に、図 9 ~ 図 13 に示されるように、ベース 20 に絶縁支持体 40 を取り付ける。絶縁支持体 40 は、ベース 20 の溝 22 に端子 80 ~ 91 が対向配置されるように取り付けられ得る。絶縁支持体 40 は、樹脂中に端子 80 ~ 91 を圧入し、樹脂を成型することにより形成される。また、ベース 20 に絶縁支持体 60 を取り付けてもよい。ベース 20 の溝 22 は、フォトリソグラフィ法を用いてベースをエッチングすることによって形成され得る。

【 0 0 5 5 】

(回路基板の嵌め合わせ工程)

次に、図 14 ~ 図 16 に示されるように、回路基板 30 をベース 20 に嵌め合わせる。回路基板 30 の凸部 35 が、ベース 20 の溝 22 に嵌め合わされ得る。例えば、凸部 35 が溝 22 に嵌め合わされた状態で、回路基板 30 をベース 20 の溝 22 に沿ってベース 20 の端部 120 から中央部 220 に向かってスライドさせることによって、端子 80 ~ 91 とベース 20 との間に、回路基板 30 の第 1 の端部 130 を挿入する。これにより、半導体素子 32 の電極パッド 36a, 36b, 36c が端子 80 ~ 91 と接触して電氣的に接続され得る。

【 0 0 5 6 】

(第 2 の絶縁支持体の取り付け工程)

次に、図 17 ~ 図 20 に示されるように、ベース 20 に絶縁支持体 50a, 50b を取り付ける。絶縁支持体 50a, 50b は、樹脂中に端子 92 ~ 102 を圧入し、樹脂を成型することにより形成される。これにより、回路基板 30 の端部 230 がベース 20 に固定され得る。また、半導体素子 32 の電極パッド 36a, 36b, 36c が端子 92 ~ 102 と接触して電氣的に接続され得る。

【 0 0 5 7 】

(蓋の貼り付け工程)

次に、図 21 に示されるように、蓋 70 を絶縁支持体 40, 50a, 50b, 60 に貼り付ける。蓋 70 によって、ベース 20 及び絶縁支持体 40, 50a, 50b, 60 によって囲まれた空間が封止される。

【 0 0 5 8 】

なお、上記各工程の順序を入れ替えてもよいし、複数の工程を同時に行ってもよい。例えば、第 1 の絶縁支持体の取り付け工程の前に回路基板の嵌め合わせ工程を行ってもよい。また、第 1 の絶縁支持体の取り付け工程の後に回路基板の準備工程を行ってもよい。また、回路基板の嵌め合わせ工程と第 2 の絶縁支持体の取り付け工程とを同時に行ってもよい。

10

20

30

40

50

【 0 0 5 9 】

上記半導体モジュールの製造方法では、回路基板 3 0 をベース 2 0 に嵌め合わせることで、回路基板 3 0 とベース 2 0 との間において高い位置決め精度を有する半導体モジュール 1 0 が得られる。

【 0 0 6 0 】

(第 2 実施形態)

図 2 2 は、第 2 実施形態に係る半導体モジュールを模式的に示す平面図である。図 2 3 は、図 2 2 の X X I I I - X X I I I 線に沿った半導体モジュールの断面図である。図 2 4 は、図 2 2 の X X I V - X X I V 線に沿った半導体モジュールの断面図である。図 2 2 において蓋 7 0 は便宜上表示されていない。

10

【 0 0 6 1 】

図 2 2 ~ 2 3 に示される半導体モジュール 1 0 a は、回路基板 3 0 に代えて回路基板 3 0 a を備えること以外は半導体モジュール 1 0 と同じ構成を備える。回路基板 3 0 a は、支持基板 1 3 1 と支持基板 1 3 1 によって支持される半導体素子 1 3 2 とを有する (図 2 6 ~ 図 2 8 参照) 。

【 0 0 6 2 】

支持基板 1 3 1 は、絶縁基板 3 3 と、絶縁基板 3 3 の主面に設けられた電極パッド 1 3 6 a , 1 3 6 b , 1 3 6 c , 1 3 6 d と、絶縁基板 3 3 の主面とは反対側の面に設けられた金属層 3 4 とを備え得る。

【 0 0 6 3 】

半導体素子 1 3 2 は、トランジスタ 1 3 2 a 、ダイオード 1 3 2 b 及びダイオード 1 3 2 c を備え得る。トランジスタ 1 3 2 a は、半田 1 3 7 a を介して電極パッド 1 3 6 c に電氣的に接続されている。ダイオード 1 3 2 b は、半田 1 3 7 b を介して電極パッド 1 3 6 c に電氣的に接続されている。トランジスタ 1 3 2 a のゲートは、ワイヤ 1 3 8 a を介して電極パッド 1 3 6 a に電氣的に接続されている。ダイオード 1 3 2 c は、半田 1 3 7 c を介して電極パッド 1 3 6 d に電氣的に接続されている。トランジスタ 1 3 2 a のソースは、ワイヤ 1 3 8 b を介して電極パッド 1 3 6 b に電氣的に接続されている。ダイオード 1 3 2 b は、ワイヤ 1 3 8 c を介して電極パッド 1 3 6 d に電氣的に接続されている。ダイオード 1 3 2 c は、ワイヤ 1 3 8 d を介して電極パッド 1 3 6 b に電氣的に接続されている。

20

30

【 0 0 6 4 】

図 2 5 は、図 2 2 の半導体モジュールの等価回路結線図である。半導体モジュール 1 0 a の端子の配置は、図 5 に示される半導体モジュール 1 0 の端子の配置と同じである。図 5 及び図 2 5 に示されるように、半導体モジュール 1 0 a は、U 相、V 相及び W 相を有する 3 相インバータ用モジュールとして機能し得る。各回路基板 3 0 において、トランジスタ 1 3 2 a は M O S F E T であり、ダイオード 1 3 2 b はトランジスタ 1 3 2 a に直列接続され、ダイオード 1 3 2 c はトランジスタ 1 3 2 a 及びダイオード 1 3 2 b の両端に逆並列接続される。ダイオード 1 3 2 b は M O S F E T 中の寄生ダイオードの動作を抑制し得る。

【 0 0 6 5 】

半導体モジュール 1 0 a では、半導体モジュール 1 0 と同様の作用効果が得られる。また、半導体モジュール 1 0 a は、半導体モジュール 1 0 の製造方法と同様の方法によって製造され得る。

40

【 0 0 6 6 】

(第 3 実施形態)

図 2 9 は、第 3 実施形態に係る半導体モジュールを模式的に示す平面図である。図 3 0 は、図 2 9 の X X X - X X X 線に沿った半導体モジュールの断面図である。図 3 1 は、図 2 9 の X X X I - X X X I 線に沿った半導体モジュールの断面図である。図 2 9 において蓋 7 0 は便宜上表示されていない。

【 0 0 6 7 】

50

図29～31に示される半導体モジュール10bは、絶縁支持体50a, 50bに代えて絶縁支持体150a, 150bを備え、ベース20に代えてベース20aを備え、固定部材としてのねじ200を更に備えること以外は半導体モジュール10と同じ構成を備える。

【0068】

ベース20aは、ねじ孔24を更に備えること以外はベース20と同じ構成を備える。

絶縁支持体150a, 150bは、把持部52を備えておらず、ねじ200が貫通していること以外は絶縁支持体50a, 50bと同じ構成を備える。

【0069】

ねじ200は、回路基板30をベース20aに固定する。ねじ200は、絶縁支持体150a, 150bを介して、回路基板30の端部230をベース20aに固定する。ねじ200は、ベース20のコーナーにおいて、絶縁支持体150a, 150bを通してベース20aのねじ孔24に取り付けられている。

【0070】

半導体モジュール10bでは、半導体モジュール10と同様の作用効果が得られる。また、半導体モジュール10bは、半導体モジュール10の製造方法と同様の方法によって製造され得る。本実施形態では、回路基板の嵌め合わせ工程と第2の絶縁支持体の取り付け工程とが同時に行われる。

【0071】

まず、凸部35が溝22に嵌め合わされた状態で、回路基板30をベース20の溝22に沿ってベース20の端部120から中央部220に向かってスライドさせることによって、端子80～91とベース20との間に、回路基板30の第1の端部130を挿入する。その後、図32に示されるように、絶縁支持体150a, 150bを圧力Pによってベース20aに押圧し、ねじ200をねじ孔24に取り付けることによって、回路基板30の端部230をベース20aに固定する。これにより、端子80～91を半導体素子32と電氣的に接続すると共に、回路基板30をベース20aの溝22に嵌め合わせる。

【0072】

半導体モジュール10bの製造方法では、回路基板30の端部130を端子80～91とベース20aとの間に挿入する際に、図32に示されるように、端子80～91が端部130を押圧することによって回路基板30の端部230が浮き上がってしまっても、ねじ200によって回路基板30をベース20aの溝22に嵌め合わせることができる。

【0073】

溝22は、図33に示されるように、溝22の延在方向に沿って深くなってもよい。溝22は、溝22の全体又は一部において、溝22の延在方向に沿って徐々に深くなってもよいし、溝22の延在方向に沿って階段状に深くなってもよい。溝22は、端子80～91に向かって深くなっている。この場合、端子80～91と溝22の底との間のスペースを広く維持することができるので、回路基板30の端部130を斜めに挿入することができる。その結果、半導体モジュール10bの組み立てが容易になる。また、ねじ200によってベース20aに回路基板30の端部230を固定する際に、この原理によって端子80～91と半導体素子32との間の電氣的接続がより確実に得られる。

【0074】

なお、固定部材として、ねじ200に代えて例えば接着剤を用いてもよい。

【0075】

(第4実施形態)

図34は、第4実施形態に係る半導体モジュールを模式的に示す断面図である。図34に示される半導体モジュール10cは、回路基板をベースに嵌め合わせるための構造が異なること以外は半導体モジュール10と同じ構成を備える。半導体モジュール10cは、回路基板30b及びベース20bを備える。

【0076】

回路基板30bは、凹部35a及び凸部35を備えること以外は回路基板30と同じ構

10

20

30

40

50

成を備える（図３５～図３６参照）。凹部３５ａ及び凸部３５は、回路基板３０ｂの主面の中心（例えば重心）を通ると共に主面に垂直な軸線Ａの両側に配置されている。回路基板３０ｂをベース２０ｂに嵌め合わせるための構造は、軸線Ａに対して非対称に形成されている。凹部３５ａは金属層３４をエッチングすることにより形成され得る。ベース２０ｂは、凸部３５に嵌め合わされる溝２２に加えて、凹部３５ａに嵌め合わされる凸部２２ａを有する。凸部２２ａは、ベースをエッチングすることにより形成され得る。

【００７７】

半導体モジュール１０ｃでは、半導体モジュール１０と同様の作用効果が得られる。また、半導体モジュール１０ｃは、半導体モジュール１０の製造方法と同様の方法によって製造され得る。さらに、半導体モジュール１０ｃでは、ベース２０ｂに対する回路基板３０ｂの向きが１つに決まるので、間違った向きで回路基板３０ｂをベース２０ｂに嵌め合わせることを抑制できる。その結果、半導体モジュール１０ｃの組み立てが容易になる。

【００７８】

（第５実施形態）

図３７は、第５実施形態に係る半導体モジュールを模式的に示す断面図である。図３７に示される半導体モジュール１０ｄは、回路基板をベースに嵌め合わせるための構造が異なること以外は半導体モジュール１０と同じ構成を備える。半導体モジュール１０ｄは、回路基板３０ｃ及びベース２０ｃを備える。回路基板３０ｃは、金属層３４に形成された凹部３５ａを備える。ベース２０ｃは、凹部３５ａに対応する凸部２２ａを備える。

【００７９】

半導体モジュール１０ｄでは、半導体モジュール１０と同様の作用効果が得られる。また、半導体モジュール１０ｄは、半導体モジュール１０の製造方法と同様の方法によって製造され得る。

【００８０】

（第６実施形態）

図３８は、第６実施形態に係る半導体モジュールを模式的に示す断面図である。図３８に示される半導体モジュール１０ｅは、回路基板をベースに嵌め合わせるための構造が異なること以外は半導体モジュール１０と同じ構成を備える。半導体モジュール１０ｅは、回路基板３０ｄ及びベース２０ｄを備える。回路基板３０ｄは、凸部３５及び凹部３５ａを備えていない。ベース２０ｄは、回路基板３０ｄ全体に対応する溝２２を備える。

【００８１】

半導体モジュール１０ｅでは、半導体モジュール１０と同様の作用効果が得られる。また、半導体モジュール１０ｅは、半導体モジュール１０の製造方法と同様の方法によって製造され得る。

【００８２】

（第７実施形態）

図３９は、第７実施形態に係る半導体モジュールを模式的に示す断面図である。図３９に示される半導体モジュール１０ｆは、回路基板をベースに嵌め合わせるための構造が異なること以外は半導体モジュール１０と同じ構成を備える。半導体モジュール１０ｆは、回路基板３０ｅ及びベース２０ｅを備える。回路基板３０ｅでは、凸部３５の延在方向に垂直な断面形状が三角形になっている。このため、ベース２０ｅでは、溝２２の延在方向に垂直な断面形状も三角形になっている。

【００８３】

半導体モジュール１０ｆでは、半導体モジュール１０と同様の作用効果が得られる。また、半導体モジュール１０ｆは、半導体モジュール１０の製造方法と同様の方法によって製造され得る。

【００８４】

（第８実施形態）

図４０は、第８実施形態に係る半導体モジュールを模式的に示す断面図である。図４０に示される半導体モジュール１０ｇは、回路基板をベースに嵌め合わせるための構造が異

なること以外は半導体モジュール１０と同じ構成を備える。半導体モジュール１０ｇは、回路基板３０ｆ及びベース２０ｆを備える。回路基板３０ｆでは、凸部３５の延在方向に垂直な断面形状が半円になっている。このため、ベース２０ｆでは、溝２２の延在方向に垂直な断面形状も半円になっている。

【００８５】

半導体モジュール１０ｇでは、半導体モジュール１０と同様の作用効果が得られる。また、半導体モジュール１０ｇは、半導体モジュール１０の製造方法と同様の方法によって製造され得る。

【００８６】

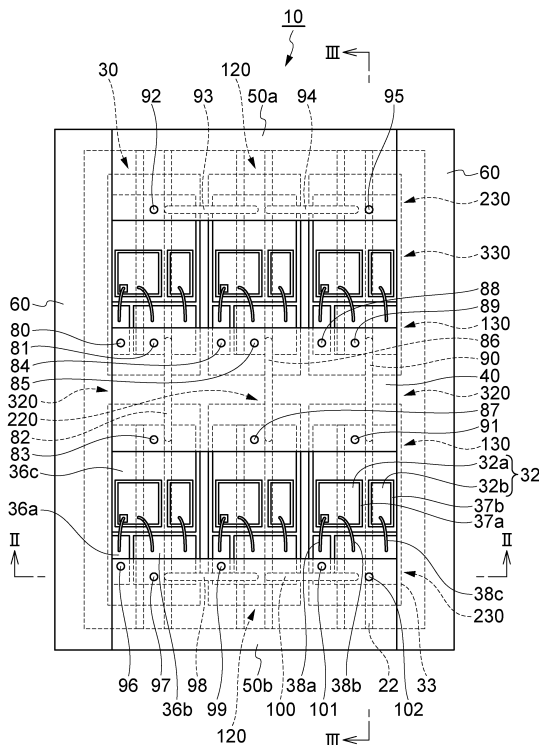
以上、本発明の好適な実施形態について詳細に説明したが、本発明は上記各実施形態に限定されない。第１～第８実施形態に係る半導体モジュールの各構成は、互いに組み合わされてもよい。ベースが凹部を有し、支持基板が凹部に対応する凸部を有してもよい。ベースが凸部を有し、支持基板が凸部に対応する凹部を有してもよい。ベースが凹部を有し、支持基板が凹部にそのまま嵌め合わされてもよい。回路基板をベースに嵌め合わせるための構造は、任意の形状を有する凹部、溝、凸部、レール等であってもよい。

【符号の説明】

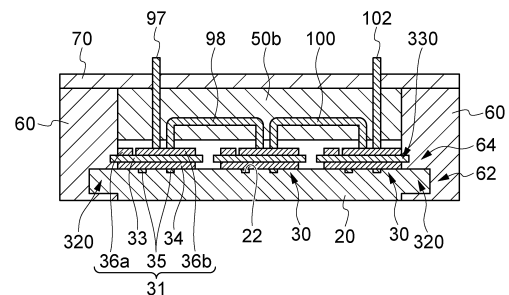
【００８７】

１０，１０ａ、１０ｂ、１０ｃ，１０ｄ，１０ｅ，１０ｆ，１０ｇ…半導体モジュール、２０，２０ａ、２０ｂ，２０ｃ，２０ｄ，２０ｅ，２０ｆ…ベース、２２…溝（回路基板をベースに嵌め合わせるための構造）、３０，３０ａ、３０ｂ，３０ｃ，３０ｄ，３０ 20
 ｅ，３０ｆ…回路基板、３１，１３１…支持基板、３２，１３２…半導体素子、４０…絶縁支持体、８０～９１…端子、１３０…回路基板の第１の端部、２００…ねじ（固定部材）、２３０…回路基板の第２の端部、Ａ…軸線。

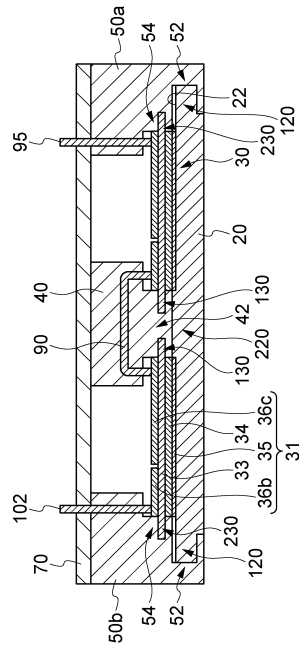
【図１】



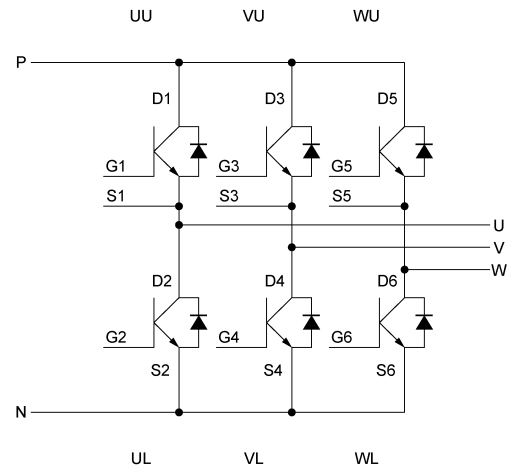
【図２】



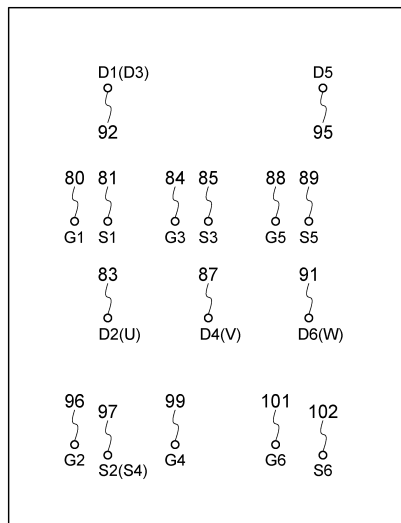
【図 3】



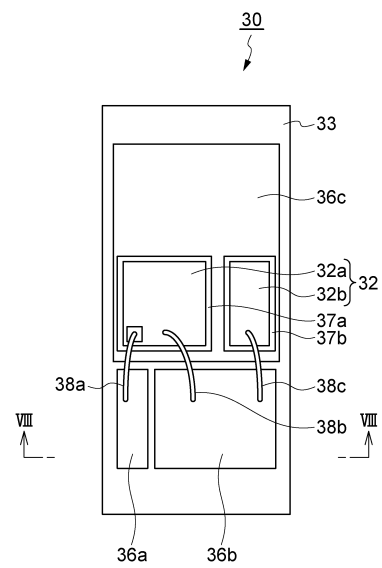
【図 4】



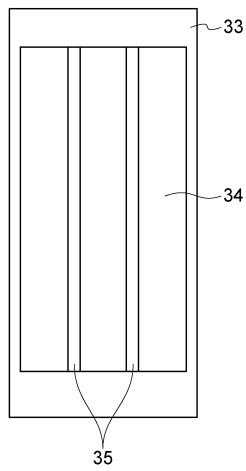
【図 5】



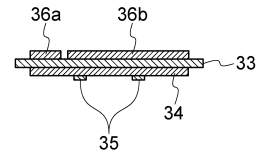
【図 6】



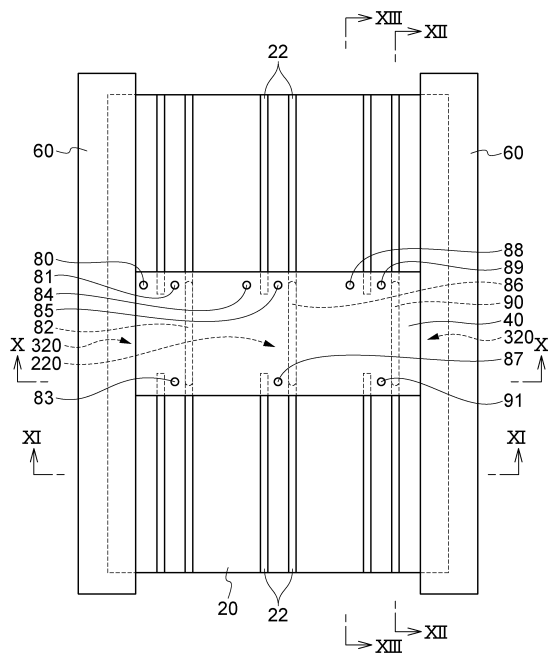
【図 7】



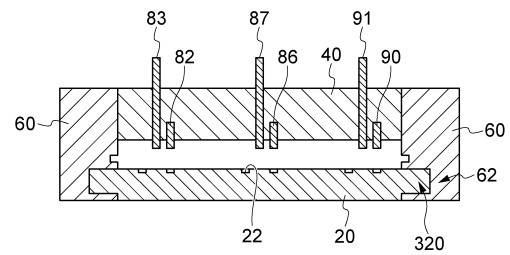
【図 8】



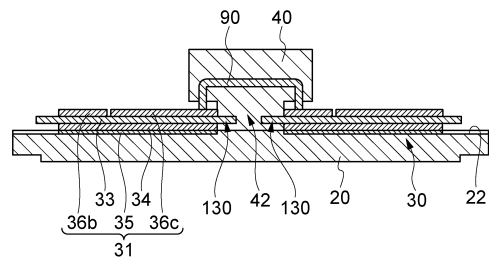
【図 9】



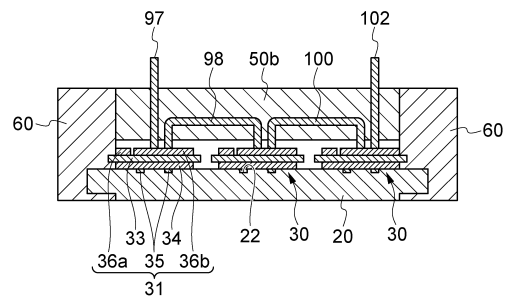
【図 10】



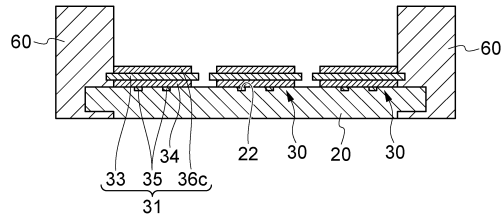
【 図 1 6 】



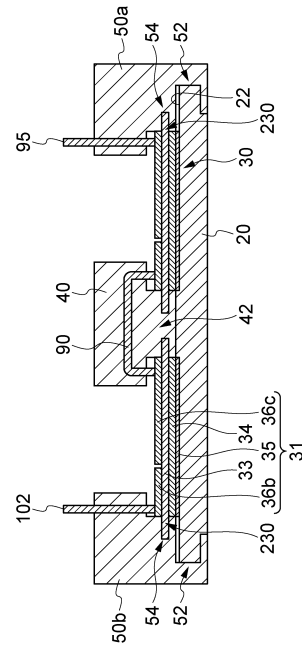
【 圖 1 8 】



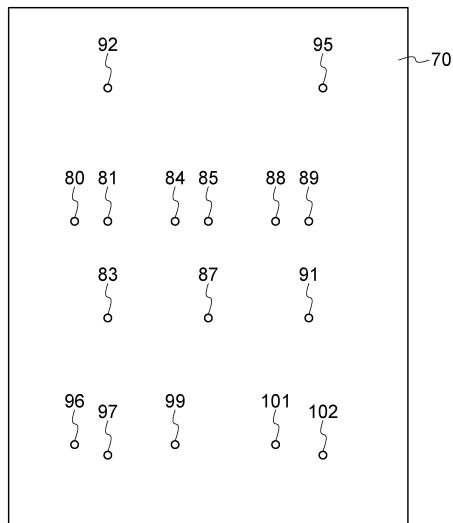
【図 19】



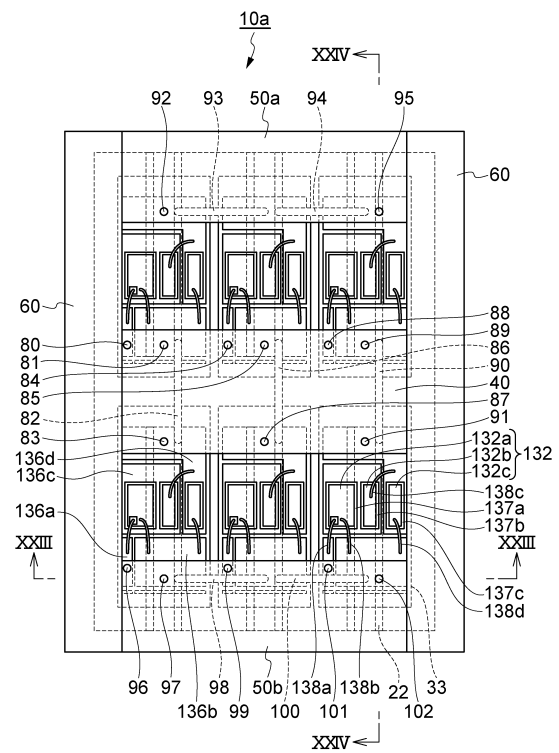
【図 20】



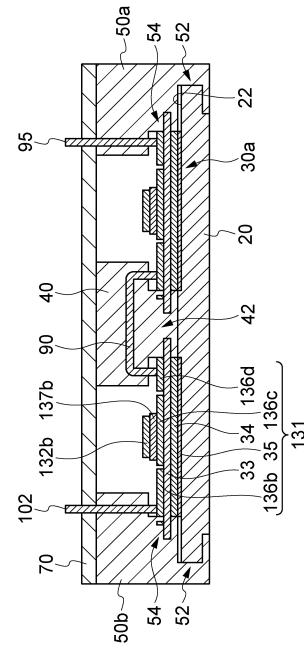
【図 21】



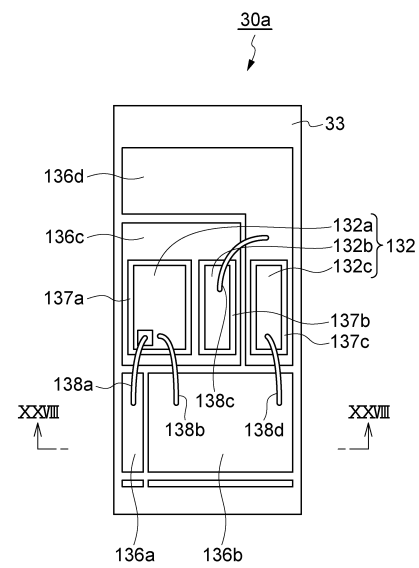
【図 22】



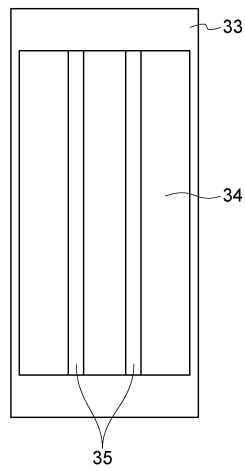
【 図 2 4 】



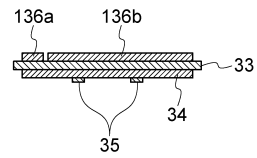
【 図 2 6 】



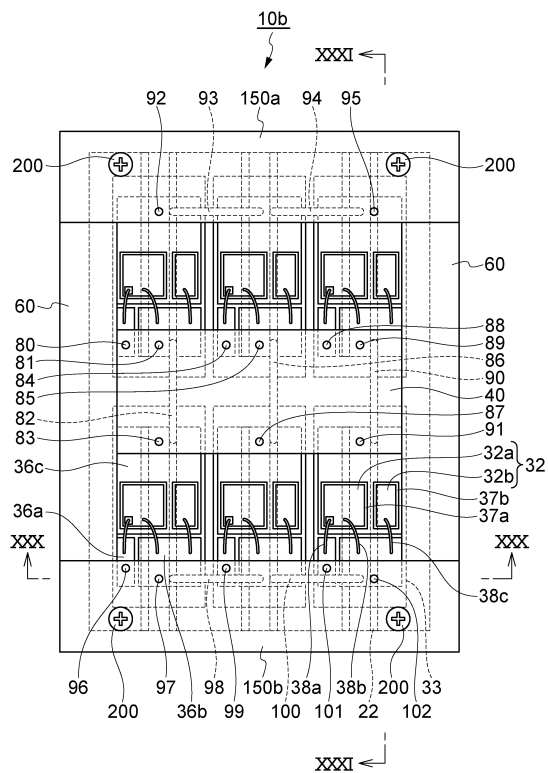
【図 27】



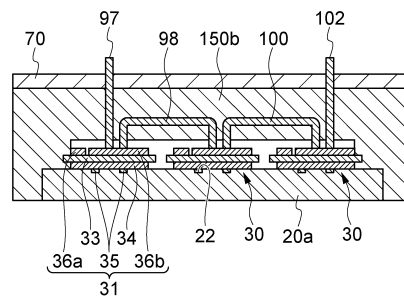
【図 28】



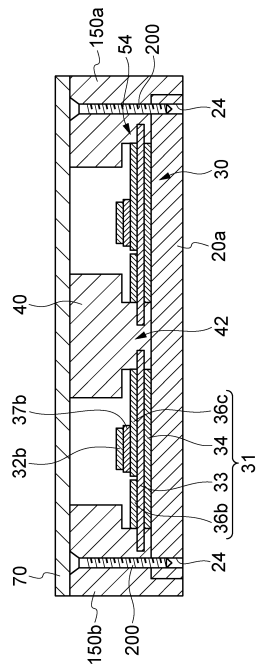
【図 29】



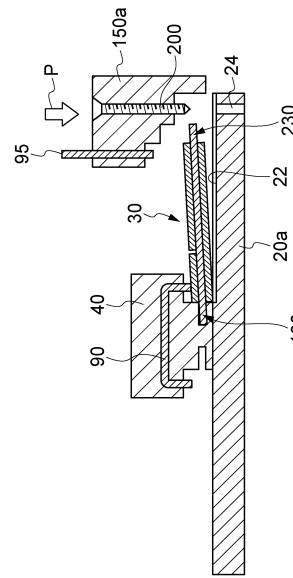
【図 30】



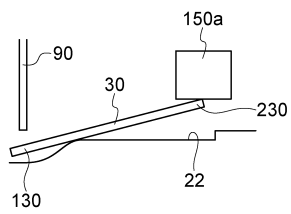
【 図 3 1 】



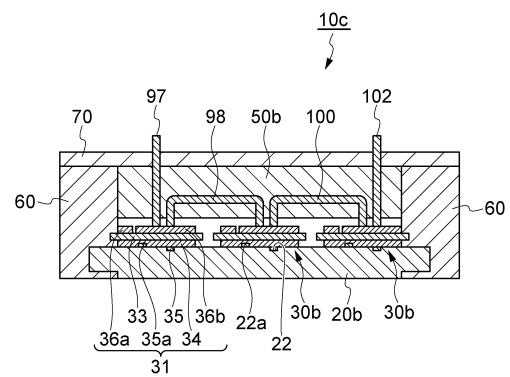
【 図 3 2 】



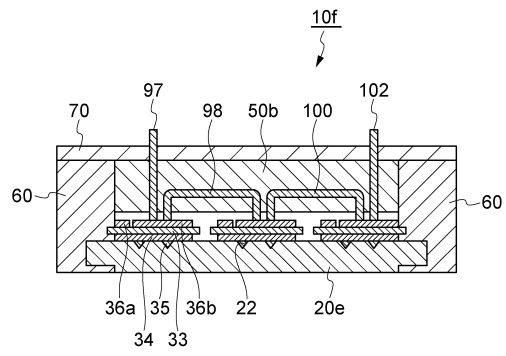
【 ㊦ 3 3 】



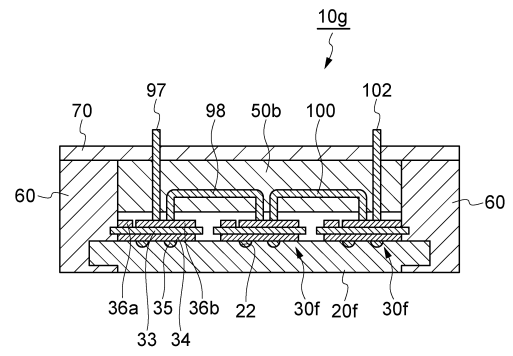
【 図 3 4 】



【図 39】



【図 40】



フロントページの続き

審査官 木下 直哉

(56)参考文献 特開平 1 1 - 2 1 4 6 1 2 (J P , A)
特開 2 0 0 1 - 1 2 7 2 3 8 (J P , A)
特開 2 0 0 9 - 1 8 8 3 2 7 (J P , A)
特開 2 0 0 1 - 1 6 8 2 5 6 (J P , A)
特開 2 0 0 1 - 2 0 3 3 2 0 (J P , A)
特開 2 0 1 1 - 0 9 1 0 8 8 (J P , A)
特開 2 0 0 4 - 1 0 3 9 3 6 (J P , A)
特開 2 0 0 0 - 0 3 1 3 5 8 (J P , A)
特開平 0 2 - 2 6 6 5 5 7 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
H 0 1 L 2 5 / 0 0 - 2 5 / 1 8
H 0 1 L 2 3 / 3 4 - 2 3 / 4 7 3