

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5024162号
(P5024162)

(45) 発行日 平成24年9月12日(2012.9.12)

(24) 登録日 平成24年6月29日(2012.6.29)

(51) Int.Cl. F I
 H O 1 L 21/66 (2006.01) H O 1 L 21/66 B
 G O 1 R 31/26 (2006.01) G O 1 R 31/26 Z

請求項の数 4 (全 20 頁)

(21) 出願番号	特願2008-92962 (P2008-92962)	(73) 特許権者	308014341
(22) 出願日	平成20年3月31日 (2008.3.31)		富士通セミコンダクター株式会社
(65) 公開番号	特開2009-246244 (P2009-246244A)		神奈川県横浜市港北区新横浜二丁目10番
(43) 公開日	平成21年10月22日 (2009.10.22)		23
審査請求日	平成22年11月22日 (2010.11.22)	(74) 代理人	100091672
			弁理士 岡本 啓三
		(72) 発明者	永井 孝一
			神奈川県川崎市中原区上小田中4丁目1番
			1号 富士通株式会社内
		審査官	堀江 義隆

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法及び半導体試験装置

(57) 【特許請求の範囲】

【請求項1】

所定の試験に基づいて不良と判断された半導体ウエハ上の不良チップを第1の不良モードと第2の不良モードとに分類し、

前記所定の試験に基づいて良品と判断された前記半導体ウエハ上の良品チップに隣接する前記第1の不良モードに属する不良チップの分布を調査し、

前記分布に基づいて、前記良品チップを第1タイプの良品チップとするか第2タイプの良品チップとするかの判定を行い、

前記第1タイプと判定された前記良品チップに対し、前記所定の試験よりも合格条件が厳しい追加試験を行い、

前記追加試験で合格と判定された前記良品チップを真の良品チップと判定し、前記追加試験で不合格と判定された前記良品チップを不良チップと判定することを特徴とする半導体装置の製造方法。

【請求項2】

前記調査において、前記良品チップと隣接して存在する前記第1の不良モードの前記不良チップの個数が所定個数以上かどうかを調査し、

前記判定において、前記不良チップの前記個数が前記所定個数以上の場合に前記良品チップを前記第1タイプの良品チップと判定し、前記不良チップの前記個数が前記所定個数未満の場合に前記良品チップを前記第2タイプの良品チップと判定することを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】

前記第1の不良モードには、
 電源の電流測定、
 電源の静止電流測定、
 出力端子のHIGHレベル測定、
 出力端子のLOWレベル測定、
 入力端子のリーク電流測定、
 入力端子からGND端子へのリーク電流測定、
 電源端子から入力端子へのリーク電流測定、
 BUS回路の入力端子及び出力端子のリーク電流測定、
 被測定端子からGND端子へのリーク電流測定、及び
 電源端子から被測定端子へのリーク電流測定

10

のいずれかの試験において不良チップと判断される不良チップが含まれることを特徴とする請求項1又は2のいずれか1項に記載の半導体装置の製造方法。

【請求項4】

半導体ウエハに形成された半導体チップに、所定の試験における試験信号を入力して、該半導体チップの合否判断を行う計算部を有し、
 前記計算部が、
 前記合否判断において不良と判断された不良チップを第1の不良モードと第2の不良モードとに分類し、
 前記合否判断において良品と判断された良品チップに隣接する前記第1の不良モードに属する不良チップの分布を調査し、
 前記分布に基づいて、前記良品チップを第1タイプの良品チップとするか第2タイプの良品チップとするかの判定を行い、
 前記第1タイプと判定された前記良品チップに対し、前記所定の試験よりも合格条件が厳しい追加試験を行い、

20

前記追加試験で合格と判定された前記良品チップを真の良品チップと判定し、前記追加試験で不合格と判定された前記良品チップを不良チップと判定することを特徴とする半導体試験装置。

【発明の詳細な説明】

30

【技術分野】

【0001】

本発明は、半導体装置の製造方法及び半導体試験装置に関する。

【背景技術】

【0002】

LSI等の半導体装置の製造工程では、半導体ウエハに複数のチップを形成した後、各チップに対してウエハレベルで電氣的試験が行われ、良品チップと不良チップとの選別が行われる。その電氣的試験で不良と判断されたチップは、良品と誤認しないようにインクでマーキングが施された後、廃棄処分される。

【0003】

40

一方、良品と判断されたチップは、パッケージ工程等の後工程を経て市場に出荷されることになる。

【0004】

ところが、このような良品チップの中には、上記の電氣的試験をぎりぎり通過したことで、後工程や市場に出回った後に不良になる潜在的な不良チップ存在する。このようなチップを市場に出さないために、電氣的試験において合格基準を更に厳しくすることとも考えられるが、これでは一枚の半導体ウエハから得られる良品チップの数が減少し、半導体装置の歩留まりが低下してしまう。

【0005】

また、良品チップが潜在的に不良であるかどうかは、ウエハ面内における不良チップの

50

分布（AUF: Area Usage of Factor）の仕方によってある程度把握することができる（特許文献1）。

【0006】

例えば、特許文献1が開示するように、電氣的試験で良品チップと判断されたとしても、その良品チップの隣に不良チップが存在する場合は、この良品チップは潜在的に不良である可能性がある。不良になる可能性が高いかどうかは、不良チップの分布の仕方に依存する。

【0007】

しかしながら、その可能性の判定は、不良チップの分布に基づいて作業者が自身の感覚に基づいて行われるので、作業者によっては異なる判定結果になる場合もあり、潜在的に不良になり得るチップが市場に出荷されるおそれがある。また、作業者によっては、その判定に長時間を費やす場合もあり、製品出荷の流れを遅延させることもある。

10

【0008】

その他に、本願に関連する技術が特許文献2～5にも開示されている。

【特許文献1】特開2006-128251号公報

【特許文献2】特開昭59-231830号公報

【特許文献3】特開2003-59984号公報

【特許文献4】特開2001-308157号公報

【特許文献5】特開2004-96121号公報

【発明の開示】

20

【発明が解決しようとする課題】

【0009】

半導体装置の製造方法と半導体試験装置において、潜在的に不良になる可能性のあるチップを後の工程に出す危険性を低減することを目的とする。

【課題を解決するための手段】

【0010】

本発明の一観点によれば、所定の試験に基づいて不良と判断された半導体ウエハ上の不良チップを第1の不良モードと第2の不良モードとに分類し、前記所定の試験に基づいて良品と判断された前記半導体ウエハ上の良品チップに隣接する前記第1の不良モードに属する不良チップの分布を調査し、前記分布に基づいて、前記良品チップを第1タイプの良品チップとするか第2タイプの良品チップとするかの判定を行い、前記第1タイプと判定された前記良品チップに対し、前記所定の試験よりも合格条件が厳しい追加試験を行い、前記追加試験で合格と判定された前記良品チップを真の良品チップと判定し、前記追加試験で不合格と判定された前記良品チップを不良チップと判定することを特徴とする半導体装置の製造方法が提供される。

30

【0011】

また、本発明の別の観点によれば、半導体ウエハに形成された半導体チップに、所定の試験における試験信号を入力して、該半導体チップの合否判断を行う計算部を有し、前記計算部が、前記合否判断において不良と判断された不良チップを第1の不良モードと第2の不良モードとに分類し、

40

前記合否判断において良品と判断された良品チップに隣接する前記第1の不良モードに属する不良チップの分布を調査し、前記分布に基づいて、前記良品チップを第1タイプの良品チップとするか第2タイプの良品チップとするかの判定を行い、前記第1タイプと判定された前記良品チップに対し、前記所定の試験よりも合格条件が厳しい追加試験を行い、前記追加試験で合格と判定された前記良品チップを真の良品チップと判定し、前記追加試験で不合格と判定された前記良品チップを不良チップと判定することを特徴とする半導体試験装置が提供される。

【発明の効果】

【0012】

本発明によれば、良品チップの周囲に存在する第1の不良モードに属する不良チップの

50

分布に基づき、その良品チップを第1タイプの良品チップとするか第2タイプの良品チップとするかの判定を行う。

【0013】

第1タイプの良品チップとしては、例えば、周囲に多くのマージン系の不良チップが存在することにより潜在的に不良になる可能性の高い良品チップがある。その場合、不良チップのモードに応じて良品チップのタイプ分けをすることで、例えば第1タイプの良品については出荷を留保する等の対応をとり、潜在的に不良になる可能性のある良品チップが市場に出回るのを防止できる。

【発明を実施するための最良の形態】

【0014】

以下に、本発明の実施の形態について、添付図面を参照しながら詳細に説明する。

10

【0015】

(1) 第1実施形態

図1は、本実施形態に係る半導体試験装置の構成図である。

【0016】

この半導体試験装置1は、半導体ウエハWが載置されて水平方向に移動可能なステージ2と、半導体ウエハWに対向したプローブカード3と、パーソナルコンピュータ等の計算部5とを有する。

【0017】

このうち、プローブカード3には、半導体ウエハWの端子Eに対応して複数のプローブ4が設けられており、試験に際してはそのプローブ4から試験信号 S_{in} が端子Eに入力される。

20

【0018】

また、ステージ2には不図示のヒータが内蔵されており、計算部5の制御によって半導体ウエハWを所望の試験温度に加熱することができる。

【0019】

そして、水平面内でのステージ2の移動量等や試験信号 S_{in} 等は計算部5により制御される。試験信号 S_{in} の入力により半導体ウエハWから出力される出力信号 S_{out} は計算部5に入力され、その出力信号 S_{out} に基づいて計算部5が半導体ウエハWに形成されたチップの良否判定を行う。

30

【0020】

計算部5は、記憶部7を有しており、良否判定の結果が試験結果データとしてその記憶部7に格納される。

【0021】

試験結果データは、半導体ウエハWにおける不良チップの位置と、後述する不良のモードとを含み、ウエハマップの形でCRT等の表示部8に表示される。

【0022】

次に、この半導体試験装置1を用いた半導体装置の製造方法について説明する。

【0023】

図2は、本実施形態に係る半導体装置の製造方法について示すフローチャートである。

40

【0024】

なお、特に断らない限り、このフローチャートは計算部5が実行するものである。

【0025】

最初のステップS1では、ステージ2により半導体ウエハWを90程度に加熱し、試験中に半導体チップに熱負荷を加えるようにする。

【0026】

次に、ステップS2に移り、プローブ4と端子Eとが正しく導通しているかどうかの確認を行う。

【0027】

そして、ステップS3に移り、複数の端子E同士が電氣的にショートしていないかどうか

50

かの確認を行う。

【0028】

これらステップS2、S3は、試験前の基礎的な確認事項であって、これらの確認をした後に次のようにして実体的な試験が行われる。

【0029】

まず、ステップS4では、チップに形成された回路のマージン測定を行う。

【0030】

マージン測定とは、チップの入出力信号の変動が許容範囲内にあるかどうかを測定することをいう。

【0031】

そして、入出力信号が許容範囲内にはそのチップを不良と判定し、そうでない場合には良品と判定する。

【0032】

測定の対象となる回路のマージンとしては種々あるが、そのうちの幾つかを図3に示す。

【0033】

また、図3に示す以外にも、動作電圧や動作電流等の動作パラメータを様々に振ることにより、チップが正常に動作することが可能な動作パラメータの範囲を探ることともマージン測定に含まれる。この場合、その範囲が、製品が保証する保証範囲よりも狭い場合にはそのチップを不良と判定し、そうでない場合には良品と判定する。例えば、電源電圧の保証範囲が2.7~3.3Vであるときに、チップが正常に動作することが可能な電源電圧の範囲が2.9~3.1Vである場合、そのチップは不良と判定される。

【0034】

このような回路のマージンの広狭は、ゲート電極等のデバイスパターンの幅の広狭に依存する。デバイスパターンの幅は、ウエハ面内でのエッチング速度等のプロセスパラメータに依存するものであって、そのプロセスパラメータはウエハ面内において連続的に変動し、あるチップにおいてのみ特異な値を取ることは稀である。従って、あるチップでマージンが狭いと判定された場合には、そのチップに隣接するチップでもマージンが狭いと判定される傾向が強い。

【0035】

本実施形態では、図3の回路マージンの試験項目いずれかで不良と判定されたものを「マージン系の不良」と呼ぶ。

【0036】

また、チップが正常に動作することが可能な動作電圧や動作電流等の動作パラメータの範囲を探った結果、その範囲が製品の保証範囲よりも狭いことが明らかになった場合も、そのチップは「マージン系の不良」と判定される。

【0037】

次に、ステップS5に移り、半導体チップに対して機能試験を行う。

【0038】

この機能試験では、半導体チップに電源電圧を供給し、そのチップ内の回路が行った論理演算によって出力端子から出力されるHIGHレベル電圧若しくはLOWレベル電圧等の出力電圧を測定する。そして、その出力電圧のレベルが所定の値になっている場合には、このチップを良品と判定し、そうでない場合には不良と判定する。

【0039】

機能試験における試験結果は、製造途中でチップにたまたま付着したパーティクル等の異物に依存し、デバイスパターンの形状にはあまり依存しない。したがって、あるチップが機能試験において不良となっても、その隣のチップでは機能試験で不良になることは稀である。以下では、異物の付着により機能試験において不良となるものを「突発系の不良」と呼ぶことにする。

【0040】

10

20

30

40

50

次いで、ステップS 6に移り、試験対象の半導体チップについての合否判断を行う。この判断は、ステップS 4とステップS 5のいずれかで不良と判定されたチップを不合格とし、これらのステップS 4、S 5の両方で良品と判定されたものを合格とすることで行われる。

【0041】

続いて、ステップS 7に移行し、ステップS 6の合否判断の結果をウエハマップの形で表示する。

【0042】

図4は、そのウエハマップの一例を示す図である。

【0043】

ウエハマップでは、良品チップと不良チップとが色の濃淡で区別して表示される。なお、図4では、色の濃淡をハッチングによって示している。

【0044】

次に、ステップS 8に移り、不良チップと判定されたチップをマージン系の不良と突発系の不良とに分類し、それらをウエハマップ上で別々の色により再表示する。このような不良の分類は、不良チップがステップS 4のマージン測定とステップS 5の機能試験のどちらで不良になったかに基づいて、計算部5が自動で行う。

【0045】

図5は、試験対象の5個の良品チップ20を中心にしたこのウエハマップの拡大図である。但し、図5と後述の図6及び図7では、色の違いをハッチングで表している。

【0046】

このように色分け表示をすることで、マージン系の不良チップ22と突発系の不良チップ23の面内分布を把握することができる。

【0047】

なお、色分けに代えて、アルファベットや数字等の記号によりマージン系の不良チップ22と突発系の不良チップとを表示するようにしてもよい。

【0048】

次に、ステップS 9に移り、良品チップ20の周囲に存在するマージン系の不良チップ22の分布を調査する。

【0049】

本実施形態では、対象の良品チップ20と隣接して存在するマージン系の不良チップ22の個数が所定個数以上かどうか、例えば2個以上かどうかを調査する。

【0050】

なお、良品チップ20に隣接するチップとは、該チップ20の四辺に隣接する四個のチップと、該チップ20の対角線方向に隣接する四個のチップの計八個のチップである。

【0051】

既述のように、あるチップで回路マージンが狭い場合には、そのチップに隣接するチップでも回路マージンが狭くなる傾向がある。したがって、良品チップ20の周囲に所定個数(この例では2個)以上のマージン系の不良チップ22が存在する場合には、その不良チップ22に隣接する良品チップ20も回路マージンが狭く、良品チップ20が潜在的に不良になる可能性が高い。

【0052】

そこで、次のステップS 10では、良品チップ20に隣接するマージン系の不良チップ22の個数が所定個数以上の場合に、その良品チップ20を潜在的に不良になる可能性が高い準良品チップ(第1タイプの良品チップ)と判定する。

【0053】

一方、良品チップ20に隣接するマージン系の不良チップ22の個数が所定個数未満の場合には、その良品チップを潜在的に不良になる可能性が低い真の良品チップ(第2タイプの良品チップ)と判定する。

【0054】

10

20

30

40

50

そして、本ステップにより準良品チップである（YES）と判定された場合にはステップS11に移り、半導体試験装置1が備える記憶部7にその良品チップ20の種別を準良品として記憶させる。

【0055】

一方、ステップS10において準良品チップではなく（NO）、真の良品チップであると判定された場合には、ステップS12に移り、上記の記憶部7に良品チップ20の種別を真の良品として記憶させる。

【0056】

そして、半導体試験装置の表示部8には、図6に示すように、準良品と判断された良品チップ20が他のチップとは異なる色で表示される。

10

【0057】

なお、このように色で表示するのではなく、アルファベットや数字等の記号によって準良品のチップ20を表示するようにしてもよい。

【0058】

図6は、図5と同一の5個の良品チップ20を中心にしたウエハマップの拡大図である。この例では、右から2番目と3番目の良品チップ20が、2個以上のマージン系の不良チップと隣接しているため、他の良品チップとは異なる色で表示されている。

【0059】

続いて、ステップS13に移り、計算部5が記憶部7を参照し、良品チップ20の種別が準良品かどうかを判断する。

20

【0060】

そして、準良品である（YES）と判断された場合には、ステップS14に移り、準良品と判定された良品チップ20に対してステップS4におけるよりも合格条件を厳しくしたマージン系の追加試験を行う。

【0061】

この場合の追加試験の項目としては、図3に示した試験がある。そして、合格条件を厳しくするには、図3に示されるマージンの幅を、ステップS4におけるよりも狭くすればよい。

【0062】

なお、マージンの幅をあまり狭くし過ぎると、殆ど全ての良品チップ20が不良になるおそれがある。したがって、追加試験では、ステップS4におけるマージンから5%以内の範囲でマージンを狭くするのが好ましい。

30

【0063】

また、動作電圧や動作電流等の動作パラメータの保証範囲をステップS4におけるよりも広くすることで、この追加試験の合格条件を厳しくしてもよい。この場合、広げられた保証範囲でチップが動作する場合には合格となり、そうでない場合には不合格となる。

【0064】

例えば、ステップS4における電源電圧の保証範囲が2.7~3.3Vであるとき、保証範囲をさらに2.6~3.4Vに広げ、この範囲で動作すればそのチップは合格となる。

40

【0065】

或いは、試験温度をステップS4よりも高い温度してもよい。このようにすると、準良品と判定されたチップに印加される熱負荷がステップS4よりも大きくなるので、ステップS4で合格になったものが不合格と判断され易くなり、ステップS4におけるよりも合格条件を厳しくすることができる。

【0066】

この場合、ステップS4と比較して温度上昇が僅かだと、チップに印加される熱負荷が不十分となり、合格条件があまり厳しくならない場合がある。したがって、ステップS4の温度と比較して3%以上温度を高くし、チップに十分に熱負荷を加えるのが好ましい。

【0067】

50

準良品と判断されていた良品チップ20は、このようにステップS4よりも厳しい合格条件で合格となった場合には、市場に出してもマージン系の不良が発生し難いと考えられ、真の良品チップとして扱ってもよい。

【0068】

そこで、次のステップS15では、準良品と判定された良品チップ20が追加試験において合格かどうかを判断し、合格(YES)と判断された場合には、ステップS17においてその良品チップ20を真の良品チップとして出荷する。

【0069】

なお、既述のステップS13において準良品チップでない(NO)と判断されている場合には、このステップS15において自動的に合格(YES)と判断し、ステップS17に移行する。

10

【0070】

一方、ステップS15において合格でない(NO)と判断された場合には、ステップS16において良品チップ20を不良品として取り扱う。そして、このように不良品と扱われる良品チップ20にはインクでマーキングが施され、良品と誤認されないようにする。なお、インクによるマーキングに代えて、半導体試験装置1がウエハマップの形で保持する試験結果データに、良品チップ20を不良品として取り扱うべき旨のデータを付加し、ウエハマップ上でそのチップを他のチップと異なる色で表示するようにしてもよい。このような処理はデータマーキング処理とも呼ばれる。

【0071】

20

そして、半導体試験装置の表示部8には、図7に示すように、不良品として取り扱うべき良品チップ20が他のチップとは異なる色で表示される。なお、このように色で表示するのではなく、アルファベットや数字等の記号で表示するようにしてもよい。

【0072】

図7は、図5と同一の5個の良品チップ20を中心にしたウエハマップの拡大図である。この例では、右から3番目の準良品と判定されたチップ20が、上記の追加試験で不合格となったため、データマーキング処理によって他のチップと異なる色で表示されている。

【0073】

以上により、本実施形態に係る半導体装置の製造工程の主要工程を終了する。

30

【0074】

上記した本実施形態によれば、図5に示したように、良品チップ20の周りの不良チップをマージン系の不良チップ22と突発系の不良チップ23とに分類する。そして、図6に示したように、良品チップ20に隣接するマージン系の不良チップ22の個数が所定個数以上の場合に、その良品チップ20を準良品チップと判定する。

【0075】

潜在的に不良になる可能性のある準良品チップをこのように認識しておくことで、準良品チップを後工程や市場に出すのを留保でき、後工程や市場に出てから不良になるチップの数を低減することができる。

【0076】

40

しかも、準良品であるかどうかの判定は、計算部5が自動で行うので、その判定に作業者の個人差が入り込む余地がないうえ、極めて短時間に判定を行うことができ、半導体装置の出荷を遅滞なく進めることができる。

【0077】

更に、図7に示したように、準良品と判定された良品チップ20に対し、ステップS4におけるよりも合格条件が厳しいマージン系の追加試験を行い、この試験で不合格となったものを不良品として扱うと共に、合格となったものを真の良品チップとして扱う。

【0078】

これにより、潜在的に不良になるチップを不良品として選別し、真の良品チップのみを後工程や市場に出すことができ、不良になる可能性のあるチップを後工程等に出す危険性

50

を更に低減できる。

【0079】

ところで、一般的には、ある半導体ウエハにおいて不良チップが多数存在する場合には、ウエハ中に良品チップが存在したとしても、その良品チップが後工程等において不良になる危険性があるため、その半導体ウエハは廃棄処分するのが普通である。

【0080】

このような半導体ウエハに対し、本実施形態を適用すると、廃棄処分をせずにその中から潜在的に不良になる可能性の低い良品チップを取り出すことができる。これについて以下に説明する。

【0081】

図8は、ある品種における半導体ウエハWの歩留まりを示すグラフである。このグラフの横軸は半導体ウエハWの番号を示し、縦軸はその半導体ウエハにおける良品チップの歩留まりを示す。

【0082】

これに示されるように、同じ品種であっても、半導体ウエハWによって歩留まりにはばらつきがある。

【0083】

この例では、歩留まりの高低を示す指標として、ウエハグレードWG1～WG3を用いている。

【0084】

全ウエハの歩留まりの標準偏差を σ とする場合、ウエハグレードWG1のウエハは、その歩留まりが、全ウエハの平均歩留まり \bar{Y} と 2σ との和 ($\bar{Y} + 2\sigma$) よりも高いウエハとして定義される。

【0085】

また、ウエハグレードWG2のウエハは、その歩留まりが、全ウエハの平均歩留まり \bar{Y} と 2σ との差 ($\bar{Y} - 2\sigma$) よりも高く、且つ $\bar{Y} + 2\sigma$ よりも低いウエハとして定義される。

【0086】

そして、ウエハグレードWG3のウエハは、その歩留まりが、全ウエハの平均歩留まり \bar{Y} と 2σ との差 ($\bar{Y} - 2\sigma$) よりも低いウエハとして定義される。

【0087】

図9は、ウエハグレードWG2の不良チップの分布を示すウエハマップである。また、図10は、ウエハグレードWG3の不良チップの分布を示すウエハマップである。これらの図に示されるように、不良チップが多数存在するウエハでは、その中にたとえ良品チップが存在しても、それが本当に良品チップかどうか疑わしい。

【0088】

図11は、図10に示したウエハグレードWG3のウエハに対し、本実施形態を適用して準良品チップに対して追加試験(ステップS14)を行い、その準良品チップの中で不良チップと再判定されたチップの分布を示すウエハマップである。

【0089】

これに示すように、本実施形態の追加試験(ステップS14)を行うことで、元々は良品と判断されていたチップの中に不良と再判定されるものがある。その不良チップは、良品と判断されたものの潜在的に不良になる可能性が高いものである。したがって、このような不良チップを除けば、残りの良品チップは市場等において不良になる可能性が低く、半導体ウエハを廃棄せずに良品チップを取り出すことができるようになる。

【0090】

このように、本実施形態を適用することでウエハから後発的に不良になる可能性の低い良品チップを取り出すことができ、ウエハを廃棄処分する必要がなく、コスト効率が高くなる。

【0091】

(2) 第2実施形態

10

20

30

40

50

本実施形態は、第1実施形態と比較してステップS9とステップS10の処理内容が異なる。

【0092】

図12及び図13は、本実施形態におけるステップS9とステップS10の処理内容を説明するための模式図である。

【0093】

本実施形態では、図12に示すように、良品チップ20に隣接するチップ27に予め係数を付与しておく。

【0094】

係数の付与の仕方は特に限定されない。但し、良品チップ20の四辺に隣接するチップ27については、良品チップ20の対角線方向に隣接するチップ27よりも良品チップ20の良・不良に与える影響が大きいいため、図示のように対角線方向に隣接するチップ27よりも高い値であるのが好ましい。

10

【0095】

図14に、係数の付与の仕方の別の例を示す。

【0096】

そして、第1実施形態のステップS8で説明したように、チップ27のうち不良チップと判定されたものをマージン系の不良と突発系の不良とに分類し、それらをウエハマップ上で図13のように色分けして表示する。

【0097】

20

なお、図13では、図を見易くするためにマージン系の不良のみを示している。また、このような色分けに代えて、アルファベットや数字等の記号によってマージン系と突発系の不良とを分けて表示してもよい。

【0098】

そして、ステップS9におけるマージン系の不良チップの分布の調査では、良品チップ20に隣接するチップ27のうち、マージン系の不良チップであるものの係数の総和Sを求め、該総和が所定値 D_1 以上かどうかを調査する。

【0099】

所定値 D_1 を3とした場合、図13の例では、総和Sが $3.5 (= 1.0 + 1.0 + 1.0 + 0.5)$ であるため、総和Sは所定値 D_1 以上となる。

30

【0100】

その後、ステップS10において、総和Sが所定値 D_1 以上の場合に良品チップ20を準良品と判定し、総和Sが所定値 D_1 未満の場合に良品チップ20を真の良品チップと判定する。

【0101】

この例では、総和S($= 3.5$)が所定値 D_1 ($= 3$)以上なので、良品チップ20は準良品と判定される。

【0102】

これ以降のステップは第1実施形態と同様である。

【0103】

40

以上説明した本実施形態によれば、良品チップ20に隣接するチップ27に予め係数を付与しておく。そのチップ27のうちマージン系の不良チップの係数の総和Sが所定値 D_1 以上の場合には、良品チップ20の周囲に多数のマージン系の不良チップが存在することになり、良品チップ20が潜在的に不良になる可能性がある。よって、その場合には良品チップ20を準良品として扱うことで、良品チップ20を市場等に出すのを留保でき、市場において後発的に不良となるチップの数を低減できる。

【0104】

なお、図12に示したチップへの係数の付与については、マージン系の不良を更に複数のカテゴリに分け、そのカテゴリに応じて係数の値を変えるようにしてもよい。この場合のカテゴリとしては、図3に示した試験項目がある。

50

【 0 1 0 5 】

図3の試験項目のうち、電源端子を試験対象とするものは、それ以外の端子を対象とするものと比較して、不良となった場合に隣接するチップを潜在的に不良にする可能性が高い。

【 0 1 0 6 】

したがって、電源端子を試験対象とする試験項目で不良となったマージン系の不良チップについては、電源端子以外の端子を試験対象とする試験項目で不良となったものよりも係数を高くするのが好ましい。このように試験項目毎に係数を変えることにより、マージン系の不良チップが隣接する良品チップに与える影響を、試験項目を加味しながら判断することができ、良品チップが準良品チップであるかどうかの判断をより正確に行うことができる。

10

【 0 1 0 7 】

(3) 第 3 実施形態

本実施形態では、第2実施形態で説明したチップの係数(図12)を利用して、次のようにステップS9とステップS10を行う。

【 0 1 0 8 】

図15は、本実施形態におけるステップS9とステップS10の処理内容を説明するための模式図である。

【 0 1 0 9 】

本実施形態では、ステップS9において、良品チップ20に隣接するチップ27のうち、マージン系の不良であるものの中心同士を線分で結び、良品チップ20を横切る線分の数と重み係数Fとの積Pを求める。重み係数Fは特に限定されないが、本実施形態では例えば0.2とする。

20

【 0 1 1 0 】

更に、良品チップ20に隣接するチップ27のうち、マージン系の不良であるものの係数の総和Sを求め、その総和Sと上記の積Pとの和が所定値 D_2 以上かどうかを調査する。

【 0 1 1 1 】

図示の例では、良品チップを横切る線分の数が2であるから、重み係数Fとその線分の数との積Pは $0.4 (= 2 \times 0.2)$ である。また、上記の総和Sは $3.5 (= 1.0 + 1.0 + 1.0 + 0.5)$ であるから、総和Sと積Pとの和は 3.9 となる。

30

【 0 1 1 2 】

また、所定値 D_2 は、第2実施形態における所定値 D_1 と同一であっても異なってもよいが、本実施形態では例えば3とする。その場合、総和Sと積Pとの和($= 3.9$)は、所定値 $D_2 (= 3)$ 以上ということになる。

【 0 1 1 3 】

その後、ステップS10において、総和Sと積Pとの和が所定値 D_2 以上の場合に良品チップ20を準良品と判定し、総和Sと積Pとの和が所定値 D_2 未満の場合に良品チップ20を真の良品チップと判定する。

【 0 1 1 4 】

この例では、上記のように総和Sと積Pとの和($= 3.9$)が所定値 $D_2 (= 3)$ 以上なので、良品チップ20は準良品と判定される。

40

【 0 1 1 5 】

これ以降のステップは第1実施形態と同様である。

【 0 1 1 6 】

以上説明した本実施形態によれば、図15に示したように、マージン系の不良チップの中心同士を線分で結ぶ。このとき、良品チップ20を横切る線分の数が多いほど、良品チップ20は、その電気的特性が周囲のマージン系の不良チップと同様の傾向を呈すると予測されるので、潜在的な不良チップであると推測できる。

【 0 1 1 7 】

よって、このように良品チップ20を横切る線分の数を加味することにより、良品チッ

50

プ 20 が準良品であるかどうかの判断を行うことができる。そして、準良品であると判断された良品チップ 20 については、市場等に出すのを留保でき、市場等において後発的に不良となるチップの数を低減できる。

【 0 1 1 8 】

(4) 第 4 実施形態

本実施形態では、第 1 ~ 第 3 実施形態と比較して、ステップ S 15 以降の工程のみが異なる。

【 0 1 1 9 】

図 16 は、本実施形態に係る半導体装置の製造方法について示すフローチャートである。

【 0 1 2 0 】

本実施形態では、図 16 に示すように、ステップ S 15 において良品チップが追加試験で合格でない (N O) と判断された場合、ステップ S 20 に移る。

【 0 1 2 1 】

そのステップ S 20 では、チップに要求される品質が、ハイグレード (第 1 の品質) がそれよりも低いローグレード (第 2 の品質) のどちらであるかの判断を行う。

【 0 1 2 2 】

ここで、ハイグレードのチップは、例えば車載用等の人命に関わる機器に使用されるものである。一方、ローグレードのチップは、音響機器や玩具等のように、故障しても人命に影響の出ないものである。

【 0 1 2 3 】

追加試験で合格でないと判断されたチップにハイグレードな品質が要求されている場合、そのチップを市場に出したのでは後発的にそのチップが不良になり、重大な事故を起こす危険がある。

【 0 1 2 4 】

そこで、ステップ S 20 においてハイグレードであると判断された場合には、そのチップを市場に出さずに廃棄処分する。

【 0 1 2 5 】

一方、ステップ S 20 においてローグレードであると判断された場合は、チップが後発的に不良となっても重大な事故を起こす危険性が低いので、ローグレード品としてそのチップを出荷する。

【 0 1 2 6 】

以上により、本実施形態に係る半導体装置の基本ステップを終了する。

【 0 1 2 7 】

上記した本実施形態によれば、追加試験で合格でないと判断されたチップについて、ステップ S 20 においてハイグレードかローグレードかを判断する。そして、ハイグレードと判断された場合にはステップ S 22 でそのチップを廃棄するので、そのチップが市場に出回って重大な事故を起こす危険性を低減できる。また、ローグレードと判断された場合には、ステップ S 21 でローグレード品として出荷するので、追加試験で合格でないと判断されたチップを有効活用することができる。

【 0 1 2 8 】

以下に、本発明の特徴を付記する。

【 0 1 2 9 】

(付記 1) 所定の試験に基づいて不良と判断された半導体ウエハ上の不良チップを第 1 の不良モードと第 2 の不良モードとに分類し、

前記所定の試験に基づいて良品と判断された前記半導体ウエハ上の良品チップの周囲に存在する前記第 1 の不良モードに属する不良チップの分布を調査し、

前記分布に基づいて、前記良品チップを第 1 タイプの良品チップとするか第 2 タイプの良品チップとするかの判定を行うこと

を特徴とする半導体装置の製造方法。

10

20

30

40

50

【 0 1 3 0 】

(付記 2) 前記調査において、前記良品チップと隣接して存在する前記第 1 の不良モードの前記不良チップの個数が所定個数以上かどうかを調査し、

前記判定において、前記不良チップの前記個数が前記所定個数以上の場合に前記良品チップを前記第 1 タイプの良品チップと判定し、前記不良チップの前記個数が前記所定個数未満の場合に前記良品チップを前記第 2 タイプの良品チップと判定することを特徴とする付記 1 に記載の半導体装置の製造方法。

【 0 1 3 1 】

(付記 3) 前記良品チップに隣接するチップに予め係数を付与し、

前記調査において、前記良品チップに隣接するチップのうち、前記第 1 の不良モードに属する不良チップの前記係数の総和を求め、該総和が所定値以上かどうかを調査し、

前記判定において、前記総和が前記所定値以上の場合に前記良品チップを前記第 1 タイプの良品チップと判定し、前記総和が前記所定値未満の場合に前記良品チップを第 2 タイプの良品チップと判定することを特徴とする付記 1 に記載の半導体装置の製造方法。

【 0 1 3 2 】

(付記 4) 前記調査において、前記良品チップに隣接するチップのうち、前記第 1 の不良モードに属する不良チップの中心同士を線分で結び、前記良品チップを横切る前記線分の数と重み係数との積を求め、該積と前記総和との和が前記所定値以上かどうかを調査し、

前記判定において、前記和が前記所定値以上の場合に前記良品チップを前記第 1 タイプの良品チップと判定し、前記和が前記所定値未満の場合に前記良品チップを第 2 タイプの良品チップと判定することを特徴とする付記 3 に記載の半導体装置の製造方法。

【 0 1 3 3 】

(付記 5) 前記不良チップを前記第 1 の不良モードと前記第 2 の不良モードとに分類するときに、前記第 1 の不良モードを更に複数のカテゴリに分け、

前記カテゴリに応じて、前記係数の値を変えることを特徴とする付記 3 に記載の半導体装置の製造方法。

【 0 1 3 4 】

(付記 6) 前記良品チップの四辺に隣接するチップの係数を、前記良品チップの対角線方向に隣接するチップの係数よりも高くすることを特徴とする付記 3 に記載の半導体装置の製造方法。

【 0 1 3 5 】

(付記 7) 前記第 1 タイプと判定された前記良品チップに対し、前記所定の試験よりも合格条件が厳しい追加試験を行い、

前記追加試験で合格と判定された前記良品チップを真の良品チップと判定し、前記追加試験で不合格と判定された前記良品チップを不良チップと判定することを特徴とする付記 1 ~ 6 のいずれかに記載の半導体装置の製造方法。

【 0 1 3 6 】

(付記 8) 前記追加試験において、前記所定の試験におけるよりも試験温度を高くすることにより、前記合格条件を厳しくすることを特徴とする付記 7 に記載の半導体装置の製造方法。

【 0 1 3 7 】

(付記 9) 前記追加試験において、前記所定の試験におけるよりも、動作電圧又は動作電流の保証範囲を広くすることにより、前記合格条件を厳しくすることを特徴とする付記 7 に記載の半導体装置の製造方法。

【 0 1 3 8 】

(付記 10) 前記追加試験で不合格と判定された前記良品チップに要求される品質が、第 1 の品質とそれよりも低い第 2 の品質のどちらであるかの判断を行い、前記第 1 の品質であると判断された場合には前記不合格と判定された前記良品チップを廃棄処分し、前記第 2 の品質であると判断された場合には前記不合格と判定された前記良品チップを出荷

10

20

30

40

50

することを特徴とする付記 7 ~ 付記 9 のいずれかに記載の半導体装置の製造方法。

【 0 1 3 9 】

(付記 1 1) 前記第 1 の不良モードには、

電源の電流測定、

電源の静止電流測定、

出力端子のHIGHレベル測定、

出力端子のLOWレベル測定、

入力端子のリーク電流測定、

入力端子からGND端子へのリーク電流測定、

電源端子から入力端子へのリーク電流測定、

BUS回路の入力端子及び出力端子のリーク電流測定、

被測定端子からGND端子へのリーク電流測定、及び

電源端子から被測定端子へのリーク電流測定

のいずれかの試験において不良チップと判断される不良チップが含まれること

を特徴とする付記 1 ~ 1 0 のいずれかに記載の半導体装置の製造方法。

10

【 0 1 4 0 】

(付記 1 2) 前記第 2 の不良モードには、異物の付着により不良チップと判断される不良チップが含まれること

を特徴とする付記 1 ~ 1 1 のいずれかに記載の半導体装置の製造方法。

【 0 1 4 1 】

(付記 1 3) 半導体ウエハに形成された半導体チップに、所定の試験における試験信号を入力して、該半導体チップの合否判断を行う計算部を有し、

前記計算部が、

前記合否判断において不良と判断された不良チップを第 1 の不良モードと第 2 の不良モードとに分類し、

前記合否判断において良品と判断された良品チップの周囲に存在する前記第 1 の不良モードに属する不良チップの分布を調査し、

前記分布に基づいて、前記良品チップを第 1 タイプの良品チップとするか第 2 タイプの良品チップとするかの判定を行うこと

を特徴とする半導体試験装置。

20

30

【 0 1 4 2 】

(付記 1 4) 前記計算部は、

前記第 1 タイプと判定された前記良品チップに対し、前記所定の試験よりも合格条件が厳しい追加試験を行い、

前記追加試験で合格と判定された前記良品チップを真の良品チップと判定し、前記追加試験で不合格と判定された前記良品チップを不良チップと判定することを特徴とする付記 1 3 に記載の半導体試験装置。

【 0 1 4 3 】

(付記 1 5) 前記ステージは前記半導体ウエハを加熱する機能を有し、

前記計算部は、前記追加試験において、前記ステージを制御して前記所定の試験におけるよりも試験温度を高くすることにより、前記合格条件を厳しくすることを特徴とする付記 1 4 に記載の半導体試験装置。

40

【 0 1 4 4 】

(付記 1 6) 前記計算部は、前記追加試験において、前記所定の試験におけるよりも動作電圧又は動作電流の保証範囲を広くすることにより、前記合格条件を厳しくすることを特徴とする付記 1 4 に記載の半導体装置試験装置。

【 図面の簡単な説明 】

【 0 1 4 5 】

【 図 1 】 図 1 は、本発明の第 1 実施形態に係る半導体試験装置の構成図である。

【 図 2 】 図 2 は、本発明の第 1 実施形態に係る半導体装置の製造方法について示すフロー

50

チャートである。

【図3】図3は、回路のマージンについて示す図である。

【図4】図4は、本発明の第1実施形態におけるウエハマップの一例を示す図である。

【図5】図5は、本発明の第1実施形態において、試験対象の5個の良品チップを中心にしたウエハマップの拡大図(その1)である。

【図6】図6は、本発明の第1実施形態において、試験対象の5個の良品チップを中心にしたウエハマップの拡大図(その2)である。

【図7】図7は、本発明の第1実施形態において、試験対象の5個の良品チップを中心にしたウエハマップの拡大図(その3)である。

【図8】図8は、ある品種における半導体ウエハの歩留まりを示すグラフである。

10

【図9】図9は、ウエハグレードWG2の不良チップの分布を示すウエハマップである。

【図10】図10は、ウエハグレードWG3の不良チップの分布を示すウエハマップである。

【図11】図11は、図10のウエハグレードWG3のウエハに対し、本発明の第1実施形態を適用して得られたウエハマップである。

【図12】図12は、本発明の第2実施形態に係る半導体装置の製造方法について示す模式図(その1)である。

【図13】図13は、本発明の第2実施形態に係る半導体装置の製造方法について示す模式図(その2)である。

【図14】図14は、本発明の第2実施形態において、係数の付与の仕方の別の例を示す図である。

20

【図15】図15は、本発明の第3実施形態に係る半導体装置の製造方法について示す模式図である。

【図16】図16は、本発明の第4実施形態に係る半導体装置の製造方法について示すフローチャートである。

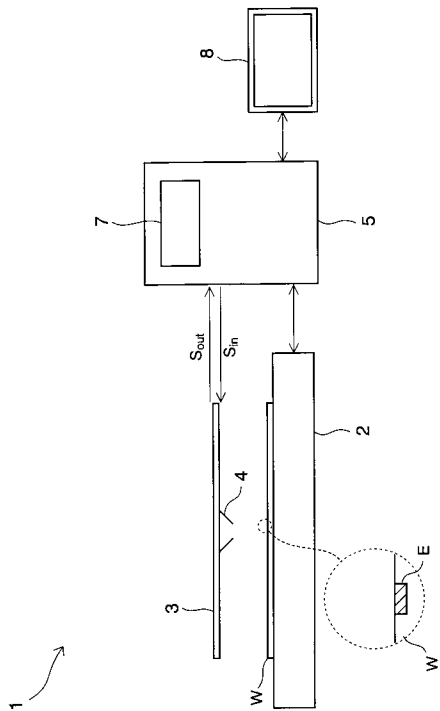
【符号の説明】

【0146】

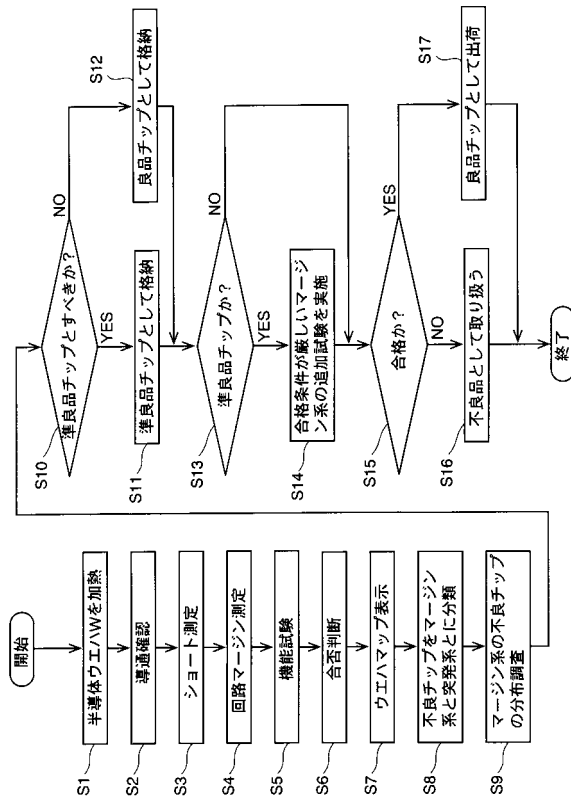
1 ... 半導体試験装置、2 ... ステージ、3 ... プローブカード、4 ... プローブ、5 ... 計算部、7 ... 記憶部、8 ... 表示部、20 ... 良品チップ、22 ... マージン系の不良チップ、23 ... 突発系の不良チップ、27 ... 良品チップの隣接チップ、W... 半導体ウエハ、E... 端子。

30

【図1】



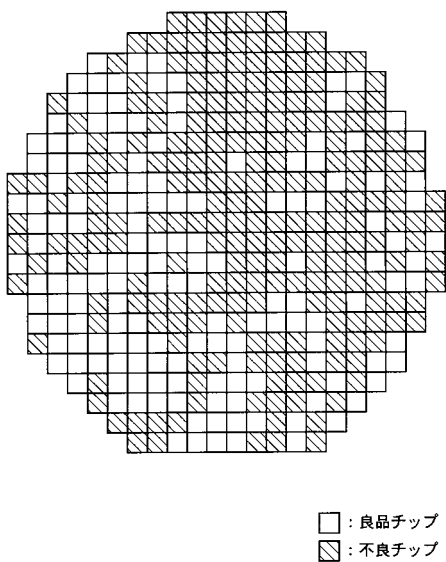
【図2】



【図3】

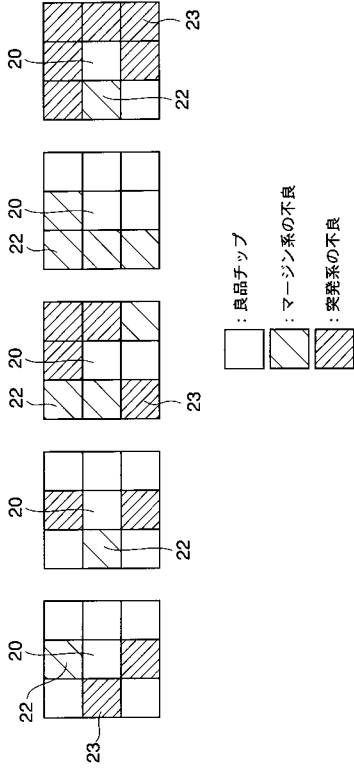
試験項目	対象端子	試験内容	マージン	マージンの種(=マージンの上段階-下段階)
電源の電流測定	電源端子	2つの電源端子に電圧を印加し、動作電流が許容範囲(112)に収まるかどうかをチェック	$I1 \leq I \leq I2$	12-11
電源の停止電流測定	電源端子	回路を停止状態(スタンバイ状態)にし、電源端子と接地端子との間を流れる電流が許容範囲(134)に収まるかどうかをチェック	$I3 \leq I \leq I4$	14-13
出力端子のHIGHレベル測定	全出力端子	出力端子からHIGHレベルの電圧を供給したときに、出力端子間の電圧VがVI以上になるかどうかをチェック	$V1 \leq V$	
出力端子のLOWレベル測定	全出力端子	出力端子からLOWレベルの電圧を供給したときに、出力端子間の電圧VがV2以下になるかどうかをチェック	$V \leq V2$	
入力端子のリーク電流測定	全入力端子	入力端子に正電圧を与え、各入力端子間のリーク電流が許容範囲(15)以下になるかどうかをチェック	$I5 \leq I \leq I5$	15
入力端子からGND端子へのリーク電流測定	全入力端子	入力端子に正電圧を与え、各入力端子とGND端子との間のリーク電流が許容範囲(16)以下になるかどうかをチェック	$I6 \leq I \leq I6$	16
電源端子と入力端子間のリーク電流測定	電源端子と入力端子	電源端子と入力端子との間のリーク電流が許容範囲(17)以下になるかどうかをチェック	$I7 \leq I \leq I7$	17
BUS回路の入力端子と出力端子へのリーク電流測定	BUS回路の入力端子及び出力端子	BUS回路の入力端子と出力端子との間のリーク電流が許容範囲(18)以下になるかどうかをチェック	$I8 \leq I \leq I8$	18
電源端子と任意のGND端子からのリーク電流測定	電源端子と任意のGND端子	電源端子と任意のGND端子との間のリーク電流が許容範囲(19)以下になるかどうかをチェック	$I9 \leq I \leq I9$	19
電源端子と任意の電源端子からのリーク電流測定	電源端子と任意の電源端子	電源端子と任意の電源端子との間のリーク電流が許容範囲(110)以下になるかどうかをチェック	$I10 \leq I \leq I10$	110

【図4】

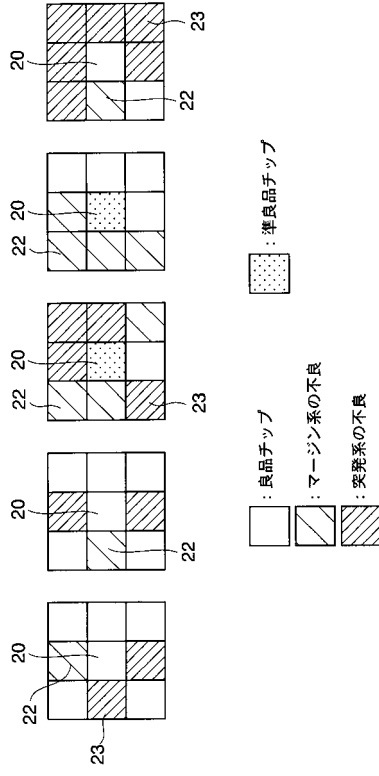


□ : 良品チップ
 ▨ : 不良チップ

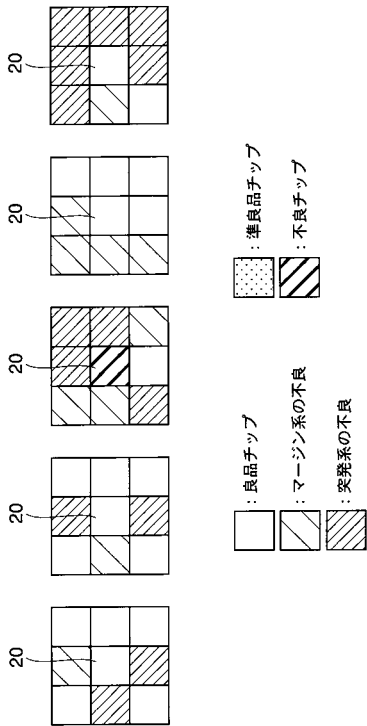
【図5】



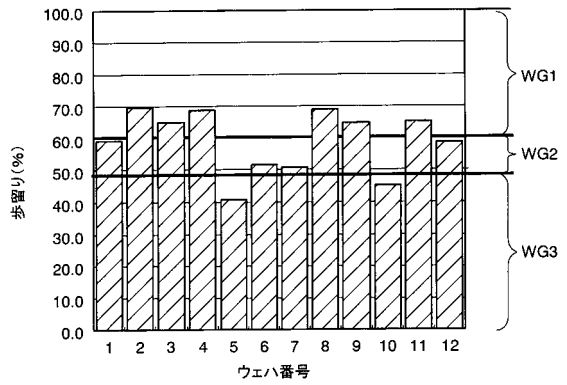
【図6】



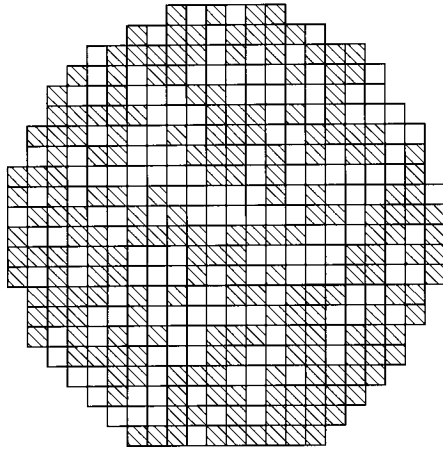
【図7】



【図8】

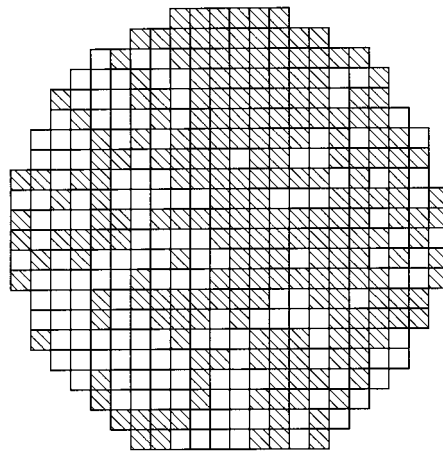


【図 9】



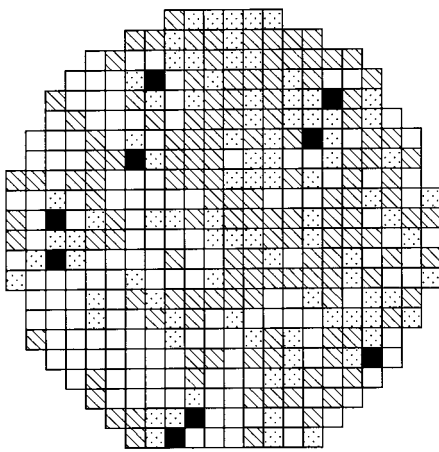
□ : 良品チップ
 ▨ : 不良チップ

【図 10】



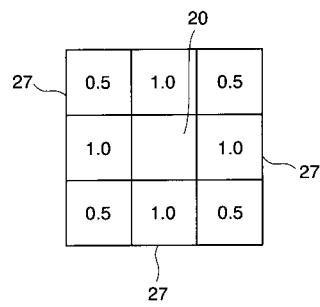
□ : 良品チップ
 ▨ : 不良チップ

【図 11】

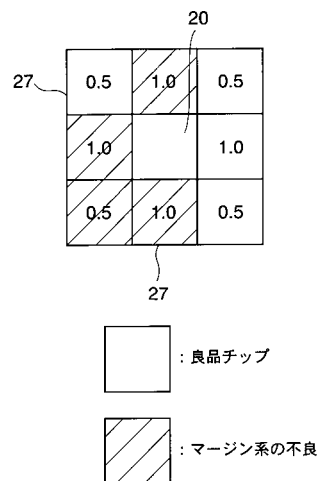


□ : 良品チップ
 ▨ : 突発系の不良
 ▩ : マージン系の不良
 ■ : 不良と再判定されたチップ

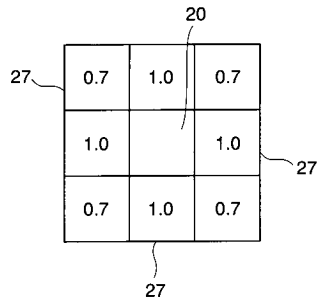
【図 12】



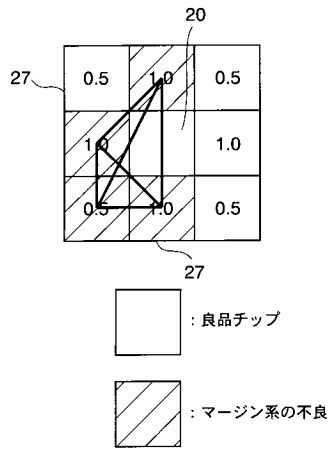
【図 13】



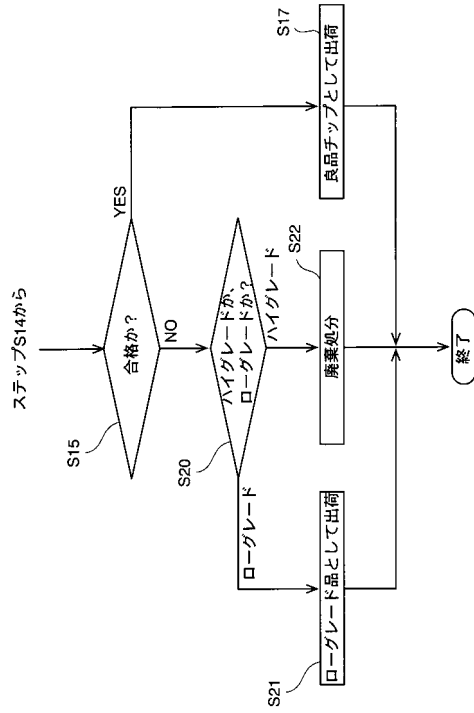
【図14】



【図15】



【図16】



フロントページの続き

(56)参考文献 特開2004-047542(JP,A)
特開2002-124551(JP,A)
特開2007-095953(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/66
G01R 31/26
G01R 31/28