

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-186158

(P2014-186158A)

(43) 公開日 平成26年10月2日(2014.10.2)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20 623C	5C006
G02F 1/133 (2006.01)	G09G 3/20 623D	5C080
	G09G 3/20 622C	
	G09G 3/20 622D	

審査請求 未請求 請求項の数 5 O L (全 11 頁) 最終頁に続く

(21) 出願番号 特願2013-60816 (P2013-60816)
 (22) 出願日 平成25年3月22日 (2013. 3. 22)

(71) 出願人 502356528
 株式会社ジャパンディスプレイ
 東京都港区西新橋三丁目7番1号
 (74) 代理人 110001737
 特許業務法人スズエ国際特許事務所
 (74) 代理人 100108855
 弁理士 蔵田 昌俊
 (74) 代理人 100109830
 弁理士 福原 淑弘
 (74) 代理人 100088683
 弁理士 中村 誠
 (74) 代理人 100103034
 弁理士 野河 信久
 (74) 代理人 100095441
 弁理士 白根 俊郎

最終頁に続く

(54) 【発明の名称】 表示装置

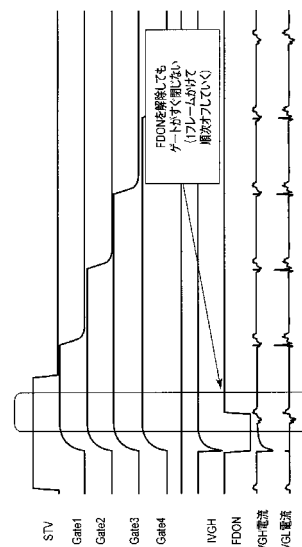
(57) 【要約】

【課題】電源立ち上げ時における瞬時電流を抑制することのできる表示装置を提供する。

【解決手段】絶縁基板上的第1及び第2方向に列設される信号線S及び走査線Gと、信号線及び走査線の各交点付近に形成される画素スイッチング素子と、信号線を駆動する信号線駆動回路(21)と、走査線を駆動する走査線駆動回路(4)と、前記画素スイッチング素子のそれぞれに対応して設けられる、液晶層を挟持する画素電極と対向電極とからなる表示画素及び補助容量と、を備え、前記信号線駆動回路は、前記絶縁基板の外部から供給される制御信号FDONが第1論理レベルのときにすべての信号線に前記対向電極と同一の電圧を付与し、前記走査線駆動回路は、前記制御信号が前記第1論理レベルのときにすべての前記画素スイッチング素子を導通させ、前記制御信号が第2論理レベルのときは時間差をもって前記画素スイッチング素子を非導通とする表示装置である。

【選択図】 図7

図7



【特許請求の範囲】

【請求項 1】

絶縁基板上の第 1 及び第 2 方向に列設される信号線及び走査線と、
 信号線及び走査線の各交点付近に形成される画素スイッチング素子と、
 信号線を駆動する信号線駆動回路と、
 走査線を駆動する走査線駆動回路と、
 前記画素スイッチング素子のそれぞれに対応して設けられる、液晶層を挟持する画素電極と対向電極とからなる表示画素及び補助容量と、を備え、
 前記信号線駆動回路は、前記絶縁基板の外部から供給される制御信号が第 1 論理レベルのときにすべての信号線に前記対向電極と同一の電圧を付与し、
 前記走査線駆動回路は、前記制御信号が前記第 1 論理レベルのときにすべての前記画素スイッチング素子を導通させ、前記制御信号が第 2 論理レベルのときは時間差をもって前記画素スイッチング素子を非導通とする、表示装置。

10

【請求項 2】

前記走査線駆動回路は、前記制御信号が第 2 論理レベルのときは前記走査線を順次選択して前記画素スイッチング素子を非導通とする、請求項 1 に記載の表示装置。

【請求項 3】

前記走査線駆動回路は、スタート信号をシフトさせるシフトレジスタと、それぞれの走査線に前記画素スイッチング素子の導通 / 非導通を制御する走査信号を出力する出力回路とを有し、

20

前記出力回路は、前記制御信号が第 1 論理レベルから第 2 論理レベルに変化したときは前記画素スイッチング素子を導通状態に維持し、その後、前記シフトレジスタからシフト信号が出力されたときは前記画素スイッチング素子を非導通状態に制御するようになされる、請求項 2 に記載の表示装置。

【請求項 4】

前記走査線駆動回路は、前記制御信号が第 2 論理レベルのときは奇数行の走査線と偶数行の走査線とで前記画素スイッチング素子を非導通とするタイミングを異ならせる、請求項 1 に記載の表示装置。

【請求項 5】

前記走査線駆動回路は、前記制御信号が第 2 論理レベルのときはそれぞれ奇数行、偶数行の走査線を駆動して前記画素スイッチング素子を非導通状態に制御する第 1、第 2 の走査線駆動回路を有し、

30

前記制御信号は、いずれか一方の走査線駆動回路に遅延回路を介して入力するようになされる、請求項 4 に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、表示装置に関する。

【背景技術】

【0002】

液晶表示装置に代表される表示装置は、薄型、軽量かつ低消費電力であることから、各種機器のディスプレイとして用いられている。中でも、アクティブマトリクス型表示装置は、ノート型パソコンや携帯型情報端末のディスプレイとして普及しつつある。

40

【0003】

ところで、液晶表示装置では、液晶に対して同一方向に電圧を印加し続けると、表示不良が生ずるため、一定周期で液晶層の電圧印加極性を切り替える極性反転駆動が採用されている。極性反転駆動を行う場合、電源線の電圧の極性を周期的に変化させる必要があるため、複数の基準電源が予め用意されている。

【0004】

しかし、電源投入時では、電源線がどの基準電源に接続しているか不定である。この結

50

果、液晶層の印加電圧が変化してしまい、ちらつきが視認されるなどの表示不良が視認されるという問題がある。そこで、電源投入時に表示不良が視認されないようになされた表示装置が提案されている。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2005-49849号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、特許文献1記載の発明においてもなお解決すべき課題が存在していた。

【0007】

特許文献1記載の発明では、電源立ち上げ時に全画素に対して一斉に電源電圧が切り替えられている。このため、今後当該発明を、FHD（フルハイビジョン）など従来の表示装置と比べて解像度の高い表示装置に適用する場合には、電源電圧の切り替えに伴う瞬時電流が増大することで、駆動回路に加わる負荷が増大して表示装置の故障発生の原因ともなりえる。また、電流が増大することで表示装置に要求されている仕様が未達と判断される事態に至る恐れもある。

【0008】

本願発明は斯かる事情に鑑みてなされたものであって、電源立ち上げ時における瞬時電流を抑制することのできる表示装置を提供することを目的とする。

【課題を解決するための手段】

【0009】

本発明の一態様による表示装置は、絶縁基板上の第1及び第2方向に列設される信号線及び走査線と、信号線及び走査線の各交点付近に形成される画素スイッチング素子と、信号線を駆動する信号線駆動回路と、走査線を駆動する走査線駆動回路と、前記画素スイッチング素子のそれぞれに対応して設けられる、液晶層を挟持する画素電極と対向電極とからなる表示画素及び補助容量と、を備え、前記信号線駆動回路は、前記絶縁基板の外部から供給される制御信号が第1論理レベルのときにすべての信号線に前記対向電極と同一の電圧を付与し、前記走査線駆動回路は、前記制御信号が前記第1論理レベルのときにすべての前記画素スイッチング素子を導通させ、前記制御信号が第2論理レベルのときは時間差をもって前記画素スイッチング素子を非導通とする。

【図面の簡単な説明】

【0010】

【図1】第1の実施の形態の表示装置に先立って検討した表示装置の構成を示すブロック図である。

【図2】第1の実施の形態の表示装置に先立って検討した表示装置の制御信号に関わる動作を説明するための図である。

【図3】第1の実施の形態の表示装置に先立って検討した表示装置の電源投入時におけるタイムチャートである。

【図4】第1の実施の形態の表示装置に先立って検討した表示装置の電源投入時における問題点を説明するためのタイムチャートである。

【図5】第1の実施の形態の表示装置の走査線駆動回路を説明するための図である。

【図6】第1の実施の形態の表示装置の走査線駆動回路の動作を説明するためのタイムチャートである。

【図7】第1の実施の形態の表示装置の電源投入時における動作を説明するためのタイムチャートである。

【図8】第2の実施の形態の表示装置の制御信号に関わる動作を説明するための図である。

【発明を実施するための形態】

10

20

30

40

50

【 0 0 1 1 】

[第 1 の 実 施 の 形 態]

図 1 は、第 1 の実施の形態の表示装置に先立って検討した表示装置の構成を示すブロック図である。ここでは、アクティブマトリクス型の液晶表示装置を例に説明する。

【 0 0 1 2 】

図 1 の液晶表示装置は、ガラス基板上の第 1 方向に沿って延線される信号線 $S_1 \sim S_m$ と、第 2 方向に沿って延線される走査線 $G_1 \sim G_n$ とを備えている。信号線及び走査線の各交点付近には画素 TFT 1 (Thin Film Transistor) が形成されている。画素 TFT 1 のドレイン端子は補助容量 C 1 および画素電極 2 と接続する。画素電極 2 は液晶層を挟んで対向配置される対向電極 3 との間に液晶容量 C 2 を形成する。

10

【 0 0 1 3 】

走査線駆動回路 4 は、走査線 $G_1 \sim G_n$ を駆動する。ソースドライバ 5 は、信号線 $S_1 \sim S_m$ を駆動する。走査線方向 (第 2 方向) に並んだ補助容量 C 1 の一端には、補助容量電源線 $CS_1 \sim CS_m$ が共通して接続される。補助容量電源線 $CS_1 \sim CS_m$ は、第 1 方向の画素数分だけ設けられ、極性反転駆動に合わせて高電圧 V_{GH} と低電圧 V_{GL} の 2 種類の電圧が切り替えられて付与される。

【 0 0 1 4 】

外部駆動回路 7 は、ガラス基板 2 0 の外側に設けられるか、ガラス基板 2 0 上に実装される。ガラス基板 2 0 と外部駆動回路 7 は、FPC (Flexible Print Circuit) 等により接続されている。ソースドライバ 5 はガラス基板 2 0 上に実装される。外部駆動回路 7 は、ソースドライバ 5 との間で画素データ、制御信号などを授受する。

20

【 0 0 1 5 】

また、ガラス基板 2 0 上には、走査線駆動回路 4 と信号線電圧制御回路 (FDON 回路) 2 1 が設けられている。そして、走査線駆動回路 4 と信号線電圧制御回路 2 1 には、外部駆動回路 7 から制御信号 FDON が供給される。この制御信号 FDON により、電源投入時における表示不良 (表示ムラ) を抑制する制御が行われる。なお、外部駆動回路 7 からは走査線駆動回路 4 に補助電源用電圧 VCS として高電圧 V_{GH} と低電圧 V_{GL} とが供給される。

【 0 0 1 6 】

図 2 は、第 1 の実施の形態の表示装置に先立って検討した表示装置の制御信号 FDON に関わる動作を説明するための図である。なお、説明の便宜のため、簡略化して必要な信号のみを記載し、走査線駆動回路 4 は、一部の回路のみを記載している。また、信号線電圧制御回路 2 1 は、上段に記載している。

30

【 0 0 1 7 】

走査線駆動回路 4 内には、走査信号を生成する生成回路として、シフトレジスタを構成する論理回路 4 1 とバッファ回路 1 3 とが設けられている。図示のように、走査線ごとに、NAND 回路 2 2 と、NAND 回路 2 2 の出力端子に縦続接続される 2 段のインバータ 2 3, 2 4 とが設けられている。NAND 回路 2 2 は、論理回路 4 1 からの出力信号である走査線駆動用タイミング信号と制御信号 FDON との反転論理積を演算する。

【 0 0 1 8 】

制御信号 FDON がローレベル (第 1 論理レベル) の場合には、NAND 回路 2 2 の出力はハイレベルになり、走査線もハイレベルになる。したがって、その走査線に接続されたすべての画素 TFT 1 が導通する。一方、制御信号 FDON は、走査線駆動回路 4 内のすべての NAND 回路 2 2 に供給される。そのため、制御信号 FDON がローレベルの場合には、表示エリア内のすべての画素 TFT 1 が導通する。

40

【 0 0 1 9 】

信号線電圧制御回路 2 1 は、個々の信号線にそれぞれ接続される複数の PMOS トランジスタを有する。これら PMOS トランジスタのゲートには制御信号 FDON が供給される。また、これら PMOS トランジスタのドレインには対向電極と同一の電圧 (以下、 V_{com} という。) が印加されている。

50

【0020】

制御信号FDONがローレベルになると、信号線電圧制御回路21内のすべてのPMOSトランジスタが導通し、すべての信号線にはVcomが供給される。このため、画素電極2と対向電極3とは共にVcomが付与される。従って、液晶容量C2の両端電圧は略同一となり、表示ムラが視認されなくなる。

【0021】

図3は、第1の実施の形態の表示装置に先立って検討した表示装置の電源投入時におけるタイムチャートである。

【0022】

図3に示される信号は次のとおりである。Vsigは、ソースドライバ5から供給される画素電圧を表す。ASW1~3は、1画素を構成するそれぞれ赤(R)、緑(G)、青(B)のサブピクセルを選択する信号である。選択されたサブピクセルに対応する信号線にソースドライバ5からVsigが供給される。STVは、走査線駆動回路4に対するスタート信号である。CKVは、シフトレジスタを駆動するためのクロック信号である。UDは、表示装置に映像を表示する方向(上下、下上)を指定する信号である。FDONは、電源立ち上げ時の表示ムラを抑制するための制御信号である。高電圧VGH、低電圧VGL及び対向電圧Vcomは、表示装置の電源制御回路27で生成され各部に供給される電源電圧である。

10

【0023】

続いて、図3を参照しつつ電源投入時における表示ムラ抑制動作について説明する。

20

【0024】

電源が投入されるタイミングT1以前はそれぞれの信号の状態は不定である。タイミングT1において電源が投入されると、信号ASW1~3、STV、CKV、UD、FDONは、それぞれローレベルに設定される。また、電源電圧VGH及びVGLはそれぞれ所定の電圧に推移する。一方、Vcomは、ローレベルの状態に維持される。この状態が3フレームの期間維持される。ここで3フレームは、ウォーミングアップのための期間であり、表示装置ごとに適宜のフレーム数を設定することができる。

【0025】

タイミングT2において、信号STV、CKV、UDが入力される。図3では詳細の信号は記載していないが、信号STV、CKVは、通常の表示動作時における信号と同じ信号である。但しこの期間では、Vsigには信号が付与されず、ASW1~3も動作していない。従って、走査線駆動回路4のみが動作を実行する。これによって、走査線駆動回路内の残留電荷がクリアされるリセット動作が実行される。

30

【0026】

タイミングT3において、Vcomの昇圧が開始される。この状態では、制御信号FDONは、ローレベルである。従って、信号線電圧制御回路21内のすべてのPMOSトランジスタが導通し、信号線にはVcomが供給される。なお、制御信号FDONがローレベルのときには、上述のように、NAND回路22の出力はハイレベルになり、走査線もハイレベルになる。このため、画素TFT1が導通して、画素電極2と対向電極3とは共にVcomが付与される。従って、例えば、ノーマリブラックの液晶モードでは、全画面に黒レベルが表示されるため、表示ムラが解消される。

40

【0027】

タイミングT4において、FDONが解除される。即ち、制御信号FDONがハイレベル(第2論理レベル)とされるため、信号線電圧制御回路21内のすべてのPMOSトランジスタがオフし、信号線にはVcomが供給されなくなる。一方、タイミングT4において、Vsigに映像信号が付与され、ASW1~3が動作を開始する。従って、信号線SにVsigが供給されて本表示動作が開始される。

【0028】

図4は、第1の実施の形態の表示装置に先立って検討した表示装置の電源投入時における問題点を説明するためのタイムチャートである。

50

【 0 0 2 9 】

図 4 に示される信号は次のとおりである。Gate 1 ~ 4 は、走査線 G 1 ~ G 4 に出力される画素 T F T 1 を駆動するためのゲート信号である。V G H 電流、V G L 電流は、それぞれ高電圧 V G H、低電圧 V G L を供給する電源制御回路 2 7 で測定した電流である。なお、これら以外の信号は、既に説明しているため、重複した説明を省略する。

【 0 0 3 0 】

続いて、図 4 を参照しつつ電源投入時における問題点について説明する。

【 0 0 3 1 】

制御信号 F D O N がローレベルの期間は、上述のようにゲート信号 Gate 1 ~ 4 には全て画素 T F T 1 を導通させるハイレベルの信号 (V G H 電圧) が出力されている。制御信号 F D O N がハイレベルになると、ゲート信号 Gate 1 ~ 4 のレベルがハイレベル (V G H 電圧) からローレベル (V G L 電圧) に切り換わる。この後は、ゲート信号 Gate 1 ~ 4 は順次駆動される走査パルス信号となって表示動作が実行される。

10

【 0 0 3 2 】

ところで、図 4 では、4 つのゲート信号を記載しているが、例えば F H D (フルハイビジョン) の表示装置では 1 9 2 0 本のゲート線が設けられている。従って、F D O N が解除されたときは、1 9 2 0 本の信号が一斉に V G H 電圧の使用から、V G L 電圧の使用に切り換わる。この結果、瞬時の大きな V G L 電流が流れる。

【 0 0 3 3 】

このように電源立ち上げ毎に大きな瞬時電流が流れるため表示装置の回路素子の負荷が増大する。従って、このような状態が継続して繰り返されることによって回路素子の劣化が促進され、故障発生の原因ともなり得る。

20

【 0 0 3 4 】

続いて、上述の問題点を解決する方法について説明する。

【 0 0 3 5 】

図 5 は、第 1 の実施の形態の表示装置の走査線駆動回路を説明するための図である。図 5 (1) は、上述の検討に使用した走査線駆動回路の概略の構成を示し、図 5 (2) は、第 1 の実施の形態の表示装置の走査線駆動回路の概略の構成を示している。

【 0 0 3 6 】

図 5 (2) に示すようにバッファ回路 1 3 には、メモリ回路 1 5 が新たに設けられている。そして、シフトレジスタを構成する論理回路 4 1 の出力信号は、メモリ回路 1 5 への入力端子 I N 1 に接続され、制御信号 F D O N はメモリ回路 1 5 の入力端子 I N 2 に接続されている。そして、メモリ回路 1 5 の出力端子 O U T 1 が N A N D 回路 2 2 の一方の入力端子に接続されている。N A N D 回路 2 2 の他方の入力端子には論理回路 4 1 の出力信号が入力されている。これ以降の回路の構成は、上述のバッファ回路 1 3 の構成と同様である。

30

【 0 0 3 7 】

ここで、メモリ回路 1 5 は順序回路で構成されており、制御信号 F D O N がローレベルからハイレベルに変化した場合であっても論理回路 4 1 からシフトレジスタ出力であるパルス信号が出力されるまでは出力端子 O U T 1 のレベルは変化しない。

40

【 0 0 3 8 】

図 6 は、第 1 の実施の形態の表示装置の走査線駆動回路の動作を説明するためのタイムチャートである。このタイムチャートには、制御信号 F D O N、論理回路 4 1 の出力信号 S R、走査線に出力されるゲート信号 Gate について記載している。

【 0 0 3 9 】

タイミング T 0 において、制御信号 F D O N がローレベルからハイレベルに変化する。しかしながら、上述のメモリ回路 1 5 により、ゲート信号 Gate はハイレベルを維持する。そして、出力信号 S R 1、・・・、4 が出力されると、それぞれのタイミングでゲート信号 Gate 1、・・・、4 がそれぞれローレベルに変化する。ゲート信号 Gate がローレベルに変化した走査線にそれ以降入力されるゲート信号は順次駆動のための走査パ

50

ルス信号となって表示動作が実行される。

【0040】

図7は、第1の実施の形態の表示装置の電源投入時における動作を説明するためのタイムチャートである。

【0041】

制御信号FDONがローレベルになったときは、ゲート信号Gate1、・・・、4が一斉にハイレベルに変化する。次に、制御信号FDONがハイレベルに変化するが上述のようにメモリ回路15の作用によってゲート信号Gate1、・・・、4はハイレベルを維持する。そして、シフトレジスタを構成する論理回路41から出力信号（不図示）が出力されたタイミングで、ゲート信号Gate1、・・・、4が順次ローレベルに変化する。

10

【0042】

このように制御信号FDONを解除しても、ゲート信号は一斉にローレベルになることはなく、1フレーム期間で順次ローレベルに変化する。従って、瞬時の大きなVGL電流が流れることを回避することができる。

【0043】

なお、ゲート信号を順次ローレベルに変化させる1フレーム期間では信号線Sに付与される電圧は特に規定されないが、ASW1～3を動作させずにソースドライバ5から信号線SにVsigが供給されないようにすることが望ましい。一方、ASW1～3を動作させ、ソースドライバ5から信号線SにVsig信号としてVcomを出力するようにしても良い。

20

【0044】

[第2の実施の形態]

第2の実施の形態では、走査線駆動回路の構成が第1の実施の形態と異なっている。第1の実施の形態と同一の部位には同一の符号を付してその詳細の説明は省略する。

【0045】

図8は、第2の実施の形態の表示装置の制御信号FDONに関わる動作を説明するための図である。なお、説明の便宜のため、簡略化して必要な信号のみを記載している。また、信号線電圧制御回路21は、上段に記載している。

【0046】

第2の実施の形態では、走査線駆動回路が、奇数行の走査線を駆動する走査線駆動回路4oと、偶数行の走査線を駆動する走査線駆動回路4eとを備えている。制御信号FDONは、走査線駆動回路4oと信号線電圧制御回路21に直接供給される。また、制御信号FDONは、遅延回路25を介して走査線駆動回路4eに供給される。なお、第1の実施の形態で説明したメモリ回路は第2の実施の形態では採用していない。

30

【0047】

この構成によれば、走査線駆動回路4oと走査線駆動回路4eとで制御信号FDONがローレベルからハイレベルに変化するタイミングを異ならせることができる。そして、第2の実施の形態では、第1の実施の形態のようにメモリ回路を設けなくとも良いため、簡略化した構成で瞬時の大きなVGL電流が流れることを抑制することができる。

40

【0048】

なお、第2の実施の形態では、表示エリアの両側に走査線駆動回路4o、4eを設けているが、この形態に限定されず一方の側に走査線駆動回路を4o、4eを設けても良い。

【0049】

また、第1の実施の形態において、走査線駆動回路4を2つの走査線駆動回路4oと走査線駆動回路4eの2つに分離しても良い。

【0050】

なお、上述の実施の形態では、ソースドライバ5と信号線電圧制御回路21とを一体として構成しても良い。

【0051】

50

さらに、信号線電圧制御回路21に使用されるトランジスタの極性をP型からN型に変更しても良い。このときは、トランジスタの動作するレベル(ハイレベル、ローレベル)が上述の実施の形態とは逆となるように装置を構成すれば良い。

【0052】

以上説明した各実施の形態によれば、FHD(フルハイビジョン)など従来の表示装置と比べて解像度の高い表示装置においても電源電圧の切り替えに伴う瞬時電流の増大を抑制することができるので、駆動回路に加わる負荷が増大して表示装置の故障発生の原因となることを回避することができる。また、電流が増大して表示装置に要求されている瞬時電流に関する仕様が未達となることを防止することができる。

【0053】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【0054】

また上記実施形態に開示されている複数の構成要素の適宜な組み合わせにより種々の発明を形成できる。例えば、実施形態に示される全構成要素から幾つかの構成要素を削除してもよい。更に、異なる実施形態に亘る構成要素を適宜組み合わせてもよい。

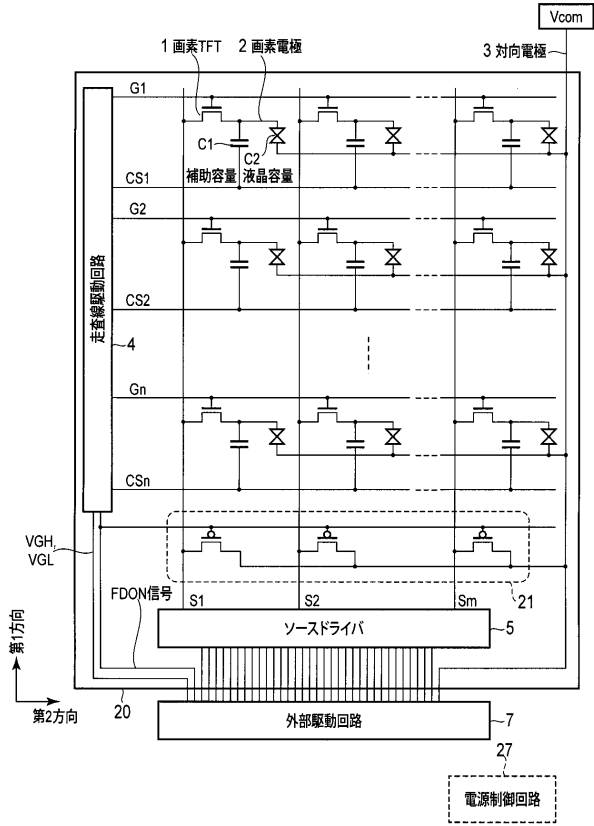
【符号の説明】

【0055】

VGH...高電圧、VGL...低電圧、VCS...補助電源用電圧、Vcom...対向電圧、S...信号線、G...走査線、1...画素TFT、2...画素電極、3...対向電極、4...走査線駆動回路、5...ソースドライバ、7...外部駆動回路、13...バッファ回路、15...メモリ回路、20...ガラス基板、21...信号線電圧制御回路、25...遅延回路、27...電源制御回路、41...論理回路。

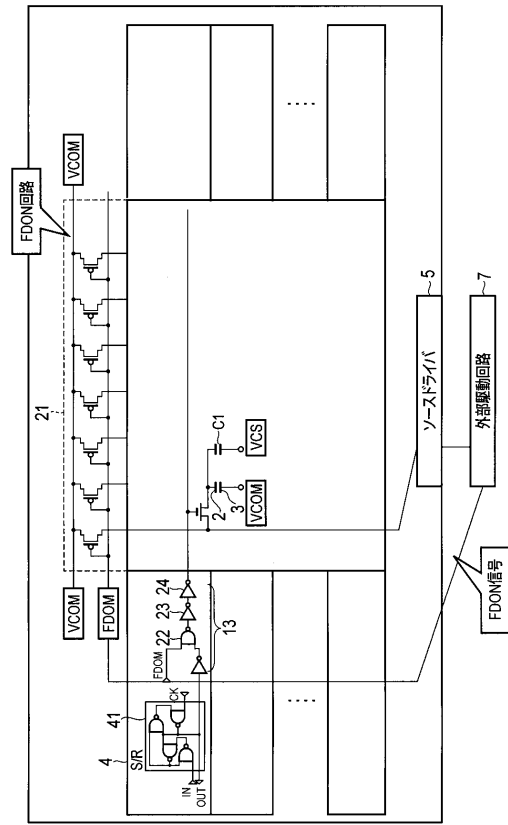
【 図 1 】

図 1



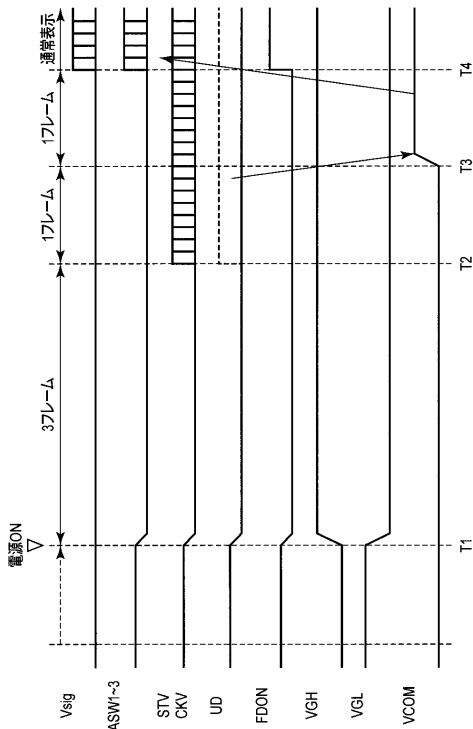
【 図 2 】

図 2



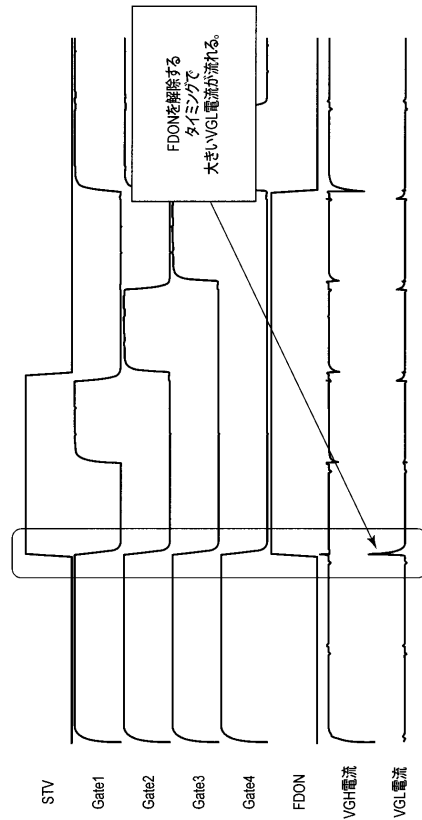
【 図 3 】

図 3



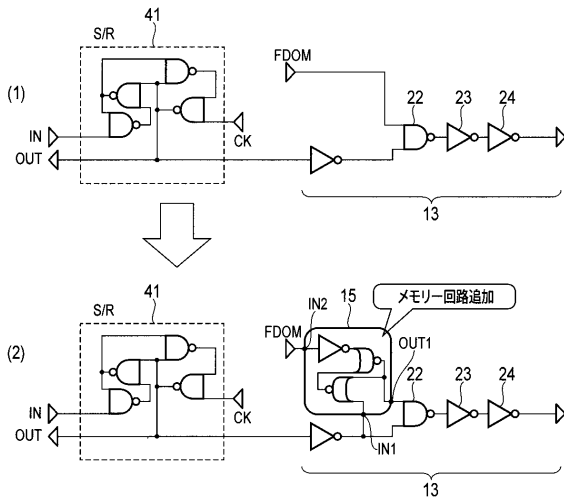
【 図 4 】

図 4



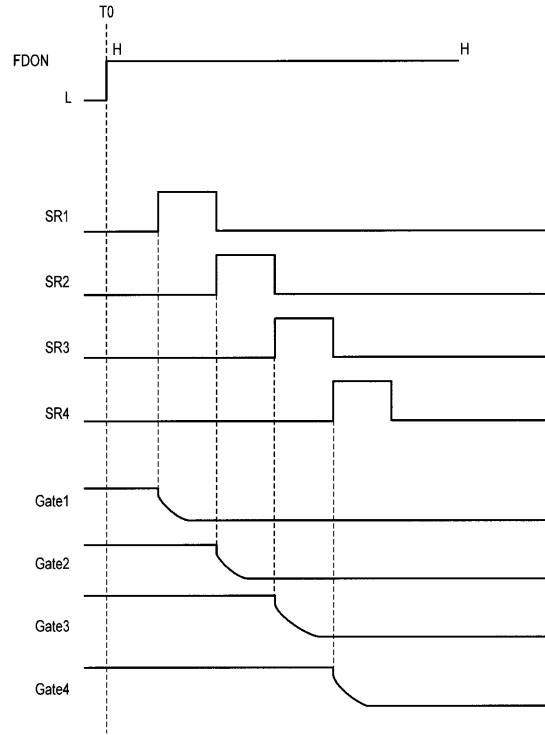
【 図 5 】

図 5



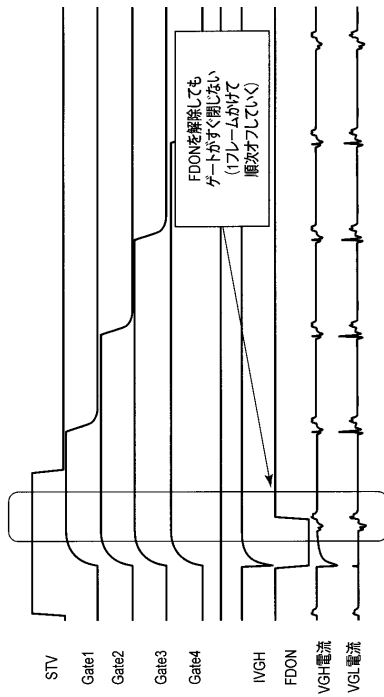
【 図 6 】

図 6



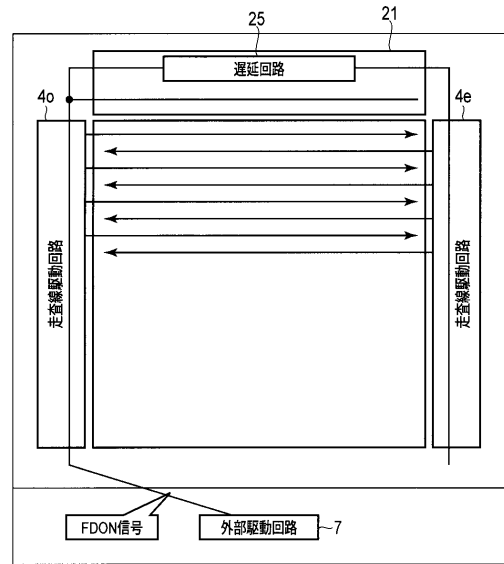
【 図 7 】

図 7



【 図 8 】

図 8



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20	6 2 2 E
	G 0 9 G 3/20	6 2 1 C
	G 0 9 G 3/20	6 7 0 M
	G 0 9 G 3/20	6 2 1 B
	G 0 9 G 3/20	6 7 0 D
	G 0 9 G 3/20	6 1 2 E
	G 0 9 G 3/20	6 1 2 J
	G 0 2 F 1/133	5 5 0
	G 0 2 F 1/133	5 2 0

(74)代理人 100075672

弁理士 峰 隆司

(74)代理人 100119976

弁理士 幸長 保次郎

(74)代理人 100153051

弁理士 河野 直樹

(74)代理人 100140176

弁理士 砂川 克

(74)代理人 100158805

弁理士 井関 守三

(74)代理人 100172580

弁理士 赤穂 隆雄

(74)代理人 100179062

弁理士 井上 正

(74)代理人 100124394

弁理士 佐藤 立志

(74)代理人 100112807

弁理士 岡田 貴志

(74)代理人 100111073

弁理士 堀内 美保子

(74)代理人 100134290

弁理士 竹内 将訓

(72)発明者 宮武 正樹

埼玉県深谷市幡羅町一丁目9番地2 株式会社ジャパンディスプレイセントラル内

(72)発明者 齋藤 玲彦

埼玉県深谷市幡羅町一丁目9番地2 株式会社ジャパンディスプレイセントラル内

Fターム(参考) 2H193 ZA04 ZA09 ZB02 ZB03 ZB06 ZB14 ZC02 ZD23 ZE33 ZF03

ZF12 ZF23 ZF24 ZF31 ZF42 ZF43 ZF59 ZH22

5C006 AA22 AC24 AC26 AF33 AF44 AF51 AF52 AF67 AF71 BB16

BF01 BF03 BF25 BF26 BF27 BF34 BF42 FA25 FA33

5C080 AA10 BB05 CC03 DD01 DD19 DD29 FF11 JJ02 JJ03 JJ04