



(12)发明专利申请

(10)申请公布号 CN 111463243 A

(43)申请公布日 2020.07.28

(21)申请号 202010273154.3

(22)申请日 2020.04.09

(71)申请人 武汉华星光电半导体显示技术有限公司

地址 430079 湖北省武汉市东湖新技术开发区高新大道666号光谷生物创新园C5栋305室

(72)发明人 白思航

(74)专利代理机构 深圳紫藤知识产权代理有限公司 44570

代理人 何辉

(51)Int.Cl.

H01L 27/32(2006.01)

H01L 27/12(2006.01)

G09F 9/30(2006.01)

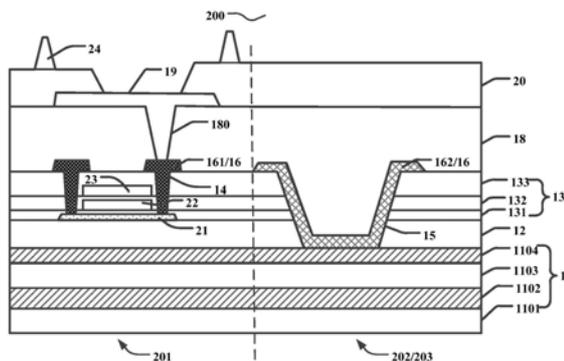
权利要求书2页 说明书8页 附图4页

(54)发明名称

阵列基板及其制备方法

(57)摘要

本发明提供一种阵列基板及其制备方法,所述阵列基板包括显示区和围绕所述显示区的非显示区,所述非显示区中具有弯折区,所述阵列基板还包括柔性基板、缓冲层、薄膜晶体管结构层、凹槽、过孔、金属走线以及平坦层,其中,部分金属走线填充于所述过孔中并延伸所述薄膜晶体管结构层远离所述缓冲层的一面,形成源漏极;部分金属走线覆于所述凹槽的槽壁并延伸所述薄膜晶体管结构层远离所述缓冲层的一面,形成源漏极走线。



1. 一种阵列基板,包括显示区和围绕所述显示区的非显示区,所述非显示区中具有弯折区,其特征在于,包括:

柔性基板,从所述显示区延伸至所述非显示区;

缓冲层,设于所述柔性基板上,且从所述显示区延伸至所述非显示区;

薄膜晶体管结构层,设于所述缓冲层上,且从所述显示区延伸至所述非显示区;所述薄膜晶体管结构层具有

凹槽,设于所述弯折区,且从所述薄膜晶体管结构层远离所述缓冲层的一面延伸至所述缓冲层中;以及

过孔,设于所述显示区,且从所述薄膜晶体管结构层远离所述缓冲层的一面延伸至所述薄膜晶体管结构层内;

金属走线,其中部分金属走线填充于所述过孔中并延伸所述薄膜晶体管结构层远离所述缓冲层的一面,形成源漏极;部分金属走线覆于所述凹槽的槽壁并延伸所述薄膜晶体管结构层远离所述缓冲层的一面,形成源漏极走线;以及

所述阵列基板还包括平坦层,覆于所述薄膜晶体管结构层远离所述缓冲层的一面并填充于所述凹槽中。

2. 根据权利要求1所述的阵列基板,其特征在于,

所述凹槽的深度为6000-10000Å。

3. 根据权利要求1所述的阵列基板,其特征在于,

所述柔性基板包括:

第一PI基板;

第一屏障层,设于所述第一PI基板上;

第二PI基板,设于所述第一屏障层上;以及

第二屏障层,设于所述第二PI基板上。

4. 根据权利要求3所述的阵列基板,其特征在于,

所述第二屏障层的厚度为2800-3200 Å。

5. 根据权利要求1所述的阵列基板,其特征在于,

所述薄膜晶体管结构层包括:

第一栅极绝缘层,设于所述缓冲层及所述有源层上,且从所述显示区延伸至所述非显示区;

第一栅极,设于所述第一栅极绝缘层上,且位于所述显示区;

第二栅极绝缘层,设于所述第一栅极绝缘层及所述第一栅极上,从所述显示区延伸至所述非显示区;

第二栅极,设于所述第二栅极绝缘层上,且位于所述显示区;以及

介电层,设于所述第二栅极绝缘层及所述第二栅极上,从所述显示区延伸至所述非显示区。

6. 一种阵列基板的制备方法,包括显示区和围绕所述显示区的非显示区,所述非显示区中具有弯折区,其特征在于,包括如下步骤:

形成柔性基板,所述柔性基板从所述显示区延伸至所述非显示区;

形成缓冲层于所述柔性基板上,所述缓冲层从所述显示区延伸至所述非显示区;

形成薄膜晶体管结构层于所述缓冲层上,所述薄膜晶体管结构层从所述显示区延伸至所述非显示区;

形成凹槽和过孔,所述凹槽设于所述弯折区,且从所述薄膜晶体管结构层远离所述缓冲层的一面延伸至所述缓冲层中;所述过孔设于所述显示区,且从所述薄膜晶体管结构层的上表面延伸至所述薄膜晶体管结构层内;

形成金属走线,其中部分金属走线填充于所述过孔中并延伸所述薄膜晶体管结构层远离所述缓冲层的一面,形成源漏极;部分金属走线覆于所述凹槽的槽壁并延伸所述薄膜晶体管结构层远离所述缓冲层的一面,形成源漏极走线;以及

形成平坦层,所述平坦层覆于所述薄膜晶体管结构层的上表面并填充于所述凹槽中。

7. 根据权利要求6所述的阵列基板的制备方法,其特征在于,

所述形成过孔和凹槽的步骤中,采用一张光罩对所述薄膜晶体管结构层进行刻蚀处理,形成所述过孔和所述凹槽。

8. 根据权利要求6所述的阵列基板的制备方法,其特征在于,

所述凹槽的深度为6000-10000 Å。

9. 根据权利要求6所述的阵列基板的制备方法,其特征在于,

所述形成柔性基板的步骤中,还包括:

形成第一PI基板;

形成第一屏障层于所述第一PI基板上;

形成第二PI基板于所述第一屏障层上;以及

形成第二屏障层于所述第二PI基板上;

其中,所述第二屏障层的厚度为2800-3200 Å。

10. 根据权利要求6所述的阵列基板的制备方法,其特征在于,

所述形成薄膜晶体管结构层于所述缓冲层上的步骤中,包括:

形成第一栅极绝缘层于所述缓冲层及所述有源层上,所述第一栅极绝缘层从所述显示区延伸至所述非显示区;

形成第一栅极于所述第一栅极绝缘层上,所述第一栅极位于所述显示区;

形成第二栅极绝缘层于所述第一栅极绝缘层及所述第一栅极上,所述第二栅极绝缘层从所述显示区延伸至所述非显示区;

形成第二栅极于所述第二栅极绝缘层上,所述第二栅极位于所述显示区;以及

形成介电层于所述第二栅极绝缘层及所述第二栅极上,所述介电层从所述显示区延伸至所述非显示区。

阵列基板及其制备方法

技术领域

[0001] 本申请涉及显示技术领域,尤其涉及一种阵列基板及其制备方法。

背景技术

[0002] OLED(Organic Light-Emitting Diode,有机发光二极管)是近年发展起来的显示技术,与液晶显示器相比,由于其具有高对比度、高响应、低能耗、可柔性化、自发光、宽视角及响应速度快等优点,拥有广泛的应用前景,具有重要的研究意义。而AMOLED(Active Matrix/Organic Light Emitting Diode)以其轻薄、可弯折、不易碎、可穿戴等优点成为下一代显示技术的杰出代表。

[0003] 为了提高显示面板弯折区(bending area)的弯折性能,业内常常将无机膜层去除,相应的采用应力较小的有机膜层取代,提高产品的弯折性能。

[0004] 具体的,显示面板包括阵列基板,所述阵列基板包括显示区(Active Area,AA区)和非显示区,其中所述非显示区包括弯折区,即端子区(pad区)。深孔区域(Deep Hole,DH)设于所述端子区,该DH孔填满有机材料,使得所述端子区便于弯折。然而,为了防止深孔区域(Deep Hole,DH)太深,锥度角(taper)太陡导致的bending区边缘源漏极走线(Source and Drain,SD)断裂或残留风险,因此,业内常常在pad区采用多步蚀刻的方式去除无机膜层,在taper处形成延缓层,防止SD走线断裂。

[0005] 目前,为了在pad区实现两个taper的设计,需要两道光罩(mask)工艺才能实现带有坡度的DH槽,且需要采用一道mask将有机材料填充到DH槽。因此,现有的阵列基板的形成需要经过多道光罩遮挡的刻蚀工艺,工艺繁琐,成本较高,产能较低。

发明内容

[0006] 本发明的目的在于,提供一种阵列基板及其制备方法,以解决现有的阵列基板的形成工艺繁琐、成本较高、产能较低技术问题。

[0007] 为实现上述目的,本发明提供一种阵列基板,包括显示区和围绕所述显示区的非显示区,所述非显示区中具有弯折区,还包括:柔性基板,从所述显示区延伸至所述非显示区;缓冲层,设于所述柔性基板上,且从所述显示区延伸至所述非显示区;薄膜晶体管结构层,设于所述缓冲层上,且从所述显示区延伸至所述非显示区;所述薄膜晶体管结构层具有凹槽,设于所述弯折区,且从所述薄膜晶体管结构层远离所述缓冲层的一面延伸至所述缓冲层中;以及过孔,设于所述显示区,且从所述薄膜晶体管结构层远离所述缓冲层的一面延伸至所述薄膜晶体管结构层内;金属走线,其中部分金属走线填充于所述过孔中并延伸所述薄膜晶体管结构层远离所述缓冲层的一面,形成源漏极;部分金属走线覆于所述凹槽的槽壁并延伸所述薄膜晶体管结构层远离所述缓冲层的一面,形成源漏极走线;以及所述阵列基板还包括平坦层,覆于所述薄膜晶体管结构层远离所述缓冲层的一面并填充于所述凹槽中。

[0008] 进一步地,所述凹槽的深度为6000-10000 Å。

[0009] 进一步地,所述柔性基板包括:第一PI基板;第一屏障层,设于所述第一PI基板上;第二PI基板,设于所述第一屏障层上;以及第二屏障层,设于所述第二PI基板上。

[0010] 进一步地,所述第二屏障层的厚度为2800-3200 Å。

[0011] 进一步地,所述薄膜晶体管结构层包括:第一栅极绝缘层,设于所述缓冲层及所述有源层上,且从所述显示区延伸至所述非显示区;第一栅极,设于所述第一栅极绝缘层上,且位于所述显示区;第二栅极绝缘层,设于所述第一栅极绝缘层及所述第一栅极上,从所述显示区延伸至所述非显示区;第二栅极,设于所述第二栅极绝缘层上,且位于所述显示区;以及介电层,设于所述第二栅极绝缘层及所述第二栅极上,从所述显示区延伸至所述非显示区。

[0012] 为实现上述目的,本发明还提供一种阵列基板的制备方法,包括显示区和围绕所述显示区的非显示区,所述非显示区中具有弯折区,所述阵列基板的制备方法包括如下步骤:形成柔性基板,所述柔性基板从所述显示区延伸至所述非显示区;形成缓冲层于所述柔性基板上,所述缓冲层从所述显示区延伸至所述非显示区;形成薄膜晶体管结构层于所述缓冲层上,所述薄膜晶体管结构层从所述显示区延伸至所述非显示区;形成凹槽和过孔,所述凹槽设于所述弯折区,且从所述薄膜晶体管结构层远离所述缓冲层的一面延伸至所述缓冲层中;所述过孔设于所述显示区,且从所述薄膜晶体管结构层的上表面延伸至所述薄膜晶体管结构层内;形成金属走线,其中部分金属走线填充于所述过孔中并延伸所述薄膜晶体管结构层远离所述缓冲层的一面,形成源漏极;部分金属走线覆于所述凹槽的槽壁并延伸所述薄膜晶体管结构层远离所述缓冲层的一面,形成源漏极走线;以及形成平坦层,所述平坦层覆于所述薄膜晶体管结构层的上表面并填充于所述凹槽中。

[0013] 进一步地,所述形成凹槽和过孔的步骤中,采用一张光罩对所述薄膜晶体管结构层进行刻蚀处理,形成所述过孔和所述凹槽。

[0014] 进一步地,所述凹槽的深度为6000-10000 Å。

[0015] 进一步地,所述形成柔性基板的步骤中,还包括:形成第一PI基板;形成第一屏障层于所述第一PI基板上;形成第二PI基板于所述第一屏障层上;以及形成第二屏障层于所述第二PI基板上;其中,所述第二屏障层的厚度为2800-3200 Å。

[0016] 进一步地,所述形成薄膜晶体管结构层于所述缓冲层上的步骤中,包括:形成第一栅极绝缘层于所述缓冲层及所述有源层上,所述第一栅极绝缘层从所述显示区延伸至所述非显示区;形成第一栅极于所述第一栅极绝缘层上,所述第一栅极位于所述显示区;形成第二栅极绝缘层于所述第一栅极绝缘层及所述第一栅极上,所述第二栅极绝缘层从所述显示区延伸至所述非显示区;形成第二栅极于所述第二栅极绝缘层上,所述第二栅极位于所述显示区;以及形成介电层于所述第二栅极绝缘层及所述第二栅极上,所述介电层从所述显示区延伸至所述非显示区。

[0017] 本发明的技术效果在于,提供一种阵列基板及其制备方法,通过将第二屏障层及介电层进行减薄处理,使得阵列基板的整体膜厚降低,并采用一张光罩在薄膜晶体管结构层上形成过孔和凹槽,去除现有凹槽内的有机材料,直接在金属走线上采用平坦层将凹槽填满,可以使金属走线更加接近中性面,有利于端子区的弯折性能。所述阵列基板的制程工艺更简单,节约原料消耗,节约产能,有利于将来量产化,降低生产成本。

附图说明

[0018] 下面结合附图,通过对本申请的具体实施方式详细描述,将使本申请的技术方案及其它有益效果显而易见。

[0019] 图1为现有阵列基板的结构示意图。

[0020] 图2为本申请实施例所述阵列基板的结构示意图。

[0021] 图3为本申请实施例所述阵列基板的制备方法的流程图。

[0022] 图4为本申请实施例提供的电子装置在折叠状态下的结构示意图。

[0023] 图5为本申请实施例所述柔性基板形成的流程图。

[0024] 图6为本申请实施例所述平坦层的结构示意图。

[0025] 图7为本申请实施例所述凹槽的形成的结构示意图。

[0026] 现有阵列基板的附图部件标识如下:

[0027] 100现有阵列基板;1001显示区;1002弯折区;

[0028] 101第一PI基板;102第一屏障层;103第二PI基板;104第二屏障层;

[0029] 105缓冲层;106薄膜晶体管结构层;107平坦层;

[0030] 108阳极层;109像素定义层;

[0031] 1061第一栅极绝缘层;1062第二栅极绝缘层;1063介电层;

[0032] 111有源层;112第一栅极;113第二栅极;114源漏极;

[0033] 115凹槽;116有机膜层;117金属走线;

[0034] 115a第一深孔;115b第二深孔。

[0035] 本申请阵列基板的附图部件标识如下:

[0036] 201显示区;202非显示区;203弯折区;

[0037] 11柔性基板;12缓冲层;13薄膜晶体管结构层;14过孔;

[0038] 15凹槽;16金属走线;161源漏极;162源漏极走线;18平坦层;

[0039] 19阳极;20像素定义层;

[0040] 1101第一PI基板;1102第一屏障层;

[0041] 1103第二PI基板;1104第二屏障层;

[0042] 131第一栅极绝缘层;132第二栅极绝缘层;133介电层;

[0043] 21有源层;22第一栅极;23第二栅极;24支撑层;180平坦层通孔。

具体实施方式

[0044] 下面将结合本申请实施例中的附图,对本申请实施例中的技术方案进行清楚、完整地描述。显然,所描述的实施例仅仅是本申请一部分实施例,而不是全部的实施例。基于本申请中的实施例,本领域技术人员在没有作出创造性劳动前提下所获得的所有其他实施例,都属于本申请保护的范围。

[0045] 下文的公开提供了许多不同的实施方式或例子用来实现本申请的不同结构。为了简化本申请的公开,下文中对特定例子的部件和设置进行描述。当然,它们仅仅为示例,并且目的不在于限制本申请。此外,本申请可以在不同例子中重复参考数字和/或参考字母,这种重复是为了简化和清楚的目的,其本身不指示所讨论各种实施方式和/或设置之间的关系。此外,本申请提供了的各种特定的工艺和材料的例子,但是本领域普通技术人员可以

意识到其他工艺的应用和/或其他材料的使用。

[0046] 如图1所示,现有阵列基板100包括显示区1001和弯折区1002,该弯折区1002为端子区(pad area)。其中,现有阵列基板100从下至上依次包括第一PI基板101、第一屏障层102、第二PI基板103、第二屏障层104、缓冲层105、薄膜晶体管结构层106、平坦层107、阳极层108、像素定义层109。其中,薄膜晶体管结构层106包括第一栅极绝缘层1061、第二栅极绝缘层1062以及介电层1063。现有阵列基板100还包括有源层111,设于缓冲层105上;第一栅极112,设于第一栅极绝缘层上1061;第二栅极113,设于第二栅极绝缘层上;源漏极114贯穿薄膜晶体管结构层106,且连接至有源层111。现有阵列基板100还包括凹槽115,贯穿薄膜晶体管结构层106、缓冲层105、第二屏障层104。该凹槽115包括第一深孔115a和第二深孔115b,这两个深孔与部分第二PI基板形成凹槽115。在制备凹槽115的过程中,在缓冲层105制备完成之后,采用第一掩模板对缓冲层105和第二屏障层104进行刻蚀处理形成第一深孔115a,并使其贯穿缓冲层105和第二屏障层104;在薄膜晶体管结构层103制备完成之后,采用第二掩模板对薄膜晶体管结构层103进行刻蚀处理形成第二深孔115b,并使其贯穿合绝缘层106。因此,第一深孔115a和第二深孔115b组合形成凹槽115。在凹槽115沉积有机材料形成有机膜层116后,采用第三掩模板对薄膜晶体管结构层106进行掩膜处理形成一过孔,贯穿至有源层111,接着采用第四掩模板在该过孔内和部分有机膜层116上表面沉积金属材料,金属材料在所述过孔内形成源漏极114,金属材料在部分有机膜层116上表面形成金属走线117。总的来说,现有的阵列基板100至少包括11道掩膜制程,具体为:有源层111的形成需要一道掩膜制程,第一栅极112和第二栅极113的形成需要两道掩膜制程,第一深孔115a和第二深孔115b的形成需要两道掩膜制程,过孔的形成需要一道掩膜制程,源漏极114和金属走线117的形成需要一道掩膜制程,在平坦层107上形成通孔需要一道掩膜制程,阳极层108的形成需要一道掩膜制程,像素定义层109的形成需要一道掩膜制程。由此可见,现有阵列基板100的工艺繁琐,产能较低。

[0047] 因此,本实施例提供一种阵列基板及其制备方法以解决上述问题。

[0048] 如图2所示,阵列基板200包括显示区201和围绕显示区201的非显示区202,所述非显示区具有弯折区203,弯折区203为端子区。阵列基板200还包括柔性基板11、缓冲层12、薄膜晶体管结构层13、过孔14、凹槽15、金属走线16、平坦层18、阳极19以及像素定义层20。

[0049] 柔性基板11从显示区201延伸至非显示区202。柔性基板11包括第一PI基板1101、第一屏障层1102、第二PI基板1103以及第二屏障层1104。具体的,第一屏障层1102、第二PI基板1103、第二屏障层1104依次设于第一PI基板1101上。现有技术中,阵列基板的第二屏障层的厚度一般大于或等于6000Å,其结构为单层的氧化硅。本实施例中,第二屏障层1104的厚度为2800-3200Å(埃),优选为3000Å(埃),使得第二屏障层1104的厚度小于或等于现有第二屏障层的厚度的一半。另外,使得第二屏障层1104的从单层的氧化硅变更为氮化硅(SiN_x)和氧化硅(SiO₂)的叠层结构,优选地,本实施例的第二屏障层1104的结构为氮化硅-氧化硅-氮化硅的叠层结构。因此,通过减薄第二屏障层1104的厚度以及变更其结构,可以使得阵列基板200对减小电性的影响。

[0050] 缓冲层12从显示区201延伸至非显示区202,且设于柔性基板11上。缓冲层12的材质为无机材料,例如氮化硅、氧化硅等。

[0051] 薄膜晶体管结构层13从显示区201延伸至非显示区202,且设于缓冲层12上。薄膜

晶体管结构层13包括第一栅极绝缘层131、第二栅极绝缘层132以及介电层133。其中，第一栅极绝缘层131、第二栅极绝缘层132、介电层133依次设于缓冲层12上。本实施例中，阵列基板200还包括有源层21、第一栅极22以及第二栅极23。有源层21设于缓冲层12上表面，且位于显示区201；第一栅极22设于第一栅极绝缘层131上表面，且位于显示区201，且与有源层21相对设置；第二栅极23设于第二栅极绝缘层132上表面，且位于显示区201，其投影在第一栅极绝缘层131上表面与第二栅极23重合。进一步地，现有的介电层为氮化硅-氧化硅的叠层结构，而本实施例中，介电层133将氮化硅去掉，从而变成单层的氧化硅结构，因此，可以减小阵列基板的电性影响。

[0052] 薄膜晶体管结构层13具有过孔14和凹槽15。过孔14位于显示区201，贯穿部分薄膜晶体管结构层13。具体的，过孔14贯穿第二栅极绝缘层132、介电层133和部分第一栅极绝缘层131。凹槽15位于弯折区203，贯穿薄膜晶体管结构层13、缓冲层12，且下凹于柔性基板11的上表面。凹槽15的深度为6000-10000 Å (埃)。

[0053] 部分金属走线16设于薄膜晶体管结构层13上和过孔14内，形成源漏极161，源漏极161电连接至有源层21。部分金属走线16设于薄膜晶体管结构层13上和凹槽15内，形成源漏极走线162。具体的，源漏极走线162从部分薄膜晶体管结构层13的表面延伸至凹槽13的侧壁和底壁。源漏极走线162采用直线不开孔设计，更有利于将来提高显示面板的PPI的设计。具体的，全模组形态的显示面板(panel)仿真出的中性面是自第一PI层1101也就是阵列基板的最底层，源漏极走线162越接近中性面，源漏极走线162受力越小，断线风险越低，更有利于稳定性。举例子说明：假设需要在源漏极走线162上进行开孔设置，则源漏极走线162的宽度需要大于10um，而相邻两根线之间的间隙4um，那么源漏极走线162和间隙加起来的pitch距离为14um。然而，本实施例中，不需要在源漏极走线162上进行开孔设置，可以将源漏极走线162的纯宽度设置为4um，两根线之间的间隙4um，那么源漏极走线162和间隙加起来的pitch距离为8um，因此，在阵列基板整体宽度固定的情况下，可以在弯折区203能够排布下更多的金属走线，从而有利于提升显示面板的PPI。

[0054] 平坦层18位于显示区201和弯折区203，设于薄膜晶体管结构层13上，且填满凹槽15。平坦层18的材料为无机材料，可以为氧化硅、氮化硅，本实施例不做特别的限定。与现有技术相比，本实施例在凹槽15去除了有机材料，直接使用平坦层18的材料将该凹槽15填满，可以使得源漏极走线162接近中性层，所受应力更小，更有利于提高弯折区203的弯折性能。

[0055] 阳极19位于显示区201，设于平坦层18的上表面，且连接至源漏极161。

[0056] 像素定义层20位于显示区201和弯折区203，设于平坦层18的上表面及部分阳极19的上表面。

[0057] 阵列基板200还包括支撑层24，位于显示区201，且间隔设置于像素定义层20上表面。

[0058] 本实施例提供一种阵列基板，对第二屏障层及介电层进行减薄处理，使得阵列基板的整体膜厚降低，并使其电性影响较小；本实施例中金属走线采用直线设计，并采用平坦层的材料填充凹槽，不需要沉积有机材料，可以使金属走线更加接近中性面，有利于弯折区的弯折性能。进一步地，该阵列基板的结构对金属走线在凹槽内的坡度无影响，不会造成断线或者残留风险，可以节约成本，提高产能。

[0059] 如图3所示，本实施例还提供一种阵列基板的制备方法，包括显示区和围绕所述显

示区的非显示区,所述非显示区中具有弯折区,所述阵列基板的制备方法包括如下步骤S1)~S9)。

[0060] S1) 形成柔性基板,所述柔性基板从所述显示区延伸至所述非显示区。

[0061] 如图4所示,所述形成柔性基板的步骤具体包括如下步骤S11)~S14)。

[0062] 如图5所示,S11) 形成第一PI基板。沉积聚酰亚胺材料形成第一PI基板1101。S12) 形成第一屏障层于所述第一PI基板上。沉积无机材料于第一PI基板1101形成第一屏障层1102。S13) 形成第二PI基板于所述第一屏障层上。沉积聚酰亚胺材料于第一屏障层1102形成第二PI基板1103。S14) 形成第二屏障层于所述第二PI基板上。沉积无机材料于第二PI基板1103形成第二屏障层1104。本实施例中,第二屏障层1104的厚度为2800~3200Å,优选为3000 Å (埃),使得第二屏障层1104的厚度为现有第二屏障层的厚度的一半。另外,使得第二屏障层1104的从单层的氧化硅变更为氮化硅(SiN_x)和氧化硅(SiO₂)的叠层结构,优选地,本实施例的第二屏障层1104的结构为氮化硅-氧化硅-氮化硅的叠层结构。因此,通过减薄第二屏障层1104的厚度以及变更其结构,可以使得阵列基板200对减小电性的影响。

[0063] S2) 形成缓冲层于所述柔性基板上,所述缓冲层从所述显示区延伸至所述非显示区。如图5所示,在第二屏障层1104上表面沉积无机材料形成缓冲层12,无机材料可以氮化硅、氧化硅等,但不限于此。

[0064] S3) 形成薄膜晶体管结构层于所述缓冲层上,所述薄膜晶体管结构层从所述显示区延伸至所述非显示区。

[0065] 如图6所示,所述形成一薄膜晶体管结构层于所述缓冲层上的步骤中,包括如下步骤S31)~S33)。

[0066] 如图5所示,S31) 形成一第一栅极绝缘层131于缓冲层12上,第一栅极绝缘层131从显示区201延伸至非显示区202。在形成第一栅极绝缘层131之前,还包括,采用第一光罩在缓冲层12上表面形成一有源层21,该有源层21位于显示区201。其中,第一栅极绝缘层131设于缓冲层12及有源层21的上表面。在形成第一栅极绝缘层131之后,还包括,采用第二光罩在第一栅极绝缘层131上表面形成一第一栅极22。其中,第一栅极22与有源层21相对设置。

[0067] S32) 形成一第二栅极绝缘层132于所述第一栅极绝缘层131上,第二栅极绝缘层132从显示区201延伸至非显示区202。在形成第二栅极绝缘层132之后,还包括,采用第三光罩在第二栅极绝缘层132上表面形成一第二栅极23。其中,第二栅极23的投影在第一栅极绝缘层131上表面与第二栅极23重合。

[0068] S33) 形成一介电层133于第二栅极绝缘层132上,介电层133从显示区201延伸至非显示区202。现有的介电层为氮化硅-氧化硅的叠层结构,而本实施例中,介电层133将氮化硅去掉,从而变成单层的氧化硅结构,因此,可以减小阵列基板的电性影响。

[0069] S4) 形成凹槽和过孔,所述凹槽设于所述弯折区,且从所述薄膜晶体管结构层远离所述缓冲层的一面延伸至所述缓冲层中;所述过孔设于所述显示区,且从所述薄膜晶体管结构层的上表面延伸至所述薄膜晶体管结构层内。如图7所示,采用第四光罩在薄膜晶体管结构层13进行刻蚀处理,使得过孔14和凹槽15在同一张光罩下形成,其中,所述第四光罩为MCD光罩。本实施例采用同一张光罩在一道工艺中形成过孔和凹槽,避免了凹槽15需要两次光罩的制备工艺以及过孔单独成形的工艺。与现有阵列基板的制备工艺相比,本实施例可以节约两道光罩工艺,并在凹槽15内形成一个锥角(taper),在凹槽15内形成一个taper不

会造成阵列基板的不良,因此,本实施例中通过减薄屏障层和介电层的厚度,以确保阵列基板的性能。

[0070] S5) 形成金属层金属走线,其中部分金属走线填充于所述过孔中并延伸所述薄膜晶体管结构层远离所述缓冲层的一面,形成源漏极;部分金属走线覆于所述凹槽的槽壁并延伸所述薄膜晶体管结构层远离所述缓冲层的一面,形成源漏极走线。如图7所示,采用第五光罩在过孔14内沉积金属材料形成源漏极161和在凹槽15内沉积金属材料形成源漏极走线162。源漏极走线162贴附于凹槽15的侧壁和底壁,源漏极走线162为源漏极金属走线(SD金属走线),采用直线不开孔设计,更有利于将来提高显示面板的PPI的设计。具体的,全模组形态的显示面板(panel)仿真出的中性面是自第一PI层1101也就是阵列基板的最底层,源漏极走线162越接近中性面,源漏极走线162受力越小,断线风险越低,更有利于稳定性。举例子说明:假设需要在源漏极走线162上进行开孔设置,则源漏极走线162的宽度需要大于10um,而相邻两根线之间的间隙4um,那么源漏极走线162和间隙加起来的pitch距离为14um。然而,本实施例中,不需要在源漏极走线162上进行开孔设置,可以将源漏极走线162的纯宽度设置为4um,两根线之间的间隙4um,那么源漏极走线162和间隙加起来的pitch距离为8um,因此,在阵列基板整体宽度固定的情况下,可以在弯折区203能够排布下更多的金属走线,从而有利于提升显示面板的PPI。

[0071] S6) 形成平坦层,所述平坦层覆于所述薄膜晶体管结构层的上表面并填充于所述凹槽中。如图2所示,采用无机材料在薄膜晶体管结构层13、源漏极161及源漏极走线162上形成平坦层18,平坦层18将凹槽15填满。平坦层18的材料为无机材料,可以为氧化硅、氮化硅,本实施例不做特别的限定。与现有技术相比,本实施例在凹槽15去除了有机材料,直接使用平坦层18的材料将该凹槽15填满,可以使得源漏极走线162接近中性层,所受应力更小,更有利于提高弯折区203的弯折性能。

[0072] S7) 形成一平坦层通孔。如图2所示,采用第六光罩对平坦层18进行蚀刻处理,在显示区201形成一平坦层通孔180。

[0073] S8) 形成一阳极,所述阳极填满所述平坦层通孔,且延伸至所述平坦层上表面。如图2所示,采用第七光罩在平坦层通孔180填满金属材料,形成阳极19。

[0074] S9) 形成一像素定义层及支撑层于所述平坦层上。如图2所示,采用第八光罩在平坦层18上形成像素定义层19及支撑层24。

[0075] 本实施例中,阵列基板的整个工艺制程采用了8道光罩掩膜工艺,主要是采用一张光罩在一步工艺中形成过孔和凹槽,并去除了有机材料成膜需要光罩掩膜的工艺,从而节约了三张光罩的使用。而现有阵列基板需要11道光罩掩膜工艺,因此,本实施例提供的阵列基板的制备方法的制程工艺更简单,节约原料消耗,节约产能,有利于将来量产化,降低生产成本。

[0076] 本实施例提供一种阵列基板的制备方法,通过将第二屏障层及介电层进行减薄处理,使得阵列基板的整体膜厚降低,并使其电性影响较小;弯折区的凹槽的由两个tapers变成单个taper,并通过一步蚀刻的工艺形成凹槽和过孔,采用直线设计的金属走线贴附于凹槽的侧壁和底壁,平坦层将所述凹槽填满,去除现有凹槽内的有机材料,可以使金属走线更加接近中性面,有利于弯折区的弯折性能。

[0077] 以上对本申请实施例所提供的一种阵列基板及其制备方法进行了详细介绍,本文

中应用了具体个例对本申请的原理及实施方式进行了阐述,以上实施例的说明只是用于帮助理解本申请的技术方案及其核心思想;本领域的普通技术人员应当理解:其依然可以对前述各实施例所记载的技术方案进行修改,或者对其中部分技术特征进行等同替换;而这些修改或者替换,并不使相应技术方案的本质脱离本申请各实施例的技术方案的范围。

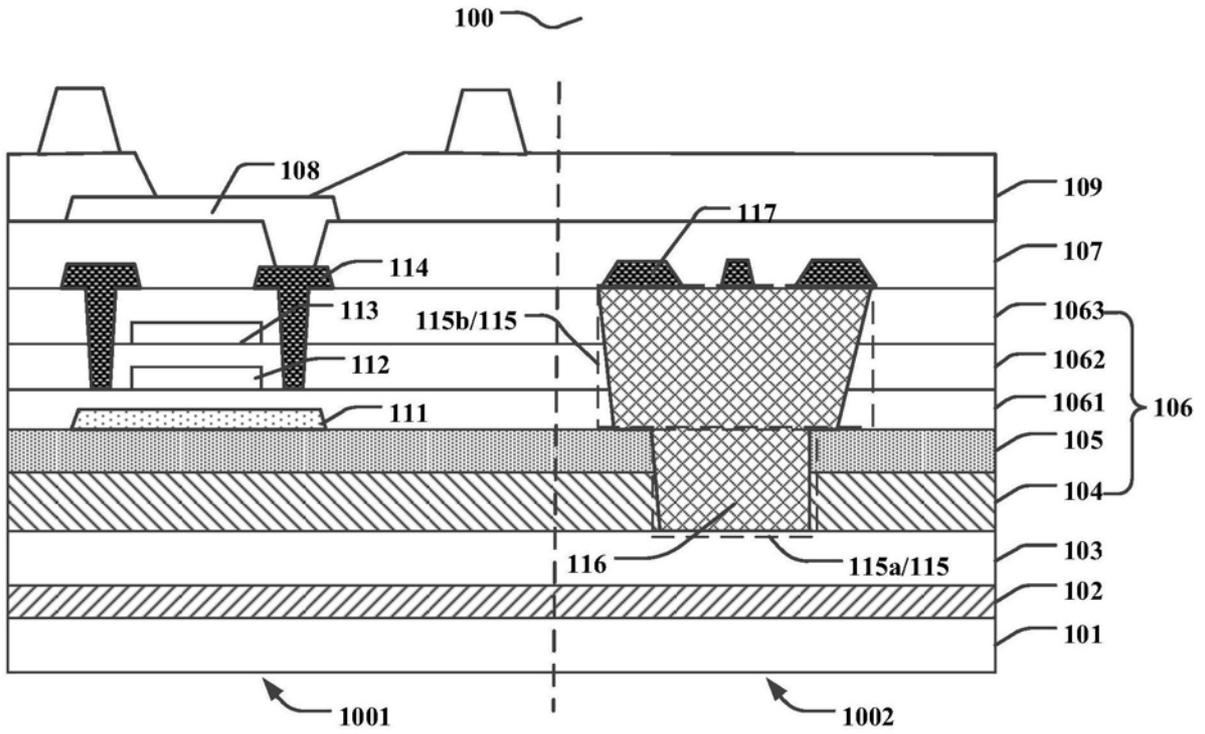


图1

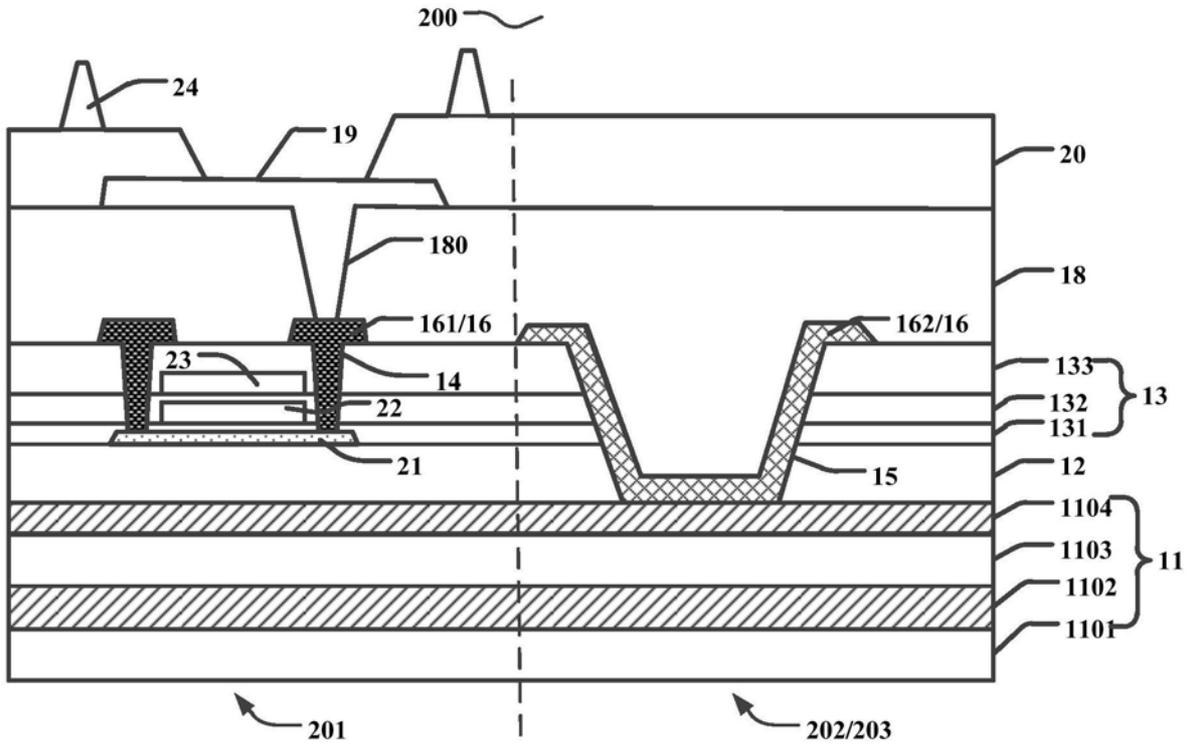


图2

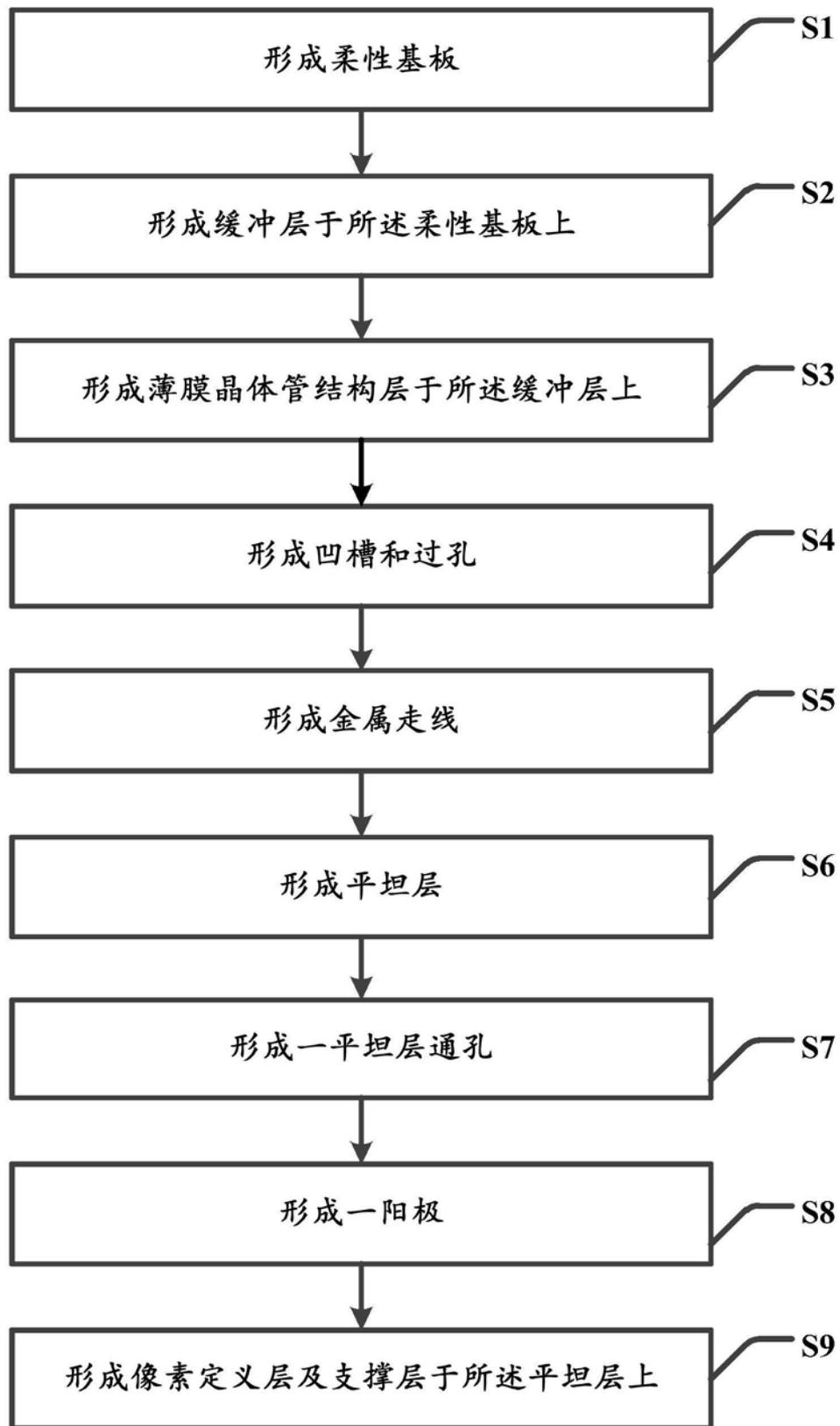


图3

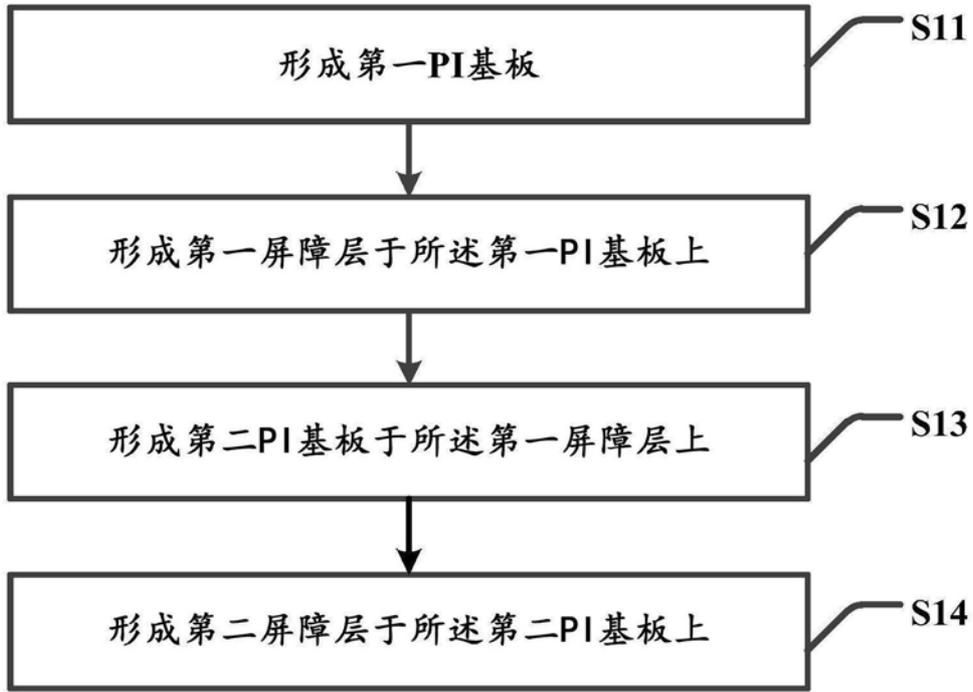


图4

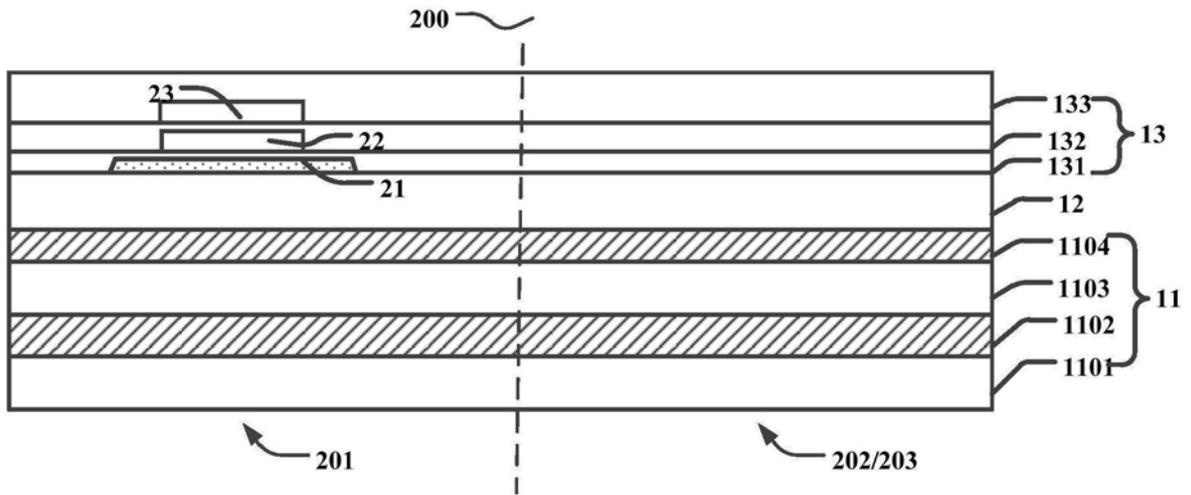


图5

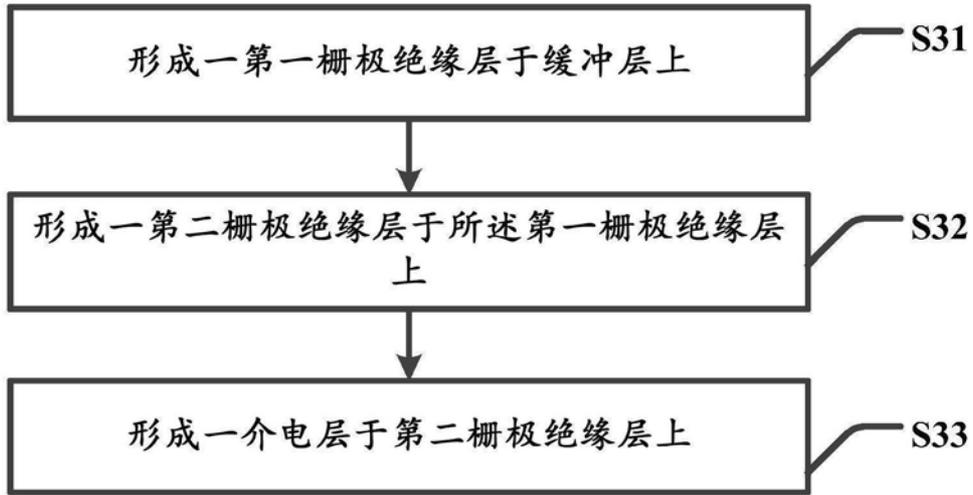


图6

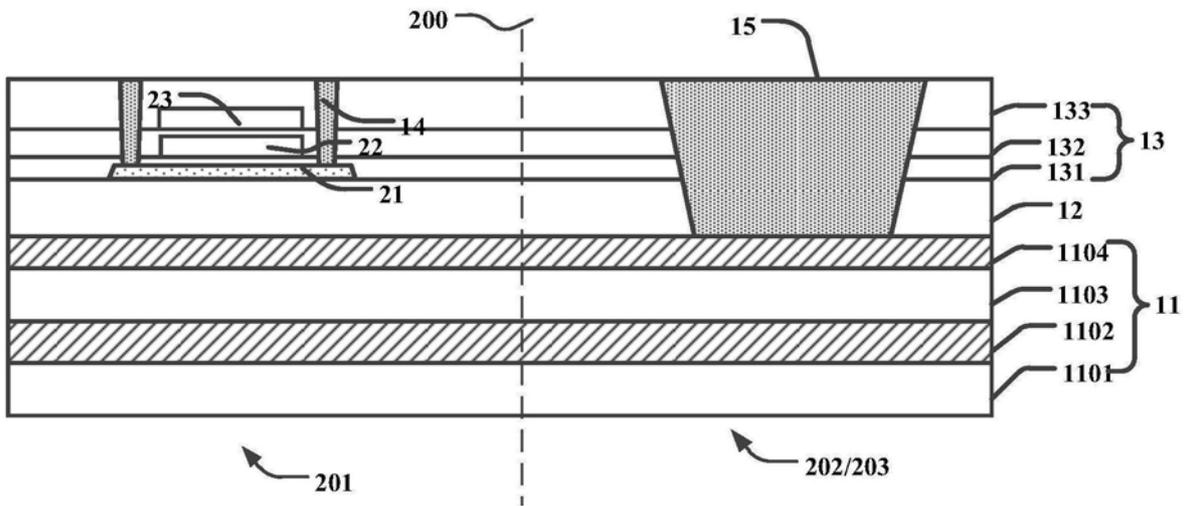


图7