(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 7 月 21 日(21.07.2016)

WIPO | PCT

(10) 国際公開番号
WO 2016/114152 A1

(51) 国際特許分類:
*H01L 21/301* (2006.01) *H01L 23/522* (2006.01)
*H01L 21/3205* (2006.01) *H01L 27/14* (2006.01)
*H01L 21/768* (2006.01)

(21) 国際出願番号: PCT/JP2016/050013

(22) 国際出願日: 2016 年 1 月 4 日(04.01.2016)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2015-004096 2015 年 1 月 13 日(13.01.2015) JP

(71) 出願人: ソニー株式会社(SONY CORPORATION) [JP/JP]; 〒1080075 東京都港区港南１丁目７番１号 Tokyo (JP).

(72) 発明者: 藤原　淳志(FUJIWARA Atsushi); 〒8691102 熊本県菊池郡菊陽町大字原水４０００番地１　ソニーセミコンダクタ株式会社内 Kumamoto (JP).

(74) 代理人: 西川　孝, 外(NISHIKAWA Takashi et al.); 〒1600023 東京都新宿区西新宿７丁目５番２５号　西新宿木村屋ビルディング９階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

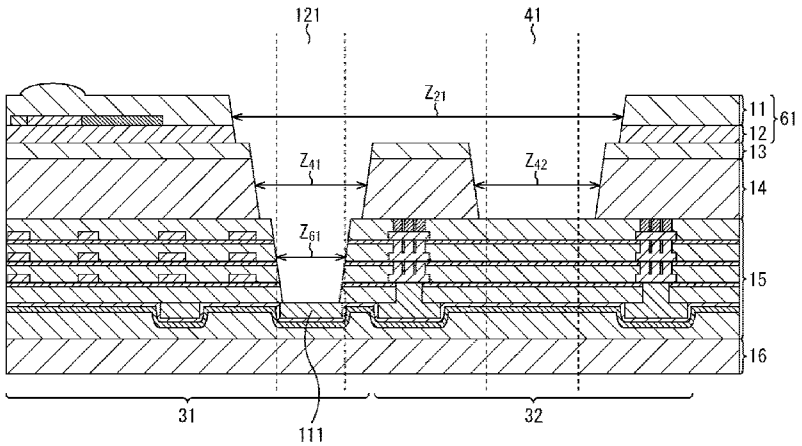
添付公開書類:
— 国際調査報告（条約第 21 条(3)）

WO 2016/114152 A1

(54) **Title**: SEMICONDUCTOR DEVICE, METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE, SOLID STATE IMAGING ELEMENT, IMAGING DEVICE, AND ELECTRONIC INSTRUMENT

(54) 発明の名称 : 半導体装置、および半導体装置の製造方法、固体撮像素子、撮像装置、並びに電子機器

図15




(57) **Abstract**: The present invention pertains to a semiconductor device, and to a semiconductor device with which, as regards the manufacture thereof, chipping caused by scattered dust or clogging occurring during dicing can be minimized, and peeling of the underlying passivation film can be minimized as well , so that the manufacturing yield can be improved and lower costs realized; a method for manufacturing the semiconductor device; a solid state imaging element; an imaging device; and an electronic instrument. In a step for exposing pads through etching, during etching of an uppermost lens material layer and passivation layer, pad portions and blade areas that will be cut into by the blade during dicing are etched simultaneously, and some or all of an area therebetween including both is etched simultaneously together. Thereafter, only the pad portions are etched in the layer of the semiconductor substrate below the lens material layer, and the pads are exposed. The present invention can be applied to a CMOS image sensor.

(57) 要約:

[続葉有]

本技術は、半導体装置と、その製造について、ダイシングにより発生する飛散ダストや目詰まりによるチッピング、さらには、下地のパシベーション膜からの剥がれを抑制し、製造に係る歩留まりを向上し、より低コスト化を実現できるようにする半導体装置、および半導体装置の製造方法、固体撮像素子、撮像装置、並びに電子機器に関する。 エッチングによりパッドをむき出しにさせる工程において、最上層のレンズ材料層とパシベーション層をエッチングする際に、パッド部と、ダイシングする際にブレードにより切り込まれるブレード領域とを同時にエッチングすると共に、双方を含むその間の領域の一部、または全体を合わせて同時にエッチングする。その後、レンズ材料層の下の半導体基板の層では、パッド部のみをエッチングし、パッドをむき出しにする。本技術は、CMOS イメージセンサに適用することができる。

# 明　細　書

## 発明の名称 ：

# 半導体装置、および半導体装置の製造方法、固体撮像素子、撮像装置、並びに電子機器

## 技術分野

[0001] 本技術は、半導体装置、および半導体装置の製造方法、固体撮像素子、撮像装置、並びに電子機器に関し、特に、ダイシングにより発生する飛散ダストや目詰まりによるチッピング、さらには、下地のパシベーション膜からの剥がれを抑制し、半導体装置の製造に係る歩留まりを向上できるようにした半導体装置、および半導体装置の製造方法、固体撮像素子、撮像装置、並びに電子機器に関する。

## 背景技術

[0002] 多数の半導体製造プロセスを経て、複数の半導体装置が半導体基板上に形成される。その後、個別の半導体装置領域を分割するスクライブライン領域に沿ってダイシングブレードによりダイシングを行い、半導体装置を分割する。

[0003] スクライブライン領域に沿ってダイシングを行う際、スクライブライン領域にＳｉＯ２、ＳｉＮ、ＳｉＯＮなどの膜が堆積したままであると、それらの膜を切り込むことでダイシングブレードが徐々に目詰まりをおこす。そして、半導体装置の端部でチッピングが生じる。そこで、このようなことが生じないようにするため、層間絶縁膜やパシベーション膜をあらかじめエッチング除去する技術が提案されている（特許文献１参照）。

[0004] また、固体撮像素子等では、パシベーション膜の上に、更に平坦化用コート膜及び、カラーフィルタやオンチップレンズ材料等の柔らかい有機膜を積層する。これらの膜をダイシングすると、飛散ダストとなったり、下地のパシベーション膜から剥がれが発生したりすることがある。これらは、外観不良の他に、固体撮像素子の受光部に付着し、画素不良となり、歩留り悪化を

招くことになる。対策としては、同様にダイシング前のウェハプロセスでエッチング除去し、極力、有機膜をダイシングしないようにする。

[0005] 従来技術として、パッド部開口のためのレジストパターン形成と同時に、スクライブライン領域に沿ってもレジストパタニングを行い、両者を同時にエッチングすることでウェハプロセスの作業数を減らしつつ、ダイシング後の外観不良を低減する構造が提案されている（特許文献２参照）。

## 先行技術文献

## 特許文献

[0006] 特許文献1：特開平５－３２４９号公報

特許文献2：特開２００７－１８４３５５号公報

## 発明の概要

## 発明が解決しようとする課題

[0007] ところで、裏照射面型固体撮像素子に代表されるような製品パッドが半導体基板表面より深い位置に存在する場合、パッド部の加工を複数回に分ける必要がある。各々のパッド加工サイズは、最終開口エッチング終了時にワイヤボンディング強度を十分に確保できるパッドサイズを設定し、それから１回目のパッド開口サイズにかけて逆算でリソグラフィの重ねや露光量バラツキから、徐々に大きくレイアウトして行く。

[0008] すると、前出のパッドとスクライブ加工領域を同時にパターン形成しようとした場合、双方のフォトレジスト開口部が近接し過ぎ、間に細い残しパターンができる。

[0009] この部分は、エッチング中のレジスト倒れや、ブレードダイシング時のパターン飛び等が発生する。また、エッチング中のレジスト倒れや、ブレードダイシング時のパターン飛び等の発生を回避するため、パッドとスクライブラインの位置を離すことは、半導体装置のチップサイズの拡大に繋がり、一つの半導体基板（ウェハ）から作成できる半導体装置の個数の減少になってしまう。

[0010] 本技術は、このような状況に鑑みてなされたものであり、特に、半導体装置と、その製造について、ダイシングにより発生する飛散ダストや目詰まりによるチッピング、さらには、下地のパシベーション膜からの剥がれを抑制し、製造に係る歩留まりを向上し、より低コスト化を実現できるようにするものである。

## 課題を解決するための手段

[0011] 本技術の一側面の半導体装置は、半導体基板中に複数の半導体チップが形成され、接続用のパッドを開口するにあたって、前記パッドを開口するエッチングを層単位で複数回に分けて行う際、前記エッチングがなされる単位となる層の複数のうちの一部の層は、前記パッドの開口を形成するエッチングと同時にスクライブライン部を開口するエッチングがなされ、両者間を繋ぐ領域の一部または全部がエッチング除去されている。

[0012] 前記エッチングがなされる単位となる層の一部の層には、前記複数回に分けて行われるエッチングのうち、最初にエッチングされる層を含ませるようにすることができる。

[0013] 前記エッチングがなされる単位となる層の一部の層には、前記複数回に分けて行われるエッチングのうちの、前記最初にエッチングされる層を含む複数の層とすることができる。

[0014] 前記エッチングがなされる単位となる層の一部の層には、前記半導体装置の周囲のブレードダイシングを行うスクライブライン部のブレード領域から前記パッドを含む領域までを繋いだパターンで一部または全部が一括でエッチングされた層を含ませるようにすることができる。

[0015] 前記半導体装置は、貫通電極を設けた半導体ウェハ同士を相互に貼り合わせて複数積層した３次元実装基板とすることができる。

[0016] 本技術の一側面の半導体装置の製造方法は、半導体基板中に複数の半導体チップが形成され、接続用のパッドを開口するにあたって、前記パッドを開口するエッチングを層単位で複数回に分けて行う際、前記エッチングがなされる単位となる層の複数のうちの一部の層を、前記パッドの開口を形成する

エッチングと同時にスクライブライン部の開口を形成するエッチングを行うと共に、前記パッド部の開口部と、前記スクライブライン部の開口部とを繋ぐ領域の一部または全部のエッチングを行う第１の工程と、前記第１の工程の後、前記パッドのみの開口を形成するエッチングを行う第２の工程とを含む。

[0017] 前記第１の工程の後、前記第２の工程の前、前記パッドの開口を形成するエッチングと同時にスクライブライン部の開口を形成するエッチングとを、独立した領域で行う第３の工程を含ませるようにすることができる。

[0018] 本技術の一側面の固体撮像素子は、入射光を集光する集光光学部と、前記集光光学部で集光した光を光量に応じた電気信号に変換する光電変換部と、複数の前記光電変換部からなる複数の画素部と、前記画素部が形成された半導体基板の一面側に配線層と、光電変換された信号を処理する信号処理部とを含む固体撮像素子であって、前記固体撮像素子を構成する半導体基板中に複数の半導体チップが形成され、接続用のパッドを開口するにあたって、前記パッドを開口するエッチングを層単位で複数回に分けて行う際、前記エッチングがなされる単位となる層の複数のうちの一部の層は、前記パッドの開口を形成するエッチングと同時に、前記固体撮像装置の周囲のブレードダイシングを行うスクライブライン部を開口するエッチングがなされ、両者間を繋ぐ領域の一部または全部がエッチング除去されている。

[0019] 前記光電変換部には、前記配線層が形成されている面より入射される光を受光させるようにすることができる。

[0020] 前記光電変換部には、前記配線層が形成されている面とは反対側より入射される光を受光させるようにすることができる。

[0021] 本技術の一側面の撮像装置は、入射光を集光する集光光学部と、前記集光光学部で集光した光を光量に応じた電気信号に変換する光電変換部と、複数の前記光電変換部からなる複数の画素部と、前記画素部が形成された半導体基板の一面側に配線層と、光電変換された信号を処理する信号処理部とを有する固体撮像素子を含む撮像装置であって、前記固体撮像素子を構成する半

導体基板中に複数の半導体チップが形成され、接続用のパッドを開口するにあたって、前記パッドを開口するエッチングを層単位で複数回に分けて行う際、前記エッチングがなされる単位となる層の複数のうちの一部の層は、前記パッドの開口を形成するエッチングと同時に、前記固体撮像装置の周囲のブレードダイシングを行うスクライブライン部を開口するエッチングがなされ、両者間を繋ぐ領域の一部または全部がエッチング除去されている。

[0022] 本技術の一側面の電子機器は、入射光を集光する集光光学部と、前記集光光学部で集光した光を光量に応じた電気信号に変換する光電変換部と、複数の前記光電変換部からなる複数の画素部と、前記画素部が形成された半導体基板の一面側に配線層と、光電変換された信号を処理する信号処理部とを有する固体撮像素子を含む電子機器であって、前記固体撮像素子を構成する半導体基板中に複数の半導体チップが形成され、接続用のパッドを開口するにあたって、前記パッドを開口するエッチングを層単位で複数回に分けて行う際、前記エッチングがなされる単位となる層の複数のうちの一部の層は、前記パッドの開口を形成するエッチングと同時に、前記固体撮像装置の周囲のブレードダイシングを行うスクライブライン部を開口するエッチングがなされ、両者間を繋ぐ領域の一部または全部がエッチング除去されている。

[0023] 本技術の一側面においては、固体撮像素子を構成する半導体基板中に複数の半導体チップが形成され、接続用のパッドを開口するにあたって、前記パッドを開口するエッチングを層単位で複数回に分けて行う際、前記エッチングがなされる単位となる層の複数のうちの一部の層は、前記パッドの開口を形成するエッチングと同時に、前記固体撮像装置の周囲のブレードダイシングを行うスクライブライン部を開口するエッチングがなされ、両者間を繋ぐ領域の一部または全部がエッチング除去されている。

## 発明の効果

[0024] 本技術の一側面によれば、ダイシングにより発生する飛散ダストや目詰まりによるチッピング、さらには、下地のパシベーション膜からの剥がれを抑制し、製造に係る歩留まりを向上し、より低コスト化を実現することが可能

となる。

## 図面の簡単な説明

[0025] [図1]本技術を適用した半導体装置を用いた固体撮像素子の側面断面を説明する図である。

[図2]図１の固体撮像素子の上面図を説明する図である。

[図3]従来の固体撮像装置における固体撮像素子を説明する図である。

[図4]従来の固体撮像装置のタップをむき出しにする方法を説明する図である。

[図5]従来の固体撮像装置のタップを開口する方法において、レジスト層が飛んでしまう例を説明する図である。

[図6]従来の固体撮像装置のタップを開口する方法において、レンズ材料層が飛んでしまう例を説明する図である。

[図7]本技術を適用した半導体装置のタップを開口させる第１の実施の形態を説明する図である。

[図8]本技術を適用した半導体装置のタップを開口させる第１の実施の形態を説明する図である。

[図9]本技術を適用した半導体装置のタップを開口させる開口させる第１の実施の形態を説明する図である。

[図10]本技術を適用した半導体装置のタップを開口させる処理を説明する図である。

[図11]本技術を適用した半導体装置のタップを開口させる第１の実施の形態を説明する図である。

[図12]本技術を適用した半導体装置のタップを開口させる第１の実施の形態を説明する図である。

[図13]本技術を適用した半導体装置のタップを開口させる第１の実施の形態を説明する図である。

[図14]本技術を適用した半導体装置のタップを開口させる第１の実施の形態を説明する図である。

[図15]本技術を適用した半導体装置のタップを開口させる第１の実施の形態を説明する図である。

[図16]本技術を適用した半導体装置のタップを開口させたときの画像を説明する図である。

[図17]本技術を適用した半導体装置のタップを開口させたときの画像を説明する図である。

[図18]本技術を適用した半導体装置のタップを開口させる第２の実施の形態を説明する図である。

[図19]本技術を適用した半導体装置のタップを開口させたときの画像を説明する図である。

[図20]図１９の半導体装置のタップを開口させたときの上面図を説明する図である。

[図21]本技術を適用した半導体装置のタップを開口させる第３の実施の形態を説明する図である。

[図22]本技術を適用した半導体装置のタップを開口させたときの画像を説明する図である。

[図23]本技術を適用した半導体撮像素子からなる固体撮像素子を利用した撮像装置および電子機器の構成を説明する図である。

[図24]固体撮像素子の使用例を示す図である。

## 発明を実施するための最良の形態

[0026] 以下、本発明を実施するための最良の形態の例を説明するが、本発明は以下の例に限定されるものではない。

[0027] ＜第１の実施の形態＞

＜固体撮像素子の構成例＞

図１は、本技術を適用した半導体装置である裏面照射型固体撮像素子の一実施の形態の概略構成の側面断面図である。

[0028] 図１の裏面照射型固体撮像素子は、垂直方向に上からレンズフィルタ層１１、平坦化層１２、無機パシベーション層１３、半導体基板１４、配線層１

５、および支持基板１６の順序で積層されている。また、レンズフィルタ層１１、および平坦化層１２は、総称してレンズ材料層６１とも称する。半導体基板１４裏面側（図中における半導体基板１４の上側）に光透過性を有する無機パシベーション層１３および平坦化膜１２が形成されている。

[0029] また、図１の水平方向に左から、転送トランジスタ、増幅トランジスタ、リセットトランジスタ等のトランジスタ群（図示せず）等を有する複数の画素部５１からなる固体撮像素子３１、および固体撮像素子３１を個別にダイシングする際にダイシングブレードにより切り分けられるスクライブライン３２が形成されている。

[0030] 固体撮像素子３１は、図２で示されるように、水平方向に格子状に配設されており、スクライブライン３２は、固体撮像素子３１間に形成されている。固体撮像素子３１は、周囲にリング状にガードリング８３が設けられており、その間にブレード領域４１が設けられている。ブレード領域４１は、固体撮像素子３１を個別にダイシングする際、ブレード領域４１にダイシングするためのダイシングブレードが切り込まれることにより、ダイシングされる（個別に切り分けられる）。スクライブライン３２は、ブレード領域４１の幅設定に応じて、５０乃至２００μｍ程度の幅に設定される。ガードリング８３は、チップ領域の配線層１５と同一のプロセスで形成される。スクライブライン３２には、リソグラフィ用合わせマーク、検査パターン等を形成することができる。

[0031] 固体撮像素子３１のレンズフィルタ層１１の画素部５１には、集光レンズ層７１が設けられており、この集光レンズ層７１が、光電変換により電荷を発生し、画素信号を出力する光電変換部８１に入射光を集光する。また、集光レンズ層７１の下には、RGB（赤色、緑色、青色）などの特定の波長の光のみを透過させるカラーフィルタ層７２が設けられており、このカラーフィルタ層７２により、光電変換部８１には、それぞれのフィルタにより透過された波長の光が入射する。光電変換層８１は、例えばシリコン基板などからなる半導体基板１４の活性層８２に形成されている。さらに、各光電変換部８

１から読み出した信号電荷を処理する信号処理部（図示せず）が形成されている。

[0032] また、光電変換部８１が形成された半導体基板１４の表面側（図中における半導体基板１４の下側）には配線層１５が形成されている。この配線層１５は、配線９１と、配線９１を被覆する絶縁膜９２とからなる。配線層１５は、支持基板１６上に形成される。この支持基板１６は、例えばシリコン基板からなる。配線９１の材質は、例えば、アルミニウム、銅、及びタングステンを主成分とする。

[0033] ＜従来のパッド部の加工＞

図３は、図１に示される裏面照射型固体撮像素子のパッド部を従来の手法で加工したときの概略の側面断面図である。

[0034] 図３で示されるように、上から、レンズ材料層６１は、パッド部１２１、およびブレード領域４１のそれぞれに開口部Ｚ１，Ｚ２がエッチングにより形成される。また、半導体基板１４は、パッド部１２１、およびブレード領域４１のそれぞれに開口部Ｚ３，Ｚ４がエッチングにより形成される。さらに、配線層１５は、パッド部１２１のみが、開口部Ｚ５がエッチングにより形成される。このような構成により、パッド１１１に開口部が形成され、併せてスクライブライン３２のブレード領域４１にダイシングブレード１０１が切り込むことで発生する、飛散ダストや、下地のパシベーション膜が剥がれるといったことがないように加工される。

[0035] 尚、図３は、側面断面であるため、パッド部１２１およびブレード領域４１の開口幅が形成される様は、同様に描かれているが、パッド部１２１は、スポット状にパッド１１１が剥き出されるように形成されているのに対して、ブレード領域４１の開口部は、図２で示されるように固体撮像素子３１を囲むように形成される。

[0036] また、開口部Ｚ１乃至Ｚ５の開口幅は、開口部Ｚ１＞Ｚ３＞Ｚ５であり、また、開口部Ｚ２＞Ｚ４とされている。これは、エッチングにより開口部を形成する際、テーパが発生するためであり、図中の上部から下部に向かって

開口幅は小さく形成される。このため、パッド１１１を剥き出しにする必要幅に対して、図３の上部の層ほど、より大きな幅の開口部が必要となる。そこで、レジストパターンは、パッド１１１をボンディングする際、十分な強度となる開口幅から図中の上方に向かって逆算して、徐々に広くなるように形成される。

[0037] より詳細には、以下のような工程でパッド部が開口される。

[0038] すなわち、第１の工程において、図４で示されるように、裏面照射型固体撮像素子のレンズ材料層６１の図中の上面に、開口部Ｚ１，Ｚ２の開口幅に対応する、より広い開口幅のレジスト層１３１のパターンが形成され、レンズ材料層６１がエッチングされる。

[0039] 以下、同様の手法で、パッド部１２１とブレード領域４１とがエッチングされることにより、開口部Ｚ３，Ｚ４が形成され、さらに、パッド部１２１のみがエッチングされることにより、開口部Ｚ５が形成されて、パッド１１１が剥き出しの状態とされる。

[0040] ところで、同一のウェハからより多くの固体撮像素子３１を取り出すには、ガードリング８３の幅をより短くし、パッド部１２１とブレード領域４１とを近くに配設する構成とすることが望ましい。

[0041] しかしながら、パッド部１２１とブレード領域４１とを近くに配設すると、パッド部１２１とブレード領域４１との距離が短すぎるため、例えば、図５で示されるように、レジスト層１３１’が薄くなり、レンズ材料層６１から剥がれて、倒れる、いわゆるレジスト倒れが生じてしまうことがあった。

[0042] また、図６で示されるように、ダイシングブレード１０１がブレード領域４１に切り込む際に、パッド部１２１とブレード領域４１との間のレンズ材料層６１’が、無機パシベーション層１３から剥がれて、飛び出してしまうことがあった。

[0043] いずれにおいても、倒れてしまったレジスト層１３１’やレンズ材料層６１’が、剥がれることにより外観不良になるだけでなく、ダストとして固体撮像素子３１の画素部５１の表面に付着して画素不良を起こす可能性があっ

た。結果として、固体撮像素子３１の製造に係る歩留まりを低減させ、コスト高となる可能性があった。

[0044] ＜本技術のパッド部の加工＞

次に、本技術を適用した半導体装置である固体撮像素子の製造方法の一部である、ウェハ表面より深い位置に存在するパッドをワイヤボンディングするために剥き出しの状態にする加工工程について説明する。尚、ここでは、半導体装置である固体撮像素子が、半導体基板中に複数の半導体チップとして形成されており、それぞれの固体撮像素子において接続用のパッドを開口する加工工程について説明する。

[0045] 本技術においては、以上のような歩留まりを向上させ、コストを低減させるため、パッド部１２１およびブレード領域４１の加工時に両者を繋げるようにレジスト開口させたパターンからなるレジスト層１３１を用いて１回目のエッチングがなされ、レンズ材料層６１にパッド部１２１およびブレード領域４１の両者を繋げる開口部が形成される。

[0046] 次に、パッド部１２１およびブレード領域４１のそれぞれが、独立した領域となるように開口部が設けられたレジスト層１３１を用いて、２回目のエッチングがなされ、パシベーション層１３および半導体基板１４に、パッド部１２１およびブレード領域４１の両者が独立した開口部が形成される。この時点で、ブレード領域４１はチッピングや目詰まりの原因となる層が除去されていることになる。そして、パッド部１２１のみ開口部が設けられたレジスト層１３１を用いて、３回目のエッチングにより、固体撮像素子３１と電気的に接続するパッド１１１を露出させるよう開口部が形成される。

[0047] より詳細には、第１の工程において、図７で示されるような、未加工のレンズ材料層６１の上部に、図８で示されるように、パッド部１２１およびブレード領域４１の加工時に両者をつなげる開口幅（および形状）の開口部Ｚ１１からなるレジスト開口させたパターンからなるレジスト層１３１が積層される。

[0048] 第２の工程において、図８のレジスト層１３１を用いて、レンズ材料層６

１が１回目のエッチングにより、図９で示されるように、パッド部１２１およびブレード領域４１を繋いだ開口部Ｚ２１が形成される。

[0049] 第３の工程において、図９のレジスト層１３１が剥がされて、図１０で示されるように、パッド部１２１およびブレード領域４１を繋いだ開口部Ｚ２１がエッチングされたレンズ材料層６１が図中の最上層として形成される。

[0050] 第４の工程において、さらに、図１０の最上層に、図１１で示されるように、パッド部１２１、およびブレード領域４１のそれぞれに開口部Ｚ３１，Ｚ３２が設けられたレジスト層１３１が形成される。尚、図１１で示されるように、レジスト層１３１の一部は、レンズ材料層６１にも形成される。

[0051] 第５の工程において、図１１のレジスト層１３１を用いて、パシベーション層１３、および半導体基板１４が２回目のエッチングにより、図１２で示されるように、パッド部１２１、およびブレード領域４１のそれぞれに開口部Ｚ４１，Ｚ４２が形成される。

[0052] 第６の工程において、図１２のレジスト層１３１が剥がされることにより、図１３で示されるように、最上層のレンズ材料層６１においては、パッド部１２１およびブレード領域４１を繋いだ開口部Ｚ２１が形成され、さらに、パシベーション層１３、および半導体基板１４の、パッド部１２１、およびブレード領域４１のそれぞれに開口部Ｚ４１，Ｚ４２が形成される。

[0053] 第７の工程において、図１３で示される最上層に対して、図１４で示されるように、パッド部１２１のみに、開口部Ｚ５１が設けられたレジスト層１３１が形成される。

[0054] 第８の工程において、配線層１５のパッド部１２１には、図１４のレジスト層１３１が用いられて３回目のエッチングにより、パッド１１１が剥き出しの状態となる開口部Ｚ６１が形成される。これにより、パッド１１１は、電気的に接続可能な状態となる。そして、図１４のレジスト層１３１が剥がされることにより、図１５で示されるように裏面照射型固体撮像素子の、レンズ材料層６１にパッド部１２１およびブレード領域４１を繋いだ開口部Ｚ２１が形成される。また、パシベーション層１３、および半導体基板１４に

パッド部１２１、およびブレード領域４１のそれぞれの領域に独立して開口部Ｚ４１，Ｚ４２が形成される。そして、配線層１５のパッド部１２１に開口部Ｚ６１が形成され、開口部Ｚ６１の底部にパッド１１１が剥き出しの状態となる。

[0055] 以上のように、第１の工程乃至第３の工程において、パッド部１２１、およびブレード領域４１が繋がれて形成された開口部Ｚ１１からなるレジスト層１３１を用いてレンズ材料層６１が１回目のエッチングにより、パッド部１２１、およびブレード領域４１が繋がれた状態で開口部Ｚ２１が形成されることにより、ダストになる可能性のあるレジスト層１３１、およびレンズ材料層６１が完全に除去される。また、２回目のエッチングで、ダイシングブレード１０１によりダストが形成される恐れのあるパシベーション層１３、および半導体基板１４がブレード領域４１から除去されると共に、パッド部１２１の開口部Ｚ４１が形成される。さらに、３回目のエッチングで配線層１５に開口部Ｚ６１が形成される。

[0056] これにより、レジスト層１３１やレンズ材料層６１が、剥がれることによる外観不良を防止することが可能となる。また、パシベーション層１３や半導体基板１４がダイシングブレードによりダイシングされる際に発生するダストにより固体撮像素子３１の画素部５１の表面に付着して画素不良を起こすといったことが防止される。

[0057] 結果として、固体撮像素子３１の製造に係る歩留まりを向上させ、コストを低減することが可能となる。

[0058] 尚、以上においては、１回目のエッチングで、レンズ材料層６１にパッド部１２１とブレード領域４１とその間が繋がるように開口部Ｚ２１を形成し、２回目以降のエッチングにおいて、パシベーション層１３、半導体基板１４、および配線層１５に、パッド部１２１とブレード領域４１とのそれぞれの領域に独立して開口部Ｚ４１，Ｚ４２，Ｚ６１を形成する例について説明してきた。

[0059] しかしながら、レンズ材料層６１、パシベーション層１３、半導体基板１

４、および配線層１５といった層以上に複数に積層されるような階層構造であるような場合、層を区分けして３回以上のエッチングにより、パッド部１２１とブレード領域４１とのそれぞれに開口部を形成するようにしても良い。この場合、１回目のエッチングのみならず、それ以上の回数のエッチングにおいて、パッド部１２１とブレード領域４１とその間が繋がるように開口部が形成されるようにしてもよい。

[0060] 例えば、固体撮像素子が全部で５層の材質から形成されている場合については、５回のエッチングにより各層において、パッド部１２１とブレード領域４１とのそれぞれに開口部を形成するようにしても良い。また、この場合、１回目と２回目のエッチングにおいて、パッド部１２１とブレード領域４１とその間が繋がるように開口部が形成されるようにしてもよい。このような処理により、パッド部１２１とブレード領域４１とがより近接している場合でもダストの発生を抑制することが可能となる。

[0061] ＜第１の製造例＞

上述した固体撮像素子３１のパッド部の加工により、例えば、図１６で示されるような固体撮像素子３１の製造が可能となる。

[0062] 尚、図１６においては、パッド部１２１およびブレード領域４１を繋いだ開口部からなる、レンズ材料層６１からなる層Ｈ１がエッチングされて開口された後、パッド部１２１およびブレード領域４１のそれぞれが独立して構成された、無機パシベーション層１３および半導体基板１４からなる層Ｈ２がエッチングされる。そして、最後に、パッド部１２１のみの配線層１５からなる層Ｈ３がエッチングされることによりパッド１１１が剥き出しにされる。

[0063] 以上のような構成により、スクライブライン３２のブレード領域４１にダイシングブレード１０１が切り込むことで発生する、飛散ダストや、下地のパシベーション膜が剥がれるといったことがなくなる。結果として、ダストが画素部５１に付着するといったことが防止されるので、固体撮像素子３１の製造に係る歩留まりを向上させ、コストを低減することが可能となる。

[0064] ＜第２の製造例＞

第１の製造例において、例えば、レンズ材料層６１からなる層Ｈ１と共に、無機パシベーション層１３および半導体基板１４からなる層Ｈ２をも、パッド部１２１およびブレード領域４１を繋いだ開口部とするようにしてもよい。

[0065] 図１７は、図１６のレンズ材料層６１からなる層Ｈ１と共に、無機パシベーション層１３および半導体基板１４からなる層Ｈ２をも、パッド部１２１およびブレード領域４１を繋いだ開口部とするようにした固体撮像素子３１の製造例が示されている。

[0066] すなわち、レンズ材料層６１、無機パシベーション層１３および半導体基板１４からなる層Ｈ１１のいずれにおいても、パッド部１２１およびブレード領域４１を繋いだ開口部としてエッチングされた後、配線層１５からなるパッド部１２１の層Ｈ１２のみがエッチングされることにより、パッド１１１が剥き出しに開口される。

[0067] この場合についても同様に、固体撮像素子３１の製造に係る歩留まりを向上させ、コストを低減することが可能となる。

[0068] 尚、図１７においては、図１６における撮像画像を用いて説明している。このため、図１７の第２の製造例については、より詳細には、第１の製造例と異なり、第１の製造例において、図１７で示される画像中に層Ｈ１１に含まれている凸部分については、エッチングにより削り取られた形状とされる。

[0069] ＜第２の実施の形態＞

以上においては、裏面照射型固体撮像素子の構成について説明してきたが、表面照射型でも同様の手法が応用できる。

[0070] 図１８は、表面照射型固体撮像素子の概略の側面断面図である。尚、図１８において、図１５における構成と同一の機能を備えた構成については、同一の名称、および同一の符号を付しており、その説明は適宜省略するものとする。

[0071] すなわち、図１８の表面照射型固体撮像素子において、図１５の裏面照射型固体撮像素子と異なる点は、半導体基板１４に代えて、配線層２０１が設けられている点である。尚、光電変換部８１を含む半導体基板１４は、図中の最下部に設けられている。

[0072] そして、図１８の場合、１回目のエッチングにより、開口部Ｚ１１１が、ガードリング８３を含んで、パッド部１２１およびブレード領域４１を繋ぐようにレンズ材料層６１に形成される。そして、２回目のエッチングにより、パッド部１２１およびブレード領域４１のそれぞれに開口部Ｚ１２１，Ｚ１２２が配線層２０１に形成される。結果として、パッド１１１が剥き出しの状態に加工される。

[0073] このように加工されることにより、表面照射型固体撮像素子の製造においても、裏面照射型固体撮像素子の製造における場合と同様に、スクライブライン３２のブレード領域４１にダイシングブレード１０１が切り込むことで発生する、飛散ダストや、下地のパシベーション膜が剥がれるといったことがなくなる。結果として、係る歩留まりを向上させ、コストを低減することが可能となる。

[0074] ＜第３の製造例＞

上述した固体撮像素子３１のパッド部の加工により、例えば、図１９で示されるような表面照射型の固体撮像素子３１の製造が可能となる。

[0075] 図１９で示される側面断面で示されるように、１回目のエッチングにより、パッド部１２１とブレード領域４１とを繋いだ状態でレンズ材料層６１からなる層Ｈ２０１が剥離されて開口され、２回目のエッチングにより、パッド部１２１のみの配線層２０１からなる層Ｈ２０２が剥離されて開口される。これによりパッド１１１が剥き出しの状態に開口されることになる。

[0076] これを上面図にすると、図２０の左部で示されるように、パッド部１２１（パッド１１１）とブレード領域４１（スクライブライン３２）とを繋いだ位置において、図１９の層Ｈ２０１が１回目のエッチングにより剥離されて開口され、スクライブライン３２上には配線層２０１が剥き出しの状態に開

口される。さらに、図２０の右部で示されるように、パッド部１２１（パッド１１１）とブレード領域４１（スクライブライン３２）との配線層２０１からなる層Ｈ２０２が独立してエッチングされて、パッド部１２１のパッド１１１と、スクライブライン３２上のブレード領域４１の配線層１５とが剥き出しの状態に開口されることになる。尚、図１９は、図２０の右部におけるＡＡ’面である。

[0077] 以上の処理により、表面照射型固体撮像素子においても、スクライブライン３２のブレード領域４１にダイシングブレード１０１が切り込むことで発生する、飛散ダストや、下地のパシベーション膜が剥がれるといったことがなくなる。結果として、製造に係る歩留まりを向上させ、コストを低減することが可能となる。

[0078] ＜第３の実施の形態＞

以上においては、裏面照射型固体撮像素子、および表面照射型固体撮像素子の配線層が単層の構成について説明してきたが、例えば、別途ロジック基板を積層した３次元実装基板からなる固体撮像装置であってもよい。

[0079] 図２１は、３次元実装基板からなる裏面照射型固体撮像素子３１の概略の側面断面図である。尚、図２１の固体撮像素子３１において、図１５の固体撮像素子３１において同一の機能を備えた構成については、同一の名称、および同一の符号を付しており、その説明は適宜省略するものとする。すなわち、図２１において、図１５の固体撮像素子３１と異なるのは、配線層１５の下に、支持基板を含むロジック基板２５１が設けられている点である。このロジック基板２５１は、配線層１５における配線と貫通電極２７１により電気的に接続されており、固体撮像素子３１の光電変換部２２により生成された電荷に基づいて生成される画素信号が、この貫通電極２７１を介してロジック基板２５１に出力される。

[0080] 図２１における固体撮像素子３１の製造にあたっては、図１５と同様に、１回目のエッチングにより、パッド部１２１とブレード領域４１とを繋いだ開口部Ｚ１５１が形成され、２回目のエッチングにより、パッド部１２１と

ブレード領域４１とがそれぞれ独立した開口部Ｚ１６１，Ｚ１６２が半導体基板１４に形成される。

[0081] そして、３回目のエッチングにより、配線層１５およびロジック基板２５１における配線層に、開口部Ｚ１７１が形成されることにより、ロジック基板２５１のパッド１１１が剥き出しの状態とされる。

[0082] このように加工されることにより、３次元実装基板からなる固体撮像素子の製造においても、裏面照射型固体撮像素子、および表面照射型固体撮像素子の製造における場合と同様に、スクライブライン３２のブレード領域４１にダイシングブレード１０１が切り込むことで発生する、飛散ダストや、下地のパシベーション膜が剥がれるといったことがなくなる。結果として、係る歩留まりを向上させ、コストを低減することが可能となる。

[0083] ＜第４の製造例＞

図２２には、具体的に、３次元実装基板からなる固体撮像素子３１のパッド１１１を剥き出しにする加工がなされた製造例の概略の側面断面が示されている。

[0084] 図２２で示されるように、１回目のエッチングによりレンズ材料層６１、およびパシベーション層１３からなる層Ｈ３０１が剥離されて開口される。また、２回目のエッチングにより半導体基板１４からなる層Ｈ３０２が剥離されて開口される。そして、３回目のエッチングにより配線層１５およびロジック基板２５１の配線層からなる層Ｈ３０３が剥離されて、ロジック基板２５１のパッド１１１が剥き出しの状態に開口される。

[0085] このような加工により、ブレード領域４１、およびパッド部１２１が近接した状態に設計されていても、１回目のエッチングによりレンズ材料層６１やパシベーション層１３におけるブレード領域４１、およびパッド部１２１を含む開口部が形成されることにより、ブレード領域４１、およびパッド部１２１の間のレジスト層１３１、レンズ材料層６１、およびパシベーション層１３からなるダストの発生を抑制することが可能となる。また、ブレード領域４１、およびパッド部１２１が近接した状態に設計されることにより１

枚のウェハから取り出せる固体撮像素子数を増やすことが可能となる。

[0086] 結果として、ダストの発生による外形形状の変形や、固体撮像素子３１の画素部５１にダストが入り込むといったことを防止することが可能となり、製品の歩留まりを向上させ、製造コストの低減を図ることが可能となる。

[0087] 尚、以上の説明に使用したエッチング作業はドライエッチングを用いても、ウェットエッチングを用いても構わない。同様に、レジスト層１３１に形成されるパッド部１２１、およびブレード領域４１のエッチングパターンについても、ポジティブ型フォトレジスト、ネガティブ型フォトレジスト及び、ＳｉＯまたはＳｉＮのような無機膜によるハードマスクを使用しても構わない。

[0088] 以上の如く、ウェハ表面より深い位置に存在するパッドとスクライブラインの位置関係を遠ざけること無く、両者の間から発生するダストを抑制することが可能な裏面照射型固体撮像装置、表面型固体撮像素子、および３次元実装基板を製造することが可能となる。

[0089] また、表面にポリイミド等のパシベーションを有する集積回路チップの製造にも応用することができる。

[0090] さらに、スクライブラインとパッドのみならず、パッドとパッドの間の距離も遠ざける必要が無くなるため、こちらについてもチップサイズの拡大の防止対策となる。例えば、複数回あるパッドエッチの途中で、無機または有機の保護膜を表面に形成することで、パッド部およびブレード領域の開口部側壁の保護や絶縁性を高めことも可能となる。

[0091] ＜電子機器への適用例＞

上述した固体撮像素子は、例えば、デジタルスチルカメラやデジタルビデオカメラなどの撮像装置、撮像機能を備えた携帯電話機、または、撮像機能を備えた他の機器といった各種の電子機器に適用することができる。

[0092] 図２３は、本技術を適用した電子機器としての撮像装置の構成例を示すブロック図である。

[0093] 図２３に示される撮像装置１００１は、光学系１００２、シャッタ装置１

００３、固体撮像素子１００４、駆動回路１００５、信号処理回路１００６、モニタ１００７、およびメモリ１００８を備えて構成され、静止画像および動画像を撮像可能である。

[0094] 光学系１００２は、１枚または複数枚のレンズを有して構成され、被写体からの光（入射光）を固体撮像素子１００４に導き、固体撮像素子１００４の受光面に結像させる。

[0095] シャッタ装置１００３は、光学系１００２および固体撮像素子１００４の間に配置され、駆動回路１００５の制御に従って、固体撮像素子１００４への光照射期間および遮光期間を制御する。

[0096] 固体撮像素子１００４は、上述した固体撮像素子３１を含むパッケージにより構成される。固体撮像素子１００４は、光学系１００２およびシャッタ装置１００３を介して受光面に結像される光に応じて、一定期間、信号電荷を蓄積する。固体撮像素子１００４に蓄積された信号電荷は、駆動回路１００５から供給される駆動信号（タイミング信号）に従って転送される。

[0097] 駆動回路１００５は、固体撮像素子１００４の転送動作、および、シャッタ装置１００３のシャッタ動作を制御する駆動信号を出力して、固体撮像素子１００４およびシャッタ装置２０３を駆動する。

[0098] 信号処理回路１００６は、固体撮像素子１００４から出力された信号電荷に対して各種の信号処理を施す。信号処理回路１００６が信号処理を施すことにより得られた画像（画像データ）は、モニタ１００７に供給されて表示されたり、メモリ１００８に供給されて記憶（記録）されたりする。

[0099] このように構成されている撮像装置１００１においても、上述した固体撮像素子１００４に代えて、固体撮像素子１を適用することにより、全画素でFD変換効率の切り替えを実現させることが可能となる。

＜固体撮像素子の使用例＞

[0100] 図２４は、上述の固体撮像素子３１を使用する使用例を示す図である。

[0101] 上述した固体撮像素子３１は、例えば、以下のように、可視光や、赤外光、紫外光、X線等の光をセンシングする様々なケースに使用することができる

。

[0102] ・ディジタルカメラや、カメラ機能付きの携帯機器等の、鑑賞の用に供される画像を撮影する装置

・自動停止等の安全運転や、運転者の状態の認識等のために、自動車の前方や後方、周囲、車内等を撮影する車載用センサ、走行車両や道路を監視する監視カメラ、車両間等の測距を行う測距センサ等の、交通の用に供される装置

・ユーザのジェスチャを撮影して、そのジェスチャに従った機器操作を行うために、TVや、冷蔵庫、エアーコンディショナ等の家電に供される装置

・内視鏡や、赤外光の受光による血管撮影を行う装置等の、医療やヘルスケアの用に供される装置

・防犯用途の監視カメラや、人物認証用途のカメラ等の、セキュリティの用に供される装置

・肌を撮影する肌測定器や、頭皮を撮影するマイクロスコープ等の、美容の用に供される装置

・スポーツ用途等向けのアクションカメラやウェアラブルカメラ等の、スポーツの用に供される装置

・畑や作物の状態を監視するためのカメラ等の、農業の用に供される装置

[0103] 尚、本技術は、以下のような構成も取ることができる。

（１） 半導体基板中に複数の半導体チップが形成され、接続用のパッドを開口するにあたって、前記パッドを開口するエッチングを層単位で複数回に分けて行う際、前記エッチングがなされる単位となる層の複数のうちの一部の層は、前記パッドの開口を形成するエッチングと同時にスクライブライン部を開口するエッチングがなされ、両者間を繋ぐ領域の一部または全部がエッチング除去されている

半導体装置。

（２） 前記エッチングがなされる単位となる層の一部の層は、前記複数回に分けて行われるエッチングのうち、最初にエッチングされる層を含む

（１）に記載の半導体装置。

（３） 前記エッチングがなされる単位となる層の一部の層は、前記複数回に分けて行われるエッチングのうちの、前記最初にエッチングされる層を含む複数の層である

（１）に記載の半導体装置。

（４） 前記エッチングがなされる単位となる層の一部の層は、前記半導体装置の周囲のブレードダイシングを行うスクライブライン部のブレード領域から前記パッドを含む領域までを繋いだパターンで一部または全部が一括でエッチングされた層を含む

（１）に記載の半導体装置。

（５） 前記半導体装置は、貫通電極を設けた半導体ウェハ同士を相互に貼り合わせて複数積層した３次元実装基板である

（１）乃至（４）のいずれかに記載の半導体装置。

（６） 半導体基板中に複数の半導体チップが形成され、接続用のパッドを開口するにあたって、前記パッドを開口するエッチングを層単位で複数回に分けて行う際、前記エッチングがなされる単位となる層の複数のうちの一部の層を、前記パッドの開口を形成するエッチングと同時にスクライブライン部の開口を形成するエッチングを行うと共に、前記パッド部の開口部と、前記スクライブライン部の開口部とを繋ぐ領域の一部または全部のエッチングを行う第１の工程と、

前記第１の工程の後、前記パッドのみの開口を形成するエッチングを行う第２の工程とを含む

半導体装置の製造方法。

（７） 前記第１の工程の後、前記第２の工程の前、前記パッドの開口を形成するエッチングと同時にスクライブライン部の開口を形成するエッチングとを、独立した領域で行う第３の工程を含む

（６）に記載の半導体装置の製造方法。

（８） 入射光を集光する集光光学部と、

前記集光光学部で集光した光を光量に応じた電気信号に変換する光電変換部と、

複数の前記光電変換部からなる複数の画素部と、

前記画素部が形成された半導体基板の一面側に配線層と、

光電変換された信号を処理する信号処理部とを含む固体撮像素子であって、

前記固体撮像素子を構成する半導体基板中に複数の半導体チップが形成され、接続用のパッドを開口するにあたって、前記パッドを開口するエッチングを層単位で複数回に分けて行う際、前記エッチングがなされる単位となる層の複数のうちの一部の層は、前記パッドの開口を形成するエッチングと同時に、前記固体撮像装置の周囲のブレードダイシングを行うスクライブライン部を開口するエッチングがなされ、両者間を繋ぐ領域の一部または全部がエッチング除去されている

固体撮像素子。

（９） 前記光電変換部は、前記配線層が形成されている面より入射される光を受光する

（８）に記載の固体撮像素子。

（１０） 前記光電変換部は、前記配線層が形成されている面とは反対側より入射される光を受光する

（８）に記載の固体撮像素子。

（１１） 入射光を集光する集光光学部と、

前記集光光学部で集光した光を光量に応じた電気信号に変換する光電変換部と、

複数の前記光電変換部からなる複数の画素部と、

前記画素部が形成された半導体基板の一面側に配線層と、

光電変換された信号を処理する信号処理部とを有する固体撮像素子を含む撮像装置であって、

前記固体撮像素子を構成する半導体基板中に複数の半導体チップが形成さ

れ、接続用のパッドを開口するにあたって、前記パッドを開口するエッチングを層単位で複数回に分けて行う際、前記エッチングがなされる単位となる層の複数のうちの一部の層は、前記パッドの開口を形成するエッチングと同時に、前記固体撮像装置の周囲のブレードダイシングを行うスクライブライン部を開口するエッチングがなされ、両者間を繋ぐ領域の一部または全部がエッチング除去されている

撮像装置。

（１２） 入射光を集光する集光光学部と、

前記集光光学部で集光した光を光量に応じた電気信号に変換する光電変換部と、

複数の前記光電変換部からなる複数の画素部と、

前記画素部が形成された半導体基板の一面側に配線層と、

光電変換された信号を処理する信号処理部とを有する固体撮像素子を含む電子機器であって、

前記固体撮像素子を構成する半導体基板中に複数の半導体チップが形成され、接続用のパッドを開口するにあたって、前記パッドを開口するエッチングを層単位で複数回に分けて行う際、前記エッチングがなされる単位となる層の複数のうちの一部の層は、前記パッドの開口を形成するエッチングと同時に、前記固体撮像装置の周囲のブレードダイシングを行うスクライブライン部を開口するエッチングがなされ、両者間を繋ぐ領域の一部または全部がエッチング除去されている

電子機器。

## 符号の説明

[0104] １１ レンズフィルタ層, １２ 平坦化層, １３ パシベーション層, １４ 半導体基板, １５ 配線層, １６ 支持基板, ３１ 固体撮像素子, ３２ スクライブライン, ４１ ブレード領域, ５１ 画素部, ６１ レンズ材料層, ７１ 集光レンズ層, ７２ カラーフィルタ層, ８１ 光電変換部, ８２ 活性層, ８３ ガードリング,

９１　配線，　９２　絶縁膜，　１０１　ブレード，　１１１　パッド，１２１　パッド部，　１３１　レジスト層，　２０１　配線層，　２５１　配線層，　２７１　貫通電極

# 請求の範囲

[請求項1] 半導体基板中に複数の半導体チップが形成され、接続用のパッドを開口するにあたって、前記パッドを開口するエッチングを層単位で複数回に分けて行う際、前記エッチングがなされる単位となる層の複数のうちの一部の層は、前記パッドの開口を形成するエッチングと同時にスクライブライン部を開口するエッチングがなされ、両者間を繋ぐ領域の一部または全部がエッチング除去されている

半導体装置。

[請求項2] 前記エッチングがなされる単位となる層の一部の層は、前記複数回に分けて行われるエッチングのうち、最初にエッチングされる層を含む

請求項１に記載の半導体装置。

[請求項3] 前記エッチングがなされる単位となる層の一部の層は、前記複数回に分けて行われるエッチングのうちの、前記最初にエッチングされる層を含む複数の層である

請求項１に記載の半導体装置。

[請求項4] 前記エッチングがなされる単位となる層の一部の層は、前記半導体装置の周囲のブレードダイシングを行うスクライブライン部のブレード領域から前記パッドを含む領域までを繋いだパターンで一部または全部が一括でエッチングされた層を含む

請求項１に記載の半導体装置。

[請求項5] 前記半導体装置は、貫通電極を設けた半導体ウェハ同士を相互に貼り合わせて複数積層した３次元実装基板である

請求項１に記載の半導体装置。

[請求項6] 半導体基板中に複数の半導体チップが形成され、接続用のパッドを開口するにあたって、前記パッドを開口するエッチングを層単位で複数回に分けて行う際、前記エッチングがなされる単位となる層の複数のうちの一部の層を、前記パッドの開口を形成するエッチングと同時

にスクライブライン部の開口を形成するエッチングを行うと共に、前記パッド部の開口部と、前記スクライブライン部の開口部とを繋ぐ領域の一部または全部のエッチングを行う第１の工程と、

前記第１の工程の後、前記パッドのみの開口を形成するエッチングを行う第２の工程とを含む

半導体装置の製造方法。

[請求項7] 前記第１の工程の後、前記第２の工程の前、前記パッドの開口を形成するエッチングと同時にスクライブライン部の開口を形成するエッチングとを、独立した領域で行う第３の工程を含む

請求項６に記載の半導体装置の製造方法。

[請求項8] 入射光を集光する集光光学部と、

前記集光光学部で集光した光を光量に応じた電気信号に変換する光電変換部と、

複数の前記光電変換部からなる複数の画素部と、

前記画素部が形成された半導体基板の一面側に配線層と、

光電変換された信号を処理する信号処理部とを含む固体撮像素子であって、

前記固体撮像素子を構成する半導体基板中に複数の半導体チップが形成され、接続用のパッドを開口するにあたって、前記パッドを開口するエッチングを層単位で複数回に分けて行う際、前記エッチングがなされる単位となる層の複数のうちの一部の層は、前記パッドの開口を形成するエッチングと同時に、前記固体撮像装置の周囲のブレードダイシングを行うスクライブライン部を開口するエッチングがなされ、両者間を繋ぐ領域の一部または全部がエッチング除去されている

固体撮像素子。

[請求項9] 前記光電変換部は、前記配線層が形成されている面より入射される光を受光する

請求項８に記載の固体撮像素子。

[請求項10] 前記光電変換部は、前記配線層が形成されている面とは反対側より入射される光を受光する

請求項８に記載の固体撮像素子。

[請求項11] 入射光を集光する集光光学部と、

前記集光光学部で集光した光を光量に応じた電気信号に変換する光電変換部と、

複数の前記光電変換部からなる複数の画素部と、

前記画素部が形成された半導体基板の一面側に配線層と、

光電変換された信号を処理する信号処理部とを有する固体撮像素子を含む撮像装置であって、

前記固体撮像素子を構成する半導体基板中に複数の半導体チップが形成され、接続用のパッドを開口するにあたって、前記パッドを開口するエッチングを層単位で複数回に分けて行う際、前記エッチングがなされる単位となる層の複数のうちの一部の層は、前記パッドの開口を形成するエッチングと同時に、前記固体撮像装置の周囲のブレードダイシングを行うスクライブライン部を開口するエッチングがなされ、両者間を繋ぐ領域の一部または全部がエッチング除去されている

撮像装置。

[請求項12] 入射光を集光する集光光学部と、

前記集光光学部で集光した光を光量に応じた電気信号に変換する光電変換部と、

複数の前記光電変換部からなる複数の画素部と、

前記画素部が形成された半導体基板の一面側に配線層と、

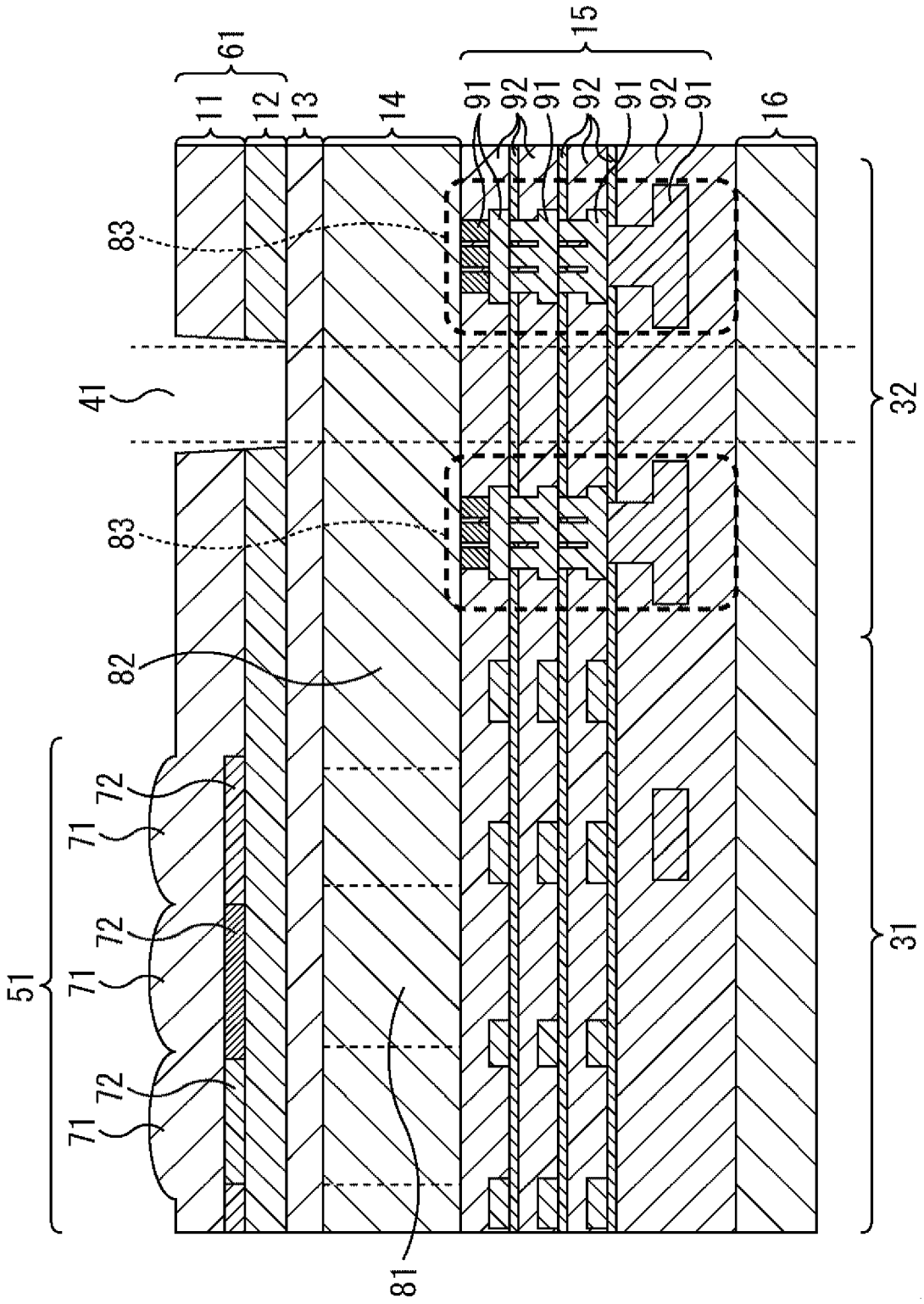
光電変換された信号を処理する信号処理部とを有する固体撮像素子を含む電子機器であって、

前記固体撮像素子を構成する半導体基板中に複数の半導体チップが形成され、接続用のパッドを開口するにあたって、前記パッドを開口するエッチングを層単位で複数回に分けて行う際、前記エッチングが

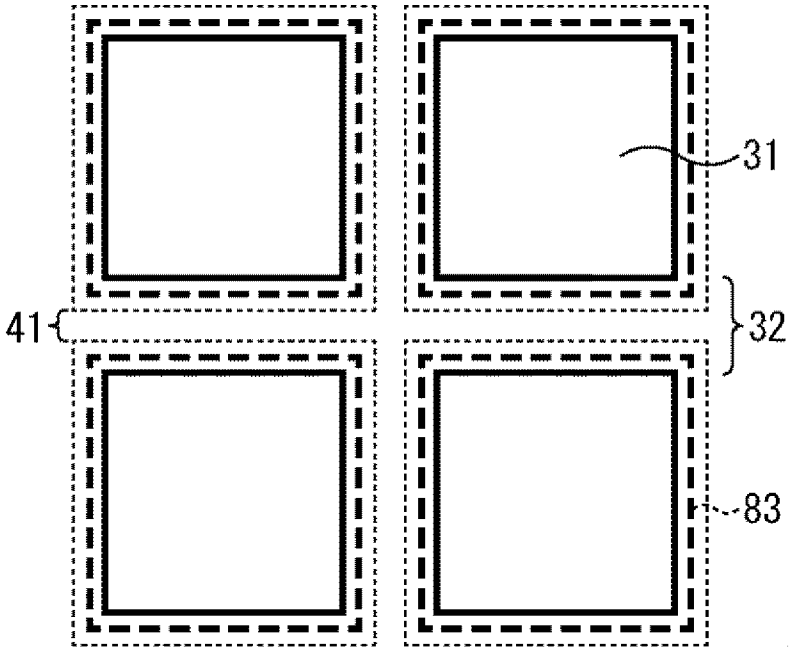
なされる単位となる層の複数のうちの一部の層は、前記パッドの開口を形成するエッチングと同時に、前記固体撮像装置の周囲のブレードダイシングを行うスクライブライン部を開口するエッチングがなされ、両者間を繋ぐ領域の一部または全部がエッチング除去されている

電子機器。

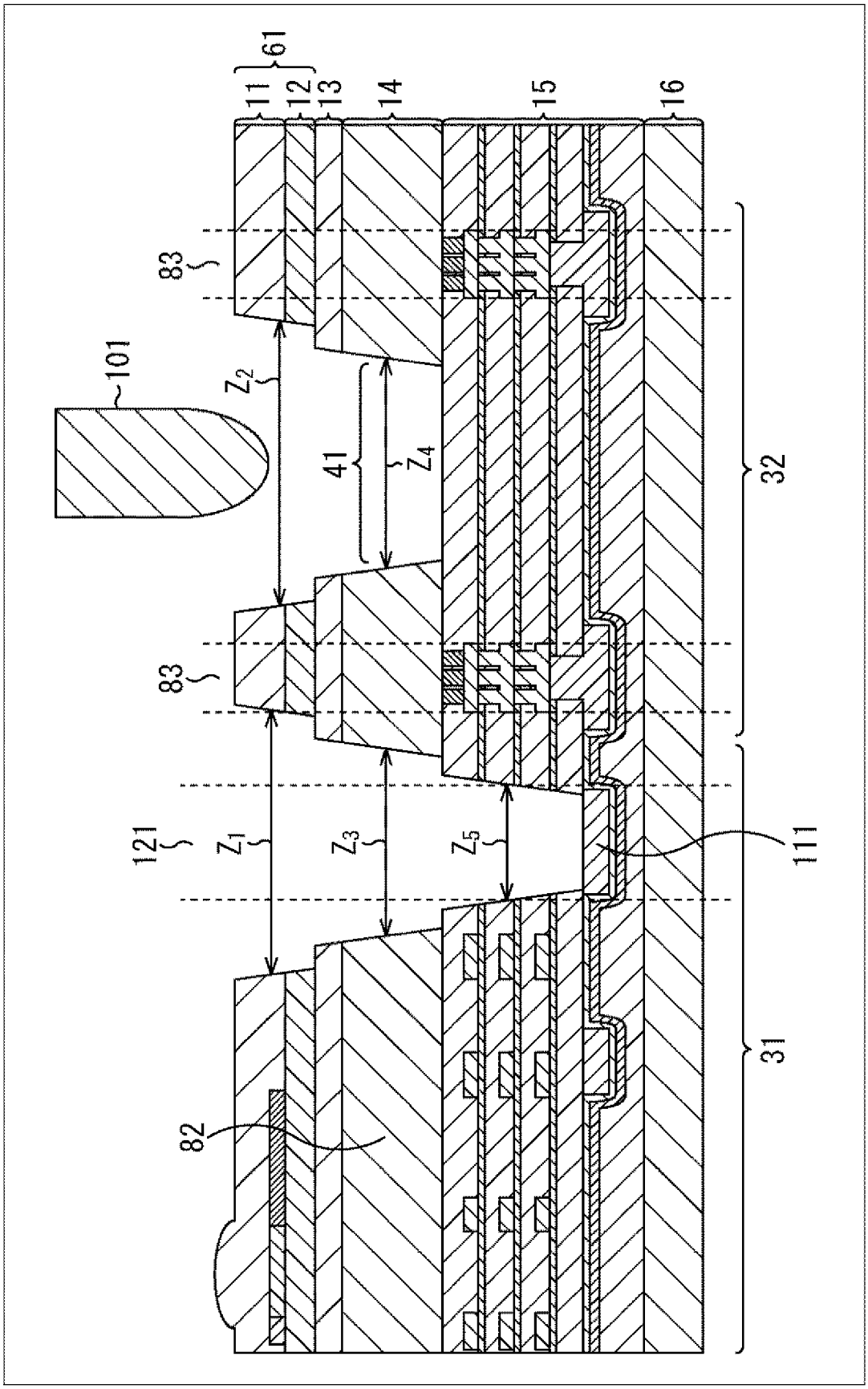
[図1]
図1


61
11
12
13
14
15
91
92
91
92
91
92
91
16
83
41
83
82
72
71
72
71
72
71
51
81
32
31

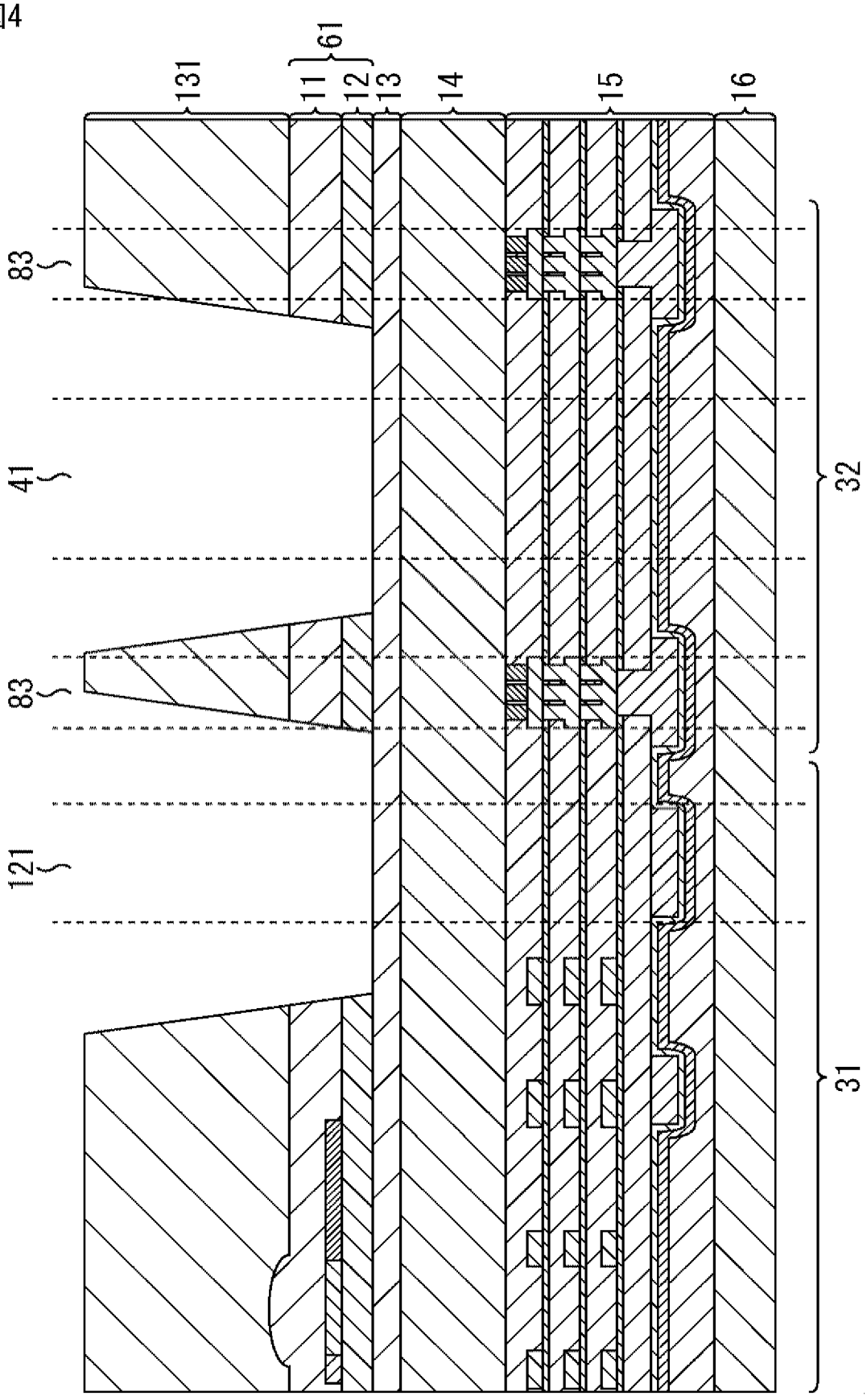
[図2]
図2



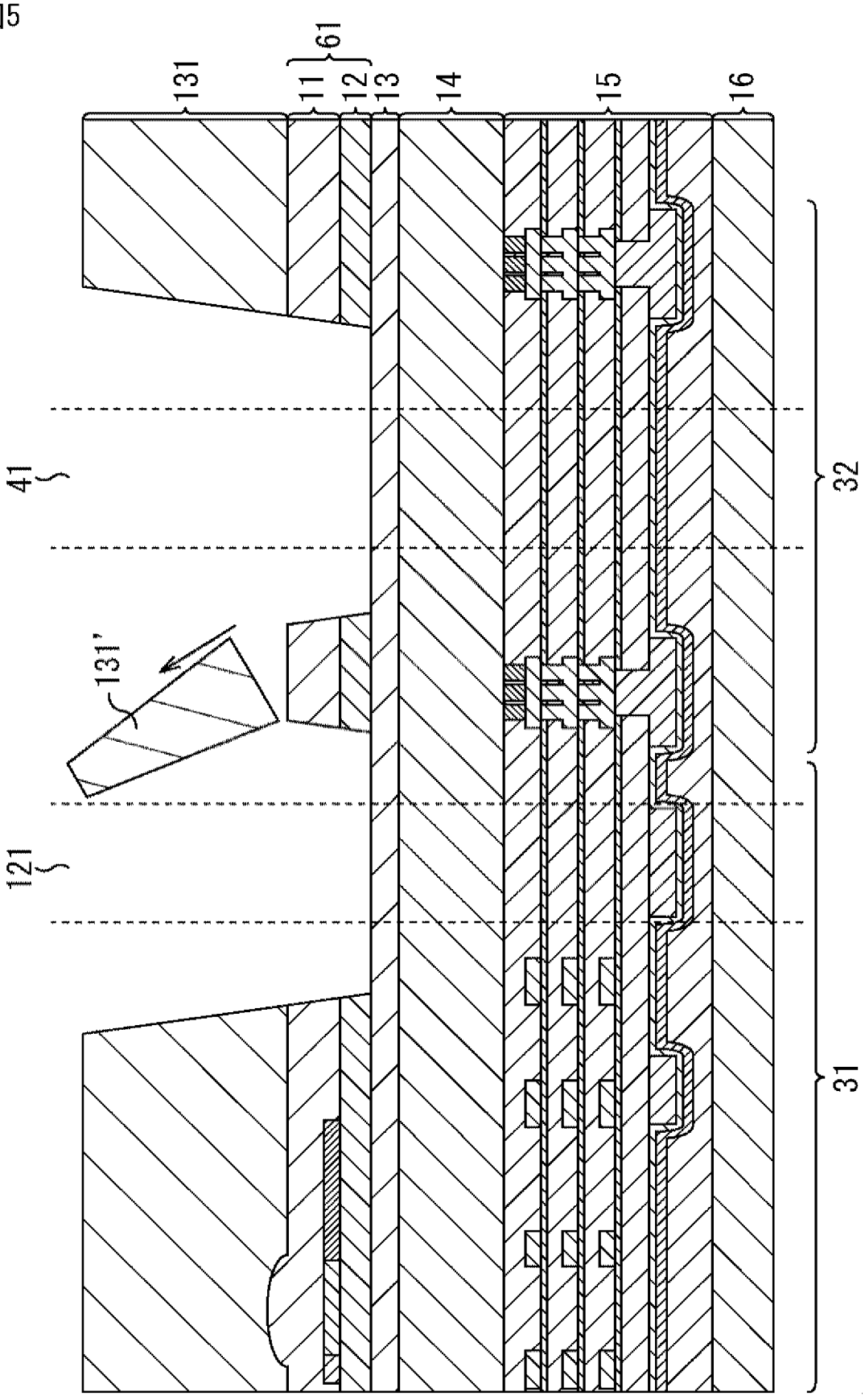
[図3]
図3



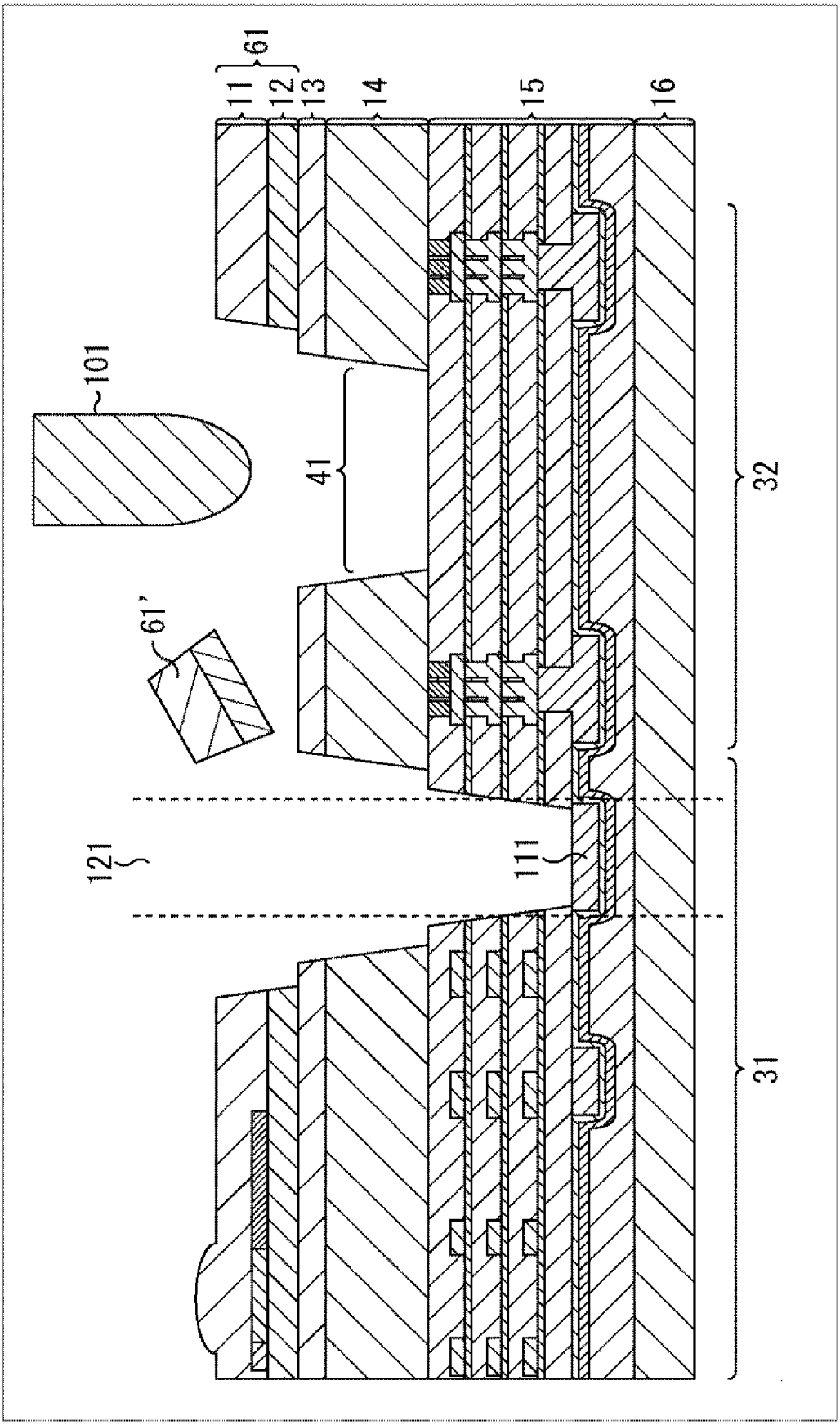
[図4]
図4



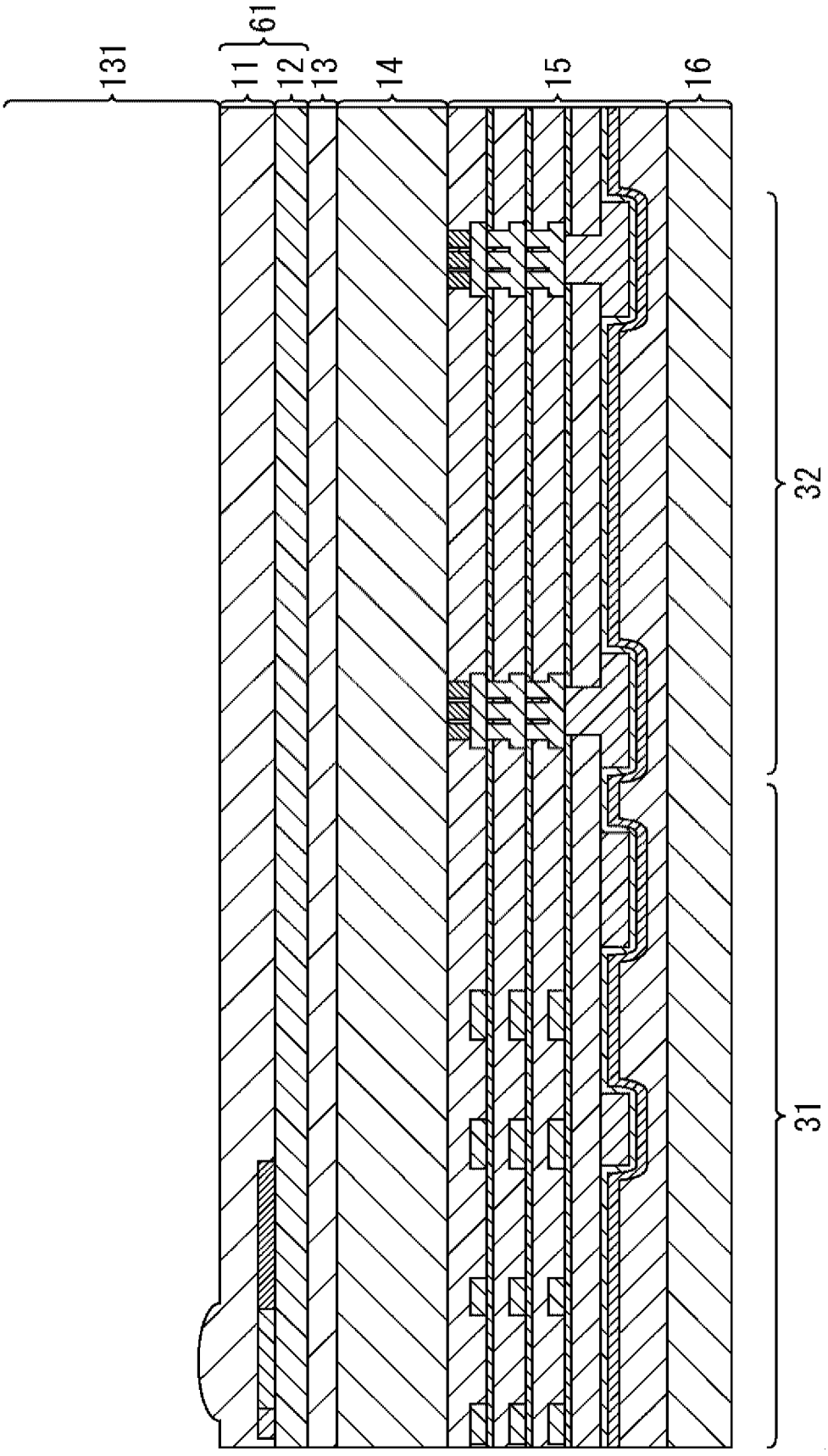
[図5]
図5



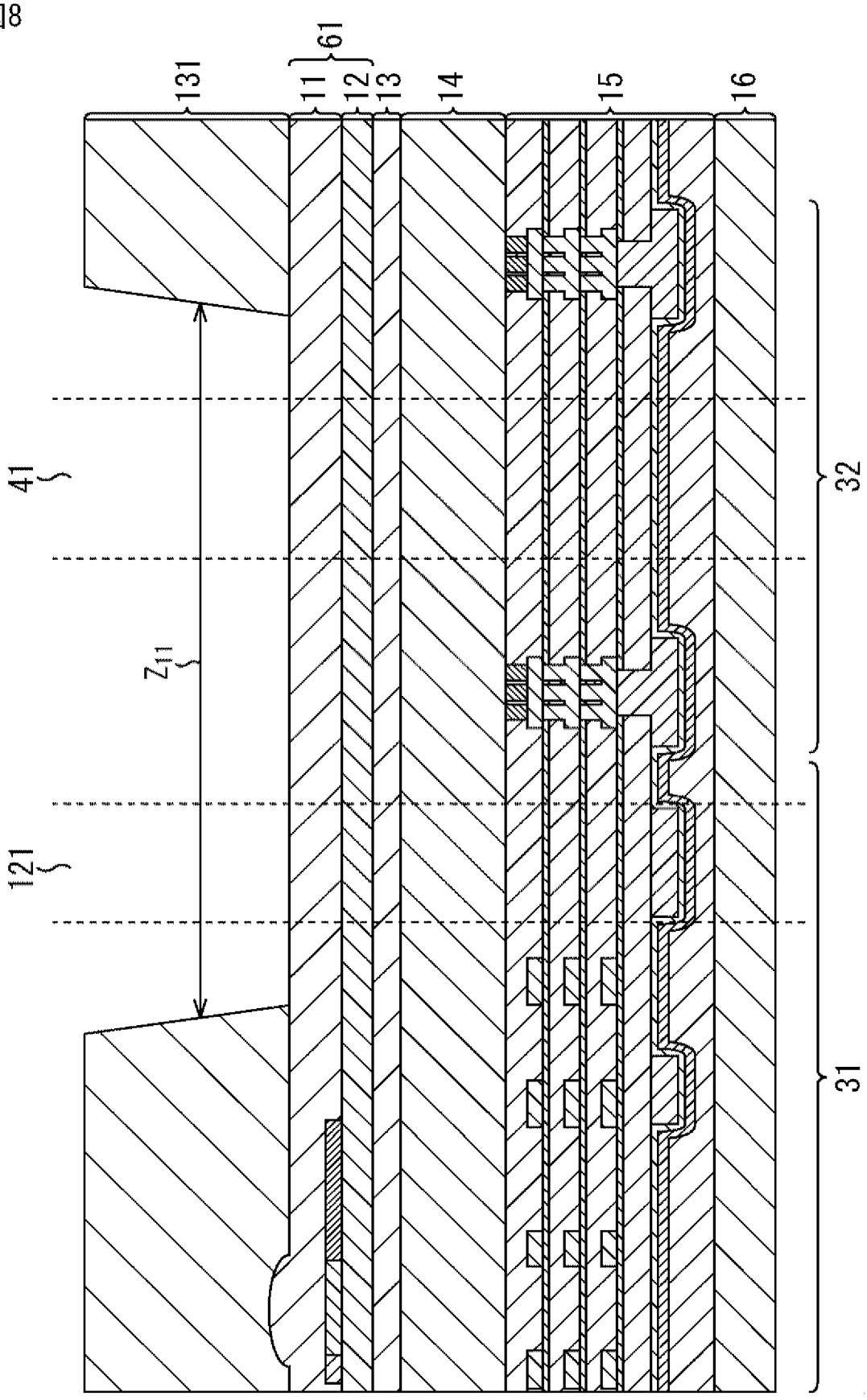
[図6]
図6



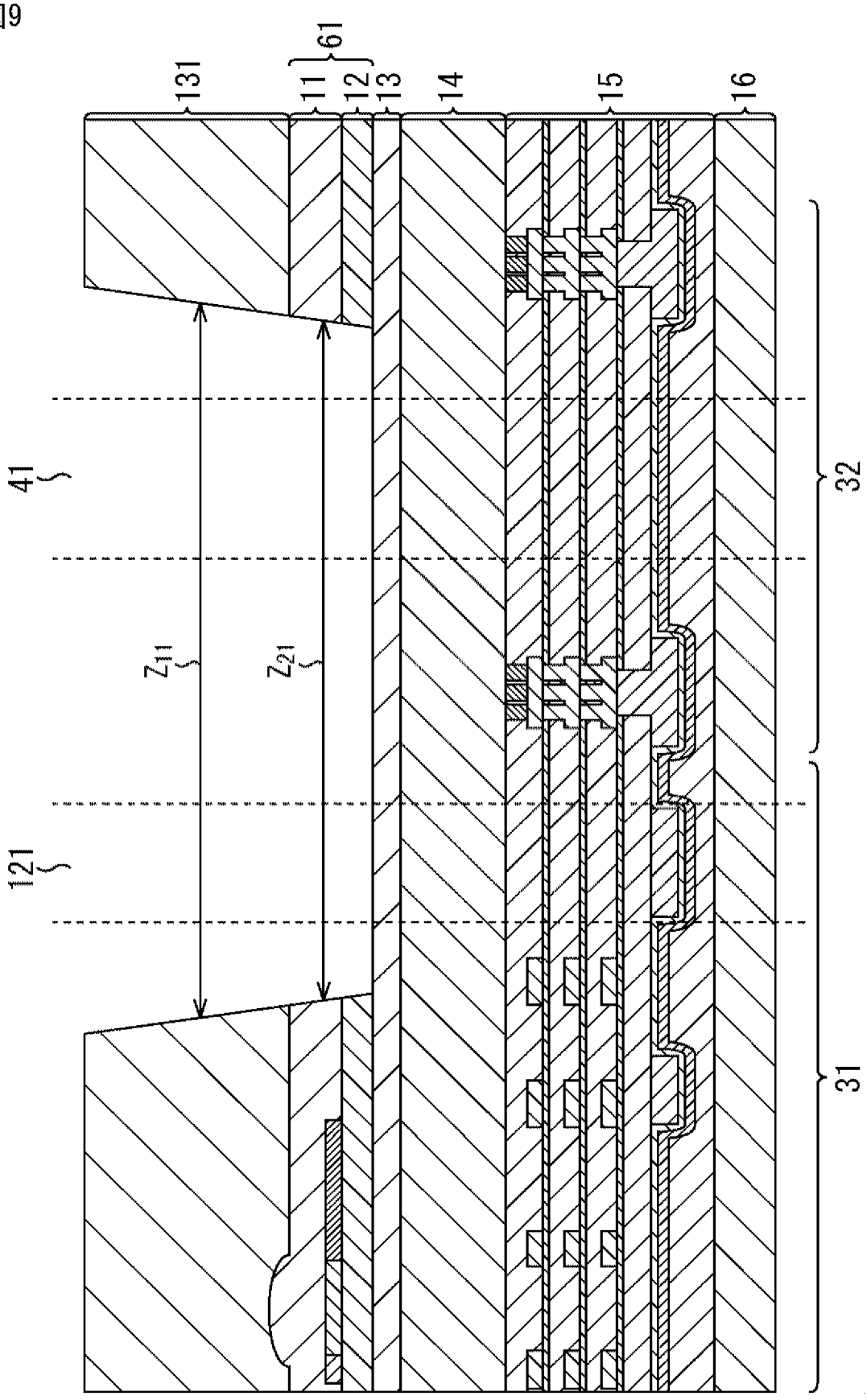
[図7]
図7



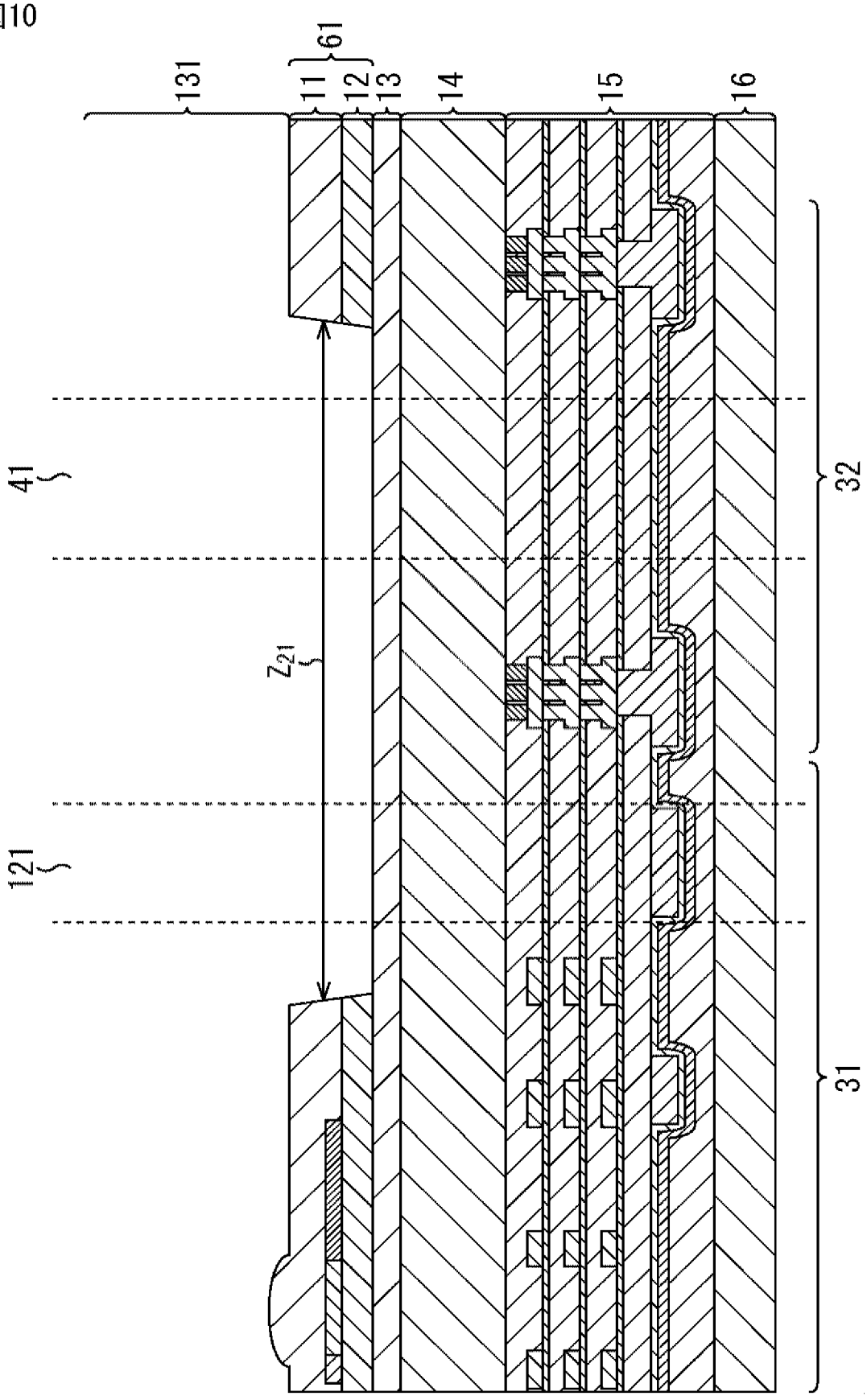
[図8]
図8



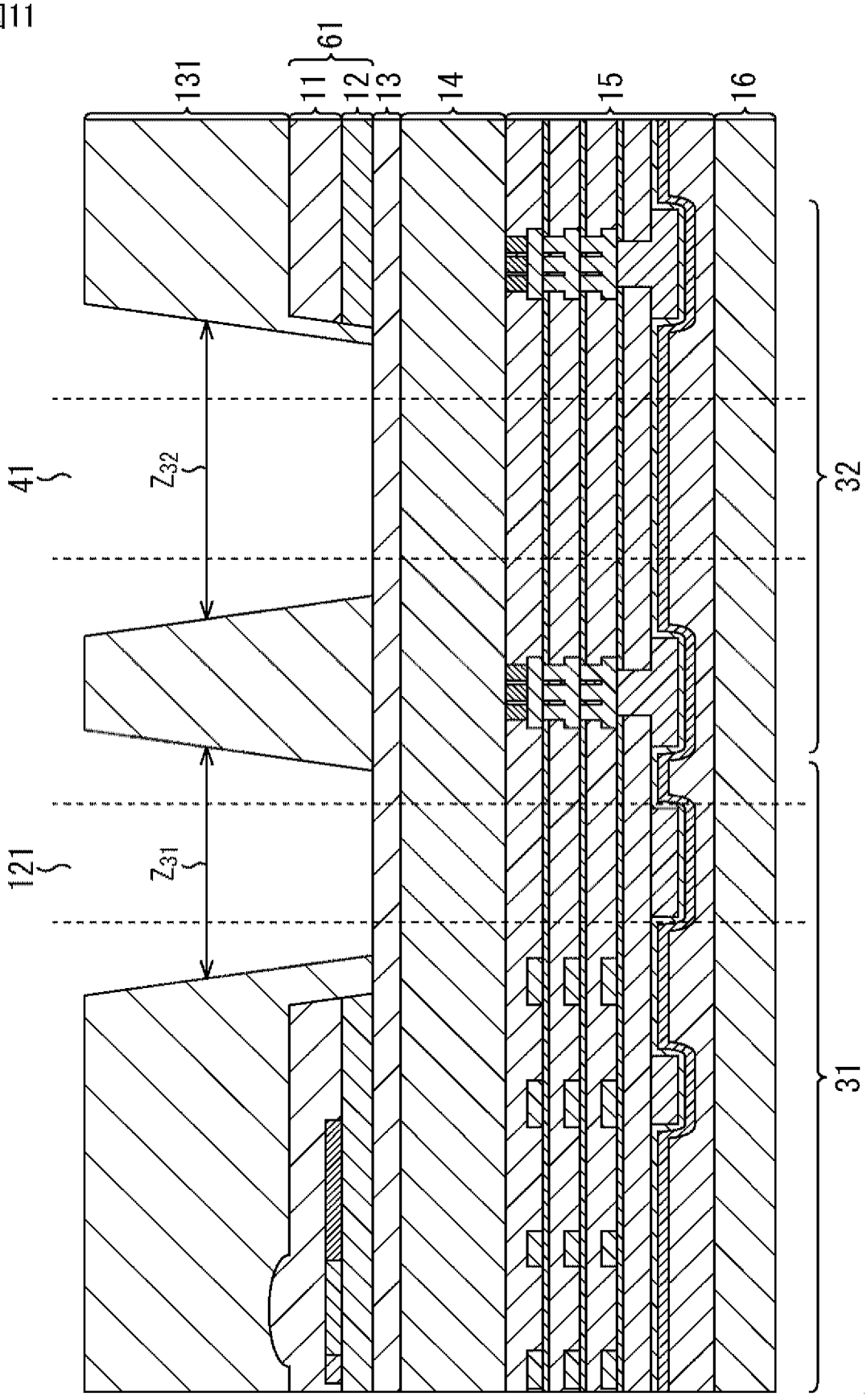
[図9]
図9



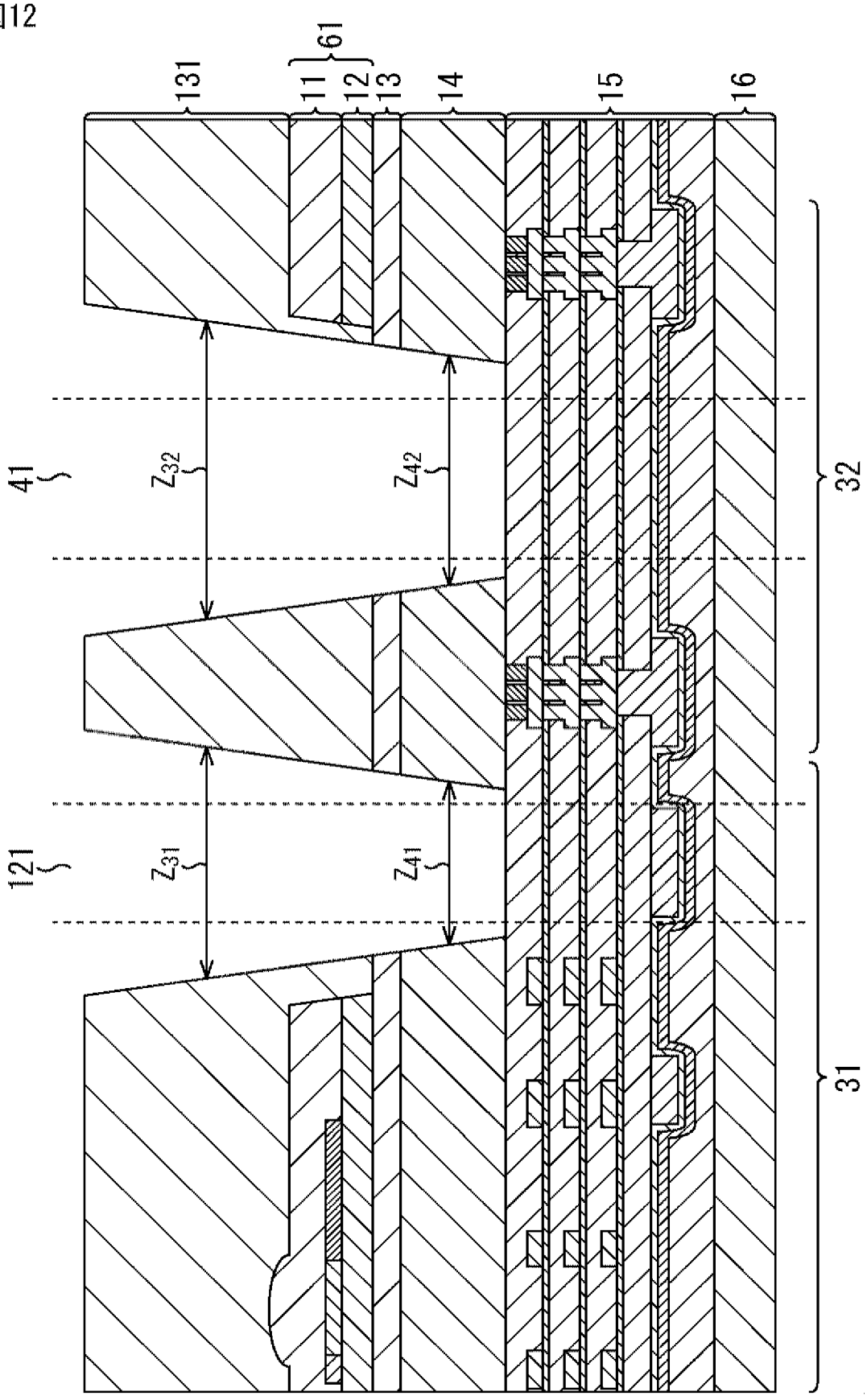
[図10]
図10



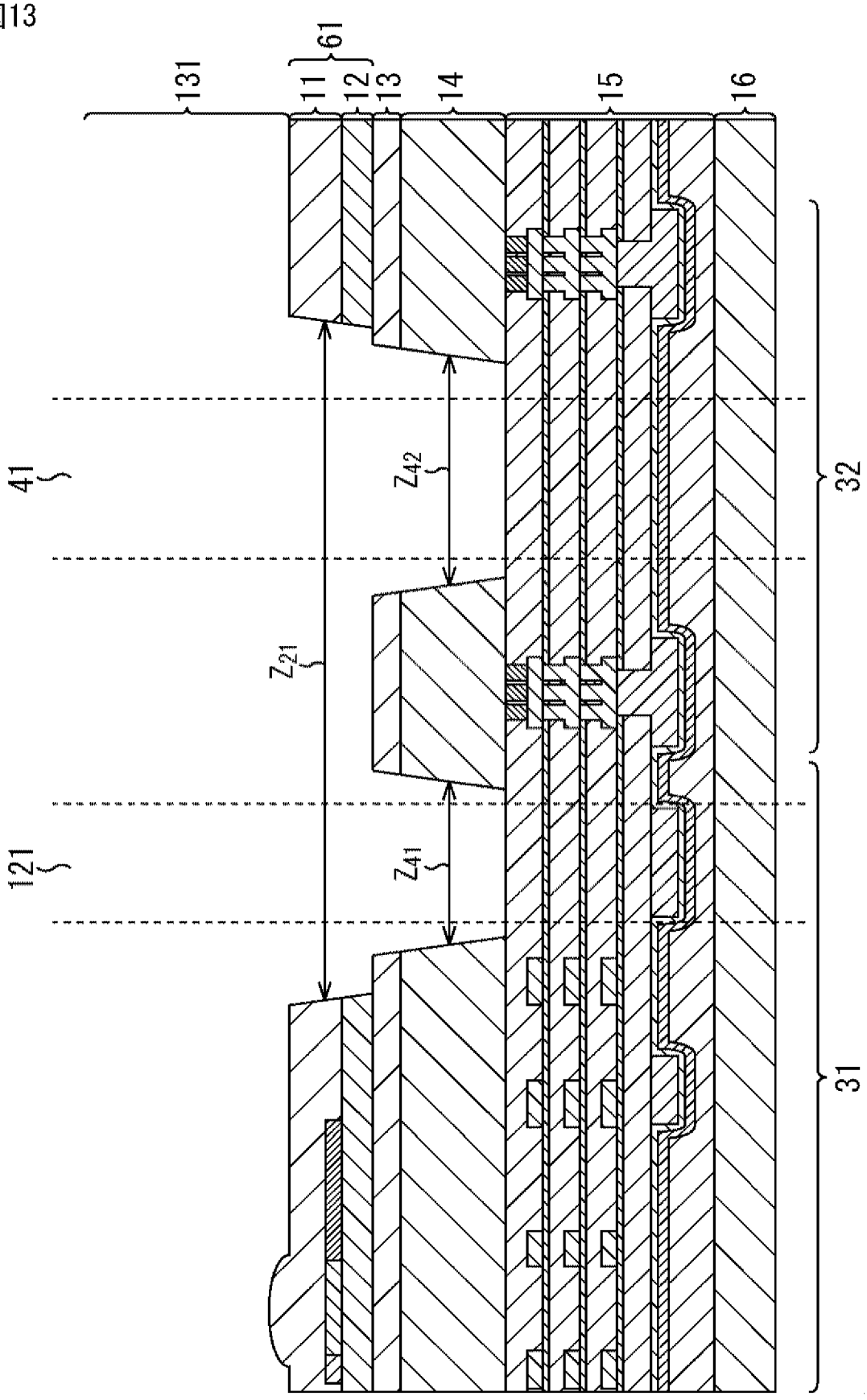
[図11]
図11



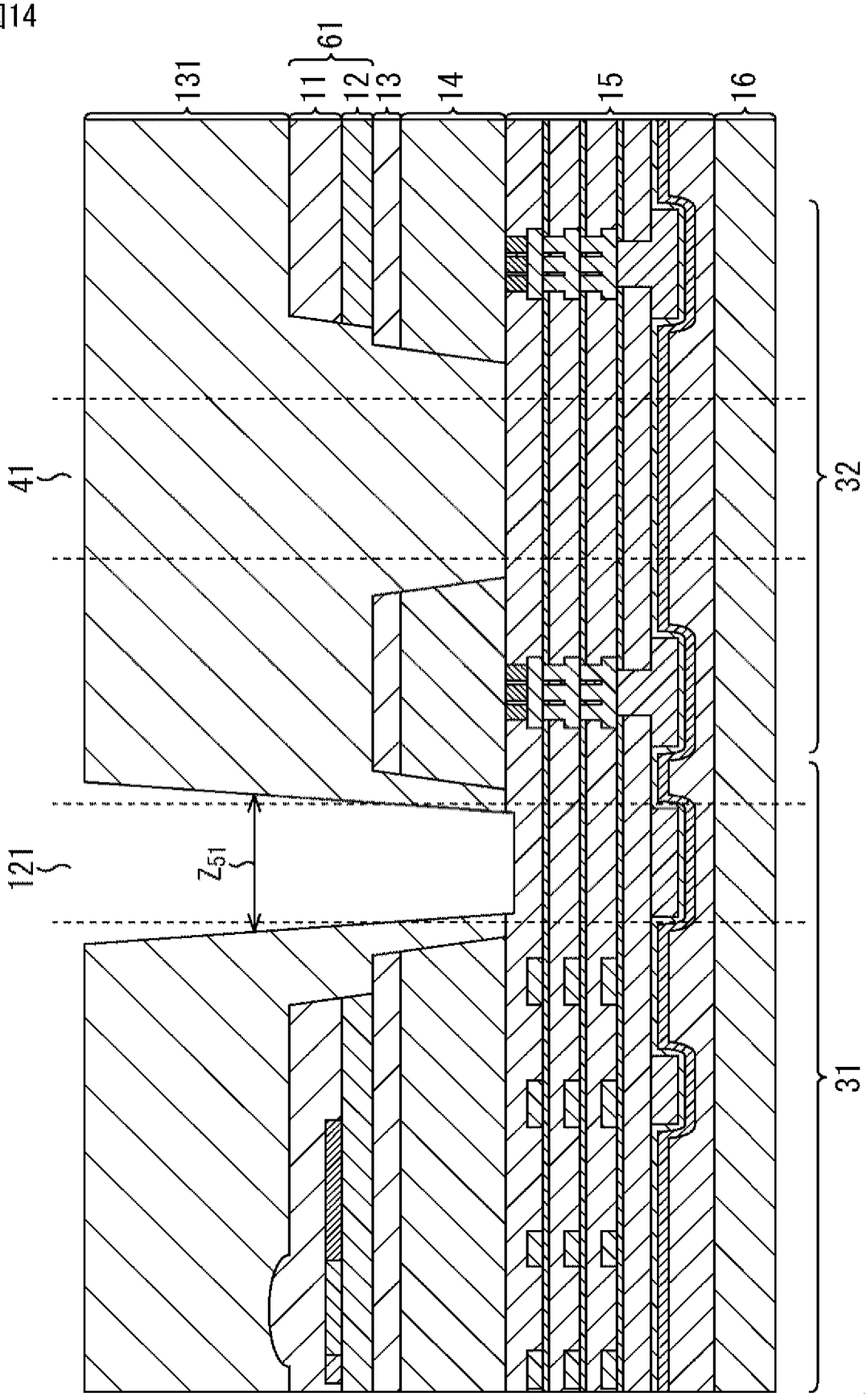
[図12]
図12



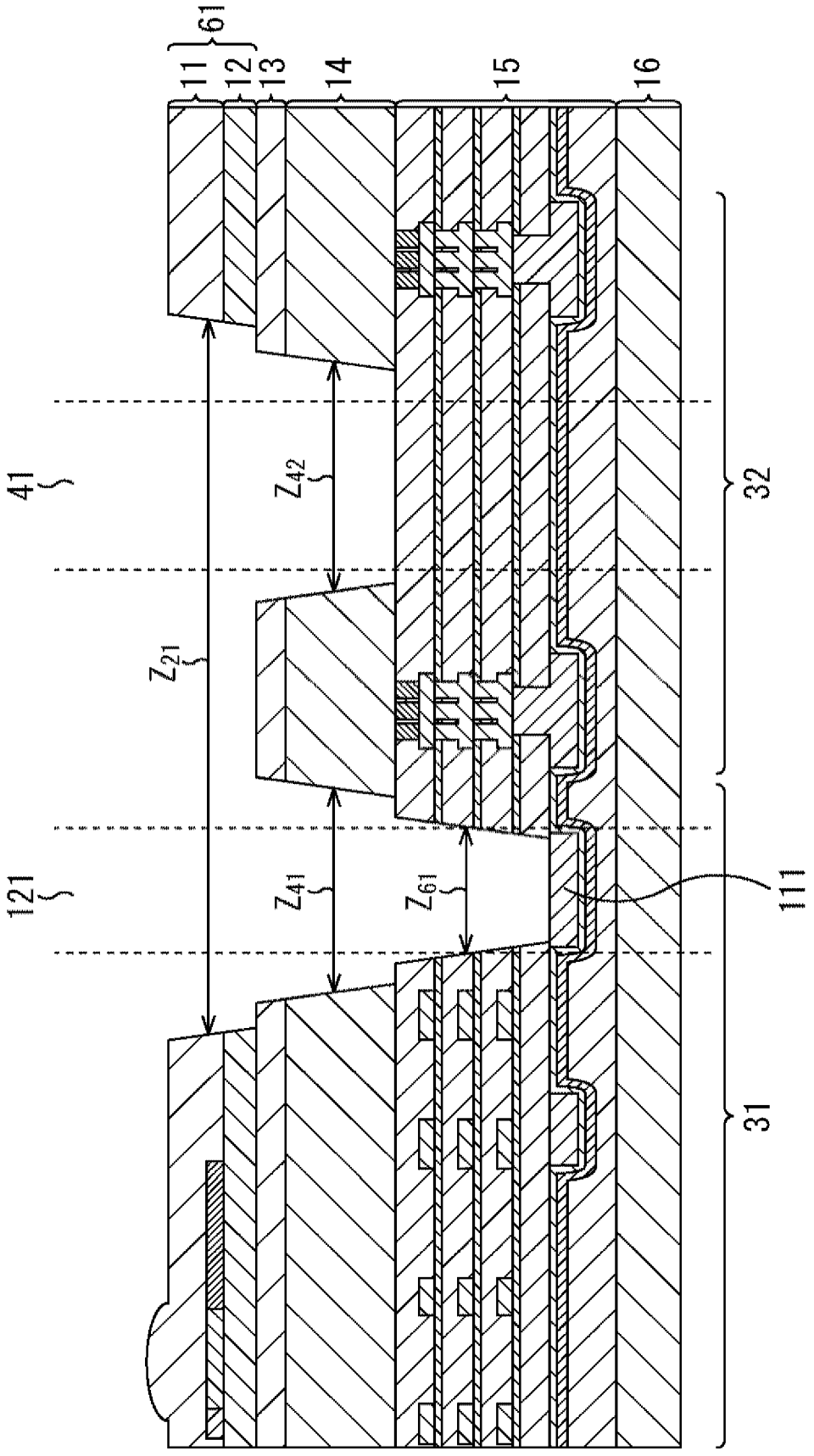
[図13]
図13



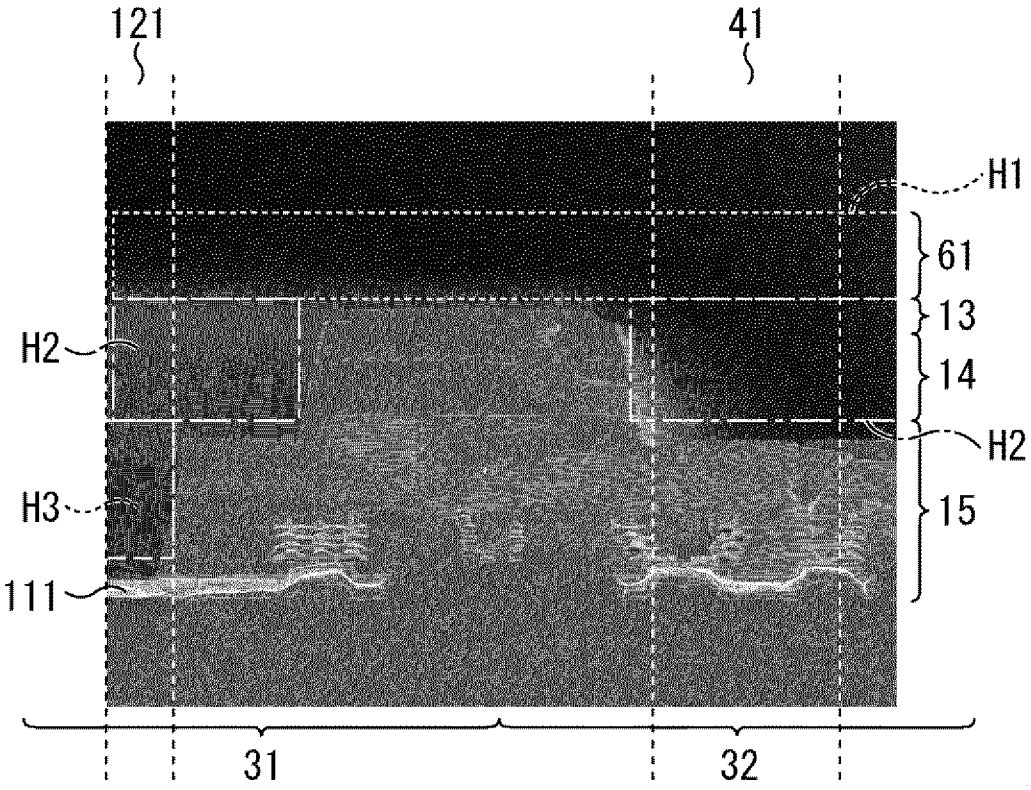
[図14]
図14



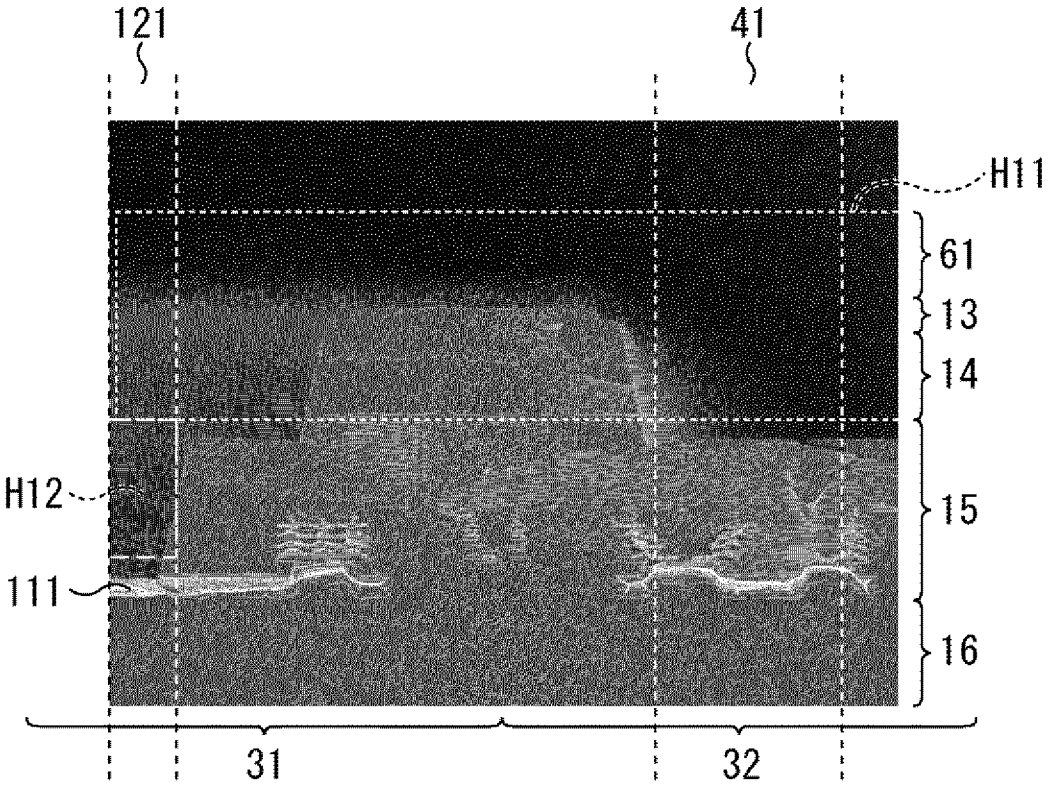
[図15]
図15



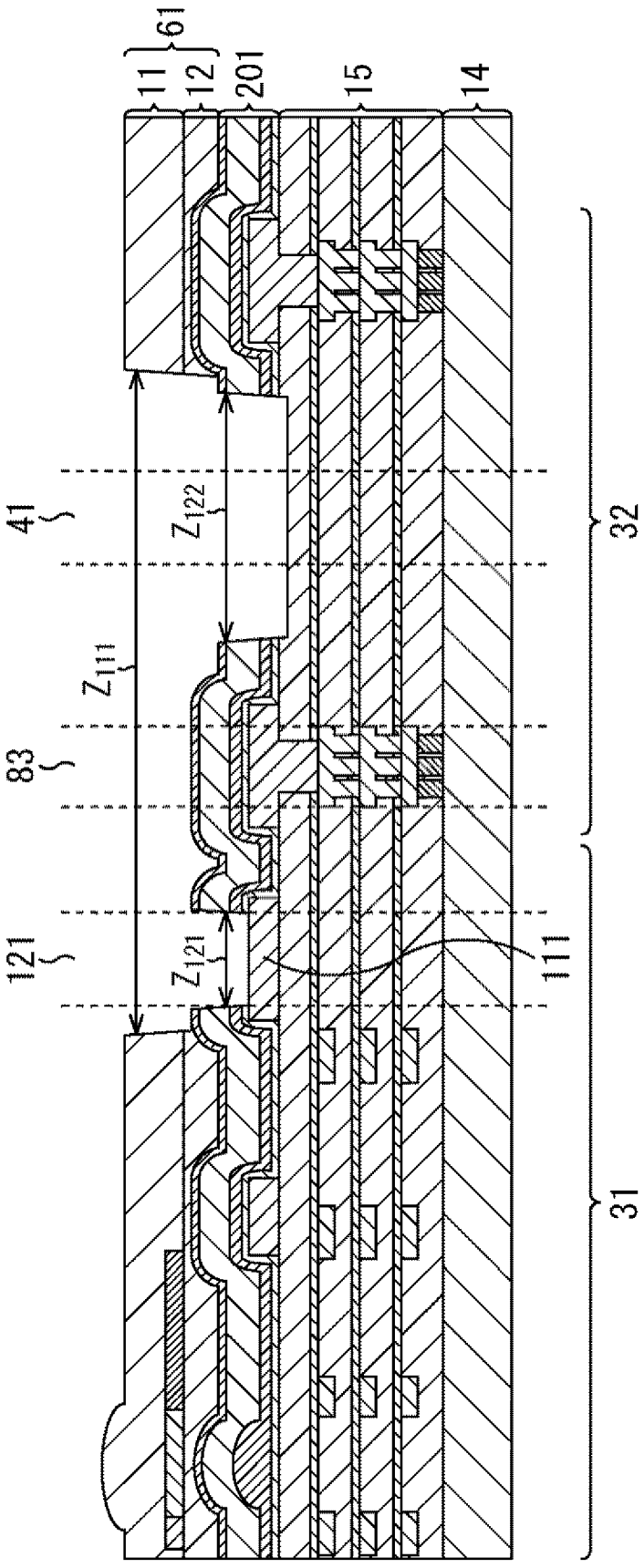
[図16]
図16



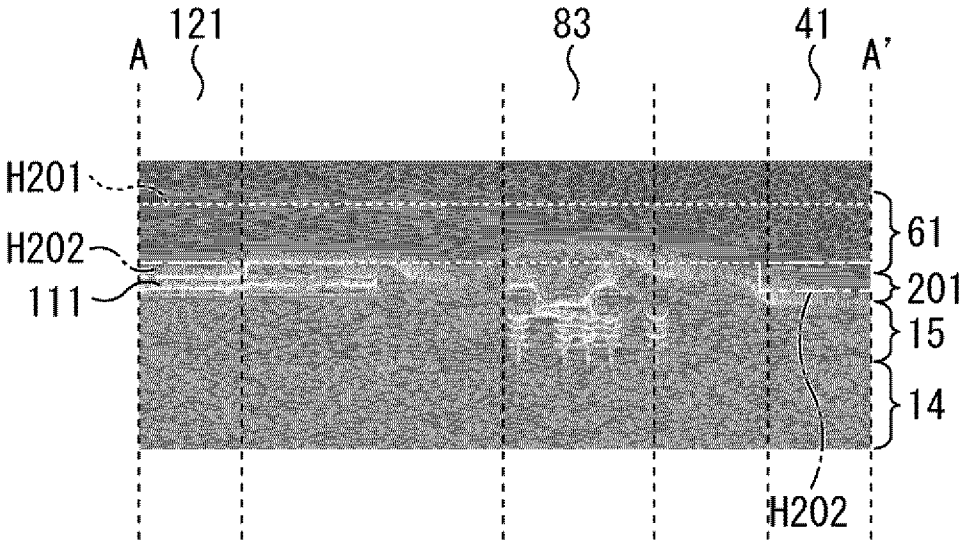

[図17]
図17



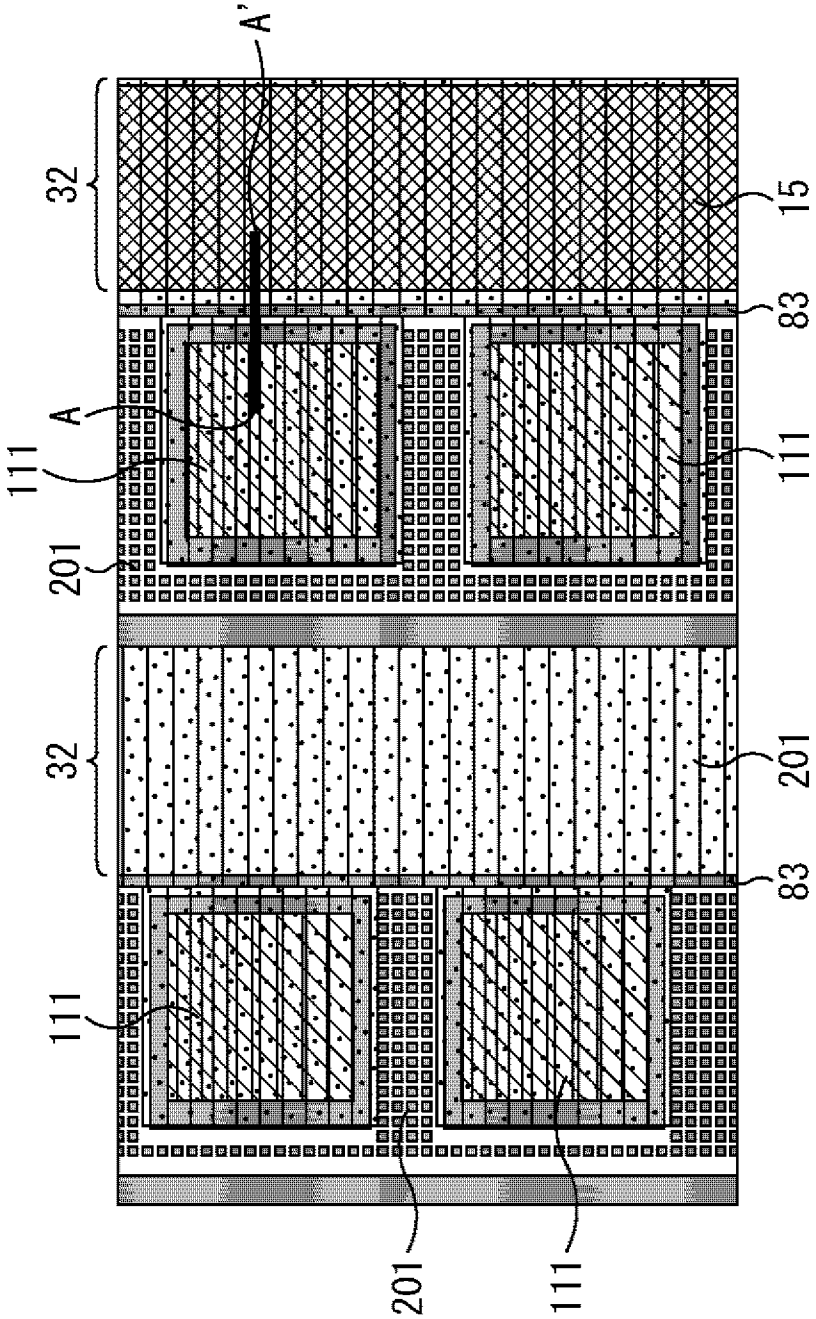
[図18]
図18



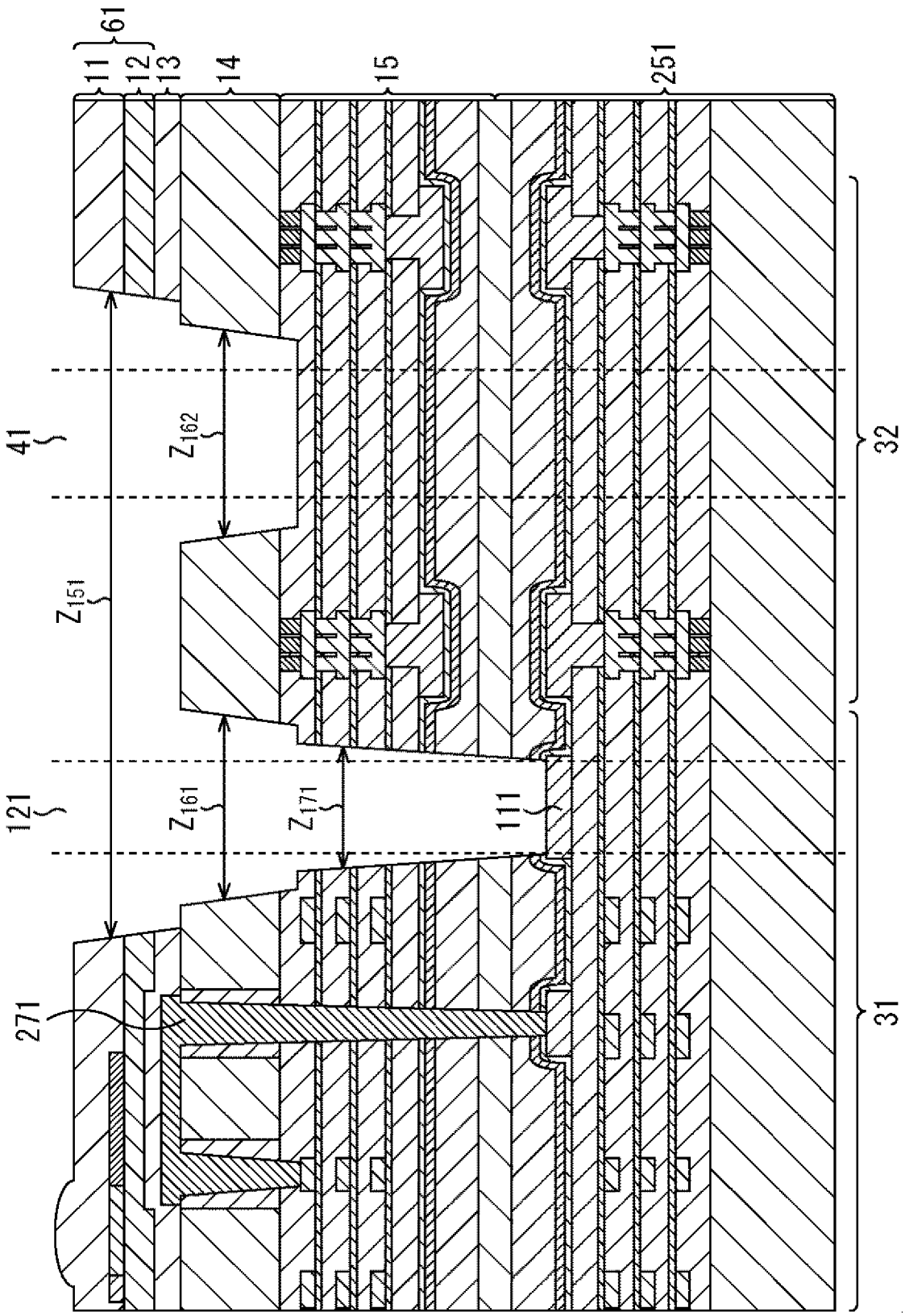
[図19]
図19



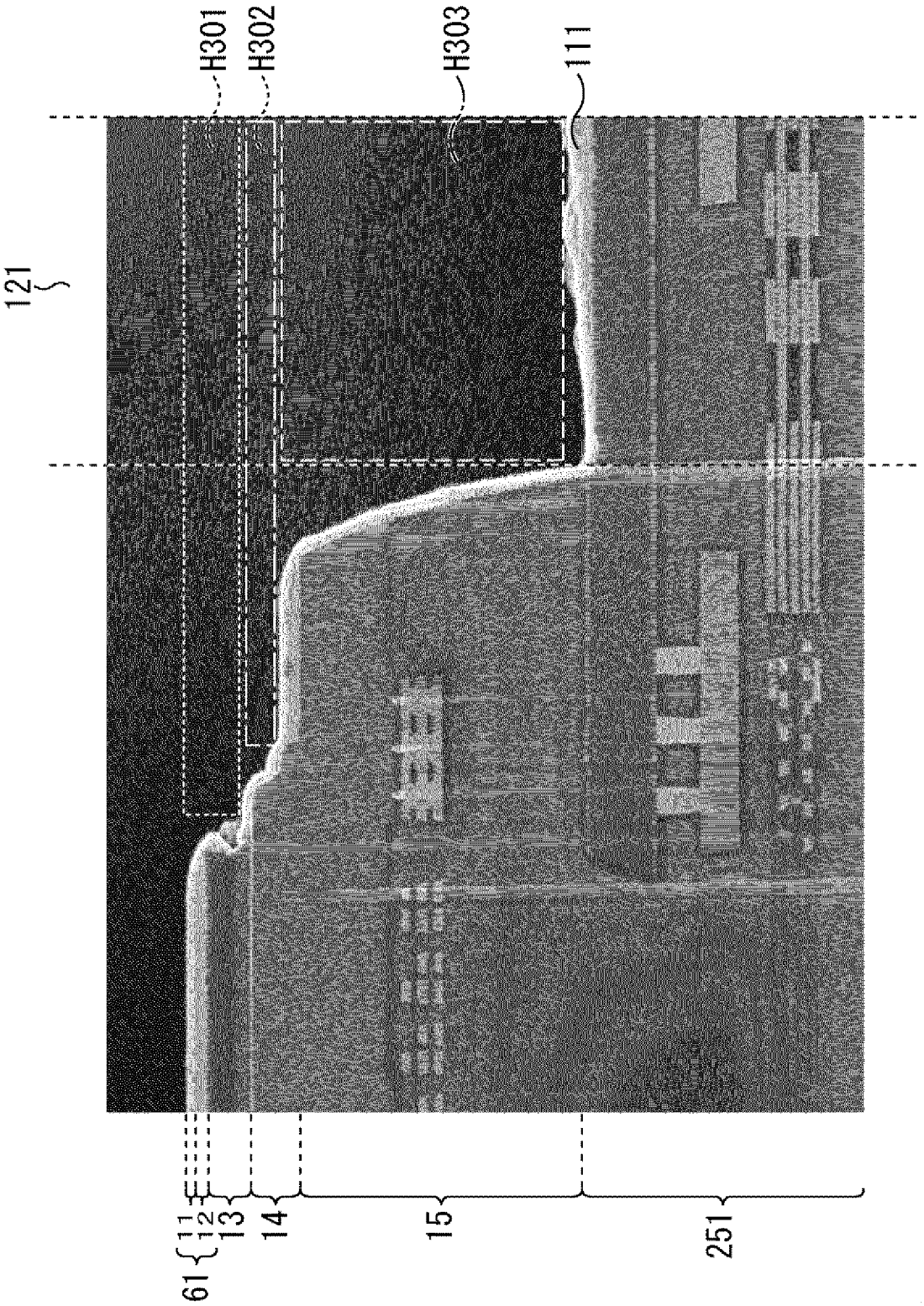
[図20]
図20



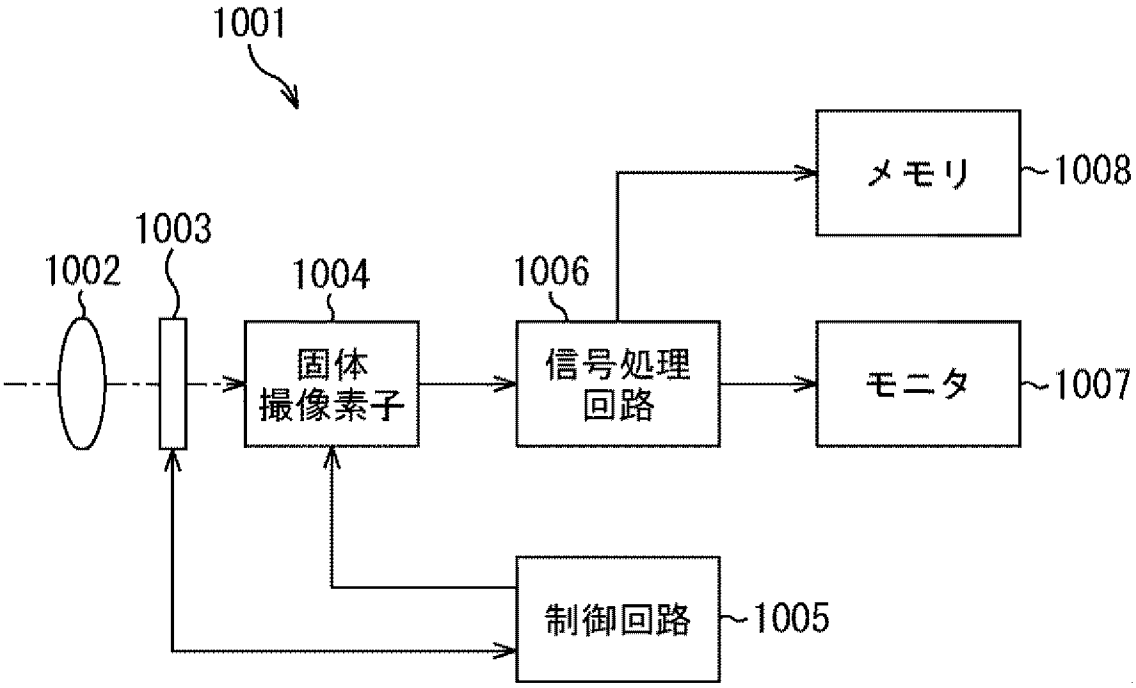
[図21]
図21



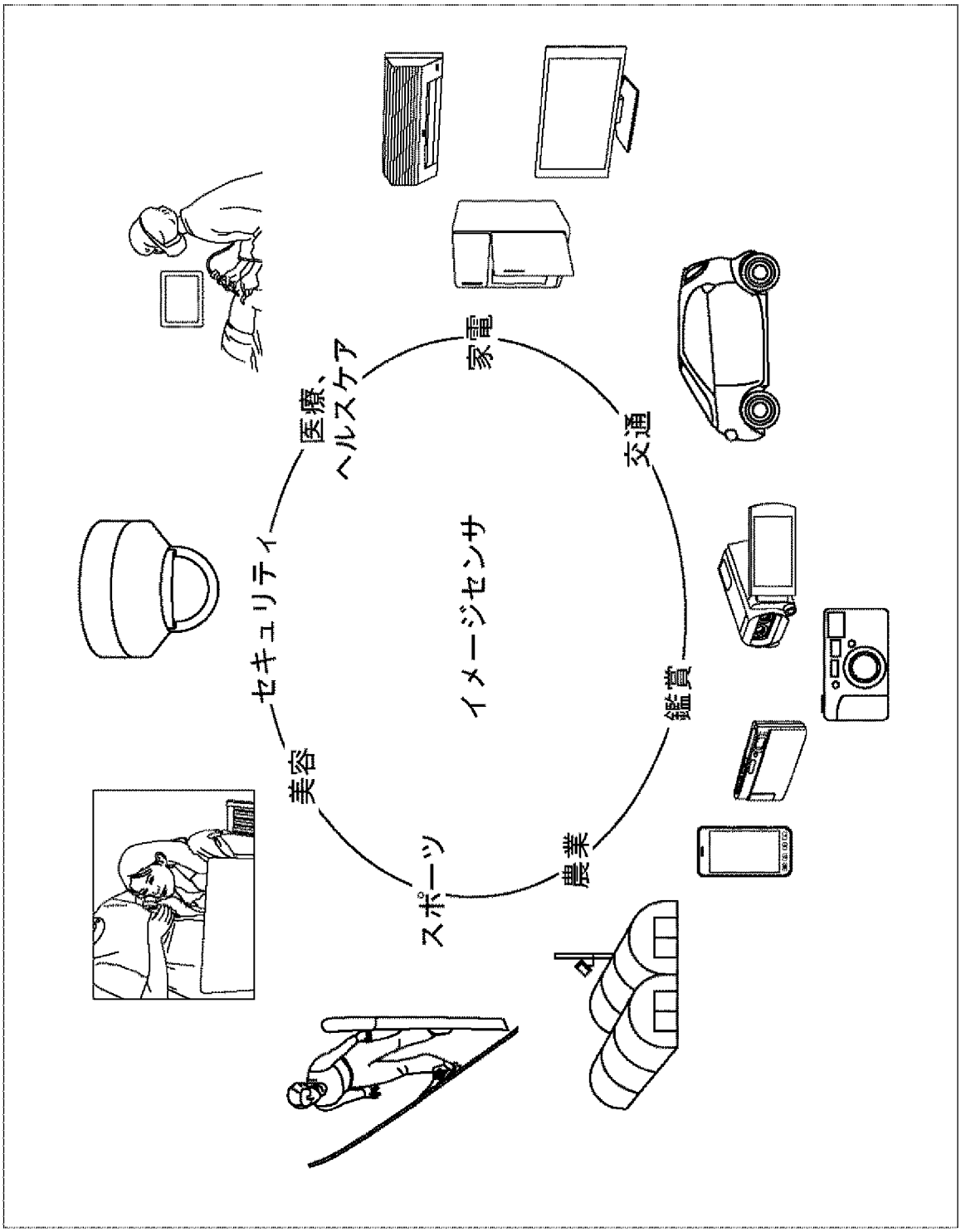
[図22]
図22



[図23]
図23


1001
メモリ
1008
1003
1002
1004
1006
固体
撮像素子
信号処理
回路
モニタ
1007
制御回路
1005

[図24]
図24



# INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2016/050013

A. CLASSIFICATION OF SUBJECT MATTER
*H01L21/301*(2006.01)i, *H01L21/3205*(2006.01)i, *H01L21/768*(2006.01)i, *H01L23/522*(2006.01)i, *H01L27/14*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L21/301, H01L21/3205, H01L21/768, H01L23/522, H01L27/14

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2016
Kokai Jitsuyo Shinan Koho 1971-2016 Toroku Jitsuyo Shinan Koho 1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|---|---|---|
| X<br>Y | US 2012/0205769 A1 (Taiwan Semiconductor Manufacturing Co., Ltd.), 16 August 2012 (16.08.2012), fig. 1 to 8 and explanations thereof (Family: none) | 1,2,4,6,8, 10-12<br>5 |
| X<br>Y | JP 2013-125970 A (Taiwan Semiconductor Manufacturing Co., Ltd.), 24 June 2013 (24.06.2013), fig. 1 to 6 and explanations thereof & US 2013/0153901 A1 fig. 1 to 6 and explanations thereof & TW 201324755 A & JP 2015-159338 A | 1,2,4,6,8, 10-12<br>3,5 |

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

| Date of the actual completion of the international search | Date of mailing of the international search report |
|---|---|
| 01 February 2016 (01.02.16) | 09 February 2016 (09.02.16) |
| Name and mailing address of the ISA/<br>Japan Patent Office<br>3-4-3,Kasumigaseki,Chiyoda-ku,<br>Tokyo 100-8915,Japan | Authorized officer<br><br>Telephone No. |

Form PCT/ISA/210 (second sheet) (January 2015)

**INTERNATIONAL SEARCH REPORT**

International application No.
PCT/JP2016/050013

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|---|---|---|
| Y | JP 2014-110279 A (Renesas Electronics Corp.), 12 June 2014 (12.06.2014), fig. 1 to 8 and explanations thereof & US 2014/0151838 A1 fig. 1 to 8 and explanations thereof & CN 103855175 A | 1-12 |
| Y | JP 10-189583 A (Sharp Corp.), 21 July 1998 (21.07.1998), fig. 1 and explanation thereof & US 5864170 A fig. 1(a) to (c) and explanations thereof & KR 10-0249889 B | 1-12 |
| Y | JP 2010-141020 A (Sony Corp.), 24 June 2010 (24.06.2010), fig. 8 to 10 and explanations thereof & US 2010/0155582 A1 fig. 8 to 10B and explanations thereof & CN 101752396 A & TW 201027738 A | 1,2,4-6,8,9, 11,12 |
| Y | JP 2006-202865 A (Sony Corp.), 03 August 2006 (03.08.2006), fig. 10, 11 and explanations thereof (Family: none) | 1-9,11,12 |
| Y | JP 2015-5577 A (Canon Inc.), 08 January 2015 (08.01.2015), fig. 3, 4 and explanations thereof (Family: none) | 1-9,11,12 |
| Y | JP 2011-146633 A (Sony Corp.), 28 July 2011 (28.07.2011), fig. 1 to 4 and explanations thereof (Family: none) | 1-8,10-12 |
| Y | JP 2012-178496 A (Sony Corp.), 13 September 2012 (13.09.2012), fig. 13 and explanation thereof & US 2012/0217374 A1 fig. 9E and explanation thereof & CN 102651377 A | 3,7 |
| Y | JP 2001-135792 A (Ricoh Co., Ltd.), 18 May 2001 (18.05.2001), fig. 2 and explanation thereof (Family: none) | 3,7 |
| Y | JP 2013-26329 A (Sony Corp.), 04 February 2013 (04.02.2013), fig. 4 to 7 and explanations thereof & US 2013/0020468 A1 fig. 18 to 21 and explanations thereof & CN 103022062 A | 5 |

**INTERNATIONAL SEARCH REPORT**

International application No.
PCT/JP2016/050013

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|---|---|---|
| A | JP 2007-173483 A (Sanyo Electric Co., Ltd.), 05 July 2007 (05.07.2007), entire text; all drawings & US 2007/0166955 A1 & EP 1801849 A2 & CN 1988133 A & KR 10-2007-0067634 A & TW 00I329931 B | 1-12 |
| A | JP 2013-131613 A (Toppan Printing Co., Ltd.), 04 July 2013 (04.07.2013), entire text; all drawings (Family: none) | 1-12 |
| A | JP 2000-183322 A (Sony Corp.), 30 June 2000 (30.06.2000), entire text; all drawings (Family: none) | 1-12 |
| A | JP 2011-238877 A (Panasonic Corp.), 24 November 2011 (24.11.2011), entire text; all drawings (Family: none) | 1-12 |
| A | JP 2013-219319 A (Sony Corp.), 24 October 2013 (24.10.2013), entire text; all drawings & US 2015/0035109 A1 & WO 2013/137049 A1 & TW 201347153 A & CN 104272720 A & KR 10-2014-0146060 A | 1-12 |

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１６／０５００１３

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/301(2006.01)i, H01L21/3205(2006.01)i, H01L21/768(2006.01)i, H01L23/522(2006.01)i, H01L27/14(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/301, H01L21/3205, H01L21/768, H01L23/522, H01L27/14

最小限資料以外の資料で調査を行った分野に含まれるもの

| | |
|---|---|
| 日本国実用新案公報 | １９２２－１９９６年 |
| 日本国公開実用新案公報 | １９７１－２０１６年 |
| 日本国実用新案登録公報 | １９９６－２０１６年 |
| 日本国登録実用新案公報 | １９９４－２０１６年 |

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

| 引用文献のカテゴリー＊ | 引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する請求項の番号 |
|---|---|---|
| X | US 2012/0205769 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY, LTD.) | 1, 2, 4, 6, 8, 10-12 |
| Y | 2012.08.16, 図 1-8 及びその説明箇所 (ファミリーなし) | 5 |
| X | JP 2013-125970 A (台湾積體電路製造股▲ふん▼有限公司) | 1, 2, 4, 6, 8, 10-12 |
| Y | 2013.06.24, 図 1-6 及びその説明箇所 & US 2013/0153901 A1, 図 1-6 及びその説明箇所 & TW 201324755 A & JP 2015-159338 A | 3, 5 |

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

| 国際調査を完了した日 | 国際調査報告の発送日 |
|---|---|
| ０１．０２．２０１６ | ０９．０２．２０１６ |


国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｏ　４６６６
今井　聖和
電話番号　０３－３５８１－１１０１　内線　３５５９

C（続き）．　関連すると認められる文献

| 引用文献のカテゴリー＊ | 引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する請求項の番号 |
|---|---|---|
| Y | JP 2014-110279 A (ルネサスエレクトロニクス株式会社)<br>2014.06.12, 図 1-8 及びその説明箇所<br>& US 2014/0151838 A1, 図 1-8 及びその説明箇所 & CN 103855175 A | 1-12 |
| Y | JP 10-189583 A (シャープ株式会社)<br>1998.07.21, 図 1 及びその説明箇所<br>& US 5864170 A, 図 1(a)-(c)及びその説明箇所 & KR 10-0249889 B | 1-12 |
| Y | JP 2010-141020 A (ソニー株式会社)<br>2010.06.24, 図 8-10 及びその説明箇所<br>& US 2010/0155582 A1, 図 8-10B 及びその説明箇所<br>& CN 101752396 A & TW 201027738 A | 1, 2, 4-6, 8, 9, 11, 12 |
| Y | JP 2006-202865 A (ソニー株式会社)<br>2006.08.03, 図 10, 11 及びその説明箇所<br>(ファミリーなし) | 1-9, 11, 12 |
| Y | JP 2015-5577 A (キヤノン株式会社)<br>2015.01.08, 図 3, 4 及びその説明箇所<br>(ファミリーなし) | 1-9, 11, 12 |
| Y | JP 2011-146633 A (ソニー株式会社)<br>2011.07.28, 図 1-4 及びその説明箇所<br>(ファミリーなし) | 1-8, 10-12 |
| Y | JP 2012-178496 A (ソニー株式会社)<br>2012.09.13, 図 13 及びその説明箇所<br>& US 2012/0217374 A1, 図 9E 及びその説明箇所 & CN 102651377 A | 3, 7 |
| Y | JP 2001-135792 A (株式会社リコー)<br>2001.05.18, 図 2 及びその説明箇所<br>(ファミリーなし) | 3, 7 |
| Y | JP 2013-26329 A (ソニー株式会社)<br>2013.02.04, 図 4-7 及びその説明箇所<br>& US 2013/0020468 A1, 図 18-21 及びその説明箇所<br>& CN 103022062 A | 5 |

C（続き）．　関連すると認められる文献

| 引用文献のカテゴリー＊ | 引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する請求項の番号 |
|---|---|---|
| A | JP 2007-173483 A (三洋電機株式会社)<br>2007.07.05, 全文全図<br>& US 2007/0166955 A1 & EP 1801849 A2 & CN 1988133 A<br>& KR 10-2007-0067634 A & TW 001329931 B | 1-12 |
| A | JP 2013-131613 A (凸版印刷株式会社)<br>2013.07.04, 全文全図<br>(ファミリーなし) | 1-12 |
| A | JP 2000-183322 A (ソニー株式会社)<br>2000.06.30, 全文全図<br>(ファミリーなし) | 1-12 |
| A | JP 2011-238877 A (パナソニック株式会社)<br>2011.11.24, 全文全図<br>(ファミリーなし) | 1-12 |
| A | JP 2013-219319 A (ソニー株式会社)<br>2013.10.24, 全文全図<br>& US 2015/0035109 A1 & WO 2013/137049 A1 & TW 201347153 A<br>& CN 104272720 A & KR 10-2014-0146060 A | 1-12 |