(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0021161
(43) 공개일자 2024년02월16일

(51) 국제특허분류(Int. Cl.)
H01L 27/146 (2006.01) *H01L 23/522* (2006.01)
(52) CPC특허분류
H01L 27/14636 (2013.01)
H01L 27/14612 (2013.01)
(21) 출원번호 10-2023-7041377
(22) 출원일자(국제) 2022년06월16일
심사청구일자 없음
(85) 번역문제출일자 2023년11월30일
(86) 국제출원번호 PCT/JP2022/024051
(87) 국제공개번호 WO 2022/265059
국제공개일자 2022년12월22일
(30) 우선권주장
JP-P-2021-100118 2021년06월16일 일본(JP)
JP-P-2021-200445 2021년12월09일 일본(JP)

(71) 출원인
소니 세미컨덕터 솔루션즈 가부시키가이샤
일본국 가나가와켄 아츠기시 아사히쵸 4-14-1
(72) 발명자
하네다 마사키
일본 2430014 가나가와 아츠기시 아사히쵸 4-14-1 소니 세미컨덕터 솔루션즈 가부시키가이샤 씨/오
고토오 겐고
일본 2430014 가나가와 아츠기시 아사히쵸 4-14-1 소니 세미컨덕터 솔루션즈 가부시키가이샤 씨/오
(뒷면에 계속)
(74) 대리인
양영준, 김승식, 이중희

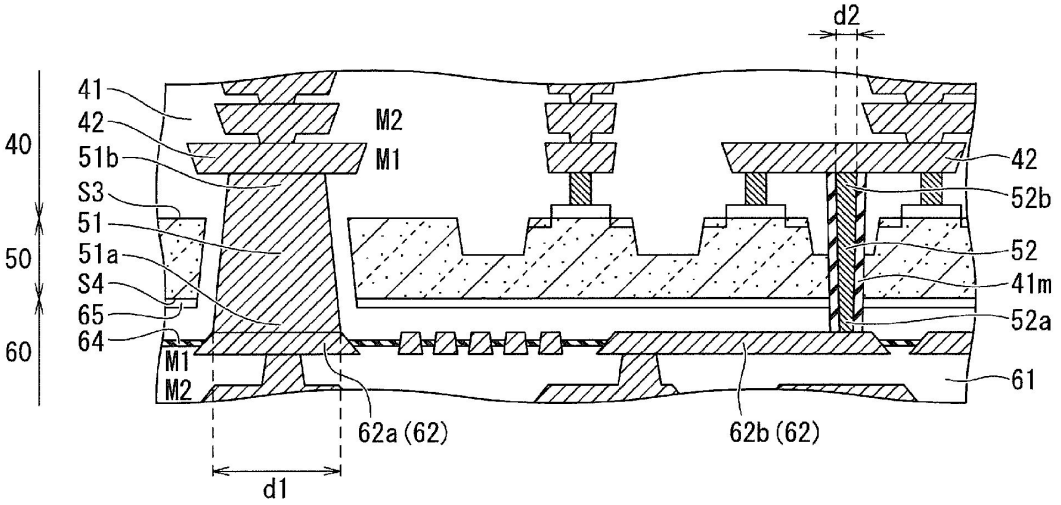
전체 청구항 수 : 총 64 항

(54) 발명의 명칭 **광 검출 장치, 광 검출 장치의 제조 방법 및 전자 기기**

(57) 요 약

원하는 관통 전극이 형성된 광 검출 장치를 제공한다. 광 검출 장치는, 광전 변환 영역을 갖고, 한쪽의 면이 제1 면이고 다른 쪽의 면이 광 입사면인 제2 면인 제1 반도체층과, 한쪽의 면이 제3 면이고 다른 쪽의 면이 제4 면인 제2 반도체층과, 제2 반도체층의 제3 면에 중첩된 제2 배선층과, 제2 반도체층의 제4 면에 중첩된 제3 배선층과, 한쪽의 면이 제1 반도체층의 제1 면에 중첩되고, 다른 쪽의 면이 제2 배선층 및 제3 배선층의 한쪽의 배선층과 중첩되어 있는 제1 배선층과, 제1 폭을 갖고, 제1 재료에 의해 구성되어 있고, 제2 반도체층을 두께 방향을 따라 관통하고 있는 제1 도체와, 제1 폭보다 작은 제2 폭을 갖고, 제1 재료와는 다른 제2 재료에 의해 구성되어 있고, 제2 반도체층을 두께 방향을 따라 관통하고 있는 제2 도체를 구비한다.

대 표 도



(52) CPC특허분류
H01L 27/14645 (2013.01)
H01L 27/14649 (2013.01)
H01L 27/14687 (2013.01)
H01L 27/14689 (2013.01)

(72) 발명자
시라스 요시키
일본 2430014 가나가와 아츠기시 아사히쵸 4-14-1 소니 세미컨덕터 솔루션즈 가부시키가이샤 씨/오
시모무라 가즈키
일본 2430014 가나가와 아츠기시 아사히쵸 4-14-1 소니 세미컨덕터 솔루션즈 가부시키가이샤 씨/오
후지이 노부토시
일본 2430014 가나가와 아츠기시 아사히쵸 4-14-1 소니 세미컨덕터 솔루션즈 가부시키가이샤 씨/오
히라노 다카아키
일본 2430014 가나가와 아츠기시 아사히쵸 4-14-1 소니 세미컨덕터 솔루션즈 가부시키가이샤 씨/오
후지이 요스케
일본 2430014 가나가와 아츠기시 아사히쵸 4-14-1 소니 세미컨덕터 솔루션즈 가부시키가이샤 씨/오
오이노우에 다카시
일본 2430014 가나가와 아츠기시 아사히쵸 4-14-1 소니 세미컨덕터 솔루션즈 가부시키가이샤 씨/오
사이토 스구루
일본 2430014 가나가와 아츠기시 아사히쵸 4-14-1 소니 세미컨덕터 솔루션즈 가부시키가이샤 씨/오
이시마루 도시유키
일본 2430014 가나가와 아츠기시 아사히쵸 4-14-1 소니 세미컨덕터 솔루션즈 가부시키가이샤 씨/오
오시마 게이지
일본 2430014 가나가와 아츠기시 아사히쵸 4-14-1 소니 세미컨덕터 솔루션즈 가부시키가이샤 씨/오
이마이 신이치
일본 2430014 가나가와 아츠기시 아사히쵸 4-14-1 소니 세미컨덕터 솔루션즈 가부시키가이샤 씨/오
구로토리 다쿠야
일본 2430014 가나가와 아츠기시 아사히쵸 4-14-1 소니 세미컨덕터 솔루션즈 가부시키가이샤 씨/오
스기야마 도모히로
일본 2430014 가나가와 아츠기시 아사히쵸 4-14-1 소니 세미컨덕터 솔루션즈 가부시키가이샤 씨/오
미츠하시 이쿠에
일본 2430014 가나가와 아츠기시 아사히쵸 4-14-1 소니 세미컨덕터 솔루션즈 가부시키가이샤 씨/오
도쿠오카 겐이치
일본 2430014 가나가와 아츠기시 아사히쵸 4-14-1 소니 세미컨덕터 솔루션즈 가부시키가이샤 씨/오

명 세 서

청구범위

청구항 1

광전 변환 영역을 갖고, 한쪽의 면이 제1 면이고 다른 쪽의 면이 광 입사면인 제2 면인 제1 반도체층과,

한쪽의 면이 제3 면이고 다른 쪽의 면이 제4 면인 제2 반도체층과,

상기 제2 반도체층의 상기 제3 면에 중첩된 제2 배선층과,

상기 제2 반도체층의 상기 제4 면에 중첩된 제3 배선층과,

한쪽의 면이 상기 제1 반도체층의 상기 제1 면에 중첩되고, 다른 쪽의 면이 상기 제2 배선층 및 상기 제3 배선층의 한쪽의 배선층과 중첩되어 있는 제1 배선층과,

제1 폭을 갖고, 제1 재료에 의해 구성되어 있고, 상기 제2 반도체층을 두께 방향을 따라 관통하고 있는 제1 도체와,

상기 제1 폭보다 작은 제2 폭을 갖고, 상기 제1 재료와는 다른 제2 재료에 의해 구성되어 있고, 상기 제2 반도체층을 두께 방향을 따라 관통하고 있는 제2 도체

를 구비한, 광 검출 장치.

청구항 2

제1항에 있어서, 상기 제1 도체 및 상기 제2 도체의 일방측의 단부는, 하나의 메탈층에 속하는 다른 배선에 각각 접속되어 있는, 광 검출 장치.

청구항 3

제2항에 있어서, 상기 하나의 메탈층은, 상기 제3 배선층이 갖는 메탈층 중, 가장 상기 제2 반도체층에 가까운 메탈층인, 광 검출 장치.

청구항 4

제2항에 있어서, 두께 방향에 있어서 상기 배선과 겹치는 위치에 마련되어, 금속의 확산을 억제하는 배리어 절연막을 갖는, 광 검출 장치.

청구항 5

제1항에 있어서, 상기 제2 도체는, 상기 제2 반도체층 중, 상기 광전 변환 영역이 행렬 형상으로 복수 배치된 화소 영역과 평면으로 보아 겹치는 영역에 마련되어 있는, 광 검출 장치.

청구항 6

제5항에 있어서, 상기 제1 도체는, 상기 제2 반도체층 중, 상기 화소 영역의 외측에 상기 화소 영역을 둘러싸도록 하여 마련된 주변 영역과 평면으로 보아 겹치는 영역에 마련되어 있는, 광 검출 장치.

청구항 7

제1항에 있어서, 상기 제1 폭은, 상기 제1 도체의 관통 방향에 있어서의 단부 중 큰 쪽의 치수에 상당하고,

상기 제2 폭은, 상기 제2 도체의 관통 방향에 있어서의 단부 중 큰 쪽의 치수에 상당하는, 광 검출 장치.

청구항 8

제7항에 있어서, 상기 제1 도체의 상기 제1 폭을 갖는 쪽의 단부와 상기 제2 도체의 상기 제2 폭을 갖는 쪽의 단부의 양쪽 모두, 상기 제2 배선층 및 상기 제3 배선층 중 동일한 배선층에 위치하고 있는, 광 검출 장치.

청구항 9

제7항에 있어서, 상기 제1 도체의 상기 제1 폭을 갖는 쪽의 단부와 상기 제2 도체의 상기 제2 폭을 갖는 쪽의 단부 중 한쪽은 상기 제2 배선층에 위치하고, 다른 쪽은 상기 제3 배선층에 위치하고 있는, 광 검출 장치.

청구항 10

제1항에 있어서, 상기 제1 폭은 1㎛ 이상 5㎛ 이하이고, 상기 제2 폭은 40㎚ 이상 300㎚ 이하인, 광 검출 장치.

청구항 11

제1항에 있어서, 상기 제1 도체는 구리를 포함하고, 상기 제2 도체는 고융점 금속을 포함하는, 광 검출 장치.

청구항 12

제1항에 있어서, 제3 반도체층과,

한쪽의 면이 상기 제3 반도체층에 중첩되고, 다른 쪽의 면이 상기 제2 배선층 및 상기 제3 배선층의 다른 쪽의 배선층과 중첩되어 있는 제4 배선층을 구비하고,

상기 제2 반도체층은, 읽어내기 회로를 구성하는 트랜지스터를 갖고,

상기 제3 반도체층은, 로직 회로를 구성하는 트랜지스터를 갖는, 광 검출 장치.

청구항 13

광전 변환 영역을 갖고, 한쪽의 면이 제1 면이고 다른 쪽의 면이 광 입사면인 제2 면인 제1 반도체층과,

한쪽의 면이 제3 면이고 다른 쪽의 면이 제4 면인 제2 반도체층과,

상기 제2 반도체층의 상기 제3 면에 중첩된 제2 배선층과,

상기 제2 반도체층의 상기 제4 면에 중첩된 제3 배선층과,

한쪽의 면이 상기 제1 반도체층의 상기 제1 면에 중첩되고, 다른 쪽의 면이 상기 제2 배선층 및 상기 제3 배선층의 한쪽의 배선층과 중첩되어 있는 제1 배선층과,

제1 재료에 의해 구성되어 있고, 상기 제2 반도체층을 두께 방향을 따라 관통하고 있는 제1 도체와,

상기 제1 재료와는 다른 제2 재료에 의해 구성되어 있고, 상기 제2 반도체층을 두께 방향을 따라 관통하고 있는 제2 도체

를 구비한, 광 검출 장치.

청구항 14

반도체층에 자신을 관통하는 하나의 도체를 형성하고,

상기 하나의 도체의 한쪽의 단부를 덮도록 절연막을 적층하고,

상기 절연막측으로부터, 상기 하나의 도체를 구성하는 재료와는 다른 재료에 의해 구성되고 또한 상기 하나의 도체의 직경보다 큰 직경을 갖는 다른 도체를, 상기 반도체층을 관통하도록 형성하고,

상기 절연막측으로부터, 상기 하나의 도체에 접속된 배선 및 상기 다른 도체에 접속된 배선을 형성하는,

광 검출 장치의 제조 방법.

청구항 15

광 검출 장치와, 상기 광 검출 장치에 피사체로부터의 상광을 결상시키는 광학계를 구비하고,

상기 광 검출 장치는,

광전 변환 영역을 갖고, 한쪽의 면이 제1 면이고 다른 쪽의 면이 광 입사면인 제2 면인 제1 반도체층과,

한쪽의 면이 제3 면이고 다른 쪽의 면이 제4 면인 제2 반도체층과,

상기 제2 반도체층의 상기 제3 면에 중첩된 제2 배선층과,

상기 제2 반도체층의 상기 제4 면에 중첩된 제3 배선층과,

한쪽의 면이 상기 제1 반도체층의 상기 제1 면에 중첩되고, 다른 쪽의 면이 상기 제2 배선층 및 상기 제3 배선층의 한쪽의 배선층과 중첩되어 있는 제1 배선층과,

제1 폭을 갖고, 제1 재료에 의해 구성되어 있고, 상기 제2 반도체층을 두께 방향을 따라 관통하고 있는 제1 도체와,

상기 제1 폭보다 작은 제2 폭을 갖고, 상기 제1 재료와는 다른 제2 재료에 의해 구성되어 있고, 상기 제2 반도체층을 두께 방향을 따라 관통하고 있는 제2 도체를 갖는,

전자 기기.

청구항 16

광전 변환 영역을 갖고, 한쪽의 면이 제1 면이고 다른 쪽의 면이 광 입사면인 제2 면인 제1 반도체층과,

한쪽의 면이 제3 면이고 다른 쪽의 면이 제4 면인 제2 반도체층과,

상기 제2 반도체층의 상기 제3 면에 중첩된 제2 배선층과,

상기 제2 반도체층의 상기 제4 면에 중첩된 제3 배선층과,

한쪽의 면이 상기 제1 반도체층의 상기 제1 면에 중첩되고, 다른 쪽의 면이 상기 제2 배선층 및 상기 제3 배선층의 한쪽의 배선층과 중첩되어 있는 제1 배선층과,

제1 폭을 갖고, 상기 제2 반도체층을 두께 방향을 따라 관통하고 있는 제1 도체와,

상기 제1 폭보다 작은 제2 폭을 갖고, 상기 제2 반도체층을 두께 방향을 따라 관통하고 있는 제2 도체

를 구비한, 광 검출 장치.

청구항 17

제16항에 있어서, 상기 제2 반도체층은, 상기 제2 도체를 게이트 전극으로 하고 또한 상기 제2 도체의 측면과 상기 제2 반도체층 사이에 마련된 절연막을 게이트 절연막으로 하는 제1 트랜지스터를 갖는, 광 검출 장치.

청구항 18

제17항에 있어서, 상기 제2 도체는, 상기 제2 배선층에 마련된 도체와 상기 제3 배선층에 마련된 도체 중 상기 제3 배선층에 마련된 도체에만 접속되어 있는, 광 검출 장치.

청구항 19

제18항에 있어서, 상기 제1 트랜지스터의 소스를 구성하는 확산 영역 및 드레인을 구성하는 확산 영역 중 적어도 한쪽의 확산 영역은, 상기 제2 배선층이 갖는 도체 및 상기 제3 배선층이 갖는 도체 중, 상기 제3 배선층이 갖는 도체에만 접속되어 있는, 광 검출 장치.

청구항 20

제16항에 있어서, 상기 제3 배선층은, 절연막과, 상기 절연막에 마련되어 한쪽의 면이 저면이고 다른 쪽의 면이 접합면인 제3 접속 패드를 갖고,

상기 제2 도체의 상기 제4 면측의 단부는, 상기 제3 접속 패드까지 연장하여 상기 제3 접속 패드와 접속되어 있고,

상기 제3 접속 패드의 상기 저면은 상기 제2 반도체층측의 면이고,

상기 절연막 중 상기 제3 접속 패드의 상기 저면에 접하는 부분은, 상기 절연막 중 상기 제3 접속 패드의 상기 저면과 상기 접합면을 접속하는 면인 측면에 접하는 부분을 구성하는 재료로부터 선택된 에천트에 대한 에칭 레이트가 높은 재료에 의해 구성되어 있는, 광 검출 장치.

청구항 21

제20항에 있어서, 상기 제2 도체의 상기 제4 면측의 단부는, 상기 제3 접속 패드의 상기 접합면에 면하고 있는, 광 검출 장치.

청구항 22

제20항에 있어서, 상기 제2 도체의 상기 제4 배선층측의 단부는, 상기 제3 접속 패드 내에 위치하고 있는, 광 검출 장치.

청구항 23

제20항에 있어서, 제3 반도체층과,

한쪽의 면이 상기 제3 반도체층에 중첩되고, 다른 쪽의 면이 상기 제2 배선층 및 상기 제3 배선층의 다른 쪽의 배선층과 중첩되어 있는 제4 배선층을 구비하고,

상기 제3 접속 패드의 상기 접합면은, 상기 제1 배선층 및 상기 제4 배선층 중 상기 제3 배선층에 중첩된 쪽의 배선층이 갖는 접속 패드에 접속되어 있는, 광 검출 장치.

청구항 24

제16항에 있어서, 상기 제2 배선층은, 절연막과 상기 절연막에 마련된 배선을 갖고,

상기 제1 도체의 상기 제3 면측의 단부는, 상기 배선 중 하나의 배선까지 연장되어, 당해 하나의 배선에 접속되어 있고,

상기 하나의 배선은, 제1 도전 재료제의 제1 층과, 상기 제1 층과 상기 제1 도체의 상기 제3 면측의 상기 단부 사이에 위치하여 상기 제1 도전 재료를 포함하지 않는 제2 도전 재료제의 제2 층과의 적층 구조를 갖는, 광 검출 장치.

청구항 25

제24항에 있어서, 상기 제2 도전 재료는, 텅스텐, 루테늄, 티타늄, 탄탈, 질화탄탈, 알루미늄, 또는 실리콘인, 광 검출 장치.

청구항 26

제25항에 있어서, 상기 제1 도전 재료는 구리인, 광 검출 장치.

청구항 27

제16항에 있어서, 상기 제2 도체와 상기 제2 반도체층 사이에 분리 절연막을 갖고,

상기 제3 배선층은, 절연막과, 상기 절연막에 마련된 배선을 갖고,

상기 제2 도체는, 상기 제3 배선층이 갖는 상기 배선 중 하나의 배선과 동일 재료로 일체로 마련되어 있고,

상기 분리 절연막은, 상기 제3 배선층의 상기 절연막 내로 돌출되어 있는, 광 검출 장치.

청구항 28

제27항에 있어서, 상기 분리 절연막은, 상기 제3 면측에 있어서의 두께가 상기 제4 면측에 있어서의 두께보다 두꺼운, 광 검출 장치.

청구항 29

제27항에 있어서, 상기 분리 절연막은, 상기 제3 배선층이 갖는 상기 절연막보다 밀도가 높은, 광 검출 장치.

청구항 30

제27항에 있어서, 상기 제2 도체와 상기 분리 절연막 사이에 고융점 금속막을 갖고,

상기 제2 도체는, 상기 제2 배선층이 갖는 하나의 배선과 접속되어 있고,

상기 고융점 금속막은, 상기 제2 도체와 상기 제2 배선층이 갖는 상기 하나의 배선 사이에도 마련되어 있는, 광 검출 장치.

청구항 31

제30항에 있어서, 상기 고융점 금속막 중 상기 제2 도체와 상기 분리 절연막 사이에 마련된 부분은, 상기 제4 면측에 있어서의 두께가 상기 제3 면측에 있어서의 두께보다 두꺼운, 광 검출 장치.

청구항 32

제27항에 있어서, 제3 재료에 의해 구성된 상기 제2 도체와, 상기 제3 재료와는 다른 제4 재료에 의해 구성된 상기 제2 도체를 포함하는, 광 검출 장치.

청구항 33

제16항에 있어서, 상기 제2 반도체층은, SOI 기판이 갖는 반도체층의 일부인, 광 검출 장치.

청구항 34

제33항에 있어서, 상기 제2 도체를 복수 갖고,

상기 제2 반도체층의 두께 방향에 있어서의 상기 제2 도체의 상기 제4 면측의 단부의 높이 위치는, 복수의 상기 제2 도체에 있어서 동일한, 광 검출 장치.

청구항 35

제33항에 있어서, 상기 SOI 기판의 절연층을 갖고,

상기 제2 도체의 상기 제4 면측의 단부는, 상기 절연층을 관통하고 있는, 광 검출 장치.

청구항 36

제16항에 있어서, 상기 제3 배선층은, 절연막과, 상기 절연막을 통해 상기 제2 반도체층의 상기 제4 면측에 적층된 보호 절연막과, 도체를 갖고,

상기 제2 도체의 상기 제4 면측의 단부는, 상기 제4 면으로부터 이격되는 방향으로 연장되고, 상기 보호 절연막의 적층 위치를 초과하지 않는 위치에 있어서, 상기 도체와 접속되어 있는, 광 검출 장치.

청구항 37

제36항에 있어서, 상기 보호 절연막은, 선택된 조건의 화학 기계 연마에 대한 연삭 속도가 상기 절연막을 구성하는 재료보다 느린 재료에 의해 구성되어 있는, 광 검출 장치.

청구항 38

제36항에 있어서, 상기 보호 절연막은, 선택된 조건의 화학 기계 연마에 대한 연삭 속도가 상기 제2 도체를 구성하는 재료보다 느린 재료에 의해 구성되어 있는, 광 검출 장치.

청구항 39

제36항에 있어서, 상기 보호 절연막은, 질화실리콘 또는 탄질화실리콘을 포함하는, 광 검출 장치.

청구항 40

제36항에 있어서, 상기 보호 절연막은 상기 제2 도체에 접하고 있지 않은, 광 검출 장치.

청구항 41

제16항에 있어서, 하나의 상기 제2 도체인 제5 도체의 외주면을 덮도록 마련된 제1 고정 전하막과, 다른 하나의 상기 제2 도체인 제6 도체의 외주면을 덮도록 마련된 제2 고정 전하막을 갖고,

상기 제1 고정 전하막 및 상기 제2 고정 전하막은, 부의 고정 전하막 및 정의 고정 전하막 중 한쪽 및 다른 쪽인,

광 검출 장치.

청구항 42

제41항에 있어서, 상기 제2 반도체층은, 제1 도전형의 반도체 영역이고 또한 상기 제4 면측에 위치하는 제3 영역과, 제2 도전형의 반도체 영역이고 또한 상기 제3 면측에 위치하는 제4 영역과, 제1 도전형의 반도체 영역이고 또한 상기 제3 면측에 위치하는 제5 영역과, 제2 도전형의 반도체 영역이고 또한 상기 제3 영역과 상기 제5 영역 사이에 위치하는 제6 영역을 포함하고,

상기 제5 도체는, 상기 제3 영역 및 상기 제4 영역을 관통하고,

상기 제6 도체는, 상기 제3 영역, 상기 제6 영역 및 상기 제5 영역을 관통하고 있는, 광 검출 장치.

청구항 43

제41항에 있어서, 상기 제2 반도체층은, 제1 도전형의 반도체 영역인 제7 영역과, 제2 도전형의 반도체 영역인 제8 영역을 포함하고,

상기 제7 영역은, 상기 제1 고정 전하막의 외주면을 덮는 위치에 있고,

상기 제8 영역은, 상기 제2 고정 전하막의 외주면을 덮는 위치에 있는,

광 검출 장치.

청구항 44

제42항에 있어서, 상기 제1 고정 전하막은, 제1 도전형이 p형인 경우에는 상기 부의 고정 전하막이고, 제1 도전형이 n형인 경우에는 상기 정의 고정 전하막인, 광 검출 장치.

청구항 45

제41항에 있어서, 상기 제1 고정 전하막이 상기 부의 고정 전하막이고,

상기 제2 고정 전하막이 상기 정의 고정 전하막이고,

상기 제2 반도체층은, p형의 반도체 기판으로 형성된 반도체층이고,

상기 제2 반도체층에는, p채널 도전형의 전계 효과 트랜지스터인 제2 트랜지스터와, n 채널 도전형의 전계 효과 트랜지스터인 제3 트랜지스터가 마련되어 있고,

상기 제5 도체는, 상기 제2 트랜지스터가 갖는 게이트 전극, 소스 영역 및 드레인 영역의 어느 것에 전기적으로 접속되어 있고,

상기 제6 도체는, 상기 제3 트랜지스터가 갖는 게이트 전극, 소스 영역 및 드레인 영역의 어느 것에 전기적으로 접속되어 있는, 광 검출 장치.

청구항 46

제41항에 있어서, 상기 제1 고정 전하막이 상기 정의 고정 전하막이고,

상기 제2 고정 전하막이 상기 부의 고정 전하막이고,

상기 제2 반도체층은, n형의 반도체 기판으로 형성된 반도체층이고,

상기 제2 반도체층에는, n 채널 도전형의 전계 효과 트랜지스터인 제2 트랜지스터와, p채널 도전형의 전계 효과 트랜지스터인 제3 트랜지스터가 마련되어 있고,

상기 제5 도체는, 상기 제2 트랜지스터가 갖는 게이트 전극, 소스 영역 및 드레인 영역의 어느 것에 전기적으로 접속되어 있고,

상기 제6 도체는, 상기 제3 트랜지스터가 갖는 게이트 전극, 소스 영역 및 드레인 영역의 어느 것에 전기적으로

접속되어 있는, 광 검출 장치.

청구항 47

제16항에 있어서, 하나의 상기 제2 도체는, 상기 제2 반도체층의 두께 방향에 있어서, 상기 제3 면 근처에 위치하고 있는 제7 도체와, 상기 제4 면 근처에 위치하고 있는 제8 도체를 갖고,

상기 제7 도체의 상기 제4 면 근처의 단부인 제1 단부는, 상기 제8 도체의 상기 제3 면 근처의 단부인 제2 단부에, 상기 제2 반도체층 내에서 접속되어 있는, 광 검출 장치.

청구항 48

제47항에 있어서, 상기 제7 도체의 직경은, 상기 제1 단부에 근접함에 따라 서서히 작게 되어 있고,

상기 제8 도체의 직경은, 상기 제2 단부에 근접함에 따라 서서히 작게 되어 있는, 광 검출 장치.

청구항 49

제47항에 있어서, 상기 제2 단부의 직경은, 상기 제1 단부의 직경과는 다른, 광 검출 장치.

청구항 50

제49항에 있어서, 상기 제2 단부의 직경은, 상기 제1 단부의 직경보다 큰, 광 검출 장치.

청구항 51

제47항에 있어서, 상기 제2 반도체층의 두께 방향에 있어서의 상기 제4 면의 위치에서의 상기 제8 도체의 직경은, 상기 제3 면의 위치에서의 상기 제7 도체의 직경보다 큰, 광 검출 장치.

청구항 52

제49항에 있어서, 상기 제2 도체와 상기 제2 반도체층 사이는, 상기 제2 도체의 외주면에 마련된 절연막에 의해 절연되어 있고,

상기 절연막 중, 상기 제1 단부 및 상기 제2 단부 중 직경이 작은 쪽의 단부의 외주면에 마련된 부분의 두께는, 상기 제7 도체 및 상기 제8 도체 중 당해 작은 쪽의 단부를 갖는 쪽의 도체의 당해 작은 쪽의 단부 이외의 외주면에 마련된 부분의 두께보다 두꺼운, 광 검출 장치.

청구항 53

제47항에 있어서, 상기 제7 도체 및 상기 제8 도체는, 평면으로 보아 서로 다른 방향으로 긴 직사각형인, 광 검출 장치.

청구항 54

제16항에 있어서, 상기 제1 도체는, 제1 재료에 의해 구성되어 있고,

상기 제2 도체는, 상기 제1 재료와는 다른 제2 재료에 의해 구성되어 있고,

상기 제1 도체 및 상기 제2 도체의 각각은, 상기 제4 면으로부터 상기 제3 배선층 내로 돌출되고,

상기 제1 도체 및 상기 제2 도체의 상기 제3 배선층 내로 돌출되는 높이는 서로 다른, 광 검출 장치.

청구항 55

제54항에 있어서, 상기 제2 도체의 상기 제3 배선층 내로 돌출되는 높이는, 상기 제1 도체의 상기 제3 배선층 내로 돌출되는 높이보다 높은, 광 검출 장치.

청구항 56

제54항에 있어서, 상기 제1 도체의 상기 제3 배선층 내로 돌출되는 높이는, 상기 제2 도체의 상기 제3 배선층 내로 돌출되는 높이보다 높은, 광 검출 장치.

청구항 57

제56항에 있어서, 상기 제1 도체의 상기 제3 배선층 내로 돌출되는 쪽의 단부는, 상기 제3 배선층이 갖는 제1 배선에, 접속부를 통해 전기적으로 접속되어 있고,

상기 제2 도체의 상기 제3 배선층 내로 돌출되는 쪽의 단부는, 상기 제3 배선층이 갖는 배선이며, 상기 제1 배선과 동일한 메탈층에 속하는 제2 배선에, 직접 전기적으로 접속되어 있는, 광 검출 장치.

청구항 58

제16항에 있어서, 상기 제2 반도체층을 두께 방향을 따라 관통하는 절연 부재를 갖고,

평면으로 보아, 상기 제2 도체의 주위를 상기 제2 반도체층의 일부로 포위하고, 또한 상기 제2 반도체층의 상기 일부의 주위를 상기 절연 부재로 포위한 삼중 구조를 갖는, 광 검출 장치.

청구항 59

제16항에 있어서, 상기 제2 도체는, 상기 제4 면측의 단부인 제1 단부와, 상기 제2 도체 중 상기 제3 면측의 단부인 제2 단부와, 상기 제1 단부와 상기 제2 단부 사이의 부분인 중간부를 갖고,

상기 제1 단부는, 상기 중간부보다 직경이 큰, 광 검출 장치.

청구항 60

제59항에 있어서, 상기 제1 단부의 직경은, 상기 중간부 중 상기 제1 단부와의 경계에 위치하는 부분의 직경보다 크게 마련되어 있는, 광 검출 장치.

청구항 61

제16항에 있어서, 상기 제2 배선층 및 상기 제3 배선층 중 상기 제1 배선층에 중첩된 쪽의 배선층과 상기 제1 배선층의 각각은, 절연막을 통해 적층된 배선과, 적층 방향을 따라 연장되는 비아와, 반사 부재를 각각 복수 갖고,

상기 비아는, 상기 배선끼리의 사이 또는 상기 배선과 상기 제1 반도체층 및 상기 제2 반도체층 중 한쪽의 반도체층 사이를 전기적으로 접속하고,

상기 반사 부재는, 적층 방향에 있어서 상기 비아와 동일한 높이 위치에 배치되어 있고, 평면으로 보아 매트릭스 형상으로 배치되어 있고 또한 상기 비아끼리 사이의 영역을 메우고 있는, 광 검출 장치.

청구항 62

제61항에 있어서, 상기 반사 부재는 전기적으로 부유 상태에 있는, 광 검출 장치.

청구항 63

제16항에 있어서, 제3 반도체층과,

한쪽의 면이 상기 제3 반도체층에 중첩되고, 다른 쪽의 면이 상기 제2 배선층 및 상기 제3 배선층의 다른 쪽의 배선층과 중첩되어 있는 제4 배선층과,

일단이 상기 제2 반도체층의 상기 제3 반도체층측의 면에 접속되고, 타단이 상기 제3 반도체층(80)에 접속된 방열 패스

를 갖는, 광 검출 장치.

청구항 64

제63항에 있어서, 상기 방열 패스의 상기 일단은, 상기 제2 반도체층 내에 적어도 일부가 매설되어 있고,

상기 방열 패스의 상기 타단은, 상기 제3 반도체층 내에 적어도 일부가 매설되어 있는, 광 검출 장치.

발명의 설명

기 술 분 야

[0001] 본 기술(본 개시에 관한 기술)은, 광 검출 장치, 광 검출 장치의 제조 방법 및 전자 기기에 관한 것으로, 특히, 반도체층을 관통하는 도체를 갖는 광 검출 장치, 광 검출 장치의 제조 방법 및 전자 기기에 관한 것이다.

배 경 기 술

[0002] 적층형 이미지 센서에 대하여, 반도체층을 관통하는 도체를 마련하는 경우가 있다. 특허문헌 1, 특허문헌 2 및 특허문헌 3에는, 반도체층을 관통하는 도체인 관통 전극의 예가 기재되어 있다.

선행기술문헌

특허문헌

[0003] (특허문헌 0001) 일본 특허 공개 제2014-99582호 공보

(특허문헌 0002) 일본 특허 공개 제2018-190766호 공보

(특허문헌 0003) 일본 특허 공개 제2011-204915호 공보

발명의 내용

해결하려는 과제

[0004] 예를 들어, 전원선으로서 사용되는 관통 전극은 저저항인 것이 요망되므로, 평면으로 보아 직경을 굵게 하여, 저저항의 재료로 구성하는 것이 바람직하다. 이에 비해, 관통 전극을 마련하는 영역이 좁은 경우에는, 직경이 작고 애스펙트비가 높은 관통 전극을 형성하는 것이 요망된다.

[0005] 본 기술은, 원하는 관통 전극이 형성된 광 검출 장치, 광 검출 장치의 제조 방법 및 전자 기기를 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0006] 본 기술의 일 형태에 관한 광 검출 장치는, 광전 변환 영역을 갖고, 한쪽의 면이 제1 면이고 다른 쪽의 면이 광 입사면인 제2 면인 제1 반도체층과, 한쪽의 면이 제3 면이고 다른 쪽의 면이 제4 면인 제2 반도체층과, 상기 제2 반도체층의 상기 제3 면에 중첩된 제2 배선층과, 상기 제2 반도체층의 상기 제4 면에 중첩된 제3 배선층과, 한쪽의 면이 상기 제1 반도체층의 상기 제1 면에 중첩되고, 다른 쪽의 면이 상기 제2 배선층 및 상기 제3 배선층의 한쪽의 배선층과 중첩되어 있는 제1 배선층과, 제1 폭을 갖고, 제1 재료에 의해 구성되어 있고, 상기 제2 반도체층을 두께 방향을 따라 관통하고 있는 제1 도체와, 상기 제1 폭보다 작은 제2 폭을 갖고, 상기 제1 재료와는 다른 제2 재료에 의해 구성되어 있고, 상기 제2 반도체층을 두께 방향을 따라 관통하고 있는 제2 도체를 구비한다.

[0007] 본 기술의 다른 일 형태에 관한 광 검출 장치는, 광전 변환 영역을 갖고, 한쪽의 면이 제1 면이고 다른 쪽의 면이 광 입사면인 제2 면인 제1 반도체층과, 한쪽의 면이 제3 면이고 다른 쪽의 면이 제4 면인 제2 반도체층과, 상기 제2 반도체층의 상기 제3 면에 중첩된 제2 배선층과, 상기 제2 반도체층의 상기 제4 면에 중첩된 제3 배선층과, 한쪽의 면이 상기 제1 반도체층의 상기 제1 면에 중첩되고, 다른 쪽의 면이 상기 제2 배선층 및 상기 제3 배선층의 한쪽의 배선층과 중첩되어 있는 제1 배선층과, 제1 재료에 의해 구성되어 있고, 상기 제2 반도체층을 두께 방향을 따라 관통하고 있는 제1 도체와, 상기 제1 재료와는 다른 제2 재료에 의해 구성되어 있고, 상기 제2 반도체층을 두께 방향을 따라 관통하고 있는 제2 도체를 구비한다.

[0008] 본 기술의 일 형태에 관한 광 검출 장치의 제조 방법은, 반도체층에 자신을 관통하는 하나의 도체를 형성하고, 상기 하나의 도체의 한쪽의 단부를 덮도록 절연막을 적층하고, 상기 절연막측으로부터, 상기 하나의 도체를 구성하는 재료와는 다른 재료에 의해 구성되고 또한 상기 하나의 도체의 직경보다 큰 직경을 갖는 다른 도체를, 상기 반도체층을 관통하도록 형성하고, 상기 절연막측으로부터, 상기 하나의 도체에 접속된 배선 및 상기 다른 도체에 접속된 배선을 형성한다.

[0009] 본 기술의 일 형태에 관한 전자 기기는, 상기 광 검출 장치와, 상기 광 검출 장치에 피사체로부터의 상광을 결

상시키는 광학계를 구비한다.

[0010] 본 기술의 다른 일 형태에 관한 광 검출 장치는, 광전 변환 영역을 갖고, 한쪽의 면이 제1 면이고 다른 쪽의 면이 광 입사면인 제2 면인 제1 반도체층과, 한쪽의 면이 제3 면이고 다른 쪽의 면이 제4 면인 제2 반도체층과, 상기 제2 반도체층의 상기 제3 면에 중첩된 제2 배선층과, 상기 제2 반도체층의 상기 제4 면에 중첩된 제3 배선층과, 한쪽의 면이 상기 제1 반도체층의 상기 제1 면에 중첩되고, 다른 쪽의 면이 상기 제2 배선층 및 상기 제3 배선층의 한쪽의 배선층과 중첩되어 있는 제1 배선층과, 제1 폭을 갖고, 상기 제2 반도체층을 두께 방향을 따라 관통하고 있는 제1 도체와, 상기 제1 폭보다 작은 제2 폭을 갖고, 상기 제2 반도체층을 두께 방향을 따라 관통하고 있는 제2 도체를 구비한다.

도면의 간단한 설명

[0011] 도 1은 본 기술의 제1 실시 형태에 관한 광 검출 장치의 일 구성예를 나타내는 칩 레이아웃도이다.

도 2는 본 기술의 제1 실시 형태에 관한 광 검출 장치의 일 구성예를 나타내는 블록도이다.

도 3은 본 기술의 제1 실시 형태에 관한 광 검출 장치의 화소의 등가 회로도이다.

도 4a는 본 기술의 제1 실시 형태에 관한 광 검출 장치의 종단면도이다.

도 4b는 도 4a의 주요부를 확대하여 나타내는 부분 확대도이다.

도 4c는 본 기술의 제1 실시 형태의 변형예 4에 관한 광 검출 장치의 종단면도이다.

도 5a는 본 기술의 제1 실시 형태에 관한 광 검출 장치의 제조 방법을 나타내는 공정 단면도이다.

도 5b는 도 5a에 이어지는 공정 단면도이다.

도 5c는 도 5b에 이어지는 공정 단면도이다.

도 5d는 도 5c에 이어지는 공정 단면도이다.

도 5e는 도 5d에 이어지는 공정 단면도이다.

도 5f는 도 5e에 이어지는 공정 단면도이다.

도 5g는 도 5f에 이어지는 공정 단면도이다.

도 5h는 도 5g에 이어지는 공정 단면도이다.

도 5i는 도 5h에 이어지는 공정 단면도이다.

도 5j는 도 5i에 이어지는 공정 단면도이다.

도 5k는 도 5j에 이어지는 공정 단면도이다.

도 5l은 도 5k에 이어지는 공정 단면도이다.

도 5m은 도 5l에 이어지는 공정 단면도이다.

도 5n은 도 5m에 이어지는 공정 단면도이다.

도 5o는 도 5n에 이어지는 공정 단면도이다.

도 5p는 도 5o에 이어지는 공정 단면도이다.

도 5q는 도 5p에 이어지는 공정 단면도이다.

도 5r은 도 5q에 이어지는 공정 단면도이다.

도 5s는 도 5r에 이어지는 공정 단면도이다.

도 5t는 도 5s에 이어지는 공정 단면도이다.

도 5u는 도 5t에 이어지는 공정 단면도이다.

도 5v는 도 5u에 이어지는 공정 단면도이다.

도 5w는 본 기술의 제1 실시 형태의 변형예 4에 관한 광 검출 장치의 제조 방법을 나타내는 공정 단면도이다.

도 5x는 도 5w에 이어지는 공정 단면도이다.

도 6은 본 기술의 제1 실시 형태의 변형예 1에 관한 광 검출 장치의 종단면도이다.

도 7은 본 기술의 제1 실시 형태의 변형예 2에 관한 광 검출 장치의 종단면의 주요부를 확대하여 나타내는 부분 확대도이다.

도 8a는 본 기술의 제1 실시 형태의 변형예 2에 관한 광 검출 장치의 제조 방법을 나타내는 공정 단면도이다.

도 8b는 도 8a에 이어지는 공정 단면도이다.

도 9는 본 기술의 제1 실시 형태의 변형예 3에 관한 광 검출 장치의 종단면의 주요부를 확대하여 나타내는 부분 확대도이다.

도 10은 본 기술의 제1 실시 형태의 변형예 3의 다른 형태에 관한 광 검출 장치의 종단면의 주요부를 확대하여 나타내는 부분 확대도이다.

도 11은 본 기술의 제2 실시 형태에 관한 광 검출 장치의 주요부를 나타내는 종단면도이다.

도 12a는 본 기술의 제2 실시 형태에 관한 광 검출 장치가 갖는 트랜지스터의 사시도이다.

도 12b는 도 12a에 나타내는 트랜지스터의 종단면도이다.

도 12c는 도 12a의 A-A 절단선을 따라 단면으로 보았을 때의 단면 구조를 나타내는 횡단면도이다.

도 12d는 도 12a의 B-B 절단선을 따라 단면으로 보았을 때의 단면 구조를 나타내는 횡단면도이다.

도 13a는 본 기술의 제2 실시 형태에 관한 광 검출 장치의 제조 방법을 나타내는 공정 단면도이다.

도 13b는 도 13a에 이어지는 공정 단면도이다.

도 13c는 도 13b에 이어지는 공정 단면도이다.

도 13d는 도 13c에 이어지는 공정 단면도이다.

도 13e는 도 13d에 이어지는 공정 단면도이다.

도 14a는 본 기술의 제2 실시 형태의 변형예 1-1에 관한 광 검출 장치가 갖는 트랜지스터의 종단면도이다.

도 14b는 본 기술의 제2 실시 형태의 변형예 1-2에 관한 광 검출 장치가 갖는 트랜지스터의 종단면도이다.

도 14c는 본 기술의 제2 실시 형태의 변형예 1-3에 관한 광 검출 장치가 갖는 트랜지스터의 종단면도이다.

도 14d는 본 기술의 제2 실시 형태의 변형예 1-4에 관한 광 검출 장치가 갖는 트랜지스터의 종단면도이다.

도 14e는 본 기술의 제2 실시 형태의 변형예 1-5에 관한 광 검출 장치가 갖는 트랜지스터의 종단면도이다.

도 14f는 본 기술의 제2 실시 형태의 변형예 1-6에 관한 광 검출 장치가 갖는 트랜지스터의 종단면도이다.

도 15a는 본 기술의 제2 실시 형태의 변형예 2에 관한 광 검출 장치의 제조 방법을 나타내는 공정 단면도이다.

도 15b는 도 15a에 이어지는 공정 단면도이다.

도 15c는 도 15b에 이어지는 공정 단면도이다.

도 16a는 본 기술의 제2 실시 형태의 변형예 3에 관한 광 검출 장치의 제조 방법을 나타내는 공정 단면도이다.

도 16b는 도 16a에 이어지는 공정 단면도이다.

도 17은 본 기술의 제2 실시 형태의 변형예 4에 관한 광 검출 장치의 주요부를 나타내는 종단면도이다.

도 18a는 본 기술의 제2 실시 형태의 변형예 4-1에 관한 광 검출 장치가 갖는 트랜지스터의 사시도이다.

도 18b는 도 18a에 나타내는 트랜지스터의 종단면도이다.

도 18c는 도 18b의 A-A 절단선을 따라 단면으로 보았을 때의 단면 구조를 나타내는 횡단면도이다.

도 19a는 본 기술의 제2 실시 형태의 변형예 4-2에 관한 광 검출 장치가 갖는 트랜지스터의 사시도이다.

도 19b는 도 19a에 나타내는 트랜지스터의 종단면도이다.

도 19c는 도 19b의 A-A 절단선을 따라 단면으로 보았을 때의 단면 구조를 나타내는 횡단면도이다.

도 20은 본 기술의 제2 실시 형태의 변형예 4-3에 관한 광 검출 장치가 갖는 트랜지스터의 사시도이다.

도 21은 본 기술의 제2 실시 형태의 변형예 5에 관한 광 검출 장치의 주요부를 나타내는 종단면도이다.

도 22a는 본 기술의 제2 실시 형태의 변형예 5-1에 관한 광 검출 장치가 갖는 트랜지스터의 종단면도이다.

도 22b는 도 22a의 A-A 절단선을 따라 단면으로 보았을 때의 단면 구조를 나타내는 횡단면도이다.

도 22c는 도 22a의 C-C 절단선을 따라 단면으로 보았을 때의 단면 구조를 나타내는 횡단면도이다.

도 22d는 도 22a의 B-B 절단선을 따라 단면으로 보았을 때의 단면 구조를 나타내는 횡단면도이다.

도 23a는 본 기술의 제2 실시 형태의 변형예 5-2에 관한 광 검출 장치가 갖는 트랜지스터의 종단면도이다.

도 23b는 도 23a의 C-C 절단선을 따라 단면으로 보았을 때의 단면 구조를 나타내는 횡단면도이다.

도 24a는 본 기술의 제2 실시 형태의 변형예 5-3에 관한 광 검출 장치가 갖는 트랜지스터의 종단면도이다.

도 24b는 도 24a의 B-B 절단선을 따라 단면으로 보았을 때의 단면 구조를 나타내는 횡단면도이다.

도 25는 본 기술의 제2 실시 형태의 변형예 5-4에 관한 광 검출 장치가 갖는 트랜지스터의 종단면도이다.

도 26은 본 기술의 제2 실시 형태의 변형예 5-5에 관한 광 검출 장치가 갖는 트랜지스터의 종단면도이다.

도 27은 본 기술의 제2 실시 형태의 변형예 6에 관한 광 검출 장치의 주요부를 나타내는 종단면도이다.

도 28a는 본 기술의 제2 실시 형태에 관한 광 검출 장치가 갖는 제1 반도체층의 소자 레이아웃을 나타내는 도면이다.

도 28b는 본 기술의 제2 실시 형태에 관한 광 검출 장치가 갖는 제2 반도체층의 소자 레이아웃을 나타내는 도면이다.

도 29는 본 기술의 제3 실시 형태에 관한 광 검출 장치의 주요부를 나타내는 종단면도이다.

도 30a는 본 기술의 제3 실시 형태에 관한 광 검출 장치가 갖는 제2 도체의 종단면 구조를 모식적으로 나타내는 설명도이다.

도 30b는 도 30a의 D-D 절단선을 따라 단면으로 보았을 때의 단면 구조를 나타내는 횡단면도이다.

도 31a는 본 기술의 제3 실시 형태에 관한 제2 도체의 제조 방법을 나타내는 공정 단면도이다.

도 31b는 도 31a에 이어지는 공정 단면도이다.

도 31c는 도 31b에 이어지는 공정 단면도이다.

도 31d는 도 31c에 이어지는 공정 단면도이다.

도 31e는 도 31d에 이어지는 공정 단면도이다.

도 32a는 본 기술의 제3 실시 형태의 변형예 1에 관한 광 검출 장치가 갖는 제2 도체의 종단면 구조를 모식적으로 나타내는 설명도이다.

도 32b는 도 32a의 D-D 절단선을 따라 단면으로 보았을 때의 단면 구조를 나타내는 횡단면도이다.

도 33a는 본 기술의 제3 실시 형태의 변형예 1에 관한 제2 도체의 제조 방법을 나타내는 공정 단면도이다.

도 33b는 도 33a에 이어지는 공정 단면도이다.

도 34는 본 기술의 제3 실시 형태의 변형예 2에 관한 반도체 장치의 주요부를 나타내는 종단면도이다.

도 35는 본 기술의 제4 실시 형태에 관한 광 검출 장치의 주요부를 나타내는 종단면도이다.

도 36a는 본 기술의 제4 실시 형태에 관한 광 검출 장치의 제조 방법을 나타내는 공정 단면도이다.

도 36b는 도 36a에 이어지는 공정 단면도이다.

도 36c는 도 36b에 이어지는 공정 단면도이다.

도 36d는 도 36c에 이어지는 공정 단면도이다.

도 36e는 도 36d에 이어지는 공정 단면도이다.

도 36f는 도 36e에 이어지는 공정 단면도이다.

도 37은 본 기술의 제4 실시 형태의 변형예 1에 관한 광 검출 장치의 주요부를 나타내는 종단면도이다.

도 38은 본 기술의 제4 실시 형태의 변형예 2에 관한 광 검출 장치의 주요부를 나타내는 종단면도이다.

도 39는 본 기술의 제4 실시 형태의 변형예 3에 관한 광 검출 장치의 주요부를 나타내는 종단면도이다.

도 40은 본 기술의 제4 실시 형태의 변형예 4에 관한 광 검출 장치의 주요부를 나타내는 종단면도이다.

도 41은 본 기술의 제4 실시 형태의 변형예 5에 관한 광 검출 장치의 주요부를 나타내는 종단면도이다.

도 42a는 본 기술의 제4 실시 형태의 변형예 5에 관한 광 검출 장치의 제조 방법을 나타내는 공정 단면도이다.

도 42b는 도 42a에 이어지는 공정 단면도이다.

도 42c는 도 42b에 이어지는 공정 단면도이다.

도 43은 본 기술의 제5 실시 형태에 관한 광 검출 장치의 주요부를 나타내는 종단면도이다.

도 44a는 본 기술의 제5 실시 형태에 관한 광 검출 장치의 제조 방법을 나타내는 공정 단면도이다.

도 44b는 도 44a에 이어지는 공정 단면도이다.

도 44c는 도 44b에 이어지는 공정 단면도이다.

도 44d는 도 44c에 이어지는 공정 단면도이다.

도 44e는 도 44d에 이어지는 공정 단면도이다.

도 44f는 도 44e에 이어지는 공정 단면도이다.

도 44g는 도 44f에 이어지는 공정 단면도이다.

도 45a는 종래의 광 검출 장치의 주요부를 나타내는 종단면도이다.

도 45b는 종래의 광 검출 장치의 주요부를 나타내는 종단면도이다.

도 46은 본 기술의 제5 실시 형태의 변형예 1에 관한 광 검출 장치의 주요부를 나타내는 종단면도이다.

도 47a는 본 기술의 제5 실시 형태의 변형예 1에 관한 광 검출 장치의 제조 방법을 나타내는 공정 단면도이다.

도 47b는 도 47a에 이어지는 공정 단면도이다.

도 48a는 본 기술의 제5 실시 형태의 변형예 2에 관한 광 검출 장치의 일 구성예를 나타내는 칩 레이아웃도이다.

도 48b는 본 기술의 제5 실시 형태의 변형예 2에 관한 광 검출 장치의 주요부를 나타내는 종단면도이다.

도 49는 본 기술의 제6 실시 형태에 관한 광 검출 장치가 갖는 복수의 제2 도체의 종단면 구조를 모식적으로 나타내는 설명도이다.

도 50a는 본 기술의 제6 실시 형태에 관한 제2 도체의 제조 방법을 나타내는 공정 단면도이다.

도 50b는 도 50a에 이어지는 공정 단면도이다.

도 50c는 도 50b에 이어지는 공정 단면도이다.

도 50d는 도 50c에 이어지는 공정 단면도이다.

도 50e는 도 50d에 이어지는 공정 단면도이다.

도 50f는 도 50e에 이어지는 공정 단면도이다.

도 50g는 도 50f에 이어지는 공정 단면도이다.

도 50h는 도 50g에 이어지는 공정 단면도이다.

도 51a는 종래의 광 검출 장치가 갖는 복수의 제2 도체의 제조 방법을 나타내는 공정 단면도이다.

도 51b는 도 51a에 이어지는 공정 단면도이다.

도 51c는 도 51b에 이어지는 공정 단면도이다.

도 52는 본 기술의 제6 실시 형태의 변형예 1에 관한 광 검출 장치가 갖는 복수의 제2 도체의 종단면 구조를 모식적으로 나타내는 설명도이다.

도 53a는 본 기술의 제6 실시 형태의 변형예 1에 관한 제2 도체의 제조 방법을 나타내는 공정 단면도이다.

도 53b는 도 53a에 이어지는 공정 단면도이다.

도 53c는 도 53b에 이어지는 공정 단면도이다.

도 53d는 도 53c에 이어지는 공정 단면도이다.

도 54는 본 기술의 제7 실시 형태에 관한 광 검출 장치의 주요부를 나타내는 종단면도이다.

도 55a는 본 기술의 제7 실시 형태에 관한 광 검출 장치의 제조 방법을 나타내는 공정 단면도이다.

도 55b는 도 55a에 이어지는 공정 단면도이다.

도 55c는 도 55b를 보호 절연막측으로부터 평면으로 본 평면도이다.

도 55d는 도 55b에 이어지는 공정 단면도이다.

도 55e는 도 55d에 이어지는 공정 단면도이다.

도 55f는 도 55e에 이어지는 공정 단면도이다.

도 56은 본 기술의 제7 실시 형태의 변형예 1에 관한 광 검출 장치의 주요부를 나타내는 종단면도이다.

도 57a는 본 기술의 제7 실시 형태의 변형예 1에 관한 광 검출 장치의 제조 방법을 나타내는 공정 단면도이다.

도 57b는 도 57a에 이어지는 공정 단면도이다.

도 57c는 도 57b에 이어지는 공정 단면도이다.

도 57d는 도 57c에 이어지는 공정 단면도이다.

도 58은 본 기술의 제7 실시 형태의 변형예 2에 관한 광 검출 장치의 주요부를 나타내는 종단면도이다.

도 59a는 본 기술의 제7 실시 형태의 변형예 2에 관한 광 검출 장치의 제조 방법을 나타내는 공정 단면도이다.

도 59b는 도 59a에 이어지는 공정 단면도이다.

도 59c는 도 59b에 이어지는 공정 단면도이다.

도 59d는 도 59c에 이어지는 공정 단면도이다.

도 60은 본 기술의 제8 실시 형태에 관한 광 검출 장치의 주요부를 나타내는 종단면도이다.

도 61a는 신호 전하의 양이 증감하는 영역을 설명하기 위한 평면도이다.

도 61b는 제2 도체와 제3 도체의 배치 관계를 설명하기 위한 평면도이다.

도 61c는 신호 전하의 양의 증감을 상쇄하는 개념을 설명하기 위한 평면도이다.

도 62는 하나의 제2 도체와 복수의 제3 도체의 배열을 나타내는 평면도이다.

도 63a는 본 기술의 제8 실시 형태에 관한 광 검출 장치의 제조 방법을 나타내는 공정 단면도이다.

도 63b는 도 63a에 이어지는 공정 단면도이다.

도 64는 본 기술의 제8 실시 형태의 변형예 1에 관한 광 검출 장치의 주요부를 나타내는 종단면도이다.

도 65는 본 기술의 제8 실시 형태의 변형예 2에 관한 광 검출 장치의, 하나의 제2 도체와 복수의 제3 도체의 배열을 나타내는 평면도이다.

도 66은 본 기술의 제8 실시 형태의 변형예 3에 관한 광 검출 장치의, 하나의 제2 도체와 복수의 제3 도체의 배열을 나타내는 평면도이다.

도 67은 본 기술의 제8 실시 형태의 변형예 4에 관한 광 검출 장치의 주요부를 나타내는 종단면도이다.

도 68은 본 기술의 제8 실시 형태의 변형예 4에 관한 광 검출 장치의 제조 방법을 나타내는 공정 단면도이다.

도 69는 본 기술의 제8 실시 형태의 변형예 5에 관한 광 검출 장치의 주요부를 나타내는 종단면도이다.

도 70은 본 기술의 제8 실시 형태의 변형예 5에 관한 광 검출 장치의, 제2 도체와 제3 도체의 배열을 나타내는 평면도이다.

도 71a는 본 기술의 제8 실시 형태의 변형예 5에 관한 광 검출 장치의 제조 방법을 나타내는 공정 단면도이다.

도 71b는 도 71a에 이어지는 공정 단면도이다.

도 72는 본 기술의 제8 실시 형태의 변형예 6에 관한 광 검출 장치의 주요부를 나타내는 종단면도이다.

도 73a는 본 기술의 제8 실시 형태의 변형예 6에 관한 광 검출 장치의 제조 방법을 나타내는 공정 단면도이다.

도 73b는 도 73a에 이어지는 공정 단면도이다.

도 74a는 본 기술의 제9 실시 형태에 관한 광 검출 장치가 구비한 마크 및 제2 도체의 단면 구조를 나타내는 종단면도이다.

도 74b는 본 기술의 제9 실시 형태에 관한 광 검출 장치가 구비한 얼라인먼트 마크를 평면으로 본 평면도이다.

도 74c는 도 74b의 영역 AA를 확대하여 나타낸 부분 확대 평면도이다.

도 75a는 본 기술의 제9 실시 형태에 관한 광 검출 장치의 제조 방법을 나타내는 공정 단면도이다.

도 75b는 도 75a에 이어지는 공정 단면도이다.

도 75c는 도 75b에 이어지는 공정 단면도이다.

도 75d는 도 75c에 이어지는 공정 단면도이다.

도 75e는 도 75d에 이어지는 공정 단면도이다.

도 76은 종래의 광 검출 장치가 구비한 마크 및 제2 도체의 단면 구조를 나타내는 종단면도이다.

도 77은 본 기술의 제9 실시 형태의 변형예 1에 관한 광 검출 장치가 구비한 마크 및 제2 도체의 단면 구조를 나타내는 종단면도이다.

도 78a는 본 기술의 제9 실시 형태의 변형예 1에 관한 광 검출 장치의 제조 방법을 나타내는 공정 단면도이다.

도 78b는 도 78a에 이어지는 공정 단면도이다.

도 78c는 도 78b에 이어지는 공정 단면도이다.

도 79는 본 기술의 제9 실시 형태의 변형예 2에 관한 광 검출 장치가 구비한 마크 및 제2 도체의 단면 구조를 나타내는 종단면도이다.

도 80a는 본 기술의 제9 실시 형태의 변형예 2에 관한 광 검출 장치의 제조 방법을 나타내는 공정 단면도이다.

도 80b는 도 80a에 이어지는 공정 단면도이다.

도 80c는 도 80b에 이어지는 공정 단면도이다.

도 81은 본 기술의 제9 실시 형태의 변형예 3에 관한 광 검출 장치가 구비한 마크 및 제2 도체의 단면 구조를 나타내는 종단면도이다.

도 82는 본 기술의 제9 실시 형태의 변형예 4에 관한 광 검출 장치가 구비한 얼라인먼트 마크의 영역 AA를 확대

하여 나타낸 부분 확대 평면도이다.

도 83은 본 기술의 제9 실시 형태의 변형예 5에 관한 광 검출 장치가 구비한 얼라인먼트 마크의 영역 AA를 확대하여 나타낸 부분 확대 평면도이다.

도 84는 본 기술의 제9 실시 형태의 변형예 6에 관한 광 검출 장치가 구비한 얼라인먼트 마크를 평면으로 본 평면도이다.

도 85는 본 기술의 제10 실시 형태에 관한 광 검출 장치의 주요부를 나타내는 종단면도이다.

도 86a는 본 기술의 제10 실시 형태에 관한 광 검출 장치의 제조 방법을 나타내는 공정 단면도이다.

도 86b는 도 86a에 이어지는 공정 단면도이다.

도 86c는 도 86b에 이어지는 공정 단면도이다.

도 86d는 도 86c에 이어지는 공정 단면도이다.

도 86e는 도 86d에 이어지는 공정 단면도이다.

도 87은 종래의 광 검출 장치의 주요부를 나타내는 종단면도이다.

도 88은 본 기술의 제10 실시 형태의 변형예 1에 관한 광 검출 장치의 주요부를 나타내는 종단면도이다.

도 89는 본 기술의 제10 실시 형태의 변형예 2에 관한 광 검출 장치의 주요부를 나타내는 종단면도이다.

도 90a는 본 기술의 제11 실시 형태에 관한 광 검출 장치의 주요부를 나타내는 종단면도이다.

도 90b는 본 기술의 제11 실시 형태에 관한 광 검출 장치의 주요부를 나타내는 종단면도이다.

도 90c는 도 90a에 나타내는 제7 도체와, 제8 도체와, 절연막을, 평면으로 본 경우의 접합 위치에 있어서의 치수 관계를 나타내는 설명도이다.

도 91a는 본 기술의 제11 실시 형태에 관한 광 검출 장치의 제조 방법을 나타내는 공정 단면도이다.

도 91b는 도 91a에 이어지는 공정 단면도이다.

도 91c는 도 91b에 이어지는 공정 단면도이다.

도 91d는 도 91c에 이어지는 공정 단면도이다.

도 91e는 도 91d에 이어지는 공정 단면도이다.

도 91f는 도 91e에 이어지는 공정 단면도이다.

도 92a는 종래의 광 검출 장치의 제조 방법을 나타내는 공정 단면도이다.

도 92b는 도 92a에 이어지는 공정 단면도이다.

도 93a는 본 기술의 제11 실시 형태의 변형예 1에 관한 광 검출 장치의 주요부를 나타내는 종단면도이다.

도 93b는 기술의 제11 실시 형태의 변형예 1에 관한 광 검출 장치의 주요부를 나타내는 종단면도이다.

도 93c는 도 93a에 나타내는 제7 도체와, 제8 도체와, 절연막을, 평면으로 본 경우의 접합 위치에 있어서의 치수 관계를 나타내는 설명도이다.

도 94a는 본 기술의 제11 실시 형태의 변형예 2에 관한 광 검출 장치의 주요부를 나타내는 종단면도이다.

도 94b는 본 기술의 제11 실시 형태의 변형예 2에 관한 광 검출 장치의 주요부를 나타내는 종단면도이다.

도 94c는 도 94a에 나타내는 제7 도체와, 제8 도체와, 절연막을, 평면으로 본 경우의 접합 위치에 있어서의 치수 관계를 나타내는 설명도이다.

도 95는 본 기술의 제11 실시 형태의 변형예 3에 관한 광 검출 장치의 주요부를 나타내는 종단면도이다.

도 96은 본 기술의 제12 실시 형태에 관한 전자 기기의 개략 구성을 나타내는 도면이다.

도 97은 차량 제어 시스템의 개략적인 구성의 일례를 나타내는 블록도이다.

도 98은 차외 정보 검출부 및 촬상부의 설치 위치의 일례를 나타내는 설명도이다.

도 99는 내시경 수술 시스템의 개략적인 구성의 일례를 나타내는 도면이다.

도 100은 카메라 헤드 및 CCU의 기능 구성의 일례를 나타내는 블록도이다.

도 101a는 본 기술의 제13 실시 형태에 관한 광 검출 장치의 주요부를 나타내는 종단면도이다.

도 101b는 도 101a의 일부분을 확대하여 나타내는 부분 확대도이다.

도 101c는 본 기술의 제13 실시 형태에 관한 광 검출 장치에 있어서, 배선과, 접속부와, 제1 도체와, 제2 도체의 위치 관계의 일례를 나타내는 평면도이다.

도 101d는 본 기술의 제13 실시 형태에 관한 광 검출 장치에 있어서, 배선과, 제1 도체와, 제2 도체의 위치 관계의 일례를 나타내는 평면도이다.

도 102a는 본 기술의 제13 실시 형태에 관한 광 검출 장치의 제조 방법을 나타내는 공정 단면도이다.

도 102b는 도 102a에 이어지는 공정 단면도이다.

도 102c는 도 102b에 이어지는 공정 단면도이다.

도 102d는 도 102c에 이어지는 공정 단면도이다.

도 102e는 도 102d에 이어지는 공정 단면도이다.

도 102f는 도 102e에 이어지는 공정 단면도이다.

도 102g는 도 102f에 이어지는 공정 단면도이다.

도 102h는 도 102g에 이어지는 공정 단면도이다.

도 102i는 도 102h에 이어지는 공정 단면도이다.

도 102j는 도 102i에 이어지는 공정 단면도이다.

도 103a는 본 기술의 제13 실시 형태의 변형예 1에 관한 광 검출 장치의 주요부를 나타내는 종단면도이다.

도 103b는 본 기술의 제13 실시 형태의 변형예 1에 관한 광 검출 장치에 있어서, 배선과, 접속부와, 제1 도체와, 제2 도체의 위치 관계의 일례를 나타내는 평면도이다.

도 104a는 본 기술의 제14 실시 형태에 관한 광 검출 장치가 갖는 제2 도체의 단면 구조를 나타내는 종단면도이다.

도 104b는 도 104a의 F-F 절단선을 따라 단면으로 보았을 때의 단면 구조를 나타내는 횡단면도이다.

도 105a는 본 기술의 제14 실시 형태에 관한 광 검출 장치의 제조 방법을 나타내는 공정 단면도이다.

도 105b는 도 105a에 이어지는 공정 단면도이다.

도 105c는 도 105b에 이어지는 공정 단면도이다.

도 105d는 도 105c에 이어지는 공정 단면도이다.

도 105e는 도 105d에 이어지는 공정 단면도이다.

도 106은 제2 도체와 트랜지스터의 종래의 배치 관계를 나타내는 평면도이다.

도 107은 본 기술의 제14 실시 형태에 관한 광 검출 장치에 있어서의, 제2 도체와 트랜지스터의 배치 관계를 나타내는 평면도이다.

도 108은 본 기술의 제14 실시 형태의 변형예 1에 관한 광 검출 장치가 갖는 제2 도체의 단면 구조를 나타내는 종단면도이다.

도 109a는 본 기술의 제14 실시 형태의 변형예 2에 관한 광 검출 장치가 갖는 제2 도체의 단면 구조를 나타내는 종단면도이다.

도 109b는 도 109a의 F-F 절단선을 따라 단면으로 보았을 때의 단면 구조를 나타내는 횡단면도이다.

도 110은 본 기술의 제14 실시 형태의 변형예 2에 관한 광 검출 장치의 제조 방법을 나타내는 공정 단면도이다.

도 111a는 본 기술의 제14 실시 형태의 변형예 3에 관한 광 검출 장치가 갖는 제2 도체의 단면 구조를 나타내는 종단면도이다.

도 111b는 도 111a의 F-F 절단선을 따라 단면으로 보았을 때의 단면 구조를 나타내는 횡단면도이다.

도 112는 본 기술의 제14 실시 형태의 변형예 3에 관한 광 검출 장치의 제조 방법을 나타내는 공정 단면도이다.

도 113은 본 기술의 제15 실시 형태에 관한 광 검출 장치가 갖는 제2 도체의 단면 구조를 나타내는 종단면도이다.

도 114a는 본 기술의 제15 실시 형태에 관한 광 검출 장치의 제조 방법을 나타내는 공정 단면도이다.

도 114b는 도 114a에 이어지는 공정 단면도이다.

도 114c는 도 114b에 이어지는 공정 단면도이다.

도 114d는 도 114c에 이어지는 공정 단면도이다.

도 114e는 도 114d에 이어지는 공정 단면도이다.

도 114f는 도 114e에 이어지는 공정 단면도이다.

도 114g는 도 114f에 이어지는 공정 단면도이다.

도 114h는 도 114g에 이어지는 공정 단면도이다.

도 114i는 도 114h에 이어지는 공정 단면도이다.

도 115는 본 기술의 제15 실시 형태의 변형예 1에 관한 광 검출 장치가 갖는 제2 도체의 단면 구조를 나타내는 종단면도이다.

도 116은 본 기술의 제15 실시 형태의 변형예 1에 관한 광 검출 장치의 제조 방법을 나타내는 공정 단면도이다.

도 117a는 본 기술의 제15 실시 형태의 변형예 2에 관한 광 검출 장치의 제조 방법을 나타내는 공정 단면도이다.

도 117b는 도 117a에 이어지는 공정 단면도이다.

도 118은 본 기술의 제15 실시 형태의 변형예 3에 관한 광 검출 장치의 주요부를 나타내는 종단면도이다.

도 119a는 본 기술의 제16 실시 형태에 관한 광 검출 장치의 화소 영역의 일부를 나타내는 종단면도이다.

도 119b는 도 119a에 나타내는 광 검출 장치의 제1 배선층이 갖는 비아층의 일부를 확대하여 나타내는 종단면도이다.

도 119c는 도 119a에 나타내는 광 검출 장치의 제1 배선층이 갖는 비아층의 일부의 평면 구성을 나타내는 평면도이다.

도 119d는 도 119a에 나타내는 광 검출 장치의 제2 배선층이 갖는 비아층의 일부를 확대하여 나타내는 종단면도이다.

도 120a는 본 기술의 제16 실시 형태에 관한 광 검출 장치의 제조 방법을 나타내는 공정 단면도이다.

도 120b는 도 120a에 이어지는 공정 단면도이다.

도 120c는 도 120b에 이어지는 공정 단면도이다.

도 120d는 도 120c에 이어지는 공정 단면도이다.

도 120e는 도 120d에 이어지는 공정 단면도이다.

도 120f는 도 120e에 이어지는 공정 단면도이다.

도 120g는 도 120f에 이어지는 공정 단면도이다.

도 121a는 본 기술의 제16 실시 형태의 변형예 2에 관한 광 검출 장치의 제1 배선층이 갖는 메탈층의 일부를 확

대하여 나타내는 종단면도이다.

도 121b는 본 기술의 제16 실시 형태의 변형예 2에 관한 광 검출 장치의 제1 배선층이 갖는 메탈층의 일부의 평면 구성을 나타내는 평면도이다.

도 122는 본 기술의 제17 실시 형태에 관한 광 검출 유닛의 단면 구조를 나타내는 종단면도이다.

도 123a는 본 기술의 제17 실시 형태에 관한 광 검출 장치의 화소 영역의 일부를 나타내는 종단면도이다.

도 123b는 본 기술의 제17 실시 형태에 관한 광 검출 장치가 갖는 집열부의 종단면 구조 및 평면 구조를 나타내는 도면이다.

도 123c는 본 기술의 제17 실시 형태에 관한 광 검출 장치가 갖는 방열부의 종단면 구조 및 평면 구조를 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0012] 이하, 본 기술을 실시하기 위한 적합한 형태에 대하여 도면을 참조하면서 설명한다. 또한, 이하에 설명하는 실시 형태는, 본 기술의 대표적인 실시 형태의 일례를 나타낸 것이고, 이에 의해 본 기술의 범위가 좁게 해석되는 경우는 없다.

[0013] 이하의 도면의 기재에 있어서, 동일 또는 유사한 부분에는 동일 또는 유사한 부호를 붙이고 있다. 단, 도면은 모식적인 것이고, 두께와 평면 치수의 관계, 각 층의 두께 비율 등은 현실의 것과는 다른 것에 유의해야 한다. 따라서, 구체적인 두께나 치수는 이하의 설명을 참작하여 판단해야 할 것이다. 또, 도면 상호간에 있어서도 서로의 치수의 관계나 비율이 다른 부분이 포함되어 있는 것은 물론이다.

[0014] 또한, 이하에 나타내는 제1 내지 제12 실시 형태는, 본 기술의 기술적 사상을 구체화하기 위한 장치나 방법을 예시하는 것이며, 본 기술의 기술적 사상은, 구성 부품의 재질, 형상, 구조, 배치 등을 하기의 것에 특정하는 것은 아니다. 본 기술의 기술적 사상은, 특허 청구의 범위에 기재된 청구항이 규정하는 기술적 범위 내에 있어서, 다양한 변경을 추가할 수 있다.

[0015] 설명은 이하의 순서로 행한다.

[0016] 1. 제1 실시 형태

[0017] 2. 제2 실시 형태

[0018] 3. 제3 실시 형태

[0019] 4. 제4 실시 형태

[0020] 5. 제5 실시 형태

[0021] 6. 제6 실시 형태

[0022] 7. 제7 실시 형태

[0023] 8. 제8 실시 형태

[0024] 9. 제9 실시 형태

[0025] 10. 제10 실시 형태

[0026] 11. 제11 실시 형태

[0027] 12. 제12 실시 형태

[0028] 전자 기기로의 응용예

[0029] 이동체로의 응용예

[0030] 내시경 수술 시스템으로의 응용예

[0031] 13. 제13 실시 형태

[0032] 14. 제14 실시 형태

[0033] 15. 제15 실시 형태

[0034] 16. 제16 실시 형태

[0035] 17. 제17 실시 형태

[0036] [제1 실시 형태]

[0037] 이 실시 형태 1에서는, 이면 조사형의 CMOS(Complementary Metal Oxide Semiconductor) 이미지 센서인 광 검출 장치에 본 기술을 적용한 일례에 대하여 설명한다.

[0038] ≪광 검출 장치의 전체 구성≫

[0039] 먼저, 광 검출 장치(1)의 전체 구성에 대하여 설명한다. 도 1에 나타낸 바와 같이, 본 기술의 제1 실시 형태에 관한 광 검출 장치(1)는, 평면으로 보았을 때의 이차원 평면 형상이 사각형의 반도체 칩(2)을 주체로 구성되어 있다. 즉, 광 검출 장치(1)는, 반도체 칩(2)에 탑재되어 있다. 이 광 검출 장치(1)는, 도 96에 나타낸 바와 같이, 광학계(광학 렌즈)(102)를 통해 피사체로부터의 상광(입사광(106))을 도입하여, 촬상면 상에 결상된 입사광(106)의 광량을 화소 단위로 전기 신호로 변환하여 화소 신호로서 출력한다.

[0040] 도 1에 나타낸 바와 같이, 광 검출 장치(1)가 탑재된 반도체 칩(2)은, 서로 교차하는 X방향 및 Y방향을 포함하는 이차원 평면에 있어서, 중앙부에 마련된 사각형의 화소 영역(2A)과, 이 화소 영역(2A)의 외측에 화소 영역(2A)을 둘러싸도록 하여 마련된 주변 영역(2B)을 구비하고 있다.

[0041] 화소 영역(2A)은, 예를 들어 도 96에 나타내는 광학계(102)에 의해 집광되는 광을 수광하는 수광면이다. 그리고, 화소 영역(2A)에는, X방향 및 Y방향을 포함하는 이차원 평면에 있어서 복수의 화소(3)가 행렬 형상으로 배치되어 있다. 바꾸어 말하면, 화소(3)는, 이차원 평면 내에서 서로 교차하는 X방향 및 Y방향의 각각의 방향으로 반복해서 배치되어 있다. 또한, 본 실시 형태에 있어서는, 일례로서 X방향과 Y방향이 직교하고 있다. 또한, X방향과 Y방향의 양쪽에 직교하는 방향이 Z방향(두께 방향)이다.

[0042] 도 1에 나타낸 바와 같이, 주변 영역(2B)에는, 복수의 본딩 패드(14)가 배치되어 있다. 복수의 본딩 패드(14)의 각각은, 예를 들어 반도체 칩(2)의 이차원 평면에 있어서의 4개의 변의 각각의 변을 따라 배열되어 있다. 복수의 본딩 패드(14)의 각각은, 반도체 칩(2)을 외부 장치와 전기적으로 접속할 때 사용되는 입출력 단자이다.

[0043] <로직 회로>

[0044] 도 2에 나타낸 바와 같이, 반도체 칩(2)은, 수직 구동 회로(4), 칼럼 신호 처리 회로(5), 수평 구동 회로(6), 출력 회로(7) 및 제어 회로(8) 등을 포함하는 로직 회로(13)를 구비하고 있다. 로직 회로(13)는, 전계 효과 트랜지스터로서, 예를 들어 n 채널 도전형의 MOSFET(Metal Oxide Semiconductor Field Effect Transistor) 및 p 채널 도전형의 MOSFET을 갖는 CMOS(Complenentary MOS) 회로로 구성되어 있다.

[0045] 수직 구동 회로(4)는, 예를 들어 시프트 레지스터에 의해 구성되어 있다. 수직 구동 회로(4)는, 원하는 화소 구동선(10)을 순차 선택하고, 선택한 화소 구동선(10)에 화소(3)를 구동하기 위한 펄스를 공급하여, 각 화소(3)를 행 단위로 구동한다. 즉, 수직 구동 회로(4)는, 화소 영역(2A)의 각 화소(3)를 행 단위로 순차 수직 방향으로 선택 주사하고, 각 화소(3)의 광전 변환 소자가 수광량에 따라 생성된 신호 전하에 기초하는 화소(3)로부터의 화소 신호를, 수직 신호선(11)을 통해 칼럼 신호 처리 회로(5)에 공급한다.

[0046] 칼럼 신호 처리 회로(5)는, 예를 들어 화소(3)의 열마다 배치되어 있고, 1행분의 화소(3)로부터 출력되는 신호에 대하여 화소열마다 노이즈 제거 등의 신호 처리를 행한다. 예를 들어 칼럼 신호 처리 회로(5)는, 화소 고유의 고정 패턴 노이즈를 제거하기 위한 CDS(Correlated Double Sampling: 상관 이중 샘플링) 및 AD(Analog Digital) 변환 등의 신호 처리를 행한다. 칼럼 신호 처리 회로(5)의 출력단에는 수평 선택 스위치(도시하지 않음)가 수평 신호선(12)과의 사이에 접속되어 마련된다.

[0047] 수평 구동 회로(6)는, 예를 들어 시프트 레지스터에 의해 구성되어 있다. 수평 구동 회로(6)는, 수평 주사 펄스를 칼럼 신호 처리 회로(5)에 순차 출력함으로써, 칼럼 신호 처리 회로(5)의 각각을 차례로 선택하여, 칼럼 신호 처리 회로(5)의 각각으로부터 신호 처리가 행해진 화소 신호를 수평 신호선(12)에 출력시킨다.

[0048] 출력 회로(7)는, 칼럼 신호 처리 회로(5)의 각각으로부터 수평 신호선(12)을 통해 순차적으로 공급되는 화소 신호에 대하여, 신호 처리를 행하여 출력한다. 신호 처리로서는, 예를 들어 버퍼링, 흑색 레벨 조정, 열 변동 보정, 각종 디지털 신호 처리 등을 사용할 수 있다.

[0049] 제어 회로(8)는, 수직 동기 신호, 수평 동기 신호 및 마스터 클럭 신호에 기초하여, 수직 구동 회로(4), 칼럼 신호 처리 회로(5) 및 수평 구동 회로(6) 등의 동작의 기준이 되는 클럭 신호나 제어 신호를 생성한다. 그리고, 제어 회로(8)는, 생성한 클럭 신호나 제어 신호를, 수직 구동 회로(4), 칼럼 신호 처리 회로(5) 및 수평 구동 회로(6) 등에 출력한다.

[0050] <화소>

[0051] 도 3은, 화소(3)의 일 구성예를 나타내는 등가 회로도이다. 화소(3)는, 광전 변환 소자 PD와, 이 광전 변환 소자 PD에서 광전 변환된 신호 전하를 축적(유지)하는 전하 축적 영역(플로팅 디퓨전: Floating Diffusion) FD와, 이 광전 변환 소자 PD에서 광전 변환된 신호 전하를 전하 축적 영역 FD로 전송하는 전송 트랜지스터 TR을 구비하고 있다. 또한, 화소(3)는, 전하 축적 영역 FD에 전기적으로 접속된 읽어내기 회로(15)를 구비하고 있다.

[0052] 광전 변환 소자 PD는, 수광량에 따른 신호 전하를 생성한다. 광전 소자 PD는 또한, 생성된 신호 전하를 일시적으로 축적(유지)한다. 광전 변환 소자 PD는, 캐소드측이 전송 트랜지스터 TR의 소스 영역과 전기적으로 접속되고, 애노드측이 기준 전위선(예를 들어, 접지)과 전기적으로 접속되어 있다. 광전 변환 소자 PD로서는, 예를 들어 포토다이오드가 사용되어 있다.

[0053] 전송 트랜지스터 TR의 드레인 영역은, 전하 축적 영역 FD와 전기적으로 접속되어 있다. 전송 트랜지스터 TR의 게이트 전극은, 화소 구동선(10)(도 2 참조) 중의 전송 트랜지스터 구동선과 전기적으로 접속되어 있다.

[0054] 전하 축적 영역 FD는, 광전 변환 소자 PD로부터 전송 트랜지스터 TR을 통해 전송된 신호 전하를 일시적으로 축적하여 유지한다.

[0055] 읽어내기 회로(15)는, 전하 축적 영역 FD에 축적된 신호 전하를 읽어내고, 신호 전하에 기초하는 화소 신호를 출력한다. 읽어내기 회로(15)는, 이것에 한정되지는 않지만, 화소 트랜지스터로서, 예를 들어 증폭 트랜지스터 AMP와, 선택 트랜지스터 SEL과, 리셋 트랜지스터 RST를 구비하고 있다. 이들 트랜지스터(AMP, SEL, RST)는, 예를 들어 산화실리콘막(SiO_2막)을 포함하는 게이트 절연막과, 게이트 전극과, 소스 영역 및 드레인 영역으로서 기능하는 한 쌍의 주전극 영역을 갖는 MOSFET으로 구성되어 있다. 또한, 이들 트랜지스터로서는, 게이트 절연막이 질화실리콘막(Si_3N_4막), 혹은 질화실리콘막 및 산화실리콘막 등의 적층막을 포함하는 MISFET(Metal Insulator Semiconductor FET)이어도 상관없다.

[0056] 증폭 트랜지스터 AMP는, 소스 영역이 선택 트랜지스터 SEL의 드레인 영역과 전기적으로 접속되고, 드레인 영역이 전원선 Vdd 및 리셋 트랜지스터의 드레인 영역과 전기적으로 접속되어 있다. 그리고, 증폭 트랜지스터 AMP의 게이트 전극은, 전하 축적 영역 FD 및 리셋 트랜지스터 RST의 소스 영역과 전기적으로 접속되어 있다.

[0057] 선택 트랜지스터 SEL은, 소스 영역이 수직 신호선(11)(VSL)과 전기적으로 접속되고, 드레인이 증폭 트랜지스터 AMP의 소스 영역과 전기적으로 접속되어 있다. 그리고, 선택 트랜지스터 SEL의 게이트 전극은, 화소 구동선(10)(도 2 참조) 중의 선택 트랜지스터 구동선과 전기적으로 접속되어 있다.

[0058] 리셋 트랜지스터 RST는, 소스 영역이 전하 축적 영역 FD 및 증폭 트랜지스터 AMP의 게이트 전극과 전기적으로 접속되고, 드레인 영역이 전원선 Vdd 및 증폭 트랜지스터 AMP의 드레인 영역과 전기적으로 접속되어 있다. 리셋 트랜지스터 RST의 게이트 전극은, 화소 구동선(10)(도 2 참조) 중의 리셋 트랜지스터 구동선과 전기적으로 접속되어 있다.

[0059] ≪광 검출 장치의 구체적인 구성≫

[0060] 이어서, 광 검출 장치(1)의 구체적인 구성에 대하여, 도 4a 및 도 4b를 사용하여 설명한다.

[0061] <광 검출 장치의 적층 구조>

[0062] 도 4a에 나타낸 바와 같이, 광 검출 장치(1)(반도체 칩(2))는, 집광층(90)과, 제1 반도체층(20)과, 제1 배선층(30)과, 제2 배선층(40)과, 제2 반도체층(50)과, 제3 배선층(60)과, 제4 배선층(70)과, 제3 반도체층(80)을 이 순서로 적층한 적층 구조를 갖는다.

[0063] 집광층(90)은, 제1 반도체층(20)의 제2 면(S2)측으로부터, 이것에 한정되지는 않지만, 예를 들어 컬러 필터(91)와, 온 칩 렌즈(92)가 그 순서로 적층된 적층 구조를 갖는다. 제1 반도체층(20)은, 후술하는 광전 변환 영역을 갖고 또한 한쪽의 면이 제1 면(S1)이고 다른 쪽의 면이 광 입사면인 제2 면(S2)이다. 제1 배선층(30)은, 제1 반도체층(20)의 제1 면(S1)에 중첩되어 있다. 제2 배선층(40)은, 제1 배선층(30)의 제1 반도체층(20)측의 면

과 반대측의 면에 중첩되어 있다. 제2 반도체층(50)은, 트랜지스터를 복수 갖고, 한쪽의 면이 제3 면(S3)이고 다른 쪽의 면이 제4 면(S4)이고, 제3 면(S3)이 제2 배선층(40)의 제1 배선층(30)측의 면과 반대측의 면에 중첩되어 있다. 제3 배선층(60)은, 제2 반도체층(50)의 제4 면(S4)에 중첩되어 있다. 제4 배선층(70)은, 제3 배선층(60)의 제2 반도체층(50)측의 면과 반대측의 면에 중첩되어 있다. 제3 반도체층(80)의 제5 면(S5)은, 제4 배선층(70)의 제3 배선층(60)측의 면과 반대측의 면에 중첩되어 있다.

[0064] 여기서, 제1 반도체층(20)의 제1 면(S1)을 소자 형성면 또는 주면이라고 칭하고, 제1 반도체층(20)의 제2 면(S2)을 광 입사면 또는 이면이라고 칭하는 경우도 있다. 또한, 제2 반도체층(50)의 제3 면(S3)을 소자 형성면 또는 주면이라고 칭하고, 제2 반도체층(50)의 제4 면(S4)을 이면이라고 칭하는 경우도 있다. 또한, 제3 반도체층(80)의 제5 면(S5)을 소자 형성면 또는 주면이라고 칭하고, 제5 면(S5)과는 반대측의 면을 이면이라고 칭하는 경우도 있다.

[0065] 또한, 제1 반도체층(20)과 제2 반도체층(50)은, 제1 배선층(30) 및 제2 배선층(40)을 통해, F2F(Face to Face)법으로, 즉 소자 형성면끼리가 마주 보도록, 접합되어 있다. 또한, 제2 반도체층(50)과 제3 반도체층(80)은, 제3 배선층(60) 및 제4 배선층(70)을 통해, B2F(Back to Face)법으로, 즉 이면과 소자 형성면이 마주 보도록, 접합되어 있다.

[0066] <제1 반도체층>

[0067] 제1 반도체층(20)은, 반도체 기판으로 구성되어 있다. 제1 반도체층(20)은, 제1 도전형, 예를 들어 p형의, 단결정 실리콘 기판으로 구성되어 있다. 또한, 제1 반도체층(20) 중 평면으로 보아 주변 영역(2B)과 겹치는 영역에는, 예를 들어 본딩 패드(14)가 마련되어 있다. 그리고, 제1 반도체층(20) 중 평면으로 보아 화소 영역(2A)과 겹치는 영역에는, 광전 변환 영역(20a)이 화소(3)마다 마련되어 있다. 예를 들어, 분리 영역(20b)으로 구획된 섬 형상의 광전 변환 영역(20a)이 화소(3)마다 마련되어 있다. 또한, 화소(3)의 수는, 도 4a에 한정되는 것은 아니다.

[0068] 광전 변환 영역(20a)은, 도시는 생략하지만, 제1 도전형, 예를 들어 p형의 웰 영역과, 웰 영역의 내부에 매설된, 제2 도전형, 예를 들어 n형의 반도체 영역(광전 변환부)을 갖는다. 도 3에 나타낸 광전 변환 소자 PD는, 제1 반도체층(20)의 웰 영역과 광전 변환부를 포함하는 광전 변환 영역(20a)으로 구성되어 있다. 또한, 광전 변환 영역(20a)에는, 이것에 한정되지는 않지만, 제2 도전형, 예를 들어 n형의 반도체 영역인 도시하지 않은 전하 축적 영역과 트랜지스터 T1이 마련되어 있어도 된다. 트랜지스터 T1은, 예를 들어 도 3에 나타내는 전송 트랜지스터 TR이다.

[0069] 분리 영역(20b)은, 이것에 한정되지는 않지만, 예를 들어 제1 반도체층(20)에 분리 홈을 형성하고, 이 분리 홈 내에 절연막을 매립한 트렌치 구조를 갖는다. 도 4a에 나타내는 예에서는, 분리 홈 내에 절연막 및 금속이 매립되어 있다.

[0070] <제1 배선층>

[0071] 제1 배선층(30)은, 절연막(31)과, 배선(32)과, 제1 접속 패드(33)와, 비아(콘택트)(34)를 포함한다. 배선(32) 및 제1 접속 패드(33)는, 도시된 바와 같이 절연막(31)을 통해 적층되어 있다. 제1 접속 패드(33)는, 제1 배선층(30)의 제1 반도체층(20)측과는 반대측의 면에 면하고 있다. 비아(34)는, 제1 반도체층(20)과 배선(32), 배선(32)끼리 및 배선(32)과 제1 접속 패드(33) 등을 접속하고 있다. 또한, 배선(32) 및 제1 접속 패드(33)는, 이것에 한정되지는 않지만, 예를 들어 구리제이고, 다마신법에 의해 형성되어 있어도 된다.

[0072] <제2 배선층>

[0073] 제2 배선층(40)은, 절연막(41)과, 배선(42)과, 제2 접속 패드(43)와, 비아(콘택트)(44)를 포함한다. 배선(42) 및 제2 접속 패드(43)는, 도시된 바와 같이 절연막(41)을 통해 적층되어 있다. 제2 접속 패드(43)는, 제2 배선층(40)의 제2 반도체층(50)측과는 반대측의 면에 면하고 있고, 제1 접속 패드(33)와 접합되어 있다. 비아(44)는, 제2 반도체층(50)과 배선(42), 배선(42)끼리 및 배선(42)과 제2 접속 패드(43) 등을 접속하고 있다. 또한, 배선(42) 및 제2 접속 패드(43)는, 이것에 한정되지는 않지만, 예를 들어 구리제이고, 다마신법에 의해 형성되어 있어도 된다.

[0074] <제2 반도체층>

[0075] 제2 반도체층(50)은, 반도체 기판으로 구성되어 있다. 제2 반도체층(50)은, 이것에 한정되지는 않지만, 단결정 실리콘 기판으로 구성되어 있다. 제2 반도체층(50)은, 제1 도전형, 예를 들어 p형을 나타낸다. 제2 반도체층

(50)에는, 트랜지스터 T2가 복수 마련되어 있다. 더 구체적으로는, 트랜지스터 T2는, 제2 반도체층(50) 중 평면으로 보아 화소 영역(2A)과 겹치는 영역에 마련되어 있다. 트랜지스터 T2는, 예를 들어 도 3에 나타내는 읽어내기 회로(15)를 구성하는 트랜지스터이다. 또한, 제2 반도체층(50) 중, 평면으로 보아 화소 영역(2A)과 겹치는 영역과, 평면으로 보아 주변 영역(2B)과 겹치는 영역을 구별하기 위해, 주변 영역(2B)과 겹치는 영역을 제1 영역(50a)이라고 칭하고, 화소 영역(2A)과 겹치는 영역을 제2 영역(50b)이라고 칭한다.

[0076] (제1 도체 및 제2 도체)

[0077] 제2 반도체층(50)에는, 제1 도체(51) 및 제2 도체(52)가 마련되어 있다. 더 구체적으로는, 제1 영역(50a)에는, 제1 폭을 갖고, 제1 재료에 의해 구성되어 있고, 제2 반도체층(50)을 두께 방향을 따라 관통하고 있는 제1 도체(51)가 마련되어 있다. 그리고, 제2 영역(50b)에는, 제1 폭보다 작은 제2 폭을 갖고, 제1 재료와는 다른 제2 재료에 의해 구성되어 있고, 제2 반도체층(50)을 두께 방향을 따라 관통하고 있는 제2 도체(52)가 마련되어 있다. 제1 도체(51) 및 제2 도체(52)는, 반도체층을 관통하는 도체(전극)이다. 본 실시 형태에서는 반도체층은 실리콘제이므로, 제1 도체(51) 및 제2 도체(52)는, 실리콘 관통 전극(TSV, Through-Silicon Via)이다.

[0078] 제1 도체(51)는, 이것에 한정되지는 않지만, 예를 들어 전원선으로서 사용된다. 그 때문에, 제1 도체(51)는, 전기적으로 저저항인 것이 바람직하다. 그래서, 제1 도체(51)를 구성하는 제1 재료로서, 전기 저항률이 낮은 도전 재료를 사용하는 것이 바람직하다. 여기서는, 제1 재료로서, 그러한 도전 재료의 일례인 구리를 사용한다. 또한, 제1 폭을 크게 함으로써, 제1 도체(51)의 저항을 작게 할 수 있다. 제1 도체(51)가 마련된 제1 영역(50a)은, 소자나 배선의 배치 밀도가 낮으므로, 제1 폭을 크게 할 수 있다.

[0079] 제2 도체(52)는 트랜지스터 T2가 복수 마련된 제2 영역(50b)에 마련되어 있기 때문에, 제2 도체(52)를, 트랜지스터 T2끼리 사이의 좁은 영역에 마련해야만 하는 경우가 있다. 그 때문에, 제2 폭을 작게 할 필요가 있다. 제2 폭을 작게 하면, 제2 도체(52)의 애스펙트비는 높아진다. 제2 도체(52)의 애스펙트비는, 이것에 한정되지는 않지만, 예를 들어 5 이상이 되는 경우가 있다. 이러한 애스펙트비에서는, 제1 재료와 동일한 재료(여기서는, 예를 들어 구리)에 의한 매립이 어려운 경우가 있다. 그래서, 제2 도체(52)를 구성하는 제2 재료로서, 애스펙트비가 높은 구멍에 대한 매립성이 양호한 도전 재료를 사용하는 것이 바람직하다. 그러한 도전 재료로서, 예를 들어 고융점 금속을 들 수 있다. 고융점 금속으로서는, 예를 들어 텅스텐(W), 코발트(Co), 루테늄(Ru) 또는 그것들의 적어도 하나를 포함한 금속 재료를 들 수 있다. 여기서는, 제2 재료로서, 텅스텐을 사용한다.

[0080] 도 4b에 나타낸 바와 같이, 제1 도체(51)는, 관통 방향에 있어서 단부(51a)와 단부(51b)를 갖는다. 관통 방향이란, 제1 도체(51)가 제2 반도체층(50)을 관통하는 방향이고, 또한 제2 반도체층(50)의 두께 방향이기도 하다. 제1 도체(51)의 단부(51a)는 제3 배선층(60) 내에 위치하고 있고, 단부(51b)는 제2 배선층(40) 내에 위치하고 있다. 제1 도체(51)는, 관통 방향에 있어서 테이퍼 형상을 나타내고 있으므로, 단부(51a)의 직경은 단부(51b)의 직경보다 치수가 크다. 그리고, 상술한 제1 폭은, 예를 들어 제1 도체(51)의 관통 방향에 있어서의 단부 중, 큰 쪽의 치수에 상당한다. 더 구체적으로는, 단부(51a)의 치수(여기서는 직경)와 단부(51b)의 치수(여기서는 직경) 중 큰 쪽, 즉 단부(51a)의 치수(여기서는 직경)에 상당한다. 또한, 직경이란 측면간 거리이고, 제1 도체(51)의 평면 형상에 상관없다. 또한, 여기서는, 단부(51a)의 직경을, 직경 d1로 나타낸다.

[0081] 마찬가지로, 제2 도체(52)는, 관통 방향에 있어서 단부(52a)와 단부(52b)를 갖는다. 관통 방향이란, 제2 도체(52)가 제2 반도체층(50)을 관통하는 방향이고, 또한 제2 반도체층(50)의 두께 방향이기도 하다. 제2 도체(52)의 단부(52a)는 제3 배선층(60) 내에 위치하고 있고, 단부(52b)는 제2 배선층(40) 내에 위치하고 있다. 제2 도체(52)는, 관통 방향에 있어서 테이퍼 형상을 나타내고 있으므로, 단부(52b)의 직경은 단부(52a)의 직경보다 치수가 크다. 그리고, 상술한 제2 폭은, 예를 들어 제2 도체(52)의 관통 방향에 있어서의 단부 중, 큰 쪽의 치수에 상당한다. 더 구체적으로는, 상술한 제2 폭은, 단부(52a)의 치수(여기서는 직경)와 단부(52b)의 치수(여기서는 직경) 중 큰 쪽, 즉 단부(52b)의 치수(여기서는 직경)에 상당한다. 또한, 직경이란 측면간 거리이고, 제2 도체(52)의 평면 형상에 상관없다. 또한, 여기서는, 단부(52b)의 직경을, 직경 d2라고 나타낸다. 그리고, 단부(52b)의 직경 d2는, 단부(51a)의 직경 d1보다 작다($d2<d1$).

[0082] 또한, 상술한 제1 도체(51)의 제1 폭을 갖는 단부(51a)와 제2 도체(52)의 제2 폭을 갖는 단부(52b) 중 한쪽은 제2 배선층(40)에 위치하고, 다른 쪽은 제3 배선층(60)에 위치하고 있다. 도 4a에 나타내는 예에서는, 단부(52b)는 제2 배선층(40)에 위치하고, 단부(51a)는 제3 배선층(60)에 위치하고 있다.

[0083] 제1 도체(51) 및 제2 도체(52)의 일방측의 단부는, 일방측의 단부와 동일한 측의 배선층에 마련된, 하나의 메탈층에 속하는 다른 배선에 각각 접속되어 있다. 더 구체적으로는, 제1 도체(51)의 제3 배선층(60)측(일방측)의

단부(51a) 및 제2 도체(52)의 제3 배선층(60)측(일방측)의 단부(52a)는, 후술하는 제3 배선층(60)에 마련된, 하나의 메탈막을 분단하여 형성된 배선, 또는 홈에 금속막을 매립하고, 금속막의 잉여부를 제거함으로써 형성하는 배선에 접속되어 있다. 더 구체적으로는, 하나의 메탈막은, 후술하는 제조 방법에 있어서 설명하는, 제3 배선층(60)의 메탈막(M1m)이다. 그리고, 메탈막(M1m)이 분단되고, 메탈층(M1)에 속하는 복수의 배선(62)이 형성되어 있다. 여기서는, 단부(51a)가 접속된 배선을 다른 배선과 구별하기 위해 배선(62a)이라고 칭하고, 단부(52a)가 접속된 배선을 다른 배선과 구별하기 위해 배선(62b)이라고 칭한다. 또한, 하나의 메탈층은, 일방측의 단부와 동일한 측의 배선층에 있어서, 가장 제2 반도체층(50)에 가까운 메탈층이다.

[0084] 제1 도체(51)의 제2 배선층(40)측(타방측)의 단부(51b) 및 제2 도체(52)의 제2 배선층(40)측(타방측)의 단부(52b)는, 제2 배선층(40)의 메탈층(M1)에 속하는 배선(42)에 접속되어 있다.

[0085] <제3 배선층>

[0086] 도 4a 및 도 4b에 나타낸 바와 같이, 제3 배선층(60)은, 절연막(61)과, 배선(62)과, 제3 접속 패드(63)와, 배리어 절연막(64)과, 실리콘 커버막(65)을 포함한다. 배선(62) 및 제3 접속 패드(63)는, 도시된 바와 같이 절연막(61)을 통해 적층되어 있다. 제3 접속 패드(63)는, 제3 배선층(60)의 제2 반도체층(50)측과는 반대측의 면에 면하고 있다. 배선(62) 및 제3 접속 패드(63)는, 이것에 한정되지는 않지만, 예를 들어 구리제이고, 다마신법에 의해 형성되어 있어도 된다.

[0087] 도 4b에 나타낸 바와 같이, 제3 배선층(60)은, 두께 방향에 있어서 메탈층(M1)에 속하는 배선(62)과 겹치는 위치에 마련된 배리어 절연막(64)을 갖는다. 배리어 절연막(64)은, 배리어 절연막(64)의 제2 반도체층(50)측과는 반대측으로부터 배리어 절연막(64)의 제2 반도체층(50)측으로의 금속의 확산을 방지하는 기능을 갖는다. 더 구체적으로는, 배리어 절연막(64)은, 이것에 한정되지는 않지만, 예를 들어 배리어 절연막(64)의 제2 반도체층(50)측과는 반대측에 형성된 배선의 금속(여기서는 구리)이, 배리어 절연막(64)의 제2 반도체층(50)측으로 확산되는 것을 방지한다. 배리어 절연막(64)은 절연성을 갖는 막이고, 이것에 한정되지는 않지만, 예를 들어 실리콘(Si)과 질소(N)를 포함하는 막, 실리콘과 탄소(C)를 포함하는 막, 또는 실리콘과 탄소와 질소를 포함하는 SiCN막 등이어도 된다. 여기서는, 배리어 절연막(64)이 SiCN막이라고 하고, 설명한다.

[0088] 실리콘 커버막(65)은, 소자의 발광 투영을 방지하기 위해 마련되어 있고, 고융점 산화물에 의해 구성되어 있다.

[0089] <제4 배선층>

[0090] 도 4a에 나타낸 바와 같이, 제4 배선층(70)은, 절연막(71)과, 배선(72)과, 제4 접속 패드(73)와, 비아(콘택트)(74)를 포함한다. 배선(72) 및 제4 접속 패드(73)는, 도시된 바와 같이 절연막(71)을 통해 적층되어 있다. 제4 접속 패드(73)는, 제4 배선층(70)의 제3 반도체층(80)측과는 반대측의 면에 면하고 있고, 제3 접속 패드(63)와 접합되어 있다. 비아(74)는, 제3 반도체층(80)과 배선(72), 배선(72)끼리 및 배선(72)과 제4 접속 패드(73) 등을 접속하고 있다. 또한, 배선(72) 및 제4 접속 패드(73)는, 이것에 한정되지는 않지만, 예를 들어 구리제이고, 다마신법에 의해 형성되어 있어도 된다.

[0091] <제3 반도체층>

[0092] 제3 반도체층(80)은, 반도체 기판으로 구성되어 있다. 제3 반도체층(80)은, 제1 도전형, 예를 들어 p형의, 단결정 실리콘 기판으로 구성되어 있다. 제3 반도체층(80)에는, 트랜지스터 T3이 복수 마련되어 있다. 더 구체적으로는, 트랜지스터 T3은, 제3 반도체층(80) 중 평면으로 보아 화소 영역(2A) 및 주변 영역(2B)과 겹치는 영역에 마련되어 있다. 트랜지스터 T3은, 예를 들어 도 2에 나타내는 로직 회로(13)를 구성하는 트랜지스터이다.

[0093] ≪광 검출 장치의 제조 방법≫

[0094] 이하, 도 5a부터 도 5v까지를 참조하여, 광 검출 장치(1)의 제조 방법에 대하여 설명한다. 또한, 도 5a부터 도 5v까지 나타내는 일부의 구성 요소는, 도 4a 및 도 4b에 나타내는 구성 요소와는 다른 축척이나 형상을 갖지만, 이것은, 광 검출 장치(1)의 제조 방법을 더 알기 쉽게 설명하기 위해서이다. 나아가, 도 5a부터 도 5v까지 나타내는 광 검출 장치(1)의 단면은, 도 4a 및 도 4b에 나타내는 단면과는 다른 단면이라고도 해석할 수 있다.

[0095] 제2 도체(52)는, 비아 미들(Via Middle) 방식으로 형성된다. 먼저, 도 5a에 나타낸 바와 같이, 제1 도전형, 예를 들어 p형의 제2 반도체층(50w)의 제3 면(S3)측에, 트랜지스터 T2 등의 소자를 형성한다. 그리고, 제3 면(S3)에, 제2 배선층(40)의 일부의 층을 형성한다. 더 구체적으로는, 제3 면(S3)에는, 비아(44) 및 비아(44)를 덮는 절연막(41)이 형성되어 있다. 그리고, 절연막(41)의 노출면에, 공지의 리소그래피 기술을 사용하여 레지

스트 패턴 R1을 형성한다.

[0096] 그리고, 레지스트 패턴 R1을 마스크로 하고, 공지의 에칭 기술을 사용하여 에칭을 행한다. 더 구체적으로는, 레지스트 패턴 R1의 개구부(R1a)로부터 노출되는 부분을 제2 반도체층(50w)의 내부까지 에칭하여, 도 5b에 나타내는, 구멍(53)을 형성한다. 구멍(53)의 직경은, 이것에 한정되지는 않지만, 예를 들어 40㎚ 이상 300㎚ 이하의 크기로 형성된다. 이 구멍(53)에 형성되는 제2 도체(52)는, 구멍(53)과 동일 정도의 크기로 형성된다. 그 때문에, 제2 폭은, 40㎚ 이상 300㎚ 이하이다. 그 후, 레지스트 패턴 R1을 제거한다. 구멍(53)은, 이것에 한정되지는 않지만, 예를 들어 트랜지스터 T2가 밀집하여 마련된 영역에 마련되는 경우가 있다. 구멍(53)은, 이것에 한정되지는 않지만, 예를 들어 트랜지스터 T2끼리 사이 등, 평면으로 보아 좁은 영역에 마련되는 경우가 있다. 이러한 경우, 구멍(53)의 직경을 작게 할 필요가 있고, 그 애스펙트비를 높게 마련할 필요가 발생한다.

[0097] 이어서, 도 5c에 나타낸 바와 같이, 구멍(53)의 내벽을 포함하는 노출면에 대하여, 절연막(41m)과, 막(52m)을 이 순서로 순차 적층한다. 절연막(41m)은, 예를 들어 산화실리콘(SiO_2)을 포함한다. 막(52m)은, 제2 도체(52)를 구성하는 제2 재료이고, 여기서는 텅스텐막이다. 절연막(41m)은, 제2 반도체층(50w)을 구성하는 실리콘과 제2 재료인 텅스텐 사이를 절연하기 위해 마련되어 있다. 또한, 구멍(53)의 애스펙트비가 높으므로, 절연막(41m)은, 원자층 퇴적법(ALD, Atomic Layer Deposition) 등의 피복성이 높은 성막 방식으로 적층되는 것이 바람직하다. 절연막(41m)은, 이것에 한정되지는 않지만, 예를 들어 20㎚ 정도의 막 두께로 적층된다. 제2 이 재료를 포함하는 막(52m)은, 화학 증착법(CVD, Chemical Vapor Deposition)에 의해 적층된다. 텅스텐은 이미 설명한 바와 같이 매립성이 양호하기 때문에, 애스펙트비가 높은 구멍(53)에 대한 매립성도 양호하다.

[0098] 그 후, 도 5d에 나타낸 바와 같이, 에치 백 및 CMP법(Chemical Mechanical Polishing)에 의해, 절연막(41m) 및 막(52m)의 여분의 부분을 제거한다. 또한, 비아(44)가 노출될 때까지 절연막(41)을 연삭한다. 또한, 여기서는, 구멍(53) 내에 매립된 내용물을, 기둥(53a)이라고 칭한다. 기둥(53a)은, 외측이 절연막(41m), 내측이 텅스텐인 2층 구조를 갖는다. 그리고, 도 5e에 나타낸 바와 같이, 제2 배선층(40)의 나머지의 각 층을 형성함으로써, 제2 배선층(40)을 완성시킨다.

[0099] 이어서, 도 5f에 나타낸 바와 같이, 제2 배선층(40)이 적층된 제2 반도체층(50w)과, 별도 준비한, 제1 배선층(30)이 적층된 제1 반도체층(20)을, F2F법으로 접합한다. 그리고, 도 5g에 나타낸 바와 같이, 제2 반도체층(50w)의 이면측을 백 그라인딩에 의해 연삭하여, 제2 반도체층(50w)의 두께를 얇게 한다.

[0100] 또한, 도 5h에 나타낸 바와 같이, 공지의 건식 에칭에 의해, 제2 반도체층(50w)을 구성하는 실리콘을 선택적으로 에칭하여, 제2 반도체층(50)이 되는 부분을 남긴다. 더 구체적으로는, 제2 반도체층(50w)을 구성하는 실리콘과 절연막(41m)을 구성하는 산화실리콘의, 선택된 에천트에 있어서의 에칭 레이트의 차를 이용하여, 제2 반도체층(50w)을 구성하는 실리콘을 선택적으로 에칭한다. 기둥(53a)의 외주는 산화실리콘인 절연막(41m)에 의해 구성되어 있으므로, 기둥(53a)은 에칭되지 않고 남고, 일부가 제2 반도체층(50)의 제4 면(S4)으로부터 돌출된 상태가 된다. 그리고, 기둥(53a), 더 구체적으로는 기둥(53a)의 제2 재료는, 제2 반도체층(50)을 관통하는 하나의 도체가 된다. 즉, 제2 반도체층(50)에 자신을 관통하는 하나의 도체가 형성된다.

[0101] 그 후, 제2 반도체층(50)의 제4 면(S4)에, 제3 배선층(60)을 형성해 간다. 도 5i에 나타낸 바와 같이, 기둥(53a)의 노출면 및 제4 면(S4)에, 제3 배선층(60)의 막(65m)과 절연막(61m1)을, 이 순서로 적층한다. 막(65m)은, 실리콘 커버막(65)을 구성하는 고융점 산화물을 포함하는 막이고, 절연막(61m1)은, 예를 들어 산화실리콘을 포함하는 막이다. 더 구체적으로는, 제4 면(S4)에, 기둥(53a)의 한쪽의 단부인 단부(53b)를 덮도록, 막(65m)과 절연막(61m1)을 이 순서로 적층한다. 이 절연막(61m1)에 의해 덮임으로써, 기둥(53a)의 단부(53b)가 노출되지 않게 된다. 기둥(53a)의 한쪽의 단부란, 기둥(53a)이 제2 반도체층(50)을 관통하는 관통 방향에 있어서 제4 면(S4) 근처의 단부이다.

[0102] 그리고, 도 5j에 나타낸 바와 같이, CMP법을 사용하여, 절연막(61m1)의 노출면을 평탄화한다. 이때, CMP법에 의해 단부(53b)를 연삭하여 후퇴시킴으로써, 기둥(53a)의 텅스텐을 노출시켜도 된다. 또한, 약액으로 세정함으로써, 막(65m) 중 기둥(53a)의 주위에 적층된 부분을 제거한다. 이에 의해, 도 4a에 나타내는 실리콘 커버막(65)이 형성된다.

[0103] 이어서, 도 5k에 나타낸 바와 같이, 기둥(53a)의 단부(53b)를 덮도록, 절연막(61m2)을 적층한다. 이 절연막(61m2)에 의해 덮임으로써, 기둥(53a)의 단부(53b)가 노출되지 않게 된다.

[0104] 그리고, 도 5l에 나타낸 바와 같이, 절연막(61m2)의 노출면에, 공지의 리소그래피 기술을 사용하여 레지스트 패턴 R2를 형성하여, 레지스트 패턴 R2를 마스크로 하고, 공지의 에칭 기술을 사용하여 에칭을 행한다. 더 구체

적으로는, 레지스트 패턴 R2의 개구부 R2a에 노출되는 부분을 에칭하여, 절연막(61m2)으로부터, 제2 반도체층(50)을 관통하여, 제2 배선층(40)까지 도달하는 구멍(54h)을 형성한다.

[0105] 그 후, 도 5m에 나타낸 바와 같이, 구멍(54h)의 내벽 및 절연막(61m2)의 노출면에 대하여, 예를 들어 산화실리콘을 포함하는 절연막(61m3)을 적층한다. 그리고, 도 5n에 나타낸 바와 같이, 구멍(54h)의 저부의 절연막을, 배선(42)에 도달할 때까지 에치 백에 의해 제거하여, 구멍(54)을 얻는다. 구멍(54)의 직경은, 이것에 한정되지는 않지만, 예를 들어 1㎛ 이상 5㎛ 이하의 크기로 형성된다. 이 구멍(54)에 형성되는 제1 도체(51)는, 구멍(54)과 동일 정도의 크기로 형성된다. 그 때문에, 제1 폭은, 1㎛ 이상 5㎛ 이하이다. 또한, 이것 이후는 절연막(61m1, 61m2, 61m3)을 구별하지 않고, 단순히 절연막(61m)이라고 칭한다.

[0106] 이어서, 도 5o에 나타낸 바와 같이, 절연막(61m)의 노출면에 대하여, 제1 재료, 즉 구리를 포함하는 막(51m)을 적층한다. 막(51m)은, 구멍(54) 내를 매립하도록 적층된다. 구멍(54)은, 도 5b에 나타내는 구멍(53)에 비해, 직경이 충분히 크고 또한 애스펙트비도 낮으므로, 매립성이 텅스텐보다 떨어지는 구리라도 구멍(54)을 매립할 수 있다.

[0107] 그리고, CMP법에 의해, 도 5o에 나타내는 막(51m)의 여분의 부분을 제거한다. 여기서는, 기둥(53a)의 단부(53b)가 절연막(61m)에 의해 덮여 있으므로, CMP법의 연삭에 의해 기둥(53a) 및 그 단부(53b)가 연삭되기 어렵다. 즉, 기둥(53a) 및 단면이 노출되는 것을 억제할 수 있다. 이에 의해, 막(51m)의 구리와 기둥(53a)의 텅스텐이 동시에 연삭되는 것을 억제하고 있다. CMP법에 의해, 도 5o에 나타내는 막(51m)의 여분의 부분을 제거하면, 도 5p에 나타낸 바와 같은 상태가 된다. 여기서는, 구멍(54) 내에 매립된 내용물을, 기둥(54a)이라고 칭한다. 그리고, 이 공정에 의해, 기둥(54a)을 구성하는 제1 재료는, 제2 반도체층(50)을 관통하는 다른 도체가 된다. 즉, 제2 반도체층(50)에 자신을 관통하는 다른 도체를 형성한다. 또한, 기둥(54a)이 노출되어 있는 단부를 단부(53b)라고 칭한다. 구멍(54)의 애스펙트비는 낮으므로, 기둥(54a)의 애스펙트비도 낮다.

[0108] 이어서, 도 5q에 나타낸 바와 같이, 절연막(61m)의 노출면에, 제3 배선층(60)의 배리어 절연막(64)과 절연막(61m4)을, 이 순서로 적층한다. 더 구체적으로는, 기둥(54a)의 한쪽의 단부, 즉 단부(54b)를 덮도록, 배리어 절연막(64)과 절연막(61m4)을 적층한다. 기둥(54a)의 한쪽의 단부란, 기둥(54a)이 제2 반도체층(50)을 관통하는 관통 방향에 있어서 제4 면(S4) 근처의 단부이다. 또한, 절연막(61m)과 절연막(61m4)을 구별하지 않는 경우, 단순히 절연막(61)이라고 칭한다.

[0109] 그 후, 도 5r에 나타낸 바와 같이, 절연막(61m4)의 노출면에, 공지의 리소그래피 기술을 사용하여 레지스트 패턴 R3을 형성하여, 레지스트 패턴 R3을 마스크로 하고, 공지의 에칭 기술을 사용하여 에칭을 행한다. 더 구체적으로는, 레지스트 패턴 R3의 개구부 R3a로부터 노출되는 절연막(61m4)을 배리어 절연막(64)에 도달할 때까지 에칭하여, 배선(62)을 형성하기 위한 개구(66)를 복수 형성한다. 즉, 배리어 절연막(64)은, 에칭 스톱층으로서도 기능한다. 그 후, 레지스트 패턴 R3을 제거한다.

[0110] 여기서, 레지스트 패턴 R3의 개구부 R3a가 클수록 에칭에 의해 형성된 개구(66)의 애스펙트비가 낮아지고, 개구부 R3a가 작을수록 개구(66)의 애스펙트비가 높아진다. 또한, 일반적으로, 개구(66)의 애스펙트비가 높을수록 개구(66)의 에칭 속도가 느려지고, 개구(66)의 애스펙트비가 낮을수록 개구(66)의 에칭 속도가 빨라진다. 평면으로 보아 기둥(54a)과 겹치도록 형성된 개구인 개구(66a)는, 이것에 한정되지는 않지만, 예를 들어 평면으로 보아 하나의 기둥(53a)과 겹치도록 형성된 개구인 개구(66b)에 비해, 그 애스펙트비는 낮다. 그 때문에, 개구(66a)의 에칭은 개구(66b)보다 빠르게 진행된다. 여기서는, 개구(66)의 폭 차이에 의해 발생한 에칭의 진행 속도의 차이를 리셋하기 위해, 모든 개구(66)에 있어서, 그 에칭을 배리어 절연막(64)으로 일단 멈추고 있다. 에칭 스톱층으로서 기능하는 배리어 절연막(64)에 의해 개구(66a)의 에칭이 일단 멈춰지므로, 개구(66b) 및 그 밖의 개구(66)가 배리어 절연막(64)에 도달하기 전에, 구리를 포함하는 기둥(54a)이 먼저에칭되는 것을 방지할 수 있다. 이에 의해, 구리를 포함하는 기둥(54a)에 대한 에칭양이 증가하는 것을 억제할 수 있다. 또한, 배리어 절연막(64)은, 레지스트 패턴 R3을 제거하는 공정에 있어서, 기둥(54a)을 보호하는 역할을 갖는다.

[0111] 이어서, 도 5s에 나타낸 바와 같이, 모든 개구(66)에 있어서, 배리어 절연막(64)이 노출된 부분, 즉 에칭 스톱층으로서 기능한 부분을 에칭에 의해 제거한다. 그리고, 도 5t에 나타낸 바와 같이, 모든 개구(66)에 있어서, 절연막(61m)을 에칭한다. 배리어 절연막(64)에 의해 모든 에칭이 일단 멈추어져 있으므로, 절연막(61m)에 대한 에칭은, 모든 개구(66)에 있어서, 거의 동시에 개시할 수 있다. 또한, 도 5t에 나타내는 에칭은, 기둥(53a)의 단부(53b)가 노출될 때까지 행해진다. 또한, 배리어 절연막(64) 중 제거되지 않고 남은 부분은, 배리어 절연막으로서 기능한다.

[0112] 또한, 도 5t에 나타낸 바와 같이, 기둥(53a)의 단부(53b) 및 기둥(54a)의 단부(54b)는, 개구(66)의 저부로부터 돌출되어 있어도 된다. 단부(53b) 및 단부(54b)를 이렇게 마련함으로써, 개구(66)에 매립되는 배선(62)과의 접촉 면적이 증가하여, 배선(62)과의 밀착성이 향상된다.

[0113] 그 후, 도 5u에 나타낸 바와 같이, 개구(66)의 내벽 및 절연막(61m4)의 노출면에 대하여, 메탈막(M1m)을 적층한다. 그리고, 도 5v에 나타낸 바와 같이, CMP법에 의해, 메탈막(M1m)의 여분의 부분을 제거한다. 이에 의해, 메탈막(M1m)을 분단하여, 메탈층(M1)에 속하는 배선(62)을 형성한다. 그리고, 배선(62b)에 접속된, 기둥(53a)의 텅스텐을 포함하는 부분이 제2 도체(52)에 상당하고, 배선(62a)에 접속된 기둥(54a)이 제1 도체(51)에 상당한다.

[0114] 이어서, 도시는 생략하지만, 제3 배선층(60)의 나머지의 층을 형성한다. 그리고, 이하, 공정의 순서는 이것에 한정되는 것은 아니지만, 제3 배선층(60)이 적층된 제2 반도체층(50)과, 별도 준비한, 제4 배선층(70)이 적층된 제3 반도체층(80)을, B2F법으로 접합한다. 그리고, 광 입사면측에 집광층(90)을 형성한다. 이에 의해, 광 검출 장치(1)가 거의 완성된다. 광 검출 장치(1)는, 반도체 기판에 스크라이브 라인(다이싱 라인)으로 구획된 복수의 칩 형성 영역의 각각에 형성된다. 그리고, 이 복수의 칩 형성 영역을 스크라이브 라인을 따라 개개로 분할함으로써, 광 검출 장치(1)를 탑재한 반도체 칩(2)이 형성된다.

[0115] ≪작용≫

[0116] 이하, 광 검출 장치(1)의 작용에 대하여 설명한다. 도 4b에 나타낸 바와 같이, 제1 도체(51)는, 제2 배선층(40)에 마련된 배선(42)과, 제3 배선층(60)에 마련된 배선(62a)을 전기적으로 접속한다. 또한, 제2 도체(52)는, 제2 배선층(40)에 마련된 배선(42)과, 제3 배선층(60)에 마련된 배선(62b)을 전기적으로 접속한다.

[0117] ≪제1 실시 형태의 주된 효과≫

[0118] 이하, 제1 실시 형태의 주된 효과를 설명하지만, 그 전에, 갈바니 부식에 대하여 설명한다. 복수의 다른 금속이 전해질 용액 중에서 노출되는 경우, 비인 쪽의 금속이 선택적으로 부식된다. 이것을 갈바니 부식이라고 한다. 예를 들어 CMP법을 행할 때 이종 금속이 액 중에서 노출되면, 갈바니 부식에 의해 이온화 경향이 높은 쪽의 금속이 용출된다. 예를 들어, 구리와 코발트가 액 중에서 노출된 경우에는 코발트가 용출되므로, 하나의 반도체층을 관통하는 구리제(귀의 금속제)의 TSV와 코발트제(비의 금속제)의 TSV를 혼재시켜 형성할 수는 없었다.

[0119] 이에 비해, 본 기술의 제1 실시 형태에 관한 광 검출 장치(1)에서는, 제2 반도체층(50)에 자신을 관통하는 하나의 도체를 형성하고, 하나의 도체의 한쪽의 단부를 덮도록 절연막(61)을 적층하고, 절연막(61)측으로부터, 하나의 도체를 구성하는 재료와는 다른 재료에 의해 구성되고 또한 하나의 도체의 직경보다 큰 직경을 갖는 다른 도체를, 제2 반도체층(50)을 관통하도록 형성하고, 절연막(61)측으로부터, 하나의 도체에 접속된 배선(62b) 및 다른 도체에 접속된 배선(62a)을 형성하고 있다. 그 때문에, 하나의 도체와 다른 도체의 양쪽이 용액 중에 노출된 상태가 되는 것이 억제되므로, 갈바니 부식이 발생하는 것을 억제할 수 있다. 그 때문에, 다른 재료로 구성된 제1 도체(51)와 제2 도체(52)를 마련할 수 있다.

[0120] 또한, 본 기술의 제1 실시 형태에 관한 광 검출 장치(1)에서는, 갈바니 부식이 발생하는 것을 억제할 수 있으므로, 저저항인 것이 요구되는 제1 도체(51)를 굵은 직경으로 구리에 의해 구성할 수 있고, 좁은 영역에 마련되는 제2 도체(52)를, 구리에서는 매립이 곤란한 미세한 직경에도 매립성이 양호한 텅스텐 등의 금속에 의해 구성할 수 있다.

[0121] 또한, 본 기술의 제1 실시 형태에 관한 광 검출 장치(1)에서는, 제2 반도체층(50) 중 평면으로 보아 주변 영역(2B)과 겹치는 제1 영역(50a)에 대경이면서 저저항의 제1 도체(51)를 마련하므로, 광 검출 장치(1)를 저소비 전력화할 수 있고, 더 고속화할 수 있다.

[0122] 또한, 본 기술의 제1 실시 형태에 관한 광 검출 장치(1)에서는, 제2 도체(52)는 애스펙트비가 높고 미세한 직경을 가지므로, 평면으로 보아 좁은 영역에 마련할 수 있고, 예를 들어 제2 반도체층(50) 중 평면으로 보아 화소 영역(2A)과 겹치는 제2 영역(50b)에 마련할 수 있다. 더 구체적으로는, 트랜지스터 T2끼리의 사이를 봉합하도록 하여 제2 도체(52)를 제2 영역(50b)에 마련할 수 있다. 즉, 화소(3) 내에 미세 TSV를 배치할 수 있다. 이에 의해, 광 검출 장치(1)의 설계 자유도가 높아진다.

[0123] 또한, 본 기술의 제1 실시 형태에 관한 광 검출 장치(1)에서는, 애스펙트비가 높은 제2 도체(52)를 형성할 수 있으므로, 제2 반도체층(50)의 두께가 비교적 두꺼운 경우라도, 제2 반도체층(50)을 관통하는 제2 도체(52)를 마련할 수 있다. 예를 들어, 이것에 한정되지는 않지만, 제2 반도체층(50)의 두께가 1마이크로미터를 초과하는

경우라도, 제2 도체(52)를 형성할 수 있다.

[0124] 또한, 본 기술의 제1 실시 형태에 관한 광 검출 장치(1)에서는, 제2 도체(52)를 미세한 직경으로 마련할 수 있으므로, 광 검출 장치(1) 및 화소(3)의 치수가 커지는 것을 억제할 수 있다. 또한, 제2 도체(52)가 미세한 직경을 가지므로, 제2 도체(52)가 트랜지스터 T2에 미치는 영향을 억제할 수 있고, 또한 제2 도체(52)와 트랜지스터 T2 사이의 킵 아웃 거리가 커지는 것을 억제할 수 있다. 킵 아웃 거리란, 제2 도체(52)가 트랜지스터 T2에 미치는 영향을 일정량 이하로 억제할 수 있는 거리이다.

[0125] 또한, 본 기술의 제1 실시 형태에 관한 광 검출 장치(1)에서는, 예를 들어 전압이 높은 전원선으로서 사용되는 제1 도체(51)와, 미세한 제2 도체(52)를 제2 반도체층(50)의 다른 영역에 마련, 즉 이격하여 마련하고 있으므로, 제2 도체(52)가 제1 도체(51)로부터 받는 영향을 저감시킬 수 있어, 광 검출 장치(1)의 신뢰성을 높일 수 있다.

[0126] 또한, 상술한 제1 실시 형태에 있어서, 기둥(53a)은, 외측이 절연막(41m), 내측이 텅스텐인 2층 구조를 갖고 있었지만, 이에 한정되지 않고, 절연막(41m)과 막(52m) 사이에 배리어 메탈층 등 다른 층을 갖고 있어도 된다. 또한, 기둥(54a)과 절연막(61) 사이에, 배리어 메탈층 등 다른 층이 마련되어 있어도 된다. 배리어 메탈은, 이것에 한정되지는 않지만, 예를 들어 질화티타늄(TiN)이고, 절연막과 텅스텐을 밀착시키는 밀착층으로서 기능한다.

[0127] 또한, 상술한 제1 실시 형태에 있어서, 제1 도체(51)의 제2 배선층(40)측(타방측)의 단부(51b) 및 제2 도체(52)의 제2 배선층(40)측(타방측)의 단부(52b)의 양쪽 모두, 제2 배선층(40)의 동일한 메탈층(메탈층(M1))에 속하는 배선(42)에 접속되어 있지만, 이것에 한정되지 않고, 다른 메탈층(예를 들어, 메탈층(M1)과 메탈층(M2))에 속하는 배선(42)에 접속되어 있어도 된다.

[0128] 또한, 제1 반도체층(20)에는, 도 3에 나타내는 화소(3)의 회로의 모든 요소가 마련되어 있어도 된다. 그 경우, 트랜지스터 T1은, 도 3에 나타내는 화소(3)의 회로를 구성하는 트랜지스터여도 된다. 또한, 제2 반도체층(50) 및 제3 반도체층(80)에, 도 3에 나타내는 회로의 후단의 신호 처리 회로로서, 캐패시터, 아날로그 회로, 로직 회로, 메모리 회로 등을 적절히 조합하여 배치해도 된다. 그 경우, 트랜지스터 T2, T3은, 그것들의 회로를 구성하는 트랜지스터여도 된다.

[0129] 또한, 상술한 제1 실시 형태에 있어서, 제1 도체(51)는 전원선으로서 사용되고 있었으나, 이에 한정되지 않고, 반도체 칩(2)의 외부로의 신호 출력선, 반도체 칩(2) 내의 각 트랜지스터의 구동선, 기준 전위선 등의 패스여도 된다. 또한, 제2 도체(52)는, 읽어내기 회로(15)를 제2 반도체층(50)에 형성한 경우에는 수직 신호선으로서 기능하고, 읽어내기 회로(15)를 제1 반도체층(20)에 형성한 경우에는 제1 반도체층(20)에 형성한 회로로부터 제3 반도체층(80)에 형성한 회로의 접속의 패스로서 기능해도 된다.

[0130] 또한, 제1 도체(51) 및 제2 도체(52)는, 치수(여기서는 직경)가 다르면 동종 재료제여도 된다. 또한, 이종 재료라면, 치수(여기서는 직경)가 동일해도 된다.

[0131] [제1 실시 형태의 변형예 1]

[0132] 도 6에 나타내는 본 기술의 제1 실시 형태의 변형예 1에 대하여, 이하에 설명한다. 본 제1 실시 형태의 변형예 1에 관한 광 검출 장치(1)가 상술한 제1 실시 형태에 관한 광 검출 장치(1)와 상이한 것은, 반도체층끼리의 접합 방법이고, 그 이외의 광 검출 장치(1)의 구성은, 기본적으로 상술한 제1 실시 형태의 광 검출 장치(1)와 마찬가지의 구성으로 되어 있다. 또한, 이미 설명한 구성 요소에 대해서는, 동일한 부호를 붙여 그 설명을 생략한다.

[0133] 제1 반도체층(20)과 제2 반도체층(50)은, 제1 배선층(30) 및 제3 배선층(60)을 통해, F2B(Back to Face)법으로, 즉 소자 형성면과 이면이 마주 보도록, 접합되어 있다. 또한, 제2 반도체층(50)과 제3 반도체층(80)은, 제2 배선층(40) 및 제4 배선층(70)을 통해, F2F(Back to Face)법으로, 즉 소자 형성면끼리가 마주 보도록, 접합되어 있다.

[0134] ≪제1 실시 형태의 변형예 1의 주된 효과≫

[0135] 이 제1 실시 형태의 변형예 1에 관한 광 검출 장치(1)라도, 상술한 제1 실시 형태에 관한 광 검출 장치(1)와 마찬가지의 효과가 얻어진다.

[0136] [제1 실시 형태의 변형예 2]

[0137] 도 7에 나타내는 본 기술의 제1 실시 형태의 변형예 2에 대하여, 이하에 설명한다. 본 제1 실시 형태의 변형예 2에 관한 광 검출 장치(1)가 상술한 제1 실시 형태에 관한 광 검출 장치(1)와 상이한 것은, 제2 도체(52)가 비아 라스트(Via Last) 방식으로 형성되는 점이고, 그 이외의 광 검출 장치(1)의 구성은, 기본적으로 상술한 제1 실시 형태의 광 검출 장치(1)와 마찬가지의 구성으로 되어 있다. 또한, 이미 설명한 구성 요소에 대해서는, 동일한 부호를 붙여 그 설명을 생략한다.

[0138] <제2 도체>

[0139] 제2 도체(52)는 비아 라스트로 형성되어 있으므로, 제2 도체(52)는, 관통 방향에 있어서 상술한 제1 실시 형태의 경우와는 역방향의 테이퍼 형상을 나타내고 있다. 그 때문에, 단부(52a)의 직경은 단부(52b)의 직경보다 치수가 크다. 그리고, 상술한 제2 폭은, 예를 들어 제2 도체(52)의 관통 방향에 있어서의 단부 중, 큰 쪽의 치수에 상당한다. 더 구체적으로는, 상술한 제2 폭은, 단부(52a)의 치수(여기서는 직경)와 단부(52b)의 치수(여기서는 직경) 중 큰 쪽, 즉 단부(52a)의 치수(여기서는 직경)에 상당한다. 또한, 직경이란 측면간 거리이고, 제2 도체(52)의 평면 형상에 상관없다. 또한, 여기서는, 단부(52a)의 직경을, 직경 d2라고 나타낸다. 그리고, 제1 도체(51)의 제1 폭을 갖는 단부(51a)와 제2 도체(52)의 제2 폭을 갖는 단부(52a)의 양쪽 모두, 제2 배선층(40) 및 제3 배선층(60) 중 동일한 배선층에 위치하고 있다. 여기서는, 도 4a에 나타내는 단부(51a)와 도 7에 나타내는 단부(52a) 양쪽 모두, 제3 배선층(60)에 위치하고 있다.

[0140] ≪광 검출 장치의 제조 방법≫

[0141] 이하, 도 8a 및 도 8b를 참조하여, 광 검출 장치(1)의 제조 방법에 대하여 설명한다. 또한, 여기서는, 상술한 제1 실시 형태에서 설명한 광 검출 장치(1)의 제조 방법과 다른 부분에 대해서만 설명한다.

[0142] 제1 실시 형태의 변형예 2에 관한 광 검출 장치(1)의 제조 방법에서는, 제2 도체(52)를 형성하는 공정의 순서가 상술한 제1 실시 형태의 광 검출 장치(1)의 제조 방법과는 다르다. 그 때문에, 도 5a에 나타내는 공정에 있어서 레지스트 패턴 R1을 형성하지 않는다. 그리고, 제2 배선층(40)을 먼저, 제2 반도체층(50w)의 제3 면(S3)측에 완성시킨다. 그 후, 제2 배선층(40)이 적층된 제2 반도체층(50w)과, 별도 준비한, 제1 배선층(30)이 적층된 제1 반도체층(20)을 F2F법으로 접합한다. 그리고, 백 그라인딩에 의해 제2 반도체층(50w)을 연삭하여, 제2 반도체층(50)이 되는 부분을 남긴다.

[0143] 이어서, 도 8a에 나타낸 바와 같이, 제2 반도체층(50)의 제4 면(S4)에, 실리콘 커버막(65)을 구성하는 막(65m)과, 절연막(61m5)을 이 순서로 적층한다. 그리고, 절연막(61m5)측으로부터, 제2 반도체층(50)을 관통하는 구멍(53h)을 형성한다. 그 후, 원자층 퇴적법에 의해, 구멍(53h)의 내벽 및 절연막(61m5)의 노출면에 대하여 절연막(41m)을 적층한다. 또한, 이때, 구멍(53h)의 내부 공간이 메워지도록 절연막(61m5)을 적층해도 된다.

[0144] 그리고, 도 8b에 나타낸 바와 같이, 공지의 에칭 기술, 또는 리소그래피 기술과 에칭 기술의 조합 등에 의해, 제2 반도체층(50)을 관통하고 또한 제2 배선층(40)의 배선(42)에 도달하는 구멍(53i)을 형성한다. 그 후, 그 구멍(53i)에 텅스텐을 매립한다. 이에 의해, 제2 도체(52)(1의 도체)를 형성한다. 그리고, 제2 도체(52) 및 절연막(61m5)의 노출면을 덮도록 절연막을 적층하고, 제1 실시 형태의 경우와 마찬가지로, 도 51에 나타내는 공정 및 그 이후의 공정을 행한다.

[0145] ≪제1 실시 형태의 변형예 2의 주된 효과≫

[0146] 이 제1 실시 형태의 변형예 2에 관한 광 검출 장치(1)라도, 상술한 제1 실시 형태에 관한 광 검출 장치(1)와 마찬가지의 효과가 얻어진다.

[0147] [제1 실시 형태의 변형예 3]

[0148] 도 9에 나타내는 본 기술의 제1 실시 형태의 변형예 3에 대하여, 이하에 설명한다. 본 제1 실시 형태의 변형예 3에 관한 광 검출 장치(1)가 상술한 제1 실시 형태와 상이한 것은, 트랜지스터 T2가 핀형의 MOSFET인 점이고, 그 이외의 광 검출 장치(1)의 구성은, 기본적으로 상술한 제1 실시 형태의 광 검출 장치(1)와 마찬가지의 구성으로 되어 있다. 또한, 이미 설명한 구성 요소에 대해서는, 동일한 부호를 붙여 그 설명을 생략한다.

[0149] 트랜지스터 T2는 핀형의 MOSFET(이하, 「FinFET」이라고도 함)이고, 핀 T2f를 복수 갖는다. 핀 T2f는, 제2 반도체층의 제3 면(S3)측을 볼록 형상으로 형성한 것이고, 채널을 형성 가능하다. 트랜지스터 T2의 게이트 전극 TG는, 게이트 절연막(41G)을 통해 핀 T2f의 선단부를 덮도록 마련되어 있다. 또한, 도시는 생략하고 있지만, 도 9의 지면 수직 방향에 있어서의 핀 T2f의 한쪽의 단부에는 트랜지스터 T2의 소스 영역이 마련되고, 다른 쪽의 단부에는 트랜지스터 T2의 드레인 영역이 마련되어 있다. 그 때문에, 트랜지스터 T2의 채널은 지면 수직 방

향으로 통하도록 형성된다.

[0150] 도 9에 나타낸 바와 같이, 제2 도체(52)는, 제2 반도체층(50)의, FinFET인 트랜지스터 T2끼리 사이의 영역을 관통하고 있다. 그리고, 제2 도체(52)의 단부(52b)는, 배선(42M0)에 접속되어 있다. 배선(42M0)은, 이것에 한정되지는 않지만, 예를 들어 텅스텐에 의해 구성되어 있다. 그리고, 배선(42M0)은, 배선(42)에 접속되어 있다.

[0151] ≪제1 실시 형태의 변형예 3의 주된 효과≫

[0152] 이 제1 실시 형태의 변형예 3에 관한 광 검출 장치(1)라도, 상술한 제1 실시 형태에 관한 광 검출 장치(1)와 마찬가지의 효과가 얻어진다.

[0153] 또한, 상술한 제2 도체(52)는 주상이었지만, 이것에 한정되지 않고, 도 10에 나타내는 제2 도체(52L)여도 된다. 제2 도체(52L)는, 도 10의 지면 수직 방향으로 연장된 벽 형상의 도체이다.

[0154] 이하, 제2 도체(52L)의 두께란, 벽 형상의 도체의 두께를 나타낸다. 더 구체적으로는, 제2 도체(52L)의 두께란, 관통 방향과 도 10의 지면 수직 방향의 양쪽에 수직인 방향의 두께이다. 제2 도체(52L)는, 관통 방향에 있어서 단부(52La)와 단부(52Lb)를 갖는다. 단부(52Lb)는, 비아(44V0)를 통해 배선(42M0)에 접속되어 있다. 관통 방향이란, 제2 도체(52L)가 제2 반도체층(50)을 관통하는 방향이고, 또한 제2 반도체층(50)의 두께 방향이기도 하다. 제2 도체(52)의 단부(52La)는 제3 배선층(60) 내에 위치하고 있고, 단부(52Lb)는 제2 배선층(40) 내에 위치하고 있다.

[0155] 그리고, 제2 도체(52L)의 제2 폭은, 예를 들어 제2 도체(52L)의 관통 방향에 있어서의 단부 중, 큰 쪽의 치수에 상당한다. 더 구체적으로는, 제2 폭은, 단부(52La)의 치수(여기서는 두께)와 단부(52Lb)의 치수(여기서는 두께) 중 큰 쪽, 즉 단부(52Lb)의 치수(여기서는 두께)에 상당한다. 또한, 여기서는, 단부(52Lb)의 두께를, 두께 d2라고 나타낸다. 그리고, 단부(52Lb)의 두께 d2는, 상술한 제1 도체(51)의 단부(51a)의 직경 d1보다 작다(d2<d1). 또한, 이러한 제2 도체(52L)라도, 제1 실시 형태의 변형예 3의 제2 도체(52)와 마찬가지의 효과가 얻어진다.

[0156] [제1 실시 형태의 변형예 4]

[0157] 도 4c에 나타내는 본 기술의 제1 실시 형태의 변형예 4에 대하여, 이하에 설명한다. 본 제1 실시 형태의 변형예 4에 관한 광 검출 장치(1)의 제1 도체(51)와 제2 반도체층(50) 사이에, 절연막(61m3)을 갖는다. 그 이외의 광 검출 장치(1)의 구성은, 기본적으로 상술한 제1 실시 형태의 광 검출 장치(1)와 마찬가지의 구성으로 되어 있다. 또한, 이미 설명한 구성 요소에 대해서는, 동일한 부호를 붙여 그 설명을 생략한다. 또한, 절연막(61m3)을 다른 절연막(61)과 구별하지 않는 경우에는, 절연막(61)이라고 칭하는 경우가 있다.

[0158] 이하, 도 5l, 도 5w 및 도 5x를 참조하여, 본 기술의 제1 실시 형태의 변형예 4에 관한 광 검출 장치(1)의 제조 방법에 대하여 설명한다. 먼저, 도 5l에 나타낸 바와 같이, 레지스트 패턴 R2의 개구부 R2a에 노출되는 부분을 에칭하여, 제1 도체(51)를 매립하기 위한 구멍(54h)을 형성한다. 구멍(54h)은, 제2 반도체층(50)을 관통하고 있다. 그 후, 도 5w에 나타낸 바와 같이, 구멍(54h)의 저면 및 측벽을 덮도록, 예를 들어 산화실리콘을 포함하는 절연막(61m3)을 적층한다.

[0159] 여기서, 구멍(54h)은, 구멍(54h)에 매립되는 제1 도체(51)보다 얕게 형성되어 있다. 더 구체적으로는, 도 5w에 나타낸 바와 같이, 구멍(54h)의 저면과 배선(42) 사이에는, 절연막(41)이 남겨져 있고, 제2 배선층(40)이 갖는 구리제의 배선(42)은 구멍(54h)의 저면에 노출되어 있지 않다. 이것은 구멍(54h)을 형성하는 에칭에 있어서, 구리제의 배선(42)이 에칭되어 구리가 비산되는 것을 억제하기 위해서이다. 그리고, 구멍(54h)의 저면에는, 더 절연막(61m3)이 퇴적되어 있다.

[0160] 이어서, 도 5x에 나타낸 바와 같이, 구멍(54h)의 저면에 퇴적된 절연막(61m3)과, 구멍(54h)의 저면에 남겨진 절연막(41)을 에칭하여, 배선(42)에 도달하는 구멍(54)을 형성한다. 이에 의해, 구멍(54)에 매립된 제1 도체(51)가 배선(42)과 전기적으로 접속된다. 구멍(54)의 측벽에 남겨진 절연막(61m3)은, 제1 도체(51)와 제2 반도체층(50) 사이를 전기적으로 절연하는 사이드 월로서 기능한다. 또한, 절연막(61m3)은 구멍(54h) 내에 적층되었으므로, 사이드 월로서 기능하는 절연막(61m3)은 배선(42)에 도달하고 있지 않다. 이것 이후의 제조 방법은, 제1 실시 형태와 동일하므로, 설명을 생략한다.

[0161] 이 제1 실시 형태의 변형예 4에 관한 광 검출 장치(1)라도, 상술한 제1 실시 형태에 관한 광 검출 장치(1)와 마찬가지의 효과가 얻어진다.

[0162] 또한, 이 제1 실시 형태의 변형예 4에 관한 광 검출 장치(1)에서는, 구멍(54h)을 형성할 때, 구멍(54h)의 저면과 배선(42) 사이에 절연막(41)을 남기고 있으므로, 배선(42)을 구성하는 구리가 노출되는 것을 억제할 수 있다.

[0163] 또한, 상술한 제1 실시 형태에 있어서, 배리어 절연막(64)은, 절연막(61m4)(61)을 에칭하여 개구(66)를 형성할 때 에칭 스톱층으로서 기능한다. 그 때문에, 배리어 절연막(64)은, 선택된 에천트에 대한 에칭 레이트가 절연막(61m4)(61)을 구성하는 재료보다 높은 재료에 의해 구성되어 있다. 또한, 배리어 절연막(64)은, 배리어 절연막(64)의 제2 반도체층(50)측과는 반대측으로부터 배리어 절연막(64)의 제2 반도체층(50)측으로의 금속의 확산을 억제하는 기능을 갖는다.

[0164] 또한, 광전 변환 영역(20a)은, 그 적어도 일부의 영역에 있어서, 입사한 광에 대하여 광전 변환을 행하는 기능을 갖고 있으면 된다.

[0165] 또한, 도 6에 나타내는 광 검출 장치(1)에서는, 제1 배선층(30)은, 한쪽의 면이 제1 반도체층(20)의 제1 면(S1)에 중첩되고, 다른 쪽의 면이 제3 배선층(60)과 중첩되어 있다. 더 구체적으로는, 제1 배선층(30)의 다른 쪽의 면은, 제3 배선층(60)의 제2 반도체층(50)측과는 반대측의 면과 중첩되어 있다. 그리고, 제1 접속 패드(33)와 제3 접속 패드(63)가 접합되어 있다. 마찬가지로, 제4 배선층(70)은, 한쪽의 면이 제3 반도체층(80)에 중첩되고, 다른 쪽의 면이 제2 배선층(40)과 중첩되어 있다. 더 구체적으로는, 제4 배선층(70)의 다른 쪽의 면은, 제2 배선층(40)의 제2 반도체층(50)측과는 반대측의 면과 중첩되어 있다. 그리고, 제2 접속 패드(43)와 제4 접속 패드(73)가 접합되어 있다. 도 6에 나타내는 광 검출 장치(1)의 구성은, 이하에 설명하는 제2 실시 형태부터 제11 실시 형태까지 영향을 미치는 광 검출 장치에도 적용할 수 있다.

[0166] [제2 실시 형태]

[0167] 도 11 및 도 12a부터 도 12d까지 나타내는 본 기술의 제2 실시 형태에 대하여, 이하에 설명한다. 본 제2 실시 형태에 관한 광 검출 장치(1)가 상술한 제1 실시 형태에 관한 광 검출 장치(1)와 상이한 것은, 제2 도체(52) 대신에 제2 도체(52A)를 갖는 점이고, 그 이외의 광 검출 장치(1)의 구성은, 기본적으로 상술한 제1 실시 형태의 광 검출 장치(1)와 마찬가지의 구성으로 되어 있다. 또한, 이미 설명한 구성 요소에 대해서는, 동일한 부호를 붙여 그 설명을 생략한다.

[0168] ≪광 검출 장치의 구성≫

[0169] 이하, 본 기술의 제2 실시 형태에 관한 광 검출 장치(1)의 구성에 대하여, 상술한 제1 실시 형태에 관한 광 검출 장치(1)의 구성과 다른 부분을 중심으로 설명한다. 또한, 본 제2 실시 형태를 설명하는 도면에 있어서는, 동일한 구성 요소라도 도면 사이에 있어서 축척이 다르게 그려져 있는 경우가 있다. 또한, 본 제2 실시 형태를 설명하는 도면에 있어서는, 배리어 메탈층의 도시를 생략하고 있다.

[0170] <제2 배선층>

[0171] 도 11에 나타낸 바와 같이, 제2 배선층(40)의 배선(42), 제2 접속 패드(43) 및 비아(44)는, 제2 배선층(40)에 마련된 도체이다. 이들 도체가 설계에 기초하여 접속됨으로써, 제2 배선층(40) 내에 전기 경로를 구성하고 있다. 전기 경로는, 이것에 한정되지는 않지만, 예를 들어 신호 전하 등의 전기가 흐르는 경로나, 전압을 공급하는 경로여도 된다. 또한, 도 11에 나타내는 전기 경로는 일례이고, 본 기술은 이것에 한정되지는 않는다.

[0172] <제3 배선층>

[0173] 제3 배선층(60)은, 절연막(61)과, 배선(62)과, 제3 접속 패드(63)와, 실리콘 커버막(65)과, 비아(콘택트)(67)를 포함한다. 배선(62), 제3 접속 패드(63) 및 비아(67)는, 제3 배선층(60)에 마련된 도체이다. 이들 도체가 설계에 기초하여 접속됨으로써, 제3 배선층(60) 내에 전기 경로를 구성하고 있다. 전기 경로는, 이것에 한정되지는 않지만, 예를 들어 신호 전하 등의 전기가 흐르는 경로나, 전압을 공급하는 경로여도 된다. 또한, 도 11에 나타내는 전기 경로는 일례이고, 본 기술은 이것에 한정되지는 않는다.

[0174] <제2 도체>

[0175] 제2 도체(52A)는, 도 4a에 나타내는 제2 도체(52)와는 다른 위치에 마련되어 있다. 더 구체적으로는, 제2 도체(52A)는, 트랜지스터 T2의 소스와 드레인 사이에 채널을 형성 가능한 위치에 마련되어 있다. 제2 도체(52A)는, Z방향을 따라 제2 반도체층(50)을 관통하고, 또한 제2 반도체층(50)이 갖는 트랜지스터 T2(제1 트랜지스터)의 게이트 전극 G로서 기능한다. 또한, 제2 도체(52A)의 측면과 제2 반도체층(50) 사이에 마련된 절연막(41m)은,

트랜지스터 T2(제1 트랜지스터)의 게이트 절연막으로서 기능한다. 그리고, 트랜지스터 T2는, 제2 도체(52A)에 공급된 전압값에 따라, 온, 오프한다. 트랜지스터 T2는, 예를 들어 노멀리 오프의 트랜지스터이지만, 노멀리온의 트랜지스터여도 된다. 트랜지스터 T2가 온 상태일 때, 제2 반도체층(50) 중 절연막(41m)을 통해 제2 반도체층(50)의 측면에 인접하는 부분이 변조를 받고, 소스 S와 드레인 D 사이에 채널이 형성되어, 신호 전하가 흐른다. 또한, 이하의 설명에 있어서, 제2 도체(52A)를 게이트 전극 G라고 칭하는 경우가 있다. 또한, 트랜지스터 T2는 플래너형의 트랜지스터이고, 예를 들어 화소(3)의 후단의 회로를 구성하는 트랜지스터이다.

[0176] 이하, 도 12a부터 12d까지를 참조하여, 설명한다. 또한, 본 제2 실시 형태에 있어서, 도 12a 이후의 도면에서는, 절연막(41m)의 도시를 생략하고 있는 경우가 있다. 또한, 본 제2 실시 형태에 있어서, 도 12a 이후의 도면에서는, 소스 S, 드레인 D 및 게이트 전극 G와 비아의 관계를 알기 쉽게 설명하기 위해, 절연막을 투시하여 그것들 요소를 도시하는 경우가 있지만, 절연막이 존재하지 않는 것은 아니다.

[0177] 도 12a부터 12d까지 나타낸 바와 같이, 게이트 전극 G는, 트랜지스터 T2의 소스 S와 드레인 D 사이에 채널을 형성 가능하다. 소스 S 및 드레인 D는, 제2 반도체층(50) 내에 형성된, 제2 도전형, 예를 들어 n형의 반도체 영역(확산 영역)이다. 도 12c 및 도 12d에 나타낸 바와 같이, 게이트 전극 G는, 소스 S와 드레인 D를 연결하는 직선 상에는 배치되어 있지 않고, 당해 직선으로부터 오프셋된 위치에 배치되어 있다.

[0178] 도 11 및 도 12d에 나타낸 바와 같이, 제2 도체(52A)(게이트 전극 G)의 제3 배선층(60)측의 단부(52a)는, 비아(67)에 접속되어 있다. 이에 의해, 게이트 전극 G는, 제3 배선층(60) 내에 마련된 전기 경로에 접속되어 있다. 게이트 전극 G에 접속된 전기 경로는, 예를 들어 게이트 전극 G에 전압을 공급 가능한 경로이다. 더 구체적으로는, 게이트 전극 G는, 제2 배선층(40) 내에 마련된 전기 경로와 제3 배선층(60) 내에 마련된 전기 경로 중 제3 배선층(60) 내에 마련된 전기 경로에만 전기적으로 접속되어 있다. 즉, 게이트 전극 G에 접속된 전기 경로는, 제2 배선층(40)에 마련된 도체와 제3 배선층(60)에 마련된 도체 중 한쪽의 도체(제3 배선층(60)에 마련된 도체)만을 포함하고, 다른 쪽의 도체(제2 배선층(40)에 마련된 도체)를 포함하고 있지 않다. 이와 같이, 제2 도체(52A)에 전압을 공급 가능한 전기 경로는, 제2 반도체층(50)에 중첩되어 있는 2개의 배선층 중, 한쪽의 배선층만을 경유하고, 다른 쪽의 배선층을 경유하고 있지 않다.

[0179] 도 11, 도 12b 및 도 12c에 나타낸 바와 같이, 소스 S는, 하나의 비아(44)에 접속되어 있다. 즉, 소스 S는, 제2 배선층(40) 내에 마련된 전기 경로에 접속되어 있다. 마찬가지로, 드레인 D는, 다른 비아(44)에 접속되어 있다. 즉, 드레인 D는, 제2 배선층(40) 내에 마련된 전기 경로에 접속되어 있다. 이와 같이, 소스 S 및 드레인 D는, 제2 배선층(40)에 마련된 도체와 제3 배선층(60)에 마련된 도체 중 다른 쪽의 도체(제2 배선층(40)에 마련된 도체)에 전기적으로 접속되어 있고, 한쪽의 도체(제3 배선층(60)에 마련된 도체)에는 접속되어 있지 않다.

[0180] 제2 도체(52A)를 구성하는 제2 재료는, 이것에 한정되지는 않지만, 예를 들어 폴리실리콘(Poly-Si)이다. 또한, 트랜지스터 T2가 p형의 트랜지스터인 경우에는, 제2 재료로서, 하프늄, 지르코늄, 티타늄, 탄탈, 알루미늄 및 이들 원소를 포함하는 금속 카바이드, 예를 들어 티타늄 카바이드, 지르코늄 카바이드, 탄탈 카바이드, 하프늄 카바이드 및 알루미늄 카바이드의 어느 것을 사용해도 된다. 또한, 트랜지스터 T2가 n형의 트랜지스터인 경우에는, 제2 재료로서, 루테늄, 팔라듐, 백금, 코발트, 니켈 및 도전 금속 산화물, 예를 들어 산화루테늄, 텅스텐의 어느 것을 사용해도 된다. 본 실시 형태에서는, 제2 재료가 폴리실리콘이라고 하고, 설명한다.

[0181] ≪광 검출 장치의 제조 방법≫

[0182] 이하, 도 13a부터 도 13e까지를 참조하여, 광 검출 장치(1)의 제조 방법에 대하여 설명한다. 또한, 도 13a부터 도 13e까지 나타내는 일부의 구성 요소는, 도 11에 나타내는 구성 요소와는 다른 축척이나 형상을 갖는 경우가 있을 수도 있지만, 이것은, 광 검출 장치(1)의 제조 방법을 더 알기 쉽게 설명하기 위해서이다. 나아가, 도 13a부터 도 13e까지 나타내는 광 검출 장치(1)의 단면은, 도 11에 나타내는 단면과는 다른 단면이라고도 해석할 수 있다. 또한, 본 기술의 제2 실시 형태에 관한 광 검출 장치(1)의 제조 방법에서는, 상술한 제1 실시 형태에 관한 광 검출 장치(1)의 제조 방법과 다른 부분을 중심으로 설명한다.

[0183] 먼저, 도 13a에 나타낸 바와 같이, 제2 반도체층(50w)에 제2 도체(52A) 및 절연막(41m)을 형성하고, 제2 반도체층(50w)의 제3 면(S3)에 제2 배선층(40)을 형성한다. 제2 도체(52A)를 구성하는 재료로서 폴리실리콘을 사용하는 것 및 제2 도체(52A)를 마련하는 위치가, 상술한 제1 실시 형태에서 설명한 제조 방법과 다르지만, 그 이외는 제1 실시 형태의 경우와 마찬가지이기 때문에, 여기서는 설명을 생략한다. 그 후, 제2 배선층(40)이 적층된 제2 반도체층(50w)과, 별도 준비한, 제1 배선층(30)이 적층된 제1 반도체층(20)을, F2F법으로 접합한다.

[0184] 이어서, 도 13b에 나타낸 바와 같이, 백 그라인딩 및 공지의 건식 에칭에 의해, 제2 반도체층(50w)의 이면측을

연삭하여, 제2 도체(52A) 및 절연막(41m)의 단부를 노출시킨다. 이때, 절연막(41m)을 건식 에칭의 스토퍼로 한다.

[0185] 그리고, 도 13c에 나타낸 바와 같이, 절연막(41m)의 노출면 및 제4 면(S4)에, 제3 배선층(60)의 막(65m)과 절연막(61m1)을, 이 순서로 적층한다. 그 후, 도 13d에 나타낸 바와 같이, CMP법을 사용하여, 제3 배선층(60)측을 평탄화한다. 이때, 절연막(61m1) 및 제2 도체(52A)의 여분의 부분을 제거한다.

[0186] 이어서, 도 13e에 나타낸 바와 같이, 제2 도체(52A)의 단부에 중첩하도록, 비아(67)를 형성한다. 그 후, 제3 배선층(60)을 완성시킨다. 이것 이후의 공정은, 제1 실시 형태에 있어서 설명한 공정과 동등하므로, 설명을 생략한다.

[0187] ≪제2 실시 형태의 주된 효과≫

[0188] 이하, 제2 실시 형태의 주된 효과를 설명하지만, 그 전에, 먼저, 제1 실시 형태의 도 4a에 나타내는 트랜지스터 T2의 구성에 대하여 설명한다. 도 4a에 나타내는 트랜지스터 T2는, 게이트 전극이 제2 배선층(40)의 비아(44)에 접속되어 있고, 당해 비아(44)의 후단에는, 배선(42)과, 제2 도체(52)와, 제3 배선층(60)의 배선(62)이 그 순서로 접속되어 있다. 즉, 트랜지스터 T2의 게이트 전극에 접속된 전기 경로는, 먼저, 제1 반도체층(20)측에 위치하는 제2 배선층(40) 내에서 배치된 후, 제2 도체(52)를 경유하여, 제3 반도체층(80)측에 위치하는 제3 배선층(60)의 배선(62)에 접속되어 있었다. 이와 같이, 전기 경로는, 제2 배선층(40) 내에서 왕복하도록 배치되어 있었다.

[0189] 또한, 전기 경로는, 제2 배선층(40) 내에서 왕복하도록 배치되어 있었으므로, 게이트 전극에 접속된 비아와 제2 도체(52)를 수평 방향으로 나란히 마련할 필요가 있었다. 이러한 레이아웃에서는, 게이트 전극에 접속된 비아와 제2 도체(52) 사이의 간격을 축소하는 것은 어려웠다.

[0190] 또한, 제2 도체(52)가 제2 반도체층(50)에 부여하는 스트레스에 의해, 트랜지스터 T2의 특성이 변동될 가능성이 있었다.

[0191] 이에 비해, 본 기술의 제2 실시 형태에 관한 광 검출 장치(1)가 갖는 트랜지스터 T2는, 제2 반도체층(50)을 두께 방향을 따라 관통하고 있는 제2 도체(52A)를 게이트 전극 G라고 하고, 또한 제2 도체(52A)의 측면과 제2 반도체층(50) 사이에 마련된 절연막을 게이트 절연막이라고 하고 있다. 이렇게 게이트 전극 G가 제2 반도체층(50)을 두께 방향을 따라 관통하고 있으므로, 게이트 전극 G의 단부(52a)가 제3 배선층(60)(제4 면(S4))에 노출되어 있다. 그 때문에, 전기 경로를, 제2 배선층(40) 내에서 왕복시키지 않고 제3 배선층(60)측에서 직접 게이트 전극 G에 접속할 수 있다. 이에 의해, 전기 경로가 길어지는 것을 억제하여, 기생 용량이 증가하는 것을 억제할 수 있다.

[0192] 또한, 본 기술의 제2 실시 형태에 관한 광 검출 장치(1)가 갖는 트랜지스터 T2는, 제2 도체(52A) 자체를 게이트 전극 G라고 하고 있으므로, 공간 절약이고, 화소가 커지는 것을 억제할 수 있다.

[0193] 또한, 본 기술의 제2 실시 형태에 관한 광 검출 장치(1)가 갖는 트랜지스터 T2는, 제2 도체(52A) 자체를 게이트 전극 G라고 하고 있으므로, 트랜지스터 T2의 특성이 변동되는 것을 억제할 수 있다.

[0194] 이와 같이, 본 기술의 제2 실시 형태에 관한 광 검출 장치(1)는, 트랜지스터 T2의 구조를 연구하여, 제1 반도체층(20)측과 제3 반도체층(80)측의 접속성이 악화되는 것을 억제할 수 있다.

[0195] ≪제2 실시 형태의 변형예≫

[0196] 이하, 제2 실시 형태의 변형예에 대하여 설명한다.

[0197] <변형예 1>

[0198] 제2 실시 형태에 관한 광 검출 장치(1)가 갖는 트랜지스터 T2에서는, 게이트 전극 G가 제3 배선층(60)의 비아(67)에 접속, 즉, 제3 배선층(60) 내에 마련된 전기 경로에 접속되어 있었지만, 본 기술은 이것에 한정되지는 않는다. 제2 실시 형태의 변형예 1에서는, 게이트 전극 G를 제2 배선층(40) 내에 마련된 전기 경로에 접속시키고 싶은 경우에는, 게이트 전극 G를 제2 배선층(40)의 비아(44)에 접속해도 된다. 마찬가지로, 상술한 제2 실시 형태에서는, 소스 S 및 드레인 D는, 제2 배선층(40)의 비아(44)에 접속, 즉, 제2 배선층(40) 내에 마련된 전기 경로에 접속되어 있었지만, 본 기술은 이것에 한정되지는 않는다. 본 제2 실시 형태의 변형예 1에서는, 소스 S 및 드레인 D의 적어도 한쪽을 제3 배선층(60) 내에 마련된 전기 경로에 접속시키고 싶은 경우에는, 소스 S 및 드레인 D의 적어도 한쪽을 제3 배선층(60)의 비아(67)에 접속해도 된다. 더 구체적으로는, 소스 S를 구성하

는 확산 영역 및 드레인 D를 구성하는 확산 영역 중 적어도 한쪽은, 제2 배선층(40)이 갖는 도체 및 제3 배선층(60)이 갖는 도체 중, 제3 배선층(60)이 갖는 도체에만 접속되어 있어도 된다. 비아(67)에 접속하는 경우, 소스 S를 구성하는 확산 영역과 드레인 D를 구성하는 확산 영역을, 제2 반도체층(50)의 두께 방향에 있어서, 신호 전하가 제3 배선층(60)측으로 이동 가능한 위치에 마련하고 있다. 이하, 게이트 전극 G, 소스 S 및 드레인 D가 접속되는 전기 경로의 변형예에 대하여 설명한다.

[0199] (변형예 1-1)

[0200] 도 14a에 나타낸 바와 같이, 게이트 전극 G 및 소스 S는 제3 배선층(60)의 비아(67)에 접속되고, 드레인 D는 제2 배선층(40)의 비아(44)에 접속되어 있다.

[0201] (변형예 1-2)

[0202] 도 14b에 나타낸 바와 같이, 게이트 전극 G 및 드레인 D는 제3 배선층(60)의 비아(67)에 접속되고, 소스 S는 제2 배선층(40)의 비아(44)에 접속되어 있다.

[0203] (변형예 1-3)

[0204] 도 14c에 나타낸 바와 같이, 게이트 전극 G, 소스 S 및 드레인 D 모두는, 제3 배선층(60)의 비아(67)에 접속되어 있다.

[0205] (변형예 1-4)

[0206] 도 14d에 나타낸 바와 같이, 소스 S는 제3 배선층(60)의 비아(67)에 접속되고, 게이트 전극 G 및 드레인 D는 제2 배선층(40)의 비아(44)에 접속되어 있다.

[0207] (변형예 1-5)

[0208] 도 14e에 나타낸 바와 같이, 드레인 D는 제3 배선층(60)의 비아(67)에 접속되고, 게이트 전극 G 및 소스 S는 제2 배선층(40)의 비아(44)에 접속되어 있다.

[0209] (변형예 1-6)

[0210] 도 14f에 나타낸 바와 같이, 드레인 D 및 소스 S는 제3 배선층(60)의 비아(67)에 접속되고, 게이트 전극 G는 제2 배선층(40)의 비아(44)에 접속되어 있다.

[0211] (제2 실시 형태의 변형예 1의 주된 효과)

[0212] 이 제2 실시 형태의 변형예 1에 관한 광 검출 장치(1)라도, 상술한 제2 실시 형태에 관한 광 검출 장치(1)와 마찬가지의 효과가 얻어진다.

[0213] 또한, 이 제2 실시 형태의 변형예 1에 관한 광 검출 장치(1)에서는, 게이트 전극 G, 소스 S 및 드레인 D는, 각각 제3 배선층(60)의 비아(67) 또는 제2 배선층(40)의 비아(44)에 접속 가능하므로, 설계의 자유도가 향상된다.

[0214] <변형예 2>

[0215] 본 제2 실시 형태의 변형예 2에서는, 제2 실시 형태의 경우와 광 검출 장치(1)의 제조 방법이 다르다. 이하, 제2 실시 형태의 변형예 2에서는, 도 15a부터 도 15c까지를 참조하여, 제조 방법이 다른 부분을 중심으로, 광 검출 장치(1)의 제조 방법에 대하여 설명한다.

[0216] 도 15a에 나타낸 바와 같이, 제2 반도체층(50w)에 제2 도체(52A) 및 절연막(41m)을 형성한다. 그리고, 제2 반도체층(50w)의 제3 면(S3)에, 제2 배선층(40)의 비아(44)를 형성한다. 제2 배선층(40)의 형성은, 도 15a에 나타내는 상태에서 일단 정지한다. 더 구체적으로는, 제2 배선층(40)에, 예를 들어 구리나 알루미늄과 같은 금속을 포함하는 층이 형성되기 전에, 제2 배선층(40)의 형성을 일단 정지한다.

[0217] 그 후, 도 15b에 나타낸 바와 같이, 비아(44)가 형성된 제2 반도체층(50w)의 제3 면(S3)측에 대하여, 절연막(93)이 형성된 지지 기판(94)을 접합한다. 이와 같이, 제2 반도체층(50w)의 제3 면(S3)측에 대하여, 예를 들어 구리나 알루미늄과 같은 금속을 포함하는 층을 포함하는 제1 배선층(30)을 접합하기 전에, 임시의 지지 기판(94)을 접합한다. 도 15b에 나타내는 웨이퍼는, 예를 들어 구리나 알루미늄과 같은 금속을 포함하는 층을 포함하지 않는 상태이다.

[0218] 이어서, 제2 실시 형태에서 설명한, 도 13b부터 도 13d까지 나타내는 공정을 행한다. 그리고, 도 15c에 나타낸

바와 같이, 제2 반도체층(50)의 제4 면(S4)측에, 비아(67)를 형성한다. 여기서, 비아(67)를 형성하는 공정에서는, 열처리를 행한다. 이 열처리를 행하는 시점에 있어서, 웨이퍼는 예를 들어 구리나 알루미늄과 같은 금속을 포함하는 층을 포함하지 않는다. 그 때문에, 웨이퍼가 금속을 포함하는 층을 포함하는 경우에 비해, 열처리의 온도를 높게 할 수 있다. 그 후, 제3 배선층(60)을 완성시킨다.

[0219] 그리고, 제3 배선층(60)이 적층된 제2 반도체층(50)과, 별도 준비한, 제4 배선층(70)이 적층된 제3 반도체층(80)을, B2F법으로 접합한다. 이어서, 절연막(93) 및 지지 기판(94)을 제거한다. 그리고, 제3 배선층(60)을 완성시키고, 제2 반도체층(50)과 제1 반도체층(20)을, F2F(Face to Face)법으로 접합한다. 이것 이후의 공정은, 상술한 제2 실시 형태에서 설명한 공정과 마찬가지이므로, 여기서는 설명을 생략한다.

[0220] 이 제2 실시 형태의 변형예 2에 관한 광 검출 장치(1)라도, 상술한 제2 실시 형태에 관한 광 검출 장치(1)와 마찬가지의 효과가 얻어진다.

[0221] 또한, 이 제2 실시 형태의 변형예 2에 관한 광 검출 장치(1)에서는, 비아(67)를 형성할 때의 열처리의 온도를 높게 할 수 있으므로, 비아(67)의 저항값이 커지는 것을 억제할 수 있다.

[0222] <변형예 3>

[0223] 본 제2 실시 형태의 변형예 3에서는, 제1 배선층(30) 및 제2 배선층(40)이 구비한 배선 및 접속 패드가 폴리실리콘에 의해 형성되어 있는 점에 있어서, 제2 실시 형태의 광 검출 장치(1)와 다르다. 또한, 본 제2 실시 형태의 변형예 3에서는, 제2 실시 형태의 경우와 광 검출 장치(1)의 제조 방법이 다르다. 이하, 제2 실시 형태의 변형예 3에서는, 도 16a 및 도 16b를 참조하여, 제조 방법이 다른 부분을 중심으로, 광 검출 장치(1)의 제조 방법에 대하여 설명한다.

[0224] 도 16a는, 제2 반도체층(50)과 제1 반도체층(20)을 접합하여, 제2 도체(52A) 및 절연막(41m)의 단부를 노출시키기 전의 상태이다. 도 16a에 나타내는 배선(32), 제1 접속 패드(33), 배선(42) 및 제2 접속 패드(43)는 모두 폴리실리콘에 의해 형성되어 있고, 구리나 알루미늄 등의 금속은 아니다.

[0225] 이어서, 제2 실시 형태에서 설명한, 도 13b부터 도 13d까지 나타내는 공정을 행한다. 그리고, 도 16b에 나타낸 바와 같이, 제2 반도체층(50)의 제4 면(S4)측에, 비아(67)를 형성한다. 비아(67)의 열처리를 행하는 시점에 있어서, 웨이퍼는 예를 들어 구리나 알루미늄 등의 금속을 포함하는 층을 포함하지 않는다. 그 때문에, 웨이퍼가 금속을 포함하는 층을 포함하는 경우에 비해, 열처리의 온도를 높게 할 수 있다. 그 후, 제3 배선층(60)을 완성시킨다. 이것 이후의 공정은, 상술한 제2 실시 형태에서 설명한 공정과 마찬가지이므로, 여기서는 설명을 생략한다.

[0226] 이 제2 실시 형태의 변형예 3에 관한 광 검출 장치(1)라도, 상술한 제2 실시 형태에 관한 광 검출 장치(1)와 마찬가지의 효과가 얻어진다.

[0227] 또한, 이 제2 실시 형태의 변형예 3에 관한 광 검출 장치(1)에서는, 비아(67)를 형성할 때의 열처리 온도를 높게 할 수 있으므로, 비아(67)의 저항값이 커지는 것을 억제할 수 있다.

[0228] <변형예 4>

[0229] 제2 실시 형태에 관한 광 검출 장치(1)가 갖는 트랜지스터 T2는, 플래너형의 트랜지스터였지만, 본 기술은 이것에 한정되지는 않는다. 제2 실시 형태의 변형예 4에서는, 트랜지스터 T2는, 도 17에 나타낸 바와 같이, FINFET형의 트랜지스터이다. 더 구체적으로는, 트랜지스터 T2는, SOI 웨이퍼를 사용하여 형성된, SOI-FINFET형의 트랜지스터이다.

[0230] <제2 도체>

[0231] 도 17에 나타내는 제2 도체(52A)는, 트랜지스터 T2(제1 트랜지스터)의 게이트 전극 G로서 기능한다. 도 17에 나타내는 제2 도체(52A)는, Z방향을 따라 제2 반도체층(50)을 관통하는 수직 부분을 복수 갖는다. 또한, 제2 도체(52A)는, 수직 부분끼리를 접속하는 수평 부분을 갖고 있다. 도 17에 나타내는 예에서는, 제2 도체(52A)는, 제3 면(S3)측에 있어서, 2개의 수직 부분의 단부끼리를 접속하고 있다. 또한, 제2 도체(52A)와 제2 반도체층(50) 사이에 마련된 절연막(41m)은, 게이트 절연막으로서 기능한다. 트랜지스터 T2의 소스 S 및 드레인 D는, 도 17의 지면 수직 방향을 따라 마련되어 있다. 트랜지스터 T2의 채널은, 도 18a부터 도 18c까지 나타낸 바와 같이, 제2 반도체층(50) 중, 제2 도체(52A)의 수직 부분끼리의 사이에 위치하는 부분에 형성된다. 즉, 제2 도체(52A)의 수직 부분의 대향하는 측면끼리의 사이에 채널이 형성된다. 이하, 트랜지스터 T2의 변형

예에 대하여 설명한다.

[0232] (변형예 4-1)

[0233] 도 18a부터 도 18c까지 나타내는 변형예 4-1에서는, 게이트 전극 G 및 소스 S는 제3 배선층(60)의 비아(67)에 접속되고, 드레인 D는 제2 배선층(40)의 비아(44)에 접속되어 있다.

[0234] (변형예 4-2)

[0235] 변형예 4-1에서는, 게이트 전극 G의 수직 부분을 둘러싸도록 제2 반도체층(50)이 마련되어 있었지만, 본 기술은 이것에 한정되지는 않는다. 변형예 4-2에서는, 도 19a부터 도 19c까지 나타낸 바와 같이, 게이트 전극 G의 수직 부분의 채널이 형성되는 측과는 반대측에는, 제2 반도체층(50)이 존재하고 있지 않아도 된다.

[0236] 또한, 변형예 4-1의 트랜지스터 T2에서는, 게이트 전극 G의 수직 부분이 제2 반도체층(50)의 제4 면(S4)까지 도달하고 있었지만, 본 기술은 이것에 한정되지는 않는다. 도 19a 및 도 19b에 나타낸 바와 같이, 수직 부분은 제2 반도체층(50)의 제4 면(S4)까지 도달하고 있지 않아도 된다. 그 경우, 도 19b에 나타낸 바와 같이, 제3 배선층(60)의 비아(67)를, 수직 부분에 도달할 때까지 연장시킨다. 이에 의해, 비아(67와 수직 부분을 접속할 수 있다.

[0237] (변형예 4-3)

[0238] 변형예 4-2의 트랜지스터 T2에서는, 수직 부분은 제2 반도체층(50)의 제4 면(S4)까지 도달하고 있지 않았지만, 본 기술은 이것에 한정되지 않는다. 변형예 4-3에서는, 도 20에 나타낸 바와 같이, 수직 부분이 제2 반도체층(50)의 제4 면(S4)까지 도달하고 있어도 된다.

[0239] (변형예 4-4)

[0240] 변형예 4-1부터 변형예 4-3까지 나타내는 트랜지스터 T2에서는, 게이트 전극 G 및 소스 S는 제3 배선층(60)의 비아(67)에 접속되고, 드레인 D는 제2 배선층(40)의 비아(44)에 접속되어 있었지만, 이것에 한정되지는 않는다. 변형예 4-4에서는, 게이트 전극 G, 소스 S 및 드레인 D는, 각각, 비아(44)와 비아(67) 중 한쪽에 접속되어 있으면 된다. 게이트 전극 G, 소스 S 및 드레인 D와 비아의 관계는, 도 12b 및 도 14a부터 도 14f의 어느 것에 나타내는 구성이어도 된다.

[0241] (제2 실시 형태의 변형예 4의 주된 효과)

[0242] 이 제2 실시 형태의 변형예 4에 관한 광 검출 장치(1)라도, 상술한 제2 실시 형태에 관한 광 검출 장치(1)와 마찬가지의 효과가 얻어진다.

[0243] <변형예 5>

[0244] 도 21에 나타낸 바와 같이, 제2 실시 형태의 변형예 5에서는, 트랜지스터 T2는, GAA(Gate All Around, 전체 주위 게이트) FET형의 트랜지스터이다. 더 구체적으로는, 트랜지스터 T2는, SOI 웨이퍼를 사용하여 형성된, SOI-GAAFET형의 트랜지스터이다.

[0245] <제2 도체>

[0246] 제2 도체(52A)는, 트랜지스터 T2(제1 트랜지스터)의 게이트 전극 G로서 기능한다. 도 21에 나타내는 예에서는, 제2 도체(52A)는, 제3 면(S3)측에 있어서 수직 부분의 단부끼리를 접속하는 수평 부분과, 제4 면(S4)측에 있어서 수직 부분의 단부끼리를 접속하는 수평 부분을 갖고 있다. 이 점 이외는, 제2 실시 형태의 변형예 4에 관한 트랜지스터 T2와 마찬가지인 부분이 많으므로, 상세한 설명을 생략한다. 이하, 트랜지스터 T2의 변형예에 대하여 설명한다.

[0247] (변형예 5-1)

[0248] 도 22a부터 도 22d까지 나타내는 변형예 5-1에서는, 트랜지스터 T2의 복수의 채널이 수평 방향(Z방향과 수직인 방향)을 따라 배열되어 있다.

[0249] (변형예 5-2)

[0250] 도 23a 및 도 23b에 나타내는 변형예 5-2에서는, 트랜지스터 T2의 복수의 채널이 Z방향을 따라 배열되어 있다. 또한, 도 23a의 A-A 단면으로 본 것 및 B-B 단면으로 본 것은, 도 22b 및 도 22d와 마찬가지이다.

[0251] (변형예 5-3)

[0252] 도 24a 및 도 24b에 나타내는 변형예 5-3에서는, 변형예 5-2와 마찬가지로 트랜지스터 T2의 복수의 채널이 두께 방향을 따라 배열되어 있고, 또한, 게이트 전극 G보다 제3 배선층(60) 근방의 위치에 제2 반도체층(50)이 마련되어 있다. 또한, 도 24a의 A-A 단면으로 본 것 및 C-C단면으로 본 것은, 도 22b 및 도 23b와 마찬가지이다.

[0253] (변형예 5-4)

[0254] 도 25에 나타내는 변형예 5-4에서는, 트랜지스터 T2의 게이트 전극 G와, 소스 S 및 드레인 D가, 두께 방향에 있어서 변형예 5-2와는 다른 치수를 갖는다. 또한, 도 25의 A-A 단면으로 본 것, B-B 단면으로 본 것 및 C-C단면으로 본 것은, 도 22b, 도 22d 및 도 23b와 마찬가지이다.

[0255] (변형예 5-5)

[0256] 도 26에 나타내는 변형예 5-5에서는, 트랜지스터 T2의 게이트 전극 G와, 소스 S 및 드레인 D가, 두께 방향에 있어서 변형예 5-1과는 다른 치수를 갖는다. 또한, 도 26의 A-A 단면으로 본 것, B-B 단면으로 본 것 및 C-C단면으로 본 것은, 도 22b, 도 22d 및 도 22c와 마찬가지이다.

[0257] (변형예 5-6)

[0258] 변형예 5-1부터 변형예 5-5까지 나타내는 트랜지스터 T2에서는, 게이트 전극 G 및 소스 S는 제3 배선층(60)의 비아(67)에 접속되고, 드레인 D는 제2 배선층(40)의 비아(44)에 접속되어 있었지만, 이것에 한정되지는 않는다. 변형예 5-6에서는, 게이트 전극 G, 소스 S 및 드레인 D는, 비아(44)와 비아(67) 중 한쪽에 접속되어 있으면 된다. 게이트 전극 G, 소스 S 및 드레인 D와 비아의 관계는, 도 12b 및 도 14a 내지 도 14f의 어느 것에 나타내는 구성이어도 된다.

[0259] (제2 실시 형태의 변형예 5의 주된 효과)

[0260] 이 제2 실시 형태의 변형예 5에 관한 광 검출 장치(1)라도, 상술한 제2 실시 형태에 관한 광 검출 장치(1)와 마찬가지의 효과가 얻어진다.

[0261] <변형예 6>

[0262] 제2 실시 형태에서는, 제2 반도체층(50)과 제3 반도체층(80)은 B2F법에 의해 접합되어 있었지만, 본 기술은 이것에 한정되지는 않는다. 도 27에 나타낸 바와 같이, 제2 반도체층(50)과 제3 반도체층(80)이, F2F법에 의해 접합되고, 도시는 생략하지만, 제1 반도체층(20)과 제2 반도체층(50)이, F2B법에 의해 접합되어 있어도 된다. 이 경우, 제3 배선층(60)이 제2 배선층에 상당하고, 제2 배선층(40)이 제3 배선층에 상당한다.

[0263] 이 제2 실시 형태의 변형예 6에 관한 광 검출 장치(1)라도, 상술한 제2 실시 형태에 관한 광 검출 장치(1)와 마찬가지의 효과가 얻어진다.

[0264] 또한, 종래, 제2 반도체층(50)과 제3 반도체층(80)이 F2F법에 의해 접합되고, 제1 반도체층(20)과 제2 반도체층(50)이 F2B법에 의해 접합되어 있는 경우에는, 포토다이오드와 트랜지스터 T2 사이의 도통을 취하기 어려웠다. 이에 비해, 본 기술의 제2 실시 형태의 변형예 6에 관한 광 검출 장치(1)에서는, 게이트 전극 G가 제2 반도체층(50)을 두께 방향을 따라 관통하고 있으므로, 트랜지스터 T2의 이면(제4 면(S4))측으로부터 직접, 광전 변환 영역(20a)에 구성된 광전 변환 소자 PD로 배선을 배치할 수 있어, 기생 용량이 커지는 것을 억제할 수 있다.

[0265] <변형예 7>

[0266] 도 28a에 나타낸 바와 같이, 광전 변환 소자 PD가 구성된 제1 반도체층(20)에 전송 트랜지스터 TR의 전송 게이트 TG와 전하 축적 영역 FD를 배치하고 있다. 제1 반도체층(20)에 있어서, 복수, 예를 들어 4개의 화소(3)에서 1개의 전하 축적 영역 FD를 공유하고 있다. 그리고, 도 28b에 나타낸 바와 같이, 증폭 트랜지스터 AMP와, 선택 트랜지스터 SEL0, SEL1과, 리셋 트랜지스터 RST를, 제2 반도체층(50)에 배치하고 있다. 그리고, 증폭 트랜지스터 AMP의 게이트 전극 G는, 전하 축적 영역 FD 및 리셋 트랜지스터 RST의 소스 영역과 전기적으로 접속되어 있다.

[0267] 여기서, 증폭 트랜지스터 AMP의 게이트 전극 G가 제2 도체(52A)인 경우를 생각한다. 제2 도체(52A)는 제2 반도체층(50)을 관통하고 있으므로, 제3 면(S3)측의 전기 경로 및 제4 면(S4)측의 전기 경로와 접속하는 것이 가능하다. 그 때문에, 게이트 전극 G의 제3 면(S3)측의 단부 및 제4 면(S4)측의 단부 중, 한쪽의 단부를 전하 축적 영역 FD에 접속하고, 다른 쪽의 단부를 리셋 트랜지스터 RST의 소스 영역에 접속할 수 있다.

[0268] 예를 들어, 상술한 변형예 6에서 설명한 바와 같이, 제1 반도체층(20)과 제2 반도체층(50)이, F2B법에 의해 접합되어 있는 경우(도 27)를 생각한다. 증폭 트랜지스터 AMP의 게이트 전극 G의 제4 면(S4)측의 단부와 전하 축적 영역 FD를 접속하고, 제3 면(S3)측의 단부와 리셋 트랜지스터 RST의 소스 영역을 접속함으로써, 게이트 전극 G부터 전하 축적 영역 FD까지의 배선의 배치 및 게이트 전극 G부터 리셋 트랜지스터 RST의 소스 영역까지의 배선의 배치가 길어지는 것을 억제할 수 있다.

[0269] 이 제2 실시 형태의 변형예 7에 관한 광 검출 장치(1)라도, 상술한 제2 실시 형태에 관한 광 검출 장치(1)와 마찬가지의 효과가 얻어진다.

[0270] [제3 실시 형태]

[0271] 도 29, 도 30a 및 도 30b에 나타내는 본 기술의 제3 실시 형태에 대하여, 이하에 설명한다. 본 제3 실시 형태에 관한 광 검출 장치(1)가 상술한 제1 실시 형태에 관한 광 검출 장치(1)와 상이한 것은, 제3 접속 패드(63) 대신에 제3 접속 패드(63A)를 갖는 점이고, 그 이외의 광 검출 장치(1)의 구성은, 기본적으로 상술한 제1 실시 형태의 광 검출 장치(1)와 마찬가지의 구성으로 되어 있다. 또한, 이미 설명한 구성 요소에 대해서는, 동일한 부호를 붙여 그 설명을 생략한다.

[0272] ≪광 검출 장치의 구성≫

[0273] 이하, 본 기술의 제3 실시 형태에 관한 광 검출 장치(1)의 구성에 대하여, 상술한 제1 실시 형태에 관한 광 검출 장치(1)의 구성과 다른 부분을 중심으로 설명한다. 또한, 본 제3 실시 형태를 설명하는 도면에 있어서는, 동일한 구성 요소라도 도면 사이에 있어서 축척이 다르게 그려져 있는 경우가 있다. 또한, 본 제3 실시 형태를 설명하는 도면에 있어서는, 배리어 메탈층의 도시를 생략하고 있다. 또한, 도 30a 및 도 30b는, 도 29에 나타내는 제3 접속 패드(63A)를 모식적으로 나타내는 도면이다.

[0274] <제3 배선층>

[0275] 도 29에 나타낸 바와 같이, 제3 배선층(60)은, 절연막(61)과, 절연막(61)에 마련되어 한쪽의 면이 저면이고 다른 쪽의 면이 접합면인 제3 접속 패드(63)를 갖는다. 제2 도체(52)의 제4 면(S4)측의 단부는, 제3 접속 패드(63)까지 연장하여 제3 접속 패드(63)와 접속되어 있다. 도 30a에 나타낸 바와 같이, 절연막(61)은, 절연막(61a)과 절연막(61b)을 포함한다. 또한, 절연막(611a)과 절연막(61b)을 구별하지 않는 경우에는, 절연막(61)이라고 칭한다. 제3 접속 패드(63A)의 접합면은, 제4 배선층(70)이 갖는 제4 접속 패드(73)의 제3 배선층(60)측의 면과 접속되어 있다.

[0276] <제3 접속 패드>

[0277] 도 30a에 나타낸 바와 같이, 제3 접속 패드(63A)는, 제2 도체(52)의 제4 면(S4)측의 단부, 즉 단부(52a)에 마련되어 있다. 제3 접속 패드(63A)의 저면은, 제2 반도체층(50)측의 면이다. 제3 접속 패드(63A)의 접합면은, 저면과는 반대측의 면, 더 구체적으로는 제4 배선층(70)측의 면이다. 그리고, 제3 접속 패드(63A)의 측면은, 저면과 접합면을 접속하는 면이다. 제3 접속 패드(63A)는, 제2 도체(52)를 중심으로 컨포멀하게 마련되어 있다. 바꾸어 말하면, 제3 접속 패드(63A)는, 제2 도체(52)를 중심으로 등거리의 범위 내에 마련되어 있다. 또한, 제2 도체(52)의 제4 면(S4)측의 단부(52a)는, 제3 접속 패드(63A)의 접합면에 면하고 있다. 제3 접속 패드(63A)는, 이것에 한정되지는 않지만, 예를 들어 구리에 의해 구성되어 있다. 또한, 제2 도체(52)는, 이것에 한정되지는 않지만, 예를 들어 텅스텐에 의해 구성되어 있다.

[0278] 또한, 제3 접속 패드(63A)는, 절연막(61a)과 절연막(61b)에 접하고 있다. 더 구체적으로는, 제3 접속 패드(63A)의 저면은, 절연막(61a)과 접하고 있다. 그리고, 제3 접속 패드(63A)의 측면은, 절연막(61b)과 접하고 있다. 절연막(61a)은, 선택된 에천트(선택된 에칭 조건)에 대한 에칭 레이트가 절연막(61b)을 구성하는 재료보다 높은 재료에 의해 구성되어 있다. 절연막(61a)을 구성하는 재료와 절연막(61b)을 구성하는 재료의 조합으로서, 예를 들어 이하를 들 수 있다.

[0279] 절연막(61a)/절연막(61b)

[0280] 산화실리콘/질화실리콘,

[0281] 산화실리콘/산질화실리콘(SiON),

[0282] 제1 밀도의 산화실리콘/제2 밀도의 산화실리콘(제1 밀도<제2 밀도),

[0283] 산화실리콘/산화실리콘보다 유전율이 낮은 Low-K 절연막,

[0284] Low-K 절연막/산화실리콘

[0285] 마찬가지로, 절연막(41m)의 구성은, 선택된 에천트(선택된 에칭 조건)에 대한 에칭 레이트가 절연막(61b)을 구성하는 재료보다 높은 재료에 의해 구성되어 있다. 절연막(41m)을 구성하는 재료는, 절연막(61b)을 구성하는 재료보다, 선택된 에천트(선택된 에칭 조건)에 대한 에칭 레이트가 높으면, 절연막(61a)을 구성하는 재료와 동일한 재료여도 되고, 다른 재료여도 된다.

[0286] ≪광 검출 장치의 제조 방법≫

[0287] 이하, 도 31a부터 도 31e까지를 참조하여, 광 검출 장치(1)의 제조 방법에 대하여 설명한다. 또한, 여기서는, 제3 접속 패드(63A)의 제조 방법에 관련되는 부분에 대해서만 설명한다.

[0288] 먼저, 도 31a에 나타낸 바와 같이, 제2 반도체층(50)의 제4 면(S4)측으로부터, 제2 도체(52) 및 절연막(41m)의 단부를 노출시킨다. 그리고, 도 31b에 나타낸 바와 같이, 노출시킨 제2 도체(52) 및 절연막(41m)의 단부를 덮도록, 제4 면(S4)측에 절연막(61a)과 절연막(61b)을, 그 순서로 적층한다. 또한, 절연막(61a)은, 절연막(41m)을 통해 제2 도체(52)가 노출된 단부의 표면에 균등하게 적층된다. 그 후, 도 31c에 나타낸 바와 같이, CMP법을 사용하여 웨이퍼의 절연막(61a)과 절연막(61b)이 적층된 면을 연삭하여, 평탄화한다. 또한, 평탄화된 노출면에는, 절연막(61a)과, 절연막(61b)과, 제2 도체(52)를 구성하는 재료와, 절연막(41m)이 면하고 있다.

[0289] 이어서, 선택된 에천트를 사용하여, 평탄화된 노출면을 에칭한다. 그렇게 하면, 도 31d에 나타낸 바와 같이, 절연막(61a)과, 절연막(61b)과, 제2 도체(52)와, 절연막(41m) 중, 절연막(61a)과 절연막(41m)이 선택적으로 에칭된다. 더 구체적으로는, 절연막(61a)을 구성하는 재료 및 절연막(41m)을 구성하는 재료는, 절연막(61b)을 구성하는 재료 및 제2 도체(52)를 구성하는 재료로보다, 선택된 에천트에 대한 에칭 레이트가 높으므로, 선택적으로 에칭된다. 절연막(61b)는, 에칭되었다고 해도 약간이다.

[0290] 이에 의해, 평면으로 보아, 제2 도체(52)를 중심으로 하여 환 형상의 구멍(61h)이 형성된다. 더 구체적으로는, 절연막(61a)은, 절연막(41m)을 통해 제2 도체(52)가 노출된 단부의 표면에 균등하게 적층되어 있으므로, 그러한 절연막(61a)을 제거하면, 제2 도체(52)를 중심으로 등거리의 범위에 미치는 영역이 오목해져 환 형상의 구멍(61h)이 형성된다. 이와 같이, 제3 실시 형태에서는, 리소그래피 기술을 사용하지 않고, 제2 도체(52)에 대하여 자기 정렬로 환 형상의 구멍(61h)을 형성할 수 있다. 또한, 에칭은, 구멍(61h)의 바닥이 제2 반도체층(50)에 도달하기 전에 정지한다. 이에 의해, 나중에 매립되는 금속이 제2 반도체층(50)과 접촉하는 것을 억제할 수 있다.

[0291] 그리고, 구멍(61h) 내에 도시하지 않은 배리어 메탈층을 적층하고, 그 후, 도 31e에 나타낸 바와 같이, 자기 정렬로 형성된 구멍(61h)을 메우도록, 도금법에 의해, 제3 접속 패드(63A)를 구성하는 금속막을 퇴적시키고, 그 후, CMP법을 사용하여 퇴적된 금속막의 여분의 부분을 제거한다. 이에 의해, 제3 접속 패드(63A)를 자기 정렬로 형성한다.

[0292] ≪제3 실시 형태의 주된 효과≫

[0293] 이하, 제3 실시 형태의 주된 효과를 설명하지만, 그 전에, 종래의 광 검출 장치 및 접속 패드에 대하여 설명한다.

[0294] 일반적으로, 3층 이상의 반도체층을 중첩하여 접속한 광 검출 장치를 제조하기 위해서는, 1층의 반도체층에 대하여, 복수회의 하이브리드 접합을 행하는 것이 필요해진다. 예를 들어, 제1 반도체층(20)과, 제2 반도체층(50)과, 제3 반도체층(80)을 하이브리드 접합하는 경우, 먼저, 제1 반도체층(20)과 제2 반도체층(50)을 하이브리드 접합하고, 그 후, 하이브리드 접합된 제1 반도체층(20) 및 제2 반도체층(50)에 대하여, 다시 제3 반도체층(80)을 하이브리드 접합한다.

[0295] 하이브리드 접합을 행할 때, 웨이퍼끼리를 중첩하여 압박력을 가한다. 그 때문에, 웨이퍼에 국소적인 변형이 발생하는 경우가 있었다. 그리고, 웨이퍼에 발생한 국소적인 변형에 의해, 예를 들어 제2 도체(52)와 같은 비아 중 일부가, 수평 방향으로 위치 어긋날 가능성이 있었다. 이와 같이, 비아의 일부에 위치 어긋남이 발생하면, 위치 어긋난 비아와 다음 공정에서 형성되는 접속 패드 사이의 중첩 정밀도가 열화될 가능성이 있었다. 여기서, 접속 패드가 매립되는 구멍은, 일반적으로는 리소그래피 기술 및 에칭 기술을 사용하여 형성된다. 그러나, 비아 자체가 위치 어긋나 버리는 경우, 가령 리소그래피 공정에 있어서의 얼라인먼트가 적절하게 행해졌다고 해도, 위치 어긋난 비아를 추종하는 것이 어려운 경우가 있었다. 그 때문에, 일부의 비아와 접속 패드 사이

의 중첩 정밀도가 열화될 가능성이 있었다. 그리고, 비아와 접속 패드의 중첩 정밀도의 마진을 고려하여, 접속 패드의 치수를 크게 설정해야 하는 경우가 있었다.

[0296] 또한, 상술한 바와 같이 비아와 접속 패드의 중첩 정밀도를 고려하여 접속 패드의 치수를 설정하면, 다음의 웨이퍼가 하이브리드 접합되었을 때, 치수가 크게 설정된 접속 패드가, 다음의 웨이퍼의 접속 패드 중 원래 접촉되어서는 안되는 접속 패드에 접촉해 버릴 가능성이 있었다. 또한, 그것에 더하여, 화소 치수의 미세화에 의해, 비아와 접속 패드 사이의 중첩 정밀도의 허용값이 작게 되어 있었다.

[0297] 이에 비해, 본 기술의 제3 실시 형태에 관한 광 검출 장치(1)에서는, 반도체층으로부터 노출된 제2 도체(52)의 단부 주위에 절연막(61a) 및 절연막(61b)을 그 순서로 적층하고, 절연막(61a)을 구성하는 재료와 절연막(61b)을 구성하는 재료의, 선택된 에천트에 대한 에칭 레이트를 이용함으로써, 평면으로 보아, 제2 도체(52)를 중심으로 하여 환 형상의 구멍(61h)을 형성하고, 구멍(61h)에 제3 접속 패드(63A)를 구성하는 재료를 매립함으로써 제3 접속 패드(63A)를 형성하므로, 리소그래피 기술을 사용하지 않고, 제3 접속 패드(63A)를 형성할 수 있다.

[0298] 또한, 구멍(61h)은, 제2 도체(52)를 중심으로 하여 자기 정렬로 형성되므로, 가령 웨이퍼에 발생한 국소적인 변형에 의해 제2 도체(52)가 위치 어긋난 경우라도, 위치 어긋난 제2 도체(52)를 중심으로 하여 환 형상의 구멍(61h)을 형성할 수 있고, 제2 도체(52)와 제3 접속 패드(63A) 사이의 중첩 정밀도가 열화되는 것을, 웨이퍼면내에서 억제할 수 있다. 이와 같이, 제2 도체(52)가 위치 어긋난 경우라도, 그 위치 어긋남을 추종하여 제3 접속 패드(63A)를 형성할 수 있다.

[0299] 또한, 본 기술의 제3 실시 형태에 관한 광 검출 장치(1)에서는, 제3 접속 패드(63A)를, 제2 도체(52)를 중심으로 하여 등거리의 범위 내에 자기 정렬로 형성할 수 있으므로, 양자의 중첩을 확보하기 위해 제3 접속 패드(63A)를 크게 설계할 필요성이 감소한다. 그리고, 제3 접속 패드(63A)가 커지는 것을 억제할 수 있으므로, 제2 반도체층(50)측과 제3 반도체층(80)측을 하이브리드 접합할 때, 제3 접속 패드(63A)가, 제4 접속 패드(73) 중에 원래 접촉해서는 안되는 접속 패드에 접촉해 버리는 것을 억제할 수 있다.

[0300] 또한, 도 29에 나타내는 제3 접속 패드(63A)의 측면은 순테이퍼 형상이지만, 역테이퍼 형상이어도 된다.

[0301] ≪제3 실시 형태의 변형예≫

[0302] 이하, 제3 실시 형태의 변형예에 대하여 설명한다.

[0303] <변형예 1>

[0304] 제3 실시 형태에 관한 광 검출 장치(1)에서는, 제2 도체(52)의 단부(52a)가 제3 접속 패드(63A)의 제4 배선층(70)측의 면인 접합면에 면하고 있었지만, 본 기술은 이것에 한정되지는 않는다. 제3 실시 형태의 변형예 1에서는, 도 32a 및 도 32b에 나타낸 바와 같이, 제2 도체(52)의 단부(52a)는 제3 접속 패드(63A) 내에 위치하고 있고, 접합면에 면하고 있지 않다.

[0305] 이하, 도 33a 및 도 33b를 참조하여, 제3 실시 형태의 변형예 1에 관한 광 검출 장치(1)의 제조 방법에 대하여 설명한다. 또한, 여기서는, 제3 실시 형태에 있어서 설명한 공정과 다른 부분에 대해서만, 설명한다.

[0306] 먼저, 제3 실시 형태의 도 31c에 나타낸 바와 같이, CMP법을 사용하여 웨이퍼의 노출면을 평탄화한 후, 도 33a에 나타낸 바와 같이, 제2 도체(52)만 에치백한다. 더 구체적으로는, 제2 도체(52)가 노출되는 부분을 에칭하여, 제2 도체(52)의 단부(52a)를, 평탄화된 면으로부터 오목해진다.

[0307] 그 후, 도 31d에 나타내는 공정과 마찬가지의 공정을 행하여, 구멍(61h)을 형성한다. 그리고, 구멍(61h) 내에 도시하지 않은 배리어 메탈층을 적층하고, 그리고 도 33b에 나타낸 바와 같이, 자기 정렬로 형성된 구멍(61h)을 메우도록, 도금법에 의해, 제3 접속 패드(63A)를 구성하는 금속막을 퇴적시키고, 그 후, CMP법을 사용하여 퇴적된 금속막의 여분의 부분을 제거한다. 이에 의해, 제3 접속 패드(63A)를 자기 정렬로 형성한다.

[0308] 이 제3 실시 형태의 변형예 1에 관한 광 검출 장치(1)라도, 상술한 제3 실시 형태에 관한 광 검출 장치(1)와 마찬가지의 효과가 얻어진다.

[0309] <변형예 2>

[0310] 제3 실시 형태에서는 광 검출 장치(1)가 WoW(Wafer on Wafer) 방식에 의해 제조되어 있었지만, 본 기술은 이것에 한정되지는 않는다. 예를 들어, 광 검출 장치(1)와 같은 반도체 장치(1A)가, CoW(Chip on Wafer) 방식이나, CoC(Chip on Chip) 방식에 의해 제조되어도 된다. 제3 실시 형태의 변형예 2에서는, CoW(Chip on Wafer) 방식

에 의해 제조된 반도체 장치(1A)에 대하여 설명한다.

[0311] (반도체 장치)

[0312] 반도체 장치(1A)는, 고대역 폭 메모리(HBM, High Bandwidth Memory)이다. 반도체 장치(1A)는, 복수층의 칩을 적층한 적층 구조를 갖는다. 예를 들어, 도 34에 나타낸 바와 같이, 반도체 장치(1A)는, 칩 C1부터 칩 C5까지의 5층의 칩을 적층한 적층 구조를 갖는다. 칩 C2부터 칩 C5까지의 각 칩은, DRAM(Dynamic Random Access Memory)의 메모리 셀이 형성된 영역인 셀 영역 DR과, 도시하지 않은 워드선 및 비트선을 갖는다. 또한, 칩 C1은, 칩 C2부터 칩 C5까지의 각 칩의 메모리 셀을 구동하는 구동용 로직 회로가 형성된 영역인 로직 영역 LG를 갖는다.

[0313] 칩 C1부터 칩 C5까지의 각 칩은, 반도체층과, 절연막(61a)과, 절연막(61b)을 구비한다. 또한, 칩 C1 및 칩 C5는, 제2 도체(52)와, 제2 도체(52)의 한쪽의 단부에 마련된 접속 패드 Pad를 갖는다. 그리고, 칩 C2부터 칩 C4까지의 각 칩은, 제2 도체(52)와, 제2 도체(52)의 양쪽의 단부에 마련된 접속 패드 Pad를 갖는다. 이 접속 패드 Pad는, 상술한 제3 접속 패드(63A)와 마찬가지의 구성을 갖고, 제3 접속 패드(63A)와 마찬가지의 방법으로 형성되어 있다. 중첩된 칩의 접속 패드 Pad끼리는, 서로 접속되어 있고, 이에 의해, 칩 C1부터 칩 C5까지의 제2 도체(52)가, 칩의 적층 방향을 따라 일렬로 접속되어 있다.

[0314] 일렬로 접속된 제2 도체(52)는, 각 칩의 워드선끼리, 또는 각 칩의 비트선끼리를 접속하고 있다. 또한, 일렬로 접속된 제2 도체(52)는, 칩 C1의 로직 영역 LG에 마련된 구동용 로직 회로에 접속되어 있다. 구동용 로직 회로는, 일렬로 접속된 제2 도체(52)를 통해, 칩 C2부터 칩 C5까지의 각 칩의 메모리 셀을 구동한다.

[0315] 이 제3 실시 형태의 변형예 2에 관한 반도체 장치(1A)라도, 상술한 제3 실시 형태에 관한 광 검출 장치(1)와 마찬가지의 효과가 얻어진다.

[0316] 또한, 리소그래피 기술을 사용하여 반도체 장치(1A)를 제조하는 경우, 칩끼리의 접합, 리소그래피에 의한 레지스트 패턴의 형성, 에칭, 접속 패드 Pad의 형성을 반복할 필요가 있어, 제조 공정이 번잡하게 되어 있었다. 그러나, 이 제3 실시 형태의 변형예 2에서는, 리소그래피 기술을 사용하지 않고 접속 패드 Pad를 형성할 수 있으므로 공정수가 줄어, 제조 공정이 번잡해지는 것을 억제할 수 있다.

[0317] [제4 실시 형태]

[0318] 도 35에 나타내는 본 기술의 제4 실시 형태에 대하여, 이하에 설명한다. 본 제4 실시 형태에 관한 광 검출 장치(1)가 상술한 제1 실시 형태에 관한 광 검출 장치(1)와 상이한 것은, 제1 도체(51)의 단부(51b)가 배선(42A)에 접속되는 점이고, 그 이외의 광 검출 장치(1)의 구성은, 기본적으로 상술한 제1 실시 형태의 광 검출 장치(1)와 마찬가지의 구성으로 되어 있다. 또한, 이미 설명한 구성 요소에 대해서는, 동일한 부호를 붙여 그 설명을 생략한다.

[0319] ≪광 검출 장치의 구성≫

[0320] 이하, 본 기술의 제4 실시 형태에 관한 광 검출 장치(1)의 구성에 대하여, 상술한 제1 실시 형태에 관한 광 검출 장치(1)의 구성과 다른 부분을 중심으로 설명한다. 또한, 본 제4 실시 형태를 설명하는 도면에 있어서는, 동일한 구성 요소라도 도면간에 있어서 축척이 다르게 그려져 있는 경우가 있다. 또한, 본 제4 실시 형태를 설명하는 도면에 있어서는, 배리어 메탈층의 도시를 생략하고 있다.

[0321] <제2 배선층>

[0322] 제2 배선층(40)이 갖는 배선(42)은, 절연막(41)에 마련되어 있다. 제2 배선층(40)이 갖는 배선(42) 중, 제1 도체(51)의 제3 면(S3)측의 단부인 단부(51b)가 접속된 배선(42)을, 그 이외의 배선(42)과 구별하기 위해, 배선(42A)이라고 칭하는 경우가 있다. 배선(42A)은, 제1 도체(51)가 접속되는 패드이고, 하나의 배선에 상당한다. 제1 도체(51)는 제2 반도체층(50)을 관통하고, 제1 도체(51)의 제3 면(S3)측의 단부인 단부(51b)는, 제2 배선층(40)이 갖는 배선(42A)까지 연장되어, 배선(42A)에 접속되어 있다. 제1 도체(51)의 제4 면(S4)측의 단부인 단부(51a)는, 이것에 한정되지는 않지만, 예를 들어 도 35에 나타낸 바와 같이, 제4 배선층(70)이 갖는 제4 접속 패드(73)까지 연장되어, 제4 접속 패드(73)에 접속되어 있다.

[0323] 배선(42A)은, 제1 도전 재료제의 제1 층(42A1)과, 제1 층(42A1)과 제1 도체(51)의 제3 면(S3)측의 단부(51b) 사이에 위치하여 제1 도전 재료를 포함하지 않는 제2 도전 재료제의 제2 층(42A2)과의 적층 구조를 갖는다. 더 구체적으로는, 단부(51b)는 제2 층(42A2)에 접속되어 있고, 제2 층(42A2)은 제1 층(42A1)에 접속되어 있다.

즉, 단부(51b)와 제1 층(42A1)은 직접 접속되어 있지 않고, 제2 층(42A2)을 통해 접속되어 있다. 제1 층(42A1)을 구성하는 제1 도전 재료는, 이것에 한정되지는 않지만, 예를 들어 구리를 포함하는 재료이다. 본 실시 형태에서는, 제1 층(42A1)을 구리에 의해 구성하는 예에 대하여 설명한다. 또한, 제2 층(42A2)을 구성하는 제2 도전 재료는, 제1 도전 재료를 포함하지 않는 재료, 더 구체적으로는 구리를 포함하지 않는 재료이다. 제2 층(42A2)을 구성하는 제2 도전 재료로서, 가령 반도체층 내에 확산되었다고 해도, 트랜지스터의 동작에 영향을 미칠 가능성이 낮은 재료를 사용하고 있다. 그러한 제2 도전 재료로서, 종래부터 반도체층의 근처에서 사용되고 있는 재료를 사용하는 것이 바람직하다. 제2 층(42A2)을 구성하는 제2 도전 재료로서, 예를 들어 텅스텐, 루테늄, 티타늄, 탄탈, 질화탄탈, 알루미늄, 코발트 및 실리콘 등을 들 수 있다. 본 실시 형태에서는, 제2 층(42A2)을 텅스텐에 의해 구성하는 예에 대하여 설명한다.

[0324] 제2 도체(52)는, 이것에 한정되지는 않지만, 예를 들어 제3 면(S3)측의 단부가 배선(42)에 접속되고, 제4 면(S4)측의 단부가 제3 접속 패드(63)에 접속되어 있다.

[0325] ≪광 검출 장치의 제조 방법≫

[0326] 이하, 도 36a부터 도 36f까지를 참조하여, 광 검출 장치(1)의 제조 방법에 대하여 설명한다. 여기서는, 제1 도체(51) 및 배선(42A)의 제조 방법에 관련되는 부분에 대해서만 설명한다. 또한, 이하의 도면에서는, 제1 도체(51) 및 배선(42A)의 제조 방법을 알기 쉽게 설명하기 위해 제1 도체(51)와 제2 도체(52)를 배열하여 나타내고 있다. 또한, 본 제4 실시 형태에 있어서는, 도 36a 이후의 도면에 있어서, 제1 도체(51)와 제2 반도체층(50) 사이에 마련된 절연막 및 제2 도체(52)와 제2 반도체층(50) 사이에 마련된 절연막의 도시 및 그 형성 방법을 생략하고 있는 경우가 있다.

[0327] 먼저, 도 36a에 나타낸 바와 같이, 제2 반도체층(50w)의 제3 면(S3)측에, 트랜지스터 T2 등의 소자를 형성하여, 제3 면(S3)측에 절연막(41)을 퇴적하고, 그 후, 공지의 리소그래피 기술 및 에칭 기술에 의해, 절연막(41)의 노출면으로부터 구멍(44h), 구멍(53) 및 구멍(42h2)을 형성한다. 구멍(44h)은, 이것에 한정되지는 않지만, 예를 들어 트랜지스터 T2의 게이트 전극 G에 접속되는 비아(44)를 형성하기 위한 구멍이다. 구멍(53)은, 제2 도체(52)를 형성하기 위한 구멍이다. 구멍(42h2)은, 배선(42A)의 제2 층(42A2)을 형성하기 위한 구멍이다. 구멍(44h), 구멍(53) 및 구멍(42h2)의 제2 반도체층(50)의 두께 방향의 깊이는 각각 다르고, 이들 3종류의 구멍 중, 구멍(53)이 가장 깊고, 다음으로 구멍(44h)이 깊고, 구멍(42h2)이 가장 얕다.

[0328] 이어서, 도 36b에 나타낸 바와 같이, 구멍(44h), 구멍(53) 및 구멍(42h2)의 내부를 메우도록, 절연막(41)의 노출면에 텅스텐막을 적층하고, 그 후, CMP법에 의해 텅스텐막의 여분의 부분을 제거한다. 이에 의해, 텅스텐제의 비아(44), 제2 도체(52) 및 제2 층(42A2)을 얻는다. 이렇게 형성된 제2 층(42A2)의 두께는, 구멍(51h)을 건식 에칭으로 형성할 때 에칭으로 관통되지 않는 두께를 가지면서, 가능한 한 저저항의 두께가 되도록 형성되어 있다. 또한, 비아(44), 제2 도체(52) 및 제2 층(42A2)의 제2 반도체층(50)의 두께 방향의 치수 관계는, 구멍(44h), 구멍(53) 및 구멍(42h2)의 깊이의 관계와 마찬가지이다.

[0329] 그리고, 도 36c에 나타낸 바와 같이, 더 절연막(41)을 적층하고, 적층한 절연막(41)에 대하여, 공지의 리소그래피 기술 및 에칭 기술에 의해, 배선(42)을 형성하기 위한 구멍을 형성한다. 더 구체적으로는, 구멍(42h) 및 구멍(42h1)을 형성한다. 구멍(42h1)은 제1 층(42A1)을 형성하기 위한 구멍이고, 구멍(42h)은, 배선(42A) 이외의 배선(42)을 형성하기 위한 구멍이다.

[0330] 이어서, 도 36d에 나타낸 바와 같이, 구멍(42h) 및 구멍(42h1)의 내부를 메우도록, 절연막(41)의 노출면에, 도금법에 의해 구리를 적층하고, 그 후, CMP법에 의해 구리의 여분의 부분을 제거한다. 이에 의해, 구리제의 배선(42) 및 제1 층(42A1)을 얻는다. 또한, 이에 의해, 제1 층(42A1)과 제2 층(42A2)을 포함하는 배선(42A)을 얻는다.

[0331] 그 후, 제1 실시 형태에 있어서 이미 설명한 몇 가지의 공정을 행한다. 제1 실시 형태에 있어서 상세하게 설명하고 있으므로, 도시 및 상세한 설명은 생략하지만, 제3 면(S3)측에 제2 배선층(40)을 완성시켜, 제2 반도체층(50w)측과 제1 반도체층(20)측을 F2F법으로 접합하고, 제2 반도체층(50w)을 제3 면(S3)과는 반대측의 면으로부터 연삭하여 얇게 하여 제2 도체(52)를 노출시키고, 제2 반도체층(50)의 제4 면(S4)에 절연막(61)을 적층한다.

[0332] 그리고, 도 36e에 나타낸 바와 같이, 절연막(61)측으로부터, 공지의 리소그래피 기술 및 에칭 기술에 의해, 구멍(63h) 및 구멍(51h)을 형성한다. 구멍(63h)은 제2 도체(52)에 접속되는 제3 접속 패드(63)를 형성하기 위한 구멍이다. 그리고, 구멍(51h)은, 제1 도체(51)를 형성하기 위한 구멍이다. 더 구체적으로는, 구멍(51h)은, 제1 도체(51)를 구성하는 재료(예를 들어, 구리)를 매립하기 위한 구멍이다. 구멍(51h)을 형성할 때, 먼저, 절연

막(61)을 에칭하고, 다음에 제2 반도체층(50)을 에칭하고, 다음에 절연막(41)을 에칭한다. 그리고, 구멍(51h)을 형성하는 에칭에 의해, 구멍(51h)이 제2 층(42A2)에 도달한다. 또한, 구멍(51h)을 형성하는 에칭은, 웨이퍼면 내의 다른 위치의 구멍(51h)이 제2 층(42A2)에 도달할 때까지 행해지는 것이 바람직하다. 또한, 웨이퍼면 내의 위치에 따라서는, 구멍(51h)을 형성할 때의 에칭의 진행에 차가 생겨 버리는 경우가 있다. 그래서, 웨이퍼면 내에서 국소적으로 구멍(51h)의 개구 불량이 발생하는 것을 억제하기 위해, 오버 에칭을 행하는 경우가 있다. 그 때문에, 제2 층(42A2)의 두께는, 오버 에칭이 행해져도 제1 층(42A1)이 노출되는 경우가 없는 치수로 마련되어 있다.

[0333] 그 후, 도 36f에 나타낸 바와 같이, 구멍(63h) 및 구멍(51h)의 내부를 메우도록, 절연막(61)측의 노출면에, 도금법에 의해 구리를 적층하고, 그 후, CMP법에 의해 구리의 여분의 부분을 제거한다. 이에 의해, 구리제의 제3 접속 패드(63) 및 제1 도체(51)를 얻는다.

[0334] ≪제4 실시 형태의 주된 효과≫

[0335] 이하, 제4 실시 형태의 주된 효과를 설명하지만, 그 전에, 종래 기술에 대하여 설명한다. 종래, 구멍(51h)을 형성할 때, 배선(42)을 구성하는 구리가 노출되어 버릴 가능성이 있었다. 그리고, 노출된 구리에 에칭의 플라스마가 충돌하면, 구리가 비산될 가능성이 있었다. 특히, 화소 트랜지스터가 적층되어, 반도체층이 3층 구조인 광 검출 장치에서는, 트랜지스터 T2와 제1 도체(51)와 같은 관통 전극 사이의 거리가 작기 때문에, 비산된 구리가 반도체층 내부에 진입하여, 트랜지스터 T2의 특성에 영향을 미칠 가능성이 있었다.

[0336] 또한, 구멍(51h)을 마련할 때, 두께가 마이크로미터 오더의 제2 반도체층(50)을 관통하는 에칭이 필요하다. 이렇게 두꺼운 반도체층을 관통하는 구멍(51h)을 형성하는 경우에는, 웨이퍼의 중앙 부분과 에지 부분에서 에칭의 진행에 차가 발생해 버린다. 그 때문에, 웨이퍼면 내에서 국소적으로 구멍(51h)의 개구 불량이 발생하는 것을 억제하기 위해서는, 웨이퍼면 내에서 에칭의 진행이 비교적 느린 부분에 있어서 구멍(51h)이 배선(42)에 도달할 때까지 에칭을 계속할 필요가, 즉 오버 에칭을 행할 필요가 있었다.

[0337] 그러나, 오버 에칭을 행하면, 웨이퍼면 내에서 에칭의 진행이 비교적 빠른 부분에서는, 배선(42)을 구성하는 구리가 노출되고, 노출된 구리에 에칭의 플라스마가 충돌하여, 구리가 확산되어 버릴 가능성이 있었다.

[0338] 여기서, 일반적으로는, 배선(42)과 절연막(41) 사이에는 배리어 메탈이 마련되어 있다. 그러나, 두께가 마이크로미터 오더의 제2 반도체층(50)에 비하면, 배리어 메탈의 두께는 나노미터 오더이고, 제2 반도체층(50)의 에칭 변동을 흡수할 수 있는 충분한 두께가 아닐 수도 있다. 그 때문에, 웨이퍼면 내에서 에칭의 진행이 비교적 빠른 부분에서는, 오버 에칭 시에 배리어 메탈이 에칭되어 제거되어, 배선(42)을 구성하는 구리가 노출되어 버릴 가능성이 있었다. 그리고, 노출된 구리에 에칭의 플라스마가 충돌하여, 구리가 확산되어 버릴 가능성이 있었다.

[0339] 이에 비해, 본 기술의 제4 실시 형태에 관한 광 검출 장치(1)에서는, 하나의 배선(42A)은, 구리제의 제1 층(42A1)과, 제1 층(42A1)과 제1 도체(51)의 한쪽의 단부(51b) 사이에 위치하고, 구리를 포함하지 않는 제2 도전 재료제의 제2 층(42A2)과의 적층 구조를 포함한다. 그 때문에, 구멍(51h)이 배선(42A)에 도달했을 때 노출되는 것은, 구리를 포함하지 않는 제2 도전 재료제의 제2 층(42A2)이고, 구리가 비산되는 것을 억제할 수 있다.

[0340] 또한, 본 기술의 제4 실시 형태에 관한 광 검출 장치(1)에서는, 웨이퍼면 내에서 에칭의 진행이 비교적 빠른 부분에 있어서 오버 에칭이 행해진 경우라도, 에칭의 플라스마가 충돌하는 것은 구리를 포함하지 않는 제2 도전 재료제의 제2 층(42A2)이기 때문에, 구리가 비산되는 것을 억제할 수 있다. 이와 같이, 웨이퍼면 내의 위치에 따라 구멍(51h)의 에칭의 진행에 차가 발생한 경우라도, 구리가 비산되는 것을 억제할 수 있다.

[0341] 또한, 본 기술의 제4 실시 형태에 관한 광 검출 장치(1)에서는, 제2 층(42A2)을 구성하는 제2 도전 재료로서, 가령 제2 반도체층(50)과 같은 반도체층 내에 확산되었다고 해도, 트랜지스터의 동작에 영향을 미칠 가능성이 낮은 재료를 사용하고 있다. 그 때문에, 제2 층(42A2)을 구성하는 제2 도전 재료에 에칭의 플라스마가 충돌하여, 제2 층(42A2)을 구성하는 제2 도전 재료가 제2 반도체층(50)과 같은 반도체층 내에 확산되었다고 해도, 트랜지스터의 동작에 영향을 미치는 것을 억제할 수 있다.

[0342] 또한, 본 기술의 제4 실시 형태에 관한 광 검출 장치(1)에서는, 제2 층(42A2)을, 비아(44) 및 제2 도체(52)를 구성하는 재료와 동일한 재료로, 더 구체적으로는 예를 들어 텅스텐으로 구성하고 있다. 그 때문에, 텅스텐의 성막 및 그 후의 CMP법을 각각 1회 행함으로써, 제2 층(42A2)과, 비아(44)와, 제2 도체(52)를 형성할 수 있어, 제조 공정이 증가하는 것을 억제할 수 있다.

[0343] 또한, 본 기술의 제4 실시 형태에 관한 광 검출 장치(1)에서는, 도 36b에 나타내는 제2 층(42A2)을 형성하는 공정에 있어서, 제2 층(42A2)의 두께가, 가능한 한 저저항이고 또한 구멍(51h)의 에칭 종료 후에 구멍(51h)의 저부에 남는 두께로 형성되므로, 배선(42A)의 저항이 높아지는 것을 억제할 수 있고, 또한 제1 층(42A1)이 노출되는 것을 억제할 수 있다.

[0344] ≪제4 실시 형태의 변형예≫

[0345] 이하, 제4 실시 형태의 변형예에 대하여 설명한다.

[0346] <변형예 1>

[0347] 제4 실시 형태에 관한 광 검출 장치(1)에서는, 제2 층(42A2)의 제2 반도체층(50)의 두께 방향의 치수는, 비아(44)의 제2 반도체층(50)의 두께 방향의 치수보다 작았지만, 본 기술은 이것에 한정되지는 않는다. 제4 실시 형태의 변형예 1에서는, 도 37에 나타낸 바와 같이, 제2 층(42A2)의 제2 반도체층(50)의 두께 방향의 치수는, 비아(44)의 제2 반도체층(50)의 두께 방향의 치수와 동일하다. 비아(44) 및 제2 층(42A2)의 두께 방향의 치수를 동일하게 하기 위해서는, 제4 실시 형태의 도 36a에 나타내는 공정에 있어서, 구멍(44h)과 구멍(42h2)을 동일한 깊이로 마련하면 된다. 또한, 제2 층(42A2)과 제2 반도체층(50)의 제3 면(S3) 사이는, 게이트 전극 G의 두께에 상당하는 거리로 이격되어 있다.

[0348] 이 제4 실시 형태의 변형예 1에 관한 광 검출 장치(1)라도, 상술한 제4 실시 형태에 관한 광 검출 장치(1)와 마찬가지의 효과가 얻어진다.

[0349] 또한, 제4 실시 형태의 변형예 1에 관한 광 검출 장치(1)에서는, 비아(44) 및 제2 층(42A2)의 두께 방향의 치수를 동일하게 하기 위해, 제4 실시 형태의 도 36a에 나타내는 공정에 있어서, 구멍(44h)과 구멍(42h)을 동일 치수로 마련하고 있다. 그 때문에, 1회의 포토리소그래피 공정 및 에칭 공정에 의해, 구멍(44h)과 구멍(42h)을 동시에 형성할 수 있다. 그 때문에, 공정이 증가하는 것을 억제할 수 있다.

[0350] 또한, 제4 실시 형태의 변형예 1에 관한 광 검출 장치(1)에서는, 제4 실시 형태의 경우보다, 제2 층(42A2)의 두께 방향의 치수가 크다. 그 때문에, 구멍(51h)을 형성할 때 제1 층(42A1)이 노출되는 것을 더 억제할 수 있다.

[0351] <변형예 2>

[0352] 제4 실시 형태에 관한 광 검출 장치(1)에서는, 제2 층(42A2)의 폭 방향(Z방향에 수직인 방향) 치수는, 제1 층(42A1)의 폭 방향과 동일한 치수로 마련되어 있었지만, 본 기술은 이것에 한정되지는 않는다. 제4 실시 형태의 변형예 2에서는, 도 38에 나타낸 바와 같이, 제2 층(42A2)의 폭 방향 치수는, 제1 도체(51)의 단부(51b)의 폭 방향 치수(수평 방향 치수)와 동등 이상이면, 제1 층(42A1)의 폭 방향 치수보다 작아도 된다.

[0353] 이 제4 실시 형태의 변형예 2에 관한 광 검출 장치(1)라도, 상술한 제4 실시 형태에 관한 광 검출 장치(1)와 마찬가지의 효과가 얻어진다.

[0354] <변형예 3>

[0355] 제4 실시 형태의 변형예 3에 관한 광 검출 장치(1)에서는, 도 39에 나타낸 바와 같이, 제2 층(42A2)의 제1 도체(51)측의 면은, 제1 층(42A1)측을 향해 오목해져 있다. 그것은, 제1 도체(51)를 매립하기 위한 구멍(51h)을 형성할 때 오버 에칭되었기 때문이다. 웨이퍼면 내의 다른 위치에서 구멍(51h)을 개구하기 위에, 일부의 제2 층(42A2)이 오버 에칭된다. 제2 층(42A2)은, 오버 에칭되어도 관통되지 않는 두께인 것이 바람직하다.

[0356] 이 제4 실시 형태의 변형예 3에 관한 광 검출 장치(1)라도, 상술한 제4 실시 형태에 관한 광 검출 장치(1)와 마찬가지의 효과가 얻어진다.

[0357] <변형예 4>

[0358] 제4 실시 형태의 변형예 4에 관한 광 검출 장치(1)에서는, 도 40에 나타낸 바와 같이, 제2 층(42A2)의 제1 층(42A1)측의 면은, 제1 도체(51)의 단부(51b)측을 향해 오목해지도록 마련되어 있다. 이 오목부는, 예를 들어 에칭에 의해 형성된다.

[0359] 이 제4 실시 형태의 변형예 4에 관한 광 검출 장치(1)라도, 상술한 제4 실시 형태에 관한 광 검출 장치(1)와 마찬가지의 효과가 얻어진다.

[0360] <변형예 5>

[0361] 제4 실시 형태의 변형예 5에 관한 광 검출 장치(1)에서는, 도 41에 나타낸 바와 같이, 제2 층(42A2)과 절연막(41) 사이에 절연막(45)이 마련되어 있다. 절연막(45)은, 절연막(41)과는 다른 종류의 절연막이고, 예를 들어 산질화실리콘막이다.

[0362] 절연막(45)은, 구멍(51h)을 형성할 때 에칭 스톱층으로서 기능한다. 더 구체적으로는, 절연막(45)은, 선택된 에천트에 대한 에칭 레이트가 절연막(41)을 구성하는 재료보다 낮은 재료에 의해 구성되어 있다. 이하, 도 42a부터 도 42c까지를 참조하여, 제4 실시 형태의 변형예 5에 관한 광 검출 장치(1)의 제조 방법에 대하여, 제4 실시 형태에서 설명한 제조 방법과 다른 부분을 중심으로 설명한다.

[0363] 도 42a에 나타낸 바와 같이, 구멍(44h), 구멍(53) 및 구멍(42h2)을 마련한 후에, 구멍(44h), 구멍(53) 및 구멍(42h2)의 내면을 덮도록 에칭 스톱층으로서 기능하는 절연막(45)을 적층한다. 절연막(45)은, 이것에 한정되지는 않지만, 예를 들어 50㎚ 정도의 두께를 갖도록 적층한다. 그 후, 비아(44)의 바닥의 부분의 절연막(45)을 제거하고, 그것으로부터 도 36b부터 도 36d까지 나타내는 공정과 마찬가지의 공정을 행한다.

[0364] 이어서, 도 42b에 나타낸 바와 같이, 구멍(63h) 및 구멍(51h)을 형성한다. 여기서, 구멍(51h)의 에칭은, 절연막(45)에 도달하면 느려져, 절연막(45)은 에칭되었다고 해도 약간이다. 절연막(45)에 의해 구멍(51h)의 에칭을 느리게 함으로써, 웨이퍼면 내에서 에칭이 느린 부분의 에칭을 따라잡을 때까지 기다릴 수 있고, 웨이퍼면 내에서 발생한 구멍(51h)의 에칭 속도의 변동을 리셋할 수 있다. 바꾸어 말하면, 웨이퍼면 내의 다른 위치의 구멍(51h)의 에칭의 진행도가, 절연막(45)에 의해 정렬된다.

[0365] 그 후, 도 42c에 나타낸 바와 같이, 에칭 조건을 바꾸어, 구멍(51h)의 저부에 위치하는 절연막(45)을 에칭하여 제거한다. 절연막(45)의 에칭은, 웨이퍼면 내의 다른 위치의 구멍(51h)에서 동시에 개시된다. 또한, 절연막(45)의 두께는, 예를 들어 50㎚ 정도로 얇기 때문에, 에칭 시간도 짧아도 되고, 가령 웨이퍼면 내에서 에칭의 진행에 변동이 발생했다고 해도, 약간이다. 이에 의해, 제2 층(42A2)을 구성하는 재료가 오버 에칭되는 양이 증가하는 것을 억제할 수 있다. 이 후의 공정은 제4 실시 형태에 있어서 이미 설명했으므로, 여기서는 생략한다.

[0366] 이 제4 실시 형태의 변형예 5에 관한 광 검출 장치(1)라도, 상술한 제4 실시 형태에 관한 광 검출 장치(1)와 마찬가지의 효과가 얻어진다.

[0367] 또한, 이 제4 실시 형태의 변형예 5에 관한 광 검출 장치(1)에서는, 절연막(45)을 에칭 스톱층으로서 마련했기 때문에, 웨이퍼면 내에서 발생한 구멍(51h)의 에칭의 진행에 변동을 리셋할 수 있다. 이에 의해, 제2 층(42A2)의 오버 에칭되는 양이 증가하는 것을 억제할 수 있어, 제2 층(42A2)을 구성하는 재료가 비산되는 양이 증가하는 것을 억제할 수 있다.

[0368] [제5 실시 형태]

[0369] 도 43에 나타내는 본 기술의 제5 실시 형태에 대하여, 이하에 설명한다. 본 제5 실시 형태에 관한 광 검출 장치(1)가 상술한 제1 실시 형태에 관한 광 검출 장치(1)와 상이한 것은, 제2 도체(52) 대신에 제2 도체(52B)를 갖는 점이고, 그 이외의 광 검출 장치(1)의 구성은, 기본적으로 상술한 제1 실시 형태의 광 검출 장치(1)와 마찬가지의 구성으로 되어 있다. 또한, 이미 설명한 구성 요소에 대해서는, 동일한 부호를 붙여 그 설명을 생략한다.

[0370] ≪광 검출 장치의 구성≫

[0371] 이하, 본 기술의 제5 실시 형태에 관한 광 검출 장치(1)의 구성에 대하여, 상술한 제1 실시 형태에 관한 광 검출 장치(1)의 구성과 다른 부분을 중심으로 설명한다. 또한, 본 제5 실시 형태를 설명하는 도면에 있어서는, 설명을 용이하게 하기 위해, 동일한 구성 요소라도 도면간에 있어서 축척이 다르게 그려져 있는 경우가 있다. 또한, 본 제5 실시 형태를 설명하는 도면에 있어서는, 일부의 배리어 메탈층의 도시를 생략하고 있는 경우가 있다. 또한, 도 43에서는, 막의 두께의 차이를 강조하도록 그려져 있다.

[0372] 도 43에 나타낸 바와 같이, 제2 도체(52B)는, 제2 반도체층(50)을 두께 방향을 따라 관통하고 있다. 또한, 제2 도체(52B)는, 제3 배선층(60)이 갖는 배선(62) 중 하나의 배선(62)과 동일 재료로 일체로 마련되어 있다. 더 구체적으로는, 제2 도체(52)와 하나의 배선(62)은, 동일 재료로 동시에 마련되어 있다. 여기서는, 하나의 배선(62)을 그 이외의 배선(62)과 구별하기 위해, 배선(62B)라고 칭하는 경우가 있다. 제2 도체(52B)와 배선(62B)은, 동일한 성막 공정에서 일체로 형성되어 있다. 그 때문에, 제2 도체(52B)부터 배선(62B)까지 동일 재료로 연속적으로 구성되어 있고, 양자 사이에 경계가 없다. 그리고, 제2 도체(52B)와 배선(62B) 사이에는, 이종 재

료끼리의 계면이 존재하고 있지 않다. 제2 도체(52B) 및 배선(62B)은, 제3 재료에 의해 구성되어 있다. 제3 재료는, 저항값이 낮은 도전 재료이다. 제3 재료로서, 예를 들어, 텅스텐, 알루미늄, 구리, 코발트, 루테늄 등을 들 수 있다. 본 실시 형태에서는, 제2 도체(52B) 및 배선(62B)가 구리에 의해 구성되어 있는 것이라고 하고, 설명한다.

[0373] 또한, 광 검출 장치(1)는, 제2 도체(52B)와 제2 반도체층(50) 사이에 절연막(41m)(분리 절연막)을 갖고 있다. 절연막(41m)은, 제3 배선층(60)이 갖는 절연막(61) 내로 돌출되어 있다. 그리고, 절연막(41m)은, 제3 면(S3)측에 있어서의 두께가 제4 면(S4)측에 있어서의 두께보다 두껍다.

[0374] 또한, 절연막(41m)은, 제3 배선층(60)이 갖는 절연막(61)보다 품질이 높다. 더 구체적으로는, 절연막(41m)은, 제3 배선층(60)이 갖는 절연막(61)보다 밀도가 높고, 또한 불순물이 적다. 그것은, 나중에 제조 방법의 항목에 있어서 설명하지만, 절연막(41m)을 성막할 때의 온도가, 절연막(61)을 성막할 때의 온도보다 높기 때문이다. 그 때문에, 절연막(41m)은, 절연막(61)보다 전기적으로 고내압이다.

[0375] 제2 도체(52B)의 제3 면(S3)측의 단부(52b)는, 제2 배선층(40)이 갖는 배선(42) 중 하나의 배선(42)과 접속되어 있다. 여기서는, 하나의 배선(42)을 그 이외의 배선(42)과 구별하기 위해, 배선(42B)이라고 칭하는 경우가 있다. 또한, 광 검출 장치(1)는, 금속 재료를 덮도록 마련된 배리어 메탈층을 갖는다. 배리어 메탈층은, 예를 들어 배선, 접속 패드 및 비아를 구성하는 금속이 절연막으로 확산되는 것을 억제하고 있다. 본 실시 형태에서는, 제2 도체(52B) 및 배선(62B)을 덮도록 마련된 배리어 메탈층을, 다른 배리어 메탈층과 구별하기 위해, 배리어 메탈층(55)이라고 칭한다. 배리어 메탈층(55)은, 제2 도체(52B)와 절연막(41m) 사이, 제2 도체(52B)와 배선(42B) 사이 및 배선(62B)과 절연막(61) 사이에 마련되어 있다. 배리어 메탈층(55)은, 고융점 금속을 포함하는 막(고융점 금속막)에 의해 구성되어 있다. 배리어 메탈층(55)은, 이것에 한정되지는 않지만, 예를 들어 질화티타늄(TiN)에 의해 구성되어 있다.

[0376] 배리어 메탈층(55) 중, 제2 도체(52B)와 절연막(41m) 사이에 마련된 부분은, 제4 면(S4)측에 있어서의 두께가 제3 면(S3)측에 있어서의 두께보다 두껍다. 이것은, 절연막(41m)과는 역의 경향이다.

[0377] ≪광 검출 장치의 제조 방법≫

[0378] 이하, 도 44a부터 도 44g까지를 참조하여, 광 검출 장치(1)의 제조 방법에 대하여 설명한다. 여기서는, 제2 도체(52B) 및 배선(62B)의 제조 방법에 관련되는 부분에 대해서만 설명한다.

[0379] 먼저, 도 44a에 나타낸 바와 같이, 제2 반도체층(50w)의 제3 면(S3)측에, 트랜지스터 T2 등의 소자를 형성하여, 제2 배선층(40)의 절연막을 적층한다. 그리고, 제3 면(S3)측으로부터, 공지의 리소그래피 기술 및 에칭 기술을 사용하여, 제2 반도체층(50w)의 내부까지 연장되는 구멍(53)을 형성한다. 구멍(53)은, 제2 도체(52B)를 형성하기 위해 마련되는 구멍이다.

[0380] 이어서, 도 44b에 나타낸 바와 같이, 제3 면(S3)측으로부터, 구멍(53)의 내벽(내주면 및 저면)을 포함하는 노출면에 대하여, 절연막(41m)과, 막(희생막)(56)을 이 순서로 순차 적층한다. 절연막(41m)은, 예를 들어 산화실리콘(SiO_2)을 포함한다. 절연막(41m)은, 예를 들어 고온 또한 저압의 CVD법에 의해 성막한다. 도 44a 및 도 44b에 나타내는 제2 반도체층(50w)의 제3 면(S3)측에는, 알루미늄이나 구리 등의 금속제의 배선이 아직 형성되어 있지 않으므로, 절연막(41m)을 성막하는 온도는, 알루미늄이나 구리 등의 금속의 제약을 받을 경우는 없다. 그 때문에, 알루미늄이나 구리 등의 금속제의 배선이 마련되어 있는 경우보다, 절연막(41m)을 성막하는 온도를 높게 설정할 수 있다. 이에 의해, 절연막(41m)의 밀도가 낮아지는 것을 억제할 수 있어, 불순물이 증가하는 것을 억제할 수 있다. 그리고, 절연막(41m)의 전기적인 내압이 낮아지는 것을 억제할 수 있다. 또한, 도 44b에 있어서는 절연막(41m)을 모식적으로 나타내고 있으므로, 절연막(41m)의 막 두께는 Z방향을 따라 균일하게 그려져 있다. 그러나, 실제로는, 절연막(41m)의 막 두께는, Z방향을 따라 성막하는 측(제3 면(S3)측)의 쪽이 두꺼워지고, 구멍(53)의 바닥의 쪽(제4 면(S4)측)이 얇아지고 있다.

[0381] 막(56)은, 임시의 재료로서, 절연막(41m)을 통해 구멍(53)을 메우도록 적층된다. 막(56)은 희생 재료에 의해 구성되어 있고, 나중에 설명하는 공정에 있어서 제거한다. 더 구체적으로는, 막(56)과 절연막(41m) 중 막(56)만을 제거한다. 그 때문에, 막(56)을 구성하는 희생 재료로서, 절연막(41m)을 구성하는 재료보다, 선택된 에천트에 대한 에칭 레이트가 높은 재료를 선택한다. 바꾸어 말하면, 절연막(41m)을 구성하는 재료는, 막(56)을 구성하는 희생 재료보다, 선택된 에천트에 대한 에칭 레이트가 낮은 재료이다. 희생 재료로서, 예를 들어, 실리콘, 폴리실리콘, 질화실리콘 및 텅스텐 등을 들 수 있다. 본 실시 형태에서는, 막(56)이 폴리실리콘제라고 하

고, 설명한다.

[0382] 이어서, 도 44c에 나타낸 바와 같이, 제2 배선층(40)을 완성시키고, 제1 실시 형태의 도 5f부터 도 5h까지 나타내는 공정과 마찬가지의 공정을 행한다. 더 구체적으로는, 제3 면(S3)측과는 반대측으로부터 제2 반도체층(50)을 박육화하고, 제4 면(S4)으로부터 막(56) 및 절연막(41m)을 노출시킨다. 더 구체적으로는, 제4 면(S4)으로부터 막(56) 및 절연막(41m)을 돌출시킨다. 이에 의해, 도 44d에 나타낸 바와 같이, 제4 면(S4)으로부터 돌출된 막(56) 및 절연막(41m)을 얻는다. 그 후, 도 44e에 나타낸 바와 같이, 제4 면(S4)측에, 절연막(61)과 하드 마스크로서 기능하는 막 m을 퇴적시킨다. 그리고, 공지의 리소그래피 기술 및 에칭 기술을 사용하여, 막 m에 개구 mh를 형성한다. 더 구체적으로는, 개구 mh는, 구멍(53)에 매립된 막(56)과 평면으로 보아 겹치는 영역에 마련한다.

[0383] 절연막(61)은, 배선(42) 등을 갖는 제2 배선층(40)이 이미 완성되어 있으므로, 알루미늄이나 구리 등의 배선을 구성하는 금속이 견딜 수 있는 온도에서 성막된다. 그 때문에, 절연막(61)은, 절연막(41m)을 성막하는 온도보다 낮은 온도에서 성막된다. 절연막(61)은, 예를 들어 플라스마 CVD, 스핀 온 글라스(SOG, spin-on-glass)법 등에 의해 성막된다.

[0384] 그리고, 도 44f에 나타낸 바와 같이, 공지의 에칭 기술에 의해, 개구 mh를 통해, 막(56)과 절연막(41m) 중 막(56)을 선택적으로 제거한다. 구체적으로는, 막(56)을 구성하는 희생 재료(폴리실리콘)와 절연막(41m)을 구성하는 산화실리콘의, 선택된 에천트에 있어서의 에칭 레이트의 차를 이용하여, 막(56)과 절연막(41m) 중 막(56)만을 제거한다. 이에 의해, 구멍(53) 내에서 막(56)에 의해 차지되어 있던 영역이 공동이 되어, 절연막(41m)이 노출된다.

[0385] 이어서, 도 44g에 나타낸 바와 같이, 절연막(61)에 대하여, 평면으로 보아 구멍(53)과 겹치는 영역에, 배선(62B)을 매립하기 위한 개구(61j)를 형성한다. 그 후, 구멍(53) 내 및 개구(61j) 내의 노출면에, 배리어 메탈층(55)을 적층한다. 배리어 메탈층(55)은, 절연막(41m)을 통한 구멍(53)의 내주면과, 구멍(53)의 바닥, 즉, 구멍(53)이 평면으로 보아 배선(42B)과 겹치는 영역에 마련되어 있다. 또한, 구멍(53)의 내주면에는 절연막(41m)이 적층되어 있으므로, 구멍(53)의 내주면에 있어서는, 절연막(41m)의 노출면에 대하여 배리어 메탈층(55)이 퇴적된다. 또한, 도 44g에 있어서는 배리어 메탈층(55)을 모식적으로 나타내고 있으므로, 배리어 메탈층(55)의 막 두께는 Z방향을 따라 균일하게 그려져 있다. 그러나, 실제로는, 배리어 메탈층(55)의 막 두께는, Z방향을 따라 성막하는 측(제4 면(S4)측)의 쪽이 두꺼워지고, 배선(42B)측(제3 면(S3)측)이 얇아지고 있다. 이와 같이, 배리어 메탈층(55)은, 절연막(41m)을 적층하는 측(제3 면(S3)측)과는 반대측(제4 면(S4)측)으로부터 적층되므로, 배리어 메탈층(55)과 절연막(41m)은, 두께의 경향이 반대이다.

[0386] 그 후, 도 44g에 나타낸 바와 같이, 배리어 메탈층(55)의 노출면에 대하여, 도금법에 의해, 도전 재료제(본 실시 형태에서는 구리)의 막(62m)을 적층한다. 막(62m)은, 구멍(53) 내 및 개구(61j) 내를 메우도록 퇴적된다. 더 구체적으로는, 막(62m)은, 구멍(53) 내의 공동 및 개구(61j) 내를 메우도록 퇴적된다. 이와 같이, 동일 재료의 막(62m)이, 구멍(53)과 개구(61j)에 대하여 동일 공정에서 동시에 매립되므로, 제2 도체(52B)로부터 배선(62B)까지를 동일 재료로 연속적으로 구성할 수 있어, 양자간에 경계가 발생하는 것을 억제할 수 있다. 더 구체적으로는, 양자간에 이종 재료끼리의 계면이 발생하는 것을 억제할 수 있다. 즉, 구멍(53) 내의 공동을 이용하여, 제2 도체(52B)를 배선(62B)과 동일 공정에서 동시에 형성하고 있다. 그 후, CMP법에 의해, 배리어 메탈층(55) 및 막(62m)의 여분의 부분을 제거하여, 도 43에 나타내는, 제2 도체(52B) 및 배선(62B)을 얻는다.

[0387] ≪제5 실시 형태의 주된 효과≫

[0388] 이하, 제5 실시 형태의 주된 효과를 설명하지만, 그 전에, 도 45a 및 도 45b에 나타내는 2개의 종래예에 대하여 설명한다.

[0389] 먼저, 도 45a에 나타내는 종래의 제2 도체(52)에서는, 제3 면(S3)측으로부터 구멍(53)을 형성하고, 제3 면(S3)측으로부터 구멍(53)의 내면에 절연막(41m) 및 배리어 메탈층(55)을 성막하고, 제3 면(S3)측으로부터 제2 도체(52)를 구성하는 재료를 구멍(53) 내에 매립하고 있었다. 그리고, 배선(62)을, 제4 면(S4)측으로부터 형성하고 있었다. 도 45a에 나타내는 종래의 제2 도체(52)에서는, 알루미늄이나 구리 등의 금속제의 배선이 마련되기 전에, 제3 면(S3)측으로부터 절연막(41m)을 형성하므로, 절연막(41m)의 전기적인 내압이 낮아지는 것을 억제할 수 있다. 한편, 제2 도체(52)를 제3 면(S3)측으로부터 예를 들어 텅스텐으로 형성하고, 배선(62)을 제4 면(S4)측으로부터 예를 들어 구리로 형성하고 있으므로, 제2 도체(52)와 배선(62) 사이에는, 이종 재료끼리의 계면이 발생하고 있었다. 그 때문에, 이종 재료끼리의 계면이 없는 경우에 비해, 제2 도체(52)와 배선(62) 사이의 전기

적인 저항값이 높게 되어 있었다. 또한, 종래의 절연막(41m)과 배리어 메탈층(55)의 양쪽의 막 두께는, Z방향을 따라 성막하는 측(제3 면(S3)측)의 쪽이 두꺼워지고, 구멍(53)의 바닥의 쪽(제4 면(S4)측)이 얇아지고 있다. 또한, 배리어 메탈층(55)은, 제2 도체(52)와 배선(42) 사이에는 마련되어 있지 않다.

[0390] 또한, 도 45b에 나타내는 종래의 제2 도체(52)에서는, 제4 면(S4)측으로부터 구멍(53)을 형성하고, 제4 면(S4)측으로부터 구멍(53)의 내면에 절연막(41m) 및 배리어 메탈층(55)을 성막하고, 제4 면(S4)측으로부터 제2 도체(52) 및 배선(62)을 구성하는 재료를 동일 공정에서 구멍(53) 내에 매립하고 있었다. 도 45b에 나타내는 종래예에서는, 제2 도체(52) 및 배선(62)을 동일 공정에서 동시에 형성하고 있으므로, 제2 도체(52)와 배선(62) 사이에는, 이종 재료끼리의 계면이 존재하지 않는다. 그 때문에, 제2 도체(52)와 배선(62) 사이의 전기적인 저항값은, 도 45a에 나타내는 종래의 제2 도체(52)보다 낮게 할 수 있다. 한편, 절연막(41m)을 형성하기 전에 제2 반도체층(50)의 제3 면(S3)측에 알루미늄이나 구리 등의 금속제의 배선을 마련하므로, 절연막(41m)을 성막하는 온도는, 알루미늄이나 구리 등의 금속의 제약을 받아, 도 45a에 나타내는 종래예의 경우보다 낮은 온도로 설정할 필요가 있었다. 그 때문에, 고온에서 성막한 경우에 비해, 절연막(41m)의 전기적인 내압성이 저하되어 있었다. 또한, 종래의 절연막(41m)과 배리어 메탈층(55)의 양쪽의 막 두께는, Z방향을 따라 성막하는 측(제4 면(S4)측)의 쪽이 두꺼워지고, 구멍(53)의 바닥의 쪽(제3 면(S3)측)이 얇아지고 있다.

[0391] 이에 비해, 본 기술의 제5 실시 형태에 관한 광 검출 장치(1)에서는, 알루미늄이나 구리 등의 금속제의 배선을 형성하기 전에, 제3 면(S3)측으로부터, 제2 도체(52B)를 형성하기 위한 구멍(53)을 형성하고, 구멍(53)의 내벽에 대하여 절연막(41m)을 적층하므로, 금속제의 배선의 제약을 받지 않고 고온에서 절연막(41m)을 성막할 수 있다. 그 때문에, 절연막(41m)의 전기적인 내압성이 저하되는 것을 억제할 수 있다.

[0392] 또한, 본 기술의 제5 실시 형태에 관한 광 검출 장치(1)에서는, 제3 면(S3)측으로부터 임시의 재료인 희생 재료제의 막(56)으로 구멍(53)을 메워 둔다. 그리고, 제4 면(S4)측으로부터 막(56)과 절연막(41m) 중 막(56)을 선택적으로 제거하고, 제4 면(S4)측으로부터, 막(56)이 제거되고 발생한 공동을 이용하여, 제2 도체(52B) 및 배선(62B)을 동일 공정에서 동시에 형성한다. 이에 의해, 제2 도체(52B)로부터 배선(62B)까지를 동일 재료로 연속적으로 구성할 수 있고, 양자간에 이종 재료끼리의 계면이 발생하는 것을 억제할 수 있다.

[0393] 또한, 상술한 제5 실시 형태에서는, 막(56)과 절연막(41m) 중 막(56)을 선택적으로 제거하기 위해, 도 44e에 나타내는 개구 mh를 형성하고 있었지만, 본 기술은 이것에 한정되지 않는다. 개구 mh 대신에 개구(61j)를 형성하여, 개구(61j)를 통해 막(56)을 선택적으로 제거해도 된다.

[0394] ≪제5 실시 형태의 변형예≫

[0395] 이하, 제5 실시 형태의 변형예에 대하여 설명한다.

[0396] <변형예 1>

[0397] 도 46에 나타낸 바와 같이, 제5 실시 형태의 변형예 1에 관한 광 검출 장치(1)는, 제3 재료에 의해 구성된 제2 도체(52B)와, 제3 재료와는 다른 제4 재료에 의해 구성된 제2 도체(52C)를 포함한다. 제2 도체(52C)를 구성하는 제4 재료는, 제5 실시 형태에 있어서 설명한 희생 재료 중, 관통 전극으로서 사용할 수 있는 재료, 즉 도전성을 갖는 재료이다. 제4 재료로서, 예를 들어, 실리콘 및 텅스텐을 들 수 있다. 본 변형예에서는, 실리콘, 더 구체적으로는 폴리실리콘에 의해 제2 도체(52C)를 구성하는 예에 대하여 설명한다. 또한, 제2 도체(52B)에 대해서는, 상술한 제5 실시 형태의 경우와 마찬가지로, 구리에 의해 제2 도체(52B)를 구성하는 예에 대하여 설명한다. 폴리실리콘제의 제2 도체(52C)는, 구리제의 제2 도체(52B)보다, 전기적인 저항값이 높다.

[0398] 제2 도체(52C)는, 제4 재료에 의해 구성된 막(56)을 구멍(53)에 매립하여 형성되어 있다. 또한, 이하, 제2 도체(52C)를 마련하는 구멍(53)과 제2 도체(52B)를 마련하는 구멍(53)을 구별하기 위해, 제2 도체(52C)를 마련하는 구멍을 구멍(53-1)이라고 칭하고, 제2 도체(52B)를 마련하는 구멍을 구멍(53-2)이라고 칭하는 경우가 있다. 또한, 제2 도체(52C)의 제3 면(S3)측의 단부(52b)는 배선(42)에 접속되어 있고, 제4 면(S4)측의 단부(52a)는 배선(62)에 접속되어 있다. 배선(62)은 제2 도체(52B)를 구성하는 재료와 동일한 재료, 즉 제3 재료로 구성되어 있다.

[0399] 이하, 도 47a 및 도 47b를 참조하여, 광 검출 장치(1)의 제조 방법에 대하여 설명한다. 여기서는, 제1 도체(51B) 및 제1 도체(51C)의 제조 방법에 관련되는 부분에 대해서만 설명한다.

[0400] 먼저, 제5 실시 형태의 도 44d까지 나타내는 공정을 행하고, 그 후, 도 47a에 나타낸 바와 같이, 제4 면(S4)측에, 절연막(61)과 하드 마스크로서 기능하는 막 m을 퇴적시킨다. 그리고, 공지의 리소그래피 기술 및 에칭 기

술을 사용하여, 막 m에 개구 mh를 형성한다. 더 구체적으로는, 개구 mh는, 구멍(53-2)에 매립된 막(56)과 평면으로 보아 겹치는 영역에 마련한다. 한편, 개구 mh는, 구멍(53-1)에 매립된 막(56)과 평면으로 보아 겹치는 영역에는 마련하지 않는다. 이와 같이, 개구 mh는, 구멍(53-1)과 구멍(53-2) 중, 구멍(53-2)에 대해서만 마련한다. 이에 의해, 다음 공정의 에칭에 의해, 구멍(53-1)에 매립된 막(56)과 구멍(53-2)에 매립된 막(56) 중, 구멍(53-2)에 매립된 막(56)만 제거한다. 이에 의해, 구멍(53-1)에 매립된 막(56)을 선택적으로 남기고 있다.

[0401] 그리고 도 47b에 나타낸 바와 같이, 구멍(53-1)과 구멍(53-2)의 양쪽에 대하여, 배선(62) 및 배선(62B)을 매립하기 위한 개구(61j)를 형성한다. 그리고, 제5 실시 형태의 도 44g 이후의 공정을 행한다.

[0402] 이 제5 실시 형태의 변형예 1에 관한 광 검출 장치(1)라도, 상술한 제5 실시 형태에 관한 광 검출 장치(1)와 마찬가지의 효과가 얻어진다.

[0403] 또한, 제5 실시 형태의 변형예 1에 관한 광 검출 장치(1)에서는, 구멍(53) 중 일부의 구멍(구멍(53-1))에 매립된 막(56)을 제거하지 않고 선택적으로 남김으로써, 제2 도체(52B)와, 제2 도체(52B)보다 고저항의 제2 도체(52C)의 양쪽을 마련하고 있다. 이에 의해, 일부의 제2 도체를 고저항 소자로서 이용할 수 있으므로, 회로 설계의 자유도를 높일 수 있다.

[0404] 더 구체적으로는, 도 46의 트랜지스터 T2의 게이트 전극 G에는, 비아(44), 배선(42), 제2 도체(52C)가 이 순서로 접속되어 있다. 이들 구성 요소의 적어도 일부의 재료를 바꾸어 저항값을 바꿈으로써, 게이트 전극 G에 인가되는 전압을 바꿀 수 있다. 본 변형예에서는, 제2 도체를 구성하는 재료를 선택적으로 바꿀 수 있으므로, 제2 도체의 저항값을 선택적으로 바꿈으로써 게이트 전극 G에 인가되는 전압을 바꿀 수 있다. 그 때문에, 게이트 전극 G에 인가되는 전압은, 비아(44) 및 배선(42)의 저항값을 바꾸는 것에 더하여, 제2 도체의 저항값도 바꿈으로써 변경하는 것이 가능해진다. 그 때문에, 회로 설계의 자유도가 높아진다.

[0405] <변형예 2>

[0406] 도 48a 및 도 48b에 나타낸 바와 같이, 제5 실시 형태의 변형예 2에 관한 광 검출 장치(1)는, 가드 링(2C)을 구비한다. 도 48a에 나타낸 바와 같이, 가드 링(2C)은, 반도체 칩(2)의 주변 영역(2B)에 마련되어 있다. 더 구체적으로는, 가드 링(2C)은, 주변 영역(2B)에 있어서, 본딩 패드(14)보다 외주 근방의 위치에 마련되어 있다. 또한, 가드 링(2C)은, 반도체 칩(2)의 Z방향을 따라 마련되어 있다. 가드 링(2C)은, 반도체 칩(2)이 외부로부터 충격을 받아 외주측으로부터 갈라져 가는 것을 억제한다. 예를 들어, 반도체 칩(2)을 개편화할 때 반도체 칩(2)에는 기계적인 부하가 가해진다. 가드 링(2C)은, 반도체 칩(2)의 외주에 발생한 크랙이 본딩 패드(14) 및 화소 영역(2A)을 향해 진행되는 것을 억제한다. 또한, 가드 링(2C)은, 수분이 본딩 패드(14) 및 화소 영역(2A)을 향해 진입하는 것을 억제한다.

[0407] 도 48b는, 가드 링(2C) 중, 제2 반도체층(50) 주변에 마련된 부분을 나타낸다. 가드 링(2C)은, 제2 반도체층(50)을 두께 방향을 따라 관통하는 제2 도체(52B)를 갖는다. 또한, 도시는 생략하지만, 가드 링(2C)은, 제1 반도체층(20) 및 제3 반도체층(80)에 대해서도, 마찬가지의 구조를 갖고 있어도 된다. 더 구체적으로는, 제1 반도체층(20)을 두께 방향을 따라 관통하는 제2 도체(52B)와, 제3 반도체층(80)을 두께 방향을 따라 관통하는 제2 도체(52B)를 갖고 있어도 된다.

[0408] 이 제5 실시 형태의 변형예 2에 관한 광 검출 장치(1)라도, 상술한 제5 실시 형태에 관한 광 검출 장치(1)와 마찬가지의 효과가 얻어진다.

[0409] 또한, 이 제5 실시 형태의 변형예 2에 관한 광 검출 장치(1)에서는, 가드 링(2C) 중, 제2 반도체층(50)과 같은 반도체층을 관통하는 부분은, 제2 도체(52B)에 의해 구성되어 있다. 그 때문에, 가드 링(2C) 중 반도체층을 관통하는 부분을, 화소 영역(2A)에 마련된 제2 도체(52B)와 동시에 형성할 수 있다. 그 때문에, 공정수가 증가하는 것을 억제할 수 있고, 제조 비용이 높아지는 것을 억제할 수 있다.

[0410] 또한, 가드 링(2C)은, 제2 도체(52B) 대신에 제2 도체(52C)를 포함하고 있어도 된다. 가드 링(2C)이 갖는 제2 도체(52B) 또는 제2 도체(52C)의 재료는, 반도체 칩(2)의 강도나 스트레스에 따라 적합한 것을 선택하면 된다.

[0411] [제6 실시 형태]

[0412] 도 49에 나타내는 본 기술의 제6 실시 형태에 대하여, 이하에 설명한다. 본 제6 실시 형태에 관한 광 검출 장치(1)가 상술한 제1 실시 형태에 관한 광 검출 장치(1)와 상이한 것은, 제2 반도체층(50)이 SOI 기판으로 형성되는 점 및 제2 도체(52)의 단부(52a)의 높이 위치가 정렬되어 있는 점이고, 그 이외의 광 검출 장치(1)의 구성은, 기본적으로 상술한 제1 실시 형태의 광 검출 장치(1)와 마찬가지의 구성으로 되어 있다. 또한, 이미 설명

한 구성 요소에 대해서는, 동일한 부호를 붙여 그 설명을 생략한다.

[0413] ≪광 검출 장치의 구성≫

[0414] 이하, 본 기술의 제6 실시 형태에 관한 광 검출 장치(1)의 구성에 대하여, 상술한 제1 실시 형태에 관한 광 검출 장치(1)의 구성과 다른 부분을 중심으로 설명한다. 또한, 본 제6 실시 형태를 설명하는 도면에 있어서는, 동일한 구성 요소라도 도면간에 있어서 축척이 다르게 그려져 있는 경우가 있다. 또한, 본 제6 실시 형태를 설명하는 도면에 있어서는, 배리어 메탈층의 도시를 생략하고 있다. 또한, 도 49는, 광 검출 장치(1)가 갖는 복수의 제2 도체(52)의 종단면 구조를 모식적으로 나타내는 설명도이고, 실제의 광 검출 장치(1)와는 다른 부분이 있다. 예를 들어, 도 49에서는, 트랜지스터 T2 등의 도시가 생략되어 있다. 도 49 이후의 도면에 있어서도, 마찬가지이다.

[0415] <제2 반도체층>

[0416] 제2 반도체층(50)은, SOI(Silicon on Insulator) 기판이 갖는 반도체층의 일부이다. 제2 반도체층(50)은, 예를 들어 도 50a에 나타내는 반도체층(50-3)으로 형성되어 있다. 제2 반도체층(50)은, 도 50a에 나타낸 바와 같이, SOI 기판(50S)은, 반도체 재료(더 구체적으로는 실리콘)를 포함하는 기초 기판(50-1)의 한쪽의 면에, 절연층(50-2)과 반도체층(50-3)이 그 순서로 중첩된 기판이다. 또한, 제2 반도체층(50)의 제3 면(S3)은, 반도체층(50-3)의 절연층(50-2)측과는 반대측의 면에 상당한다. 절연층(50-2)은, 예를 들어 산화실리콘을 포함한다. 반도체층(50-3)은, 예를 들어 실리콘을 포함한다.

[0417] <제2 도체>

[0418] 광 검출 장치(1)는, 제2 도체(52)를 복수 갖고 있다. 그리고, 도 49에 나타낸 바와 같이, 제2 반도체층(50)의 두께 방향에 있어서의 제2 도체(52)의 단부(52a)의 높이 위치는, 복수의 제2 도체(52)에 있어서 동일하다. 즉, 복수의 제2 도체(52)의 단부(52a)의 높이 위치는 정렬되어 있다. 제2 도체(52)의 단부(52a)는, 제3 접속 패드(63)에 접속되어 있다. 단부(52a)는, 제2 반도체층(50)의 두께 방향에 있어서의 제4 면(S4)측의 단부이다.

[0419] ≪광 검출 장치의 제조 방법≫

[0420] 이하, 도 50a부터 도 50h까지를 참조하여, 광 검출 장치(1)의 제조 방법에 대하여 설명한다. 여기서는, 제2 도체(52)의 제조 방법을 중심으로 설명한다. 먼저, 도 50a에 나타낸 바와 같이, 반도체층(50-3)의 제3 면(S3)에 대하여, 도시하지 않은 트랜지스터 T2 등의 소자를 형성한다. 그리고, 제3 면(S3)에, 제2 배선층(40)의 일부의 층을 형성한다. 더 구체적으로는, 예를 들어 도 50a에 나타낸 바와 같이, 제2 배선층(40)의 일부의 층으로서 절연막(41)을 형성한다. 그리고, 도시는 생략하지만, 절연막(41)의 노출면에, 공지의 리소그래피 기술을 사용하여 레지스트 패턴을 형성한다. 그리고, 제3 면(S3)측으로부터, 공지의 에칭 기술을 사용하여 제2 도체(52)를 매립하기 위한 구멍(53)을 형성한다.

[0421] 구멍(53)을 형성할 때, 절연층(50-2)을 에칭 스톱층으로서 이용한다. 제3 면(S3)측으로부터, 절연층(50-2)에 도달할 때까지 반도체층(50-3)을 에칭하여, 구멍(53)을 형성한다. 절연층(50-2)은, 가령 에칭되었다고 해도 약간이다. 더 구체적으로는, 웨이퍼면 내의 다른 위치의 구멍(53)이 절연층(50-2)에 도달할 때까지 구멍(53)의 에칭을 행한다. 이에 의해, 반도체층(50-3)의 두께 방향에 있어서의 구멍(53)의 저부의 깊이 위치는, 복수의 구멍(53)에 있어서 동일해진다. 즉, 복수의 구멍(53)의 저부의 깊이 위치는 정렬되어 있다.

[0422] 그 후, 도 50b에 나타낸 바와 같이, 절연막(41m)과, 제2 도체(52)를 구성하는 재료를 그 순서로 제3 면(S3)측으로부터 적층하고, 여분의 부분을 제거하여, 제2 도체(52)를 형성한다. 그 후, 제1 실시 형태의 도 5e 및 도 5f에 나타내는 공정과 마찬가지의 공정을 행한다.

[0423] 이어서, 도 50c에 나타낸 바와 같이, 기초 기판(50-1) 및 절연층(50-2)을, CMP법을 사용하여 연삭하여, 제거한다. 기초 기판(50-1) 및 절연층(50-2)이 제거된 후의 반도체층(50-3)의 노출면은 평탄화되어 있다.

[0424] 그리고, 도 50d에 나타낸 바와 같이, 공지의 건식 에칭에 의해 반도체층(50-3)의 일부를 선택적으로 에칭한다. 이에 의해, 반도체층(50-3) 중 제2 반도체층(50)이 되는 부분을 남긴다. 그리고, 이 공정에 의해, 구멍(53)에 매립되어 있던, 절연막(41m)에 덮인 제2 도체(52)가 돌출되고, 그 일부가 제2 반도체층(50)의 제4 면(S4)으로부터 돌출된 상태가 된다. 또한, 구멍(53)의 저부의 깊이 위치가 복수의 구멍(53)에 있어서 동일하게 정렬되어 있으므로, 돌출된 제2 도체(52)의 단부(52a)의 관통 방향의 높이 위치는, 복수의 제2 도체(52)에 있어서 동일하다. 즉, 복수의 제2 도체(52)의 단부(52a)의 높이 위치는 정렬되어 있다.

[0425] 그리고, 도 50e에 나타낸 바와 같이, 제4 면(S4)에, 단부(52a)를 덮도록, 실리콘 커버막(65)과 절연막(61)을 그 순서로 적층한다. 실리콘 커버막(65)을 구성하는 고융점 산화물로서, 예를 들어 금속 산화물, 산화알루미늄(Al_2O_3), 산화하프늄(HfO_2) 및 산화탄탈(Ta_2O_5) 등을 들 수 있다. 복수의 제2 도체(52)의 단부(52a)의 높이 위치가 정렬되어 있으므로, 실리콘 커버막(65)과 절연막(61)을 균등하게 적층할 수 있다.

[0426] 이어서, 도 50f에 나타낸 바와 같이, 웨이퍼의 실리콘 커버막(65) 및 절연막(61)을 적층한 측을 CMP법에 의해 연삭하여 평탄화함과 함께, 제2 도체(52)의 단부(52a)를 노출시킨다. 이때, 주로 연삭되는 것은 절연막이므로, CMP법의 연삭 조건은, 절연막에 따라 설정되어 있다. 또한, 이 연삭에 의해, 단부(52a)의 단부면을 덮는 절연막(41m)도, 연삭되어 제거된다. 상술한 바와 같이, 복수의 단부(52a)의 높이 위치가 정렬되어 있으므로, CMP법에 의해 연삭할 때, 단부(52a)의 단부면을 덮는 절연막(41m)을 연삭하는 타이밍이 복수의 제2 도체(52) 사이에서 크게 변동되는 것을 억제할 수 있다. 그 때문에, CMP법에 의해 연삭된 면의 요철이 커지는 것을 억제할 수 있다.

[0427] 그 후, 도 50g에 나타낸 바와 같이, 제4 면(S4)측의 노출면에 절연막(61c)과 절연막(61)을 그 순서로 적층한다. 절연막(61c)은 탄질화실리콘(SiCN)막이다. 절연막(61c)과 절연막(61)을 구별하지 않는 경우, 절연막(61)이라고 칭한다.

[0428] 이어서, 도 50h에 나타낸 바와 같이, 절연막(61)측으로부터, 공지의 리소그래피 기술 및 에칭 기술에 의해, 평탄화된 노출면에, 제2 도체(52)까지 연장되는 구멍(63h)을 형성한다. 그리고, 제3 접속 패드(63)를 구성하는 재료를, 구멍(63h)의 내부를 메우도록 도금법에 의해 적층하고, 그 후, CMP법에 의해 여분의 부분을 제거하여, 노출면을 평탄화한다. 이에 의해, 제3 접속 패드(63)를 얻는다. 또한, 이 평탄화된 면이, 제4 배선층(70)과의 접합면이다. 여기서, 구멍(63h)을 마련하기 전의 노출면의 요철이 커지는 것이 억제되어 있으므로, 제3 접속 패드(63)를 형성 후에 얻어진 제4 배선층(70)과의 접합면에 대해서도, 요철이 커지는 것을 억제할 수 있다.

[0429] 그리고, 도시는 생략하지만, 제3 배선층(60)의 접합면과, 별도 준비한, 제4 배선층(70)이 적층된 제3 반도체층(80)을 접합한다.

[0430] ≪제6 실시 형태의 주된 효과≫

[0431] 이하, 제6 실시 형태의 주된 효과를 설명하지만, 그 전에, 도 51a부터 도 51c까지 나타내는 종래 광 검출 장치가 갖는 복수의 제2 도체의 제조 방법에 대하여 설명한다.

[0432] 제2 도체(52)를 형성하기 위해서는, 건식 에칭에 의해, 제2 반도체층(50)에 대하여 깊은 구멍(53)을 형성할 필요가 있다. 이 깊은 구멍(53)을 형성할 때, 웨이퍼면 내에서 깊이의 변동이 발생할 가능성이 있었다. 그러한 변동이 발생한 경우, 도 51a에 나타낸 바와 같이, 돌출된 제2 도체(52)의 높이 위치에도 변동이 발생할 가능성이 있었다. 그리고, 돌출된 제2 도체(52)에 절연막(61)을 적층한 후에, CMP법에 의해 절연막을 연삭하여 평탄화한다. 이 절연막(61)을 연삭하는 조건에서는, 제2 도체(52)를 구성하는 금속이 연삭되기 어렵고, 돌출된 제2 도체(52)의 높이 위치의 변동을 CMP법에 의한 평탄화로 해소하는 것이 어려운 경우가 있었다. 그 때문에, 그 후의 공정에서도 제2 도체(52)의 높이 위치의 변동이 이어지고 있었다. 그리고, 도 51b에 나타낸 바와 같이, 제3 접속 패드(63)의 높이에도 변동이 발생하여, 제3 접속 패드(63)가 노출된 접합면도 또한 제2 도체(52)의 높이 위치의 변동에 따라 요철이 발생할 가능성이 있었다. 그리고, 이러한 접합면과 제4 배선층(70)을 접속하면, 도 51c에 나타낸 바와 같이, 요철의 크기에 따라서는, 보이드 V가 발생할 가능성이 있었다. 이에 의해, 전기 회로가 오픈이 되고, 수율이 저하될 가능성이 있었다.

[0433] 이에 비해, 본 기술의 제6 실시 형태에 관한 광 검출 장치(1)에서는, 에칭에 의해 제3 면(S3)측으로부터 구멍(53)을 형성할 때, SOI 기판(50S)의 절연층(50-2)을 에칭 스톱층으로서 이용하고 있으므로, 반도체층(50-3)의 두께 방향에 있어서의 구멍(53)의 저부의 깊이 위치를, 복수의 구멍(53)에 있어서 동일하게 정렬시킬 수 있다. 그 때문에, 제2 반도체층(50)의 제4 면(S4)으로부터 돌출된 제2 도체(52)의 단부(52a)의 관통 방향의 높이 위치를, 복수의 제2 도체(52)에 있어서 동일하게 정렬시킬 수 있고, 그 후의 CMP 공정을 거쳐도, 노출면의 요철이 커지는 것을 억제할 수 있다. 그리고, 그 후의 공정에 있어서도 노출면의 평탄성이 열화되는 것을 억제할 수 있고, 제3 접속 패드(63)를 형성 후에 얻어진 제4 배선층(70)과의 접합면에 대해서도, 요철이 커지는 것을 억제할 수 있다. 이에 의해, 보이드 V가 발생하는 것을 억제할 수 있어, 전기 회로가 오픈이 되는 것을 억제할 수 있다. 그리고, 수율이 저하되는 것을 억제할 수 있다.

[0434] ≪제6 실시 형태의 변형예≫

[0435] 이하, 제6 실시 형태의 변형예에 대하여 설명한다.

[0436] <변형예 1>

[0437] 도 52에 나타낸 바와 같이, 제6 실시 형태의 변형예 1에 관한 광 검출 장치(1)는, SOI 기판(50S)의 절연층(50-2)을 갖고, 제2 도체(52)의 제4 면(S4)측의 단부(52a)는, 절연층(50-2)을 관통하고 있다.

[0438] 이하, 도 53a부터 도 53d까지를 참조하여, 제6 실시 형태의 변형예 1에 관한 광 검출 장치(1)의 제조 방법에 대하여 설명한다. 또한, 여기서는, 제6 실시 형태에 있어서 설명한 공정과 다른 부분에 대해서만, 설명한다.

[0439] 먼저, 제6 실시 형태의 도 50a와 동일한 공정을 행하고, 절연층(50-2)에 도달할 때까지 구멍(53)의 에칭을 행한다. 더 구체적으로는, 웨이퍼면 내의 다른 위치의 구멍(53)이 절연층(50-2)에 도달할 때까지 구멍(53)의 에칭을 행한다. 그 후, 도 53a에 나타낸 바와 같이, 에칭 조건을 바꾸어, 절연층(50-2)을 에칭하여, 반도체층(50)에 더하여 절연층(50-2)도 관통하는 구멍(53)을 형성한다. 웨이퍼면 내의 다른 위치의 구멍(53)의 에칭을, 절연층(50-2)을 이용하여 정렬시키고 나서 절연층(50-2)에 대한 에칭을 개시하고 있다. 그 때문에, 절연층(50-2)에 대한 에칭을 개시하는 타이밍이, 복수의 제2 도체(52) 사이에서 크게 변동되는 것을 억제할 수 있다. 이에 의해, 반도체층(50-3)의 두께 방향에 있어서의 구멍(53)의 저부의 깊이 위치는, 복수의 구멍(53)에 있어서 동일하다. 즉, 복수의 구멍(53)의 저부의 깊이 위치는, 정렬되어 있다.

[0440] 그리고, 도 53b에 나타낸 바와 같이, 절연막(41m)과, 제2 도체(52)를 구성하는 재료를 그 순서로 제3 면(S3)측으로부터 적층하고, 여분의 부분을 제거하여, 제2 도체(52)를 형성한다. 또한, 구멍(53)의 저부의 깊이 위치가 복수의 구멍(53)에 있어서 동일하게 정렬되어 있으므로, 돌출된 제2 도체(52)의 단부(52a)의 관통 방향의 높이 위치는, 복수의 제2 도체(52)에 있어서 동일하다. 즉, 복수의 제2 도체(52)의 단부(52a)의 높이 위치는 정렬되어 있다.

[0441] 이어서, 도 53c에 나타낸 바와 같이, 기초 기판(50-1)을 제거한다. 먼저, CMP법에 의해 기초 기판(50-1)을 연삭하여 두께를 어느 정도 얇게 하고, 그 후, 공지의 건식 에칭에 의해, 기초 기판(50-1)을 선택적으로 에칭한다. 이에 의해, 절연막(41m)에 덮인 제2 도체(52)와, 절연층(50-2)이 노출된 상태가 된다. 또한, 변형예 1에서는, 반도체층(50-3)이 제2 반도체층(50)에 상당하고, 제2 반도체층(50)의 제4 면(S4)은, 반도체층(50-3)의 절연층(50-2)측의 면이다.

[0442] 그 후, 도 53d에 나타낸 바와 같이, 제4 면(S4)에, 제2 도체(52)의 단부(52a)를 덮도록, 절연막(61c)과 절연막(61)을 그 순서로 적층한다. 그 후, 제6 실시 형태의 도 50h에 나타내는 공정과 마찬가지로, 제2 도체(52)까지 연장되는 구멍(63h)을 형성하고, 구멍(63h)에 매립된 제3 접속 패드(63)를 형성한다.

[0443] 이 제6 실시 형태의 변형예 1에 관한 광 검출 장치(1)라도, 상술한 제6 실시 형태에 관한 광 검출 장치(1)와 마찬가지의 효과가 얻어진다. 또한, 제6 실시 형태의 변형예 1에 관한 광 검출 장치(1)에서는, 절연층(50-2)을 남기고 있으므로, 제6 실시 형태에서 제조 공정을 저감시킬 수 있다. 더 구체적으로는, 절연층(50-2)을 제거하는 CMP 공정을 행하지 않아도 된다. 또한, 절연층(50-2)을 실리콘 커버막(65)으로서 이용하고 있으므로, 실리콘 커버막(65)을 적층하는 공정을 행하지 않아도 된다. 그밖에도, 실리콘 커버막(65)에 절연막(61)을 적층하는 공정 및 적층된 절연막(61)의 CMP 공정을 행하지 않아도 된다.

[0444] [제7 실시 형태]

[0445] 도 54에 나타내는 본 기술의 제7 실시 형태에 대하여, 이하에 설명한다. 본 제7 실시 형태에 관한 광 검출 장치(1)가 상술한 제1 실시 형태에 관한 광 검출 장치(1)와 상이한 것은, 보호 절연막(68)을 구비한 점이고, 그 이외의 광 검출 장치(1)의 구성은, 기본적으로 상술한 제1 실시 형태의 광 검출 장치(1)와 마찬가지의 구성으로 되어 있다. 또한, 이미 설명한 구성 요소에 대해서는, 동일한 부호를 붙여 그 설명을 생략한다.

[0446] ≪광 검출 장치의 구성≫

[0447] 이하, 본 기술의 제7 실시 형태에 관한 광 검출 장치(1)의 구성에 대하여, 상술한 제1 실시 형태에 관한 광 검출 장치(1)의 구성과 다른 부분을 중심으로 설명한다. 또한, 본 제7 실시 형태를 설명하는 도면에 있어서는, 동일한 구성 요소라도 도면간에 있어서 축척이 다르게 그려져 있는 경우가 있다. 또한, 본 제7 실시 형태를 설명하는 도면에 있어서는, 배리어 메탈층의 도시가 생략되어 있는 경우가 있다.

[0448] <제3 배선층>

[0449] 도 54에 나타낸 바와 같이, 제3 배선층(60)은, 절연막(61)과, 제3 접속 패드(63)와, 실리콘 커버막(65)과, 보호

절연막(68)을 포함한다. 제3 배선층(60)의 두께 방향은 Z방향이다.

[0450] 제3 접속 패드(63)는, 절연막(61)을 통해 적층되어 있고, 제3 배선층(60)의 제2 반도체층(50)측과는 반대측의 면에 면하고 있다. 제3 접속 패드(63)는 도체이고, 도전 재료를 포함한다. 제3 접속 패드(63)는, 이것에 한정되지는 않지만, 예를 들어 구리제이고, 다마신법에 의해 형성되어 있어도 된다.

[0451] 실리콘 커버막(65)은, 제2 반도체층(50)의 제4 면(S4)을 덮도록 적층되어 있다. 실리콘 커버막(65)의 제4 면(S4)측과는 반대측의 면에는, 절연막(61)과 보호 절연막(68)과, 절연막(61)이 그 순서로 적층되어 있다.

[0452] 보호 절연막(68)은, 절연막(61)을 통해 제2 반도체층(50)의 제4 면(S4)측에 적층되어 있다. 더 구체적으로는, 보호 절연막(68)은, 실리콘 커버막(65) 및 절연막(61)을 통해 제2 반도체층(50)의 제4 면(S4)측에 적층되어 있다. 또한, 절연막(61) 중 보호 절연막(68)과 실리콘 커버막(65) 사이에 적층된 부분을, 그 이외의 부분과 구별하기 위해, 제1 절연막(61d)이라고 칭하는 경우가 있다. 제1 절연막(61d)은, 절연막(61)의 일부이고, 보호 절연막(68)의 제2 반도체층(50)측의 면에 중첩되어 있다. 보호 절연막(68)은, 제2 도체(52)가 접속된 제3 접속 패드(63)에 접하고 있지 않다.

[0453] 또한, 도 55c에 나타낸 바와 같이, 보호 절연막(68)은, 평면으로 보아 제2 도체(52)를 둘러싸도록 마련되어 있다. 그리고, 도 54 및 도 55c에 나타낸 바와 같이, 보호 절연막(68)은, 제2 도체(52)에 접하고 있지 않다.

[0454] 보호 절연막(68)은, 선택된 조건의 화학 기계 연마(CMP)에 대한 연삭 속도가 제1 절연막(61d)을 구성하는 재료보다 느린 재료에 의해 구성되어 있다. 또한, 보호 절연막(68)은, 선택된 조건의 화학 기계 연마에 대한 연삭 속도가 제2 도체(52)를 구성하는 재료보다 느린 재료에 의해 구성되어 있다.

[0455] 제1 절연막(61d)을 구성하는 재료로서, 이것에 한정되지는 않지만, 예를 들어 산화실리콘을 들 수 있다. 또한, 제2 도체(52)를 구성하는 재료로서, 이것에 한정되지는 않지만, 예를 들어 텅스텐을 들 수 있다. 그리고, 보호 절연막(68)을 구성하는 재료로서, 예를 들어, 질화실리콘 및 탄질화실리콘을 들 수 있다. 본 실시 형태에서는, 보호 절연막(68)이 질화실리콘제라고 하고, 설명한다.

[0456] 제2 도체(52)의 제4 면(S4)측의 단부(52a)는, 제4 면(S4)으로부터 이격되는 방향으로 연장되어, 보호 절연막(68)의 적층 위치를 넘지 않는 위치에 있어서, 제3 접속 패드(63)와 접속되어 있다. 보호 절연막(68)의 적층 위치란, 제3 배선층(60)에 있어서의 보호 절연막(68)의 적층 위치이고, 제4 면(S4)으로부터 이격되는 방향에 있어서의 적층 위치이다. 더 구체적으로는, 보호 절연막(68)의 적층 위치란, 보호 절연막(68)의 제4 면(S4)측과는 반대측의 면의 적층 위치이다. 도 54에 나타내는 예에서는, 제2 도체(52)의 단부(52a)는, 보호 절연막(68)의 제4 면(S4)측과는 반대측의 면의 적층 위치에 있어서, 제3 접속 패드(63)와 접속되어 있다.

[0457] ≪광 검출 장치의 제조 방법≫

[0458] 이하, 도 55a부터 도 55f까지를 참조하여, 광 검출 장치(1)의 제조 방법에 대하여 설명한다. 여기서는, 제2 도체(52)의 제조 방법을 중심으로 설명한다. 먼저, 제1 실시 형태의 도 5h에 나타낸, 제2 도체(52)가 제2 반도체층(50)의 제4 면(S4)으로부터 돌출된 상태로부터, 도 55a에 나타낸 바와 같이, 제4 면(S4)에 대하여, 실리콘 커버막(65)과, 제1 절연막(61d)과, 보호 절연막(68)을 그 순서로 적층한다. 제2 도체(52)가 제4 면(S4)으로부터 돌출되어 있으므로, 제1 절연막(61d) 및 보호 절연막(68) 중 제2 도체(52)의 단부(52a)를 덮도록 적층된 부분은, 다른 부분보다 돌출되어 있다.

[0459] 그리고, 도 55a에 나타내는 상태로부터, 선택된 조건의 화학 기계 연마에 의해, 웨이퍼의 보호 절연막(68)측의 노출면을 연삭한다. 더 구체적으로는, 선택된 조건의 화학 기계 연마에 의해, 보호 절연막(68)과 제1 절연막(61d) 중, 제1 절연막(61d)을 선택적으로 연삭한다. 또한, 보호 절연막(68) 중 두께 방향에서 단부(52a)에 겹치는 부분(즉, 볼록부의 상단부)에는 압력이 가해지므로, 연삭할 수 있다. 보호 절연막(68)의 상단부가 연삭된 후, 제1 절연막(61d)의 연삭이 개시된다. 그리고, 제1 절연막(61d) 중 다른 부분보다 돌출된 부분을 연삭한다.

[0460] 그리고, 연삭은, 도 55b에 나타낸 바와 같이, 단부(52a)가 노출되고, 또한 노출면이 평탄화될 때까지 행해진다. 그 때문에, 제1 절연막(61d) 중 다른 부분보다 돌출된 부분이 연삭되고 있는 동안, 돌출되어 있지 않은 부분의 보호 절연막(68)은, 연삭되었다고 해도 약간이고, 보호 절연막(68)이 연삭에 대한 스톱층으로서 기능한다. 보호 절연막(68)이 연삭에 대한 스톱층으로서 기능하므로, 보호 절연막(68)의 제4 면(S4)측의 면에 중첩된 제1 절연막(61d)이 연삭되는 것을 억제할 수 있다. 또한, 제1 절연막(61d)이 연삭되는 것이 억제되어 있으므로, 제1 절연막(61d)보다 제4 면(S4) 근처에 위치하는 실리콘 커버막(65)이 연삭되는 것이 억제된다. 또한, 도 55c는, 도 55b를 보호 절연막(68)측으로부터 평면으로 본 평면도이다. 도 55c에 나타낸 바와 같이, 보호

절연막(68)은, 제2 도체(52)의 단부(52a)를 둘러싸도록 남아 있다.

[0461] 또한, 보호 절연막(68)의 적층 위치는, 연삭 전의 제2 도체(52)의 단부(52a)의 높이 이하, 보다 바람직하게는 연삭 전의 제2 도체(52)의 단부(52a)의 높이보다 작게 마련해 둠으로써, 단부(52a)를 더 확실하게 노출시킬 수 있다. 보호 절연막(68)의 적층 위치는, 제1 절연막(61d)의 막 두께를 조정함으로써, 설정할 수 있다.

[0462] 또한, 광 검출 장치(1)는 제2 도체(52)를 복수 갖고, 웨이퍼에는 광 검출 장치(1)가 복수 마련되어 있다. 즉, 제2 도체(52)는, 웨이퍼면 내의 다른 위치에 마련되어 있다. 보호 절연막(68)은, 웨이퍼면 내의 다른 위치에 마련된 제2 도체(52)에 대하여 적층되어 있다. 예를 들어, 보호 절연막(68)은, 웨이퍼 전체면에 대하여 적층되어 있다. 연삭은, 웨이퍼면 내의 다른 위치에 있어서, 단부(52a)가 노출되고 또한 노출면이 평탄화될 때까지 행해진다. 웨이퍼면 내의 다른 위치에 있어서, 연삭이 빠르게 진행되는 부분과 느리게 진행되는 부분이 있었다고 해도, 보호 절연막(68)이 연삭에 대한 스톱층으로서 기능하므로, 보호 절연막(68)의 제4 면(S4)측의 면에 중첩된 제1 절연막(61d) 및 실리콘 커버막(65)이 국소적으로 노출되는 것을 억제할 수 있다. 그리고, 웨이퍼면 내의 다른 위치에 마련된 복수의 제2 도체(52)를 노출시키기 위해서는, 보호 절연막(68)의 적층 위치를, 웨이퍼면 내에 있어서 돌출량이 더 작은 제2 도체(52)에 대하여 설정하는 것이 바람직하다.

[0463] 이어서, 도 55d에 나타낸 바와 같이, 평탄화된 노출면에 절연막(61)을 적층한다. 또한, 도 55d에서는, 깊이 방향으로 구멍(51h)의 일부의 도시가 생략되어 있다. 그리고, 도 55e에 나타낸 바와 같이, 제3 접속 패드(63)를 형성하기 위한 구멍(63h)과, 제1 도체(51)를 형성하기 위한 구멍(51h)을 순차 형성한다. 구멍(63h)은, 그 저부가 제2 도체(52)에 도달하도록 형성되어 있다.

[0464] 그리고, 도 55f에 나타낸 바와 같이, 구멍(63h) 및 구멍(51h)에 대하여, 배리어 메탈층을 적층하고, 제3 접속 패드(63) 및 제1 도체(51)를 구성하는 재료를 매립하고, CMP법에 의해 여분의 부분을 제거하여, 제3 접속 패드(63) 및 제1 도체(51)를 얻는다. 제3 접속 패드(63) 및 제1 도체(51)를 구성하는 재료는, 이것에 한정되지는 않지만, 예를 들어 구리이고, 도금법에 의해 구멍(63h) 및 구멍(51h) 내에 퇴적된다. 이에 의해, 제3 배선층(60)이 거의 완성된다. 이것 이후의 제조 방법에 대해서는 이미 설명한 바와 같으므로, 생략한다.

[0465] ≪제7 실시 형태의 주된 효과≫

[0466] 이하, 제7 실시 형태의 주된 효과를 설명하지만, 그 전에 종래예에 대하여 설명한다. 광 검출 장치(1)는 제2 도체(52)를 복수 갖고, 웨이퍼에는 광 검출 장치(1)가 복수 마련되어 있다. 즉, 제2 도체(52)는 웨이퍼면 내에 복수 마련되어 있다. 제2 도체(52)는, 제조 공정의 도중에 있어서, 예를 들어 도 55a에 나타낸 바와 같이, 제4 면(S4)으로부터 돌출된 상태가 되지만, 이 돌출량은 모든 제2 도체(52)에 있어서 균일하지는 않고, 웨이퍼면 내에 있어서 변동을 갖는다. 그 때문에, 도 55b에 나타내는 화학 기계 연마의 공정에서는, 제2 도체(52)의 돌출량의 변동을 가미한 연삭량을 설정하고 있었다. 그러나, 돌출량이 작은 제2 도체(52)를 노출시키려고 하면, 전체의 연삭량이 증가한다. 그리고, 전체의 연삭량이 증가하면, 연삭량의 웨이퍼면 내의 변동이 커질 가능성이 있었다. 예를 들어, 웨이퍼면 내에서 디싱이 발생할 가능성이 있었다. 그리고, 웨이퍼면 내에서 국소적으로 연삭량이 지나치게 많아질 가능성이 있었다. 그리고, 국소적으로 실리콘 커버막(65)까지 연삭되어 버릴 가능성이 있었다.

[0467] 이에 비해, 본 기술의 제7 실시 형태에 관한 광 검출 장치(1)는 보호 절연막(68)을 구비하고, 보호 절연막(68)은, 선택된 조건의 화학 기계 연마에 대한 연삭 속도가 제1 절연막(61d)을 구성하는 재료 및 제2 도체(52)를 구성하는 재료보다 느린 재료에 의해 구성되어 있으므로, 보호 절연막(68)은 연삭되기 어렵고 연삭의 스톱층으로서 기능한다. 이에 의해, 제1 절연막(61d) 및 제2 도체(52)가 크게 연삭되는 것을 억제할 수 있다. 또한, 제1 절연막(61d)이 크게 연삭되는 것이 억제되어 있으므로, 실리콘 커버막(65)이 연삭되는 것이 억제된다.

[0468] 또한, 본 기술의 제7 실시 형태에 관한 광 검출 장치(1)에서는, 보호 절연막(68)은, 웨이퍼면 내의 다른 위치에 마련된 제2 도체(52)에 대하여 적층되어 있다. 예를 들어, 보호 절연막(68)은, 웨이퍼 전체면에 대하여 적층되어 있다. 그 때문에, 보호 절연막(68)은, 웨이퍼면 내에 있어서, 연삭에 대한 스톱층으로서 기능한다. 이에 의해, 웨이퍼면 내에 있어서 돌출량이 작은 제2 도체(52)까지 노출시키기 위해 전체의 연삭량을 증가시킨 경우라도, 앞서 노출된 제2 도체(52) 및 그 주위의 제1 절연막(61d)의 연삭량이 지나치게 많아지는 것을 억제할 수 있다. 이에 의해, 웨이퍼면 내에서 국소적으로 연삭량이 지나치게 많아지는 것을 억제할 수 있다. 이에 의해, 국소적으로 실리콘 커버막(65)까지 연삭되어 버리는 것을 억제할 수 있다.

[0469] 또한, 상술한 제7 실시 형태에 관한 광 검출 장치(1)는, 도체인 배선(62)을 갖고 있고, 제2 도체(52)는 배선(62)에 접속되어 있어도 된다.

[0470] 또한, 상술한 제7 실시 형태에 관한 광 검출 장치(1)에서는, 도 54 및 도 55f에 나타낸 바와 같이, 제2 도체(52)의 단부(52a)는, 보호 절연막(68)의 제4 면(S4)측과는 반대측의 면의 적층 위치에 있어서, 제3 접속 패드(63)와 접속되어 있었지만, 당해 반대측의 면의 적층 위치보다 제2 반도체층(50) 근방의 위치에 있어서 제3 접속 패드(63)와 접속되어 있어도 된다. 이것에 한정되지는 않지만, 예를 들어 도 55e에 나타내는 구멍(63h)을 형성할 때 오버 에칭을 행한 경우에는, 제2 도체(52)의 단부(52a)는, 도 54 및 도 55f에 나타내는 경우보다 제3 접속 패드(63) 근방의 위치에 있어서, 제3 접속 패드(63)와 접속된다.

[0471] 또한, 보호 절연막(68)은, 탄질화실리콘을 포함하는 블록막이어도 된다. 블록막이란, 배선 등을 매립하기 위한 구멍의 형성의 제어성을 양호하게 하기 위한 막이다.

[0472] ≪제7 실시 형태의 변형예≫

[0473] 이하, 제7 실시 형태의 변형예에 대하여 설명한다.

[0474] <변형예 1>

[0475] 제7 실시 형태에서는, 보호 절연막(68)은 제2 도체(52)가 접속된 제3 접속 패드(63)에 접하고 있지 않았지만, 제7 실시 형태의 변형예 1에 관한 광 검출 장치(1)에서는, 도 56에 나타낸 바와 같이, 보호 절연막(68)은 제2 도체(52)가 접속된 제3 접속 패드(63)에 접하고 있다. 또한, 상술한 제7 실시 형태에 관한 광 검출 장치(1)에서는, 제2 도체(52)의 단부(52a)는, 보호 절연막(68)의 제4 면(S4)측과는 반대측의 면의 적층 위치에 있어서 제3 접속 패드(63)와 접속되어 있었지만, 제7 실시 형태의 변형예 1에 관한 광 검출 장치(1)에서는, 당해 반대측의 면의 적층 위치보다 제2 반도체층(50) 근처의 위치에 있어서 제3 접속 패드(63)와 접속되어 있다.

[0476] 이하, 도 57a부터 도 57d까지를 참조하여, 제7 실시 형태의 변형예 1에 관한 광 검출 장치(1)의 제조 방법에 대하여 설명한다. 또한, 여기서는, 제7 실시 형태에 있어서 설명한 공정과 다른 부분에 대해서만, 설명한다.

[0477] 먼저, 도 57a에 나타낸 바와 같이, 보호 절연막(68)까지 적층한 후에, 오목해진 부분을 메우도록 레지스트 패턴 R4를 형성한다. 그리고, 전체면 에치 백을 행하고, 그 후, 레지스트 패턴 R4를 제거한다. 이 에치 백에 의해, 도 57b에 나타낸 바와 같이, 보호 절연막(68) 중 두께 방향에서 단부(52a)에 겹치는 부분(즉, 볼록부의 상단부)이 제거된 상태가 된다.

[0478] 그 후, 제7 실시 형태의 경우와 마찬가지로, 화학 기계 연마를 행하여, 도 57c에 나타내는 상태를 얻는다. 이 변형예 1에서는 보호 절연막(68) 중 볼록부의 상단부가 미리 제거되어 있으므로, 볼록부의 연삭의 속도가 제7 실시 형태의 경우보다도 빠르고, 제2 도체(52)의 노출 부분이 제7 실시 형태의 경우보다 많이 연삭되어, 디싱된 상태가 된다.

[0479] 그리고, 도 57d에 나타낸 바와 같이, 평탄화된 노출면에 절연막(61)을 적층하고, 제3 접속 패드(63)를 형성하기 위한 구멍(63h)과, 제1 도체(51)를 형성하기 위한 구멍(51h)을 순차 형성한다. 구멍(63h)은, 그 저부가 제2 도체(52)에 도달하도록 형성되어 있다. 또한, 구멍(63h)은, 수평 방향(적층 방향(Z방향)과 수직인 방향)의 폭이, 보호 절연막(68)의 개구부와 동일한 치수를 갖고 있다. 그 때문에 구멍(63h)에 매립된 제3 접속 패드(63)는, 보호 절연막(68)에 접하게 된다. 또한, 구멍(63h)의 저부는, 제7 실시 형태의 경우보다 제2 반도체층(50) 근처에 위치하고 있다. 이에 의해, 제2 도체(52)의 단부(52a)는, 보호 절연막(68)의 제4 면(S4)측과는 반대측의 면의 적층 위치보다 제2 반도체층(50) 근처의 위치에 있어서 제3 접속 패드(63)와 접속되게 된다. 이것 이후의 공정은 제7 실시 형태의 경우와 동일하므로, 설명을 생략한다.

[0480] 이 제7 실시 형태의 변형예 1에 관한 광 검출 장치(1)라도, 상술한 제7 실시 형태에 관한 광 검출 장치(1)와 마찬가지의 효과가 얻어진다.

[0481] <변형예 2>

[0482] 제7 실시 형태의 변형예 1에서는, 보호 절연막(68)은 제2 도체(52)가 접속된 제3 접속 패드(63)에 접하고 있었지만, 제7 실시 형태의 변형예 2에 관한 광 검출 장치(1)에서는, 도 58에 나타낸 바와 같이, 보호 절연막(68)은 제2 도체(52)가 접속된 제3 접속 패드(63)에 접하고 있지 않다.

[0483] 이하, 도 59a부터 도 59d까지를 참조하여, 제7 실시 형태의 변형예 2에 관한 광 검출 장치(1)의 제조 방법에 대하여 설명한다. 또한, 여기서는, 제7 실시 형태의 변형예 1에 있어서 설명한 공정과 다른 부분에 대해서만 설명한다.

[0484] 먼저, 도 59a에 나타낸 바와 같이, 보호 절연막(68)까지 적층한 후에, 오목해진 부분을 메우도록 레지스트 패턴

R5를 형성한다. 여기서, 레지스트 패턴 R5는, 볼록부의 주위에 간격을 두고 형성되어 있다. 그리고, 전체면 에치 백을 행하고, 그 후, 레지스트 패턴 R5를 제거한다. 이 에치 백에 의해, 도 59b에 나타낸 바와 같이, 보호 절연막(68) 중 두께 방향에서 단부(52a)에 겹치는 부분(즉, 볼록부의 상단부) 및 오목해진 부분 중 레지스트 패턴 R5에 덮여 있지 않은 부분이 제거된 상태가 된다.

[0485] 그 후, 화학 기계 연마를 행하여, 도 59c에 나타내는 상태를 얻는다. 이 변형예 2에서는, 변형예 1에 비해, 보호 절연막(68)의 개구부가 크게 되어 있다. 그리고, 변형예 1과 마찬가지로, 제2 도체(52)의 노출 부분이 제7 실시 형태의 경우보다 많이 연삭되어, 디싱된 상태가 되어 있다.

[0486] 그리고, 도 59d에 나타낸 바와 같이, 평탄화된 노출면에 절연막(61)을 적층하고, 제3 접속 패드(63)를 형성하기 위한 구멍(63h)과, 제1 도체(51)를 형성하기 위한 구멍(51h)을 순차 형성한다. 구멍(63h)의 수평 방향(적층 방향과 수직인 방향)의 폭은 실시예 2의 경우와 동일한 치수이고, 보호 절연막(68)의 개구부는 실시예 2의 경우보다 크게 되어 있으므로, 구멍(63h)은 보호 절연막(68)의 개구부에 접하지 않는 상태가 된다. 그 때문에 구멍(63h)에 매립된 제3 접속 패드(63)는, 보호 절연막(68)에 접하지 않게 된다. 이것 이후의 공정은 제7 실시 형태의 경우와 동일하므로, 설명을 생략한다.

[0487] 이 제7 실시 형태의 변형예 2에 관한 광 검출 장치(1)라도, 상술한 제7 실시 형태에 관한 광 검출 장치(1)와 마찬가지의 효과가 얻어진다.

[0488] [제8 실시 형태]

[0489] 도 60에 나타내는 본 기술의 제8 실시 형태에 대하여, 이하에 설명한다. 본 제8 실시 형태에 관한 광 검출 장치(1)가 상술한 제1 실시 형태에 관한 광 검출 장치(1)와 상이한 것은, 제3 도체(57)를 구비한 점이고, 그 이외의 광 검출 장치(1)의 구성은, 기본적으로 상술한 제1 실시 형태의 광 검출 장치(1)와 마찬가지의 구성으로 되어 있다. 또한, 이미 설명한 구성 요소에 대해서는, 동일한 부호를 붙여 그 설명을 생략한다.

[0490] ≪광 검출 장치의 구성≫

[0491] 이하, 본 기술의 제8 실시 형태에 관한 광 검출 장치(1)의 구성에 대하여, 상술한 제1 실시 형태에 관한 광 검출 장치(1)의 구성과 다른 부분을 중심으로 설명한다. 또한, 본 제8 실시 형태를 설명하는 도면에 있어서는, 동일한 구성 요소라도 도면간에 있어서 축척이 다르게 그려져 있는 경우가 있다. 또한, 본 제8 실시 형태를 설명하는 도면 및 그 설명에 있어서는, 제3 도체(57)와 제2 반도체층(50) 사이에 마련된 절연막 및 제2 도체(52)와 제2 반도체층(50) 사이에 마련된 절연막의 도시를 생략하고 있다. 또한, 본 제8 실시 형태를 설명하는 도면에 있어서는, 배리어 메탈층의 도시를 생략하고 있다.

[0492] <개요>

[0493] 먼저, 제8 실시 형태의 개요에 대하여 설명한다. 일반적으로, 반도체층을 두께 방향으로 관통하는 관통 도체를 형성하면, 그 관통 도체의 주위의 반도체층이 관통 도체의 쪽으로 끌어당겨진다. 즉, 관통 도체의 주위의 반도체층에 스트레스가 발생한다. 그리고, 관통 도체의 주위의 반도체층에 발생한 스트레스에 의해 트랜지스터의 특성이 영향을 받을 가능성이 있다. 그 때문에, 트랜지스터가 관통 도체로부터 일정한 거리 이격된 위치에 배치되도록, 설계하는 경우가 있었다.

[0494] 여기서, 도 61a에 예시하는, 반도체층을 관통하는 관통 도체인 제2 도체(52)에 대하여 설명한다. 화살표 CH는 채널 방향을 나타낸다. 채널 방향은, 반도체층에 마련된 트랜지스터에 있어서, 신호 전하가 흐르는 방향을 나타내고 있다. 제8 실시 형태에서는, 편의적으로, 채널 방향이 X방향과 평행한 방향이라고 하고, 설명한다. 또한, 반도체층의 노출면(지면)은 (100)면이다.

[0495] 제2 도체(52)의 주위의 반도체층에는, 상술한 스트레스에 의해, 만약 트랜지스터를 형성하면 트랜지스터의 성능에 영향을 미치는 영역, 더 구체적으로는 채널을 흐르는 신호 전하의 양이 증가하는 영역과, 채널을 흐르는 신호 전하의 양이 감소하는 영역이 발생한다. 도 61a에는, 그러한 영역 중, 채널을 흐르는 신호 전하의 양에 무시할 수 없을 정도의 영향을 미치는 영역을, 영역 K1 및 영역 K2로서 나타내고 있다. 영역 K1은, 만약 트랜지스터를 형성하면 채널을 흐르는 신호 전하의 양이 증가하는 영역이고, 제2 도체(52)를 사이에 두고 양측에 발생한다. 더 구체적으로는, 영역 K1은, 제2 도체(52)를 끼우고 채널 방향에 수직인 방향(Y 방향)을 따라 발생한다. 또한, 영역 K2는, 만약 트랜지스터를 형성하면 채널을 흐르는 신호 전하의 양이 감소하는 영역이고, 제2 도체(52)를 사이에 두고 양측에 발생한다. 더 구체적으로는, 영역 K2는, 제2 도체(52)를 끼우고 채널 방향에 평행한 방향(X 방향)을 따라 발생한다. 신호 전하의 양이 증가하는 영역 K1 및 신호 전하의 양이 감소하는

영역 K2가 발생하는 방향은, 채널 방향에 의존하고 있다. 또한, 하나의 관통 도체(제2 도체(52))에 대하여 영역 K1 및 영역 K2는 2개씩 발생하므로, 서로를 구별하기 위해, 영역 K1a 및 영역 K1b, 영역 K2a 및 영역 K2b라고 칭하는 경우가 있다. 또한, 이러한 영역 K1 및 영역 K2를 포위하는 포위원을, 킵 아웃 영역 KOZ(Keep Out Zone)라고 칭한다.

[0496] 이러한 영역 K1 및 영역 K2가 존재하면, 트랜지스터의 배치에 제한이 발생하는 경우가 있다. 그래서, 제8 실시 형태에 관한 광 검출 장치(1)는, 도 61b에 나타낸 바와 같이, 제2 도체(52)와는 별도로, 제2 도체(52)와 킵 아웃 영역 KOZ끼리가 채널 방향에 대하여 경사 45도의 방향에 있어서 중첩되도록 배치된 제3 도체(57)를 구비하고 있다. 제3 도체(57)는, 제2 도체(52)와 동일한 재료로 구성되고 또한 동일한 직경을 갖는다. 그러한 제3 도체(57)의 영역 K1 및 영역 K2는, 이상적으로는 제2 도체(52)의 영역 K1 및 영역 K2와 동일한 크기를 갖는다. 그리고, 제3 도체(57)는, 채널 방향과 45도를 이루는 방향을 따라, 제2 도체(52)에 나란히 배치되어 있다. 제3 도체(57)가 이렇게 배치되어 있으므로, 이상적으로는 제3 도체(57)의 영역 K1b와 제2 도체(52)의 영역 K2a를 정확히 중첩할 수 있고, 제3 도체(57)의 영역 K2b와 제2 도체(52)의 영역 K1a를 정확히 중첩할 수 있다. 그 때문에, 도 61c에 나타낸 바와 같이, 이상적으로는, 제2 도체(52)의 영역 K1a와 제3 도체(57)의 영역 K2b를 중첩한 영역에서는, 신호 전하의 증감을 상쇄할 수 있다. 마찬가지로, 이상적으로는, 제2 도체(52)의 영역 K2a와 제3 도체(57)의 영역 K1b를 중첩한 영역에서는, 신호 전하의 증감을 상쇄할 수 있다. 이와 같이, 크기가 동일하고 신호 전하의 증감이 역인 영역끼리를 중첩함으로써, 신호 전하의 증감을 상쇄할 수 있다. 그리고, 신호 전하의 증감이 상쇄된 영역은, 트랜지스터, 예를 들어 트랜지스터 T2를 배치해도, 그 성능에 크게 영향을 미치는 것이 억제되어 있다.

[0497] 또한, 킵 아웃 영역 KOZ는, 제2 도체(52)와 제3 도체(57)의 각각에 대하여 존재하지만, 제2 도체(52)와 제3 도체(57)를 도 61c에 나타낸 바와 같이 배치함으로써, 킵 아웃 영역 KOZ를 각각 절반의 크기(반원)로 할 수 있다.

[0498] <제3 도체>

[0499] 광 검출 장치(1)는, 제3 도체(57)를 구비한다. 도 60에 나타낸 바와 같이, 제3 도체(57)는, 반도체층을 관통하는 도체이다. 더 구체적으로는, 제3 도체(57)는, 제2 반도체층(50)을 관통하여, 제2 배선층(40) 및 제3 배선층(60) 내로 돌출되어 있다. 제3 도체(57)는, 제2 도체(52)와 동시에 형성되고, 연장 방향의 길이가 동일하다. 제3 도체(57)는, 제2 도체(52)와 동일한 재료로 구성되고 또한 동일한 직경을 갖는다. 제3 도체(57)와 제2 도체(52)는, 이것에 한정되지는 않지만, 예를 들어 텅스텐에 의해 구성되어 있다. 제3 도체(57)는, 제2 반도체층(50) 중, 제2 도체(52)의 근방에 마련되어 있다. 그리고, 제3 도체(57)가 마련되어 있으므로, 제2 도체(52) 주위의 반도체층에 있어서 신호 전하의 증감이 상쇄되어 있다. 그 때문에, 트랜지스터 T2를, 제3 도체(57)를 마련하고 있지 않은 경우보다 제2 도체(52)의 근처에 마련하는 것이 가능해진다. 그 때문에, 트랜지스터 T2의 레이아웃 설계의 제약을 완화할 수 있다. 제3 도체(57)는, 제2 도체(52)의 주위의 반도체층에 있어서 신호 전하의 증감을 상쇄하기 위해 마련된 더미 도체이다. 그 때문에, 제3 도체(57)는, 플로팅의 상태, 또는 기준 전위에 접속된 상태여도 된다.

[0500] 도 62는, 하나의 제2 도체(52)와 복수의 제3 도체(57)를 일렬로 배열하여 배치한 예를 나타낸다. 또한, 제3 도체(57)의 수는 도 62에 나타내는 수에 한정되지 않는다. 또한, 복수의 제3 도체(57)를 서로 구별하기 위해, 제3 도체(57-1, 57-2, 57-3, 57-4)라고 칭하는 경우가 있다. 그리고, 이들 도체는, 제3 도체(57-1), 제3 도체(57-2), 제2 도체(52), 제3 도체(57-3), 제3 도체(57-4)의 순서로, 채널 방향과 45도를 이루는 방향을 따라 배열되어 있고, 더 구체적으로는, 일렬로 배치되어 있다. 이들 도체는, 1차원적으로 배열되어 있다.

[0501] 제2 도체(52)의 양옆에는, 제3 도체(57-2) 및 제3 도체(57-3)가 배치되어 있다. 그 때문에, 제2 도체(52)의 주위, 더 구체적으로는 양옆의 반도체층에 있어서, 신호 전하의 증감이 상쇄되어 있다. 더 구체적으로는, 제2 도체(52)의 지면 좌측 상단측의 영역 K1 및 영역 K2와, 제3 도체(57-2)의 지면 우측 하단측의 영역 K2 및 영역 K1이 겹침으로써, 그 영역에 있어서의 신호 전하의 증감이 상쇄되어 있다. 그리고, 제2 도체(52)의 지면 우측 하단측의 영역 K2 및 영역 K1과, 제3 도체(57-3)의 지면 좌측 상단측의 영역 K1 및 영역 K2가 겹침으로써, 그 영역에 있어서의 신호 전하의 증감이 상쇄되어 있다.

[0502] 또한, 제2 도체(52)의 양옆에는, 각각 복수의 제3 도체(57)가 배치되어 있다. 제2 도체(52)의 지면 좌측 상단측에서는, 제3 도체(57-2)의 지면 좌측 상단측의 영역 K1 및 영역 K2와, 제3 도체(57-1)의 지면 우측 하단측의 영역 K2 및 영역 K1이 겹침으로써, 그 영역에 있어서의 신호 전하의 증감이 상쇄되어 있다. 그리고, 제2 도체(52)의 지면 우측 하단측에서는, 제3 도체(57-3)의 지면 우측 하단측의 영역 K2 및 영역 K1과, 제3 도체(57-4)의 지면 좌측 상단측의 영역 K1 및 영역 K2가 겹침으로써, 그 영역에 있어서의 신호 전하의 증감이 상쇄되어

있다. 이와 같이, 배열되는 제3 도체(57)의 수를 증가시킴으로써, 제2 도체(52)의 주위의 신호 전하의 증감이 상쇄된 영역을 확장할 수 있다. 또한, 킵 아웃 영역 KOZ를, 제2 도체(52)로부터 더 떨어진 위치까지 이동시킬 수 있다.

[0503] ≪광 검출 장치의 제조 방법≫

[0504] 이하, 도 63a 및 도 63b를 참조하여, 광 검출 장치(1)의 제조 방법에 대하여 설명한다. 여기서는, 제3 도체(57) 및 제2 도체(52)의 제조 방법을 중심으로 설명한다. 제3 도체(57) 및 제2 도체(52)는, 제3 면(S3)측으로부터 비아 미들에 의해 형성한다. 먼저, 도 63a에 나타낸 바와 같이, 제2 반도체층(50w)의 제3 면(S3)측에, 트랜지스터 T2 등을 형성하고, 절연막(41)을 적층한다. 그 후, 절연막(41)측(제3 면(S3)측)으로부터 제3 도체(57)를 형성하기 위한 구멍(57h)과, 제2 도체(52)를 형성하기 위한 구멍(53)과, 비아(44)를 형성하기 위한 구멍(44h)을 형성한다. 구멍(57h)은, 동일 공정에 의해 구멍(53)과 동시에 형성되어, 동일한 깊이를 갖는다.

[0505] 그 후, 도 63b에 나타낸 바와 같이, 절연막(41)측(제3 면(S3)측)으로부터, 동일 공정에 의해 구멍(57h), 구멍(53) 및 구멍(44h) 내에 동시에 텅스텐을 매립하고, 텅스텐의 여분의 부분을 공지의 CMP법에 의해 제거한다. 이에 의해, 제3 도체(57), 제2 도체(52), 비아(44)를 형성한다. 또한, 이것 이후는, 제1 실시 형태의 경우와 마찬가지의 공정을 행하여, 제3 면(S3)측과는 반대측의 면(제4 면(S4))으로부터 제3 도체(57) 및 제2 도체(52)를 돌출시킨다. 이와 같이, 제3 도체(57)는, 동일 공정에 의해 제2 도체(52)와 동시에 형성되고, 연장 방향의 길이가 동일하다. 이것 이후의 제조 방법에 대해서는 이미 설명한 바와 같으므로, 생략한다.

[0506] ≪제8 실시 형태의 주된 효과≫

[0507] 이하, 제8 실시 형태의 주된 효과를 설명한다. 제8 실시 형태에 관한 광 검출 장치(1)는, 제3 도체(57)와 제2 도체(52)가, 채널 방향과 45도를 이루는 방향을 따라 배열되어 있으므로, 제3 도체(57)의 영역 K1 및 영역 K2가 제2 도체(52)의 영역 K2 및 영역 K1과 중첩되어, 그 영역에 있어서의 신호 전하의 증감을 상쇄할 수 있다. 그 때문에, 원래 제2 도체(52)의 킵 아웃 영역 KOZ였던 영역이 킵 아웃 영역이 아닌 것으로 되므로, 트랜지스터 T2를, 그 영역에 마련하는 것이 가능해진다. 그 때문에, 더 제2 도체(52)에 가까운 위치에 트랜지스터 T2를 배치할 수 있다. 이와 같이, 트랜지스터 T2의 배치 위치가 킵 아웃 영역 KOZ의 제약을 받는 것을 억제할 수 있으므로, 트랜지스터 T2의 레이아웃 설계의 제약을 완화할 수 있다.

[0508] 또한, 제8 실시 형태에 관한 광 검출 장치(1)에서는, 제2 도체(52)의 양옆에 제3 도체(57)를 배치하고 있으므로, 제2 도체(52)의 주위, 더 구체적으로는 양옆의 반도체층에 있어서, 신호 전하의 증감을 상쇄할 수 있다.

[0509] 또한, 제8 실시 형태에 관한 광 검출 장치(1)에서는, 제2 도체(52)의 양옆에는, 각각 복수의 제3 도체(57)가 배치되어 있다. 배열되는 제3 도체(57)의 수를 증가시킴으로써, 제2 도체(52)의 주위의 신호 전하의 증감이 상쇄된 영역을 확장할 수 있다. 또한, 킵 아웃 영역 KOZ를, 제2 도체(52)로부터 더 떨어진 위치까지 이동시킬 수 있다.

[0510] 또한, 제8 실시 형태에 관한 광 검출 장치(1)에서는, 동일 공정에 의해 제3 도체(57)와 제2 도체(52)를 동시에 형성하므로, 공정수가 증가하는 것을 억제할 수 있다. 그 때문에, 제조 비용이 증가하는 것을 억제할 수 있다.

[0511] 또한, 제2 도체(52) 및 제3 도체(57)가 배열되는 방향은, 도 62에 한정되지 않는다. 제2 도체(52) 및 제3 도체(57)가 배열되는 방향은, 도 62에 나타난 방향에 수직인 방향이어도 된다. 배열 방향에 관해서는, 이하의 변형예에 있어서도 마찬가지이다.

[0512] 또한, 제2 반도체층(50)은, 제3 면(S3) 및 제4 의 면 S4이 (100)면이었지만, 그 이외의 다른 면이어도 된다. 그 경우, 제2 도체(52) 및 제3 도체(57)가 배열되는 방향은, 채널 방향에 대하여 다른 각도, 즉 45도 이외의 각도를 이루고 있어도 된다.

[0513] ≪제8 실시 형태의 변형예≫

[0514] 이하, 제8 실시 형태의 변형예에 대하여 설명한다.

[0515] <변형예 1>

[0516] 제8 실시 형태에서는, 제3 도체(57)가 제2 배선층(40) 및 제3 배선층(60) 내로 돌출되어 있었지만, 본 기술은 이것에 한정되지는 않는다. 제8 실시 형태의 변형예 1에 관한 광 검출 장치(1)에서는, 도 64에 나타낸 바와 같이, 제3 도체(57)는 제2 배선층(40) 및 제3 배선층(60) 내로 돌출되어 있지 않다. 제3 도체(57)는, 적어도 제2

반도체층(50)을 관통하고 있으면, 제2 반도체층(50)에 중첩된 배선층 내로 돌출되어 있지 않아도 된다.

[0517] 이 제8 실시 형태의 변형예 1에 관한 광 검출 장치(1)라도, 상술한 제8 실시 형태에 관한 광 검출 장치(1)와 마찬가지의 효과가 얻어진다.

[0518] <변형예 2>

[0519] 제8 실시 형태에서는, 제3 도체(57)는, 채널 방향과 45도를 이루는 방향을 따라 제2 도체(52)에 대하여 1차원적으로 배열되어 있었지만, 본 기술은 이것에 한정되지는 않는다. 도 65에 나타낸 바와 같이, 제3 도체(57)가, 채널 방향과 45도를 이루는 2개의 방향을 따라, 제2 도체(52)에 대하여 2차원적으로 배열되어 있어도 된다. 또한, 도 65에 나타내는 도체는, 하나가 제2 도체(52)이고, 나머지가 제3 도체(57)이지만, 제2 도체(52)의 수 및 배치 위치는, 도 65에 나타내는 예에 한정되지 않는다. 예를 들어, 도 65에 나타내는 매트릭스 형상의 도체의 위치를 바탕으로, 제2 도체(52)의 레이아웃을 생각할 수 있다. 더 구체적으로는, 도 65에 나타내는 네 코너의 도체를 제외한 임의의 제3 도체(57)를, 제2 도체(52)로 치환할 수 있다. 도 65에 나타내는 네 코너의 도체를 제외하면, 어느 위치에 제2 도체(52)를 배치해도, 제2 도체(52)의 수를 증가시켜도, 신호 전하의 증감을 상쇄할 수 있다.

[0520] 이 제8 실시 형태의 변형예 2에 관한 광 검출 장치(1)라도, 상술한 제8 실시 형태에 관한 광 검출 장치(1)와 마찬가지의 효과가 얻어진다.

[0521] 또한, 이 제8 실시 형태의 변형예 2에 관한 광 검출 장치(1)에서는, 제2 도체(52) 및 제3 도체(57)를 매트릭스 형상으로 2차원적으로 배열하고 있으므로, 제2 도체(52)의 배치 위치의 설계, 특히 복수의 제2 도체의 배치 위치의 설계가 용이해진다.

[0522] <변형예 3>

[0523] 제8 실시 형태에서는, 제3 도체(57)가 제2 도체(52)와 동일한 재료로 구성되고 또한 동일한 직경을 갖고 있었지만, 본 기술은 이것에 한정되지는 않는다. 도 66에 나타낸 바와 같이, 제3 도체(57)는, 제2 도체(52)와 동일한 재료로 구성되고 또한 다른 직경을 갖고 있어도 된다. 더 구체적으로는, 제3 도체(57)는, 제2 도체(52)보다 작은 직경을 갖고 있어도 된다.

[0524] 도 66은, 일렬로 배열된 하나의 제2 도체(52)와 복수의 제3 도체(57)를 나타낸다. 또한, 복수의 제3 도체(57)를 서로 구별하기 위해, 제3 도체(57-5, 57-6, 57-7)라고 칭하는 경우가 있다. 그리고, 이들 도체는, 제2 도체(52), 제3 도체(57-5), 제3 도체(57-6), 제3 도체(57-7)의 순서로, 채널 방향과 45도를 이루는 방향을 따라 일렬로 배치되어 있고, 또한 제2 도체(52)로부터 이 순(배열순)으로 직경을 단계적으로 작게 하고 있다. 즉, 제2 도체(52)로부터 이격됨에 따라, 제3 도체(57)의 직경을 작게 하고 있다.

[0525] 제3 도체(57)의 직경이 작아지면, 주위의 반도체층에 부여하는 스트레스도 작아진다. 그리고, 스트레스가 작아지면, 영역 K1 및 영역 K2도 작아진다. 제2 도체(52)의 지면 우측 하단측에는, 직경이 제2 도체(52)보다 작은 제3 도체(57-5)가 배치되어 있다. 그리고, 제2 도체(52)의 지면 우측 하단측의 영역 K2 및 영역 K1은, 그것보다 크기가 작은, 제3 도체(57-5)의 지면 좌측 상단측의 영역 K1 및 영역 K2와 겹쳐 있다. 제3 도체(57-5)의 영역 K1 및 영역 K2는, 제2 도체(52)의 영역 K2 및 영역 K1보다 작지만, 제2 도체(52)의 영역 K2 및 영역 K1의 일부와 겹침으로써, 겹친 일부의 영역에 있어서의 신호 전하의 증감을 상쇄하고 있다. 또한, 제3 도체(57-5)의 지면 우측 하단측의 영역 K2 및 영역 K1은, 그것보다 크기가 작고, 제3 도체(57-6)의 지면 좌측 상단측의 영역 K1 및 영역 K2와 겹쳐 있다. 제3 도체(57-6)의 영역 K1 및 영역 K2는, 제3 도체(57-5)의 영역 K2 및 영역 K1보다 작지만, 제3 도체(57-5)의 영역 K2 및 영역 K1의 일부와 겹침으로써, 겹친 일부의 영역에 있어서의 신호 전하의 증감을 상쇄하고 있다. 이하, 제3 도체(57-7)에 대해서도 마찬가지이다. 이와 같이, 제3 도체(57)의 직경을 단계적으로 작게 함으로써, 신호 전하의 증감이 발생하는 영역을 일부씩 저감시키고 있다. 그리고, 제3 도체(57-7)에 남은 킵 아웃 영역 KOZ는, 그 크기가 제2 도체(52)의 것보다 작게 되어 있다.

[0526] 이 제8 실시 형태의 변형예 3에 관한 광 검출 장치(1)라도, 상술한 제8 실시 형태에 관한 광 검출 장치(1)와 마찬가지의 효과가 얻어진다.

[0527] 또한, 이 제8 실시 형태의 변형예 3에 관한 광 검출 장치(1)에서는, 제3 도체(57)의 직경을 단계적으로 작게 하고 있으므로, 신호 전하의 증감이 발생하는 영역을 일부씩 저감시킬 수 있고, 최종적으로 남는 킵 아웃 영역 KOZ의 크기를 작게 할 수 있다. 또한, 이러한 제3 도체(57)의 수를 증가시키면 증가시킬수록, 최종적으로 남는 킵 아웃 영역 KOZ의 크기를 더 작게 할 수 있다.

[0528] 또한, 제3 도체(57)의 수는 도 66에 나타내는 수에 한정되지 않는다. 또한, 제8 실시 형태의 변형예 3에 관한 제3 도체(57)는, 제2 도체(52)의 일방측에만 마련되어 있지만, 타방측 또는 양측에도 마련되어 있어도 된다.

[0529] <변형예 4>

[0530] 제8 실시 형태에서는, 제3 도체(57) 및 제2 도체(52)는, 제3 면(S3)측으로부터 비아 미들에 의해 형성하고 있었지만, 본 기술은 이것에 한정되지는 않는다. 도 67에 나타낸 바와 같이, 제3 도체(57) 및 제2 도체(52)를, 제4 면(S4)측으로부터 비아 라스트에 의해 형성해도 된다. 그 경우, 제3 도체(57) 및 제2 도체(52)는, 제1 도체(51)를 구성하는 재료와 동일한 재료에 의해 구성되어 있다. 제8 실시 형태의 변형예 4에서는, 이것에 한정되지는 않지만, 예를 들어 제3 도체(57), 제2 도체(52) 및 제1 도체(51)를 구리에 의해 구성한다.

[0531] 이어서, 본 변형예에 관한 광 검출 장치(1)의 제조 방법에 대하여 설명한다. 도 68에 나타낸 바와 같이, 제2 반도체층(50)의 제4 면(S4)측에 절연막(61)을 적층한다. 그리고, 절연막(61)측(제4 면(S4)측)으로부터 제3 도체(57)를 형성하기 위한 구멍(57h)과, 제2 도체(52)를 형성하기 위한 구멍(53)과, 제1 도체(51)를 형성하기 위한 구멍(51h)을 형성한다. 그 후, 절연막(61)측(제4 면(S4)측)으로부터, 동일 공정에 의해 구멍(57h), 구멍(53) 및 구멍(51h) 내에 동시에 구리를 매립하고, 구리의 여분의 부분을 공지의 CMP법에 의해 제거한다. 이에 의해, 도 67에 나타내는 제3 도체(57), 제2 도체(52), 제1 도체(51)를 형성한다.

[0532] 이 제8 실시 형태의 변형예 4에 관한 광 검출 장치(1)라도, 상술한 제8 실시 형태에 관한 광 검출 장치(1)와 마찬가지의 효과가 얻어진다.

[0533] <변형예 5>

[0534] 제8 실시 형태에서는, 제3 도체(57)가 제2 도체(52)와 동일한 재료로 구성되고 또한 동일한 직경을 갖고 있었지만, 본 기술은 이것에 한정되지는 않는다. 도 69 및 도 70에 나타낸 바와 같이, 제3 도체(57)는, 제2 도체(52)와 다른 재료로 구성되고 또한 다른 직경을 갖고 있어도 된다. 본 변형예에서는, 제3 도체(57)를 구리에 의해 구성하고, 제2 도체(52)를 텅스텐에 의해 구성하고 있다. 또한, 제3 도체(57)의 직경은, 제2 도체(52)의 직경보다 작다.

[0535] 일반적으로, 관통 도체를 구성하는 재료가 다르면, 주위의 반도체층에 부여하는 스트레스도 다르다. 또한, 주위의 반도체층에 부여하는 스트레스는, 열팽창 계수와 영률의 곱으로 나타내는 것이 가능하다. 예를 들어, 텅스텐과 구리에서는, 주위의 반도체층에 부여하는 스트레스에는 이하와 같은 차가 발생한다. 또한, 이하에 기재된 스트레스비란, 텅스텐이 주위의 반도체층에 부여하는 스트레스를 「1」이라고 정규화한 경우의 값이다.

[0536] 재료/열팽창 계수(10^{-6}/K)/영률(GPa)/스트레스/스트레스비

[0537] 텅스텐/4.3/345/1483.5/1

[0538] 구리/16.8/129.8/2180.6/1.47

[0539] 이와 같이, 텅스텐과 구리에서는, 구리의 쪽이 반도체층에 부여하는 스트레스가 크다. 더 구체적으로는, 구리는 텅스텐의 약 1.5배의 스트레스를 반도체층에 부여한다. 그 때문에, 구리제의 제3 도체(57)를 텅스텐제의 제2 도체(52)와 동일한 직경으로 마련하면, 제3 도체(57)의 킵 아웃 영역 KOZ는, 제2 도체(52)의 킵 아웃 영역 KOZ의 약 1.5배가 된다고 생각된다. 여기서, 신호 전하의 증감을 상쇄하기 위해서는, 이상적으로는, 반도체층에 부여하는 스트레스가, 제3 도체(57)와 제2 도체(52)에서 동일 정도인 것이 바람직하다. 그 때문에, 제3 도체(57)를 구리에 의해 구성하고, 제2 도체(52)를 텅스텐에 의해 구성하는 경우, 제3 도체(57)의 직경을 제2 도체(52)의 직경보다 작게 하면 된다. 이에 의해, 도 70에 나타낸 바와 같이, 제3 도체(57)가 제2 반도체층(50)에 부여하는 스트레스를, 제2 도체(52)가 제2 반도체층(50)에 부여하는 스트레스와 동일 정도로 할 수 있어, 신호 전하의 증감을 상쇄할 수 있다. 바꾸어 말하면, 제3 도체(57)를, 반도체층에 부여하는 스트레스가 제2 도체(52)를 구성하는 재료보다 큰 재료로 구성함으로써, 제3 도체(57)의 직경을 제2 도체(52)보다 작게 할 수 있어, 공간 절약이다.

[0540] 이어서, 본 변형예에 관한 광 검출 장치(1)의 제조 방법에 대하여 설명한다. 본 변형예에서는, 제3 도체(57)를 제4 면(S4)측으로부터 비아 라스트에 의해 형성하고, 제2 도체(52)를 제3 면(S3)측으로부터 비아 미들에 의해 형성한다. 먼저, 도 71a에 나타낸 바와 같이, 제2 도체(52) 및 비아(44)를 제3 면(S3)측으로부터 비아 미들에 의해 형성한다. 그 후, 이미 설명한 공정을 거쳐, 도 71b에 나타낸 바와 같이, 제2 반도체층(50)의 제4 면(S4)측에 절연막(61)을 적층한다. 그리고, 절연막(61)측(제4 면(S4)측)으로부터 제3 도체(57)를 형성하기 위한

구멍(57h)과, 제1 도체(51)를 형성하기 위한 구멍(51h)과, 배선층 등을 형성하는 구멍 등을 형성한다. 그 후, 절연막(61)측(제4 면(S4)측)으로부터, 구멍(57h) 및 구멍(51h) 내에 동시에 구리를 매립하고, 구리의 여분의 부분을 공지의 CMP법에 의해 제거한다. 이에 의해, 도 69에 나타내는 제3 도체(57), 제2 도체(52), 제1 도체(51)를 형성한다.

[0541] 이 제8 실시 형태의 변형예 5에 관한 광 검출 장치(1)라도, 상술한 제8 실시 형태에 관한 광 검출 장치(1)와 마찬가지의 효과가 얻어진다.

[0542] 또한, 이 제8 실시 형태의 변형예 5에 관한 광 검출 장치(1)에서는, 제3 도체(57)를, 반도체층에 부여하는 스트레스가 제2 도체(52)를 구성하는 재료보다 큰 재료로 구성함으로써, 제3 도체(57)의 직경을 제2 도체(52)보다 작게 할 수 있다. 그 때문에, 평면으로 보아 제3 도체(57)의 설치 면적을 작게 할 수 있고, 좁은 장소에도 제3 도체(57)를 마련할 수 있다.

[0543] 또한, 제3 도체(57) 및 제2 도체(52)의 양쪽 모두 제3 면(S3)측으로부터 비아 미들에 의해 형성하는 경우, 레지스트에 의해 구멍(57h) 및 구멍(53)의 한쪽을 덮으면서, 구멍(57h) 및 구멍(53)의 다른 쪽에 재료를 매립하여 형성해도 된다. 제3 도체(57) 및 제2 도체(52)의 양쪽 모두 제4 면(S4)측으로부터 비아 라스트에 의해 형성하는 경우도, 마찬가지이다.

[0544] <변형예 6>

[0545] 제8 실시 형태의 변형예 6에서는, 제3 도체(57)를 제4 면(S4)측으로부터 비아 라스트에 의해 형성하고, 제2 도체(52)를 제3 면(S3)측으로부터 비아 미들에 의해 형성하고 있었지만, 본 기술은 이것에 한정되지는 않는다. 도 72에 나타낸 바와 같이, 제3 도체(57)를 제3 면(S3)측으로부터 비아 미들에 의해 형성하고, 제2 도체(52)를 제4 면(S4)측으로부터 비아 라스트에 의해 형성해도 된다. 그 경우, 제2 도체(52)는, 제1 도체(51)를 구성하는 재료와 동일한 재료에 의해 구성되어 있다. 제8 실시 형태의 변형예 6에서는, 이것에 한정되지는 않지만, 예를 들어 제3 도체(57) 및 비아(44)를 텅스텐에 의해 구성하고, 제2 도체(52) 및 제1 도체(51)를 구리에 의해 구성한다. 제2 도체(52)는, 반도체층에 부여하는 스트레스가 제3 도체(57)를 구성하는 재료보다 큰 재료로 구성되어 있다. 그 때문에, 제2 도체(52)의 직경을 제3 도체(57)보다 작게 마련하고 있다.

[0546] 먼저, 도 73a에 나타낸 바와 같이, 제3 면(S3)측으로부터 제3 도체(57) 및 비아(44)를 형성한다. 그 후, 이미 설명한 공정을 거쳐, 도 73b에 나타낸 바와 같이, 제4 면(S4)측으로부터 제2 도체(52)를 형성하기 위한 구멍(53)과, 제1 도체(51)를 형성하기 위한 구멍(51h)을 형성한다. 그 후, 절연막(61)측(제4 면(S4)측)으로부터, 구멍(53) 및 구멍(51h) 내에 구리를 매립하고, 구리의 여분의 부분을 공지의 CMP법에 의해 제거한다. 이에 의해, 도 72에 나타내는 제3 도체(57), 제2 도체(52), 제1 도체(51)를 형성한다.

[0547] [제9 실시 형태]

[0548] 도 74a부터 도 74c까지 나타내는 본 기술의 제9 실시 형태에 대하여, 이하에 설명한다. 본 제9 실시 형태에 관한 광 검출 장치(1)가 상술한 제1 실시 형태에 관한 광 검출 장치(1)와 상이한 것은, 제4 도체(58)와 에칭 스톱층(46)과 갖는 마크 MK를 구비하고, 리소그래피 공정에 있어서 이용하는 얼라인먼트 마크 AL을, 복수의 마크 MK에 의해 구성하는 점이고, 그 이외의 광 검출 장치(1)의 구성은, 기본적으로 상술한 제1 실시 형태의 광 검출 장치(1)와 마찬가지의 구성으로 되어 있다. 또한, 이미 설명한 구성 요소에 대해서는, 동일한 부호를 붙여 그 설명을 생략한다.

[0549] ≪광 검출 장치의 구성≫

[0550] 이하, 본 기술의 제9 실시 형태에 관한 광 검출 장치(1)의 구성에 대하여, 상술한 제1 실시 형태에 관한 광 검출 장치(1)의 구성과 다른 부분을 중심으로 설명한다. 또한, 본 제9 실시 형태를 설명하는 도면에 있어서는, 동일한 구성 요소라도 도면간에 있어서 축척이 다르게 그려져 있는 경우가 있다. 또한, 본 제9 실시 형태를 설명하는 도면에 있어서는, 배리어 메탈층의 도시를 생략하고 있다.

[0551] 도 74b는 얼라인먼트 마크 AL 전체를 평면으로 본 평면도이다. 얼라인먼트 마크 AL의 치수는, 마이크로미터 오더이다. 도 74c는, 도 74b의 영역 AA를 확대하여 나타낸 부분 확대 평면도이다. 도 74c에 나타낸 바와 같이, 하나의 얼라인먼트 마크 AL은, 마크 MK를 복수 포함하고 있다. 도 74a는, 편의적으로, 하나의 마크 MK 및 하나의 제2 도체(52)의 단면 구조를 나타내는 종단면도이다.

[0552] <얼라인먼트 마크>

[0553] 얼라인먼트 마크 AL은, 제2 도체(52)의 단부(52a)에 접속되는 배선(62)을 형성할 때의 리소그래피 공정에 있어서, 제2 도체(52)에 대한 배선(62)의 위치 정렬을 행하기 위해 이용된다. 그 때문에, 얼라인먼트 마크 AL은, 제2 도체(52)를 형성하는 공정에 있어서 형성된다. 도 74b는, 얼라인먼트 마크 AL의 형상의 일례를 나타낸다. 얼라인먼트 마크 AL은, 도 74b에 나타내는 십자형 이외의 형상이어도 되고, 예를 들어 사각형이나 원형 등, 다른 형상이어도 된다. 또한, 얼라인먼트 마크 AL은, 위치 정렬의 정밀도를 높이기 위해, 스크라이브 라인 내가 아니라, 반도체 칩(2) 내에 배치되어 있다.

[0554] <마크>

[0555] 도 74c에 나타낸 바와 같이, 하나의 얼라인먼트 마크 AL은, 복수의 마크 MK에 의해 구성되어 있다. 더 구체적으로는, 마크 MK가 2차원적으로 복수 배열되어, 하나의 얼라인먼트 마크 AL을 구성하고 있다. 본 실시 형태에서는, 마크 MK가 X방향 및 Y방향을 따라 배열되어 있다고 하고, 설명한다. 마크 MK는, X방향 및 Y방향을 따라, 매트릭스 형상으로 밀하게 배열되어 있다. 마크 MK를 복수 배열함으로써, 얼라인먼트 마크 AL의 윤곽이 선과 같이 보인다. 마크 MK의 형상은 도 74c에 나타내는 형상에 한정되지 않고, 본 실시 형태의 변형예에 나타내는 형상 또는 그 이외의 형상이어도 된다. 나아가, 마크 MK의 형상과 얼라인먼트 마크 AL의 형상의 조합은 다양하고, 도시된 것에 한정되지 않는다.

[0556] 도 74a에 나타낸 바와 같이, 마크 MK는, 제2 반도체층(50)의 제3 면(S3)측에 마련되어 있다. 도 74a 및 도 74b에 나타낸 바와 같이, 마크 MK는, 제4 도체(58)와, 에칭 스톱층(46)과, 절연막(41m)을 갖는다.

[0557] (제4 도체)

[0558] 제4 도체(58)는, 제2 도체(52)와 동등한 직경을 갖는다. 제4 도체(58)의 직경은, 예를 들어 수백㎚의 오더로 형성되어 있다. 또한, 제4 도체(58)는, 제2 도체(52)를 구성하는 재료와 동일한 재료에 의해 구성되어 있다. 본 실시 형태에서는, 이것에 한정되지는 않지만, 예를 들어 제4 도체(58)와 제2 도체(52)가 텅스텐에 의해 구성되어 있는 예에 대하여 설명한다. 제2 도체(52)와 제4 도체(58)의, 광 검출 장치(1)의 두께 방향에 있어서의 위치 관계는, 도 74a에 나타낸 바와 같이 되어 있다. 더 구체적으로는, 제2 도체(52)의 제4 면(S4)측의 단부(52a)는, 제4 면(S4)으로부터 이격되는 방향으로 연장되고, 제3 배선층(60)이 갖는 배선(62)에 접속되어 있다. 그리고, 제4 도체(58)의 배선(62) 근처의 단부인 단부(58a)는, 단부(52a)와 배선(62)의 접속 위치보다, 제2 배선층(40)이 갖는 배선(42) 근처에 위치하고 있다. 즉, 단부(58a)는, 단부(52a)와 배선(62)의 접속 위치에 도달하고 있지 않다. 또한, 제4 도체(58)와 제2 반도체층(50) 사이에는, 에칭 스톱층(46)이 마련되어 있다.

[0559] (에칭 스톱층)

[0560] 에칭 스톱층(46)은, 후술하는 제조 방법에 있어서 상세하게 설명하지만, 제4 도체(58)를 매립하기 위한 구멍(58h)의 에칭 속도를 느리게 하는 막으로서 기능한다. 에칭 스톱층(46)은, 단층의 막을 포함하고, 제2 반도체층(50)의 제3 면(S3)에 적층되어 있다. 에칭 스톱층(46)은, 평면으로 보아 제4 도체(58)와 겹치는 위치에 마련되고, 도 74c에 나타낸 바와 같이 평면으로 보아 원형으로 마련되어 있다. 에칭 스톱층(46)은, 선택된 에천트에 대한 에칭 속도가, 절연막(41)을 구성하는 재료 및 제2 반도체층(50)을 구성하는 재료(실리콘)의 양쪽보다 느린 재료에 의해 구성되어 있다. 예를 들어, 절연막(41)이 산화실리콘에 의해 구성되어 있는 경우, 에칭 스톱층(46)을 구성하는 재료로서, 질화실리콘 및 금속 등을 들 수 있다. 본 실시 형태에서는, 절연막(41)이 산화실리콘에 의해 구성되고, 에칭 스톱층(46)이 질화실리콘에 의해 구성되어 있다고 하고, 설명한다.

[0561] ≪광 검출 장치의 제조 방법≫

[0562] 이하, 도 75a부터 도 75e까지를 참조하여, 광 검출 장치(1)의 제조 방법에 대하여 설명한다. 여기서는, 제4 도체(58) 및 제2 도체(52)의 제조 방법을 중심으로 설명한다. 먼저, 도 75a에 나타낸 바와 같이, 제2 반도체층(50w)의 제3 면(S3)측에, 트랜지스터 T2 등을 형성한다. 그 후, 제2 반도체층(50w)의 제3 면(S3)에, 에칭 스톱층(46)을 형성한다. 더 구체적으로는, 에칭 스톱층(46)을, 평면으로 보아 마크 MK를 마련하는 위치에 형성한다. 에칭 스톱층(46)은, 예를 들어 공지의 성막 기술, 리소그래피 기술, 에칭 기술 등을 사용하여 형성한다. 그 후, 에칭 스톱층(46)을 덮도록 절연막(41)을 적층한다.

[0563] 이어서, 도 75b에 나타낸 바와 같이, 절연막(41)측(제3 면(S3)측)으로부터 제4 도체(58)를 형성하기 위한 구멍(58h)과, 제2 도체(52)를 형성하기 위한 구멍(53)을, 공지의 리소그래피 기술 및 에칭 기술을 사용하여 동시에 형성한다. 더 구체적으로는, 절연막(41)의 노출면에, 공지의 리소그래피 기술을 사용하여, 개구부(R6a) 및 개구부(R6b)를 갖는 레지스트 패턴 R6을 형성하고, 개구부(R6a) 및 개구부(R6b)로부터 노출되는 부분을, 공지의

에칭 기술에 의해 동시에 에칭하여, 구멍(58h) 및 구멍(53)을 얻는다.

[0564] 개구부(R6a)는 평면으로 보아, 구멍(58h)을 형성하는 위치에 마련되고, 개구부(R6b)는 구멍(53)을 형성하는 위치에 마련되어 있다. 그 중 개구부(R6a)는, 평면으로 보아 에칭 스톱층(46)과 겹치는 위치, 더 구체적으로는 평면으로 보아 에칭 스톱층(46)의 내측의 위치에 마련되어 있다. 이에 의해, 구멍(58h)을, 평면으로 보아 에칭 스톱층(46)과 겹치는 위치에 마련할 수 있다. 더 구체적으로는 평면으로 보아 구멍(58h)의 저부를, 에칭 스톱층(46)의 내측의 위치에 마련할 수 있다.

[0565] 에칭을 개시하면, 먼저, 개구부(R6a) 및 개구부(R6b)로부터 노출되는 절연막(41)이 에칭된다. 그리고, 개구부(R6a) 및 개구부(R6b) 중 개구부(R6b)로부터 노출되는 부분은, 그 후에도 에칭이 진행되어, 절연막(41)으로부터 제2 반도체층(50) 및 제3 배선층(60)까지 에칭된다. 그리고, 구멍(53)이 형성된다. 이에 비해, 개구부(R6a)로부터 노출되는 부분의 에칭은, 구멍(58h)이 에칭 스톱층(46)에 도달하면 느려져, 에칭 스톱층(46)은 에칭되었다고 해도 약간이다. 이와 같이 하여 구멍(58h)이 형성된다. 그리고, 구멍(53)의 에칭이 제2 반도체층(50) 및 제3 배선층(60)까지 진행되는 동안, 구멍(58h)의 바닥에 노출된 에칭 스톱층(46)은, 에칭되었다고 해도 약간이다. 구멍(58h)은 에칭 스톱층(46)을 관통하지 않으므로, 제2 반도체층(50) 및 제3 배선층(60)은 에칭되지 않는다. 이와 같이, 구멍(58h)을, 구멍(53)보다 얕게 형성한다. 그 후, 레지스트 패턴 R6을 제거한다.

[0566] 이어서, 도 75c에 나타낸 바와 같이, 절연막(41)측(제3 면(S3)측)으로부터, 구멍(58h) 및 구멍(53) 내에 절연막(41m)을 적층하고, 그 후, 구멍(58h) 및 구멍(53) 내에 텅스텐을 매립한다. 그리고, 절연막(41m) 및 텅스텐의 여분의 부분을, 예를 들어 CMP법에 의해 제거한다. 이에 의해, 제4 도체(58)와 제2 도체(52)를 얻는다. 구멍(58h)을 구멍(53)보다 얕게 형성하고 있으므로, 제4 도체(58)의 단부(58a)를, 제2 도체(52)의 단부(52a)와는 적층 방향(두께 방향)에 있어서 다른 위치, 더 구체적으로는 얕은 위치에 마련할 수 있다. 그리고, 제1 실시 형태의 도 5e부터 도 5h까지 나타내는 공정을 행한다.

[0567] 그 후, 도 75d에 나타낸 바와 같이, 실리콘 커버막(65) 및 절연막(61)을 이 순서로 적층한다. 그리고, 도 75e에 나타낸 바와 같이, 절연막(61)의 노출면을 CMP법에 의해 연삭하여 평탄화하고, 제2 도체(52)의 단부(52a)를 노출시킨다. 더 구체적으로는, 제4 도체(58)와 제2 도체(52) 중 제2 도체(52)만을 노출시킨다. 제4 도체(58)의 단부(58a)는 제2 배선층(40) 내에 위치하고 있으므로, 웨이퍼의 평탄화에 의해 노출되는 것이 억제되어 있다. 그 때문에, 제4 도체(58)의 단부(58a)가 CMP법에 의한 연삭을 받는 것이 억제되어 있다. 이와 같이, 마크 MK의 제4 도체(58)가 CMP법에 의한 연삭을 받는 것이 억제되어 있으므로, 제4 도체(58)의 단부(58a)에 요철이 발생하는 것이 억제되어 있다.

[0568] 이어서, 도시는 생략하지만, 평탄화된 노출면에 절연막(61)을 더 적층하여, 배선(62) 등을 형성하여, 제3 배선층(60)을 완성시킨다. 여기서, 배선(62)을 형성하는 공정에 대하여 설명한다. 배선(62)을 매립하기 위한 구멍을 형성하기 위해, 공지의 리소그래피 기술을 사용하여 레지스트 패턴을 형성한다. 그때, 제2 도체(52)와 배선(62)의 위치 정렬을 행하기 위해, 마크 MK를 복수 갖는 얼라인먼트 마크 AL을 이용한다. 도 75e에 나타낸 바와 같이, 마크 MK의 제4 도체(58)는, CMP법에 의한 연삭을 받는 것이 억제되고, 단부(58a)에 요철이 발생하는 것이 억제되어 있다. 그 때문에, 위치 정렬 시에 사용되는 얼라인먼트광은, CMP법에 의한 연삭을 받고 있지 않은 제4 도체(58)의 단부(58a)에 의해 반사된다. 이에 의해, 얼라인먼트 정밀도가 저하되는 것을 억제할 수 있다. 이것 이후의 제조 방법에 대해서는 이미 설명한 바와 같으므로, 생략한다.

[0569] ≪제9 실시 형태의 주된 효과≫

[0570] 이하, 제9 실시 형태의 주된 효과를 설명하지만, 그 전에 종래예에 대하여 설명한다. 도 76에 나타낸 바와 같이, 종래의 마크 MKa는, 제4 도체(58)와 절연막(41m)을 갖고, 에칭 스톱층(46)을 갖고 있지 않다. 제4 도체(58)가 에칭 스톱층(46)을 갖고 있지 않기 때문에, 제4 도체(58)를 메우는 구멍이 제2 반도체층(50)을 관통하여, 절연막(61)까지 연장되어 있었다. 그리고, 제4 도체(58)의 단부(58a)는, 제2 도체(52)의 단부(52a)와 적층 방향의 위치가 동일하게 형성되어 있었다. 그 때문에, 단부(58a)와 단부(52a)의 양쪽이 CMP법에 의한 연삭을 받고 있었다. 여기서, CMP법에 의한 연삭으로 평탄화하는 경우, 이상적으로는 평탄을 목표로 하고 있지만, 엄밀하게는 요철이 발생하는 경우가 있다. 그 때문에, 도 76에 나타낸 바와 같이, 제4 도체(58)의 단부(58a)에 요철이 발생하고, 그 후의 리소그래피 공정에 있어서, 얼라인먼트광이 단부(58a)의 요철에 의해 난반사될 가능성이 있었다. 이에 의해, 얼라인먼트 정밀도가 저하될 가능성이 있었다. 나아가, 제4 도체(58)의 연삭량이 변동되면, 더 구체적으로는 칩 면 내 또는 웨이퍼면 내에서 변화되면, 얼라인먼트 정밀도가 저하될 가능성이 있었다.

[0571] 이에 비해, 본 기술의 제9 실시 형태에 관한 광 검출 장치(1)에서는, 마크 MK가 에칭 스톱층(46)을 가지므로, 구멍(58h)의 에칭 속도를 도중부터 느리게 할 수 있고, 구멍(58h)을 구멍(53)보다 얕게 형성할 수 있다. 이에 의해, 제4 도체(58)의 단부(58a)를, 제2 도체(52)의 단부(52a)와는 적층 방향(두께 방향)에 있어서 다른 위치, 더 구체적으로는 얕은 위치에 마련할 수 있다. 도 74a에서는, 제4 도체(58)의 단부(58a)는 제2 배선층(40) 내에 위치하고 있다. 그 때문에, 제4 도체(58)의 단부(58a)가 CMP법에 의한 연삭을 받는 것이 억제되어 있다. 이와 같이, 마크 MK의 제4 도체(58)가 CMP법에 의한 연삭을 받는 것이 억제되어 있으므로, 제4 도체(58)의 단부(58a)에 요철이 발생하는 것이 억제되어 있다. 그 때문에, 얼라인먼트광이 단부(58a)의 요철에 의해 난반사되는 것을 억제할 수 있어, 얼라인먼트 정밀도가 저하되는 것을 억제할 수 있다. 또한, 마크 MK의 제4 도체(58)가 CMP법에 의한 연삭을 받는 것이 억제되어 있으므로, 마크 MK의 형상이 칩 면 내 또는 웨이퍼면 내에서 변화되는 것을 억제할 수 있어, 얼라인먼트 정밀도가 저하되는 것을 억제할 수 있다.

[0572] 또한, 제2 도체(52)는 제3 접속 패드(63)에 접속되어 있어도 된다. 또한, 에칭 스톱층(46)을 형성하는 타이밍은, 상술한 제조 방법의 설명의 타이밍에 한정되지 않는다. 에칭 스톱층(46)을 형성하는 타이밍은, 제3 면(S3)에 절연막(41)을 적층하기 전이라면, 언제든 좋다.

[0573] ≪제9 실시 형태의 변형예≫

[0574] 이하, 제9 실시 형태의 변형예에 대하여 설명한다.

[0575] <변형예 1>

[0576] 제9 실시 형태에서는, 마크 MK의 에칭 스톱층(46)이 단층의 막이었지만, 본 기술은 이것에 한정되지는 않는다. 제9 실시 형태의 변형예 1에 관한 광 검출 장치(1)에서는, 도 77에 나타낸 바와 같이, 마크 MK의 에칭 스톱층(46)은, 제3 면(S3)에 제3 층(46a)과 제4 층(46b)을 이 순서로 적층한 적층 구조를 갖는다. 또한, 구멍(58h)은, 제3 층(46a)과 제4 층(46b) 중, 제4 층(46b)만을 관통하고 있다.

[0577] 제3 층(46a)은, 제2 반도체층(50)을 에칭하는 조건에 있어서, 에칭 스톱층으로서 기능한다. 제3 층(46a)은, 선택된 에천트에 대한 에칭 속도가, 제2 반도체층(50)을 구성하는 재료(실리콘)보다 느린 재료에 의해 구성되어 있다. 제3 층(46a)은, 이것에 한정되지는 않지만, 예를 들어 산화실리콘에 의해 구성되어 있다.

[0578] 또한, 제4 층(46b)은, 절연막(41)을 에칭하는 조건에 있어서, 에칭 스톱층으로서 기능한다. 제4 층(46b)은, 선택된 에천트에 대한 에칭 속도가, 절연막(41)을 구성하는 재료(산화실리콘)보다 느린 재료에 의해 구성되어 있다. 그리고, 제4 층(46b)은, 이것에 한정되지는 않지만, 예를 들어 실리콘에 의해 구성되어 있다.

[0579] 이와 같이, 제4 층(46b)은, 절연막(41)과 제2 반도체층(50) 중 절연막(41)을 에칭할 때의 에칭 스톱층으로서 기능한다. 그리고, 제3 층(46a)은, 절연막(41)과 제2 반도체층(50) 중 제2 반도체층(50)을 에칭할 때의 에칭 스톱층으로서 기능한다.

[0580] 이하, 도 78a부터 도 78c까지를 참조하여, 광 검출 장치(1)의 제조 방법에 대하여 설명한다. 또한, 본 변형예 1에서는, 제9 실시 형태에서 설명한 제조 방법과 다른 부분을 중심으로 설명한다. 먼저, 도 78a에 나타낸 바와 같이, 제2 반도체층(50w)의 제3 면(S3)에, 제3 층(46a)과 제4 층(46b)을 이 순서로 적층한다. 그 후, 절연막(41)을 적층한다.

[0581] 이어서, 도 78b에 나타낸 바와 같이, 절연막(41)의 노출면에, 레지스트 패턴 R6을 형성하고, 개구부(R6a) 및 개구부(R6b)로부터 노출되는 부분을, 공지의 에칭 기술에 의해 동시에 에칭하여, 구멍(58h) 및 구멍(53)을 얻는다. 구멍(53)의 에칭에 있어서는, 절연막(41)과 제2 반도체층(50)의 2종류의 재료가 에칭된다. 도 78b는, 절연막(41)이 에칭되는 단계를 나타내고 있다. 개구부(R6a)로부터 노출되는 부분의 에칭은, 구멍(58h)이 제4 층(46b)에 도달하면 느려진다. 그리고, 제4 층(46b)은, 에칭되었다고 해도 약간이다.

[0582] 그 후, 도 78c에 나타낸 바와 같이, 에칭 조건을 바꾸어, 제2 반도체층(50w)(실리콘)을 에칭하는 단계에 들어간다. 여기서, 구멍(58h)의 저부로부터 노출된 제4 층(46b)은, 실리콘제이므로, 구멍(53)의 에칭과 동일 정도의 속도로 에칭된다. 그리고, 개구부(R6a)로부터 노출되는 부분의 에칭은, 구멍(58h)이 제3 층(46a)에 도달하면 다시 느려진다. 그리고, 제3 층(46a)은, 에칭되었다고 해도 약간이다. 이와 같이, 구멍(53)이 다른 재료에 걸쳐서 형성되므로, 다른 재료의 각 재료에 대응하여 에칭 스톱층(46)을 다층화함으로써, 재료마다 에칭 조건이 바뀌어도, 구멍(58h)이 에칭 스톱층(46)의 전체층을 관통하는 것을 억제할 수 있다. 이에 의해, 구멍(58h)을 구멍(53)보다 얕게 형성할 수 있다. 이것 이후의 제조 방법에 대해서는 이미 설명한 바와 같으므로, 생략한다.

[0583] 이 제9 실시 형태의 변형예 1에 관한 광 검출 장치(1)라도, 상술한 제9 실시 형태에 관한 광 검출 장치(1)와 마

찬가지의 효과가 얻어진다.

[0584] 또한, 제9 실시 형태의 변형예 1에 관한 광 검출 장치(1)에서는, 제2 도체(52)를 형성하기 위한 구멍(53)이 다른 재료에 걸쳐서 형성되어 있는 경우라도, 에칭 스톱층(46)을 다른 재료의 각 재료에 대응하여 다층화하고 있으므로, 재료마다 에칭 조건이 바뀌었다고 해도, 구멍(58h)이 에칭 스톱층(46)의 전체층을 관통하는 것을 억제할 수 있다. 이에 의해, 구멍(58h)을 구멍(53)보다 얕게 형성할 수 있다.

[0585] <변형예 2>

[0586] 제9 실시 형태에서는, 마크 MK는, 제2 반도체층(50)의 제3 면(S3)측에 마련되어 있고, 제4 도체(58)의 단부(58a)는 제2 배선층(40) 내에 위치하고 있었지만, 본 기술은 이것에 한정되지는 않는다. 도 79에 나타낸 바와 같이, 제4 도체(58)는 제2 반도체층(50)을 관통하고, 단부(58a)는 제3 배선층(60) 내에 위치하고 있어도 된다. 또한, 마크 MK는, 에칭 스톱층(46) 대신에 에칭 스톱층(46c)을 갖고 있다.

[0587] (제4 도체)

[0588] 제4 도체(58)는, 에칭 스톱층(46c)과 제2 반도체층(50)을 관통하여, 제3 배선층(60) 내에 도달하고 있다. 그리고, 제4 도체(58)의 단부(58a)는, 단부(52a)와 배선(62)의 접속 위치에서, 제2 배선층(40)이 갖는 배선(42) 근처에 위치하고 있다. 즉, 단부(58a)는, 단부(52a)와 배선(62)의 접속 위치에 도달하고 있지 않다.

[0589] (에칭 스톱층)

[0590] 구멍(58h)은, 에칭에 의해 에칭 스톱층(46c)을 관통하고 있다. 그것은, 에칭 스톱층(46c)의 막 두께와 에칭 스톱층(46c)을 구성하는 재료의 적어도 한쪽을 바꿈으로써, 실현되어 있다. 본 변형예 2에서는, 에칭 스톱층(46c)의 막 두께를, 제9 실시 형태의 에칭 스톱층(46)의 막 두께보다 얇게 마련한 예에 대하여 설명한다.

[0591] 에칭 스톱층(46c)은, 제9 실시 형태의 에칭 스톱층(46)과 마찬가지로 질화실리콘으로 구성되어 있고, 그 막 두께는, 제9 실시 형태의 에칭 스톱층(46)보다 얇게 마련되어 있다. 절연막(41) 및 제2 반도체층(50)을 에칭하는 조건 하에 있어서, 질화실리콘의 에칭 속도는, 느리지만 전혀 에칭되지 않는 것은 아니므로, 막 두께를 얇게 하면, 구멍(58h)은 시간을 들여 에칭 스톱층(46c)을 관통한다.

[0592] 이하, 도 80a부터 도 80c까지를 참조하여, 광 검출 장치(1)의 제조 방법에 대하여 설명한다. 또한, 본 변형예 2에서는, 제9 실시 형태에서 설명한 제조 방법과 다른 부분을 중심으로 설명한다. 먼저, 도 80a에 나타낸 바와 같이, 제2 반도체층(50w)의 제3 면(S3)에, 에칭 스톱층(46c)을, 제9 실시 형태의 에칭 스톱층(46)보다 얇게 형성한다. 그 후, 에칭 스톱층(46)을 덮도록 절연막(41)을 적층하여, 개구부(R6a) 및 개구부(R6b)를 갖는 레지스트 패턴 R6을 형성한다. 그리고, 개구부(R6a) 및 개구부(R6b)로부터 노출되는 부분을, 공지의 에칭 기술에 의해 동시에 에칭하여, 구멍(58h) 및 구멍(53)을 얻는다. 개구부(R6a)로부터 노출되는 부분의 에칭은, 구멍(58h)이 에칭 스톱층(46)에 도달하면 느려져, 에칭 스톱층(46)의 에칭은 시간을 들여 천천히 진행한다. 구멍(58h)의 에칭 스톱층(46)의 에칭이 천천히 진행되는 동안에도, 개구부(R6b)로부터 노출되는 부분, 즉 구멍(53)의 에칭은 진행되어 가고, 절연막(41)의 에칭으로부터 제2 반도체층(50)의 에칭으로 진행된다. 그 후, 구멍(58h)이 에칭 스톱층(46)을 관통하면, 구멍(58h)의 에칭은, 제2 반도체층(50)으로 진행되지만, 에칭 스톱층(46)의 관통에 시간이 걸렸으므로, 도시된 바와 같이, 구멍(58h)은 구멍(53)보다 얕게 형성된다. 그 후, 제9 실시 형태의 경우와 마찬가지로, 절연막(41)측(제3 면(S3)측)으로부터, 구멍(58h) 및 구멍(53) 내에 절연막(41m)과 텅스텐을 그 순서로 적층하여, 제4 도체(58)와 제2 도체(52)를 얻는다. 그리고, 제1 실시 형태의 도 5e부터 도 5h까지 나타내는 공정을 행한다.

[0593] 이어서, 도 80b에 나타낸 바와 같이, 제4 면(S4)으로부터 돌출된 제4 도체(58) 및 제2 도체(52)를 덮도록, 실리콘 커버막(65) 및 절연막(61)을 이 순서로 적층한다. 또한, 상술한 구멍(58h)을 구멍(53)보다 얕게 형성하고 있으므로, 제4 면(S4)으로부터의 제4 도체(58)의 돌출량은, 제2 도체(52)의 돌출량보다 작다.

[0594] 그리고, 도 80c에 나타낸 바와 같이, 절연막(61)의 노출면을 CMP법에 의해 연삭하여 평탄화하고, 제2 도체(52)의 단부(52a)를 노출시킨다. 더 구체적으로는, 제4 도체(58)와 제2 도체(52) 중 제2 도체(52)만을 노출시킨다. 제4 도체(58)의 단부(58a)는, 제2 도체(52)의 단부(52a)와 마찬가지로 제3 배선층(60)의 절연막(61) 내에 위치하고 있지만, 제4 도체(58)의 제4 면(S4)으로부터의 돌출량은 제2 도체(52)의 돌출량보다 작다. 그 때문에, CMP법에 의해 절연막(61)을 연삭한 경우, 제4 도체(58) 및 제2 도체(52) 중 제2 도체(52)의 쪽이 먼저 노출된다. 그리고, 제4 도체(58)가 노출되기 전에, CMP법에 의한 연삭을 정지한다. 이에 의해, 제4 도체(58)의 단부(58a)는, 웨이퍼의 평탄화에 의해 노출되는 것이 억제되어, 절연막(61)에 덮인 상태가 유지된다. 그 때

문에, 제4 도체(58)의 단부(58a)가 CMP법에 의한 연삭을 받는 것이 억제되어 있다. 이와 같이, 마크 MK의 제4 도체(58)가 CMP법에 의한 연삭을 받는 것이 억제되어 있으므로, 제4 도체(58)의 단부(58a)에 요철이 발생하는 것이 억제되어 있다. 그 때문에, 위치 정렬 시에 사용되는 얼라인먼트광은, CMP법에 의한 연삭을 받고 있지 않은 제4 도체(58)의 단부(58a)에 의해 반사된다. 이에 의해, 얼라인먼트 정밀도가 저하되는 것을 억제할 수 있다. 이것 이후의 제조 방법에 대해서는 이미 설명한 바와 같으므로, 생략한다.

[0595] 이 제9 실시 형태의 변형예 2에 관한 광 검출 장치(1)라도, 상술한 제9 실시 형태에 관한 광 검출 장치(1)와 마찬가지의 효과가 얻어진다.

[0596] 또한, 제9 실시 형태의 변형예 2에 관한 광 검출 장치(1)에서는, 제4 도체(58)의 단부(58a)는, 제3 배선층(60)의 절연막(61) 내에 위치하고 있으므로, 제9 실시 형태의 경우보다 절연막(61)의 노출면으로부터 거리가 짧아진다. 그 때문에, 배선(62)을 형성할 때의 리소그래피 공정에 있어서, 얼라인먼트 마크 AL을 더 식별하기 쉬워져, 위치 정렬이 더 용이해진다.

[0597] 또한, 제9 실시 형태의 변형예 2에서는, 에칭 스톱층(46c)의 막 두께를 제9 실시 형태의 에칭 스톱층(46)의 막 두께보다 얇게 마련한 예에 대하여 설명했지만, 구멍(58h)이 에칭 스톱층(46c)을 관통하는 것을 늦출 수 있으면, 이것에 한정되지는 않는다. 예를 들어, 에칭 스톱층(46c)을 구성하는 재료를 바꾸어도 된다.

[0598] 예를 들어, 에칭 스톱층(46c)을, 선택된 에천트에 대한 에칭 속도가, 제2 반도체층(50)을 구성하는 재료(실리콘)보다 느린 재료에 의해 구성해도 된다. 더 구체적으로는, 에칭 스톱층(46c)을, 선택된 에천트에 대한 에칭 속도가, 절연막(41)을 구성하는 재료 및 제2 반도체층(50)을 구성하는 재료의 양쪽보다 느린 재료에 의해 구성하면 된다. 그러한 재료로서, 예를 들어, 절연막(41)과는 막질이 다른 산화실리콘을 들 수 있다. 막질이 다른 산화실리콘이란, 이것에 한정되지는 않지만, 예를 들어 절연막(41)과는 밀도가 다르고, 절연막(41)으로부터 선택된 에천트에 대한 에칭 속도가 느린 산화실리콘이다.

[0599] 또한, 예를 들어 에칭 스톱층(46c)을 실리콘으로 구성해도 된다. 에칭 스톱층(46c)을 실리콘으로 구성하면, 절연막(41)의 에칭에 대해서는, 선택된 에천트에 대한 에칭 속도가 느리다. 이에 의해, 구멍(58h)이 제2 반도체층(50)을 관통하는 것을 늦출 수 있다. 나아가, 제2 반도체층(50)의 에칭에 대해서는, 에칭 스톱층(46c)은 제2 반도체층(50)에 적층되어 있으므로, 에칭 대상을 두껍게 하는 효과가 있다. 이에 의해, 구멍(58h)이 제2 반도체층(50)을 관통하는 것을 늦출 수 있다.

[0600] <변형예 3>

[0601] 제9 실시 형태의 변형예 2에서는, 에칭 스톱층(46c)은 제2 반도체층(50)의 제3 면(S3)에 직접 적층되어 있었지만, 본 기술은 이것에 한정되지는 않는다. 도 81에 나타낸 바와 같이, 에칭 스톱층(46c)은 제3 면(S3)에 절연막(41)을 통해 적층되어 있어도 된다.

[0602] 이 제9 실시 형태의 변형예 3에 관한 광 검출 장치(1)라도, 상술한 제9 실시 형태 및 제9 실시 형태의 변형예 2에 관한 광 검출 장치(1)와 마찬가지의 효과가 얻어진다.

[0603] <변형예 4>

[0604] 제9 실시 형태에서는, 마크 MK의 에칭 스톱층(46)이 평면으로 보아 원형으로 마련되어 있었지만, 본 기술은 이것에 한정되지는 않는다. 도 82에 나타낸 바와 같이, 마크 MK의 에칭 스톱층(46)은 평면으로 보아 정사각형으로 마련되어 있어도 된다.

[0605] 이 제9 실시 형태의 변형예 4에 관한 광 검출 장치(1)라도, 상술한 제9 실시 형태에 관한 광 검출 장치(1)와 마찬가지의 효과가 얻어진다.

[0606] <변형예 5>

[0607] 제9 실시 형태에서는, 마크 MK의 에칭 스톱층(46) 및 제4 도체(58)가 평면으로 보아 원형으로 마련되어 있었지만, 본 기술은 이것에 한정되지는 않는다. 도 83에 나타낸 바와 같이, 마크 MK의 에칭 스톱층(46) 및 제4 도체(58)는, 평면으로 보아 직사각형으로 마련되어 있어도 된다. 즉, 마크 MK는 직사각형이다. 그리고, 직사각형의 마크 MK는, 그 긴 변 방향에 있어서, 얼라인먼트 마크 AL이 대향하는 윤곽의 한쪽으로부터 다른 쪽까지 연장되어 있다. 직사각형의 마크 MK는, 그 짧은 변 방향에 있어서, 밀하게 배열되어 있다.

[0608] 이 제9 실시 형태의 변형예 5에 관한 광 검출 장치(1)라도, 상술한 제9 실시 형태에 관한 광 검출 장치(1)와 마찬가지의 효과가 얻어진다.

[0609] <변형예 6>

[0610] 제9 실시 형태에서는, 하나의 얼라인먼트 마크 AL이 복수의 마크 MK에 의해 구성되어 있었지만, 본 기술은 이것에 한정되지는 않는다. 도 84에 나타낸 바와 같이, 하나의 얼라인먼트 마크 AL이 하나의 마크 MK에 의해 구성되어 있어도 된다.

[0611] 이 제9 실시 형태의 변형예 6에 관한 광 검출 장치(1)라도, 상술한 제9 실시 형태에 관한 광 검출 장치(1)와 마찬가지의 효과가 얻어진다.

[0612] <변형예 7>

[0613] 제9 실시 형태의 변형예 7에 관한 광 검출 장치(1)에서는, 제4 도체(58)로서, 상술한 제8 실시 형태에 있어서 설명한 제3 도체(57)를 사용해도 된다.

[0614] 이 제9 실시 형태의 변형예 7에 관한 광 검출 장치(1)라도, 상술한 제9 실시 형태에 관한 광 검출 장치(1)와 마찬가지의 효과가 얻어진다.

[0615] [제10 실시 형태]

[0616] 도 85에 나타내는 본 기술의 제10 실시 형태에 대하여, 이하에 설명한다. 본 제10 실시 형태에 관한 광 검출 장치(1)가 상술한 제1 실시 형태에 관한 광 검출 장치(1)와 상이한 것은, 하나의 제2 도체(52)의 외주면을 덮도록 마련된 제1 고정 전하막과, 다른 하나의 제2 도체(52)의 외주면을 덮도록 마련된 제2 고정 전하막을 갖는 점이고, 그 이외의 광 검출 장치(1)의 구성은, 기본적으로 상술한 제1 실시 형태의 광 검출 장치(1)와 마찬가지의 구성으로 되어 있다. 또한, 이미 설명한 구성 요소에 대해서는, 동일한 부호를 붙여 그 설명을 생략한다.

[0617] ≪광 검출 장치의 구성≫

[0618] 이하, 본 기술의 제10 실시 형태에 관한 광 검출 장치(1)의 구성에 대하여, 상술한 제1 실시 형태에 관한 광 검출 장치(1)의 구성과 다른 부분을 중심으로 설명한다. 또한, 본 제10 실시 형태를 설명하는 도면에 있어서는, 동일한 구성 요소라도 도면간에 있어서 축척이 다르게 그려져 있는 경우가 있다.

[0619] 또한, 도 85에는 제2 도체(52) 및 그 주위의 구조의 레이아웃의 일례가 나타나 있지만, 제2 도체(52) 및 그 주위의 구조의 레이아웃은 도 85에 한정되지 않고, 형성하고 싶은 회로를 따라 적절히 레이아웃을 정하면 된다. 또한, 일반적으로, 공핍층은 전압 등의 조건에 따라 그 크기가 변화되는 것이다. 도 85에 나타내는 공핍층 DL은, 하나의 조건 하에 있어서의 공핍층을 모식적으로 나타내고 있는 것에 지나지 않는다. 이것은, 도 85 이후의 도면에 있어서도 동일하다. 또한, 본 제10 실시 형태를 설명하는 도면에 있어서는, 배리어 메탈층의 도시를 생략하고 있다.

[0620] <제2 반도체층>

[0621] 제2 반도체층(50)은, 이것에는 한정되지 않지만, 예를 들어 도 3에 나타내는 읽어내기 회로(15)를 탑재하고 있다. 제2 반도체층(50)은, 반도체 기판으로 구성되어 있다. 제2 반도체층(50)은, 이것에 한정되지는 않지만, 예를 들어 단결정 실리콘 기판으로 구성되어 있다. 제2 반도체층(50)은, 제1 도전형(p형)의 반도체 기판 p-sub로 형성된 반도체층이다. 제2 반도체층(50)은, 제1 도전형(p형)의 반도체 기판 p-sub에, n형의 반도체 영역 및 p형의 반도체 영역을 형성한 반도체층이다. 제2 반도체층(50)은, 이것에 한정되지는 않지만, 예를 들어 제1 도전형(p형)의 반도체 영역이고 또한 제2 반도체층(50)의 두께 방향에 있어서 제4 면(S4)측에 위치하는 제3 영역(59A)과, 제2 도전형(n형)의 반도체 영역이고 또한 제2 반도체층(50)의 두께 방향에 있어서 제3 면(S3)측에 위치하는 제4 영역(w1)과, 제1 도전형(p형)의 반도체 영역이고 또한 제2 반도체층(50)의 두께 방향에 있어서 제3 면(S3)측에 위치하는 제5 영역(w2)과, 제2 도전형(n형)의 반도체 영역이고 또한 제3 영역(59A)과 제5 영역(w2) 사이에 위치하는 제6 영역(w3)과, 제1 도전형(p형)의 반도체 영역인 제7 영역(59B)과, 제2 도전형(n형)의 반도체 영역인 제8 영역(59C)을 포함한다. 이하, 각 반도체 영역에 대하여, 더 구체적으로 설명한다.

[0622] 제3 영역(59A)은, 제4 면(S4)에 면하고 있다. 실리콘 커버막(65)은, 제4 면(S4)에 적층되어 있다. 제3 영역(59A)은, 부의 고정 전하를 갖는 절연막인 실리콘 커버막(65)(이하, 고정 전하막(65)이라고 칭함)에 의해, 정공이 제4 면(S4) 근방에 모여 있는 영역, 즉 정공 축적 영역이다. 제4 영역(w1)은, 제3 면(S3)에 면하고 있다. 제4 영역(w1)은 n형의 웰 영역이고, 제4 영역(w1) 내에는 p채널 도전형의 전계 효과 트랜지스터인 트랜지스터 T2-1(제2 트랜지스터, PMOS)이 마련되어 있다. 트랜지스터 T2-1은, 게이트 전극 G와, p형의 소스 영역과, p형의 드레인 영역을 갖는다. 제5 영역(w2)은, 제3 면(S3)에 면하고 있다. 제5 영역(w2)은, 제4 영역(w1)으로부

터 수평 방향으로 이격된 위치에 마련되어 있다. 제5 영역(w2)은 p형의 웰 영역이고, 제5 영역(w2) 내에는 n채널 도전형의 전계 효과 트랜지스터인 트랜지스터 T2-2(제3 트랜지스터, NMOS)가 마련되어 있다. 트랜지스터 T2-2는, 게이트 전극 G와, n형의 소스 영역과, n형의 드레인 영역을 갖는다. 제6 영역(w3)은, 제2 반도체층(50)의 두께 방향의 깊은 위치에 마련된 n형의 웰 영역이고, 제3 영역(59A)과 제5 영역(w2)을 전기적으로 분리하고 있다. 제6 영역(w3)에 의해, 제3 영역(59A)과 제5 영역(w2) 사이에서 정공이 흐르는 것을 억제할 수 있다. 또한, 트랜지스터 T2-1, T2-2의 게이트 전극 G는, 제2 배선층(40)에 마련되어 있다.

[0623] 제7 영역(59B)은, 제1 고정 전하막(47A)의 외주면을 덮는 위치에 있다. 제7 영역(59B)은, 정공이 제1 고정 전하막(47A)의 근방에 모여 있는 영역, 즉 정공 축적 영역이다. 제8 영역(59C)은, 제2 고정 전하막(47B)의 외주면을 덮는 위치에 있다. 제8 영역(59C)은, 전자가 제2 고정 전하막(47B)의 근방에 모여 있는 영역, 즉 전자 축적 영역이다. 제8 영역(59C)은, 제6 영역(w3)과 동일한 도전형(본 실시 형태에서는 n형)을 나타내고, 제6 영역(w3)과 함께, 제3 영역(59A)과 제5 영역(w2)을 전기적으로 분리하고 있다. 더 구체적으로는, 제6 영역(w3)은 수평 방향에 있어서 제8 영역(59C)과 연속되어 있으므로, 제8 영역(59C)은 제6 영역(w3)과 함께, 제3 영역(59A)과 제5 영역(w2)을 전기적으로 분리하고 있다.

[0624] 또한, 제2 반도체층(50)에 있어서, p형의 반도체 영역과 n형의 반도체 영역의 경계에, 공핍층 DL이 형성되어 있다. 예를 들어, 제4 영역(w1)과 p형의 반도체 영역의 경계에 공핍층 DL이 형성되어 있다. 또한, 제5 영역(w2)과 n형의 반도체 영역의 경계에 공핍층 DL이 형성되어 있다. 또한, 제6 영역(w3)과 p형의 반도체 영역의 경계에 공핍층 DL이 형성되어 있다.

[0625] <제2 도체>

[0626] 도 85에는, 3개의 제2 도체(52)를 예시하고 있다. 제2 도체(52)는, 1개의 제2 도체(52)인 제5 도체(52-1)와, 다른 1개의 제2 도체(52)인 제6 도체(52-2)와, 제2 도체(52-3)를 포함한다. 이들 3개의 제2 도체(52)를 서로 구별하지 않는 경우는, 단순히 제2 도체(52)라고 칭한다. 또한, 제2 반도체층(50)의 제3 면(S3)측 근처의 부분에는, 쉘로우 트렌치 분리(Shallow Trench Isolation) STI가 마련되어 있고, 제2 도체(52)는, 쉘로우 트렌치 분리 STI를 관통하고 있다.

[0627] 제2 도체(52)를 구성하는 재료로서, 고융점 금속을 들 수 있다. 고융점 금속으로서는, 예를 들어 텅스텐(W), 코발트(Co), 루테늄(Ru) 또는 그것들의 적어도 하나를 포함한 금속 재료를 들 수 있다. 본 실시 형태에서는, 제2 재료로서, 이것에 한정되지는 않지만, 예를 들어 텅스텐을 사용한다.

[0628] 제5 도체(52-1)는, 제3 영역(59A) 및 제4 영역(w1)을 관통하고 있다. 즉, 평면으로 보아 제3 영역(59A)과 제4 영역(w1)이 겹치는 위치에 마련되어 있다. 더 구체적으로는, 제5 도체(52-1)는, 제3 영역(59A), 도면 중에서 p-sub로 나타내는 영역 및 제4 영역(w1)을 관통하고 있다. 즉, 평면으로 보아 제3 영역(59A)과, 도면 중에서 p-sub와 나타내는 영역과, 제4 영역(w1)이 겹치는 위치에 마련되어 있다. 제5 도체(52-1)의 제3 면(S3)측의 단부는, 제1 도전형(p형)의 반도체 기판 p-sub에 마련된 트랜지스터 T2-1에 전기적으로 접속되어 있다. 더 구체적으로는, 제5 도체(52-1)의 제3 면(S3)측의 단부는, 배선(42) 및 비아(44)를 통해 트랜지스터 T2-1이 갖는 게이트 전극 G에 전기적으로 접속되어 있다. 제5 도체(52-1)의 제4 면(S4)측의 단부는, 배선(62)에 접속되어 있다.

[0629] 제6 도체(52-2)는, 제3 영역(59A), 제6 영역(w3) 및 제5 영역(w2)을 관통하고 있다. 즉, 평면으로 보아 제3 영역(59A)과 제6 영역(w3)과 제5 영역(w2)이 겹치는 위치에 마련되어 있다. 제6 도체(52-2)의 제3 면(S3)측의 단부는, 제1 도전형(p형)의 반도체 기판 p-sub에 마련된 트랜지스터 T2-2에 전기적으로 접속되어 있다. 더 구체적으로는, 제6 도체(52-2)의 제3 면(S3)측의 단부는, 배선(42) 및 비아(44)를 통해 트랜지스터 T2-2가 갖는 게이트 전극 G에 전기적으로 접속되어 있다. 제6 도체(52-2)의 제4 면(S4)측의 단부는, 배선(62)에 접속되어 있다. 제2 도체(52-3)는, 기준 전위(예를 들어, 그라운드)에 전기적으로 접속되어 있다.

[0630] <고정 전하막>

[0631] 제5 도체(52-1)의 외주면에는, 제1 고정 전하막(47A)이 마련되어 있다. 더 구체적으로는, 제1 고정 전하막(47A)은, 제5 도체(52-1)의 외주면을 덮도록 마련되어 있다. 제1 고정 전하막(47A)이 제5 도체(52-1)의 외주면을 덮도록 마련되어 있는 것은, 제5 도체(52-1)의 외주면에 직접 마련되는 것과, 제5 도체(52-1)의 외주면에 절연막(41m)을 통해 간접적으로 마련되는 것의 양쪽을 포함한다.

[0632] 또한, 제2 도체(52-3)의 외주면에도, 제1 고정 전하막(47A)이 마련되어 있다. 더 구체적으로는, 제1 고정 전하막(47A)은, 제2 도체(52-3)의 외주면을 덮도록 마련되어 있다. 제1 고정 전하막(47A)이 제2 도체(52-3)의 외주

면을 덮도록 마련되어 있는 것은, 제2 도체(52-3)의 외주면에 직접 마련되는 것과, 제2 도체(52-3)의 외주면에 절연막(41m)을 통해 간접적으로 마련되는 것의 양쪽을 포함한다.

[0633] 제1 고정 전하막(47A) 및 고정 전하막(65)은, 부의 고정 전하를 갖는 절연막이다. 더 구체적으로는, 제1 도전형이 p형(반도체 기판이 p형)인 경우에는, 제1 고정 전하막(47A) 및 고정 전하막(65)이 부의 고정 전하막이다. 부의 고정 전하를 갖는 절연막을, 부의 고정 전하막이라고 칭한다. 부의 고정 전하막을 구성하는 재료로서, 이것에 한정되지는 않지만, 예를 들어 산화알루미늄(Al_2O_3), 산화하프늄(Hf_2O_3) 및 산화탄탈(Ta_2O_3) 등의 금속 산화막(절연막)을 들 수 있다. 여기서는, 제1 고정 전하막(47A)과 고정 전하막(65)의 양쪽 모두 동일한 재료로 구성되어 있다고 하고 설명하지만, 서로 다른 재료로 구성되어 있어도 된다. 본 실시 형태에서는, 제1 고정 전하막(47A) 및 고정 전하막(65)은, 이것에 한정되지는 않지만, 예를 들어 산화알루미늄에 의해 구성되어 있다고 하고, 설명한다.

[0634] 제6 도체(52-2)의 외주면에는, 제2 고정 전하막(47B)이 마련되어 있다. 더 구체적으로는, 제2 고정 전하막(47B)은, 제6 도체(52-2)의 외주면을 덮도록 마련되어 있다. 제2 고정 전하막(47B)이 제6 도체(52-2)의 외주면을 덮도록 마련되어 있는 것은, 제6 도체(52-2)의 외주면에 직접 마련되는 것과, 제6 도체(52-2)의 외주면에 절연막(41m)을 통해 간접적으로 마련되는 것의 양쪽을 포함한다.

[0635] 제2 고정 전하막(47B)은, 정의 고정 전하를 갖는 절연막이다. 더 구체적으로는, 제1 도전형이 p형(반도체 기판이 p형)인 경우에는, 제2 고정 전하막(47B)이 정의 고정 전하막이다. 정의 고정 전하를 갖는 절연막을, 정의 고정 전하막이라고 칭한다. 정의 고정 전하막을 구성하는 재료로서, 이것에 한정되지는 않지만, 예를 들어 산질화실리콘(SiON), 탄소 함유 산화실리콘(SiOC), 질화실리콘(SiN) 및 산화실리콘(SiO_2) 등을 들 수 있다. 본 실시 형태에서는, 제2 고정 전하막(47B)은, 이것에 한정되지는 않지만, 예를 들어 질화실리콘에 의해 구성되어 있다고 하고, 설명한다.

[0636] ≪광 검출 장치의 제조 방법≫

[0637] 이하, 도 86a부터 도 86e까지를 참조하여, 광 검출 장치(1)의 제조 방법에 대하여 설명한다. 여기서는, 제5 도체(52-1) 및 제6 도체(52-2)의 제조 방법을 중심으로 설명한다. 먼저, 도 86a에 나타낸 바와 같이, 공지의 방법을 사용하여, 제2 반도체층(50w)에, 제4 영역(w1), 제5 영역(w2) 및 제6 영역(w3) 등의 반도체 영역을 형성한다. 그리고, 제2 반도체층(50w)의 제3 면(S3)측에, 공지의 방법을 사용하여, 쉘로우 트렌치 분리 STI 및 트랜지스터 T2-1, T2-2 등을 형성한다. 그 후, 제3 면(S3)측에 절연막(41)을 적층하고, 평면으로 보아 제6 도체(52-2)를 형성하는 위치에 구멍(53B)을 형성한다. 구멍(53B)은, 제2 반도체층(50w)의 두께 방향에 있어서, 쉘로우 트렌치 분리 STI, 제5 영역(w2) 및 제6 영역(w3)을 관통하여, 도면 중에서 p-sub와 나타내는 영역 내에 이르고 있다.

[0638] 이어서, 도 86b에 나타낸 바와 같이, 구멍(53B)의 내벽의 노출면에, 정의 고정 전하막인 제2 고정 전하막(47B)을 구성하는 재료(질화실리콘)와, 절연막(41m)과, 제6 도체(52-2)를 구성하는 재료(텅스텐)를 그 순서로 퇴적시키고, 여분의 부분을 CMP법에 의해 제거한다. 그리고, 이와 같이 하여 형성된 제2 고정 전하막(47B)의 외주에는 전자가 모이고, 전자 축적 영역인 제8 영역(59C)이 형성된다.

[0639] 그 후, 제5 도체(52-1)에 대해서도, 제6 도체(52-2)와 마찬가지로 형성한다. 더 구체적으로는, 도 86c에 나타낸 바와 같이, 먼저, 평면으로 보아 제5 도체(52-1)를 형성하는 위치에 구멍(53A)을 형성한다. 구멍(53A)은, 제2 반도체층(50w)의 두께 방향에 있어서, 쉘로우 트렌치 분리 STI 및 제4 영역(w1)을 관통하여, 도면 중에서 p-sub라고 나타내는 영역 내에 이르고 있다. 그리고, 구멍(53A)의 내벽의 노출면에, 부의 고정 전하막인 제1 고정 전하막(47A)을 구성하는 재료(산화알루미늄)와, 절연막(41m)과, 제5 도체(52-1)를 구성하는 재료(텅스텐)를 그 순서로 퇴적시키고, 여분의 부분을 CMP법에 의해 제거한다. 그리고, 이와 같이 하여 형성된 제1 고정 전하막(47A)의 외주에는 정공이 모이고, 정공 축적 영역인 제7 영역(59B)이 형성된다. 또한, 도시는 생략하고 있지만, 제2 도체(52-3)는, 제5 도체(52-1)와 동일한 재료로 동일한 공정에 의해 형성된다. 즉, 제2 도체(52-3)는, 제5 도체(52-1)와 동시에 형성된다.

[0640] 이어서, 도 86d에 나타낸 바와 같이, 백 그라인딩, CMP법, 케미컬 건식 에칭 등에 의해, 제3 면(S3)측과는 반대측으로부터 제2 반도체층(50w)을 박육화한다. 그리고, 이에 의해, 제5 도체(52-1), 제6 도체(52-2) 및 도시하지 않은 제2 도체(52-3)의 단부를 제4 면(S4)으로부터 돌출시킨다. 제4 면(S4)으로부터 제5 도체(52-1), 제6 도체(52-2) 및 제2 도체(52-3)가 돌출된 단부에 있어서, 제1 고정 전하막(47A) 및 제2 고정 전하막(47B)은, 에칭되었다고 해도 약간이다.

[0641] 그 후, 도 86e에 나타낸 바와 같이, 제4 면(S4)에 고정 전하막(65)을 퇴적한다. 그리고, 고정 전하막(65)(제4 면(S4))의 근방에는 정공이 모이고, 정공 축적 영역인 제3 영역(59A)이 형성된다. 이 후의 공정은 공지의 방법으로 행하면 되므로, 그 설명은 생략한다.

[0642] ≪제10 실시 형태의 주된 효과≫

[0643] 이하, 제10 실시 형태의 주된 효과를 설명하지만, 그 전에 도 87에 나타내는 종래예에 대하여 설명한다. 도 87에 나타내는 종래예에서는, 제1 고정 전하막(47A) 및 제2 고정 전하막(47B)은 마련되어 있지 않다. 일반적으로, 에칭에 의해 구멍(53A), 구멍(53B) 및 구멍(53C)을 제2 반도체층(50)에 형성하면, 제2 반도체층(50)의 가공면 근방(즉, 구멍(53A), 구멍(53B) 및 구멍(53C)의 주위)에는 결함이 발생해 버린다. 더 구체적으로는, 도면 중에 "X"로 나타내는 위치에, 제5 도체(52-1), 제6 도체(52-2) 및 제2 도체(52-3)의 주위의 반도체층에 결함이 발생해 버린다. 특히, 제5 도체(52-1) 및 제6 도체(52-2)에 대해서는, 결함이 발생한 영역에 공핍층 DL이 발생하고 있다. 그 때문에, 결함 부분에 발생한 공핍층 DL로부터 용출된 전자가 p형의 반도체 영역으로 누설 전류로서 흐를 가능성이 있었다.

[0644] 이에 비해, 본 기술의 제10 실시 형태에 관한 광 검출 장치(1)에서는, 제5 도체(52-1)의 외주면을 덮도록 마련된 부의 고정 전하막인 제1 고정 전하막(47A)과, 제6 도체(52-2)의 외주면을 덮도록 마련된 정의 고정 전하막인 제2 고정 전하막(47B)을 갖는다. 그 때문에, 제1 고정 전하막(47A)의 외주면을 덮도록, 정공 축적 영역인 제7 영역(59B)이 형성된다. 이에 의해, 제2 반도체층(50)의 가공면 근방의 결함이 발생한 영역에 공핍층 DL이 발생하는 것을 억제할 수 있어, 누설 전류가 흐르는 것을 억제할 수 있다. 또한, 제2 고정 전하막(47B)의 외주면에 모인 전자에 의해, 제2 고정 전하막(47B)의 외주면을 덮도록, 전자 축적 영역인 제8 영역(59C)이 형성된다. 이에 의해, 제2 반도체층(50)의 가공면 근방의 결함이 발생한 영역에 공핍층 DL이 발생하는 것을 억제할 수 있어, 누설 전류가 흐르는 것을 억제할 수 있다.

[0645] 또한, 본 기술의 제10 실시 형태에 관한 광 검출 장치(1)의 제2 반도체층(50)에서는, 제6 도체(52-2)가, p형의 반도체 영역인 제3 영역(59A), n형의 반도체 영역인 제6 영역(w3) 및 p형의 반도체 영역인 제5 영역(w2)을 관통하여, n형의 반도체 영역이고 또한 제2 고정 전하막(47B)의 외주면을 덮고 있는 제8 영역(59C)을 포함한다. 제8 영역(59C)의 도전형이 제6 영역(w3)과 동일한 도전형(n형)이므로, 제8 영역(59C)은 제6 영역(w3)과 함께, p형의 반도체 영역인 제3 영역(59A)과 제5 영역(w2) 사이에 개재함으로써 양자를 전기적으로 분리할 수 있다. 이에 의해, 제3 영역(59A)과 제5 영역(w2) 사이에 누설 전류가 흐르는 것을 억제할 수 있다.

[0646] 또한, 상술한 제10 실시 형태에 관한 광 검출 장치(1)에서는, 공정수가 증가하는 것을 억제하기 위해, 제2 도체(52-3)를 제5 도체(52-1)와 동시에 형성하고 있었지만, 본 기술은 이것에 한정되지는 않는다. 제2 도체(52-3)와 제5 도체(52-1)를 따로따로 형성해도 된다. 그 경우, 제2 도체(52-3)의 외주면에는, 제1 고정 전하막(47A)과 절연막(41m) 중 절연막(41m)만을 마련해도 된다. 제2 도체(52-3)는, 도 85 및 도 87에 나타낸 바와 같이, 제1 도전형(p형)의 반도체 영역과 제2 도전형(n형)의 반도체 영역 중, 제1 도전형(p형)의 반도체 영역만을 관통하고 있기 때문에, 반도체층의 결함 부분에 공핍층이 발생하지 않기 때문이다.

[0647] 또한, 상술한 제10 실시 형태에 관한 광 검출 장치(1)에서는, 전자 축적 영역인 제8 영역(59C) 중 제4 면(S4) 부근의 부분은, 부의 고정 전하막(65)의 영향을 받아 n화 효과가 약해지는 경우도 있을 수도 있다. 그러나, 제8 영역(59C) 중 제4 면(S4) 부근의 부분은, 구멍(53B)의 저면 근처의 부분이다. 그리고, 구멍(53B)의 저면은, 다른 부분에 비해, 에칭 시에 충돌하는 이온의 수가 적어, 구멍(53B)의 저면 근방의 반도체층의 결함도 적게 되어 있다고 생각된다. 또한, 제8 영역(59C) 중 제4 면(S4) 부근의 부분 n화 효과가 약해졌다고 해도, p형의 반도체 영역인 제3 영역(59A)과 제5 영역(w2)을 전기적으로 분리할 수 있으면 된다.

[0648] 또한, 상술한 제10 실시 형태에 관한 광 검출 장치(1)에서는, 제2 고정 전하막(47B)을 마련함으로써 전자 축적 영역인 제8 영역(59C)을 형성하고 있었지만, 본 기술은 이것에 한정되지는 않는다. 구멍(53B) 내를 메우기 전에, 구멍(53B)의 노출면에 대하여, 이온 주입, 예를 들어 플라스마 이온 주입에 의해 불순물을 주입하여, 제8 영역(59C)을 형성해도 된다. 또한, 구멍(53B)의 노출면에 대하여, 고상 확산에 의해 불순물을 주입하여, 제8 영역(59C)을 형성해도 된다.

[0649] 또한, 상술한 제10 실시 형태에 관한 광 검출 장치(1)에서는, 제5 도체(52-1)의 제3 면(S3)측의 단부는, 배선(42) 및 비아(44)를 통해 트랜지스터 T2-1이 갖는 게이트 전극 G에 전기적으로 접속되어 있었지만, 본 기술은 이것에 한정되지는 않는다. 제5 도체(52-1)의 제3 면(S3)측의 단부는, 트랜지스터 T2-1이 갖는 소스 영역 또는 드레인 영역에 전기적으로 접속되어 있어도 된다. 마찬가지로, 제6 도체(52-2)의 제3 면(S3)측의 단부는, 배선

(42) 및 비아(44)를 통해 트랜지스터 T2-2가 갖는 게이트 전극 G에 전기적으로 접속되어 있었지만, 본 기술은 이것에 한정되지는 않는다. 제6 도체(52-2)의 제3 면(S3)측의 단부는, 트랜지스터 T2-2가 갖는 소스 영역 또는 드레인 영역에 전기적으로 접속되어 있어도 된다.

[0650] ≪제10 실시 형태의 변형예≫

[0651] 이하, 제10 실시 형태의 변형예에 대하여 설명한다.

[0652] <변형예 1>

[0653] 상술한 제10 실시 형태에 관한 광 검출 장치(1)에서는, 제1 도전형이 p형이고, 제2 도전형이 n형이었지만, 도88에 나타내는 제10 실시 형태의 변형예 1에 관한 광 검출 장치(1)에서는, 제1 도전형이 n형이고, 제2 도전형이 p형이다. 또한, 제10 실시 형태에 관한 광 검출 장치(1)와 공통의 부분은 그 설명을 생략하고 있다. 또한, 이하에 설명하지 않는 부분이라도, 제10 실시 형태에 있어서, n형을 p형, p형을 n형, 정을 부, 부를 정, 등, 각종 대체를 행하여 본 변형예에 적용할 수 있는 것은, 물론이다.

[0654] (제2 반도체층)

[0655] 제2 반도체층(50)은, 제1 도전형(n형)의 반도체 기판 n-sub로 형성된 반도체층이다. 제2 반도체층(50)은, 제1 도전형(n형)의 반도체 기판 n-sub에, p형의 반도체 영역 및 n형의 반도체 영역을 형성한 반도체층이다. 제2 반도체층(50)은, 이것에 한정되지는 않지만, 예를 들어 제1 도전형(n형)의 반도체 영역이고 또한 제2 반도체층(50)의 두께 방향에 있어서 제4 면(S4)측에 위치하는 제3 영역(59A)과, 제2 도전형(p형)의 반도체 영역이고 또한 제2 반도체층(50)의 두께 방향에 있어서 제3 면(S3)측에 위치하는 제4 영역(w1)과, 제1 도전형(n형)의 반도체 영역이고 또한 제2 반도체층(50)의 두께 방향에 있어서 제3 면(S3)측에 위치하는 제5 영역(w2)과, 제2 도전형(p형)의 반도체 영역이고 또한 제3 영역(59A)과 제5 영역(w2) 사이에 위치하는 제6 영역(w3)과, 제1 도전형(n형)의 반도체 영역인 제7 영역(59B)과, 제2 도전형(p형)의 반도체 영역인 제8 영역(59C)을 포함한다. 이하, 각 반도체 영역에 대하여, 더 구체적으로 설명한다.

[0656] 제3 영역(59A)은, 정의 고정 전하를 갖는 절연막인 고정 전하막(65)에 의해, 전자가 제4 면(S4) 근방에 모여 있는 영역, 즉 전자 축적 영역이다. 제4 영역(w1)은 p형의 웰 영역이고, 제4 영역(w1) 내에는 n 채널 도전형의 전계 효과 트랜지스터인 트랜지스터 T2-1(제2 트랜지스터, NMOS)이 마련되어 있다. 제5 영역(w2)은 n형의 웰 영역이고, 제5 영역(w2) 내에는 p채널 도전형의 전계 효과 트랜지스터인 트랜지스터 T2-2(제3 트랜지스터, PMOS)가 마련되어 있다. 제6 영역(w3)은, 제2 반도체층(50)의 두께 방향의 깊은 위치에 마련된 p형의 웰 영역이고, 제3 영역(59A)과 제5 영역(w2)을 전기적으로 분리하고 있다. 제6 영역(w3)에 의해, 제3 영역(59A)과 제5 영역(w2) 사이에서 전자가 흐르는 것을 억제할 수 있다.

[0657] 제7 영역(59B)은, 후술하는 정의 고정 전하막인 제1 고정 전하막(47A)의 외주에 위치하여, 제1 고정 전하막(47A)의 외주면을 덮고 있다. 제7 영역(59B)은, 전자가 제1 고정 전하막(47A)의 근방에 모여 있는 영역, 즉 전자 축적 영역이다. 제8 영역(59C)은 후술하는 부의 고정 전하막인 제2 고정 전하막(47B)의 외주에 위치하여, 제2 고정 전하막(47B)의 외주면을 덮고 있다. 제8 영역(59C)은, 정공이 제2 고정 전하막(47B)의 근방에 모여 있는 영역, 즉 정공 축적 영역이다. 제8 영역(59C)은, 제6 영역(w3)과 동일한 도전형(본 변형예에서는 p형)을 나타내고, 제6 영역(w3)과 함께, 제3 영역(59A)과 제5 영역(w2)을 전기적으로 분리하고 있다. 더 구체적으로는, 제6 영역(w3)은 수평 방향에 있어서 제8 영역(59C)과 연속되어 있으므로, 제8 영역(59C)은 제6 영역(w3)과 함께, 제3 영역(59A)과 제5 영역(w2)을 전기적으로 분리하고 있다.

[0658] (제2 도체)

[0659] 제5 도체(52-1)의 제3 면(S3)측의 단부는, 제1 도전형(n형)의 반도체 기판 n-sub에 마련된 트랜지스터 T2-1에 전기적으로 접속되어 있다. 더 구체적으로는, 제5 도체(52-1)의 제3 면(S3)측의 단부는, 배선(42) 및 비아(44)를 통해 트랜지스터 T2-1이 갖는 게이트 전극 G에 전기적으로 접속되어 있다. 또한, 제6 도체(52-2)의 제3 면(S3)측의 단부는, 제1 도전형(n형)의 반도체 기판 n-sub에 마련된 트랜지스터 T2-2에 전기적으로 접속되어 있다. 더 구체적으로는, 제6 도체(52-2)의 제3 면(S3)측의 단부는, 배선(42) 및 비아(44)를 통해 트랜지스터 T2-2가 갖는 게이트 전극 G에 전기적으로 접속되어 있다.

[0660] (고정 전하막)

[0661] 제1 고정 전하막(47A) 및 고정 전하막(65)은 정의 고정 전하막이다. 그리고, 제2 고정 전하막(47B)은 부의 고정 전하막이다. 제1 도전형이 n형(반도체 기판이 n형)인 경우에는, 제1 고정 전하막(47A) 및 고정 전하막(65)

이 정의 고정 전하막이고, 제2 고정 전하막(47B)이 부의 고정 전하막이다.

[0662] 이 제10 실시 형태의 변형예 1에 관한 광 검출 장치(1)라도, 상술한 제10 실시 형태에 관한 광 검출 장치(1)와 마찬가지의 효과가 얻어진다.

[0663] <변형예 2>

[0664] 상술한 제10 실시 형태에 관한 광 검출 장치(1)에서는, 제1 고정 전하막(47A) 및 고정 전하막(65)이 부의 고정 전하막이고, 제2 고정 전하막(47B)이 정의 고정 전하막이었지만, 도 89에 나타내는 제10 실시 형태의 변형예 2에 관한 광 검출 장치(1)에서는, 제1 고정 전하막(47A), 고정 전하막(65) 및 제2 고정 전하막(47B) 모두가 부의 고정 전하막이다.

[0665] 또한, 제10 실시 형태에 관한 광 검출 장치(1)와 공통의 부분은 그 설명을 생략하고 있다. 또한, 이하에 설명하지 않는 부분이라도, 제10 실시 형태에 있어서, n형을 p형, p형을 n형, 정을 부, 부를 정, 등, 각종 대체를 행하여 본 변형예에 적용할 수 있는 것은 물론이다.

[0666] 제1 고정 전하막(47A), 고정 전하막(65) 및 제2 고정 전하막(47B) 모두는, 부의 고정 전하막이다. 제8 영역(59C)은, 제2 고정 전하막(47B)의 외주에 위치하여, 제2 고정 전하막(47B)의 외주면을 덮고 있다. 제8 영역(59C)은, 정공이 제2 고정 전하막(47B)의 근방에 모여 있는 영역, 즉 정공 축적 영역이다. 이에 의해, 제2 반도체층(50)의 가공면 근방의 결함이 발생한 영역에 공핍층 DL이 발생하는 것을 억제할 수 있어, 누설 전류가 흐르는 것을 억제할 수 있다.

[0667] 또한, 제8 영역(59C)은, 제3 영역(59A) 및 제5 영역(w2)과 동일한 도전형이므로, 제3 영역(59A)과 제5 영역(w2)이 제8 영역(59C)을 통해 전기적으로 접속되어 있다.

[0668] 이 제10 실시 형태의 변형예 2에 관한 광 검출 장치(1)라도, 상술한 제10 실시 형태에 관한 광 검출 장치(1)와 마찬가지로, 제2 반도체층(50)의 가공면 근방의 결함이 발생한 영역에 공핍층 DL이 발생하는 것을 억제할 수 있어, 공핍층 DL로부터 누설 전류가 흐르는 것을 억제할 수 있다.

[0669] [제11 실시 형태]

[0670] 도 90a부터 도 90c까지 나타내는 본 기술의 제11 실시 형태에 대하여, 이하에 설명한다. 본 제11 실시 형태에 관한 광 검출 장치(1)가 상술한 제1 실시 형태에 관한 광 검출 장치(1)와 상이한 것은, 제2 도체(52) 대신에 제2 도체(52D)를 갖는 점이고, 그 이외의 광 검출 장치(1)의 구성은, 기본적으로 상술한 제1 실시 형태의 광 검출 장치(1)와 마찬가지의 구성으로 되어 있다. 또한, 이미 설명한 구성 요소에 대해서는, 동일한 부호를 붙여 그 설명을 생략한다.

[0671] ≪광 검출 장치의 구성≫

[0672] 이하, 본 기술의 제11 실시 형태에 관한 광 검출 장치(1)의 구성에 대하여, 상술한 제1 실시 형태에 관한 광 검출 장치(1)의 구성과 다른 부분을 중심으로 설명한다. 또한, 본 제11 실시 형태를 설명하는 도면에 있어서는, 동일한 구성 요소라도 도면간에 있어서 축척이 다르게 그려져 있는 경우가 있다. 또한, 본 제11 실시 형태를 설명하는 도면에 있어서는, 배리어 메탈층의 도시를 생략하고 있다.

[0673] <제2 도체>

[0674] 도 90a에 나타낸 바와 같이, 하나의 제2 도체(52D)는, 제2 반도체층(50)의 두께 방향에 있어서, 제3 면(S3) 근처에 위치하고 있는 제7 도체(52D1)와, 제4 면(S4) 근처에 위치하고 있는 제8 도체(52D2)를 갖고 있다. 도 90b에 나타낸 바와 같이, 제7 도체(52D1)의 제4 면(S4) 근처의 단부인 제1 단부(D1a)는, 제8 도체(52D2)의 제3 면(S3) 근처의 단부인 제2 단부(D2a)에, 제2 반도체층(50) 내에서 접속되어 있다.

[0675] 제2 반도체층(50)의 두께 방향에 있어서, 제7 도체(52D1)의 직경은, 제1 단부(D1a)에 근접함에 따라 서서히 작아지고 있고, 제8 도체(52D2)의 직경은, 제2 단부(D2a)에 근접함에 따라 서서히 작아지고 있다. 즉, 제7 도체(52D1)와 제8 도체(52D2)는, 제2 반도체층(50)의 두께 방향에 있어서의 단부 중, 작은 쪽의 단부끼리가 접속되어 있다. 이것은, 후술하는 제조 방법에서 더 상세하게 설명하지만, 제7 도체(52D1)는 제3 면(S3)측으로부터 형성되고, 제8 도체(52D2)는 제4 면(S4)측으로부터 형성되고, 양자는 제2 반도체층(50) 내에서 서로 접속되기 때문이다.

[0676] 또한, 제2 반도체층(50)의 두께 방향에 있어서의 제4 면(S4)의 위치에서의 제8 도체(52D2)의 직경 D2S4는, 제3

면(S3)의 위치에서의 제7 도체(52D1)의 직경 D1S3보다 크다. 제2 반도체층(50)의 제3 면(S3)측과 제4 면(S4)측을 비교하면, 도 90a에 나타낸 바와 같이, 제3 면(S3)측에는 제4 면(S4)측보다 많은 구조물이 마련되어 있다. 더 구체적으로는, 제3 면(S3)측에는 트랜지스터 T2, 제2 도체(52D) 등의 소자나 구조물이 마련되어 있는 것에 비해, 제4 면(S4)측에는, 제2 도체(52D)는 마련되어 있지만, 트랜지스터 T2 등의 소자는 마련되어 있지 않다. 제3 면(S3)측에는, 이것에 한정되지는 않지만, 예를 들어 하나의 화소(3)(광전 변환 영역(20a))마다 도 3에 나타내는 읽어내기 회로(15) 및 제7 도체(52D1)가 마련되어 있지만, 제4 면(S4)측에는, 이것에 한정되지는 않지만, 예를 들어 제8 도체(52D2)만이 마련되어 있다. 그 때문에, 제4 면(S4)측의 디자인 룰은, 제3 면(S3)측의 디자인 룰보다 크다. 이 때문에, 제8 도체(52D2)의 쪽이 제7 도체(52D1)보다 디자인 룰의 제약을 받기 어렵고, 도 90b에 나타낸 바와 같이, 직경 D2S4를 직경 D1S3보다 크게 마련할 수 있다. 또한, 제1 단부(D1a)와 제2 단부(D2a)의 접합 위치는, 제2 반도체층(50)의 두께 방향에 있어서, 제3 면(S3)측과 제4 면(S4)측 중 제3 면(S3)측 근처에 위치하고 있다. 제7 도체(52D1)와 제8 도체(52D2) 중, 디자인 룰의 제약이 적은 쪽의 도체를, 직경이 굵고 길이가 길게(깊게) 마련하고 있다.

[0677] 제2 도체(52D)는, 금속에 의해 구성되어 있다. 제2 도체(52D)를 구성하는 재료로서, 예를 들어, 텅스텐, 루테늄, 알루미늄 및 구리 등을 들 수 있다. 본 실시 형태에서는, 제2 도체(52D)가 텅스텐에 의해 구성되어 있다고 하고, 설명한다.

[0678] 도 90a에 나타낸 바와 같이, 제2 도체(52D)와 제2 반도체층(50) 사이는, 제2 도체(52D)의 외주면에 마련된 절연막 iso에 의해 절연되어 있다. 절연막 iso는, 주로 제7 도체(52D1)의 외주면에 마련된 절연막(41m)과, 주로 제8 도체(52D2)의 외주면에 마련된 절연막(61m7)을 포함한다. 절연막 iso는, 이것에 한정되지는 않지만, 예를 들어 산화실리콘에 의해 구성되어 있다.

[0679] 도 90c는, 제7 도체(52D1)와 제8 도체(52D2)의 접합 위치에 있어서, 제7 도체(52D1)와, 제8 도체(52D2)와, 절연막 iso의 평면으로 본 치수 관계를 나타내는 설명도이다. 더 구체적으로는, 도 90c는, 제7 도체(52D1)의 제1 단부(D1a)와, 제8 도체(52D2)의 제2 단부(D2a)와, 절연막 iso의 평면으로 본 치수 관계를 나타내고 있다. 제2 단부(D2a)의 직경 D2ad는, 제1 단부(D1a)의 직경 D1ad와는 다르다. 더 구체적으로는, 제2 단부(D2a)의 직경 D2ad는, 제1 단부(D1a)의 직경 D1ad보다 크다. 또한, 직경 D1ad 및 직경 D2ad를, 도 90b에 나타내는 직경 D1S3 및 직경 D2S4와 비교하면, 직경 D1S3은 직경 D1ad보다 크고, 직경 D2S4는 직경 D2ad보다 크다.

[0680] 또한, 도 90b에 나타낸 바와 같이, 절연막 iso 중, 제1 단부(D1a) 및 제2 단부(D2a) 중 직경이 작은 쪽의 단부의 외주면에 마련된 부분의 두께는, 제7 도체(52D1) 및 제8 도체(52D2) 중 당해 작은 쪽의 단부를 갖는 쪽의 도체의 당해 작은 쪽의 단부 이외의 외주면에 마련된 부분의 두께보다 두껍다. 본 실시 형태에 있어서는, 제1 단부(D1a) 및 제2 단부(D2a) 중 직경이 작은 쪽의 단부는 제1 단부(D1a)이다. 그리고, 절연막 iso 중, 제1 단부(D1a)의 외주면에 마련된 부분의 두께 dsio1은, 제7 도체(52D1) 중 제1 단부(D1a) 이외의 외주면에 마련된 부분의 두께 diso2보다 두껍다.

[0681] <트랜지스터>

[0682] 도 90a에 나타낸 바와 같이, 트랜지스터 T2는, FINFET형의 트랜지스터이다. FINFET형의 트랜지스터 T2에 대해서는, 이미 설명한 바와 같으므로, 여기서는 상세한 설명을 생략한다.

[0683] ≪광 검출 장치의 제조 방법≫

[0684] 이하, 도 91a부터 도 91f까지를 참조하여, 광 검출 장치(1)의 제조 방법에 대하여 설명한다. 여기서는, 제2 도체(52D)의 제조 방법을 중심으로 설명한다. 먼저, 도 91a에 나타낸 바와 같이, 제2 반도체층(50w)에, 제3 면(S3)측으로부터, 트랜지스터 T2 등을 형성한다. 그 후, 제2 반도체층(50w)에, 제3 면(S3)측으로부터, 제7 도체(52D1) 등을 형성한다. 더 구체적으로는, 공지의 리소그래피 기술 및 에칭 기술에 의해 구멍(53D)을 형성하고, 구멍(53D)의 내벽의 노출면에 절연막(41m)과 제7 도체(52D1)를 구성하는 재료(텅스텐)를 이 순서로 적층하고, 여분의 부분을 공지의 방법(예를 들어, CMP법)으로 제거하여, 제7 도체(52D1)를 얻는다. 여기서, 구멍(53D)은, 예를 들어 도 5b에 나타내는 구멍(53)보다 얕게 형성한다. 그것은, 후속 공정에서 설명하지만, 제4 면(S4)으로부터 제7 도체(52D1)의 단부를 노출시킬 필요가 없으므로, 구멍(53D)을 깊게 마련할 필요가 없기 때문이다. 그 후, 제2 배선층(40)을 완성시킨다. 그리고, 제2 배선층(40)이 적층된 제2 반도체층(50w)을 뒤집어 배치한다.

[0685] 이어서, 도 91b에 나타낸 바와 같이, 백 그라인딩 및 CMP법 등의 공지의 방법에 의해, 제3 면(S3)측과는 반대측으로부터 제2 반도체층(50w)을 연삭하여 박육화한다. 이에 의해, 제2 반도체층(50)에 상당하는 부분이 남겨진다. 그리고, 백 그라인딩 및 CMP법 등의 공지의 방법에 의해 평탄화된 제4 면(S4)을 얻는다. 제2 반도체층

(50w)을 연삭하는 양은, 제7 도체(52D1)를 노출시키지 않는 양이다. 제7 도체(52D1)의 제4 면(S4) 근처의 단부를 덮는 반도체층이 아직 남아 있는 상태에서, 제2 반도체층(50w)의 연삭을 종료한다. 이에 의해, 제7 도체(52D1)를 제4 면(S4)으로부터 노출시키지 않는다. 그 후, 제4 면(S4)에 절연막(61m6)을 적층한다. 또한, 제4 면(S4)에 실리콘 커버막(65) 등 다른 막을 적층하고 나서 절연막(61m6)을 적층해도 된다.

[0686] 그리고, 도 91c에 나타낸 바와 같이, 절연막(61m6)의 노출면에, 개구부 R7a를 갖는 레지스트 패턴 R7을 형성한다. 개구부 R7a는, 평면으로 보아, 제7 도체(52D1)(구멍(53D))에 대하여 위치 결정되어 있다. 더 구체적으로는, 개구부 R7a는, 평면으로 보아, 그 투영의 적어도 일부가 제7 도체(52D1)(구멍(53D))에 겹치는 위치에 마련되어 있다. 그리고, 개구부 R7a로부터 노출되는 부분을, 공지의 에칭 기술에 의해 에칭하여, 구멍(53E)을 얻는다. 구멍(53E)은, 절연막(61m6)을 관통하고, 평탄화된 제4 면(S4)을 관통하여 제2 반도체층(50w) 내로 진행되도록 형성된다. 그리고, 구멍(53E)의 저부에 제7 도체(52D1)의 제4 면(S4) 근처의 단부가 노출될 때까지, 에칭을 행한다. 또한, 제7 도체(52D1)의 단부의 노출량은 도 91c에 한정되지 않는다. 그 후, 레지스트 패턴 R7을 제거한다. 이에 의해, 평면으로 본 경우에 구멍(53E)의 투영의 적어도 일부가 구멍(53D)에 겹치도록, 구멍(53E)을 마련할 수 있다.

[0687] 이어서, 도 91d에 나타낸 바와 같이, 제8 도체(52D2)와 제2 반도체층(50) 사이를 절연하기 위한 절연막(61m7)을 적층한다. 그리고, 도 91e에 나타낸 바와 같이, 절연막(61m7)의 불필요한 부분을 에치 백에 의해 제거한다. 이에 의해, 구멍(53E)의 저부에 제7 도체(52D1)의 단부를 노출시킨다. 또한, 구멍(53E)의 측벽에는 절연막(61m7)이 남는다. 그 후, 도 91f에 나타낸 바와 같이, 구멍(53E)을 매립하도록 제8 도체(52D2)를 구성하는 재료(텅스텐)을 적층한다. 적층된 텅스텐은, 구멍(53E) 내에 있어서, 구멍(53E)의 저부에 노출된 제7 도체(52D1)의 단부와 접속된다. 이에 의해, 제1 단부(D1a)와 제2 단부(D2a)를 접속한다. 그리고, 에치 백, CMP법과 같은 공지의 방법으로 텅스텐의 여분의 부분을 제거하여, 제8 도체(52D2)를 얻는다. 이와 같이, 제8 도체(52D2)는, 제4 면(S4)을 평탄화한 후에 제4 면(S4)측으로부터 형성되어 있다. 이 후의 공정은 공지의 방법으로 행하면 되기 때문에, 그 설명은 생략한다.

[0688] ≪제11 실시 형태의 주된 효과≫

[0689] 이하, 제11 실시 형태의 주된 효과를 설명하지만, 그 전에 종래예에 대하여 설명한다. 제2 도체(52)는, 화소(3)마다 마련되어, 트랜지스터 T2끼리 사이의 좁은 영역에 마련되는 경우가 있다. 그 경우, 제2 도체(52)의 직경을 작게 하고, 또한 제2 반도체층(50)을 관통할 수 있는 길이로 형성할 필요가 있다. 화소(3)의 치수가 미세화되면, 애스펙트비가 높은 제2 도체(52)를 형성하는 것은, 용이하지 않은 경우가 있었다.

[0690] 또한, 제2 도체(52)의 직경은, 제2 반도체층(50)의 두께 방향을 따라 한쪽의 단부로부터 다른 쪽의 단부를 향해 서서히 가늘어지고 있었다. 이것은, 제2 도체(52)를 마련하는 구멍(53)의 에칭에 있어서, 구멍(53)의 직경이 구멍(53)의 저부를 향해 서서히 작아지기 때문이다. 그 때문에, 제2 반도체층(50)의 두께에 따라서는, 제2 도체(52)의 가는 쪽의 단부의 직경이 더 작아져, 배선과의 접합이 충분하지 않게 될 가능성이 있었다.

[0691] 또한, 제2 도체(52)를 제4 면(S4)으로부터 노출시키는 공정에 있어서, 도 92a에 나타낸 바와 같이, 제2 도체(52)의 측면으로 부풀어 오르도록 반도체층이 남을 가능성이 있었다. 그 경우, 배선(62)을 형성하면, 도 92b에 나타낸 바와 같이, 제2 도체(52)의 측면으로 부풀어 오르도록 남은 반도체층이 배선(62)에 접촉하여, 제2 반도체층(50)과 배선(62)이 단락할 가능성이 있었다.

[0692] 이에 비해, 본 기술의 제11 실시 형태에 관한 광 검출 장치(1)에서는, 하나의 제2 도체(52D)는, 제2 반도체층(50)의 두께 방향에 있어서, 제3 면(S3) 근처에 위치하고 있는 제7 도체(52D1)와, 제4 면(S4) 근처에 위치하고 있는 제8 도체(52D2)를 갖고, 제7 도체(52D1)의 제4 면(S4) 근처의 단부인 제1 단부(D1a)는, 제8 도체(52D2)의 제3 면(S3) 근처의 단부인 제2 단부(D2a)에, 제2 반도체층(50) 내에서 접속되어 있다. 이와 같이, 하나의 제2 도체(52D)를, 제3 면(S3)측 및 제4 면(S4)측으로부터 2회로 나누어 형성하고 있으므로, 제7 도체(52D1)의 애스펙트비 및 제8 도체(52D2)의 애스펙트비를, 2회로 나누지 않고 형성하는 경우보다 낮게 할 수 있고, 화소(3)의 치수가 미세화된 경우라도, 제2 도체(52D)의 제조의 난이도가 높아지는 것을 억제할 수 있다.

[0693] 또한, 본 기술의 제11 실시 형태에 관한 광 검출 장치(1)에서는, 제7 도체(52D1)와 제8 도체(52D2) 중, 디자인 룰의 제약이 적은 쪽의 도체를, 직경을 굵게 마련함으로써, 화소(3)의 치수가 미세화된 경우라도, 제2 도체(52D)의 제조의 난이도가 높아지는 것을 더 억제할 수 있다.

[0694] 또한, 본 기술의 제11 실시 형태에 관한 광 검출 장치(1)에서는, 제1 단부(D1a)와 제2 단부(D2a)의 접합 위치를, 제2 반도체층(50)의 두께 방향에 있어서, 제3 면(S3)측과 제4 면(S4)측 중 제3 면(S3)측 근처로 하고

있다. 즉, 제2 반도체층(50) 내에 있어서, 제7 도체(52D1)와 제8 도체(52D2) 중 디자인 룰의 제약이 적은 쪽의 도체를 굵고 길게 마련함으로써, 화소(3)의 치수가 미세화된 경우라도, 제2 도체(52D)의 제조의 난이도가 높아지는 것을 더 억제할 수 있다.

[0695] 또한, 본 기술의 제11 실시 형태에 관한 광 검출 장치(1)에서는, 하나의 제2 도체(52D)를, 제3 면(S3)측 및 제4 면(S4)측으로부터 2회로 나누어 형성하고 있으므로, 제7 도체(52D1)의 직경은 배선(42M0)에 근접할수록 커지고, 제8 도체(52D2)의 직경은 배선(62)에 근접할수록 커진다. 그 때문에, 제7 도체(52D1)와 배선(42M0)의 접촉 면적이 증가하여, 확실하게 접속시킬 수 있고, 또한 접촉 저항이 커지는 것을 억제할 수 있다. 마찬가지로, 제8 도체(52D2)와 배선(62)의 접촉 면적이 증가하여, 확실하게 접속시킬 수 있고, 또한 접촉 저항이 커지는 것을 억제할 수 있다. 이와 같이, 제2 도체(52)와 배선의 접합이 충분하지 않게 되는 것을 억제할 수 있고, 화소(3)의 치수가 미세화된 경우라도, 제2 도체(52)와 배선의 접합이 충분하지 않게 되는 것을 억제할 수 있다. 또한, 제2 도체(52)의 직경이 작아지는 것을 억제할 수 있으므로, 제2 도체(52)의 저항이 커지는 것을 억제할 수 있다.

[0696] 또한, 본 기술의 제11 실시 형태에 관한 광 검출 장치(1)에서는, 하나의 제2 도체(52D)를, 제3 면(S3)측 및 제4 면(S4)측으로부터 2회로 나누어 형성하고 있다. 그 때문에, 제3 면(S3)측과는 반대측으로부터 제2 반도체층(50)을 박육화할 때, 제2 반도체층(50)을 선택적으로 에칭함으로써 제4 면(S4)으로부터 제2 도체를 노출시킬 필요가 없다. 또한, 본 기술의 제8 도체(52D2)는, 제4 면(S4)을 평탄화한 후에 제4 면(S4)측으로부터 형성되어 있다. 그 때문에, 제2 도체(52)의 측면으로 부풀어 오르도록 반도체층이 남는 것을 억제할 수 있다. 이에 의해, 제2 반도체층(50)과 배선(62)이 단락하는 것을 억제할 수 있다.

[0697] 또한, 상술한 제11 실시 형태에 관한 광 검출 장치(1)에서는, 제2 단부(D2a)의 직경 D2ad와, 제1 단부(D1a)의 직경 D1ad는 다른 직경이었지만, 본 기술은 이것에 한정되지는 않는다. 직경 D2ad와, 제1 단부(D1a)의 직경 D1ad는, 동일한 직경이어도 된다.

[0698] ≪제11 실시 형태의 변형예≫

[0699] 이하, 제11 실시 형태의 변형예에 대하여 설명한다.

[0700] <변형예 1>

[0701] 상술한 제11 실시 형태에 관한 광 검출 장치(1)에서는, 제8 도체(52D2)의 쪽이 제7 도체(52D1)보다 직경이 컸지만, 도 93a부터 도 93c까지 나타내는 제11 실시 형태의 변형예 1에 관한 광 검출 장치(1)에서는, 제7 도체(52D1)의 쪽이 제8 도체(52D2)보다 직경이 크다.

[0702] 도 93b에 나타낸 바와 같이, 제8 도체(52D2)의 직경 D2S4는, 제3 면(S3)의 위치에서의 제7 도체(52D1)의 직경 D1S3보다 작다. 도 93c에 나타낸 바와 같이, 제2 단부(D2a)의 직경 D2ad는, 제1 단부(D1a)의 직경 D1ad보다 작다. 또한, 직경 D1ad 및 직경 D2ad를, 도 93b에 나타내는 직경 D1S3 및 직경 D2S4와 비교하면, 직경 D1S3은 직경 D1ad보다 크고, 직경 D2S4는 직경 D2ad보다 크다.

[0703] 또한, 도 93b에 나타낸 바와 같이, 절연막 iso 중, 제2 단부(D2a)의 외주면에 마련된 부분의 두께 dsio1은, 제8 도체(52D2) 중 제2 단부(D2a) 이외의 외주면에 마련된 부분의 두께 diso2보다 두껍다.

[0704] 이 제11 실시 형태의 변형예 1에 관한 광 검출 장치(1)라도, 상술한 제11 실시 형태에 관한 광 검출 장치(1)와 마찬가지의 효과가 얻어진다.

[0705] <변형예 2>

[0706] 상술한 제11 실시 형태에 관한 광 검출 장치(1)에서는, 제7 도체(52D1) 및 제8 도체(52D2)는, 평면으로 보아 대략 원형이었지만, 본 기술은 이것에 한정되지 않는다. 도 94a, 도 94b 및 도 94c에 나타내는 제11 실시 형태의 변형예 2에 관한 광 검출 장치(1)에서는, 제7 도체(52D1) 및 제8 도체(52D2)는, 평면으로 보아 서로 다른 방향으로 긴 직사각형이다. 그리고, 제7 도체(52D1) 및 제8 도체(52D2)는, 평면으로 보아 서로 교차하고 있다.

[0707] 여기서, 도 94c는, 제7 도체(52D1)와 제8 도체(52D2)의 접합 위치에 있어서, 제7 도체(52D1)와, 제8 도체(52D2)와, 절연막 iso의 평면으로 본 치수 관계를 나타내는 설명도이다. 더 구체적으로는, 도 94c는, 제7 도체(52D1)의 제1 단부(D1a)와, 제8 도체(52D2)의 제2 단부(D2a)와, 절연막 iso의 평면으로 본 치수 관계를 나타내고 있다.

[0708] 제7 도체(52D1) 및 제8 도체(52D2)의 평면으로 본 형상은, 긴 변과 짧은 변을 갖는 직사각형이다. 제7 도체(52D1)의 긴 변이 연장되는 방향은, 제8 도체(52D2)의 긴 변이 연장되는 방향과 교차하고 있다. 도 94a 및 도

94c에 나타내는 예에서는, 제7 도체(52D1)의 긴 변이 연장되는 방향은, 제8 도체(52D2)의 긴 변이 연장되는 방향과 직교하고 있다. 더 구체적으로는, 도 94a 및 도 94c에 있어서, 지면 수직 방향이 제7 도체(52D1)의 긴 변이 연장되는 방향이고, 지면 좌우 방향이 제8 도체(52D2)의 긴 변이 연장되는 방향이다. 제7 도체(52D1) 및 제8 도체(52D2)가 평면으로 보아 서로 다른 방향으로 긴 직사각형이다.

[0709] 또한, 제1 단부(D1a) 및 제2 단부(D2a)의 평면으로 본 형상도, 긴 변과 짧은 변을 갖는 직사각형이다. 제1 단부(D1a)의 긴 변이 연장되는 방향은, 제2 단부(D2a)의 긴 변이 연장되는 방향과 교차하고 있다. 도 94c에 나타내는 예에서는, 제1 단부(D1a)의 긴 변이 연장되는 방향은, 제2 단부(D2a)의 긴 변이 연장되는 방향과 직교하고 있다. 제1 단부(D1a)는, 그 일부가 제2 단부(D2a)에 겹쳐 있고, 그 겹친 부분에서 서로 접속되어 있다.

[0710] 제2 도체(52D)의 제조 공정에 있어서, 제7 도체(52D1) 및 제8 도체(52D2)의 적어도 한쪽의 형성 위치가 어긋나 버리는 경우가 있을 수도 있다. 그러한 경우라도, 직사각형의 긴 변 방향의 임의의 위치에 있어서 한쪽과 다른 쪽이 접함으로써, 제1 단부(D1a)와 제2 단부(D2a)를 접속할 수 있다.

[0711] 이 제11 실시 형태의 변형예 2에 관한 광 검출 장치(1)라도, 상술한 제11 실시 형태에 관한 광 검출 장치(1)와 마찬가지의 효과가 얻어진다.

[0712] 또한, 제11 실시 형태의 변형예 2에 관한 광 검출 장치(1)에서는, 제7 도체(52D1) 및 제8 도체(52D2)가 평면으로 보아 서로 다른 방향으로 긴 직사각형이므로, 그만큼 중첩 마진을 확장할 수 있다. 그 때문에, 제1 단부(D1a)와 제2 단부(D2a)의 중첩이 어긋나 버린 경우라도, 직사각형의 긴 변 방향의 임의의 위치에 있어서 한쪽과 다른 쪽을 접속시킬 수 있고, 제1 단부(D1a)와 제2 단부(D2a)의 접속이 오픈되는 것을 억제할 수 있다.

[0713] 또한, 제7 도체(52D1), 제8 도체(52D2), 제1 단부(D1a) 및 제2 단부(D2a)의 치수 관계(긴 변끼리의 치수 관계, 짧은 변끼리의 치수 관계)는, 상술한 제11 실시 형태 또는 제11 실시 형태의 변형예 1과 동일해도 된다.

[0714] <변형예 3>

[0715] 상술한 제11 실시 형태에 관한 광 검출 장치(1)에서는, 트랜지스터 T2는 FINFET형의 트랜지스터였지만, 도 95에 나타내는 제11 실시 형태의 변형예 3에 관한 광 검출 장치(1)에서는, 트랜지스터 T2는 플래너형의 트랜지스터이다.

[0716] 또한, 제조 방법에 있어서, 제7 도체(52D1)를 마련하기 위한 구멍(53D)은, 비아(44)를 마련하기 위한 구멍(44h)과 동일 공정에 의해 형성해도 되고, 다른 공정에 의해 형성해도 된다. 동일 공정에 의해 형성하는 경우, 구멍(44h)의 에칭 속도가 트랜지스터 T2의 게이트 전극을 구성하는 재료에 의해 느려지고 있는 동안에, 구멍(53D)의 에칭을 진행시켜 제2 반도체층(50) 내에 도달시킨다.

[0717] 이 제11 실시 형태의 변형예 3에 관한 광 검출 장치(1)라도, 상술한 제11 실시 형태에 관한 광 검출 장치(1)와 마찬가지의 효과가 얻어진다.

[0718] 또한, 제7 도체(52D1), 제8 도체(52D2), 제1 단부(D1a) 및 제2 단부(D2a)의 치수 관계는, 상술한 제11 실시 형태 또는 제11 실시 형태의 변형예 1과 동일해도 된다. 또한, 제7 도체(52D1), 제8 도체(52D2), 제1 단부(D1a) 및 제2 단부(D2a)의 평면으로 본 형상은, 상술한 제11 실시 형태의 변형예 2와 동일한 것이어도 된다.

[0719] [제12 실시 형태]

[0720] <1. 전자 기기로의 응용예>

[0721] 이어서, 도 96에 나타내는 본 기술의 제12 실시 형태에 관한 전자 기기(100)에 대하여 설명한다. 전자 기기(100)는, 고체 촬상 장치(101)와, 광학 렌즈(102)와, 셔터 장치(103)와, 구동 회로(104)와, 신호 처리 회로(105)를 구비하고 있다. 전자 기기(100)는, 이것에 한정되지는 않지만, 예를 들어 카메라 등의 전자 기기이다. 또한, 전자 기기(100)는, 고체 촬상 장치(101)로서, 상술한 광 검출 장치(1)를 구비하고 있다.

[0722] 광학 렌즈(광학계)(102)는, 피사체로부터의 상광(입사광(106))을 고체 촬상 장치(101)의 촬상면 상에 결상시킨다. 이에 의해, 고체 촬상 장치(101) 내에 일정 기간에 걸쳐 신호 전하가 축적된다. 셔터 장치(103)는, 고체 촬상 장치(101)로의 광 조사 기간 및 차광 기간을 제어한다. 구동 회로(104)는, 고체 촬상 장치(101)의 전송 동작 및 셔터 장치(103)의 셔터 동작을 제어하는 구동 신호를 공급한다. 구동 회로(104)로부터 공급되는 구동 신호(타이밍 신호)에 의해, 고체 촬상 장치(101)의 신호 전송을 행한다. 신호 처리 회로(105)는, 고체 촬상 장치(101)로부터 출력되는 신호(화소 신호)에 각종 신호 처리를 행한다. 신호 처리가 행해진 영상 신호는, 메모리 등의 기억 매체에 기억되거나, 혹은 모니터에 출력된다.

[0723] 이와 같은 구성에 의해, 전자 기기(100)에서는, 고체 촬상 장치(101)로서 저소비 전력화되고, 고속화된 광 검출 장치(1)를 구비하기 때문에, 전자 기기(100)를 저소비 전력화할 수 있어, 더 고속화할 수 있다.

[0724] 또한, 전자 기기(100)는, 카메라에 한정되는 것은 아니고, 다른 전자 기기여도 된다. 예를 들어, 휴대 전화기 등의 모바일 기기용 카메라 모듈 등의 촬상 장치여도 된다.

[0725] 또한, 전자 기기(100)는, 고체 촬상 장치(101)로서, 제1 실시 형태부터 제11 실시 형태까지 및 그 변형예의 어느 것에 관한 광 검출 장치(1), 또는 제1 실시 형태로부터 제11 실시 형태까지 및 그 변형예 중 적어도 2개의 조합에 관한 광 검출 장치(1)를 구비할 수 있다.

[0726] <2. 이동체로의 응용예>

[0727] 본 개시에 관한 기술(본 기술)은, 다양한 제품으로 응용할 수 있다. 예를 들어, 본 개시에 관한 기술은, 자동차, 전기 자동차, 하이브리드 전기 자동차, 자동 이륜차, 자전거, 퍼스널 모빌리티, 비행기, 드론, 선박, 로봇 등의 어느 종류의 이동체에 탑재되는 장치로서 실현되어도 된다.

[0728] 도 97은, 본 개시에 관한 기술이 적용될 수 있는 이동체 제어 시스템의 일례인 차량 제어 시스템의 개략적인 구성예를 나타내는 블록도이다.

[0729] 차량 제어 시스템(12000)은, 통신 네트워크(12001)를 통해 접속된 복수의 전자 제어 유닛을 구비한다. 도 97에 나타낸 예에서는, 차량 제어 시스템(12000)은, 구동계 제어 유닛(12010), 보디계 제어 유닛(12020), 차외 정보 검출 유닛(12030), 차내 정보 검출 유닛(12040) 및 통합 제어 유닛(12050)을 구비한다. 또한, 통합 제어 유닛(12050)의 기능 구성으로서, 마이크로컴퓨터(12051), 음성 화상 출력부(12052) 및 차량 탑재 네트워크 I/F(interface)(12053)가 도시되어 있다.

[0730] 구동계 제어 유닛(12010)은, 각종 프로그램에 따라 차량의 구동계에 관련되는 장치의 동작을 제어한다. 예를 들어, 구동계 제어 유닛(12010)은, 내연 기관 또는 구동용 모터 등의 차량의 구동력을 발생시키기 위한 구동력 발생 장치, 구동력을 차륜으로 전달하기 위한 구동력 전달 기구, 차량의 타각을 조절하는 스티어링 기구 및 차량의 제동력을 발생시키는 제동 장치 등의 제어 장치로서 기능한다.

[0731] 보디계 제어 유닛(12020)은, 각종 프로그램에 따라 차체에 장비된 각종 장치의 동작을 제어한다. 예를 들어, 보디계 제어 유닛(12020)은, 키리스 엔트리 시스템, 스마트 키 시스템, 파워 윈도우 장치, 혹은 헤드 램프, 백 램프, 브레이크 램프, 방향 지시등 또는 포그 램프 등의 각종 램프의 제어 장치로서 기능한다. 이 경우, 보디계 제어 유닛(12020)에는, 키를 대체하는 휴대기로부터 발신되는 전파 또는 각종 스위치의 신호가 입력될 수 있다. 보디계 제어 유닛(12020)은, 이것들의 전파 또는 신호의 입력을 접수하여, 차량의 도어록 장치, 파워 윈도우 장치, 램프 등을 제어한다.

[0732] 차외 정보 검출 유닛(12030)은, 차량 제어 시스템(12000)을 탑재한 차량의 외부의 정보를 검출한다. 예를 들어, 차외 정보 검출 유닛(12030)에는, 촬상부(12031)가 접속된다. 차외 정보 검출 유닛(12030)은, 촬상부(12031)에 차외의 화상을 촬상시킴과 함께, 촬상된 화상을 수신한다. 차외 정보 검출 유닛(12030)은, 수신한 화상에 기초하여, 사람, 차, 장해물, 표지 또는 노면 상의 문자 등의 물체 검출 처리 또는 거리 검출 처리를 행해도 된다.

[0733] 촬상부(12031)는, 광을 수광하고, 그 광의 수광량에 따른 전기 신호를 출력하는 광 센서이다. 촬상부(12031)는, 전기 신호를 화상으로서 출력할 수도 있고, 측거의 정보로서 출력할 수도 있다. 또한, 촬상부(12031)가 수광하는 광은, 가시광이어도 되고, 적외선 등의 비가시광이어도 된다.

[0734] 차내 정보 검출 유닛(12040)은, 차내의 정보를 검출한다. 차내 정보 검출 유닛(12040)에는, 예를 들어 운전자의 상태를 검출하는 운전자 상태 검출부(12041)가 접속된다. 운전자 상태 검출부(12041)는, 예를 들어 운전자를 촬상하는 카메라를 포함하고, 차내 정보 검출 유닛(12040)은, 운전자 상태 검출부(12041)로부터 입력되는 검출 정보에 기초하여, 운전자의 피로 정도 또는 집중 정도를 산출해도 되고, 운전자가 졸고 있지 않은지를 판별해도 된다.

[0735] 마이크로컴퓨터(12051)는, 차외 정보 검출 유닛(12030) 또는 차내 정보 검출 유닛(12040)에서 취득되는 차내외의 정보에 기초하여, 구동력 발생 장치, 스티어링 기구 또는 제동 장치의 제어 목표값을 연산하여, 구동계 제어 유닛(12010)에 대하여 제어 지령을 출력할 수 있다. 예를 들어, 마이크로컴퓨터(12051)는, 차량의 충돌 회피 혹은 충격 완화, 차간 거리에 기초하는 추종 주행, 차속 유지 주행, 차량의 충돌 경고, 또는 차량의 레인 일탈 경고 등을 포함하는 ADAS(Advanced Driver Assistance System)의 기능 실현을 목적으로 한 협조 제어를 행할

수 있다.

[0736] 또한, 마이크로컴퓨터(12051)는, 차외 정보 검출 유닛(12030) 또는 차내 정보 검출 유닛(12040)에서 취득되는 차량의 주위의 정보에 기초하여 구동력 발생 장치, 스티어링 기구 또는 제동 장치 등을 제어함으로써, 운전자의 조작에 따르지 않고 자율적으로 주행하는 자동 운전 등을 목적으로 한 협조 제어를 행할 수 있다.

[0737] 또한, 마이크로컴퓨터(12051)는, 차외 정보 검출 유닛(12030)에서 취득되는 차외의 정보에 기초하여, 보디계 제어 유닛(12020)에 대하여 제어 지령을 출력할 수 있다. 예를 들어, 마이크로컴퓨터(12051)는, 차외 정보 검출 유닛(12030)에서 검지한 선행차 또는 대향차의 위치에 따라 헤드 램프를 제어하여, 하이 빔을 로우 빔으로 전환하는 등의 방현을 도모할 것을 목적으로 한 협조 제어를 행할 수 있다.

[0738] 음성 화상 출력부(12052)는, 차량의 탑승자 또는 차외에 대하여, 시각적 또는 청각적으로 정보를 통지하는 것이 가능한 출력 장치로 음성 및 화상 중 적어도 한쪽의 출력 신호를 송신한다. 도 97의 예에서는, 출력 장치로서, 오디오 스피커(12061), 표시부(12062) 및 인스트루먼트 패널(12063)이 예시되어 있다. 표시부(12062)는, 예를 들어 온보드 디스플레이 및 헤드업 디스플레이의 적어도 하나를 포함하고 있어도 된다.

[0739] 도 98은, 촬상부(12031)의 설치 위치의 예를 나타내는 도면이다.

[0740] 도 98에서는, 차량(12100)은, 촬상부(12031)로서, 촬상부(12101, 12102, 12103, 12104, 12105)를 갖는다.

[0741] 촬상부(12101, 12102, 12103, 12104, 12105)는, 예를 들어 차량(12100)의 프론트 노즈, 사이드 미러, 리어 범퍼, 백 도어 및 차실내의 프론트 글래스의 상부 등의 위치에 마련된다. 프론트 노즈에 구비되는 촬상부(12101) 및 차실내의 프론트 글래스의 상부에 구비되는 촬상부(12105)는, 주로 차량(12100)의 전방의 화상을 취득한다. 사이드 미러에 구비되는 촬상부(12102, 12103)는, 주로 차량(12100)의 측방의 화상을 취득한다. 리어 범퍼 또는 백 도어에 구비되는 촬상부(12104)는, 주로 차량(12100)의 후방의 화상을 취득한다. 촬상부(12101 및 12105)에서 취득되는 전방의 화상은, 주로 선행 차량, 또는 보행자, 장해물, 신호기, 교통 표지 또는 차선 등의 검출에 사용된다.

[0742] 또한, 도 98에는, 촬상부(12101 내지 12104)의 촬영 범위의 일례가 나타나 있다. 촬상 범위 12111은, 프론트 노즈에 마련된 촬상부(12101)의 촬상 범위를 나타내고, 촬상 범위 12112, 12113은, 각각 사이드 미러에 마련된 촬상부(12102, 12103)의 촬상 범위를 나타내고, 촬상 범위 12114는, 리어 범퍼 또는 백 도어에 마련된 촬상부(12104)의 촬상 범위를 나타낸다. 예를 들어, 촬상부(12101 내지 12104)에서 촬상된 화상 데이터가 중첩됨으로써, 차량(12100)을 상방으로부터 본 부감 화상이 얻어진다.

[0743] 촬상부(12101 내지 12104)의 적어도 하나는, 거리 정보를 취득하는 기능을 갖고 있어도 된다. 예를 들어, 촬상부(12101 내지 12104)의 적어도 하나는, 복수의 촬상 소자를 포함하는 스테레오 카메라여도 되고, 위상차 검출용의 화소를 갖는 촬상 소자여도 된다.

[0744] 예를 들어, 마이크로컴퓨터(12051)는, 촬상부(12101 내지 12104)로부터 얻어진 거리 정보를 기초로, 촬상 범위(12111 내지 12114) 내에 있어서의 각 입체물까지의 거리와, 이 거리의 시간적 변화(차량(12100)에 대한 상대 속도)를 구함으로써, 특히 차량(12100)의 진행로 상에 있는 가장 가까운 입체물이고, 차량(12100)과 대략 동일한 방향으로 소정의 속도(예를 들어, 0㎞/h 이상)로 주행하는 입체물을 선행차로서 추출할 수 있다. 또한, 마이크로컴퓨터(12051)는, 선행차의 앞에 미리 확보해야 할 차간 거리를 설정하여, 자동 브레이크 제어(추종 정지 제어도 포함함)나 자동 가속 제어(추종 발진 제어도 포함함) 등을 행할 수 있다. 이렇게 운전자의 조작에 따르지 않고 자율적으로 주행하는 자동 운전 등을 목적으로 한 협조 제어를 행할 수 있다.

[0745] 예를 들어, 마이크로컴퓨터(12051)는, 촬상부(12101 내지 12104)로부터 얻어진 거리 정보를 바탕으로, 입체물에 관한 입체물 데이터를, 2륜차, 보통 차량, 대형 차량, 보행자, 전주 등 그밖의 입체물로 분류하여 추출하여, 장해물의 자동 회피에 사용할 수 있다. 예를 들어, 마이크로컴퓨터(12051)는, 차량(12100)의 주변의 장해물을, 차량(12100)의 드라이버가 시인 가능한 장해물과 시인 곤란한 장해물로 식별한다. 그리고, 마이크로컴퓨터(12051)는, 각 장해물과의 충돌의 위험도를 나타내는 충돌 리스크를 판단하여, 충돌 리스크가 설정값 이상에서 충돌 가능성이 있는 상황일 때는, 오디오 스피커(12061)나 표시부(12062)를 통해 드라이버에게 경보를 출력하는 것이나, 구동계 제어 유닛(12010)을 통해 강제 감속이나 회피 조타를 행함으로써, 충돌 회피를 위한 운전 지원을 행할 수 있다.

[0746] 촬상부(12101 내지 12104)의 적어도 하나는, 적외선을 검출하는 적외선 카메라여도 된다. 예를 들어, 마이크로컴퓨터(12051)는, 촬상부(12101 내지 12104)의 촬상 화상 중에 보행자가 존재하는지 여부를 판정함으로써 보행

자를 인식할 수 있다. 이러한 보행자의 인식은, 예를 들어 적외선 카메라로서의 촬상부(12101 내지 12104)의 촬상 화상에 있어서의 특징점을 추출하는 수순과, 물체의 윤곽을 나타내는 일련의 특징점에 패턴 매칭 처리를 행하여 보행자인지 여부를 판별하는 수순에 의해 행해진다. 마이크로컴퓨터(12051)가, 촬상부(12101 내지 12104)의 촬상 화상 중에 보행자가 존재한다고 판정하고, 보행자를 인식하면, 음성 화상 출력부(12052)는, 당해 인식된 보행자에 강조를 위한 사각형 윤곽선을 중첩 표시하도록, 표시부(12062)를 제어한다. 또한, 음성 화상 출력부(12052)는, 보행자를 나타내는 아이콘 등을 원하는 위치에 표시하도록 표시부(12062)를 제어해도 된다.

[0747] 이상, 본 개시에 관한 기술이 적용될 수 있는 차량 제어 시스템의 일례에 대하여 설명했다. 본 개시에 관한 기술은, 이상 설명한 구성 중, 예를 들어 상술한 복수의 전자 제어 유닛 및 촬상부(12031)에 적용될 수 있다. 구체적으로는, 도 4b 등에 나타내는 제1 도체, 제2 도체, 제3 도체, 제4 도체, 제5 도체, 제6 도체, 제7 도체 및 제8 도체 등의 어느 것을 구비한 광 검출 장치는, 상술한 복수의 전자 제어 유닛 및 촬상부(12031)에 적용할 수 있다. 전자 제어 유닛 및 촬상부(12031)에 본 개시에 관한 기술을 적용함으로써, 원하는 관통 전극을 형성할 수 있으므로, 전자 제어 유닛 및 촬상부(12031)의 설계의 자유도가 높아진다.

[0748] <3. 내시경 수술 시스템으로의 응용예>

[0749] 본 개시에 관한 기술(본 기술)은, 다양한 제품으로 응용할 수 있다. 예를 들어, 본 개시에 관한 기술은, 내시경 수술 시스템에 적용되어도 된다.

[0750] 도 99는, 본 개시에 관한 기술(본 기술)이 적용될 수 있는 내시경 수술 시스템의 개략적인 구성의 일례를 나타내는 도면이다.

[0751] 도 99에서는, 시술자(의사)(11131)가, 내시경 수술 시스템(11000)을 사용하여, 환자 베드(11133) 상의 환자(11132)에게 수술을 행하고 있는 모습이 도시되어 있다. 도시한 바와 같이, 내시경 수술 시스템(11000)은, 내시경(11100)과, 기복 튜브(11111)나 에너지 처치구(11112) 등의, 그밖의 시술 도구(11110)와, 내시경(11100)을 지지하는 지지 암 장치(11120)와, 내시경 하 수술을 위한 각종 장치가 탑재된 카트(11200)로 구성된다.

[0752] 내시경(11100)은, 선단으로부터 소정의 길이의 영역이 환자(11132)의 체강 내에 삽입되는 경통(11101)과, 경통(11101)의 기단에 접속되는 카메라 헤드(11102)로 구성된다. 도시하는 예에서는, 경성의 경통(11101)을 갖는 소위 경성경으로서 구성되는 내시경(11100)을 도시하고 있지만, 내시경(11100)은, 연성의 경통을 갖는 소위 연성경으로서 구성되어도 된다.

[0753] 경통(11101)의 선단에는, 대물 렌즈가 감입된 개구부가 마련되어 있다. 내시경(11100)에는 광원 장치(11203)가 접속되어 있고, 당해 광원 장치(11203)에 의해 생성된 광이, 경통(11101)의 내부에 연장 설치되는 라이트 가이드에 의해 당해 경통의 선단까지 도광되어, 대물 렌즈를 통해 환자(11132)의 체강내의 관찰 대상을 향해 조사된다. 또한, 내시경(11100)은, 직시경이어도 되고, 사시경 또는 측시경이어도 된다.

[0754] 카메라 헤드(11102)의 내부에는 광학계 및 촬상 소자가 마련되어 있고, 관찰 대상으로부터의 반사광(관찰광)은 당해 광학계에 의해 당해 촬상 소자에 집광된다. 당해 촬상 소자에 의해 관찰광이 광전 변환되어, 관찰광에 대응하는 전기 신호, 즉 관찰 상에 대응하는 화상 신호가 생성된다. 당해 화상 신호는, RAW 데이터로서 카메라 콘트롤 유닛(CCU: Camera Control Unit)(11201)으로 송신된다.

[0755] CCU(11201)는, CPU(Central Processing Unit)나 GPU(Graphics Processing Unit) 등으로 구성되어, 내시경(11100) 및 표시 장치(11202)의 동작을 통괄적으로 제어한다. 또한, CCU(11201)는, 카메라 헤드(11102)로부터 화상 신호를 수취하고, 그 화상 신호에 대하여, 예를 들어 현상 처리(디모자이크 처리) 등의, 당해 화상 신호에 기초하는 화상을 표시하기 위한 각종 화상 처리를 실시한다.

[0756] 표시 장치(11202)는, CCU(11201)로부터의 제어에 의해, 당해 CCU(11201)에 의해 화상 처리가 실시된 화상 신호에 기초하는 화상을 표시한다.

[0757] 광원 장치(11203)는, 예를 들어 LED(Light Emitting Diode) 등의 광원으로 구성되어, 시술부 등을 촬영할 때의 조사광을 내시경(11100)에 공급한다.

[0758] 입력 장치(11204)는, 내시경 수술 시스템(11000)에 대한 입력 인터페이스이다. 유저는, 입력 장치(11204)를 통해, 내시경 수술 시스템(11000)에 대하여 각종 정보의 입력이나 지시 입력을 행할 수 있다. 예를 들어, 유저는, 내시경(11100)에 의한 촬상 조건(조사광의 종류, 배율 및 초점 거리 등)을 변경하는 취지의 지시 등을 입력한다.

[0759] 처치구 제어 장치(11205)는, 조직의 소작, 절개 또는 혈관의 밀봉 등을 위한 에너지 처치구(11112)의 구동을 제어한다. 기복 장치(11206)는, 내시경(11100)에 의한 시야의 확보 및 시술자의 작업 공간의 확보의 목적으로, 환자(11132)의 체강을 부풀리기 위해, 기복 튜브(11111)를 통해 당해 체강 내에 가스를 송입한다. 레코더(11207)는, 수술에 관한 각종 정보를 기록 가능한 장치이다. 프린터(11208)는, 수술에 관한 각종 정보를, 텍스트, 화상 또는 그래프 등 각종 형식으로 인쇄 가능한 장치이다.

[0760] 또한, 내시경(11100)에 시술부를 촬영할 때의 조사광을 공급하는 광원 장치(11203)는, 예를 들어 LED, 레이저 광원 또는 이것들의 조합에 의해 구성되는 백색 광원으로 구성할 수 있다. RGB 레이저 광원의 조합에 의해 백색 광원이 구성되는 경우에는, 각 색(각 파장)의 출력 강도 및 출력 타이밍을 고정밀도로 제어할 수 있기 때문에, 광원 장치(11203)에 있어서 촬상 화상의 화이트 밸런스의 조정을 행할 수 있다. 또한, 이 경우에는, RGB 레이저 광원 각각으로부터의 레이저광을 시분할로 관찰 대상에 조사하고, 그 조사 타이밍에 동기하여 카메라 헤드(11102)의 촬상 소자의 구동을 제어함으로써, RGB 각각에 대응한 화상을 시분할로 촬상하는 것도 가능하다. 당해 방법에 의하면, 당해 촬상 소자에 컬러 필터를 마련하지 않아도, 컬러 화상을 얻을 수 있다.

[0761] 또한, 광원 장치(11203)는, 출력하는 광의 강도를 소정의 시간마다 변경하도록 그 구동이 제어되어도 된다. 그 광의 강도의 변경의 타이밍에 동기하여 카메라 헤드(11102)의 촬상 소자의 구동을 제어하여 시분할로 화상을 취득하고, 그 화상을 합성함으로써, 소위 흑색 뭉개짐 및 화이트 홀이 없는 고다이내믹 레인지의 화상을 생성할 수 있다.

[0762] 또한, 광원 장치(11203)는, 특수광 관찰에 대응한 소정의 파장 대역의 광을 공급 가능하게 구성되어도 된다. 특수광 관찰에서는, 예를 들어 체조직에 있어서의 광의 흡수의 파장 의존성을 이용하여, 통상의 관찰 시에 있어서의 조사광(즉, 백색광)에 비해 협대역의 광을 조사함으로써, 점막 표층의 혈관 등의 소정의 조직을 고콘트라스트로 촬영하는, 소위 협대역광 관찰(Narrow Band Imaging)이 행해진다. 혹은, 특수광 관찰에서는, 여기광을 조사함으로써 발생하는 형광에 의해 화상을 얻는 형광 관찰이 행해져도 된다. 형광 관찰에서는, 체조직에 여기광을 조사하여 당해 체조직으로부터의 형광을 관찰하는 것(자가 형광 관찰), 또는 인도 시아닌 그린(ICG) 등의 시약을 체조직에 국주함과 함께 당해 체조직에 그 시약의 형광 파장에 대응한 여기광을 조사하여 형광상을 얻는 것 등을 행할 수 있다. 광원 장치(11203)는, 이러한 특수광 관찰에 대응한 협대역광 및/또는 여기광을 공급 가능하게 구성될 수 있다.

[0763] 도 100은, 도 99에 나타내는 카메라 헤드(11102) 및 CCU(11201)의 기능 구성의 일례를 나타내는 블록도이다.

[0764] 카메라 헤드(11102)는, 렌즈 유닛(11401)과, 촬상부(11402)와, 구동부(11403)와, 통신부(11404)와, 카메라 헤드 제어부(11405)를 갖는다. CCU(11201)는, 통신부(11411)와, 화상 처리부(11412)와, 제어부(11413)를 갖는다. 카메라 헤드(11102)와 CCU(11201)는, 전송 케이블(11400)에 의해 서로 통신 가능하게 접속되어 있다.

[0765] 렌즈 유닛(11401)은, 경통(11101)과의 접속부에 마련되는 광학계이다. 경통(11101)의 선단으로부터 도입된 관찰광은, 카메라 헤드(11102)까지 도광되어, 당해 렌즈 유닛(11401)에 입사한다. 렌즈 유닛(11401)은, 줌 렌즈 및 포커스 렌즈를 포함하는 복수의 렌즈가 조합되어 구성된다.

[0766] 촬상부(11402)는, 촬상 소자로 구성된다. 촬상부(11402)를 구성하는 촬상 소자는, 하나(소위 단판식)여도 되고, 복수(소위 다판식)여도 된다. 촬상부(11402)가 다판식으로 구성되는 경우에는, 예를 들어 각 촬상 소자에 의해 RGB 각각에 대응하는 화상 신호가 생성되고, 그것들이 합성됨으로써 컬러 화상이 얻어져도 된다. 혹은, 촬상부(11402)는, 3D(Dimensional) 표시에 대응하는 우안용 및 좌안용의 화상 신호를 각각 취득하기 위한 한 쌍의 촬상 소자를 갖도록 구성되어도 된다. 3D 표시가 행해짐으로써, 시술자(11131)는 시술부에 있어서의 생체 조직의 깊이를 더 정확하게 파악하는 것이 가능해진다. 또한, 촬상부(11402)가 다판식으로 구성되는 경우에는, 각 촬상 소자에 대응하여, 렌즈 유닛(11401)도 복수 계통 마련될 수 있다.

[0767] 또한, 촬상부(11402)는, 반드시 카메라 헤드(11102)에 마련되지 않아도 된다. 예를 들어, 촬상부(11402)는, 경통(11101)의 내부에, 대물 렌즈의 직후에 마련되어도 된다.

[0768] 구동부(11403)는, 액추에이터에 의해 구성되어, 카메라 헤드 제어부(11405)로부터의 제어에 의해, 렌즈 유닛(11401)의 줌 렌즈 및 포커스 렌즈를 광축을 따라 소정의 거리만큼 이동시킨다. 이에 의해, 촬상부(11402)에 의한 촬상 화상의 배율 및 초점이 적절히 조정될 수 있다.

[0769] 통신부(11404)는, CCU(11201)와의 사이에서 각종 정보를 송수신하기 위한 통신 장치에 의해 구성된다. 통신부(11404)는, 촬상부(11402)로부터 얻은 화상 신호를 RAW 데이터로 하여 전송 케이블(11400)을 통해 CCU(11201)

로 송신한다.

[0770] 또한, 통신부(11404)는, CCU(11201)로부터, 카메라 헤드(11102)의 구동을 제어하기 위한 제어 신호를 수신하고, 카메라 헤드 제어부(11405)에 공급한다. 당해 제어 신호에는, 예를 들어 촬상 화상의 프레임 레이트를 지정하는 취지의 정보, 촬상 시의 노출값을 지정하는 취지의 정보, 그리고/또는 촬상 화상의 배율 및 초점을 지정하는 취지의 정보 등, 촬상 조건에 관한 정보가 포함된다.

[0771] 또한, 상기한 프레임 레이트나 노출값, 배율, 초점 등의 촬상 조건은, 유저에 의해 적절히 지정되어도 되고, 취득된 화상 신호에 기초하여 CCU(11201)의 제어부(11413)에 의해 자동적으로 설정되어도 된다. 후자의 경우에는, 소위 AE(Auto Exposure) 기능, AF(Auto Focus) 기능 및 AWB(Auto White Balance) 기능이 내시경(11100)에 탑재되어 있게 된다.

[0772] 카메라 헤드 제어부(11405)는, 통신부(11404)를 통해 수신한 CCU(11201)로부터의 제어 신호에 기초하여, 카메라 헤드(11102)의 구동을 제어한다.

[0773] 통신부(11411)는, 카메라 헤드(11102)와의 사이에서 각종 정보를 송수신하기 위한 통신 장치에 의해 구성된다. 통신부(11411)는, 카메라 헤드(11102)로부터, 전송 케이블(11400)을 통해 송신되는 화상 신호를 수신한다.

[0774] 또한, 통신부(11411)는, 카메라 헤드(11102)에 대하여, 카메라 헤드(11102)의 구동을 제어하기 위한 제어 신호를 송신한다. 화상 신호나 제어 신호는, 전기 통신이나 광통신 등에 의해 송신할 수 있다.

[0775] 화상 처리부(11412)는, 카메라 헤드(11102)로부터 송신된 RAW 데이터인 화상 신호에 대하여 각종 화상 처리를 실시한다.

[0776] 제어부(11413)는, 내시경(11100)에 의한 시술부 등의 촬상 및 시술부 등의 촬상에 의해 얻어지는 촬상 화상의 표시에 관한 각종 제어를 행한다. 예를 들어, 제어부(11413)는, 카메라 헤드(11102)의 구동을 제어하기 위한 제어 신호를 생성한다.

[0777] 또한, 제어부(11413)는, 화상 처리부(11412)에 의해 화상 처리가 실시된 화상 신호에 기초하여, 시술부 등이 찍힌 촬상 화상을 표시 장치(11202)에 표시시킨다. 이때, 제어부(11413)는, 각종 화상 인식 기술을 사용하여 촬상 화상 내에 있어서의 각종 물체를 인식해도 된다. 예를 들어, 제어부(11413)는, 촬상 화상에 포함되는 물체의 에지의 형상이나 색 등을 검출함으로써, 겸자 등의 시술 도구, 특정한 생체 부위, 출혈, 에너지 처치구(11112)의 사용 시의 미스트 등을 인식할 수 있다. 제어부(11413)는, 표시 장치(11202)에 촬상 화상을 표시시킬 때, 그 인식 결과를 사용하여, 각종 수술 지원 정보를 당해 시술부의 화상에 중첩 표시시켜도 된다. 수술 지원 정보가 중첩 표시되어, 시술자(11131)에게 제시됨으로써, 시술자(11131)의 부담을 경감시키는 것이나, 시술자(11131)가 확실하게 수술을 진행시키는 것이 가능해진다.

[0778] 카메라 헤드(11102) 및 CCU(11201)를 접속하는 전송 케이블(11400)은, 전기 신호의 통신에 대응한 전기 신호 케이블, 광통신에 대응한 광 파이버, 또는 이것들의 복합 케이블이다.

[0779] 여기서, 나타내는 예에서는, 전송 케이블(11400)을 사용하여 유선으로 통신이 행해지고 있었지만, 카메라 헤드(11102)와 CCU(11201) 사이의 통신은 무선으로 행해져도 된다.

[0780] 이상, 본 개시에 관한 기술이 적용될 수 있는 내시경 수술 시스템의 일례에 대하여 설명했다. 본 개시에 관한 기술은, 이상 설명한 구성 중, 예를 들어 CCU(11201)나, 카메라 헤드(11102)의 촬상부(11402)에 적용될 수 있다. 구체적으로는, 도 4b 등에 나타내는 제1 도체, 제2 도체, 제3 도체, 제4 도체, 제5 도체, 제6 도체, 제7 도체 및 제8 도체 등의 어느 것을 구비한 광 검출 장치는, CCU(11201)나 촬상부(10402)에 적용할 수 있다. CCU(11201) 및 촬상부(10402)에 본 개시에 관한 기술을 적용함으로써, 원하는 관통 전극을 형성할 수 있으므로, CCU(11201) 및 촬상부(10402)의 설계의 자유도가 높아진다.

[0781] 또한, 여기서는, 일례로서 내시경 수술 시스템에 대하여 설명했지만, 본 개시에 관한 기술은, 그밖에, 예를 들어 현미경 수술 시스템 등에 적용되어도 된다.

[0782] [제13 실시 형태]

[0783] 도 101a부터 도 101d까지 나타내는 본 기술의 제13 실시 형태에 대하여, 이하에 설명한다. 본 제13 실시 형태에 관한 광 검출 장치(1)가 상술한 제1 실시 형태에 관한 광 검출 장치(1)와 상이한 것은, 제1 도체(51) 대신에 제1 도체(51E)를 갖고, 제2 도체(52) 대신에 제2 도체(52E)를 갖는 점이고, 그 이외의 광 검출 장치(1)의 구성은, 기본적으로 상술한 제1 실시 형태의 광 검출 장치(1)와 마찬가지의 구성으로 되어 있다. 또한, 이미 설명

한 구성 요소에 대해서는, 동일한 부호를 붙여 그 설명을 생략한다. 또한, 도 101a 및 도 101b는, 도 101c의 E-E 절단선을 따라 단면으로 보았을 때의 단면 구조를 나타내고 있다.

[0784] ≪광 검출 장치의 구성≫

[0785] 이하, 본 기술의 제13 실시 형태에 관한 광 검출 장치(1)의 구성에 대하여, 상술한 제1 실시 형태에 관한 광 검출 장치(1)의 구성과 다른 부분을 중심으로 설명한다. 또한, 본 제13 실시 형태를 설명하는 도면에 있어서는, 동일한 구성 요소라도 도면간에 있어서 축척이 다르게 그려져 있는 경우가 있다. 또한, 본 제13 실시 형태를 설명하는 도면에 있어서는, 배리어 메탈층의 도시를 생략하고 있다.

[0786] <제1 도체 및 제2 도체>

[0787] 제1 도체(51E)는 이미 설명한 제1 재료에 의해 구성되어 있다. 그리고, 제2 도체(52E)는, 이미 설명한 제2 재료에 의해 구성되어 있다. 제2 재료는, 제1 재료와는 다른 재료이다. 또한, 제1 도체(51E)는 이미 설명한 제1 폭을 갖고, 제2 도체(52E)는 이미 설명한 제2 폭을 갖는다. 제2 폭은 제1 폭보다 작다.

[0788] 도 101a 및 도 101b에 나타낸 바와 같이, 제1 도체(51E) 및 제2 도체(52E)의 각각은, 제4 면(S4)으로부터 제3 배선층 내(60)로 돌출되어 있다. 그리고, 제1 도체(51E) 및 제2 도체(52E)의 제3 배선층(60) 내로 돌출되는 높이는 서로 다르다. 또한, 이 높이에 대하여 본 실시 형태를 제1 실시 형태와 비교하면, 제1 실시 형태에 있어서는, 제1 도체(51)의 제3 배선층(60) 내로 돌출되는 높이는, 제2 도체(52)의 제3 배선층(60) 내로 돌출되는 높이보다 높았던 것에 비해, 본 실시 형태에서는, 제2 도체(52E)의 제3 배선층(60) 내로 돌출되는 높이는, 제1 도체(51E)의 제3 배선층 내(60)로 돌출되는 높이보다 높다.

[0789] 도 101b에 나타낸 바와 같이, 제1 도체(51E)는, 제2 반도체층(50)을 관통하는 관통 방향에 있어서 단부(51Ea)(일방측의 단부, 제1 단부)와 단부(51Eb)(타방측의 단부, 제2 단부)를 갖는다. 단부(51Ea)는 제4 면(S4)으로부터 제3 배선층(60) 내로 돌출되고, 단부(51Eb)는 제3 면(S3)으로부터 제2 배선층(40) 내로 돌출되어 있다. 또한, 제2 도체(52E)는, 제2 반도체층(50)을 관통하는 관통 방향에 있어서 단부(52Ea)(일방측의 단부)와 단부(52Eb)(타방측의 단부)를 갖는다. 단부(52Ea)는 제4 면(S4)으로부터 제3 배선층(60) 내로 돌출되고, 단부(52Eb)는 제3 면(S3)으로부터 제2 배선층(40) 내로 돌출되어 있다.

[0790] 제2 도체(52E)의 단부(52Ea)가 제3 배선층(60) 내로 돌출되는 높이는, 제1 도체(51E)의 단부(51Ea)가 제3 배선층(60) 내로 돌출되는 높이보다 높다. 더 구체적으로는, 제2 도체(52E)의 단부(52Ea)측의 단부면(52Ec)은, 제1 도체(51E)의 단부(51Ea)측의 단부면(51Ec)보다, 제4 면(S4)으로부터 이격된 위치에 있다.

[0791] 또한, 제1 도체(51E)의 제3 배선층(60) 내로 돌출되는 쪽의 단부(51Ea)는, 제3 배선층(60)이 갖는 배선(62)에, 접속부(69)를 통해 전기적으로 접속되어 있고, 제2 도체(52E)의 제3 배선층(60) 내로 돌출되는 쪽의 단부(52Ea)는, 배선(62)에 직접 전기적으로 접속되어 있다. 여기서, 단부(51Ea)가 접속된 배선(62)을 다른 배선과 구별하기 위해 배선(제1 배선)(62a)이라고 칭하고, 단부(52Ea)가 접속된 배선(62)을 다른 배선과 구별하기 위해 배선(제2 배선)(62b)이라고 칭하는 경우가 있다. 또한, 배선(62a)과 배선(62b)을 구별하지 않는 경우, 단순히 배선(62)이라고 칭한다. 배선(62a) 및 배선(62b)은, 동일한 하나의 메탈층에 속하는 배선이다. 더 구체적으로는, 배선(62a) 및 배선(62b)은, 메탈층(M1)에 속하는 배선이다.

[0792] 접속부(69)는, 적층 방향으로 연장하여, 제2 도체(52E)의 단부면(52Ec)과 배선(62a)을 전기적으로 접속하고 있다. 본 실시 형태에서는, 듀얼 다마신법을 사용하여, 접속부(69)와 배선(62a)이 일체로 마련된 예를 나타내고 있다. 도 101c는, 평면으로 본 배선(62)과, 접속부(69)와, 제1 도체(51E)와, 제2 도체(52E)의 위치 관계의 일례를 나타내는 도면이다. 접속부(69)의 단부면 중, 제1 도체(51E)의 단부면(51Ec)과 접속되어 있는 쪽의 단부면을 단부면(69a)이라고 칭한다. 도 101c에 나타낸 바와 같이, 접속부(69)의 단부면(69a)은, 평면으로 보아 제1 도체(51E)의 단부면(51Ec)에 겹쳐 있다. 더 구체적으로는, 단부면(69a)의 전체가, 평면으로 보아 단부면(51Ec)에 겹쳐 있다. 또한, 본 실시 형태에서는, 접속부(69)가 단부면(51Ec)마다 복수 마련되어 있다. 더 구체적으로는, 접속부(69)가 단부면(51Ec)마다 4개씩 마련되어 있다. 접속부(69)의 수는 4개에 한정되지 않고, 단부면(51Ec)마다 적어도 1개 마련되어 있으면 된다.

[0793] 도 101b에 나타낸 바와 같이, 제3 배선층(60)은, 층간 절연막으로서 적층된 배리어 절연막(64)을 갖는다. 배리어 절연막(64)은, 제1 도체(51E)의 단부면(51Ec)의 대부분을 덮고 있다. 더 구체적으로는, 배리어 절연막(64)은, 단부면(51Ec) 중 접속부(69)가 접속되는 부분 이외를 덮고 있다. 바꾸어 말하면, 적층 방향에 있어서, 제1 도체(51E)는 배리어 절연막(64)보다 제2 반도체층(50) 근처의 위치에 마련되어 있고, 접속부(69)는, 배리어 절연막(64)을 관통하여 제1 도체(51E)에 접속되어 있다. 배선(62)은, 도 101a에 나타낸 바와 같이, 배리어 절연

막(64)보다 제4 배선층(70) 근처의 위치에 마련되어 있다. 도 101b에 나타낸 바와 같이, 제2 도체(52E)는 배리어 절연막(64)을 관통하고, 그 단부(52Ea)는, 배리어 절연막(64)보다 제4 배선층(70) 근처의 위치에 있다.

[0794] 또한, 제1 도체(51E) 및 제2 도체(52E)는, 제4 면(S4)측으로부터 비아 라스트 방식으로 형성되어 있다. 또한, 도 101d는, 제2 배선층(40)이 갖는 배선(42) 중, 제1 도체(51E) 및 제2 도체(52E)가 접속된 배선을 나타내고 있다. 그리고, 평면으로 본 배선(42)과, 제1 도체(51E)와, 제2 도체(52E)의 위치 관계는, 예를 들어 도 101d에 나타내는 예와 같이 되어 있다.

[0795] ≪광 검출 장치의 제조 방법≫

[0796] 이하, 도 102a부터 도 102j까지를 참조하여, 광 검출 장치(1)의 제조 방법에 대하여 설명한다. 여기서는, 제1 도체(51E), 제2 도체(52E) 및 배선(62)의 제조 방법을 중심으로 설명한다. 먼저, 도 102a에 나타낸 바와 같이, 제1 반도체층(20)에 적층된 제1 배선층(30)과, 제2 반도체층(50w)에 적층된 제2 배선층(40)을, 중첩하여 접합한다. 제1 반도체층(20) 및 제2 반도체층(50w)에는, 트랜지스터 등이 이미 형성되어 있다.

[0797] 이어서, 도 102b에 나타낸 바와 같이, 제2 반도체층(50w)의 이면측을 백 그라인딩 및 CMP법 등의 공지의 기술에 의해 연삭하여, 제2 반도체층(50w)의 두께를 얇게 한다. 이 공정에 의해, 제2 반도체층(50w) 중 제2 반도체층(50)이 되는 부분을 남긴다.

[0798] 그리고, 도 102c에 나타낸 바와 같이, 제2 반도체층(50)의 노출면에 실리콘 커버막(65)과 절연막(61m8)을 그 순서로 적층한다. 그 후, 다른 실시 형태에서 설명한 방법 등에 의해, 제1 도체(51E)를 제2 반도체층(50)의 제4 면(S4)측으로부터 비아 라스트 방식으로 형성한다. 더 구체적으로는, 제1 도체(51E)를, 공지의 도금법 및 CMP법 등을 사용하여 형성한다. 그리고, 제1 도체(51E)의 단부면(51Ec), 절연막(61m8)의 노출면 및 절연막(61m3)의 노출면에 대하여, 배리어 절연막(64)을 적층한다. 배리어 절연막(64)은, 제1 도체(51E)의 단부면(51Ec)을 덮음으로써, 단부면(51Ec)으로부터 구리가 확산되는 것을 억제할 수 있다.

[0799] 이어서, 도 102d에 나타낸 바와 같이, 배리어 절연막(64)의 노출면에 절연막(61m9)을 적층한다. 그리고, 다른 실시 형태에서 설명한 방법 등에 의해, 제2 도체(52E)를 제2 반도체층(50)의 제4 면(S4)측으로부터 비아 라스트 방식으로 형성한다.

[0800] 그 후, 도 102e에 나타낸 바와 같이, 절연막(61m10)을 적층한다. 그리고, 절연막(61m10)의 노출면에, 레지스트 패턴 R8을 형성한다. 레지스트 패턴 R8은, 평면으로 보아 단부면(51Ec)과 겹치는 위치에, 개구부(R8a)를 갖는다. 본 실시 형태에서는, 평면도는 생략하지만, 개구부(R8a)가 4개 마련되어 있다. 그리고, 레지스트 패턴 R8을 마스크로 하고, 공지의 에칭 기술을 사용하여 에칭을 행한다. 더 구체적으로는, 개구부(R8a)로부터 노출되는 부분을, 배리어 절연막(64)에 도달할 때까지 에칭한다. 배리어 절연막(64)은, 선택된 에천트에 대하여 에칭 스톱층으로서도 기능하고, 가령 에칭되었다고 해도 약간이다. 이 에칭에 의해, 도 102f에 나타내는 구멍(69h)이 형성된다. 본 실시 형태에서는, 도시는 생략하지만, 구멍(69h)이 4개 형성된다. 구멍(69h)의 저부 전체는, 평면으로 보아 단부면(51Ec)에 겹쳐 있다. 또한, 제1 도체(51E) 및 절연막(61m3)은, 배리어 절연막(64)에 의해 덮인 상태가 유지되어, 에칭되는 것이 억제되어 있다. 그 후, 레지스트 패턴 R8을 제거한다.

[0801] 이어서, 도 102g에 나타낸 바와 같이, 절연막(61m10)의 노출면에, 레지스트 패턴 R9를 형성한다. 레지스트 패턴 R9는, 절연막에 배선(62)용의 개구를 형성하기 위해 마련된 패턴이고, 배선(62)을 마련하는 위치에 개구부(R9a)를 갖는다. 개구부(R9a) 중, 평면으로 보아 단부면(51Ec)과 겹치는 위치에 마련된 개구를, 다른 개구와 구별하기 위해 개구부(R9a1)라고 칭한다. 또한, 개구부(R9a) 중, 평면으로 보아 단부면(52Ec)과 겹치는 위치에 마련된 개구를, 다른 개구와 구별하기 위해 개구부(R9a2)라고 칭한다. 개구부(R9a1)와 개구부(R9a2)를 구별하지 않는 경우에는, 단순히 개구부(R9a)라고 칭한다. 또한, 구멍(69h)은, 레지스트 패턴 R9를 구성하는 레지스트 재료에 의해 매립되어 있다.

[0802] 그리고, 도 102h에 나타낸 바와 같이, 레지스트 패턴 R9를 마스크로 하고, 공지의 에칭 기술을 사용하여 에칭을 행한다. 더 구체적으로는, 개구부(R9a)로부터 노출되는 부분을 에칭하여, 개구(62h)를 형성한다. 개구(62h)는, 평면으로 보아 개구부(R9a)의 형상에 따른 형상을 이루고 있고, 예를 들어 구멍, 홈 형상 등의 형상을 이룬다. 개구(62h)의 에칭은, 제2 도체(52E)가 노출될 정도의 깊이까지 행한다. 또한, 개구(62h) 중, 개구부(R9a1)로부터 노출되는 부분을 에칭하여 얻어진 개구(62h)를, 다른 개구와 구별하기 위해 개구(62ah)라고 칭한다. 또한, 개구(62h) 중, 개구부(R9a2)로부터 노출되는 부분을 에칭하여 얻어진 개구를, 다른 개구와 구별하기 위해 개구(62bh)라고 칭한다. 개구(62ah)와 개구(62bh)를 구별하지 않는 경우에는, 단순히 개구(62h)라고 칭한다. 개구(62ah)의 저부에는 구멍(69h)이 형성되어 있다. 그리고, 개구(62bh)의 저부에는 배리어 절연막

(64)이 노출되어 있다.

[0803] 또한, 본 공정의 에칭에 있어서, 절연막(61m10) 중 개구(62h)끼리의 사이에 위치하는 부분은, 레지스트 패턴 R9에 의해 덮여 보호되어 있다. 그 때문에, 개구(62h)끼리 사이의 절연막(61m10)은, 레지스트 패턴 R9측의 면(이하, 상면이라고 칭함)이 후퇴하는 것을 억제할 수 있다. 절연막(61m10)은, 레지스트 패턴 R9에 의해 덮여 있는 경우, 레지스트 패턴 R9이 없는 상태에서 에칭에 노출된 경우에 비해, 상면이 후퇴하는 경우가 있었다고 해도 약간이고, 또한 절연막(61m10)과 개구(62h) 사이의 모퉁이부가 깎이는 경우가 있었다고 해도 약간이다. 또한, 제1 도체(51E) 및 절연막(61m3)은, 배리어 절연막(64)에 의해 덮인 상태가 유지되어, 에칭되는 것이 억제되어 있다.

[0804] 이어서, 도 102i에 나타낸 바와 같이, 공지의 애싱에 의해, 레지스트 패턴 R9를 제거한다. 그 후, 공지의 에칭 기술을 사용하여, 배리어 절연막(64) 중 구멍(69h)의 저부에 노출되는 부분을 제거한다. 이에 의해, 구멍(69h)의 저부에 제1 도체(51E)의 단부면(51Ec)이 노출된 상태가 된다. 또한, 단부면(51Ec)에 적층된 배리어 절연막(64)은, 구멍(69h)의 저부에 노출된 부분이 주로 제거되고, 다른 영역에 적층된 부분은 남기 때문에, 제1 도체(51E)의 단부면(51Ec)의 노출량이 필요 이상으로 커지는 것을 억제할 수 있다.

[0805] 그 후, 도 102j에 나타낸 바와 같이, 공지의 도금법 및 CMP법 등을 사용하여, 개구(62h) 및 구멍(69h)에 구리를 매립하여 배선(62) 및 접속부(69)를 형성한다. 또한, 개구(62h)끼리 사이의 절연막(61m10)에 상면의 후퇴 및 모퉁이부의 절삭이 발생하는 것이 억제되어 있으므로, 배선(62)의 형상이 열화되는 것이 억제되고, 나아가, 배선(62)끼리의 절연성이 열화되는 것이 억제되어 있다. 이것 이후의 처리는, 상술한 실시 형태 등에서 설명한 바와 같으므로, 여기서는 그 설명을 생략한다.

[0806] 또한, 절연막(61m1)부터 절연막(61m10)까지를 서로 구별하지 않는 경우, 단순히 절연막(61)이라고 칭해도 된다.

[0807] ≪제13 실시 형태의 주된 효과≫

[0808] 이하, 제13 실시 형태의 주된 효과를 설명한다. 본 기술의 제13 실시 형태에 관한 광 검출 장치(1)라도, 상술한 제1 실시 형태에 관한 광 검출 장치(1)와 마찬가지의 효과가 얻어진다.

[0809] 더 구체적으로는, 본 기술의 제13 실시 형태에 관한 광 검출 장치(1)에서는, 제1 도체(51E) 및 제2 도체(52E)의 각각은, 제4 면(S4)으로부터 제3 배선층(60) 내로 돌출되고, 제1 도체(51E) 및 제2 도체(52E)의 제3 배선층(60) 내로 돌출되는 높이는 서로 다르다. 그 때문에, 제1 도체(51E)를 형성할 때 여분의 구리를 CMP법에 의해 제거할 때, 텅스텐제의 제2 도체(52E)가 노출되는 것이 억제되어 있으므로, 갈바니 부식이 발생하는 것을 억제할 수 있다. 그 때문에, 다른 재료로 구성된 제1 도체(51)와 제2 도체(52)를 마련할 수 있다.

[0810] 또한, 본 기술의 제13 실시 형태에 관한 광 검출 장치(1)에서는, 제1 도체(51E)를 형성한 후에 제2 도체(52E)를 형성하고 있으므로, 제1 도체(51E)의 제3 배선층(60) 내로 돌출되는 높이는, 제2 도체(52E)의 제3 배선층(60) 내로 돌출되는 높이보다 높다. 즉, 제1 도체(51E)를 형성하기 위한 CMP법에 의한 연삭이 종료된 후에 제2 도체(52E)를 형성하고 있으므로, CMP법에 의해 연삭되는 것은 구리와 텅스텐 중 구리뿐이므로, 갈바니 부식이 발생하는 것을 억제할 수 있다. 그 때문에, 다른 재료로 구성된 제1 도체(51)와 제2 도체(52)를 마련할 수 있다.

[0811] 또한, 본 기술의 제13 실시 형태에 관한 광 검출 장치(1)에서는, 제1 도체(51E)의 제3 배선층(60) 내로 돌출되는 쪽의 단부(51a)는, 제3 배선층(60)이 갖는 배선(62a)에, 접속부(69)를 통해 전기적으로 접속되어 있고, 제2 도체(52E)의 제3 배선층(60) 내로 돌출되는 쪽의 단부(52a)는, 제3 배선층(60)이 갖는 배선이며, 배선(62a)과 동일한 메탈층에 속하는 배선(62b)에, 직접 전기적으로 접속되어 있다. 제2 도체(52E)의 제3 배선층(60) 내로 돌출되는 높이가, 제1 도체(51E)의 제3 배선층(60) 내로 돌출되는 높이보다 높은 경우라도, 낮은 쪽의 제1 도체(51E)의 높이 부족을 보충하기 위해 접속부(69)를 마련하고 있으므로, 제1 도체(51E)와 배선(62a) 사이의 전기적 도통과, 제2 도체(52E)와 배선(62b) 사이의 전기적 도통의 양쪽의 전기적 도통을 확보할 수 있다.

[0812] 또한, 본 기술의 제13 실시 형태에 관한 광 검출 장치(1)에서는, 평면으로 보아, 접속부(69)의 단부면(69a)의 전체가, 제1 도체(51E)의 단부면(51Ec)에 겹쳐 있다. 그 때문에, 단부면(51Ec)에 적층된 배리어 절연막(64)은, 구멍(69h)의 저부에 노출된 부분이 주로 제거되고, 다른 영역에 적층된 부분은 남으므로, 제1 도체(51E)의 단부면(51Ec)의 노출량이 필요 이상으로 커지는 것을 억제할 수 있다. 이에 의해, 가령 단부면(51Ec)으로부터 구리가 확산되었다고 해도, 그 확산량을 억제할 수 있다.

[0813] 또한, 본 기술의 제13 실시 형태에 관한 광 검출 장치(1)에서는, 평면으로 보아, 접속부(69)의 단부면(69a)의 전체가, 제1 도체(51E)의 단부면(51Ec)에 겹쳐 있다. 그리고, 접속부(69)를 형성하는 공정에 있어서, 도 102i

에 나타낸 바와 같이, 제1 도체(51)를 구성하는 구리가 구멍(69h)의 저부로부터 노출되면 에칭을 종료한다. 그 때문에, 평면으로 보아 제1 도체(51E)의 주위면에 형성된 절연막(61m3)이 에칭되는 것을 억제할 수 있고, 배선이 단부면(51Ec)부터 절연막(61m3)까지 걸쳐서 형성되는 것을 억제할 수 있다. 이에 의해, 제1 도체(51E)에 접속된 배선과 제2 반도체층(50) 사이의 수평 방향의 거리가 너무 작아지는 것을 억제할 수 있고, 제1 도체(51E)에 접속된 배선과 제2 반도체층(50)의 절연성이 열화되는 것을 억제할 수 있다.

[0814] 또한, 본 기술의 제13 실시 형태에 관한 광 검출 장치(1)에서는, 절연막(61m10)에 배선(62)을 매립하기 위한 개구(62h)를 형성하는 에칭 공정에 있어서, 개구(62h)끼리 사이의 절연막(61m10)의 상면이 레지스트 패턴 R9에 의해 덮여 있다. 그 때문에, 개구(62h)끼리 사이의 절연막(61m10)의 상면은, 레지스트 패턴 R9가 없는 상태에서 에칭에 노출된 경우에 비해, 상면이 후퇴하는 경우가 있었다고 해도 약간이고, 또한 절연막(61m10)과 개구(62h) 사이의 모퉁이부가 깎이는 경우가 있었다고 해도 약간이다. 이와 같이, 개구(62h)끼리 사이의 절연막(61m10)에 상면의 후퇴 및 모퉁이부의 절삭을 억제할 수 있으므로, 배선(62)의 미세화가 진행된 경우라도, 배선(62)의 형상이 열화되는 것을 억제할 수 있고, 나아가, 배선(62)끼리의 절연성이 열화되는 것을 억제할 수 있다.

[0815] 또한, 본 기술의 제13 실시 형태에 관한 광 검출 장치(1)에서는, 레지스트를 애싱에 의해 박리한 공정의 다음의 에칭(에치 백)은, 얇은 배리어 절연막(64)을 개구할뿐이다. 그 때문에, 가령 절연막(61)이 에치 백에 의해 후퇴되었다고 해도 약간이다. 이에 의해, 미리 절연막(61)의 두께를 두껍게 해 둘 필요가 없어, 막 두께 설계가 용이하고, 배선의 저배화가 가능하다.

[0816] 또한, 본 기술의 제13 실시 형태에 관한 광 검출 장치(1)에서는, 제1 도체(51E)에 접속된 배선을, 다른 배선과 동일한 듀얼 다마신법에 의해 형성하고 있으므로, 배선의 성능을 향상시킬 수 있고, 수율의 향상도 기대할 수 있다.

[0817] ≪제13 실시 형태의 변형예≫

[0818] 이하, 제13 실시 형태의 변형예에 대하여 설명한다.

[0819] <변형예 1>

[0820] 상술한 제13 실시 형태에 관한 광 검출 장치(1)에서는, 접속부(69)가 제1 도체(51E)마다 복수 마련되어 있었지만, 도 103a 및 도 103b에 나타내는 제13 실시 형태의 변형예 1에 관한 광 검출 장치(1)에서는, 접속부(69)가 제1 도체(51E)마다 1개만 마련되어 있다. 또한, 제13 실시 형태의 변형예 1에 관한 접속부(69)의 직경 및 단부면(69a)은, 제13 실시 형태에 관한 접속부(69)의 직경 및 단부면(69a)보다 크다. 또한, 도 103a는, 도 103b의 E-E 절단선을 따라 단면으로 보았을 때의 단면 구조를 나타내고 있다.

[0821] 도 103b에 나타낸 바와 같이, 평면으로 보아, 접속부(69)의 단부면(69a)의 전체가, 제1 도체(51E)의 단부면(51Ec)에 겹쳐 있다. 단부면(69a)의 크기는, 이상적인 상태에 있어서는 단부면(51Ec)의 크기와 동일한 크기여도 되지만, 중첩 어긋남 등을 고려하면, 단부면(51Ec)보다 작은 크기인 것이 바람직하다. 또한, 접속부(69)의 직경 및 단부면(69a)의 크기는, 도 103a 및 도 103b에 한정되지 않는다.

[0822] 이 제13 실시 형태의 변형예 1에 관한 광 검출 장치(1)라도, 상술한 제13 실시 형태에 관한 광 검출 장치(1)와 마찬가지의 효과가 얻어진다.

[0823] [제14 실시 형태]

[0824] 도 104a 및 도 104b에 나타내는 본 기술의 제14 실시 형태에 대하여, 이하에 설명한다. 본 제14 실시 형태에 관한 광 검출 장치(1)가 상술한 제1 실시 형태에 관한 광 검출 장치(1)와 상이한 것은, 제2 도체(52)의 주위면이 제2 반도체층(50)의 일부에 인접하고 있는 점이다. 더 구체적으로는, 절연막(61m11)을 포함하는 절연 부재(61A)와 제2 도체(52) 사이에 제2 반도체층(50)의 일부를 갖는 점이다. 그 이외의 광 검출 장치(1)의 구성은, 기본적으로 상술한 제1 실시 형태의 광 검출 장치(1)와 마찬가지의 구성으로 되어 있다. 또한, 이미 설명한 구성 요소에 대해서는, 동일한 부호를 붙여 그 설명을 생략한다.

[0825] ≪광 검출 장치의 구성≫

[0826] 이하, 본 기술의 제14 실시 형태에 관한 광 검출 장치(1)의 구성에 대하여, 상술한 제1 실시 형태에 관한 광 검출 장치(1)의 구성과 다른 부분을 중심으로 설명한다. 또한, 본 제14 실시 형태를 설명하는 도면에 있어서는, 동일한 구성 요소라도 도면간에 있어서 축척이 다르게 그려져 있는 경우가 있다. 또한, 본 제14 실시 형태를 설명하는 도면에 있어서는, 배리어 메탈층의 도시를 생략하고 있다.

[0827] <제2 도체>

[0828] 도 104a에 나타낸 바와 같이, 제2 도체(52)는, 3층에 적층된 제1 반도체층(20), 제2 반도체층(50) 및 제3 반도체층(80) 중, 중간에 위치하는 제2 반도체층(50)을 관통하도록 마련되어 있다. 그리고, 제2 도체(52)는, 중간에 위치하는 제2 반도체층(50)을 관통함으로써, 제2 반도체층(50)보다 제1 반도체층(20)측에 형성한 회로와, 제2 반도체층(50)보다 제3 반도체층(80)측에 형성한 회로를 전기적으로 접속하는 패스로서 기능한다. 또한, 제2 도체(52)는, 제2 반도체층(50) 중 평면으로 보아 화소 영역(2A)과 겹치는 영역인 제2 영역(50b)(도 4b 참조)에 마련되어 있다. 제2 영역(50b)에는, 트랜지스터 T2가 복수 마련되어 있다.

[0829] 제2 도체(52)는, 화소(3)마다 마련되어 있다. 도 104a에 나타낸 바와 같이, 제2 도체(52)는, 제2 반도체층(50) 중 트랜지스터 T2가 마련된 영역을 피하여 마련되어 있다. 제2 도체(52)는, 예를 들어 트랜지스터 T2가 마련된 영역과 그 이외의 영역을 분리하는 분리 영역에 마련할 수 있다. 수평 방향에 있어서, 분리 영역과 트랜지스터 T2가 마련된 영역을 구별하기 위해, 분리 영역을 제3 영역(50c)이라고 칭하고, 트랜지스터 T2가 마련된 영역을 제4 영역(50d)이라고 칭한다. 또한, 제3 영역(50c)과 제4 영역(50d)을 구별하지 않는 경우에는, 단순히 제2 반도체층(50)이라고 칭한다. 제3 영역(50c)은, 트랜지스터 T2를 분리하기 위해 제3 면(S3)측이 오목하게 되어 있고, 그 두께가 제4 영역(50d)보다 작게 되어 있다. 제3 영역(50c)이 오목해진 부분에는, 절연막(41) 등이 매립되어 있다. 제2 도체(52)는, 제4 영역(50d)보다 두께가 작은 제3 영역(50c)에 마련되어 있다. 또한, 제2 반도체층(50)은, 예를 들어 3㎛ 정도의 두께를 갖는다.

[0830] 제2 도체(52)의 단부(52a)는, 제2 반도체층(50)의 제4 면(S4)으로부터 제3 배선층(60) 내로 돌출되고, 배선(62)에 접속되어 있다. 그리고, 제2 도체(52)의 단부(52b)는, 제2 반도체층(50)의 제3 면(S3)으로부터 제2 배선층(40) 내로 돌출되고, 배선(42)에 접속되어 있다. 제2 도체(52)는 평면으로 보아 화소 영역(2A)에 겹치는 위치에 마련되어 있다. 제2 도체(52)는, 화소(3)의 치수에 대응하여, 그 직경을 가늘게 마련하는 것이 바람직하다. 이것에 한정되지는 않지만, 예를 들어 제2 도체(52)의 직경, 더 구체적으로는 단부(52a)의 직경은, 150㎚ 이하의 치수를 갖는 것이 바람직하다. 또한, 제2 도체(52)는, 텅스텐(W), 루테늄(Ru), 코발트(Co)의 어느 것을 포함하는 금속제이다. 본 실시 형태에서는, 제2 도체(52)가 텅스텐제라고 하고, 설명한다.

[0831] <절연 부재>

[0832] 절연막(61m11)을 포함하는 절연 부재(61A)는, 제2 도체(52)마다 마련되어 있다. 절연 부재(61A)는, 제2 반도체층(50) 중 트랜지스터 T2가 마련된 영역을 피하여 마련되어 있다. 절연 부재(61A)는, 예를 들어 제3 영역(50c)에 마련할 수 있다. 절연막(61m11)은, 이것에 한정되지는 않지만, 예를 들어 산화실리콘제이다.

[0833] 제1 실시 형태에서는, 제2 도체(52)의 주위를 직접 절연막(41m)으로 포위한 이중 구조였다. 이에 대해, 제14 실시 형태에서는, 도 104b에 나타낸 바와 같이, 평면으로 보아, 제2 도체(52)의 주위(외주면)를 제2 반도체층(50)의 일부로 포위하고, 다시 제2 반도체층(50)의 일부의 주위(외주면)를 절연 부재(61A)로 포위한 삼중 구조를 갖는다. 또한, 상술한 제2 반도체층(50)의 일부와, 절연 부재(61A)의 외주측에 위치하는 제2 반도체층(50)을 구별하기 위해, 상술한 제2 반도체층(50)의 일부를 제2 반도체층(50A)이라고 칭하고, 절연 부재(61A)의 외주측에 위치하는 제2 반도체층(50)을 제2 반도체층(50B)이라고 칭한다. 제2 반도체층(50A)과 제2 반도체층(50B)을 구별하지 않는 경우에는, 단순히 제2 반도체층(50)이라고 칭한다. 또한, 제2 반도체층(50A)은, 절연 부재(61A)의 내주측에 위치하는 제2 반도체층(50)이다. 본 실시 형태에 있어서는, 평면으로 보아, 제2 도체(52)의 외주면을 환 형상으로 절단부 없이 포위하는 제2 반도체층(50A)과, 제2 반도체층(50A)의 외주면을 환 형상으로 절단부 없이 포위하는 절연 부재(61A)를 예시하고 있다. 더 구체적으로는, 제2 반도체층(50A) 및 절연 부재(61A)의 각각은, 평면으로 보아 원환 형상으로 마련되어 있다. 또한, 제2 반도체층(50A)은, 제2 도체(52)의 외주면을 층 형상으로 덮고 있으면 되고, 트랜지스터 등의 소자가 마련되어 있지 않다.

[0834] 일반적으로, 예를 들어 제2 도체(52)와 동일한 관통 도체(예를 들어, 제2 도체(52))를 반도체층에 형성하면, 관통 도체의 주위의 반도체층에 스트레스(응력)가 발생한다. 이 스트레스는, 관통 도체를 구성하는 재료와 반도체의 열팽창 계수의 차이에 의해 발생하는 것이다. 그리고, 관통 도체의 주위의 반도체층에 발생한 스트레스에 의해 트랜지스터의 특성이 영향을 받을 가능성이 있다. 스트레스에 의한 트랜지스터의 이온 변동 δId는, 이하의 (1)식에 의해 표현된다.

[0835] $$\delta I_d = (\Pi_{11} - \Pi_{12}) \cdot \sigma_{TSV} \cdot (\cos^2\theta - \sin^2\theta) \cdot (\Phi/2r)^2 \quad \cdots (1)$$

[0836] 또한, π_{11}은 실리콘의 어느 일면의 법선 방향으로 힘이 작용한 경우의 피에조 계수이고, π_{12}는 실리콘의 어느

일면의 전단 방향으로 힘이 작용한 경우의 피에조 계수이고, σ_{TSV}는 관통 도체에 의한 스트레스이고, Φ는 관통 도체의 직경이고, r은 관통 도체와의 거리이다. (1)식에 나타낸 바와 같이, 트랜지스터의 이온 변동 δId는, 관통 도체에 의한 스트레스 σ_{TSV}에 비례하고 있다. 그 때문에, 일반적으로는, 트랜지스터를 관통 도체로부터 일정한 거리 떨어진 위치에 배치하는 것이 바람직하다. 즉, 트랜지스터를 킵 아웃 영역의 외측에 배치하는 것이 바람직하다.

[0837] 제2 도체(52)와 제2 반도체층(50) 사이에 있어서도, 열팽창 계수의 차이에 의해 스트레스가 발생한다. 그러나, 이 스트레스는, 주로 제2 도체(52)와 제2 반도체층(50A)의 계면에 집중하고 있다.

[0838] 절연 부재(61A)는, 제2 반도체층(50)을 두께 방향을 따라 관통하여, 제2 반도체층(50)을 복수 부분으로 분단하고 있다. 더 구체적으로는, 절연 부재(61A)는, 제2 반도체층(50)을 제2 반도체층(50A)과 제2 반도체층(50B)으로 분단하고 있다. 절연 부재(61A)가 제2 반도체층(50)을 제2 반도체층(50A)과 제2 반도체층(50B)으로 물리적으로 분단하고 있으므로, 제2 도체(52)와 제2 반도체층(50) 사이에 발생한 스트레스가 제2 반도체층(50B)(제4 영역(50d))까지 전해지기 어렵게 되어 있다. 또한, 절연 부재(61A)는 절연성을 가지므로, 제2 반도체층(50A) 및 제2 도체(52)와 제2 반도체층(50B) 사이를 전기적으로 분리하기 위한 절연막으로서 이용되고 있다. 또한, 제2 반도체층(50A)과 제2 도체(52) 사이는, 전기적으로 도통하고 있어도 된다. 제2 반도체층(50A)은, 제2 도체(52)와 접촉하도록 마련되어 있지만, 제2 반도체층(50A)과 제2 도체(52) 사이에 자연 산화막이 생성되어 있어도 된다. 절연 부재(61A)는 공지의 재료제이다. 절연 부재(61A)는, 예를 들어 산화실리콘제이다. 또한, 평면으로 본 절연 부재(61A)의 내주면과 외주면 사이의 거리(이하, 폭이라고 칭하는 경우가 있음)는, 이것에 한정되지는 않지만, 제2 도체(52)의 직경보다 작은 것이 바람직하다.

[0839] ≪광 검출 장치의 제조 방법≫

[0840] 이하, 도 105a부터 도 105e까지를 참조하여, 광 검출 장치(1)의 제조 방법에 대하여 설명한다. 또한, 본 실시 형태에 있어서는, 절연 부재(61A) 및 제2 도체(52)의 제조 방법을 중심으로 설명하고, 그 이외의 부분에 대해서는 설명을 생략한다.

[0841] 먼저, 절연 부재(61A)를 형성한다. 도 105a에 나타낸 바와 같이, 공지의 리소그래피 기술 및 에칭 기술 등을 사용하여, 제2 반도체층(50)을 두께 방향을 따라 관통하는 홈(61h1)을 형성한다. 더 구체적으로는, 제2 반도체층(50)의 제3 영역(50c)에 대하여, 제4 면(S4)측으로부터, 평면으로 보아 원환 형상(도 104b 참조)의 홈(61h1)을 형성한다. 또한, 홈(61h1)을 형성함으로써, 제2 반도체층(50)이 제2 반도체층(50A)과 제2 반도체층(50B)으로 분단된다.

[0842] 그리고, 도 105b에 나타낸 바와 같이, 예를 들어 CVD법을 사용하여, 홈(61h1) 내에 절연막(61m11)을 성막하고, 홈(61h1) 내를 절연막(61m11)으로 메운다. 이에 의해, 절연 부재(61A)를 얻는다.

[0843] 이어서, 제2 도체(52)를 형성한다. 더 구체적으로는, 제2 도체(52)를 제4 면(S4)측으로부터 비아 라스트 방식에 의해 형성한다. 도 105c에 나타낸 바와 같이, 제2 반도체층(50)의 노출면에, 공지의 성막 기술을 사용하여 절연막(61m12)을 적층한다. 그리고, 절연막(61m12)의 노출면에, 공지의 성막 기술, 리소그래피 기술 및 에칭 기술 등을 사용하여, 절연막(61m13)을 포함하는 하드 마스크를 형성한다. 하드 마스크는, 평면으로 보아 제2 반도체층(50A)에 겹치는 위치에, 개구(61h2)를 갖고 있다.

[0844] 그리고, 도 105d에 나타낸 바와 같이, 건식 에칭 등 공지의 에칭 기술을 사용하여, 개구(61h2)로부터 노출되는 부분을 에칭하여, 구멍(61h3)을 형성한다. 구멍(61h3)은, 절연막(61m12) 및 제2 반도체층(50A)을 관통하여, 배선(42)에 도달할 때까지 에칭함으로써 형성된다.

[0845] 그 후, 도시는 생략하지만, 구멍(61h3)의 내부에, 탄탈(Ta), 티타늄(Ti), 니켈(Ni)의 어느 것 또는 모두를 포함하는 금속막을, 배리어층 및 밀착층으로서 적층한다. 그 후, 도 105e에 나타낸 바와 같이, 구멍(61h3)의 내부에, 예를 들어 CVD법에 의해 텅스텐을 퇴적시켜, 구멍(61h3)의 내부를 텅스텐으로 충전한다. 그 후, CMP법, 에칭 기술 등을 사용하여, 여분의 금속막을 제거한다. 이에 의해, 제2 도체(52)를 얻는다. 이 후의 공정에 대해서는, 설명을 생략한다.

[0846] 또한, 절연막(61m1)부터 절연막(61m13)까지를 서로 구별하지 않는 경우, 단순히 절연막(61)이라고 칭해도 된다. 또한, 도 105e에서는 절연막(61m13)을 포함하는 하드 마스크를 남긴 채 제2 도체(52)를 형성하고 있지만, 하드 마스크를 제거한 후에 제2 도체(52)를 형성해도 된다.

[0847] ≪제14 실시 형태의 주된 효과≫

[0848] 이하, 제14 실시 형태의 주된 효과를 설명하지만, 그 전에, 도 106을 참조하여 종래의 구성에 대하여 설명한다. 종래의 구성에서는, 제2 도체(52)는, 트랜지스터로부터 거리 KOZ1 이상 이격된 위치에 마련할 필요가 있었다. 거리 KOZ1은, 트랜지스터 T2의 킵 아웃 영역의 크기를 나타내고 있다.

[0849] 이에 비해, 본 기술의 제14 실시 형태에 관한 광 검출 장치(1)에서는, 도 107에 나타낸 바와 같이, 트랜지스터 T2의 킵 아웃 영역의 크기를 나타내는 거리 KOZ2는, 종래의 거리 KOZ1보다 작게 되어 있다. 그 때문에, 제2 도체(52)를, 종래의 경우보다 트랜지스터 T2에 가까운 위치에 마련할 수 있다. 이에 의해, 화소(3)의 미세화에 대응하여, 제2 도체(52)를 종래의 경우보다 높은 밀도로 제2 반도체층(50)에 마련할 수 있다.

[0850] 더 구체적으로는, 본 기술의 제14 실시 형태에 관한 광 검출 장치(1)에서는, 제2 반도체층(50)을 두께 방향을 따라 관통하는 절연 부재(61A)를 갖고, 평면으로 보아, 제2 도체(52)의 주위를 제2 반도체층(50)의 일부인 제2 반도체층(50A)으로 포위하고, 다시 제2 반도체층(50A)을 절연 부재(61A)로 포위한 삼중 구조를 갖는다. 이와 같이, 절연 부재(61A)가 제2 반도체층(50)을 제2 반도체층(50A)과 제2 반도체층(50B)으로 물리적으로 분단하고 있으므로, 제2 도체(52)와 제2 반도체층(50)의 재료의 열팽창 계수 차이에 의해 발생한 스트레스는, 주로 제2 도체(52)와 제2 반도체층(50A)의 계면에 집중하여, 제2 반도체층(50B)(제4 영역(50d))까지 전해지기 어렵게 되어 있다. 그 때문에, 킵 아웃 영역의 치수를 억제할 수 있어, 제2 도체(52)와 트랜지스터 T2 사이의 거리가 커지는 것을 억제할 수 있다. 이에 의해, 화소(3)가 미세화된 경우라도, 제2 도체(52)를 킵 아웃 영역의 외측에 마련할 수 있어, 제2 도체(52)가 트랜지스터 T2의 특성에 미치는 영향을 억제할 수 있다. 또한, 킵 아웃 영역의 치수를 억제할 수 있으므로, 제2 도체(52)의 레이아웃 설계의 부하가 커지는 것을 억제할 수 있다.

[0851] 또한, 본 기술의 제14 실시 형태에 관한 광 검출 장치(1)에서는, 제2 도체(52) 및 절연 부재(61A)는, 제2 반도체층(50) 중, 제4 영역(50d)보다 두께가 얇은 제3 영역(50c)에 마련되어 있다. 그 때문에, 절연 부재(61A)를 매립하기 위한 홈(61h1)을 제2 반도체층(50)에 형성할 때, 제2 반도체층(50)을 두께 방향으로 에칭하는 양이 적어져, 평면으로 본 폭이 작은 절연 부재(61A)를 형성하기 쉬워진다.

[0852] 또한, 상술한 제14 실시 형태에 있어서, 절연 부재(61A)는 평면으로 보아 원환 형상으로 마련되어 있었지만, 평면으로 보아 사각형의 환 형상으로 마련되어 있어도 된다.

[0853] ≪제14 실시 형태의 변형예≫

[0854] 이하, 제14 실시 형태의 변형예에 대하여 설명한다.

[0855] <변형예 1>

[0856] 제14 실시 형태에 관한 광 검출 장치(1)에서는, 제2 도체(52) 및 절연 부재(61A)를 제2 반도체층(50)의 제3 영역(50c)에 마련하고 있었지만, 도 108에 나타내는 제14 실시 형태의 변형예 1에 관한 광 검출 장치(1)에서는, 제2 도체(52) 및 절연 부재(61A)를, 제2 반도체층(50)의 제5 영역(50e)에 마련하고 있다.

[0857] 제5 영역(50e)은, 제2 반도체층(50) 중, 제3 영역(50c) 및 제4 영역(50d) 이외의 영역이다. 제5 영역(50e)은, 그 두께가 제4 영역(50d)과 동등하고, 제3 영역(50c)보다 두껍다.

[0858] 이 제14 실시 형태의 변형예 1에 관한 광 검출 장치(1)라도, 상술한 제14 실시 형태에 관한 광 검출 장치(1)와 마찬가지의 효과가 얻어진다.

[0859] <변형예 2>

[0860] 제14 실시 형태에 관한 광 검출 장치(1)에서는, 제2 도체(52)마다 일중의 절연 부재(61A)를 마련하고 있었지만, 도 109a 및 도 109b에 나타내는 제14 실시 형태의 변형예 2에 관한 광 검출 장치(1)에서는, 제2 도체(52)마다 절연 부재(61A)를 이중으로 마련하고 있다. 이중으로 마련한 절연 부재(61A)를 서로 구별하기 위해, 내측의 절연 부재(61A)를 절연 부재(61Aa)라고 칭하고, 외측의 절연 부재(61A)를 절연 부재(61Ab)라고 칭한다. 절연 부재(61Aa)와 절연 부재(61Ab)를 구별하지 않는 경우에는, 단순히 절연 부재(61A)라고 칭한다.

[0861] 도 109a에 나타낸 바와 같이, 외측의 절연 부재(61Ab)는, 제2 반도체층(50B)을 다시 제2 반도체층(50B1)과 제2 반도체층(50B2)으로 분단하고 있다. 제2 반도체층(50B1)은 절연 부재(61Aa)와 절연 부재(61Ab) 사이에 위치하고, 제2 반도체층(50B2)은 절연 부재(61Ab)의 외주측에 위치하고 있다. 또한, 제2 반도체층(50B1)과 제2 반도체층(50B2)을 구별하지 않는 경우에는, 단순히 제2 반도체층(50B)이라고 칭한다.

[0862] 도 109b에 나타낸 바와 같이, 본 변형예에서는, 평면으로 보아, 제2 도체(52)의 주위(외주면)를 제2 반도체층(50A)으로 포위하고, 제2 반도체층(50A)의 주위(외주면)를 절연 부재(61Aa)로 포위하고, 절연 부재(61Aa)의 주위(외주면)를 제2 반도체층(50B1)(제2 반도체층(50)의 다른 일부)으로 포위하고, 제2 반도체층(50B1)의 주위(외주면)를 절연 부재(61Ab)로 포위한 5중 구조를 갖는다.

[0863] 제2 반도체층(50A), 제2 반도체층(50B1), 절연 부재(61Aa) 및 절연 부재(61Ab)의 각각은, 평면으로 보아 원환 형상으로 마련되어 있다. 또한, 제2 반도체층(50A) 및 제2 반도체층(50B1)은, 층 형상이고, 트랜지스터 등의 소자가 마련되어 있지 않다.

[0864] 절연 부재(61Aa)가 제2 반도체층(50)을 제2 반도체층(50A)과 제2 반도체층(50B)으로 물리적으로 분단하고 있으므로, 제2 도체(52)와 제2 반도체층(50)의 재료의 열팽창 계수 차이에 의해 발생한 스트레스는, 주로 제2 도체(52)와 제2 반도체층(50A)의 계면에 집중하여, 제2 반도체층(50B)(제4 영역(50d))까지 전해지기 어렵게 되어 있다. 본 변형예에서는, 또한, 절연 부재(61Aa)의 외주측에 있어서, 절연 부재(61Ab)가 제2 반도체층(50B)을 제2 반도체층(50B1)과 제2 반도체층(50B2)으로 물리적으로 분단하고 있으므로, 스트레스는, 절연 부재(61Ab)의 외주측에 위치하는 제2 반도체층(50B2)(제4 영역(50d))까지 더 전해지기 어렵게 되어 있다.

[0865] 이하, 도 110을 참조하여, 광 검출 장치(1)의 제조 방법에 대하여 설명한다. 또한, 본 변형예에 있어서는, 제14 실시 형태에 있어서 설명한 제조 방법과 상이한 점에 대해서만 설명하고, 그 이외의 부분에 대해서는 설명을 생략한다. 도 110에 나타낸 바와 같이, 공지의 리소그래피 기술 및 에칭 기술 등을 사용하여, 제2 반도체층(50)을 두께 방향을 따라 관통하는 홈(61h1a) 및 홈(61h1b)을 형성한다. 더 구체적으로는, 제2 반도체층(50)의 제3 영역(50c)에 대하여, 제4 면(S4)측으로부터, 평면으로 보아 원환 형상(도 109b 참조)의 홈(61h1a) 및 홈(61h1b)을 형성한다. 또한, 홈(61h1a)과 홈(61h1b)을 구별하지 않는 경우에는, 단순히 홈(61h1)이라고 칭한다. 홈(61h1)을 형성함으로써, 제2 반도체층(50)이 제2 반도체층(50A)과, 제2 반도체층(50B1)과, 제2 반도체층(50B2)으로 분단된다. 그 후, 도시는 생략하지만, 예를 들어 CVD법을 사용하여, 홈(61h1a) 및 홈(61h1b) 내에 절연막(61m11)을 성막하고, 홈(61h1a) 및 홈(61h1b) 내를 절연막(61m11)으로 메운다. 이에 의해, 절연 부재(61Aa) 및 절연 부재(61Ab)를 얻는다. 그 후의 처리는 제14 실시 형태에 있어서 설명한 제조 방법과 동일하다.

[0866] 이 제14 실시 형태의 변형예 2에 관한 광 검출 장치(1)라도, 상술한 제14 실시 형태에 관한 광 검출 장치(1)와 마찬가지의 효과가 얻어진다.

[0867] 또한, 제14 실시 형태의 변형예 2에 관한 광 검출 장치(1)에서는, 절연 부재(61Aa)의 외주측에 위치하는 제2 반도체층(50B)을, 절연 부재(61Ab)에 의해 더 분단하고 있으므로, 스트레스가 제2 반도체층(50B2)(제4 영역(50d))까지 더 전해지기 어렵게 되어 있다. 그 때문에, 제2 도체(52)를, 더 트랜지스터 T2에 가까운 위치에 마련할 수 있다. 이에 의해, 화소(3)의 미세화에 대응하여, 제2 도체(52)를 더 높은 밀도로 제2 반도체층(50)에 마련할 수 있다.

[0868] <변형예 3>

[0869] 제14 실시 형태에 관한 광 검출 장치(1)에서는, 제2 도체(52)마다 일중의 절연 부재(61A)를 마련하고 있고, 제14 실시 형태의 변형예 2에 관한 광 검출 장치(1)에서는, 제2 도체(52)마다 절연 부재(61A)를 이중으로 마련하고 있었다. 도 111a 및 도 111b에 나타내는 제14 실시 형태의 변형예 3에 관한 광 검출 장치(1)에서는, 제2 도체(52)마다 절연 부재(61A)를 삼중으로 마련하고 있다. 더 구체적으로는, 변형예 2의 절연 부재(61Ab)의 외측에, 더 절연 부재(61A)를 마련한 구성이다. 절연 부재(61Ab)의 외측에 마련한 절연 부재(61A)를 다른 절연 부재(61A)와 구별하기 위해, 절연 부재(61Ac)라고 칭한다. 즉, 삼중으로 마련한 절연 부재(61A)를 서로 구별하기 위해, 내측으로부터 순서대로 절연 부재(61Aa), 절연 부재(61Ab), 절연 부재(61Ac)라고 칭한다. 절연 부재(61Aa)와, 절연 부재(61Ab)와, 절연 부재(61Ac)를 서로 구별하지 않는 경우에는, 단순히 절연 부재(61A)라고 칭한다.

[0870] 도 111a에 나타낸 바와 같이, 가장 외측의 절연 부재(61Ac)는, 제2 반도체층(50B2)을 다시 제2 반도체층(50B2a)과 제2 반도체층(50B2b)으로 분단하고 있다. 제2 반도체층(50B2a)은 절연 부재(61Ab)와 절연 부재(61Ac) 사이에 위치하고, 제2 반도체층(50B2b)은 절연 부재(61Ac)의 외주측에 위치하고 있다. 또한, 제2 반도체층(50B2a)과 제2 반도체층(50B2b)을 구별하지 않는 경우에는, 단순히 제2 반도체층(50B2)이라고 칭한다.

[0871] 도 111b에 나타낸 바와 같이, 본 변형예에서는, 평면으로 보아, 제2 도체(52)의 주위(외주면)를 제2 반도체층(50A)으로 포위하고, 제2 반도체층(50A)의 주위(외주면)를 절연 부재(61Aa)로 포위하고, 절연 부재(61Aa)의 주위(외주면)를 제2 반도체층(50B1)(제2 반도체층(50)의 다른 일부)으로 포위하고, 제2 반도체층(50B1)의 주위(외

주면)를 절연 부재(61Ab)로 포위하고, 절연 부재(61Ab)의 주위(외주면)를 제2 반도체층(50B2a)으로 포위하고, 제2 반도체층(50B2a)의 주위(외주면)를 절연 부재(61Ac)로 포위한 칠중 구조를 갖는다.

[0872] 제2 반도체층(50A), 제2 반도체층(50B1), 제2 반도체층(50B2a), 절연 부재(61Aa), 절연 부재(61Ab) 및 절연 부재(61Ac)의 각각은, 평면으로 보아 원환 형상으로 마련되어 있다. 또한, 제2 반도체층(50A), 제2 반도체층(50B1) 및 제2 반도체층(50B2a)은 층 형상이고, 트랜지스터 등의 소자가 마련되어 있지 않다.

[0873] 본 변형예에서는, 또한, 절연 부재(61Ab)의 외주측에 있어서, 절연 부재(61Ac)가 제2 반도체층(50B2)을 제2 반도체층(50B2a)과 제2 반도체층(50B2b)으로 물리적으로 분단하고 있으므로, 스트레스는, 절연 부재(61Ac)의 외주측에 위치하는 제2 반도체층(50B2b)(제4 영역(50d))까지 더 전해지기 어렵게 되어 있다.

[0874] 이하, 도 112를 참조하여, 광 검출 장치(1)의 제조 방법에 대하여 설명한다. 또한, 본 변형예에 있어서는, 제14 실시 형태에 있어서 설명한 제조 방법과 상이한 점에 대해서만 설명하고, 그 이외의 부분에 대해서는 설명을 생략한다. 도 112에 나타낸 바와 같이, 공지의 리소그래피 기술 및 에칭 기술 등을 사용하여, 제2 반도체층(50)을 두께 방향을 따라 관통하는 홈(61h1a), 홈(61h1b) 및 홈(61h1c)을 형성한다. 더 구체적으로는, 제2 반도체층(50)의 제3 영역(50c)에 대하여, 제4 면(S4)측으로부터, 평면으로 보아 원환 형상(도 111b 참조)의 홈(61h1a), 홈(61h1b) 및 홈(61h1c)을 형성한다. 또한, 홈(61h1a), 홈(61h1b) 및 홈(61h1c)을 서로 구별하지 않는 경우에는, 단순히 홈(61h1)이라고 칭한다. 홈(61h1)을 형성함으로써, 제2 반도체층(50)이 제2 반도체층(50A)과, 제2 반도체층(50B1)과, 제2 반도체층(50B2a)과, 제2 반도체층(50B2b)으로 분단된다. 그 후, 도시는 생략하지만, 예를 들어 CVD법을 사용하여, 홈(61h1a), 홈(61h1b) 및 홈(61h1c) 내에 절연막(61m11)을 성막하고, 홈(61h1a), 홈(61h1b) 및 홈(61h1c) 내를 절연막(61m11)으로 메운다. 이에 의해, 절연 부재(61Aa), 절연 부재(61Ab) 및 절연 부재(61Ac)를 얻는다. 그 후의 처리는 제14 실시 형태에 있어서 설명한 제조 방법과 동일하다.

[0875] 이 제14 실시 형태의 변형예 3에 관한 광 검출 장치(1)라도, 상술한 제14 실시 형태에 관한 광 검출 장치(1)와 마찬가지의 효과가 얻어진다.

[0876] 또한, 제14 실시 형태의 변형예 3에 관한 광 검출 장치(1)에서는, 절연 부재(61Ab)의 외주측에 위치하는 제2 반도체층(50B2)을, 절연 부재(61Ac)에 의해 더 분단하고 있으므로, 스트레스가 제2 반도체층(50B2b)(제4 영역(50d))까지 더 전해지기 어렵게 되어 있다. 그 때문에, 제2 도체(52)를, 더 트랜지스터 T2에 가까운 위치에 마련할 수 있다. 이에 의해, 화소(3)의 미세화에 대응하여, 제2 도체(52)를 더 높은 밀도로 제2 반도체층(50)에 마련할 수 있다.

[0877] [제15 실시 형태]

[0878] 도 113에 나타내는 본 기술의 제15 실시 형태에 대하여, 이하에 설명한다. 본 제15 실시 형태에 관한 광 검출 장치(1)가 상술한 제1 실시 형태에 관한 광 검출 장치(1)와 상이한 것은, 제2 도체(52) 대신에 제2 도체(52F)를 갖는 점이고, 그 이외의 광 검출 장치(1)의 구성은, 기본적으로 상술한 제1 실시 형태의 광 검출 장치(1)와 마찬가지의 구성으로 되어 있다. 또한, 이미 설명한 구성 요소에 대해서는, 동일한 부호를 붙여 그 설명을 생략한다.

[0879] ≪광 검출 장치의 구성≫

[0880] 이하, 본 기술의 제15 실시 형태에 관한 광 검출 장치(1)의 구성에 대하여, 상술한 제1 실시 형태에 관한 광 검출 장치(1)의 구성과 다른 부분을 중심으로 설명한다. 또한, 본 제15 실시 형태를 설명하는 도면에 있어서는, 동일한 구성 요소라도 도면간에 있어서 축척이 다르게 그려져 있는 경우가 있다. 또한, 본 제15 실시 형태를 설명하는 도면에 있어서는, 배리어 메탈층의 도시를 생략하고 있다.

[0881] <제2 도체>

[0882] 제2 도체(52F)는, 적층 방향을 따라, 제4 면(S4)측의 단부인 단부(52Fa)(제1 단부)와, 제3 면(S3)측의 단부인 단부(52Fb)(제2 단부)를 갖는다. 단부(52Fa)는, 배선(62)에 접속되어 있다. 또한, 단부(52Fa)의 단부면은, 도113에 있어서, 적층 방향에 있어서 제4 면(S4)과 거의 동일 위치에 있지만, 이것에는 한정되지 않고, 제4 면(S4)보다 제3 배선층(60)측에 위치하고 있어도 되고, 제4 면(S4)보다 제2 반도체층(50)측에 위치하고 있어도 된다.

[0883] 제2 도체(52F)는, 적층 방향을 따라, 중간부(52Fc)를 더 갖는다. 중간부(52Fc)는, 단부(52Fa)와 단부(52Fb) 사이의 부분이다. 그리고, 단부(52Fa), 단부(52Fb), 중간부(52Fc)의 직경을, 각각 직경 dFa, 직경 dFb, 직경

dFc라고 칭한다. 또한, 중간부(52Fc) 중, 단부(52Fa)와의 경계에 위치하는 부분의 직경을, 직경 dFc1이라고 칭한다. 또한, 제2 도체(52F)의 직경이란, 제2 도체(52F)의 수평 방향의 치수이다. 그리고, 본 실시 형태에서는 제2 도체(52F)의 평면으로 본 형상은 원형이지만, 예를 들어 사각형 등의 다각형이어도 되고, 제2 도체(52F)의 수평 방향의 치수를 직경이라고 칭해도 된다. 제2 도체(52F)의 직경의 크기는, 도시된 바와 같이 적층 방향을 따라 변화되어 있다. 즉, 제2 도체(52F)의 횡단면의 면적(이하, 횡단면적이라고 칭함)의 크기는, 적층 방향을 따라 변화되어 있다. 제2 도체(52F)의 횡단면적은, 직경이 큰 부분일수록, 크게 되어 있다.

[0884] 단부(52Fa)는, 제2 도체(52F)에 있어서 직경 및 횡단면적이 크게 마련된 확경부이다. 단부(52Fa)는, 중간부(52Fc)보다 직경 및 횡단면적이 크게 마련되어 있다(dFa>dFc). 더 구체적으로는, 단부(52Fa)의 직경 dFa는, 중간부(52Fc) 중 단부(52Fa)와의 경계에 위치하는 부분의 직경인 직경 dFc1보다, 크게 마련되어 있다(dFa>dFc1). 이하, 제2 도체(52F)를, 단부(52Fb)로부터 중간부(52Fc)를 거쳐서 단부(52Fa)를 향해 본 경우에 대하여 설명한다. 예를 들어, 도 113에 나타내는 예에서는, 제2 도체(52F)는, 단부(52Fb)부터 중간부(52Fc)까지는, 단부(52Fa)를 향해 순테이퍼 형상으로 되어 있고, 그 직경 및 횡단면적은, 단부(52Fa)에 근접함에 따라, 서서히 감소하고 있다. 그리고, 중간부(52Fc)의 직경 및 횡단면적은, 중간부(52Fc)와 단부(52Fa)의 경계에 있어서 최소(직경 dFc1)가 되고, 그 후 증가로 돌아선다. 더 구체적으로는, 제2 도체(52F)의 직경 및 횡단면적은, 단부(52Fa)에 있어서 증가로 돌아선다. 제2 도체(52F)의 직경 및 횡단면적은, 중간부(52Fc)와 단부(52Fa)의 경계에 있어서 변곡점을 갖고 있다.

[0885] 제2 도체(52F)는 금속제이다. 제2 도체(52F)는, 예를 들어 텅스텐(W), 루테늄(Ru), 코발트(Co)의 어느 것을 포함하는 금속제이다. 본 실시 형태에서는, 제2 도체(52F)가 텅스텐제라고 하고, 설명한다.

[0886] ≪광 검출 장치의 제조 방법≫

[0887] 이하, 도 114a부터 도 114i까지를 참조하여, 광 검출 장치(1)의 제조 방법에 대하여 설명한다. 또한, 본 실시 형태에 있어서는, 제2 도체(52F)의 제조 방법을 중심으로 설명하고, 그 이외의 부분에 대해서는 설명을 생략한다.

[0888] 본 실시 형태에서는, 제2 도체(52F)를 비아 미들 방식에 의해 형성한다. 먼저, 도 114a에 나타낸 바와 같이, 제2 반도체층(50w)에, 제3 면(S3)측으로부터, 트랜지스터 T2 등을 형성하여, 절연막(41) 중 일부분을 적층한다. 그 후, 제2 반도체층(50w)에, 제3 면(S3)측으로부터, 공지의 리소그래피 기술 및 에칭 기술에 의해, 제2 도체(52F)를 매립하기 위한 구멍(53F)을 형성한다. 더 구체적으로는, 절연막(41)의 노출면에 대하여, 개구부(R10a)를 갖는 레지스트 패턴 R10을 형성하고, 개구부(R10a)로부터 노출되는 절연막(41) 및 제2 반도체층(50w)을 에칭하여, 구멍(53F)을 형성한다.

[0889] 그리고, 도 114b에 나타낸 바와 같이, 구멍(53F)의 측벽 및 저부를 덮도록, 보호막(41n)을 형성한다. 그리고, 보호막(41n) 중 구멍(53F)의 저부를 덮는 부분을 에치 백에 의해 제거한다. 보호막(41n)은, 선택된 에천트에 대하여 제2 반도체층(50w)보다 에칭 레이트가 낮은 재료이다. 보호막(41n)은, 이것에 한정되지는 않지만, 예를 들어 질화실리콘에 의해 구성되어 있다.

[0890] 이어서, 도 114c에 나타낸 바와 같이, 구멍(53F) 중, 보호막(41n)에 덮여 있지 않은 저부에 노출되는 실리콘을 등방성 에칭에 의해 에칭하여, 구멍(53F)의 저부를 확장한다. 이에 의해, 구멍(53F)의 저부에, 단부(52Fa)를 매립하기 위한 영역인 확경실(53Fa)이 형성된다. 도 114c에는, 평면으로 본 구멍(53F)과 확경실(53Fa)의 형상을 나타내고 있다. 구멍(53F) 및 확경실(53Fa)은 평면으로 보아 원형이고, 확경실(53Fa)의 직경 및 횡단면적은, 구멍(53F)의 직경 및 횡단면적보다 크게 형성되어 있다. 그리고, 보호막(41n) 및 레지스트 패턴 R10을 제거한다.

[0891] 그 후, 도 114d에 나타낸 바와 같이, 구멍(53F) 및 확경실(53Fa)의 측벽 및 저면에 대하여, 보호막으로서 절연막(41m)을 적층한다. 그리고, 도 114e에 나타낸 바와 같이, 절연막(41m)의 노출면에 대하여, 공지의 리소그래피 기술을 사용하여, 개구부(R11a)를 갖는 레지스트 패턴 R11을 형성한다. 레지스트 패턴 R11은, 구멍(53F) 및 확경실(53Fa)의 내부에도 충전되어 있다. 그리고, 공지의 에칭 기술을 사용하여, 개구부(R11a)로부터 노출되는 절연막(41)을 에칭하여, 트랜지스터 T2에 접속되는 비아(44)를 매립하기 위한 구멍(44h)을 형성한다. 그리고, 레지스트 패턴 R11을 제거한다.

[0892] 이어서, 도 114f에 나타낸 바와 같이, 공지의 방법을 사용하여, 구멍(53F) 내 및 확경실(53Fa) 내와, 구멍(44h) 내를 텅스텐으로 메운다. 더 구체적으로는, 구멍(53F) 내 및 확경실(53Fa) 내를, 텅스텐으로 한번에 메운다. 이에 의해, 구멍(53F) 내 및 확경실(53Fa) 내에 제2 도체(52F)가 형성된다. 더 구체적으로는, 제2 도체(52F)의

단부(52Fa)가 확경실(53Fa) 내에 형성되고, 단부(52Fb) 및 중간부(52Fc)가 구멍(53F) 내에 형성된다. 구멍(53F) 내와 확경실(53Fa) 내는, 일(一) 공정으로 한번에 메워져 있고, 다른 공정에 의해 따로따로 메워져 있는 것은 아니다. 그 때문에, 제2 도체(52F)는, 단부(52Fb)부터 단부(52Fa)까지, 절단부 없이 일체로 형성되어 있다. 그리고, 구멍(44h) 내에 비아(44)가 형성된다.

[0893] 그 후, 도 114g에 나타낸 바와 같이, 제2 배선층(40)을 완성시킨다. 그리고, 도시는 생략하지만, 제2 배선층(40)이 적층된 제2 반도체층(50w)과, 별도 준비한, 제1 배선층(30)이 적층된 제1 반도체층(20)을, 배선층끼리를 접합함으로써 접합한다.

[0894] 이어서, 도 114h에 나타낸 바와 같이, 제3 면(S3)과는 반대측으로부터 제2 반도체층(50w)을 박육화한다. 더 구체적으로는, CMP법에 의해, 제2 반도체층(50w)을 박육화한다. 그리고, 이에 의해, 제2 반도체층(50)에 상당하는 부분이 남겨져, 제2 도체(52F)의 단부(52Fa)가 제4 면(S4)으로부터 노출된다. 이 CMP법에 의한 제2 반도체층(50w)의 연삭은, 제2 도체(52F)의 단부(52Fa)가 노출된 상태가 되면, 정지한다. 본 실시 형태에 있어서, 제2 도체(52F)는 텅스텐제이고, 실리콘과는 다른 재료에 의해 구성되어 있다. CMP법에 의한 제2 반도체층(50w)의 연삭에 있어서, 실리콘과는 다른 재료가 연삭면에 노출되면, 연삭의 압력이 변화된다. 그 때문에, 연삭을 정지하는 타이밍은, 연삭의 압력의 변화를 검지함으로써 알 수 있다. 본 실시 형태에서는, 제2 도체(52F)의 단부(52Fa)는, 직경 및 횡단면적이 크게 마련된 확경부이다. 그 때문에, 제4 면(S4)으로부터 노출되는 단부(52Fa)의 면적이 커져, 연삭의 압력의 변화가 현저해진다. 그 때문에, 연삭을 정지하는 타이밍이 명확해진다. 그리고, 도 114i에 나타낸 바와 같이, 배선(62)을 형성한다. 이 후의 공정에 대해서는 설명을 생략한다.

[0895] ≪제15 실시 형태의 주된 효과≫

[0896] 이하, 제15 실시 형태의 주된 효과를 설명한다. 종래부터, CMP법에 의해 제2 반도체층(50w)을 연삭하여, 제2 도체(52F)의 단부(52Fa)를 제4 면(S4)으로부터 노출하는 경우가 있었다. 그때, 실리콘과는 다른 재료가 연삭면에 노출되면 연삭의 압력이 변화되므로, 이 연삭의 압력 변화에 기초하여 연삭을 정지하는 타이밍을 알 수 있다. 그러나, 제2 도체(52F)의 직경의 크기에 따라서는, 연삭의 압력 변화가 명확하지 않은 경우가 있었다. 이에 비해, 본 기술의 제15 실시 형태에 관한 광 검출 장치(1)에서는, 제2 도체(52F)의 제4 면(S4)측의 단부(52Fa)는, 제2 도체(52F) 중 제3 면(S3)측의 단부(52Fb)와 단부(52Fa) 사이의 부분인 중간부(52Fc)보다 직경이 크다. 그 때문에, CMP법에 의해 제2 반도체층(50w)을 연삭하여 제2 도체(52F)를 제4 면(S4)으로부터 노출시킬 때, 제4 면(S4)으로부터 노출되는 제2 도체(52F)의 면적이 커져, 연삭의 압력 변화가 현저해진다. 그 때문에, 연삭을 정지하는 타이밍이 명확해진다. 그 때문에, CMP법에 의한 연삭을 정지하는 타이밍을 아는 것이 용이해진다.

[0897] 또한, 본 기술의 제15 실시 형태에 관한 광 검출 장치(1)에서는, 화소(3)의 미세화에 수반하여 제2 도체(52F)의 직경이 작아진 경우라도, 단부(52Fa)가 중간부(52Fc)보다 직경이 크므로, 제4 면(S4)으로부터 노출되는 제2 도체(52F)의 면적이 작아지는 것을 억제할 수 있다. 이에 의해, 연삭을 정지하는 타이밍이 불명확해지는 것을 억제할 수 있다.

[0898] 또한, 본 기술의 제15 실시 형태에 관한 광 검출 장치(1)에서는, 제2 도체(52F)의 직경은, 단부(52b)로부터 단부(52a)를 향해 본 경우에, 감소한 후에, 중간부(52Fc)와 단부(52Fa)의 경계부터 증가로 돌아선다. 그 때문에, 제4 면(S4)으로부터 노출되는 제2 도체(52F)의 면적이 작아지는 것을 억제할 수 있고, 이에 의해, 연삭을 정지하는 타이밍이 불명확해지는 것을 억제할 수 있다.

[0899] 또한, 상술한 제15 실시 형태에 있어서, 제2 도체(52F)는, 단부(52Fb)부터 중간부(52Fc)까지는, 단부(52Fa)를 향해 순테이퍼 형상으로 되어 있었지만, 본 기술은 이것에 한정되지는 않는다. 단부(52Fb)부터 중간부(52Fc)까지는, 단부(52Fa)를 향해 역테이퍼 형상, 직경의 크기가 바뀌지 않는 스트레이트 형상이어도 된다. 단부(52Fa)의 직경 dFa가, 중간부(52Fc) 중 단부(52Fa)와의 경계에 위치하는 부분의 직경인 직경 dFc1보다, 크게 마련되어 있으면, 단부(52Fb)부터 중간부(52Fc)까지의 형상은 상관없다.

[0900] 또한, 상술한 제15 실시 형태에 있어서, 단부(52a)에 접속된 배선(62)은, 제4 면(S4)보다 제3 배선층(60)측에 마련하고 있었지만, 이것에 한정되지는 않는다. 제4 면(S4)에 노출되는 단부(52a)의 노출면을 오목하게 하여, 그 오목부에 배선(62)을 마련해도 된다.

[0901] 또한, 상술한 제15 실시 형태에 있어서, 제1 반도체층(20)이 광전 변환 영역(20a)을 갖고, 제2 반도체층(50)이 읽어내기 회로(15)의 트랜지스터 등의 소자를 갖고, 제3 반도체층(80)이 로직 회로(13) 등의 로직 회로 또는 메모리의 트랜지스터 등의 소자를 갖고 있어도 된다.

[0902] 또한, 제1 도체(51)를 비아 퍼스트 방식 또는 비아 미들 방식에 의해 형성한 경우에는, 제1 도체(51)에 대하여 제2 도체(52F)의 구조를 적용해도 된다.

[0903] ≪제15 실시 형태의 변형예≫

[0904] 이하, 제15 실시 형태의 변형예에 대하여 설명한다.

[0905] <변형예 1>

[0906] 제15 실시 형태에 관한 광 검출 장치(1)에서는, 단부(52Fa)는, 등방성 에칭을 사용한 제조 방법에 의해 평면으로 보아 원형으로 마련되어 있었지만, 도 115 및 도 116에 나타내는 제15 실시 형태의 변형예 1에 관한 광 검출 장치(1)에서는, 단부(52Fa)는, 이방성 에칭을 사용한 제조 방법에 의해 평면으로 보아 사각형으로 마련되어 있다. 단부(52Fa)는, 도 116에 나타낸 바와 같이, 예를 들어 평면으로 보아 마름모형으로 마련되어 있다.

[0907] 이하, 도 116을 참조하여, 광 검출 장치(1)의 제조 방법에 대하여 설명한다. 또한, 본 변형예에 있어서는, 제15 실시 형태에 있어서 설명한 제조 방법과 상이한 점에 대해서만 설명하고, 그 이외의 부분에 대해서는 설명을 생략한다. 구멍(53F) 중, 보호막(41n)에 덮여 있지 않은 저부에 노출되는 실리콘을 이방성 에칭에 의해 에칭하여, 구멍(53F)의 저부를 확장한다. 이에 의해, 구멍(53F)의 저부에, 단부(52Fa)를 매립하기 위한 영역인 확경실(53Fa)이 형성된다. 도 116에는, 평면으로 본 구멍(53F)과 확경실(53Fa)의 형상을 나타내고 있다. 확경실(53Fa)은 평면으로 보아 사각형이다. 확경실(53Fa)은, 예를 들어 평면으로 보아 마름모형이다. 확경실(53Fa)의 직경 및 횡단면적은, 구멍(53F)의 직경 및 횡단면적보다 크게 형성되어 있다. 이러한 형상의 확경실(53Fa)에 매립된 텅스텐에 의해, 사각형의 단부(52Fa)가 형성된다. 이것 이후의 처리는, 제15 실시 형태와 동일하므로, 생략한다.

[0908] 이 제15 실시 형태의 변형예 1에 관한 광 검출 장치(1)라도, 상술한 제15 실시 형태에 관한 광 검출 장치(1)와 마찬가지의 효과가 얻어진다.

[0909] <변형예 2>

[0910] 제15 실시 형태에 관한 광 검출 장치(1)에서는, 제2 도체(52F)를 비아 미들 방식에 의해 형성하고 있었지만, 도 117a 및 도 117b에 나타내는 제15 실시 형태의 변형예 2에 관한 광 검출 장치(1)에서는, 제2 도체(52F)를 비아 퍼스트 방식에 의해 형성하고 있다.

[0911] 이하, 광 검출 장치(1)의 제조 방법에 대하여 설명한다. 또한, 본 변형예에 있어서는, 제15 실시 형태에 있어서 설명한 제조 방법과 상이한 점에 대해서만 설명하고, 그 이외의 부분에 대해서는 설명을 생략한다. 먼저, 도 117a에 나타낸 바와 같이, 트랜지스터 등의 소자가 형성되어 있지 않은 제2 반도체층(50w)에 대하여, 제3 면(S3)측으로부터, 구멍(53F) 및 확경실(53Fa)을 형성한다. 그리고, 구멍(53F) 및 확경실(53Fa)의 측벽 및 저면에 대하여, 보호막으로서 절연막(41m)을 적층한다. 그 후, 구멍(53F) 및 확경실(53Fa) 내에 희생층(41k)을 매립한다. 희생층(41k)은, 트랜지스터 등의 소자를 형성할 때 오염원이 되기 어려운 재료인 것이 바람직하다. 희생층(41k)은, 이것에 한정되지는 않지만, 예를 들어 폴리실리콘제이다.

[0912] 이어서, 도 117b에 나타낸 바와 같이, 트랜지스터 T2 등의 소자를 형성하여, 절연막(41) 중 일부분을 적층한다. 그리고, 공지의 리소그래피 기술 및 에칭 기술에 의해, 절연막(41)에 대하여, 희생층(41k)을 제거하기 위한 구멍(53Fb)을 형성한다. 그 후, 구멍(53Fb)을 통해 희생층(41k)을 제거한다. 이것 이후의 처리는, 제15 실시 형태와 동일하므로, 생략한다.

[0913] 이 제15 실시 형태의 변형예 2에 관한 광 검출 장치(1)라도, 상술한 제15 실시 형태에 관한 광 검출 장치(1)와 마찬가지의 효과가 얻어진다.

[0914] 또한, 제15 실시 형태의 변형예 1에 관한 광 검출 장치(1)가 갖는 제2 도체(52F)를, 비아 퍼스트 방식에 의해 형성해도 된다.

[0915] <변형예 3>

[0916] 제15 실시 형태에 관한 광 검출 장치(1)는, 제1 반도체층(20)으로부터 제3 반도체층(80)까지를 겹쳐서 적층한 3층 적층 구조를 갖고 있었지만, 도 118에 나타내는 제15 실시 형태의 변형예 3에 관한 광 검출 장치(1)는, 제1 반도체층(20)과 제2 반도체층(50)을 겹쳐서 적층한 2층 적층 구조를 갖고 있다. 그리고, 제2 반도체층(50)의 제4 면(S4)에는, 배선(62Ca) 및 범프(62Cb)를 갖는 재배선층(62C)이 형성되어 있다. 또한, 범프(62Cb)는, 실장 기판측에 마련되어 있어도 된다. 범프(62Cb)를 구성하는 금속으로서, 예를 들어 납, 니켈, 구리 등을 들 수 있

다. 또한, 본 변형예에서는, 제1 반도체층(20)이 광전 변환 영역(20a)을 갖고, 제2 반도체층(50)이 로직 회로(13)의 트랜지스터 등의 소자를 갖고 있다.

[0917] 이 제15 실시 형태의 변형예 3에 관한 광 검출 장치(1)라도, 상술한 제15 실시 형태에 관한 광 검출 장치(1)와 마찬가지의 효과가 얻어진다.

[0918] 또한, 읽어내기 회로(15)가 갖는 트랜지스터 등의 소자는, 제1 반도체층(20)과 제2 반도체층(50) 중 한쪽의 반도체층에 마련되어 있으면 된다. 또한, 제1 반도체층(20)에는, 메모리와, 로직 회로(13) 등의 로직 회로가 갖는 트랜지스터 등의 소자와, 광전 변환 영역(20a) 중 어느 것이 마련되어 있으면 되고, 제2 반도체층(50)에는, 메모리와, 로직 회로(13) 등의 로직 회로가 갖는 트랜지스터 등의 소자 중 어느 것이 마련되어 있으면 된다.

[0919] [제16 실시 형태]

[0920] 도 119a부터 도 119d까지 나타내는 본 기술의 제16 실시 형태에 대하여, 이하에 설명한다. 본 제16 실시 형태에 관한 광 검출 장치(1)가 상술한 제1 실시 형태에 관한 광 검출 장치(1)와 상이한 것은, 배선층에 반사 부재를 갖는 점이고, 그 이외의 광 검출 장치(1)의 구성은, 기본적으로 상술한 제1 실시 형태의 광 검출 장치(1)와 마찬가지의 구성으로 되어 있다. 또한, 이미 설명한 구성 요소에 대해서는, 동일한 부호를 붙여 그 설명을 생략한다.

[0921] ≪광 검출 장치의 구성≫

[0922] 이하, 본 기술의 제16 실시 형태에 관한 광 검출 장치(1)의 구성에 대하여, 상술한 제1 실시 형태에 관한 광 검출 장치(1)의 구성과 다른 부분을 중심으로 설명한다. 또한, 본 제16 실시 형태를 설명하는 도면에 있어서는, 동일한 구성 요소라도 도면간에 있어서 축척이 다르게 그려져 있는 경우가 있다. 또한, 본 제16 실시 형태를 설명하는 도면에 있어서는, 집광층(90), 광전 변환 영역(20a) 등 광 검출 장치(1)의 일부의 구성 요소의 도시를 생략하고 있는 경우가 있다. 또한, 본 제16 실시 형태를 설명하는 도면에 있어서는, 배리어 메탈층을 생략한 도면이 있다.

[0923] <제1 배선층>

[0924] 도 119a는, 화소 영역(2A)의 일부의 종단면 구조를 나타내는 도면이다. 도 119a에 나타낸 바와 같이, 제1 배선층(30)은, 절연막(31)과, 배선(32)과, 비아(콘택트)(34)를 포함하는 다층 배선층이다. 또한, 제1 실시 형태에 있어서 설명한 제1 접속 패드(33)에 대해서는, 본 실시 형태에서는 배선(32)으로서 취급한다. 배선(32)은, 절연막(31)을 통해 적층되어 있다. 더 구체적으로는, 제1 배선층(30)은, 적층 방향으로, 절연막(31)을 통해 적층된 복수의 메탈층을 갖고 있다. 그리고, 각 메탈층은, 수평 방향을 따라 복수의 배선(32)을 갖고 있다. 동일한 메탈층에 속하는 복수의 배선(32)은, 하지의 요철의 영향을 받을 가능성이 있지만, 적층 방향(Z방향)의 동일한 높이 위치에 배치되어 있다고 간주할 수 있다. 도 119a는, 제1 배선층(30)이 2층의 메탈층(M1, M2)을 갖는 예를 나타내고 있다. 메탈층(M1, M2)의 각각은, 수평 방향을 따라 복수의 배선(32)을 갖고 있다. 배선(32)은, 금속제이다. 배선(32)을 구성하는 금속으로서, 이것에 한정되지는 않지만, 예를 들어 구리, 알루미늄 등을 들 수 있다. 본 실시 형태에서는, 배선(32)이 구리에 의해 구성되어 있다고 하고, 설명한다.

[0925] 비아(34)는, 적층 방향을 따라 연장되어 있다. 제1 배선층(30)은, 적층 방향으로, 복수의 비아층을 갖고 있다. 그리고, 각 비아층은, 수평 방향을 따라 복수의 비아(34)를 갖고 있다. 동일한 비아층에 속하는 복수의 비아(34)는, 하지의 요철의 영향을 받을 가능성이 있지만, 적층 방향(Z방향)의 동일한 높이 위치에 배치되어 있다고 간주할 수 있다. 도 119a는, 제1 배선층(30)이 2층의 비아층(V1, V2)을 갖는 예를 나타내고 있다. 비아층(V1, V2)의 각각은, 수평 방향을 따라 복수의 비아(34)를 갖고 있다. 비아(34)는, 2개의 부재의 사이를 전기적으로 접속하고 있다. 비아(34)는, 이것에 한정되지는 않지만, 예를 들어 배선(32)끼리의 사이, 배선(32)과 제1 반도체층(20) 사이 등을 전기적으로 접속하고 있다. 더 구체적으로는, 비아층(V2)에 속하는 비아(34)는, 배선(32)끼리의 사이를 전기적으로 접속하고 있다. 그리고, 비아층(V1)에 속하는 비아(34)는, 배선(32)과 제1 반도체층(20) 사이를 전기적으로 접속하고 있다. 비아층(V1)에 속하는 비아(34)는, 이것에 한정되지는 않지만, 예를 들어 제1 반도체층(20)에 구성된 전하 축적 영역 FD와 배선(32) 사이를 전기적으로 접속하고 있다. 비아(34)는 금속제이다. 비아(34)를 구성하는 금속으로서, 이것에 한정되지는 않지만, 예를 들어 텅스텐(W), 코발트(Co), 루테늄(Ru), 구리(Cu) 등을 들 수 있다. 본 실시 형태에서는, 비아(34)가 텅스텐에 의해 구성되어 있다고 하고, 설명한다.

[0926] 또한, 도 119b에 나타낸 바와 같이, 제1 배선층(30)은, 적층 방향을 따라 연장되는 더미 비아(반사 부재)(34D)를 갖고 있다. 더미 비아(34D)는, 복수의 비아층의 각각에 대하여 마련되어 있다. 본 실시 형태에서는, 더미

비아(34D)는, 비아층(V1, V2)의 각각에 대하여 마련되어 있다. 또한, 더미 비아(34D)는, 광의 반사를 기대할 수 있는 금속에 의해 구성되어 있다. 예를 들어, 더미 비아(34D)는, 비아(34)와 동일한 재료에 의해 구성되어 있어도 되고, 다른 재료로 구성되어 있어도 된다. 본 실시 형태에서는, 더미 비아(34D)는, 비아(34)와 동일한 텅스텐으로 구성되어 있다고 하고, 설명한다. 또한, 비아층(V2)에 대하여 마련된 더미 비아(34D)의 구성은, 비아층(V1)에 대하여 마련된 더미 비아(34D)의 구성과 마찬가지이므로, 도시는 생략하고 있다. 이하, 비아층(V1)을 예로 들어, 비아(34) 및 더미 비아(34D)에 대하여 설명한다.

[0927] 비아층(V1)에 대하여 마련된 더미 비아(34D)는, 하지의 요철의 영향을 받을 가능성이 있지만, 적층 방향에 있어서, 비아층(V1)에 속하는 비아(34)와 동일한 높이 위치에 배치되어 있다. 본 실시 형태에서는, 비아(34)와, 비아층(V1)에 대하여 마련된 더미 비아(34D)의 양쪽이, 비아층(V1)에 속한다고 간주하는 것으로 한다. 또한, 더미 비아(34D)는, 연장 방향의 치수가 비아(34)와는 다르기는 하지만, 그 대부분이 비아(34)와 동일한 높이 위치에 있으면 된다. 즉, 더미 비아(34D)와 비아(34)는, 수평 방향으로 적어도 일부가 가로 배열이면 된다.

[0928] 더미 비아(34D)는, 전기적으로 부유 상태에 있다. 더 구체적으로는, 더미 비아(34D)는, 제1 반도체층(20) 및 배선(32)에 접속되어 있지 않다. 그리고, 더미 비아(34D)는, 광을 반사하는 금속에 의해 구성되어 있으므로, 광 검출 장치(1)에 입사하고 또한 제1 배선층(30)까지 도달한 광의 적어도 일부를 반사 가능하다. 더 구체적으로는, 더미 비아(34D)의 제1 반도체층(20)측의 단부면은, 광 검출 장치(1)에 입사하고 또한 제1 배선층(30)까지 도달한 광의 적어도 일부를, 제1 반도체층(20)을 향해 반사 가능하다. 또한, 더미 비아(34D)의 연장 방향의 치수는, 이것에 한정되지는 않지만, 예를 들어 100㎚ 이상이다. 이와 같은 구성에 의해, 광이 더미 비아(34D)를 투과하는 것을 억제할 수 있다. 도 119c는, 비아층(V1)의 일부의 평면 영역인 평면 영역 V1R을 나타내고 있다. 도 119c에 나타낸 바와 같이, 더미 비아(34D)는, 평면으로 보아 매트릭스 형상으로 배치되어 있고 또한 비아(34)끼리 사이의 영역을 메우고 있다. 평면 영역 V1R에 있어서, 비아(34)는 성기게 마련되어 있다. 평면 영역 V1R에 있어서, 비아(34)가 마련된 영역과 더미 비아(34D)가 마련된 영역을 비교하면, 더미 비아(34D)가 마련된 영역의 쪽이 압도적으로 크다. 예를 들어, 도 119c에 나타내는 예에서는, 평면 영역 V1R에 있어서, 더미 비아(34D)는 비아(34)의 10배 정도의 수량이 마련되어 있다. 또한, 더미 비아(34D)가 평면 영역 V1R에 차지하는 비율은, 바람직하게는 30% 이상이고, 보다 바람직하게는 40% 이상이고, 보다 더욱 바람직하게는 50% 이상이다.

[0929] 또한, 더미 비아(34D)의 평면으로 본 치수는, 비아(34)의 평면으로 본 치수와 동일하거나 또는 동일 정도인 것이 바람직하다. 이렇게 더미 비아(34D)의 평면으로 본 치수를 작게 마련하는 구성에 의해, 예를 들어 더미 배선과 동일한 치수의 큰 더미 패턴을 배치하는 경우에 비해, 작은 빈 영역이라도 더미 비아(34D)를 배치 가능하다.

[0930] 이와 같이, 비아(34)가 마련되어 있지 않은 넓은 영역에 더미 비아(34D)를 빈틈없이 까는 것에 의해, 평면 영역 V1R에 마련된 구조물을 증가시킬 수 있다. 더 구체적으로는, 평면 영역 V1R에 마련된 구조물을, 큰 문제를 발생시키지 않고 증가시킬 수 있다. 이에 의해, 광을 제1 반도체층(20)측에 반사하는 구조물의 총 면적을 증가시킬 수 있다. 더 구체적으로는, 광을 제1 반도체층(20)측으로 반사하는 구조물의 총 면적을, 가능한 범위에서 최대로 할 수 있다. 그 결과, 제1 반도체층(20)으로의 광의 반사가 감소하는 것을 억제할 수 있어, 비아층(V1)을 투과하는 광의 양을 억제할 수 있다.

[0931] 더미 비아(34D)는, 평면으로 보아 가능한 한 균등하게 배치되어 있는 것이 바람직하다. 그것은, 더미 비아(34D)의 배치 피치가 크게 변화되면, 더미 비아(34D)의 형상이 크게 변화될 가능성이 있기 때문이다. 또한, 더미 비아(34D)의 평면으로 본 치수를, 비아(34)의 평면으로 본 치수와 동일하거나 또는 동일 정도로 함으로써, 리소그래피 공정에서 사용하는 마스크의 제작을 용이하게 할 수 있다.

[0932] 도 119b에 나타낸 바와 같이, 절연막(31)은, 복수층의 층간 절연막을 포함한다. 절연막(31)은, 층간 절연막으로서, NSG막(31a)과, TEOS막(31b)을 갖고 있다. NSG막(31a)과 TEOS막(31b)을 구별하지 않는 경우, 그리고 NSG막(31a) 및 TEOS막(31b)과 그 이외의 절연막(31)을 구별하지 않는 경우에는, 그것들을 서로 구별하지 않고, 단순히 절연막(31)이라고 칭한다. NSG막(31a)은, 논도프형의 산화실리콘(SiO_2)막이고, 제1 반도체층(20)의 제1 면(S1)을 덮도록 마련되어 있다. TEOS막(31b)은, TEOS(tetra-ethyl-ortho-silicate)를 원료 가스로 하는 CVD법에 의한 산화실리콘막이다. TEOS막(31b)은, 일산화규소막(SiO)이다. 또한, TEOS막(31b)의 두께 및 적층 방향의 높이 위치는, 도 119b에 한정되지 않는다.

[0933] 또한, 절연막(31)은, 도시하지 않은 산화텅스텐막을 갖고 있다. 산화텅스텐막은, 광을 제1 반도체층(20)측에 반사하는 반사막으로서의 기능을 갖는다. 더 구체적으로는, 산화텅스텐의 굴절률은 2.2 정도이고, NSG막(31a) 및 TEOS막(31b) 등의 층간 절연막의 굴절률(1.45 전후)보다 크다. 그 때문에, 고굴절률의 산화텅스텐막은 다른

층간 절연막보다 표면 반사율이 높아지는 점에서, 반사막으로서의 기능을 갖는다. 산화텅스텐막은, 광을 반사한다는 관점에서, 광전 변환 소자 PD가 구성된 제1 반도체층(20)에 가능한 한 가까운 위치에 마련하는 것이 바람직하다. 산화텅스텐막은, 예를 들어 제1 반도체층(20)과 NSG막(31a) 사이에 마련할 수 있다. 산화텅스텐막은, 또한, 예를 들어 NSG막(31a)과 TEOS막(31b) 사이에 마련할 수 있다.

[0934] <제2 배선층>

[0935] 도 119a에 나타낸 바와 같이, 제2 배선층(40)은, 절연막(41)과, 배선(42)과, 비아(콘택트)(44)를 포함하는 다층 배선층이다. 또한, 제1 실시 형태에 있어서 설명한 제2 접속 패드(43)에 대해서는, 본 실시 형태에서는 배선(42)으로서 취급한다. 배선(42)은, 절연막(41)을 통해 적층되어 있다. 더 구체적으로는, 제2 배선층(40)은, 적층 방향으로, 절연막(41)을 통해 적층된 복수의 메탈층을 갖고 있다. 그리고, 각 메탈층은, 수평 방향을 따라 복수의 배선(42)을 갖고 있다. 동일한 메탈층에 속하는 복수의 배선(42)은, 하지의 요철의 영향을 받을 가능성이 있기는 하지만, 적층 방향(Z방향)의 동일한 높이 위치에 배치되어 있다고 간주할 수 있다. 도 119a는, 제2 배선층(40)이 2층의 메탈층(M1, M2)을 갖는 예를 나타내고 있다. 메탈층(M1, M2)의 각각은, 수평 방향을 따라 복수의 배선(42)을 갖고 있다. 배선(42)은 금속제이다. 배선(42)을 구성하는 금속으로서, 이것에 한정되지는 않지만, 예를 들어 구리, 알루미늄 등을 들 수 있다. 본 실시 형태에서는, 배선(42)이 구리에 의해 구성되어 있다고 하고, 설명한다.

[0936] 비아(44)는, 적층 방향을 따라 연장되어 있다. 제2 배선층(40)은, 적층 방향으로, 복수의 비아층을 갖고 있다. 그리고, 각 비아층은, 수평 방향을 따라 복수의 비아(44)를 갖고 있다. 동일한 비아층에 속하는 복수의 비아(44)는, 하지의 요철의 영향을 받을 가능성이 있지만, 적층 방향(Z방향)의 동일한 높이 위치에 배치되어 있다고 간주할 수 있다. 도 119a는, 제2 배선층(40)이 2층의 비아층(V1, V2)을 갖는 예를 나타내고 있다. 비아층(V1, V2)의 각각은, 수평 방향을 따라 복수의 비아(44)를 갖고 있다. 비아(44)는, 2개의 부재 사이를 전기적으로 접속하고 있다. 비아(44)는, 이것에 한정되지는 않지만, 예를 들어 배선(42)끼리의 사이, 배선(42)과 제2 반도체층(50) 사이 등을 전기적으로 접속하고 있다. 더 구체적으로는, 비아층(V2)에 속하는 비아(44)는, 배선(42)끼리의 사이를 전기적으로 접속하고 있다. 그리고, 비아층(V1)에 속하는 비아(44)는, 배선(42)과 제2 반도체층(50) 사이를 전기적으로 접속하고 있다. 비아층(V1)에 속하는 비아(44)는, 이것에 한정되지는 않지만, 예를 들어 제2 반도체층(50)에 구성된 트랜지스터 T2와 배선(42) 사이를 전기적으로 접속하고 있다. 비아(44)는 금속제이다. 비아(44)를 구성하는 금속으로서, 이것에 한정되지는 않지만, 예를 들어 텅스텐(W), 코발트(Co), 루테늄(Ru), 구리(Cu) 등을 들 수 있다. 본 실시 형태에서는, 비아(44)가 텅스텐에 의해 구성되어 있다고 하고, 설명한다.

[0937] 또한, 도 119d에 나타낸 바와 같이, 제2 배선층(40)은, 적층 방향을 따라 연장되는 더미 비아(반사 부재)(44D)를 갖고 있다. 더미 비아(44D)는, 복수의 비아층의 각각에 대하여 마련되어 있다. 본 실시 형태에서는, 더미 비아(44D)는, 비아층(V1, V2)의 각각에 대하여 마련되어 있다. 또한, 더미 비아(44D)는, 광의 반사를 기대할 수 있는 금속에 의해 구성되어 있다. 더미 비아(44D)는, 비아(44)와 동일한 재료에 의해 구성되어 있어도 되고, 다른 재료로 구성되어 있어도 된다. 본 실시 형태에서는, 더미 비아(44D)는, 비아(44)와 동일한 텅스텐으로 구성되어 있다고 하고, 설명한다. 또한, 비아층(V2)에 대하여 마련된 더미 비아(44D)의 구성은, 비아층(V1)에 대하여 마련된 더미 비아(44D)의 구성과 마찬가지이므로, 도시는 생략하고 있다. 이하, 비아층(V1)을 예로 들어, 비아(44) 및 더미 비아(44D)에 대하여 설명한다.

[0938] 비아층(V1)에 대하여 마련된 더미 비아(44D)는, 하지의 요철의 영향을 받을 가능성이 있지만, 적층 방향에 있어서, 비아층(V1)에 속하는 비아(44)와 동일한 높이 위치에 배치되어 있다. 본 실시 형태에서는, 비아(44)와, 비아층(V1)에 대하여 마련된 더미 비아(44D)의 양쪽이, 비아층(V1)에 속한다고 간주하는 것으로 한다. 또한, 더미 비아(44D)는, 연장 방향의 치수가 비아(44)와는 다르기는 하지만, 그 대부분이 비아(44)와 동일한 높이 위치에 있으면 된다. 즉, 더미 비아(44D)와 비아(44)는, 수평 방향으로 적어도 일부가 가로 배열이면 된다.

[0939] 더미 비아(44D)는, 전기적으로 부유 상태에 있다. 더 구체적으로는, 더미 비아(44D)는, 제2 반도체층(50) 및 배선(42)에 접속되어 있지 않다. 그리고, 더미 비아(44D)는, 광을 반사하는 금속에 의해 구성되어 있으므로, 광 검출 장치(1)에 입사하고 또한 제2 배선층(40)까지 도달한 광의 적어도 일부를 반사 가능하다. 더 구체적으로는, 더미 비아(44D)의 제2 반도체층(50)측의 단부면은, 광 검출 장치(1)에 입사하고 또한 제2 배선층(40)까지 도달한 광의 적어도 일부를, 제1 반도체층(20)을 향해 반사 가능하다. 또한, 더미 비아(44D)의 연장 방향의 치수는, 이것에 한정되지는 않지만, 예를 들어 100㎚ 이상이다. 이와 같은 구성에 의해, 광이 더미 비아(44D)를 투과하는 것을 억제할 수 있다. 또한, 도시는 생략하지만, 더미 비아(44D)는, 제1 배선층(30)의 경우와 마찬가

지로, 평면으로 보아 매트릭스 형상으로 배치되어 있고 또한 비아(44)끼리 사이의 영역을 메우고 있다. 그리고, 더미 비아(34D)의 경우와 마찬가지로, 더미 비아(44D)의 평면으로 본 치수는, 비아(44)의 평면으로 본 치수와 동일하거나 또는 동일 정도인 것이 바람직하다. 평면으로 보아 비아(44)가 마련되어 있지 않은 넓은 영역에 더미 비아(44D)를 빈틈없이 까는 것에 의해, 평면 영역에 마련된 구조물을 증가시킬 수 있다. 더 구체적으로는, 평면 영역에 마련된 구조물을, 큰 문제를 발생시키지 않고 증가시킬 수 있다. 이에 의해, 광을 제1 반도체층(20)측으로 반사하는 구조물의 총 면적을 증가시킬 수 있다. 더 구체적으로는, 광을 제1 반도체층(20)측으로 반사하는 구조물의 총 면적을, 가능한 범위에서 최대로 할 수 있다. 그 결과, 제1 반도체층(20)으로의 광의 반사가 감소하는 것을 억제할 수 있어, 비아층(V1)을 투과하는 광의 양을 억제할 수 있다.

[0940] 이와 같이, 본 실시 형태에 있어서는, 제1 반도체층(20)과 제2 반도체층(50) 사이에 위치하는 배선층에, 더미 비아(34D, 44D)를 마련하고 있다.

[0941] <제3 배선층>

[0942] 도 119a에 나타낸 바와 같이, 제3 배선층(60)은, 절연막(61)과, 배선(62)과, 비아(콘택트)(67)를 포함하는 다층 배선층이다. 또한, 제1 실시 형태에 있어서 설명한 제3 접속 패드(63)에 대해서는, 본 실시 형태에서는 배선(62)으로서 취급한다.

[0943] ≪광 검출 장치의 제조 방법≫

[0944] 이하, 도 120a부터 도 120g까지를 참조하여, 광 검출 장치(1)의 제조 방법에 대하여 설명한다. 또한, 제1 배선층(30)의 각 비아층 및 제2 배선층(40)의 각 비아층에 있어서, 비아 및 더미 비아의 제조 방법은 마찬가지이다. 그 때문에, 본 실시 형태에서는, 제1 배선층(30)의 비아층(V1)에 속하는 비아(34) 및 더미 비아(34D)를 예로 들어, 제조 방법을 설명한다. 또한, 본 실시 형태에서는, 비아(34) 및 더미 비아(34D)의 제조 방법을 중심으로 설명하고, 그 이외의 부분에 대해서는 설명을 생략한다.

[0945] 먼저, 도 120a에 나타낸 바와 같이, 제1 반도체층(20)의 제1 면(S1)에 대하여, 절연막(31m1)과, 절연막(31m2)과, 절연막(31m3)을 이 순서로 적층한다. 절연막(31m1)은, 이것에 한정되지는 않지만, 예를 들어 NSG막(31a)이어도 된다. 절연막(31m2)은, 이것에 한정되지는 않지만, 예를 들어 질화실리콘막이어도 된다. 절연막(31m3)은, 이것에 한정되지는 않지만, 예를 들어 TEOS막(31b)이어도 된다. 또한, 절연막(31m1), 절연막(31m2), 절연막(31m3) 및 후술하는 절연막(31m4)의 각각을 서로 구별하지 않는 경우, 단순히 절연막(31)이라고 칭한다. 그리고, 절연막(31m3)의 노출면에 대하여, 공지의 리소그래피 기술을 사용하여, 개구부(R12a)를 갖는 레지스트 패턴 R12를 형성한다. 개구부(R12a)는, 평면으로 보아 비아(34)를 마련하는 위치와 겹치는 위치에 마련되어 있다. 그 후, 도 120b에 나타낸 바와 같이, 공지의 건식 에칭 기술을 사용하여, 개구부(R12a)로부터 노출되는 부분을 에칭하여, 절연막(31m3)과, 절연막(31m2)과, 절연막(31m1)을 관통하고 또한 저부가 제1 반도체층(20)에 도달하는 구멍(34h)을 형성한다. 그 후, 레지스트 패턴 R12를 제거한다.

[0946] 이어서, 도 120c에 나타낸 바와 같이, 절연막(31m3)의 노출면에 대하여, 공지의 리소그래피 기술을 사용하여, 개구부(R13a)를 갖는 레지스트 패턴 R13을 형성한다. 개구부(R13a)는, 평면으로 보아 더미 비아(34D)를 마련하는 위치와 겹치는 위치에 마련되어 있다. 개구부(R13a)는, 평면으로 보아 구멍(34h)와 겹치지 않는 위치에 마련되어 있다. 레지스트 패턴 R13을 구성하는 레지스트는, 구멍(34h)의 내부에도 충전되어 있다. 그리고, 도 120d에 나타낸 바와 같이, 공지의 건식 에칭 기술을 사용하여, 개구부(R13a)로부터 노출되는 부분을 에칭하여, 더미 비아(34D)를 매립하기 위한 구멍(34Dh)을 형성한다. 그때, 에칭의 가공 시간을 제어하여, 구멍(34Dh)의 저부가, 제1 반도체층(20)에 도달하기 전에 에칭을 정지한다. 이에 의해, 구멍(34Dh)의 저부가 절연막(31) 내에 있는 상태가 된다. 그 후, 레지스트 패턴 R13을 제거한다.

[0947] 그리고, 도 120e에 나타낸 바와 같이, 공지의 스퍼터 기술에 의해, 구멍(34h) 및 구멍(34Dh)의 내벽을 포함하는 노출면에 대하여, 예를 들어 티타늄 등이 금속을 포함하는 배리어 메탈층(BM)을 증착하고, 그 후, 텅스텐막(34m)을 성막하고, 구멍(34h) 및 구멍(34Dh)의 내부를 텅스텐으로 메운다. 그 후, 도 120f에 나타낸 바와 같이, CMP법을 사용하여, 배리어 메탈층(BM) 및 텅스텐막(34m) 중 불필요한 부분을 제거하여, 평탄화한다. 이에 의해, 비아(34) 및 더미 비아(34D)가 형성된다.

[0948] 이어서, 도 120g에 나타낸 바와 같이, 노출면에 대하여 절연막(31m4)을 적층하여, 공지의 리소그래피 기술 및 에칭 기술을 사용하여 배선(32)을 매립하기 위한 홈(32h)을 형성한다. 그 후, 홈(32h)의 내부를 포함하는 노출면에 대하여, 배리어 메탈층과, 배선(32)을 구성하는 금속(구리)을 그 순서로 적층한다. 배선(32)을 구성하는 구리는, 도금 처리에 의해 적층한다. 그리고, CMP법을 사용하여, 배리어 메탈층 및 텅스텐막(34m) 중 불필요한

부분을 제거하여, 평탄화한다. 이에 의해, 배선(32)이 형성된다. 그리고, 광 검출 장치(1)의 배선층이 복수의 비아층을 갖는 경우에는, 비아층마다 상술한 처리와 마찬가지의 처리를 반복하면 된다. 이것 이후의 처리에 대해서는, 설명을 생략한다.

[0949] ≪제16 실시 형태의 주된 효과≫

[0950] 이하, 제16 실시 형태에 관한 광 검출 장치(1)의 주된 효과를 설명하지만, 그 전에, 본 기술의 개요에 대하여 설명한다. 적층형의 광 검출 장치(1)에 있어서, 예를 들어 광전 변환 소자 PD 및 전하 축적 영역 FD가 제1 반도체층(20)에 구성되고, 읽어내기 회로(15)가 갖는 증폭 트랜지스터 AMP 등의 소자가 제2 반도체층(50)에 구성되고, 로직 회로(13)가 갖는 소자가 제3 반도체층(80)에 구성되는 경우가 있다. 이러한 적층형의 광 검출 장치(1)에서는, 예를 들어 전하 축적 영역 FD와 증폭 트랜지스터 AMP 사이(제1 반도체층(20)과 제2 반도체층(50) 사이)의 배선의 수(메탈층의 수)를 저감시켜, 전하 축적 영역 FD와 증폭 트랜지스터 AMP 사이의 거리를 가능한 한 작게 하는 것이 바람직하다. 이에 의해, 배선 용량을 억제할 수 있어, 배선 용량이 광전 변환 효율에 미치는 영향을 억제할 수 있다.

[0951] 상술한 바와 같은 광 검출 장치(1)에서는, 배선의 수를 저감시키고 있으므로, 제1 반도체층(20)을 투과하여 제1 배선층(30) 및 제2 배선층(40)에 입사한 광 중, 배선에 반사되어 제1 반도체층(20)으로 복귀되는 광의 양이 감소할 가능성이 있었다. 이에 의해, 광전 변환 소자 PD의 감도가 저하될 가능성이 있었다. 또한, 전하 축적 영역 FD와 증폭 트랜지스터 AMP 사이의 거리를 축소하면, 제1 반도체층(20)을 투과한 광이 제2 반도체층(50)에 입사할 가능성이 있었다. 제2 반도체층(50)에 광이 입사하면, 제2 반도체층(50)에 구성된 트랜지스터의 특성이 변동될 가능성이 있었다.

[0952] 이에 비해, 본 기술의 제16 실시 형태에 관한 광 검출 장치(1)에서는, 반사 부재로서 기능하는 더미 비아(34D, 44D)를 갖고, 비아(34, 44)가 마련되어 있지 않은 넓은 영역에 더미 비아(34D, 44D)를 빈틈없이 까는 것에 의해, 평면 영역에 마련된 구조물을 증가시킬 수 있다. 이에 의해, 광을 제1 반도체층(20)측으로 반사하는 구조물의 총 면적을 증가시킬 수 있다. 그 결과, 광전 변환 소자 PD의 감도가 저하되는 것을 억제할 수 있다. 또한, 제2 반도체층(50)에 광이 입사하는 것을 억제할 수 있어, 제2 반도체층(50)에 구성된 트랜지스터의 특성이 변동되는 것을 억제할 수 있다.

[0953] 또한, 본 기술의 제16 실시 형태에 관한 광 검출 장치(1)에서는, 비아(34, 44)는 평면으로 보아 성기게 마련되어 있기는 하지만, 반사 부재로서 기능하는 더미 비아(34D, 44D)가, 비아끼리 사이의 빈 영역을 메우도록 배치되어 있다. 그 때문에, 광을 제1 반도체층(20)측으로 반사하는 구조물을, 큰 문제를 발생시키지 않고 증가시킬 수 있다. 이에 의해, 광을 제1 반도체층(20)측으로 반사하는 구조물의 총 면적을, 가능한 범위에서 최대로 할 수 있다. 그 결과, 광전 변환 소자 PD의 감도가 저하되는 것을 억제할 수 있다. 또한, 제2 반도체층(50)에 광이 입사하는 것을 억제할 수 있어, 제2 반도체층(50)에 구성된 트랜지스터의 특성이 변동되는 것을 억제할 수 있다.

[0954] 또한, 본 기술의 제16 실시 형태에 관한 광 검출 장치(1)에서는, 제1 반도체층(20)과 제2 반도체층(50) 사이에 반사 부재로서 기능하는 더미 비아(34D, 44D)를 마련하고 있으므로, 제1 반도체층(20)과 제2 반도체층(50) 사이의 배선 수(메탈층의 수)를 저감시킨 경우라도, 저감된 배선 대신에 광을 제1 반도체층(20)측으로 반사한다. 이와 같이, 배선에 의한 광의 반사를 더미 비아(34D, 44D)에 의해 보충할 수 있으므로, 광전 변환 소자 PD의 감도가 저하되는 것을 억제할 수 있다. 또한, 제2 반도체층(50)에 광이 입사하는 것을 억제할 수 있어, 제2 반도체층(50)에 구성된 트랜지스터의 특성이 변동되는 것을 억제할 수 있다.

[0955] 또한, 본 기술의 제16 실시 형태에 관한 광 검출 장치(1)에서는, 더미 비아(34D)의 평면으로 본 치수를, 비아(34)의 평면으로 본 치수와 동일하거나 또는 동일 정도로 마련하고 있다. 이렇게 더미 비아(34D)의 평면으로 본 치수를 작게 마련하는 구성에 의해, 치수가 큰 더미 패턴을 배치하는 경우에 비해, 작은 빈 영역이라도 더미 비아(34D)를 배치할 수 있다. 이에 의해, 광을 제1 반도체층(20)측으로 반사하는 구조물의 총 면적을 더 증가시킬 수 있다. 그 결과, 광전 변환 소자 PD의 감도가 저하되는 것을 더 억제할 수 있다. 또한, 제2 반도체층(50)에 광이 입사하는 것을 더 억제할 수 있어, 제2 반도체층(50)에 구성된 트랜지스터의 특성이 변동되는 것을 더 억제할 수 있다.

[0956] 또한, 본 기술의 제16 실시 형태에 관한 광 검출 장치(1)에서는, NSG막(31a) 및 TEOS막(31b) 등의 층간 절연막보다 굴절률이 큰 산화텅스텐막을 갖고 있다. 그리고, 산화텅스텐막에 의해, 광을 제1 반도체층(20)측으로 반사할 수 있다. 그 결과, 광전 변환 소자 PD의 감도가 저하되는 것을 억제할 수 있다. 또한, 제2 반도체층(5

0)에 광이 입사하는 것을 억제할 수 있어, 제2 반도체층(50)에 구성된 트랜지스터의 특성이 변동되는 것을 억제할 수 있다.

[0957] 또한, 본 제16 실시 형태에서는, 제1 배선층(30)과 제2 배선층(40)의 양쪽의 배선층에 대하여 더미 비아를 마련하고 있었지만, 제1 배선층(30)과 제2 배선층(40) 중 한쪽의 배선층에만 더미 비아를 마련하는 구성이어도 된다.

[0958] 또한, 본 제16 실시 형태에서는, 제1 배선층(30)이 갖는 모든 비아층에 대하여 더미 비아(34D)를 마련하고 있었지만, 제1 배선층(30)이 갖는 비아층 중 일부의 비아층에 대하여 더미 비아(34D)를 마련하는 구성이어도 된다. 예를 들어, 1층의 비아층에 대해서만 더미 비아(34D)를 마련하는 구성이어도 된다. 마찬가지로, 본 제16 실시 형태에서는, 제2 배선층(40)이 갖는 모든 비아층에 대하여 더미 비아(44D)를 마련하고 있었지만, 제2 배선층(40)이 갖는 비아층 중 일부의 비아층에 대하여 더미 비아(34D)를 마련하는 구성이어도 된다. 예를 들어, 1층의 비아층에 대해서만 더미 비아(44D)를 마련하는 구성이어도 된다. 또한, 제1 반도체층(20)과 제2 반도체층(50) 사이에 위치하는 배선층에 있어서, 적어도 1층의 비아층에 대하여 더미 비아를 마련하는 구성이어도 된다.

[0959] 또한, 본 제16 실시 형태에 관한 광 검출 장치(1)의 제조 방법에 있어서는, 도 120f에 나타낸 바와 같이, 비아(34) 및 더미 비아(34D)의 배선(32)측 근처(지면 상측)의 단부의 높이가 정렬되어 있었지만, 이것에 한정되지는 않는다. 예를 들어, 더미 비아(34D)의 배선(32)측 근처의 단부의 높이를, 비아(34)의 배선(32)측 근처의 단부의 높이보다 낮게 형성해도 된다. 이것에 한정되지는 않지만, 예를 들어 더미 비아(34D)를 먼저 형성하고, 노출면에 절연막을 적층한 후에, 비아(34)를 형성해도 된다. 이에 의해, 더미 비아(34D)의 배선(32)측 근처의 단부의 높이를, 비아(34)의 배선(32)측 근처의 단부의 높이보다 낮게 형성할 수 있다. 이에 의해, 더미 비아(34D)와 평면으로 보아 겹치는 위치에, 더미 비아(34D)와 전기적으로 분리된 배선(32)을 형성할 수 있다.

[0960] ≪제16 실시 형태의 변형예≫

[0961] 이하, 제16 실시 형태의 변형예에 대하여 설명한다.

[0962] <변형예 1>

[0963] 제16 실시 형태에 관한 광 검출 장치(1)에서는, 제1 반도체층(20)과 제2 반도체층(50)을 F2F(Face to Face)법으로 접합하고 있었지만, 제16 실시 형태의 변형예 1에 관한 광 검출 장치(1)에서는, 도 6에 나타낸 바와 같이 F2B(Face to Back)법으로 접합하고 있다.

[0964] 도 6에 나타낸 바와 같이, 제1 배선층(30)에 대하여 제3 배선층(60)이 겹쳐서 접합되어 있다. 그 경우에는, 제3 배선층(60) 내에 더미 비아를 형성하면 된다.

[0965] 이 제16 실시 형태의 변형예 1에 관한 광 검출 장치(1)라도, 상술한 제16 실시 형태에 관한 광 검출 장치(1)와 마찬가지의 효과가 얻어진다.

[0966] <변형예 2>

[0967] 제16 실시 형태에 관한 광 검출 장치(1)에서는, 배선층 중 비아층에 대하여 반사 부재를 마련하고 있었지만, 도 121a 및 121b에 나타내는 제16 실시 형태의 변형예 2에 관한 광 검출 장치(1)에서는, 반사 부재를 배선층 중 메탈층에 대하여 마련하고 있다. 또한, 본 변형예에서는, 제1 배선층(30) 및 제2 배선층(40)이 갖는 각 메탈층에 대하여 반사 부재를 마련하고 있다. 각 메탈층의 반사 부재는, 평면으로 본 경우의 형상 및 배치 위치가 다른 경우가 있지만, 본 실시 형태에서는, 일례로서, 제1 배선층(30)이 갖는 메탈층(M1)에 마련한 경우에 대하여 설명한다.

[0968] <제1 배선층>

[0969] 도 121a 및 도 121b에 나타낸 바와 같이, 제1 배선층(30)이 갖는 메탈층(M1)에 대하여, 더미 배선(반사 부재)(32D)이 마련되어 있다. 또한, 더미 배선(32D)은, 광의 반사를 기대할 수 있는 금속에 의해 구성되어 있다. 예를 들어, 더미 배선(32D)은, 배선(32)과 동일한 재료에 의해 구성되어 있어도 되고, 다른 재료로 구성되어 있어도 된다. 본 실시 형태에서는, 더미 배선(32D)은, 배선(32)과 동일한 구리로 구성되어 있다고 하고, 설명한다.

[0970] 메탈층(M1)에 대하여 마련된 더미 배선(32D)은, 하지의 요철의 영향을 받을 가능성이 있지만, 두께 방향에 있어서, 메탈층(M1)에 속하는 배선(32)과 동일한 높이 위치에 배치되어 있다. 더 구체적으로는, 더미 배선(32D)과 배선(32)은, 수평 방향으로 적어도 일부가 가로 배열로 되어 있다. 또한, 본 실시 형태에서는, 배선(32)과, 메

탈층(M1)에 대하여 마련된 더미 배선(32D)의 양쪽이, 메탈층(M1)에 속한다고 간주하는 것으로 한다.

[0971] 더미 배선(32D)은, 전기적으로 부유 상태에 있다. 더 구체적으로는, 더미 배선(32D)은, 비아(34) 등에 접속되어 있지 않다. 그리고, 더미 배선(32D)은, 광을 반사하는 금속에 의해 구성되어 있으므로, 광 검출 장치(1)에 입사하고 또한 제1 배선층(30)까지 도달한 광의 적어도 일부를 반사 가능하다. 더 구체적으로는, 더미 배선(32D)의 제1 반도체층(20)측의 단부면은, 광 검출 장치(1)에 입사하고 또한 제1 배선층(30)까지 도달한 광의 적어도 일부를, 제1 반도체층(20)을 향해 반사 가능하다. 또한, 더미 배선(32D)의 연장 방향의 치수는, 이것에 한정되지는 않지만, 예를 들어 100㎚ 이상이다. 이와 같은 구성에 의해, 광이 더미 배선(32D)을 투과하는 것을 억제할 수 있다. 도 121b는, 메탈층(M1)의 일부의 평면 영역인 평면 영역 M1R을 나타내고 있다. 도 121b에 나타낸 바와 같이, 더미 배선(32D)은, 배선(32)끼리 사이의 영역에 배치되어 있다. 이와 같이, 배선(32)이 마련되어 있지 않은 영역에 더미 배선(32D)을 배치함으로써, 평면 영역 M1R에 마련된 구조물을 증가시킬 수 있다. 이에 의해, 광을 제1 반도체층(20)측으로 반사하는 구조물의 총 면적을 증가시킬 수 있다. 그 결과, 제1 반도체층(20)으로의 광의 반사가 감소하는 것을 억제할 수 있어, 메탈층(M1)을 투과하는 광의 양을 억제할 수 있다.

[0972] 이 제16 실시 형태의 변형예 2에 관한 광 검출 장치(1)라도, 상술한 제16 실시 형태에 관한 광 검출 장치(1)와 마찬가지의 효과가 얻어진다.

[0973] 또한, 본 제16 실시 형태의 변형예 2에서는, 제1 배선층(30)과 제2 배선층(40)의 양쪽의 배선층에 대하여 더미 배선을 마련하고 있었지만, 제1 배선층(30)과 제2 배선층(40) 중 한쪽의 배선층에만 더미 배선을 마련하는 구성이어도 된다.

[0974] 또한, 본 제16 실시 형태의 변형예 2에서는, 제1 배선층(30)이 갖는 모든 메탈층에 대하여 더미 배선(32D)을 마련하고 있었지만, 제1 배선층(30)이 갖는 메탈층 중 일부의 메탈층에 대하여 더미 배선(32D)을 마련하는 구성이어도 된다. 예를 들어 1층의 메탈층에 대해서만 더미 배선(32D)을 마련하는 구성이어도 된다. 마찬가지로, 본 제16 실시 형태에서는, 제2 배선층(40)이 갖는 모든 메탈층에 대하여 더미 배선(32D)을 마련하고 있었지만, 제2 배선층(40)이 갖는 메탈층 중 일부의 메탈층에 대하여 더미 배선(32D)을 마련하는 구성이어도 된다. 예를 들어, 1층의 메탈층에 대해서만 더미 배선(32D)을 마련하는 구성이어도 된다. 또한, 제1 반도체층(20)과 제2 반도체층(50) 사이에 위치하는 배선층에 있어서, 적어도 1층의 메탈층에 대하여 더미 배선을 마련하는 구성이어도 된다.

[0975] 또한, 본 제16 실시 형태의 변형예 2와 상술한 제16 실시 형태를 조합해도 되고 본 제16 실시 형태의 변형예 2와 상술한 제16 실시 형태의 변형예 1을 조합해도 된다. 광 검출 장치(1)에 대하여, 더미 비아와 더미 배선의 2종류의 반사 부재를 마련함으로써, 광전 변환 소자 PD의 감도가 저하되는 것을 더 억제할 수 있다. 또한, 제2 반도체층(50)에 광이 입사하는 것을 더 억제할 수 있어, 제2 반도체층(50)에 구성된 트랜지스터의 특성이 변동되는 것을 더 억제할 수 있다.

[0976] [제17 실시 형태]

[0977] 도 122부터 도 123c까지 나타내는 본 기술의 제17 실시 형태에 대하여, 이하에 설명한다. 본 제17 실시 형태에 관한 광 검출 장치(1)가 상술한 제1 실시 형태에 관한 광 검출 장치(1)와 상이한 것은, 일단이 제2 반도체층(50)에 접속되고 타단이 제3 반도체층(80)에 접속된 방열 패스(PH)를 갖는 점이고, 그 이외의 광 검출 장치(1)의 구성은, 기본적으로 상술한 제1 실시 형태의 광 검출 장치(1)와 마찬가지의 구성으로 되어 있다. 또한, 이미 설명한 구성 요소에 대해서는, 동일한 부호를 붙여 그 설명을 생략한다.

[0978] ≪광 검출 장치의 구성≫

[0979] 이하, 본 기술의 제17 실시 형태에 관한 광 검출 장치(1)의 구성에 대하여, 상술한 제1 실시 형태에 관한 광 검출 장치(1)의 구성과 다른 부분을 중심으로 설명한다. 또한, 본 기술의 제17 실시 형태에 관한 광 검출 유닛 UT에 대하여 설명한다. 또한, 본 제17 실시 형태를 설명하는 도면에 있어서는, 동일한 구성 요소라도 도면간에 있어서 축척이 다르게 그려져 있는 경우가 있다. 또한, 본 제17 실시 형태를 설명하는 도면에 있어서는, 광 검출 장치(1)의 일부의 구성 요소의 도시를 생략하고 있는 경우가 있다. 또한, 본 제17 실시 형태를 설명하는 도면에 있어서는, 배리어 메탈층을 생략한 도면이 있다.

[0980] <광 검출 유닛>

[0981] 먼저, 광 검출 유닛 UT에 대하여 설명한다. 도 122에 나타낸 바와 같이, 광 검출 유닛 UT는, 프레임 FR과, 투명 기판 GL과, 프레임 FR 및 투명 기판 GL에 의해 둘러싸인 폐공간에 밀봉되고 또한 광 검출 장치(1)를 탑재한

반도체 칩(2)을 갖는다. 반도체 칩(2)의 광 입사면은, 투명 기판 GL에 대향하고 있다. 반도체 칩(2)에 있어서, 제1 반도체층(20)은, 광 입사면 근처에 위치하고 있다. 반도체 칩(2)의 광 입사면과 반대측의 면(접착면)은, 다이 어태치재 DA에 의해 프레임 FR에 고정되어 있다. 반도체 칩(2)에 있어서, 제3 반도체층(80)은, 접착면 근처에 위치하고 있다. 또한, 반도체 칩(2)은, 와이어 본딩 WB를 통해, 프레임 FR 내에 마련된 이너 리드 IL에 전기적으로 접속되어 있다. 이너 리드 IL은, 광 검출 유닛 UT의 투명 기판 GL과는 반대측의 면에 있어서, 랜드 LD에 전기적으로 접속되어 있다. 랜드 LD는 범프 BP를 통해 실장 기판 MB에 실장되어 있다. 이에 의해, 광 검출 유닛 UT가 실장 기판 MB에 실장되어 있다. 또한, 프레임 FR 및 투명 기판 GL은, 패키지를 구성하고 있다.

[0982] 프레임 FR을 구성하는 재료로서, 예를 들어, 세라믹스 및 수지를 들 수 있다. 본 실시 형태에서는, 프레임 FR이 세라믹스제라고 하고, 설명한다. 투명 기판 GL은, 예를 들어 유리로 구성되어 있다. 다이 어태치재 DA는, 예를 들어 은 페이스트로 구성되어 있다. 이너 리드 IL 및 랜드 LD는 금속제이다. 와이어 본딩 WB는, 예를 들어 금으로 구성되어 있다. 범프 BP는, 예를 들어 땜납으로 구성되어 있다.

[0983] 반도체 칩(2) 내에 있어서 발생한 열의 적어도 일부는, 광 입사면측 및 접착면측 등으로부터, 반도체 칩(2)의 외부로 배출된다. 도 122에, 접착면측 등으로부터 배출되는 열의 경로를 화살표 G1로 나타내고 있다. 화살표 G1로 나타낸 바와 같이, 열은, 반도체 칩(2)의 접착면으로부터, 실장 기판 MB로 배출된다. 더 구체적으로는, 열은, 반도체 칩(2)의 접착면으로부터, 다이 어태치재 DA, 랜드 LD 및 범프 BP 등을 통해, 실장 기판 MB로 배출된다.

[0984] <방열 패스>

[0985] 도 123a에 나타낸 바와 같이, 광 검출 장치(1)는, 전기 신호를 전달하기 위한 전기 패스와는 별도로, 열을 배출하는 방열 패스(PH)를 갖고 있다. 방열 패스(PH)는, 주로 열의 전달에 사용되는 패스이다. 광 검출 장치(1)는, 이러한 방열 패스(PH)를 복수 갖고 있다. 방열 패스(PH)는, 제2 반도체층(50)과 제3 반도체층(80) 사이에 있어서, 광 검출 장치(1)의 두께 방향을 따라 연장되어, 제2 반도체층(50)과 제3 반도체층(80)을 열적으로 접속하고 있다. 방열 패스(PH)는, 일단이 제2 반도체층(50)의 제3 반도체층(80)측의 면에 접속되고, 타단이 제3 반도체층(80)의 제2 반도체층(50)측의 면에 접속되어 있다. 본 실시 형태에 있어서는, 방열 패스(PH)는, 일단이 제2 반도체층(50)의 제4 면(S4)에 접속되고, 타단이 제3 반도체층(80)의 제5 면(S5)에 접속되어 있다. 여기서, 예를 들어 제2 도체(52)를 포함하는 전기 패스가 제2 반도체층(50)을 관통하도록 마련되어 있는 것에 비해, 방열 패스(PH)는 주로 열의 전달에 사용되는 패스이므로, 제2 반도체층(50)과 제3 반도체층(80)의 서로 대향하는 면끼리를 접속하고 있으면 되고, 제2 반도체층(50)을 관통하고 있지 않아도 된다. 또한, 방열 패스(PH)는, 제2 반도체층(50)과 제3 반도체층(80) 사이에 위치하는 배선층을 관통하고 있다. 본 실시 형태에 있어서는, 방열 패스(PH)는, 제3 배선층(60) 및 제4 배선층(70)을 관통하고 있다. 이와 같은 구성에 의해, 제2 반도체층(50) 내에 있어서 발생한 열의 적어도 일부는, 방열 패스(PH)를 통해 제3 반도체층(80) 내에 배출될 수 있고, 그 후, 도 122에 나타내는 화살표 G1의 경로를 따라 실장 기판 MB에 배출될 수 있다.

[0986] 방열 패스(PH)는, 열전도체에 의해 구성되어 있다. 방열 패스(PH)의 방열 효과를 재료의 관점에서 고려한 경우, 열전도체의 열전도율이 높으면 높을수록, 방열 패스(PH)의 열저항이 작아져, 방열 패스(PH)를 통한 열의 이동이 원활해진다. 그 때문에, 방열 패스(PH)를 구성하는 열전도체의 열전도율은, 가능한 범위에서 가능한 한 높은 편이 바람직하다. 또한, 「가능한 범위에서 가능한 한 높은 편이 바람직하다」란, 제조 공정상의 이유 등, 열전도율 이외의 이유를 고려하여 열전 도체의 재료를 선택해도 되는 것을 나타내고 있다.

[0987] 방열 패스(PH)의 일단은, 집열부 및 방열부의 한쪽을 구성하고, 방열 패스(PH)의 타단은, 집열부 및 방열부의 다른 쪽을 구성하고 있다. 본 실시 형태에서는, 도 123a에 나타낸 바와 같이, 방열 패스(PH)의 일단은 집열부(PHa)를 구성하고, 방열 패스(PH)의 타단은 방열부(PHb)를 구성하고 있다. 또한, 방열 패스(PH) 중 집열부(PHa)와 방열부(PHb) 사이에 위치하는 부분을, 집열부(PHa) 및 방열부(PHb)와 구별하기 위해, 중간 부분(PHc)이라고 칭한다. 또한, 집열부(PHa)와, 방열부(PHb)와, 중간 부분(PHc)을 서로 구별하지 않는 경우에는, 구별하지 않고, 단순히 방열 패스(PH)라고 칭한다. 또한, 집열부(PHa)와, 방열부(PHb)와, 중간 부분(PHc)의 전체를 가리키는 경우에 있어서도, 방열 패스(PH)라고 칭한다. 방열 패스(PH)의 일단인 집열부(PHa)는, 제2 반도체층 내에 적어도 일부가 매설되어 있다. 그리고, 방열 패스(PH)의 타단인 방열부(PHb)는, 제3 반도체층(80) 내에 적어도 일부가 매설되어 있다. 이하, 집열부(PHa), 방열부(PHb) 및 중간 부분(PHc)에 대하여 설명한다. 또한, 이하의 설명에 사용하는 도면에 있어서, 중간 부분(PHc)의 Y방향에 있어서의 위치는, 집열부(PHa)의 Y방향에 있어서의 위치와 다르지만, 이해를 용이하게 하기 위해, 도면에는 중간 부분(PHc)을 투시한 형상을 그리고 있다.

[0988] <집열부>

[0989] 도 123b에 나타낸 바와 같이, 집열부(PHa)는, 제2 반도체층(50) 내에 있어서 발생한 열의 일부를 모으는 기능을 갖는다. 더 구체적으로는, 집열부(PHa)는, 제2 반도체층(50) 중집열부(PHa)의 주변 부분으로부터 열을 모으는 기능을 갖는다. 집열부(PHa)는, 매설부(PHa1)와, 접속 부재(PHa2)를 갖고 있다. 집열부(PHa)와 제2 반도체층(50) 사이는, 절연막에 의해 절연되어 있다. 이것에 한정되지는 않지만, 예를 들어 매설부(PHa1)와 제2 반도체층(50) 사이는, 절연막(61m14)에 의해 절연되어 있고, 접속 부재(PHa2)와 제2 반도체층(50) 사이는, 실리콘 커버막(65)으로 절연되어 있다. 절연막(61m14)은, 이것에 한정되지는 않지만, 예를 들어 산화실리콘이다. 실리콘 커버막(65)은 절연막이다.

[0990] 매설부(PHa1)는, 방열 패스(PH)마다 복수 마련되어 있다. 더 구체적으로는, 매설부(PHa1)는, 집열부(PHa)마다 복수 마련되어 있다. 매설부(PHa1)는, 집열부(PHa) 중 제2 반도체층(50) 내에 매설된 부분이다. 매설부(PHa1)는, 제4 면(S4)으로부터 제2 반도체층(50)으로 두께 방향을 따라 형성된 구멍에 매립되어 있다. 매설부(PHa1)가 제2 반도체층(50) 내에 매설됨으로써, 집열부(PHa)와 제2 반도체층(50)의 접촉 면적을 증가시킬 수 있다. 이에 의해, 매립하지 않는 경우에 비해 집열 효율을 높일 수 있다. 매설부(PHa1)의 Z방향을 따른 단부 중 제3 반도체층(80)측의 단부는, 제2 반도체층(50)으로부터 노출되어 있고, 접속 부재(PHa2)에 접속되어 있다.

[0991] 접속 부재(PHa2)는, 실리콘 커버막(65)을 통해 제2 반도체층(50)의 제4 면(S4)에 적층되어 있다. 도 123b에 나타낸 바와 같이, 하나의 접속 부재(PHa2)는, 복수의 매설부(PHa1)에 접속되어 있다. 더 구체적으로는, 하나의 접속 부재(PHa2)의 제2 반도체층(50)측의 면은, 복수의 매설부(PHa1)에 접속되어 있다. 그리고, 접속 부재(PHa2)와 매설부(PHa1)가 접촉하는 부분의 실리콘 커버막(65)은, 제거되어 있다. 도 123b는, 6개의 매설부(PHa1)가 접속 부재(PHa2)에 접속된 예를 나타내고 있지만, 접속 부재(PHa2)에 접속되는 매설부(PHa1)의 수량은 6개에 한정되지 않는다. 접속 부재(PHa2)는, 제2 도체(52), 배선(62) 등을 피하도록 배치되어 있다.

[0992] 도 123a 및 도 123b에 나타낸 바와 같이, 접속 부재(PHa2)의 제3 반도체층(80)측의 면은, 중간 부분(PHc)에 접속되어 있다. 복수의 매설부(PHa1)에 의해 모아진 열은, 접속 부재(PHa2)에 의해 모아져, 중간 부분(PHc)으로 전달된다.

[0993] 매설부(PHa1)를 구성하는 재료로서, 이것에 한정되지는 않지만, 예를 들어 텅스텐(열전도율: 198(W/mk)), 텅스텐-실리콘 합금(열전도율: 177(W/mk)), 코발트(열전도율: 105(W/mk)), 구리(열전도율: 403(W/mk)), 루테늄 등을 들 수 있다. 그리고, 접속 부재(PHa2)를 구성하는 재료로서, 이것에 한정되지는 않지만, 예를 들어 매설부(PHa1)를 구성하는 재료와 동일한 재료, 카본 나노튜브(열전도율: 200(W/mk)) 및 그래핀(열전도율: 1200(W/mk)) 등을 들 수 있다. 또한, 상술한 열전도율은, 20℃에 있어서의 열전도율이다. 또한, 제3 배선층(60) 및 제4 배선층(70) 등의 배선층에 절연막으로서 사용되는 산화실리콘은, 그 열전도율이 1.38(W/mk)이다. 매설부(PHa1) 및 접속 부재(PHa2)를 구성하는 재료의 열전도율은, 산화실리콘의 열전도율에 비해 큰 것을 알 수 있다. 본 실시 형태에서는, 일례로서, 매설부(PHa1) 및 접속 부재(PHa2)를 텅스텐에 의해 구성한 예에 대하여 설명한다.

[0994] <중간 부분>

[0995] 도 123a에 나타낸 바와 같이, 중간 부분(PHc)은, 집열부(PHa)부터 방열부(PHb)까지 도중에 끊기지 않고 마련되어 있다. 이와 같은 구성에 의해, 중간 부분(PHc)은, 제2 반도체층(50) 내에 발생한 열의 적어도 일부를 방열부(PHb)로 전달하는 전열부로서 기능할 수 있다. 중간 부분(PHc)은, 전기 신호를 전달하기 위한 전기 패스와 공통의 제조 프로세스에 의해 형성되어 있다. 그 때문에, 중간 부분(PHc)은, 광 검출 장치(1)의 두께 방향을 따라 복수의 배선을 적층하여 접속한 적층 구조를 갖고 있다. 도 123a에 나타내는 예에 있어서, 중간 부분(PHc)은, 복수의 배선(62)과, 복수의 배선(72)을 적층하여 접속한 적층 구조를 갖고 있다. 더 구체적으로는, 중간 부분(PHc)은, 제3 배선층(60)이 갖는 메탈층(M1) 및 메탈층(M2)의 각 메탈층의 배선(62)과, 제4 배선층(70)이 갖는 메탈층(M1)부터 메탈층(M5)까지의 각 메탈층의 배선(72)을 광 검출 장치(1)의 두께 방향을 따라 적층하여 접속한 적층 구조를 갖고 있다. 각 배선층이 갖는 메탈층의 수는, 도 123a에 나타내는 예에 한정되지는 않는다. 또한, 제1 실시 형태에 있어서 설명한 제3 접속 패드(63)에 대해서는, 본 실시 형태에서는 배선(62)으로서 취급한다. 마찬가지로, 제1 실시 형태에 있어서 설명한 제4 접속 패드(73)에 대해서는, 본 실시 형태에서는 배선(62)으로서 취급한다. 또한, 중간 부분(PHc)을 구성하는 배선(62)을, 전기 패스를 구성하는 배선(62)과 구별하기 위해, 배선(62p)이라고 칭한다. 배선(62p)을 배선(62)과 구별하지 않는 경우에는, 단순히 배선(62)이라고 칭한다. 마찬가지로, 중간 부분(PHc)을 구성하는 배선(72)을, 전기 패스를 구성하는 배선(72)과 구별하기 위해, 배선(72p)이라고 칭한다. 배선(72p)을 배선(72)과 구별하지 않는 경우에는, 단순히 배선(72)이라고 칭한다. 또한, 본 실시 형태에서는, 배선(62, 62p) 및 배선(72, 72p)은, 다마신법에 의해 배선과 비아가 일체로 형

성되어 있지만, 본 기술은 이것에 한정되지는 않는다. 배선과 비아가 따로따로 형성되어 있어도 된다. 그러한 경우라도, 배선 및 비아가 열전 도체로 구성되어 있으면 된다.

[0996] 도 123b에 나타내는 예에서는, 중간 부분(PHc)이 갖는 배선 중 제3 배선층(60)의 메탈층(M1)에 속하는 배선(62p)이, 접속 부재(PHa2)에 접속되어 있다. 배선(62p)이 접속 부재(PHa2)에 접속되는 평면 위치는, 도 123b에 나타내는 위치에 한정되지 않는다. 도 123c에 나타내는 예에서는, 중간 부분(PHc)이 갖는 배선 중 제4 배선층(70)의 메탈층(M1)에 속하는 배선(72p)이, 후술하는 접속 부재(PHb2)에 접속되어 있다. 더 구체적으로는, 배선(72p)은, 복수 부분에 있어서 접속 부재(PHa2)에 접속되어 있다. 배선(72p)은, 복수 부분에 있어서 접속 부재(PHa2)에 접속되어 있으므로, 열을 원활하게 접속 부재(PHa2)로 전할 수 있다. 또한, 배선(72p)은, 한군데에 있어서 접속 부재(PHa2)에 접속되어 있어도 된다.

[0997] 중간 부분(PHc)을 구성하는 재료로서, 더 구체적으로는 중간 부분(PHc)의 각 배선을 구성하는 재료로서, 이것에 한정되지는 않지만, 예를 들어 구리, 카본 나노튜브, 그래핀을 들 수 있다. 또한, 중간 부분(PHc)의 일부를 구리로 구성하고, 다른 일부를 카본 나노튜브로 구성해도 된다. 중간 부분(PHc)을 구성하는 재료의 열전도율은, 산화실리콘의 열전도율(1.38(W/mk))에 비해 큰 것을 알 수 있다. 본 실시 형태에서는, 일례로서, 중간 부분(PHc)의 각 배선을 구리에 의해 구성한 예에 대하여 설명한다.

[0998] <방열부>

[0999] 방열부(PHb)는, 제2 반도체층(50) 내에 발생한 열의 일부를, 제3 반도체층(80) 내에 방열하는 히트 싱크로서 기능한다. 도 123c에 나타낸 바와 같이, 방열부(PHb)는, 매설부(PHb1)와, 접속 부재(PHb2)를 갖고 있다. 방열부(PHb)와 제3 반도체층(80) 사이는, 절연막(61m15)에 의해 절연되어 있다. 절연막(61m15)은, 이것에 한정되지는 않지만, 예를 들어 산화실리콘제이다. 이와 같이, 상술한 집열부(PHa)가 제2 반도체층(50)과 전기적으로 분리되어 있고, 방열부(PHb)가 제3 반도체층(80)과 전기적으로 분리되어 있다. 그 때문에 방열 패스(PH)는, 전기적으로 부유 상태에 있다.

[1000] 매설부(PHb1)는, 방열 패스(PH)마다 복수 마련되어 있다. 더 구체적으로는, 매설부(PHb1)는, 방열부(PHb)마다 복수 마련되어 있다. 매설부(PHb1)는, 방열부(PHb) 중 제3 반도체층(80) 내에 매설된 부분이다. 매설부(PHb1)는, 제5 면(S5)으로부터 제3 반도체층(80)에 두께 방향을 따라 형성된 구멍에 매립되어 있다. 매설부(PHb1)가 제3 반도체층(80) 내에 매설됨으로써, 방열부(PHb)와 제3 반도체층(80)의 접촉 면적을 증가시킬 수 있다. 이에 의해, 매립하지 않는 경우에 비해 방열 효율을 높일 수 있다. 매설부(PHb1)의 Z방향을 따른 단부 중 제2 반도체층(50)측의 단부는, 제3 반도체층(80)으로부터 노출되어 있고, 접속 부재(PHb2)에 접속되어 있다.

[1001] 접속 부재(PHb2)는, 절연막(61m15)을 통해 제3 반도체층(80)의 제4 면(S4)에 적층되어 있다. 도 123c에 나타낸 바와 같이, 하나의 접속 부재(PHb2)는, 복수의 매설부(PHb1)에 접속되어 있다. 더 구체적으로는, 하나의 접속 부재(PHb2)의 제3 반도체층(80)측의 면은, 복수의 매설부(PHb1)에 접속되어 있다. 그리고, 접속 부재(PHb2)와 매설부(PHb1)가 접촉하는 부분의 절연막(61m15)은 제거되어 있다. 도 123c는, 9개의 매설부(PHb1)가 접속 부재(PHb2)에 접속된 예를 나타내고 있지만, 접속 부재(PHb2)에 접속되는 매설부(PHb1)의 수량은 9개로 한정되지 않는다.

[1002] 도 123a 및 도 123c에 나타낸 바와 같이, 접속 부재(PHb2)의 제2 반도체층(50)측의 면은, 중간 부분(PHc)에 접속되어 있다. 접속 부재(PHb2)는, 중간 부분(PHc)으로부터 열을 수취하고, 수취한 열의 적어도 일부는 복수의 매설부(PHb1)로 전해지고, 매설부(PHb1)로부터 제3 반도체층(80)으로 전해진다. 그리고, 제3 반도체층(80) 내의 열은, 도 122의 화살표 G1로 나타낸 바와 같이, 프레임 FR을 통해 반도체 칩(2)의 외부로 배출된다.

[1003] 매설부(PHb1)를 구성하는 재료로서, 이것에 한정되지는 않지만, 예를 들어 매설부(PHa1)를 구성하는 재료와 동일한 재료 등을 들 수 있다. 그리고, 접속 부재(PHb2)를 구성하는 재료로서, 이것에 한정되지는 않지만, 예를 들어 접속 부재(PHa2)를 구성하는 재료와 동일한 재료 등을 들 수 있다. 매설부(PHb1) 및 접속 부재(PHb2)를 구성하는 재료의 열전도율은, 산화실리콘의 열전도율(1.38(W/mk))에 비해 큰 것을 알 수 있다. 본 실시 형태에서는, 일례로서, 매설부(PHb1) 및 접속 부재(PHb2)를 텅스텐에 의해 구성한 예에 대하여 설명한다.

[1004] ≪제17 실시 형태의 주된 효과≫

[1005] 이하, 제17 실시 형태 관한 광 검출 장치(1)의 주된 효과를 설명하지만, 그 전에, 본 기술의 개요에 대하여 설명한다. 3층 적층형의 광 검출 장치(1)는, 제1 반도체층(20), 제2 반도체층(50) 및 제3 반도체층(80)이 두께 방향으로 적층된 적층 구조를 갖고 있다. 이들 반도체층에는, 트랜지스터 등의 소자가 마련되어 있다. 그리고, 트랜지스터가 동작함으로써, 반도체층에 열이 발생한다. 반도체층에 발생한 열은, 광 검출 장치(1) 내

에 축적되는 것을 억제하기 위해, 가능한 한 광 검출 장치(1)의 외부로 배출되는 것이 바람직하다.

[1006] 제2 반도체층(50)은, 제1 반도체층(20)과 제3 반도체층(80) 사이에 위치하고 있다. 그 때문에, 제2 반도체층(50) 내에 발생한 열은, 제1 반도체층(20) 내 및 제3 반도체층(80) 내에 발생한 열보다, 광 검출 장치(1)의 외부로 배출되기 어렵다. 또한, 제2 반도체층(50)의 제3 면(S3)과 제1 반도체층(20)의 제1 면(S1) 사이에는, 제1 배선층(30) 및 제2 배선층(40)가 개재되고, 제2 반도체층(50)의 제4 면(S4)과 제3 반도체층(80)의 제5 면(S5) 사이에는, 제3 배선층(60) 및 제4 배선층(70)이 개재되어 있다. 이들 배선층은 절연막을 갖고 있다. 그리고, 절연막인 산화실리콘의 열전도율은 1.38(W/mk)이고, 반도체층을 구성하는 실리콘의 열전도율 120 내지 140(W/mk)에 비해서도, 100분의 1 정도의 크기이다. 제2 반도체층(50)의 Z방향 양측에 열전도율이 작은 산화실리콘이 마련되어 있으면, 제2 반도체층(50) 내에 발생한 열은, Z방향을 따라 광 검출 장치(1)의 외부로 배출되기 어려웠다.

[1007] 이에 비해, 본 기술의 제17 실시 형태에 관한 광 검출 장치(1)는, 일단이 제2 반도체층(50)의 제3 반도체층(80)측의 면에 접속되고, 타단이 제3 반도체층(80)에 접속된 방열 패스(PH)를 갖는다. 그 때문에, 제2 반도체층(50) 내에서 발생한 열의 일부가, 방열 패스(PH)를 경유하여, 제3 반도체층(80) 내에 배출된다. 그리고, 제3 반도체층(80) 내에 배출된 열의 적어도 일부는, 광 검출 장치(1)의 접합면을 통해, 패키지의 프레임 FR에 배출되고, 그 후, 범프 BP를 통해, 실장 기판 MB에 배출된다. 이와 같이, 제2 반도체층(50) 내에서 발생한 열의 일부를, 방열 패스(PH)를 경유하고, 광 검출 장치(1)의 외부까지 배출할 수 있다. 나아가, 제2 반도체층(50) 내에서 발생한 열의 일부를, 광 검출 유닛 UT의 외부까지 배출할 수 있다.

[1008] 또한, 본 기술의 제17 실시 형태에 관한 광 검출 장치(1)에서는, 집열부(PHa)의 매설부(PHa1)가 제2 반도체층(50) 내에 매설됨으로써, 집열부(PHa)와 제2 반도체층(50)의 접촉 면적을 증가시킬 수 있어, 매립하지 않는 경우에 비해 집열 효율을 높일 수 있다.

[1009] 또한, 본 기술의 제17 실시 형태에 관한 광 검출 장치(1)에서는, 집열부(PHa)의 매설부(PHa1)는, 집열부(PHa)마다 복수 마련되어 있다. 이에 의해, 집열부(PHa)와 제2 반도체층(50)의 접촉 면적을 더 증가시킬 수 있어, 집열 효율을 더 높일 수 있다.

[1010] 또한, 본 기술의 제17 실시 형태에 관한 광 검출 장치(1)에서는, 방열부(PHb)의 매설부(PHb1)가 제3 반도체층(80) 내에 매설됨으로써, 방열부(PHb)와 제3 반도체층(80)의 접촉 면적을 증가시킬 수 있어, 매립하지 않는 경우에 비해 방열 효율을 높일 수 있다.

[1011] 또한, 본 기술의 제17 실시 형태에 관한 광 검출 장치(1)에서는, 방열부(PHb)의 매설부(PHb1)는, 방열 패스(PH)마다 복수 마련되어 있다. 이에 의해, 방열부(PHb)와 제3 반도체층(80)의 접촉 면적을 더 증가시킬 수 있어, 방열 효율을 더 높일 수 있다.

[1012] 또한, 본 기술의 제17 실시 형태에 관한 광 검출 장치(1)에서는, 방열 패스(PH)를 복수 갖고 있다. 그 때문에, 방열 패스(PH)의 수에 따른 열량을, 광 검출 장치(1)의 외부까지 배출할 수 있다.

[1013] 또한, 본 기술의 제17 실시 형태에 관한 광 검출 장치(1)는, 집열부(PHa)가 제2 반도체층(50)과 전기적으로 분리되어 있고, 방열부(PHb)가 제3 반도체층(80)과 전기적으로 분리되어 있다. 그 때문에 방열 패스(PH)는, 전기적으로 부유 상태에 있다. 그 때문에, 방열 패스(PH)에 전기 신호가 흐르는 것을 억제할 수 있다.

[1014] 또한, 본 기술의 제17 실시 형태에 관한 광 검출 장치(1)에서는, 방열 패스(PH)는 제2 반도체층(50)의 제3 반도체층(80)측의 면에 접속되어 있다. 방열 패스(PH)는 주로 열의 전달에 사용되는 패스이므로, 전기 패스와는 달리, 제2 반도체층(50)을 관통하고 있지 않아도 된다. 그 때문에, 방열 패스(PH)를 마련할 때 제2 반도체층(50)을 관통하는 구멍을 마련할 필요가 없다. 이에 의해, 방열 패스(PH)를 마련함으로써 제2 반도체층에 소자를 형성할 수 없는 영역이 발생하는 것을 억제할 수 있다.

[1015] ≪제17 실시 형태의 변형예≫

[1016] 이하, 제17 실시 형태의 변형예에 대하여 설명한다.

[1017] <변형예 1>

[1018] 제17 실시 형태에 관한 광 검출 장치(1)에서는, 집열부(PHa)가 제2 반도체층(50)과 전기적으로 분리되고 또한 방열부(PHb)가 제3 반도체층(80)과 전기적으로 분리되어 있고, 방열 패스(PH)가 전기적으로 부유 상태에 있었지만, 제17 실시 형태의 변형예 1에 관한 광 검출 장치(1)에서는, 도통 상태에 있다.

[1019] 본 변형예에서는, 도 123b에 나타내는 절연막(61m14)을 마련하고 있지 않은 구성이고, 집열부(PHa)와 제2 반도체층(50)이 도통하고 있다. 또한, 접속 부재(PHa2)와 제2 반도체층(50) 사이에 위치하는 실리콘 커버막(65)을 마련하지 않는 구성이어도 된다. 또한, 본 변형예에서는, 도 123c에 나타내는 절연막(61m15)을 마련하고 있지 않은 구성이고, 방열부(PHb)와 제3 반도체층(80)이 도통하고 있다.

[1020] 방열 패스(PH)를 기준 전위(예를 들어, 그라운드)에 고정할 수 있는 경우는, 상술한 바와 같이, 방열 패스(PH)와 제2 반도체층(50) 및 제3 반도체층(80)을 직접 접속하여, 도통 상태로 해도 된다. 반도체층은 기준 전위에 전위 고정되어 있다. 그 때문에, 방열 패스(PH)의 레이아웃 위치를 연구함으로써 방열 패스(PH)를 기준 전위로 고정 가능하면, 반도체층에 직접 접속되어 있어도 된다. 또한, 방열 패스(PH)를 기준 전위로 고정할 수 없는 경우에는, 상술한 제17 실시 형태에 있어서 설명한 바와 같이, 방열 패스(PH)를 전기적으로 부유 상태로 하면 된다. 방열 패스(PH)를 전기적으로 부유 상태로 함으로써, 도통 상태로 한 경우보다 레이아웃 위치의 설계의 부하를 억제할 수 있다.

[1021] 이 제17 실시 형태의 변형예 1에 관한 광 검출 장치(1)라도, 상술한 제17 실시 형태에 관한 광 검출 장치(1)와 마찬가지의 효과가 얻어진다.

[1022] 또한, 제17 실시 형태의 변형예 1에 관한 광 검출 장치(1)에서는, 열전도율이 작은 산화실리콘 등의 절연막을 통하지 않고 방열 패스(PH)를 직접 반도체층에 접속할 수 있으므로, 방열 패스(PH)를 통한 열의 이동이 더 원활해진다.

[1023] <변형예 2>

[1024] 제17 실시 형태에 관한 광 검출 장치(1)에서는, 제2 반도체층(50)과 제3 반도체층(80)을 B2F(Back to Face)법으로 접합하고 있었지만, 제17 실시 형태의 변형예 2에 관한 광 검출 장치(1)에서는, 도 6에 나타낸 바와 같이 F2F(Face to Face)법으로 접합하고 있다.

[1025] 도 6에 나타낸 바와 같이, 제2 배선층(40)에 대하여 제4 배선층(70)이 겹쳐서 접합되어 있다. 그 경우에는, 방열 패스(PH)는, 집열부(PHa)가 제2 반도체층(50)의 제3 면(S3)에 접속되고, 방열부(PHb)가 제3 반도체층(80)의 제5 면(S5)에 접속되어 있다. 그리고, 방열 패스(PH)는, 제2 배선층(40) 및 제4 배선층(70)을 관통하고 있다.

[1026] 이 제17 실시 형태의 변형예 2에 관한 광 검출 장치(1)라도, 상술한 제17 실시 형태에 관한 광 검출 장치(1)와 마찬가지의 효과가 얻어진다.

[1027] [그밖의 실시 형태]

[1028] 상기한 바와 같이 본 기술은 제1 실시 형태부터 제12 실시 형태까지 의해 기재했지만, 이 개시의 일부를 이루는 논술 및 도면은 본 기술을 한정하는 것이라고 이해해서는 안된다. 이 개시로부터 당업자에게는 다양한 대체 실시 형태, 실시예 및 운용 기술이 명확해질 것이다.

[1029] 예를 들어, 제1 실시 형태부터 제12 실시 형태까지 및 그 변형예에 있어서 설명한 각각의 기술적 사상을 서로 조합하는 것도 가능하다. 예를 들어, 상술한 제1 실시 형태의 변형예 2에 관한 제2 도체(52)는 비아 라스트 방식에 의해 형성되어 있었지만, 이러한 기술적 사상을, 제1 실시 형태의 다른 변형예에 적용하는 등, 각각의 기술적 사상에 따른 다양한 조합이 가능하다.

[1030] 또한, 본 기술은, 상술한 이미지 센서로서의 고체 촬상 장치 외에, ToF(Time of Flight) 센서라고도 불리는 거리를 측정하는 측거 센서 등도 포함하는 광 검출 장치 전반에 적용할 수 있다. 측거 센서는, 물체를 향해 조사광을 발광하고, 그 조사광이 물체의 표면에서 반사되어 돌아오는 반사광을 검출하고, 조사광이 발광되고 나서 반사광이 수광될 때까지의 비행 시간에 기초하여 물체까지의 거리를 산출하는 센서이다. 이 측거 센서의 구조로서, 상술한 제1 도체 및 제2 도체의 구조를 채용할 수 있다. 또한, 본 기술은, 광 검출 장치(1) 이외의 반도체 장치에도 적용 가능하다. 또한, 예를 들어 상술한 구성 요소를 구성하는 것으로서 예로 든 재료는, 첨가물이나 불순물 등을 포함하고 있어도 된다.

[1031] 또한, 예를 들어 제1 도체의 폭(수평 방향의 치수)인 제1 폭은 마이크로미터 오더이고, 제2 도체의 폭(수평 방향의 치수)인 제2 폭은 나노 오더여도 된다. 이와 같이, 제1 도체 및 제2 도체의 폭은, 제1 도체 및 제2 도체의 국소적인 일부분의 치수를 나타내는 것에는 한정되지 않고, 전체적으로 본 경우의 치수를 나타내고 있다고 해석할 수 있다.

[1032] 또한, 상기한 바와 같이 본 기술은 제1 실시 형태부터 제17 실시 형태까지 의해 기재했지만, 이 개시의 일부를

이루는 논술 및 도면은 본 기술을 한정하는 것이라고 이해해서는 안된다. 이 개시로부터 당업자에게는 다양한 대체 실시 형태, 실시예 및 운용 기술이 명확해질 것이다.

[1033] 예를 들어, 제1 실시 형태부터 제17 실시 형태까지 및 그 변형예에 있어서 설명한 각각의 기술적 사상을 서로 조합하는 것도 가능하다. 각각의 기술적 사상에 따른 다양한 조합이 가능하다.

[1034] 또한, 상술한 제13 실시 형태에서 제17 실시 형태까지 기재된 광 검출 장치(1)를, 제12 실시 형태에 기재된 전자 기기, 이동체 및 내시경 수술 시스템에 대하여 응용해도 된다.

[1035] 이와 같이, 본 기술은 여기서는 기재하고 있지 않은 다양한 실시 형태 등을 포함하는 것은 물론이다. 따라서, 본 기술의 기술적 범위는 상기한 설명으로부터 타당한 특허 청구의 범위에 기재된 발명 특정 사항에 의해서만 정해지는 것이다.

[1036] 또한, 본 명세서에 기재된 효과는 어디까지나 예시이며 한정되는 것은 아니고, 또 다른 효과가 있어도 된다.

[1037] 또한, 본 기술은, 이하와 같은 구성으로 해도 된다.

[1038] (1)

[1039] 광전 변환 영역을 갖고, 한쪽의 면이 제1 면이고 다른 쪽의 면이 광 입사면인 제2 면인 제1 반도체층과,

[1040] 상기 제1 반도체층의 상기 제1 면에 중첩되어 있는 제1 배선층과,

[1041] 상기 제1 배선층의 상기 제1 반도체층측의 면과 반대측의 면에 중첩되어 있는 제2 배선층과,

[1042] 한쪽의 면이 제3 면이고 다른 쪽의 면이 제4 면이고, 상기 제3 면이 상기 제2 배선층의 상기 제1 배선층측의 면과 반대측의 면에 중첩되어 있는 제2 반도체층과,

[1043] 상기 제2 반도체층의 상기 제4 면에 중첩되어 있는 제3 배선층과,

[1044] 제1 폭을 갖고, 제1 재료에 의해 구성되어 있고, 상기 제2 반도체층을 두께 방향을 따라 관통하고 있는 제1 도체와,

[1045] 상기 제1 폭보다 작은 제2 폭을 갖고, 상기 제1 재료와는 다른 제2 재료에 의해 구성되어 있고, 상기 제2 반도체층을 두께 방향을 따라 관통하고 있는 제2 도체를 구비한, 광 검출 장치.

[1046] (2)

[1047] 상기 제1 도체 및 상기 제2 도체의 일방측의 단부는, 하나의 메탈층에 속하는 다른 배선에 각각 접속되어 있는, (1)에 기재된 광 검출 장치.

[1048] (3)

[1049] 상기 하나의 메탈층은, 상기 제2 배선층 또는 상기 제3 배선층 중, 가장 상기 제2 반도체층에 가까운 메탈층인, (2)에 기재된 광 검출 장치.

[1050] (4)

[1051] 두께 방향에 있어서 상기 배선과 겹치는 위치에 마련되어, 금속의 확산을 방지하는 배리어 절연막을 갖는 (2) 또는 (3)에 기재된 광 검출 장치.

[1052] (5)

[1053] 상기 제2 도체는, 상기 제2 반도체층 중, 상기 광전 변환 영역이 행렬 형상으로 복수 배치된 화소 영역과 평면으로 보아 겹치는 영역에 마련되어 있는, (1) 내지 (4)의 어느 것에 기재된 광 검출 장치.

[1054] (6)

[1055] 상기 제1 도체는, 상기 제2 반도체층 중, 상기 화소 영역의 외측에 상기 화소 영역을 둘러싸도록 하여 마련된 주변 영역과 평면으로 보아 겹치는 영역에 마련되어 있는, (5)에 기재된 광 검출 장치.

[1056] (7)

[1057] 상기 제1 폭은, 상기 제1 도체의 관통 방향에 있어서의 단부 중 큰 쪽의 치수에 상당하고,

[1058] 상기 제2 폭은, 상기 제2 도체의 관통 방향에 있어서의 단부 중 큰 쪽의 치수에 상당하는, (1) 내지 (6)의 어느

것에 기재된 광 검출 장치.

[1059] (8)

[1060] 상기 제1 도체의 상기 제1 폭을 갖는 쪽의 단부와 상기 제2 도체의 상기 제2 폭을 갖는 쪽의 단부의 양쪽 모두, 상기 제2 배선층 및 상기 제3 배선층 중 동일한 배선층에 위치하고 있는, (7)에 기재된 광 검출 장치.

[1061] (9)

[1062] 상기 제1 도체의 상기 제1 폭을 갖는 쪽의 단부와 상기 제2 도체의 상기 제2 폭을 갖는 쪽의 단부 중 한쪽은 상기 제2 배선층에 위치하고, 다른 쪽은 상기 제3 배선층에 위치하고 있는, (7)에 기재된 광 검출 장치.

[1063] (10)

[1064] 상기 제1 폭은 1㎛ 이상 5㎛ 이하이고, 상기 제2 폭은 40㎚ 이상 300㎚ 이하인, (1) 내지 (9)의 어느 것에 기재된 광 검출 장치.

[1065] (11)

[1066] 상기 제1 도체는 구리를 포함하고, 상기 제2 도체는 고융점 금속을 포함하는, (1) 내지 (10)의 어느 것에 기재된 광 검출 장치.

[1067] (12)

[1068] 상기 제3 배선층의 상기 제2 반도체층측의 면과 반대측의 면에 중첩되어 있는 제4 배선층과,

[1069] 상기 제4 배선층의 상기 제3 배선층측의 면과 반대측의 면에 중첩되어 있는 제3 반도체층을 구비하고,

[1070] 상기 제2 반도체층은, 읽어내기 회로를 구성하는 트랜지스터를 갖고,

[1071] 상기 제3 반도체층은, 로직 회로를 구성하는 트랜지스터를 갖는 (1) 내지 (11)의 어느 것에 기재된 광 검출 장치.

[1072] (13)

[1073] 광전 변환 영역을 갖고, 한쪽의 면이 제1 면이고 다른 쪽의 면이 광 입사면인 제2 면인 제1 반도체층과,

[1074] 상기 제1 반도체층의 상기 제1 면에 중첩되어 있는 제1 배선층과,

[1075] 상기 제1 배선층의 상기 제1 반도체층측의 면과 반대측의 면에 중첩되어 있는 제2 배선층과,

[1076] 한쪽의 면이 제3 면이고 다른 쪽의 면이 제4 면이고, 상기 제3 면이 상기 제2 배선층의 상기 제1 배선층측의 면과 반대측의 면에 중첩되어 있는 제2 반도체층과,

[1077] 상기 제2 반도체층의 상기 제4 면에 중첩되어 있는 제3 배선층과,

[1078] 제1 폭을 갖고, 상기 제2 반도체층을 두께 방향을 따라 관통하고 있는 제1 도체와,

[1079] 상기 제1 폭보다 작은 제2 폭을 갖고, 상기 제2 반도체층을 두께 방향을 따라 관통하고 있는 제2 도체

[1080] 를 구비한, 광 검출 장치.

[1081] (14)

[1082] 광전 변환 영역을 갖고, 한쪽의 면이 제1 면이고 다른 쪽의 면이 광 입사면인 제2 면인 제1 반도체층과,

[1083] 상기 제1 반도체층의 상기 제1 면에 중첩되어 있는 제1 배선층과,

[1084] 상기 제1 배선층의 상기 제1 반도체층측의 면과 반대측의 면에 중첩되어 있는 제2 배선층과,

[1085] 한쪽의 면이 제3 면이고 다른 쪽의 면이 제4 면이고, 상기 제3 면이 상기 제2 배선층의 상기 제1 배선층측의 면과 반대측의 면에 중첩되어 있는 제2 반도체층과,

[1086] 상기 제2 반도체층의 상기 제4 면에 중첩되어 있는 제3 배선층과,

[1087] 제1 재료에 의해 구성되어 있고, 상기 제2 반도체층을 두께 방향을 따라 관통하고 있는 제1 도체와,

[1088] 상기 제1 재료와는 다른 제2 재료에 의해 구성되어 있고, 상기 제2 반도체층을 두께 방향을 따라 관통하고 있는

제2 도체

[1089] 를 구비한, 광 검출 장치.

[1090] (15)

[1091] 반도체층에 자신을 관통하는 하나의 도체를 형성하고,

[1092] 상기 하나의 도체의 한쪽의 단부를 덮도록 절연막을 적층하고,

[1093] 상기 절연막측으로부터, 상기 하나의 도체를 구성하는 재료와는 다른 재료에 의해 구성되고 또한 상기 하나의 도체의 직경보다 큰 직경을 갖는 다른 도체를, 상기 반도체층을 관통하도록 형성하고,

[1094] 상기 절연막측으로부터, 상기 하나의 도체에 접속된 배선 및 상기 다른 도체에 접속된 배선을 형성하는,

[1095] 광 검출 장치의 제조 방법.

[1096] (16)

[1097] 광 검출 장치와, 상기 광 검출 장치에 피사체로부터의 상광을 결상시키는 광학계를 구비하고,

[1098] 상기 광 검출 장치는,

[1099] 광전 변환 영역을 갖고, 한쪽의 면이 제1 면이고 다른 쪽의 면이 광 입사면인 제2 면인 제1 반도체층과,

[1100] 상기 제1 반도체층의 상기 제1 면에 중첩되어 있는 제1 배선층과,

[1101] 상기 제1 배선층의 상기 제1 반도체층측의 면과 반대측의 면에 중첩되어 있는 제2 배선층과,

[1102] 한쪽의 면이 제3 면이고 다른 쪽의 면이 제4 면이고, 상기 제3 면이 상기 제2 배선층의 상기 제1 배선층측의 면과 반대측의 면에 중첩되어 있는 제2 반도체층과,

[1103] 상기 제2 반도체층의 상기 제4 면에 중첩되어 있는 제3 배선층과,

[1104] 제1 폭을 갖고, 제1 재료에 의해 구성되어 있고, 상기 제2 반도체층을 두께 방향을 따라 관통하고 있는 제1 도체와,

[1105] 상기 제1 폭보다 작은 제2 폭을 갖고, 상기 제1 재료와는 다른 제2 재료에 의해 구성되어 있고, 상기 제2 반도체층을 두께 방향을 따라 관통하고 있는 제2 도체를 갖는

[1106] 전자 기기.

[1107] (17)

[1108] 상기 제2 반도체층은, 상기 제2 도체를 게이트 전극으로 하고 또한 상기 제2 도체의 측면과 상기 제2 반도체층 사이에 마련된 절연막을 게이트 절연막으로 하는 제1 트랜지스터를 갖는 (13)에 기재된 광 검출 장치.

[1109] (18)

[1110] 상기 제2 도체는, 상기 제2 배선층에 마련된 도체와 상기 제3 배선층에 마련된 도체 중 상기 제3 배선층에 마련된 도체에만 접속되어 있는, (17)에 기재된 광 검출 장치.

[1111] (19)

[1112] 상기 제1 트랜지스터의 소스를 구성하는 확산 영역 및 드레인을 구성하는 확산 영역 중 적어도 한쪽의 확산 영역은, 상기 제2 배선층이 갖는 도체 및 상기 제3 배선층이 갖는 도체 중, 상기 제3 배선층이 갖는 도체에만 접속되어 있는, (17) 또는 (18)에 기재된 광 검출 장치.

[1113] (20)

[1114] 상기 제3 배선층은, 절연막과, 상기 절연막에 마련되어 한쪽의 면이 저면이고 다른 쪽의 면이 접합면인 제3 접속 패드를 갖고,

[1115] 상기 제2 도체의 상기 제4 면측의 단부는, 상기 제3 접속 패드까지 연장하여 상기 제3 접속 패드와 접속되어 있고,

[1116] 상기 제3 접속 패드의 상기 저면은 상기 제2 반도체층측의 면이고,

[1117] 상기 절연막 중 상기 제3 접속 패드의 상기 저면에 접하는 부분은, 상기 절연막 중 상기 제3 접속 패드의 상기 저면과 상기 접합면을 접속하는 면인 측면에 접하는 부분을 구성하는 재료로부터 선택된 에천트에 대한 에칭 레이트가 높은 재료에 의해 구성되어 있는, (13)에 기재된 광 검출 장치.

[1118] (21)

[1119] 상기 제2 도체의 상기 제4 면측의 단부는, 상기 제3 접속 패드의 상기 접합면에 면하고 있는, (20)에 기재된 광 검출 장치.

[1120] (22)

[1121] 상기 제2 도체의 상기 제4 배선층측의 단부는, 상기 제3 접속 패드 내에 위치하고 있는, (20)에 기재된 광 검출 장치.

[1122] (23)

[1123] 제3 반도체층과,

[1124] 한쪽의 면이 상기 제3 반도체층에 중첩되고, 다른 쪽의 면이 상기 제2 배선층 및 상기 제3 배선층의 다른 쪽의 배선층과 중첩되어 있는 제4 배선층을 구비하고,

[1125] 상기 제3 접속 패드의 상기 접합면은, 상기 제1 배선층 및 상기 제4 배선층 중 상기 제3 배선층에 중첩된 쪽의 배선층이 갖는 접속 패드에 접속되어 있는, (20) 내지 (22)의 어느 것에 기재된 광 검출 장치.

[1126] (24)

[1127] 상기 제2 배선층은, 절연막과 상기 절연막에 마련된 배선을 갖고,

[1128] 상기 제1 도체의 상기 제3 면측의 단부는, 상기 배선 중 하나의 배선까지 연장되어, 당해 하나의 배선에 접속되어 있고,

[1129] 상기 하나의 배선은, 제1 도전 재료제의 제1 층과, 상기 제1 층과 상기 제1 도체의 상기 제3 면측의 상기 단부 사이에 위치하여 상기 제1 도전 재료를 포함하지 않는 제2 도전 재료제의 제2 층과의 적층 구조를 갖는 (13)에 기재된 광 검출 장치.

[1130] (25)

[1131] 상기 제2 도전 재료는, 텅스텐, 루테늄, 티타늄, 탄탈, 질화탄탈, 알루미늄, 또는 실리콘인, (24)에 기재된 광 검출 장치.

[1132] (26)

[1133] 상기 제1 도전 재료는 구리인, (24) 또는 (25)에 기재된 광 검출 장치.

[1134] (27)

[1135] 상기 제2 도체와 상기 제2 반도체층 사이에 분리 절연막을 갖고,

[1136] 상기 제3 배선층은, 절연막과, 상기 절연막에 마련된 배선을 갖고,

[1137] 상기 제2 도체는, 상기 제3 배선층이 갖는 상기 배선 중 하나의 배선과 동일 재료로 일체로 마련되어 있고,

[1138] 상기 분리 절연막은, 상기 제3 배선층의 상기 절연막 내로 돌출되어 있는, (13)에 기재된 광 검출 장치.

[1139] (28)

[1140] 상기 분리 절연막은, 상기 제3 면측에 있어서의 두께가 상기 제4 면측에 있어서의 두께보다 두꺼운, (27)에 기재된 광 검출 장치.

[1141] (29)

[1142] 상기 분리 절연막은, 상기 제3 배선층이 갖는 상기 절연막보다 밀도가 높은, (27) 또는 (28)에 기재된 광 검출 장치.

[1143] (30)

[1144] 상기 제2 도체와 상기 분리 절연막 사이에 고융점 금속막을 갖고,

[1145] 상기 제2 도체는, 상기 제2 배선층이 갖는 하나의 배선과 접속되어 있고,

[1146] 상기 고융점 금속막은, 상기 제2 도체와 상기 제2 배선층이 갖는 상기 하나의 배선 사이에도 마련되어 있는, (27) 내지 (29)의 어느 것에 기재된 광 검출 장치.

[1147] (31)

[1148] 상기 고융점 금속막 중 상기 제2 도체와 상기 분리 절연막 사이에 마련된 부분은, 상기 제4 면측에 있어서의 두께가 상기 제3 면측에 있어서의 두께보다 두꺼운, (30)에 기재된 광 검출 장치.

[1149] (32)

[1150] 제3 재료에 의해 구성된 상기 제2 도체와, 상기 제3 재료와는 다른 제4 재료에 의해 구성된 상기 제2 도체를 포함하는, (27) 내지 (31)의 어느 것에 기재된 광 검출 장치.

[1151] (33)

[1152] 상기 제2 반도체층은, SOI 기판이 갖는 반도체층의 일부인, (13)에 기재된 광 검출 장치.

[1153] (34)

[1154] 상기 제2 도체를 복수 갖고,

[1155] 상기 제2 반도체층의 두께 방향에 있어서의 상기 제2 도체의 상기 제4 면측의 단부의 높이 위치는, 복수의 상기 제2 도체에 있어서 동일한, (33)에 기재된 광 검출 장치.

[1156] (35)

[1157] 상기 SOI 기판의 절연층을 갖고,

[1158] 상기 제2 도체의 상기 제4 면측의 단부는, 상기 절연층을 관통하고 있는, (33)에 기재된 광 검출 장치.

[1159] (36)

[1160] 상기 제3 배선층은, 절연막과, 상기 절연막을 통해 상기 제2 반도체층의 상기 제4 면측에 적층된 보호 절연막과, 도체를 갖고,

[1161] 상기 제2 도체의 상기 제4 면측의 단부는, 상기 제4 면에서 이격되는 방향으로 연장되고, 상기 보호 절연막의 적층 위치를 초과하지 않는 위치에 있어서, 상기 도체와 접속되어 있는, (13)에 기재된 광 검출 장치.

[1162] (37)

[1163] 상기 보호 절연막은, 선택된 조건의 화학 기계 연마에 대한 연삭 속도가 상기 절연막을 구성하는 재료보다 느린 재료에 의해 구성되어 있는, (36)에 기재된 광 검출 장치.

[1164] (38)

[1165] 상기 보호 절연막은, 선택된 조건의 화학 기계 연마에 대한 연삭 속도가 상기 제2 도체를 구성하는 재료보다 느린 재료에 의해 구성되어 있는, (36) 또는 (37)에 기재된 광 검출 장치.

[1166] (39)

[1167] 상기 보호 절연막은 질화실리콘 또는 탄질화실리콘을 포함하는, (36) 내지 (38)의 어느 것에 기재된 광 검출 장치.

[1168] (40)

[1169] 상기 보호 절연막은, 상기 제2 도체에 접하고 있지 않은, (36) 내지 (39)의 어느 것에 기재된 광 검출 장치.

[1170] (41)

[1171] 하나의 상기 제2 도체인 제5 도체의 외주면을 덮도록 마련된 제1 고정 전하막과, 다른 하나의 상기 제2 도체인 제6 도체의 외주면을 덮도록 마련된 제2 고정 전하막을 갖고,

[1172] 상기 제1 고정 전하막 및 상기 제2 고정 전하막은, 부의 고정 전하막 및 정의 고정 전하막 중 한쪽 및 다른 쪽

인,

[1173] (13)에 기재된 광 검출 장치.

[1174] (42)

[1175] 상기 제2 반도체층은, 제1 도전형의 반도체 영역이고 또한 상기 제4 면측에 위치하는 제3 영역과, 제2 도전형의 반도체 영역이고 또한 상기 제3 면측에 위치하는 제4 영역과, 제1 도전형의 반도체 영역이고 또한 상기 제3 면측에 위치하는 제5 영역과, 제2 도전형의 반도체 영역이고 또한 상기 제3 영역과 상기 제5 영역 사이에 위치하는 제6 영역을 포함하고,

[1176] 상기 제5 도체는, 상기 제3 영역 및 상기 제4 영역을 관통하고,

[1177] 상기 제6 도체는, 상기 제3 영역, 상기 제6 영역 및 상기 제5 영역을 관통하고 있는, (41)에 기재된 광 검출 장치.

[1178] (43)

[1179] 상기 제2 반도체층은, 제1 도전형의 반도체 영역인 제7 영역과, 제2 도전형의 반도체 영역인 제8 영역을 포함하고,

[1180] 상기 제7 영역은, 상기 제1 고정 전하막의 외주면을 덮는 위치에 있고,

[1181] 상기 제8 영역은, 상기 제2 고정 전하막의 외주면을 덮는 위치에 있는,

[1182] (41) 또는 (42)에 기재된 광 검출 장치.

[1183] (44)

[1184] 상기 제1 고정 전하막은, 제1 도전형이 p형인 경우에는 상기 부의 고정 전하막이고, 제1 도전형이 n형인 경우에는 상기 정의 고정 전하막인, (42)에 기재된 광 검출 장치.

[1185] (45)

[1186] 상기 제1 고정 전하막이 상기 부의 고정 전하막이고,

[1187] 상기 제2 고정 전하막이 상기 정의 고정 전하막이고,

[1188] 상기 제2 반도체층은, p형의 반도체 기판으로 형성된 반도체층이고,

[1189] 상기 제2 반도체층에는, p채널 도전형의 전계 효과 트랜지스터인 제2 트랜지스터와, n 채널 도전형의 전계 효과 트랜지스터인 제3 트랜지스터가 마련되어 있고,

[1190] 상기 제5 도체는, 상기 제2 트랜지스터가 갖는 게이트 전극, 소스 영역 및 드레인 영역의 어느 것에 전기적으로 접속되어 있고,

[1191] 상기 제6 도체는, 상기 제3 트랜지스터가 갖는 게이트 전극, 소스 영역 및 드레인 영역의 어느 것에 전기적으로 접속되어 있는, (41)에 기재된 광 검출 장치.

[1192] (46)

[1193] 상기 제1 고정 전하막이 상기 정의 고정 전하막이고,

[1194] 상기 제2 고정 전하막이 상기 부의 고정 전하막이고,

[1195] 상기 제2 반도체층은, n형의 반도체 기판으로 형성된 반도체층이고,

[1196] 상기 제2 반도체층에는, n 채널 도전형의 전계 효과 트랜지스터인 제2 트랜지스터와, p채널 도전형의 전계 효과 트랜지스터인 제3 트랜지스터가 마련되어 있고,

[1197] 상기 제5 도체는, 상기 제2 트랜지스터가 갖는 게이트 전극, 소스 영역 및 드레인 영역의 어느 것에 전기적으로 접속되어 있고,

[1198] 상기 제6 도체는, 상기 제3 트랜지스터가 갖는 게이트 전극, 소스 영역 및 드레인 영역의 어느 것에 전기적으로 접속되어 있는, (41)에 기재된 광 검출 장치.

[1199] (47)

[1200] 하나의 상기 제2 도체는, 상기 제2 반도체층의 두께 방향에 있어서, 상기 제3 면 근처에 위치하고 있는 제7 도체와, 상기 제4 면 근처에 위치하고 있는 제8 도체를 갖고,

[1201] 상기 제7 도체의 상기 제4 면 근처의 단부인 제1 단부는, 상기 제8 도체의 상기 제3 면 근처의 단부인 제2 단부에, 상기 제2 반도체층 내에서 접속되어 있는, (13)에 기재된 광 검출 장치.

[1202] (48)

[1203] 상기 제7 도체의 직경은, 상기 제1 단부에 근접함에 따라 서서히 작게 되어 있고,

[1204] 상기 제8 도체의 직경은, 상기 제2 단부에 근접함에 따라 서서히 작게 되어 있는, (47)에 기재된 광 검출 장치.

[1205] (49)

[1206] 상기 제2 단부의 직경은, 상기 제1 단부의 직경과는 다른, (47) 또는 (48)에 기재된 광 검출 장치.

[1207] (50)

[1208] 상기 제2 단부의 직경은, 상기 제1 단부의 직경보다 큰, (49)에 기재된 광 검출 장치.

[1209] (51)

[1210] 상기 제2 반도체층의 두께 방향에 있어서의 상기 제4 면의 위치에서의 상기 제8 도체의 직경은, 상기 제3 면의 위치에서의 상기 제7 도체의 직경보다 큰, (47) 내지 (50)의 어느 것에 기재된 광 검출 장치.

[1211] (52)

[1212] 상기 제2 도체와 상기 제2 반도체층 사이는, 상기 제2 도체의 외주면에 마련된 절연막에 의해 절연되어 있고,

[1213] 상기 절연막 중, 상기 제1 단부 및 상기 제2 단부 중 직경이 작은 쪽의 단부의 외주면에 마련된 부분의 두께는, 상기 제7 도체 및 상기 제8 도체 중 당해 작은 쪽의 단부를 갖는 쪽의 도체의 당해 작은 쪽의 단부 이외의 외주면에 마련된 부분의 두께보다 두꺼운, (47) 내지 (51)의 어느 것에 기재된 광 검출 장치.

[1214] (53)

[1215] 상기 제7 도체 및 상기 제8 도체는, 평면으로 보아 서로 다른 방향으로 긴 직사각형인, (47) 내지 (52)의 어느 것에 기재된 광 검출 장치.

[1216] (54)

[1217] 상기 제1 도체는, 제1 재료에 의해 구성되어 있고,

[1218] 상기 제2 도체는, 상기 제1 재료와는 다른 제2 재료에 의해 구성되어 있고,

[1219] 상기 제1 도체 및 상기 제2 도체 각각은, 상기 제4 면으로부터 상기 제3 배선층 내로 돌출되고,

[1220] 상기 제1 도체 및 상기 제2 도체의 상기 제3 배선층 내로 돌출되는 높이는 서로 다른, (16)에 기재된 광 검출 장치.

[1221] (55)

[1222] 상기 제2 도체의 상기 제3 배선층 내로 돌출되는 높이는, 상기 제1 도체의 상기 제3 배선층 내로 돌출되는 높이보다 높은, (54)에 기재된 광 검출 장치.

[1223] (56)

[1224] 상기 제1 도체의 상기 제3 배선층 내로 돌출되는 높이는, 상기 제2 도체의 상기 제3 배선층 내로 돌출되는 높이보다 높은, (54)에 기재된 광 검출 장치.

[1225] (57)

[1226] 상기 제1 도체의 상기 제3 배선층 내로 돌출되는 쪽의 단부는, 상기 제3 배선층이 갖는 제1 배선에, 접속부를 통해 전기적으로 접속되어 있고,

[1227] 상기 제2 도체의 상기 제3 배선층 내로 돌출되는 쪽의 단부는, 상기 제3 배선층이 갖는 배선이며, 상기 제1 배

선과 동일한 메탈층에 속하는 제2 배선에, 직접 전기적으로 접속되어 있는, (56)에 기재된 광 검출 장치.

[1228] (58)

[1229] 상기 제2 반도체층을 두께 방향을 따라 관통하는 절연 부재를 갖고,

[1230] 평면으로 보아, 상기 제2 도체의 주위를 상기 제2 반도체층의 일부로 포위하고, 또한 상기 제2 반도체층의 상기 일부의 주위를 상기 절연 부재로 포위한 삼중 구조를 갖는 (16)에 기재된 광 검출 장치.

[1231] (59)

[1232] 상기 제2 도체는, 상기 제4 면측의 단부인 제1 단부와, 상기 제2 도체 중 상기 제3 면측의 단부인 제2 단부와, 상기 제1 단부와 상기 제2 단부 사이의 부분인 중간부를 갖고,

[1233] 상기 제1 단부는, 상기 중간부보다 직경이 큰, (16)에 기재된 광 검출 장치.

[1234] (60)

[1235] 상기 제1 단부의 직경은, 상기 중간부 중 상기 제1 단부와의 경계에 위치하는 부분의 직경보다 크게 마련되어 있는, (59)에 기재된 광 검출 장치.

[1236] (61)

[1237] 상기 제2 배선층 및 상기 제3 배선층 중 상기 제1 배선층에 중첩된 쪽의 배선층과 상기 제1 배선층의 각각은, 절연막을 통해 적층된 배선과, 적층 방향을 따라 연장되는 비아와, 반사 부재를 각각 복수 갖고,

[1238] 상기 비아는, 상기 배선끼리의 사이 또는 상기 배선과 상기 제1 반도체층 및 상기 제2 반도체층 중 한쪽의 반도체층 사이를 전기적으로 접속하고,

[1239] 상기 반사 부재는, 적층 방향에 있어서 상기 비아와 동일한 높이 위치에 배치되어 있고, 평면으로 보아 매트릭스 형상으로 배치되어 있고 또한 상기 비아끼리 사이의 영역을 메우고 있는, (16)에 기재된 광 검출 장치.

[1240] (62)

[1241] 상기 반사 부재는, 전기적으로 부유 상태에 있는, (61)에 기재된 광 검출 장치.

[1242] (63)

[1243] 제3 반도체층과,

[1244] 한쪽의 면이 상기 제3 반도체층에 중첩되고, 다른 쪽의 면이 상기 제2 배선층 및 상기 제3 배선층의 다른 쪽의 배선층과 중첩되어 있는 제4 배선층과,

[1245] 일단이 상기 제2 반도체층의 상기 제3 반도체층측의 면에 접속되고, 타단이 상기 제3 반도체층(80)에 접속된 방열 패스

[1246] 를 갖는 (16)에 기재된 광 검출 장치.

[1247] (64)

[1248] 상기 방열 패스의 상기 일단은, 상기 제2 반도체층 내에 적어도 일부가 매설되고 있고,

[1249] 상기 방열 패스의 상기 타단은, 상기 제3 반도체층 내에 적어도 일부가 매설되어 있는, (63)에 기재된 광 검출 장치.

[1250] 또한, 본 기술은, 이하와 같은 구성으로 해도 된다.

[1251] (1)

[1252] 광전 변환 영역을 갖고, 한쪽의 면이 제1 면이고 다른 쪽의 면이 광 입사면인 제2 면인 제1 반도체층과,

[1253] 한쪽의 면이 제3 면이고 다른 쪽의 면이 제4 면인 제2 반도체층과,

[1254] 상기 제2 반도체층의 상기 제3 면에 중첩된 제2 배선층과,

[1255] 상기 제2 반도체층의 상기 제4 면에 중첩된 제3 배선층과,

[1256] 한쪽의 면이 상기 제1 반도체층의 상기 제1 면에 중첩되고, 다른 쪽의 면이 상기 제2 배선층 및 상기 제3 배선

층의 한쪽의 배선층과 중첩되어 있는 제1 배선층과,

[1257] 제1 폭을 갖고, 제1 재료에 의해 구성되어 있고, 상기 제2 반도체층을 두께 방향을 따라 관통하고 있는 제1 도체와,

[1258] 상기 제1 폭보다 작은 제2 폭을 갖고, 상기 제1 재료와는 다른 제2 재료에 의해 구성되어 있고, 상기 제2 반도체층을 두께 방향을 따라 관통하고 있는 제2 도체

[1259] 를 구비한, 광 검출 장치.

[1260] (2)

[1261] 상기 제1 도체 및 상기 제2 도체의 일방측의 단부는, 하나의 메탈층에 속하는 다른 배선에 각각 접속되어 있는, (1)에 기재된 광 검출 장치.

[1262] (3)

[1263] 상기 하나의 메탈층은, 상기 제3 배선층이 갖는 메탈층 중, 가장 상기 제2 반도체층에 가까운 메탈층인, (2)에 기재된 광 검출 장치.

[1264] (4)

[1265] 두께 방향에 있어서 상기 배선과 겹치는 위치에 마련되어, 금속의 확산을 억제하는 배리어 절연막을 갖는 (2) 또는 (3)에 기재된 광 검출 장치.

[1266] (5)

[1267] 상기 제2 도체는, 상기 제2 반도체층 중, 상기 광전 변환 영역이 행렬 형상으로 복수 배치된 화소 영역과 평면으로 보아 겹치는 영역에 마련되어 있는, (1) 내지 (4)의 어느 것에 기재된 광 검출 장치.

[1268] (6)

[1269] 상기 제1 도체는, 상기 제2 반도체층 중, 상기 화소 영역의 외측에 상기 화소 영역을 둘러싸도록 하여 마련된 주변 영역과 평면으로 보아 겹치는 영역에 마련되어 있는, (5)에 기재된 광 검출 장치.

[1270] (7)

[1271] 상기 제1 폭은, 상기 제1 도체의 관통 방향에 있어서의 단부 중 큰 쪽의 치수에 상당하고,

[1272] 상기 제2 폭은, 상기 제2 도체의 관통 방향에 있어서의 단부 중 큰 쪽의 치수에 상당하는, (1) 내지 (6)의 어느 것에 기재된 광 검출 장치.

[1273] (8)

[1274] 상기 제1 도체의 상기 제1 폭을 갖는 쪽의 단부와 상기 제2 도체의 상기 제2 폭을 갖는 쪽의 단부의 양쪽 모두, 상기 제2 배선층 및 상기 제3 배선층 중 동일한 배선층에 위치하고 있는, (7)에 기재된 광 검출 장치.

[1275] (9)

[1276] 상기 제1 도체의 상기 제1 폭을 갖는 쪽의 단부와 상기 제2 도체의 상기 제2 폭을 갖는 쪽의 단부 중 한쪽은 상기 제2 배선층에 위치하고, 다른 쪽은 상기 제3 배선층에 위치하고 있는, (7)에 기재된 광 검출 장치.

[1277] (10)

[1278] 상기 제1 폭은 1㎛ 이상 5㎛ 이하이고, 상기 제2 폭은 40㎚ 이상 300㎚ 이하인, (1) 내지 (9)의 어느 것에 기재된 광 검출 장치.

[1279] (11)

[1280] 상기 제1 도체는 구리를 포함하고, 상기 제2 도체는 고융점 금속을 포함하는, (1) 내지 (10)의 어느 것에 기재된 광 검출 장치.

[1281] (12)

[1282] 제3 반도체층과,

[1283] 한쪽의 면이 상기 제3 반도체층에 중첩되고, 다른 쪽의 면이 상기 제2 배선층 및 상기 제3 배선층의 다른 쪽의 배선층과 중첩되어 있는 제4 배선층을 구비하고,

[1284] 상기 제2 반도체층은, 읽어내기 회로를 구성하는 트랜지스터를 갖고,

[1285] 상기 제3 반도체층은, 로직 회로를 구성하는 트랜지스터를 갖는 (1) 내지 (11)의 어느 것에 기재된 광 검출 장치.

[1286] (13)

[1287] 광전 변환 영역을 갖고, 한쪽의 면이 제1 면이고 다른 쪽의 면이 광 입사면인 제2 면인 제1 반도체층과,

[1288] 한쪽의 면이 제3 면이고 다른 쪽의 면이 제4 면인 제2 반도체층과,

[1289] 상기 제2 반도체층의 상기 제3 면에 중첩된 제2 배선층과,

[1290] 상기 제2 반도체층의 상기 제4 면에 중첩된 제3 배선층과,

[1291] 한쪽의 면이 상기 제1 반도체층의 상기 제1 면에 중첩되고, 다른 쪽의 면이 상기 제2 배선층 및 상기 제3 배선층의 한쪽의 배선층과 중첩되어 있는 제1 배선층과,

[1292] 제1 재료에 의해 구성되어 있고, 상기 제2 반도체층을 두께 방향을 따라 관통하고 있는 제1 도체와,

[1293] 상기 제1 재료와는 다른 제2 재료에 의해 구성되어 있고, 상기 제2 반도체층을 두께 방향을 따라 관통하고 있는 제2 도체

[1294] 를 구비한, 광 검출 장치.

[1295] (14)

[1296] 반도체층에 자신을 관통하는 하나의 도체를 형성하고,

[1297] 상기 하나의 도체의 한쪽의 단부를 덮도록 절연막을 적층하고,

[1298] 상기 절연막측으로부터, 상기 하나의 도체를 구성하는 재료와는 다른 재료에 의해 구성되고 또한 상기 하나의 도체의 직경보다 큰 직경을 갖는 다른 도체를, 상기 반도체층을 관통하도록 형성하고,

[1299] 상기 절연막측으로부터, 상기 하나의 도체에 접속된 배선 및 상기 다른 도체에 접속된 배선을 형성하는,

[1300] 광 검출 장치의 제조 방법.

[1301] (15)

[1302] 광 검출 장치와, 상기 광 검출 장치에 피사체로부터의 상광을 결상시키는 광학계를 구비하고,

[1303] 상기 광 검출 장치는,

[1304] 광전 변환 영역을 갖고, 한쪽의 면이 제1 면이고 다른 쪽의 면이 광 입사면인 제2 면인 제1 반도체층과,

[1305] 한쪽의 면이 제3 면이고 다른 쪽의 면이 제4 면인 제2 반도체층과,

[1306] 상기 제2 반도체층의 상기 제3 면에 중첩된 제2 배선층과,

[1307] 상기 제2 반도체층의 상기 제4 면에 중첩된 제3 배선층과,

[1308] 한쪽의 면이 상기 제1 반도체층의 상기 제1 면에 중첩되고, 다른 쪽의 면이 상기 제2 배선층 및 상기 제3 배선층의 한쪽의 배선층과 중첩되어 있는 제1 배선층과,

[1309] 제1 폭을 갖고, 제1 재료에 의해 구성되어 있고, 상기 제2 반도체층을 두께 방향을 따라 관통하고 있는 제1 도체와,

[1310] 상기 제1 폭보다 작은 제2 폭을 갖고, 상기 제1 재료와는 다른 제2 재료에 의해 구성되어 있고, 상기 제2 반도체층을 두께 방향을 따라 관통하고 있는 제2 도체를 갖는

[1311] 전자 기기.

[1312] (16)

[1313] 광전 변환 영역을 갖고, 한쪽의 면이 제1 면이고 다른 쪽의 면이 광 입사면인 제2 면인 제1 반도체층과,

[1314] 한쪽의 면이 제3 면이고 다른 쪽의 면이 제4 면인 제2 반도체층과,

[1315] 상기 제2 반도체층의 상기 제3 면에 중첩된 제2 배선층과,

[1316] 상기 제2 반도체층의 상기 제4 면에 중첩된 제3 배선층과,

[1317] 한쪽의 면이 상기 제1 반도체층의 상기 제1 면에 중첩되고, 다른 쪽의 면이 상기 제2 배선층 및 상기 제3 배선층의 한쪽의 배선층과 중첩되어 있는 제1 배선층과,

[1318] 제1 폭을 갖고, 상기 제2 반도체층을 두께 방향을 따라 관통하고 있는 제1 도체와,

[1319] 상기 제1 폭보다 작은 제2 폭을 갖고, 상기 제2 반도체층을 두께 방향을 따라 관통하고 있는 제2 도체

[1320] 를 구비한, 광 검출 장치.

[1321] (17)

[1322] 상기 제2 반도체층은, 상기 제2 도체를 게이트 전극으로 하고 또한 상기 제2 도체의 측면과 상기 제2 반도체층 사이에 마련된 절연막을 게이트 절연막으로 하는 제1 트랜지스터를 갖는 (16)에 기재된 광 검출 장치.

[1323] (18)

[1324] 상기 제2 도체는, 상기 제2 배선층에 마련된 도체와 상기 제3 배선층에 마련된 도체 중 상기 제3 배선층에 마련된 도체에만 접속되어 있는, (17)에 기재된 광 검출 장치.

[1325] (19)

[1326] 상기 제1 트랜지스터의 소스를 구성하는 확산 영역 및 드레인을 구성하는 확산 영역 중 적어도 한쪽의 확산 영역은, 상기 제2 배선층이 갖는 도체 및 상기 제3 배선층이 갖는 도체 중, 상기 제3 배선층이 갖는 도체에만 접속되어 있는, (17) 또는 (18)에 기재된 광 검출 장치.

[1327] (20)

[1328] 상기 제3 배선층은, 절연막과, 상기 절연막에 마련되어 한쪽의 면이 저면이고 다른 쪽의 면이 접합면인 제3 접속 패드를 갖고,

[1329] 상기 제2 도체의 상기 제4 면측의 단부는, 상기 제3 접속 패드까지 연장하여 상기 제3 접속 패드와 접속되어 있고,

[1330] 상기 제3 접속 패드의 상기 저면은 상기 제2 반도체층측의 면이고,

[1331] 상기 절연막 중 상기 제3 접속 패드의 상기 저면에 접하는 부분은, 상기 절연막 중 상기 제3 접속 패드의 상기 저면과 상기 접합면을 접속하는 면인 측면에 접하는 부분을 구성하는 재료로부터 선택된 에천트에 대한 에칭 레이트가 높은 재료에 의해 구성되어 있는, (16)에 기재된 광 검출 장치.

[1332] (21)

[1333] 상기 제2 도체의 상기 제4 면측의 단부는, 상기 제3 접속 패드의 상기 접합면에 면하고 있는, (20)에 기재된 광 검출 장치.

[1334] (22)

[1335] 상기 제2 도체의 상기 제4 배선층측의 단부는, 상기 제3 접속 패드 내에 위치하고 있는, (20)에 기재된 광 검출 장치.

[1336] (23)

[1337] 제3 반도체층과,

[1338] 한쪽의 면이 상기 제3 반도체층에 중첩되고, 다른 쪽의 면이 상기 제2 배선층 및 상기 제3 배선층의 다른 쪽의 배선층과 중첩되어 있는 제4 배선층을 구비하고,

[1339] 상기 제3 접속 패드의 상기 접합면은, 상기 제1 배선층 및 상기 제4 배선층 중 상기 제3 배선층에 중첩된 쪽의

배선층이 갖는 접속 패드에 접속되어 있는, (20) 내지 (22)의 어느 것에 기재된 광 검출 장치.

[1340] (24)

[1341] 상기 제2 배선층은, 절연막과 상기 절연막에 마련된 배선을 갖고,

[1342] 상기 제1 도체의 상기 제3 면측의 단부는, 상기 배선 중 하나의 배선까지 연장되어, 당해 하나의 배선에 접속되어 있고,

[1343] 상기 하나의 배선은, 제1 도전 재료제의 제1 층과, 상기 제1 층과 상기 제1 도체의 상기 제3 면측의 상기 단부 사이에 위치하여 상기 제1 도전 재료를 포함하지 않는 제2 도전 재료제의 제2 층과의 적층 구조를 갖는 (16)에 기재된 광 검출 장치.

[1344] (25)

[1345] 상기 제2 도전 재료는, 텅스텐, 루테늄, 티타늄, 탄탈, 질화탄탈, 알루미늄, 또는 실리콘인, (24)에 기재된 광 검출 장치.

[1346] (26)

[1347] 상기 제1 도전 재료는 구리인, (24) 또는 (25)에 기재된 광 검출 장치.

[1348] (27)

[1349] 상기 제2 도체와 상기 제2 반도체층 사이에 분리 절연막을 갖고,

[1350] 상기 제3 배선층은, 절연막과, 상기 절연막에 마련된 배선을 갖고,

[1351] 상기 제2 도체는, 상기 제3 배선층이 갖는 상기 배선 중 하나의 배선과 동일 재료로 일체로 마련되어 있고,

[1352] 상기 분리 절연막은, 상기 제3 배선층의 상기 절연막 내로 돌출되어 있는, (16)에 기재된 광 검출 장치.

[1353] (28)

[1354] 상기 분리 절연막은, 상기 제3 면측에 있어서의 두께가 상기 제4 면측에 있어서의 두께보다 두꺼운, (27)에 기재된 광 검출 장치.

[1355] (29)

[1356] 상기 분리 절연막은, 상기 제3 배선층이 갖는 상기 절연막보다 밀도가 높은, (27) 또는 (28)에 기재된 광 검출 장치.

[1357] (30)

[1358] 상기 제2 도체와 상기 분리 절연막 사이에 고융점 금속막을 갖고,

[1359] 상기 제2 도체는, 상기 제2 배선층이 갖는 하나의 배선과 접속되어 있고,

[1360] 상기 고융점 금속막은, 상기 제2 도체와 상기 제2 배선층이 갖는 상기 하나의 배선 사이에도 마련되어 있는, (27) 내지 (29)의 어느 것에 기재된 광 검출 장치.

[1361] (31)

[1362] 상기 고융점 금속막 중 상기 제2 도체와 상기 분리 절연막 사이에 마련된 부분은, 상기 제4 면측에 있어서의 두께가 상기 제3 면측에 있어서의 두께보다 두꺼운, (30)에 기재된 광 검출 장치.

[1363] (32)

[1364] 제3 재료에 의해 구성된 상기 제2 도체와, 상기 제3 재료와는 다른 제4 재료에 의해 구성된 상기 제2 도체를 포함하는, (27) 내지 (31)의 어느 것에 기재된 광 검출 장치.

[1365] (33)

[1366] 상기 제2 반도체층은, SOI 기판이 갖는 반도체층의 일부인, (16)에 기재된 광 검출 장치.

[1367] (34)

[1368] 상기 제2 도체를 복수 갖고,

[1369] 상기 제2 반도체층의 두께 방향에 있어서의 상기 제2 도체의 상기 제4 면측의 단부의 높이 위치는, 복수의 상기 제2 도체에 있어서 동일한, (33)에 기재된 광 검출 장치.

[1370] (35)

[1371] 상기 SOI 기판의 절연층을 갖고,

[1372] 상기 제2 도체의 상기 제4 면측의 단부는, 상기 절연층을 관통하고 있는, (33)에 기재된 광 검출 장치.

[1373] (36)

[1374] 상기 제3 배선층은, 절연막과, 상기 절연막을 통해 상기 제2 반도체층의 상기 제4 면측에 적층된 보호 절연막과, 도체를 갖고,

[1375] 상기 제2 도체의 상기 제4 면측의 단부는, 상기 제4 면으로부터 이격되는 방향으로 연장되고, 상기 보호 절연막의 적층 위치를 초과하지 않는 위치에 있어서, 상기 도체와 접속되어 있는, (16)에 기재된 광 검출 장치.

[1376] (37)

[1377] 상기 보호 절연막은, 선택된 조건의 화학 기계 연마에 대한 연삭 속도가 상기 절연막을 구성하는 재료보다 느린 재료에 의해 구성되어 있는, (36)에 기재된 광 검출 장치.

[1378] (38)

[1379] 상기 보호 절연막은, 선택된 조건의 화학 기계 연마에 대한 연삭 속도가 상기 제2 도체를 구성하는 재료보다 느린 재료에 의해 구성되어 있는, (36) 또는 (37)에 기재된 광 검출 장치.

[1380] (39)

[1381] 상기 보호 절연막은, 질화실리콘 또는 탄질화실리콘을 포함하는, (36) 내지(38)의 어느 것에 기재된 광 검출 장치.

[1382] (40)

[1383] 상기 보호 절연막은, 상기 제2 도체에 접하고 있지 않은, (36) 내지 (39)의 어느 것에 기재된 광 검출 장치.

[1384] (41)

[1385] 하나의 상기 제2 도체인 제5 도체의 외주면을 덮도록 마련된 제1 고정 전하막과, 다른 하나의 상기 제2 도체인 제6 도체의 외주면을 덮도록 마련된 제2 고정 전하막을 갖고,

[1386] 상기 제1 고정 전하막 및 상기 제2 고정 전하막은, 부의 고정 전하막 및 정의 고정 전하막 중 한쪽 및 다른 쪽인,

[1387] (16)에 기재된 광 검출 장치.

[1388] (42)

[1389] 상기 제2 반도체층은, 제1 도전형의 반도체 영역이고 또한 상기 제4 면측에 위치하는 제3 영역과, 제2 도전형의 반도체 영역이고 또한 상기 제3 면측에 위치하는 제4 영역과, 제1 도전형의 반도체 영역이고 또한 상기 제3 면측에 위치하는 제5 영역과, 제2 도전형의 반도체 영역이고 또한 상기 제3 영역과 상기 제5 영역 사이에 위치하는 제6 영역을 포함하고,

[1390] 상기 제5 도체는, 상기 제3 영역 및 상기 제4 영역을 관통하고,

[1391] 상기 제6 도체는, 상기 제3 영역, 상기 제6 영역 및 상기 제5 영역을 관통하고 있는, (41)에 기재된 광 검출 장치.

[1392] (43)

[1393] 상기 제2 반도체층은, 제1 도전형의 반도체 영역인 제7 영역과, 제2 도전형의 반도체 영역인 제8 영역을 포함하고,

[1394] 상기 제7 영역은, 상기 제1 고정 전하막의 외주면을 덮는 위치에 있고,

[1395] 상기 제8 영역은, 상기 제2 고정 전하막의 외주면을 덮는 위치에 있는,

[1396] (41) 또는 (42)에 기재된 광 검출 장치.

[1397] (44)

[1398] 상기 제1 고정 전하막은, 제1 도전형이 p형인 경우에는 상기 부의 고정 전하막이고, 제1 도전형이 n형인 경우에는 상기 정의 고정 전하막인, (42)에 기재된 광 검출 장치.

[1399] (45)

[1400] 상기 제1 고정 전하막이 상기 부의 고정 전하막이고,

[1401] 상기 제2 고정 전하막이 상기 정의 고정 전하막이고,

[1402] 상기 제2 반도체층은, p형의 반도체 기판으로 형성된 반도체층이고,

[1403] 상기 제2 반도체층에는, p채널 도전형의 전계 효과 트랜지스터인 제2 트랜지스터와, n 채널 도전형의 전계 효과 트랜지스터인 제3 트랜지스터가 마련되어 있고,

[1404] 상기 제5 도체는, 상기 제2 트랜지스터가 갖는 게이트 전극, 소스 영역 및 드레인 영역의 어느 것에 전기적으로 접속되어 있고,

[1405] 상기 제6 도체는, 상기 제3 트랜지스터가 갖는 게이트 전극, 소스 영역 및 드레인 영역의 어느 것에 전기적으로 접속되어 있는, (41)에 기재된 광 검출 장치.

[1406] (46)

[1407] 상기 제1 고정 전하막이 상기 정의 고정 전하막이고,

[1408] 상기 제2 고정 전하막이 상기 부의 고정 전하막이고,

[1409] 상기 제2 반도체층은, n형의 반도체 기판으로 형성된 반도체층이고,

[1410] 상기 제2 반도체층에는, n 채널 도전형의 전계 효과 트랜지스터인 제2 트랜지스터와, p채널 도전형의 전계 효과 트랜지스터인 제3 트랜지스터가 마련되어 있고,

[1411] 상기 제5 도체는, 상기 제2 트랜지스터가 갖는 게이트 전극, 소스 영역 및 드레인 영역의 어느 것에 전기적으로 접속되어 있고,

[1412] 상기 제6 도체는, 상기 제3 트랜지스터가 갖는 게이트 전극, 소스 영역 및 드레인 영역의 어느 것에 전기적으로 접속되어 있는, (41)에 기재된 광 검출 장치.

[1413] (47)

[1414] 하나의 상기 제2 도체는, 상기 제2 반도체층의 두께 방향에 있어서, 상기 제3 면 근처에 위치하고 있는 제7 도체와, 상기 제4 면 근처에 위치하고 있는 제8 도체를 갖고,

[1415] 상기 제7 도체의 상기 제4 면 근처의 단부인 제1 단부는, 상기 제8 도체의 상기 제3 면 근처의 단부인 제2 단부에, 상기 제2 반도체층 내에서 접속되어 있는, (16)에 기재된 광 검출 장치.

[1416] (48)

[1417] 상기 제7 도체의 직경은, 상기 제1 단부에 근접함에 따라 서서히 작게 되어 있고,

[1418] 상기 제8 도체의 직경은, 상기 제2 단부에 근접함에 따라 서서히 작게 되어 있는, (47)에 기재된 광 검출 장치.

[1419] (49)

[1420] 상기 제2 단부의 직경은, 상기 제1 단부의 직경과는 다른, (47) 또는 (48)에 기재된 광 검출 장치.

[1421] (50)

[1422] 상기 제2 단부의 직경은, 상기 제1 단부의 직경보다 큰, (49)에 기재된 광 검출 장치.

[1423] (51)

[1424] 상기 제2 반도체층의 두께 방향에 있어서의 상기 제4 면의 위치에서의 상기 제8 도체의 직경은, 상기 제3 면의 위치에서의 상기 제7 도체의 직경보다 큰, (47) 내지 (50)의 어느 것에 기재된 광 검출 장치.

[1425] (52)

[1426] 상기 제2 도체와 상기 제2 반도체층 사이는, 상기 제2 도체의 외주면에 마련된 절연막에 의해 절연되어 있고,

[1427] 상기 절연막 중, 상기 제1 단부 및 상기 제2 단부 중 직경이 작은 쪽의 단부의 외주면에 마련된 부분의 두께는, 상기 제7 도체 및 상기 제8 도체 중 당해 작은 쪽의 단부를 갖는 쪽의 도체의 당해 작은 쪽의 단부 이외의 외주면에 마련된 부분의 두께보다 두꺼운, (47) 내지 (51)의 어느 것에 기재된 광 검출 장치.

[1428] (53)

[1429] 상기 제7 도체 및 상기 제8 도체는, 평면으로 보아 서로 다른 방향으로 긴 직사각형인, (47) 내지 (52)의 어느 것에 기재된 광 검출 장치.

[1430] (54)

[1431] 상기 제1 도체는, 제1 재료에 의해 구성되어 있고,

[1432] 상기 제2 도체는, 상기 제1 재료와는 다른 제2 재료에 의해 구성되어 있고,

[1433] 상기 제1 도체 및 상기 제2 도체의 각각은, 상기 제4 면으로부터 상기 제3 배선층 내로 돌출되고,

[1434] 상기 제1 도체 및 상기 제2 도체의 상기 제3 배선층 내로 돌출되는 높이는 서로 다른, (16)에 기재된 광 검출 장치.

[1435] (55)

[1436] 상기 제2 도체의 상기 제3 배선층 내로 돌출되는 높이는, 상기 제1 도체의 상기 제3 배선층 내로 돌출되는 높이보다 높은, (54)에 기재된 광 검출 장치.

[1437] (56)

[1438] 상기 제1 도체의 상기 제3 배선층 내로 돌출되는 높이는, 상기 제2 도체의 상기 제3 배선층 내로 돌출되는 높이보다 높은, (54)에 기재된 광 검출 장치.

[1439] (57)

[1440] 상기 제1 도체의 상기 제3 배선층 내로 돌출되는 쪽의 단부는, 상기 제3 배선층이 갖는 제1 배선에, 접속부를 통해 전기적으로 접속되어 있고,

[1441] 상기 제2 도체의 상기 제3 배선층 내로 돌출되는 쪽의 단부는, 상기 제3 배선층이 갖는 배선이며, 상기 제1 배선과 동일한 메탈층에 속하는 제2 배선에, 직접 전기적으로 접속되어 있는, (56)에 기재된 광 검출 장치.

[1442] (58)

[1443] 상기 제2 반도체층을 두께 방향을 따라 관통하는 절연 부재를 갖고,

[1444] 평면으로 보아, 상기 제2 도체의 주위를 상기 제2 반도체층의 일부로 포위하고, 또한 상기 제2 반도체층의 상기 일부의 주위를 상기 절연 부재로 포위한 삼중 구조를 갖는 (16)에 기재된 광 검출 장치.

[1445] (59)

[1446] 상기 제2 도체는, 상기 제4 면측의 단부인 제1 단부와, 상기 제2 도체 중 상기 제3 면측의 단부인 제2 단부와, 상기 제1 단부와 상기 제2 단부 사이의 부분인 중간부를 갖고,

[1447] 상기 제1 단부는, 상기 중간부보다 직경이 큰, (16)에 기재된 광 검출 장치.

[1448] (60)

[1449] 상기 제1 단부의 직경은, 상기 중간부 중 상기 제1 단부와의 경계에 위치하는 부분의 직경보다 크게 마련되어 있는, (59)에 기재된 광 검출 장치.

[1450] (61)

[1451] 상기 제2 배선층 및 상기 제3 배선층 중 상기 제1 배선층에 중첩된 쪽의 배선층과 상기 제1 배선층의 각각은, 절연막을 통해 적층된 배선과, 적층 방향을 따라 연장되는 비아와, 반사 부재를 각각 복수 갖고,

[1452] 상기 비아는, 상기 배선끼리의 사이 또는 상기 배선과 상기 제1 반도체층 및 상기 제2 반도체층 중 한쪽의 반도체층 사이를 전기적으로 접속하고,

[1453] 상기 반사 부재는, 적층 방향에 있어서 상기 비아와 동일한 높이 위치에 배치되어 있고, 평면으로 보아 매트릭스 형상으로 배치되어 있고 또한 상기 비아끼리 사이의 영역을 메우고 있는, (16)에 기재된 광 검출 장치.

[1454] (62)

[1455] 상기 반사 부재는, 전기적으로 부유 상태에 있는, (61)에 기재된 광 검출 장치.

[1456] (63)

[1457] 제3 반도체층과,

[1458] 한쪽의 면이 상기 제3 반도체층에 중첩되고, 다른 쪽의 면이 상기 제2 배선층 및 상기 제3 배선층의 다른 쪽의 배선층과 중첩되어 있는 제4 배선층과,

[1459] 일단이 상기 제2 반도체층의 상기 제3 반도체층측의 면에 접속되고, 타단이 상기 제3 반도체층(80)에 접속된 방열 패스

[1460] 를 갖는 (16)에 기재된 광 검출 장치.

[1461] (64)

[1462] 상기 방열 패스의 상기 일단은, 상기 제2 반도체층 내에 적어도 일부가 매설되어 있고,

[1463] 상기 방열 패스의 상기 타단은, 상기 제3 반도체층 내에 적어도 일부가 매설되어 있는, (63)에 기재된 광 검출 장치.

[1464] 본 기술의 범위는, 도시되어 기재된 예시적인 실시 형태에 한정되는 것은 아니고, 본 기술이 목적으로 하는 것과 균등한 효과를 초래하는 모든 실시 형태도 포함한다. 또한, 본 기술의 범위는, 청구항에 의해 구획되는 발명의 특징의 조합에 한정되는 것은 아니고, 모든 개시된 각각의 특징 중 특정한 특징의 모든 원하는 조합에 의해 구획될 수 있다.

부호의 설명

[1465] 1: 광 검출 장치

1A: 반도체 장치

2: 반도체 칩

2A: 화소 영역

2B: 주변 영역

3: 화소

4: 수직 구동 회로

5: 칼럼 신호 처리 회로

6: 수평 구동 회로

7: 출력 회로

8: 제어 회로

10: 화소 구동선

11: 수직 신호선

12: 수평 신호선

13: 로직 회로

14: 본딩 패드

15: 읽어내기 회로

20: 제1 반도체층

20a: 광전 변환 영역

30: 제1 배선층

32: 배선

33: 제1 접속 패드

40: 제2 배선층

41, 41m: 절연막

42, 42A: 배선

42A1: 제1 층

42A2: 제2 층

42h, 42h1, 42h2: 구멍

43: 제2 접속 패드

45: 절연막

46, 46c: 에칭 스톱층

46a: 제3 층

46b: 제4 층

50: 제2 반도체층

50a: 제1 영역

50b: 제2 영역

51: 제1 도체

51a, 51b: 단부

52, 52L, 52B, 52C: 제2 도체

52a, 52b, 52La, 52Lb: 단부

55: 배리어 메탈층

56: 희생막

57: 제3 도체

58: 제4 도체

58a: 단부

58h: 구멍

60: 제3 배선층

61, 61a, 61b: 절연막

61d: 제1 절연막

61h: 구멍

62, 62a, 62b, 62B: 배선

63, 63A: 제3 접속 패드

64: 배리어 절연막

65: 실리콘 커버막(고정 전하막)

68: 보호 절연막

70: 제4 배선층

72: 배선

73: 제4 접속 패드

80: 제3 반도체층

90: 집광층

91: 컬러 필터

92: 온 칩 렌즈

100: 전자 기기

101: 고체 촬상 장치

102: 광학계(광학 렌즈)

103: 셔터 장치

104: 구동 회로

105: 신호 처리 회로

AL: 얼라인먼트 마크

D: 드레인

G: 게이트 전극

KOZ: 킵 아웃 영역

K1, K2: 영역

MK: 마크

S: 소스

T2, T2-1, T2-2: 트랜지스터

47A: 제1 고정 전하막

47B: 제2 고정 전하막

52-1: 제5 도체

52-2: 제6 도체

52-3: 제2 도체

52D: 제2 도체

52D1: 제7 도체

52D2: 제8 도체

59A: 제3 영역

59B: 제7 영역

59C: 제8 영역

61m7: 절연막

D1a: 제1 단부

D1ad: 직경

D1S3: 직경

D2a: 제2 단부

D2ad: 직경

D2S4: 직경

DL: 공핍층

iso: 절연막

w1: 제4 영역

w2: 제5 영역

w3: 제6 영역

51E: 제1 도체

52E: 제2 도체

69: 접속부

61A: 절연 부재

52Fa, 52Fb: 단부

52Fc: 중간부

32D: 더미 배선

34D, 44D: 더미 비아

PHa: 집열부

PHb: 방열부

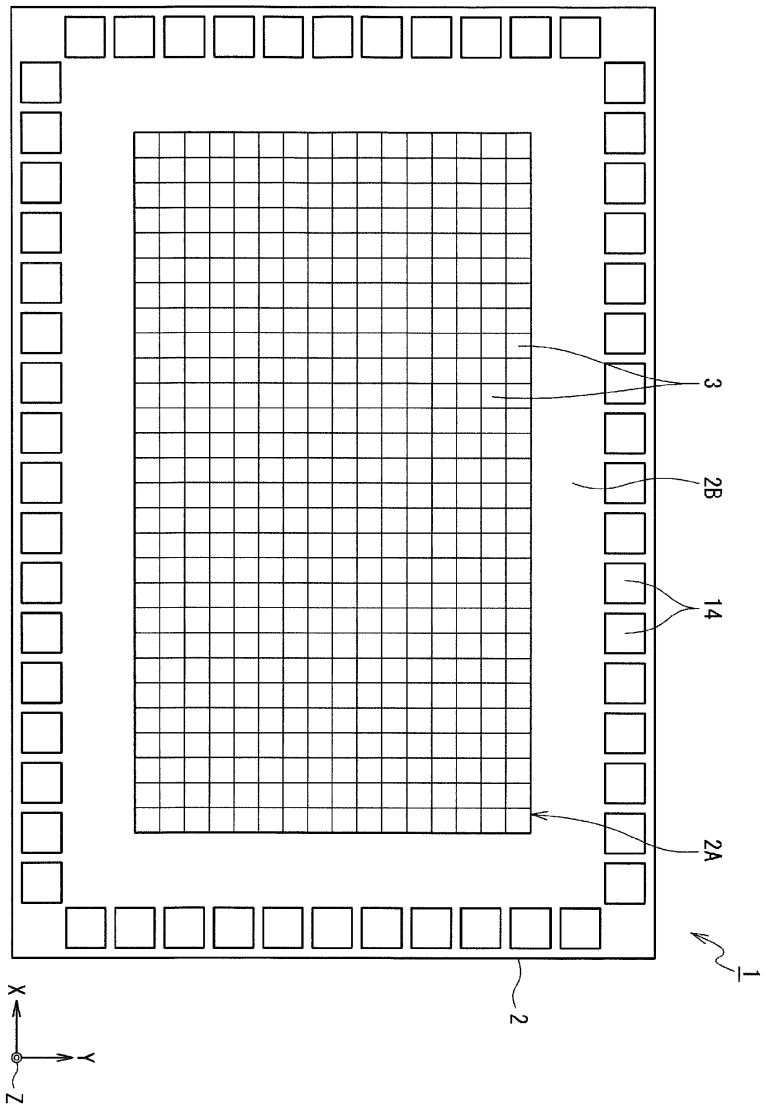
PHc: 중간 부분

PHa1, PHb1: 매설부

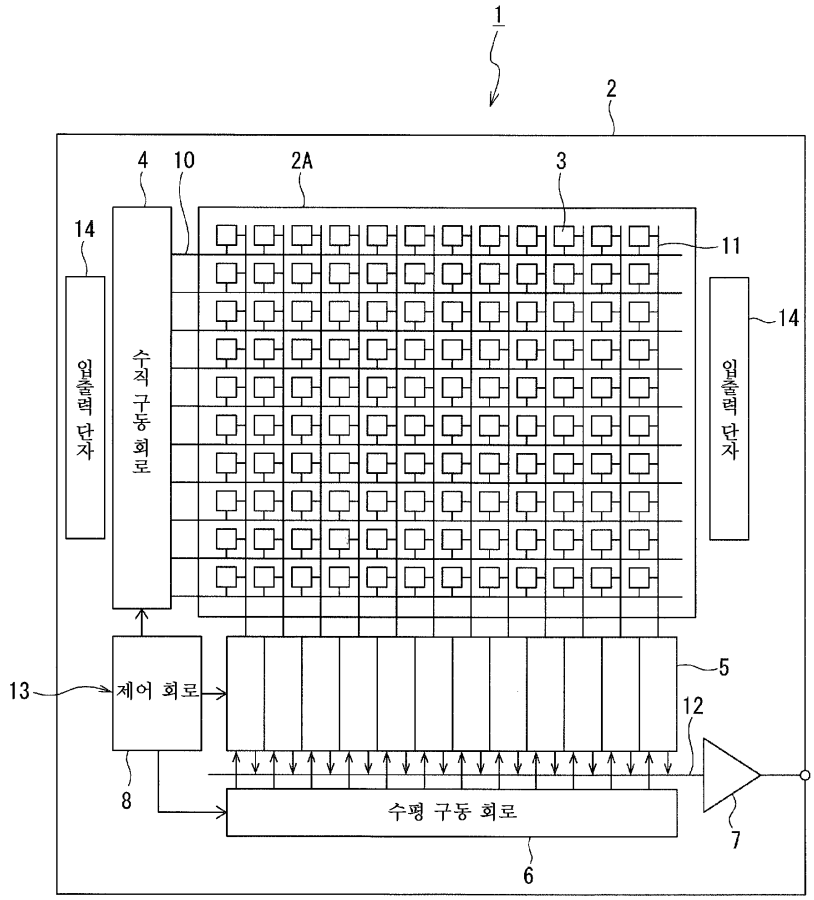
PHa2, PHb2: 접속 부재

도면

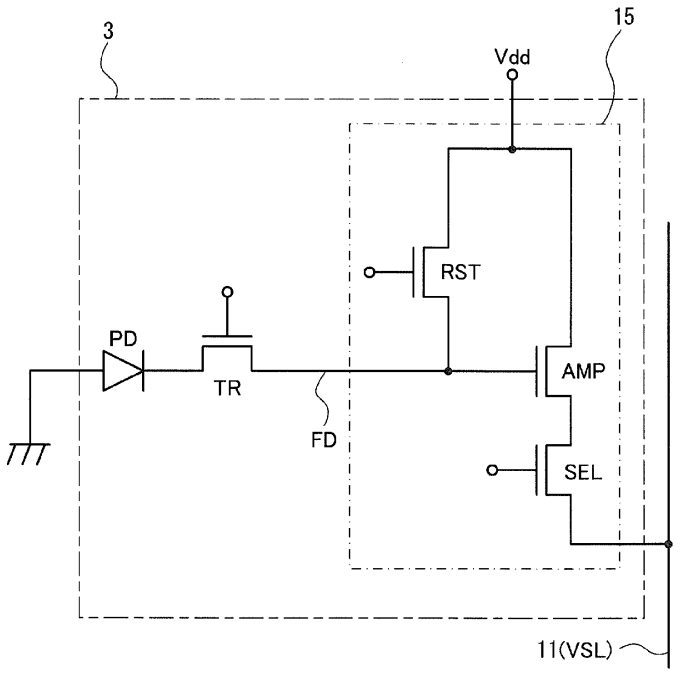
도면1



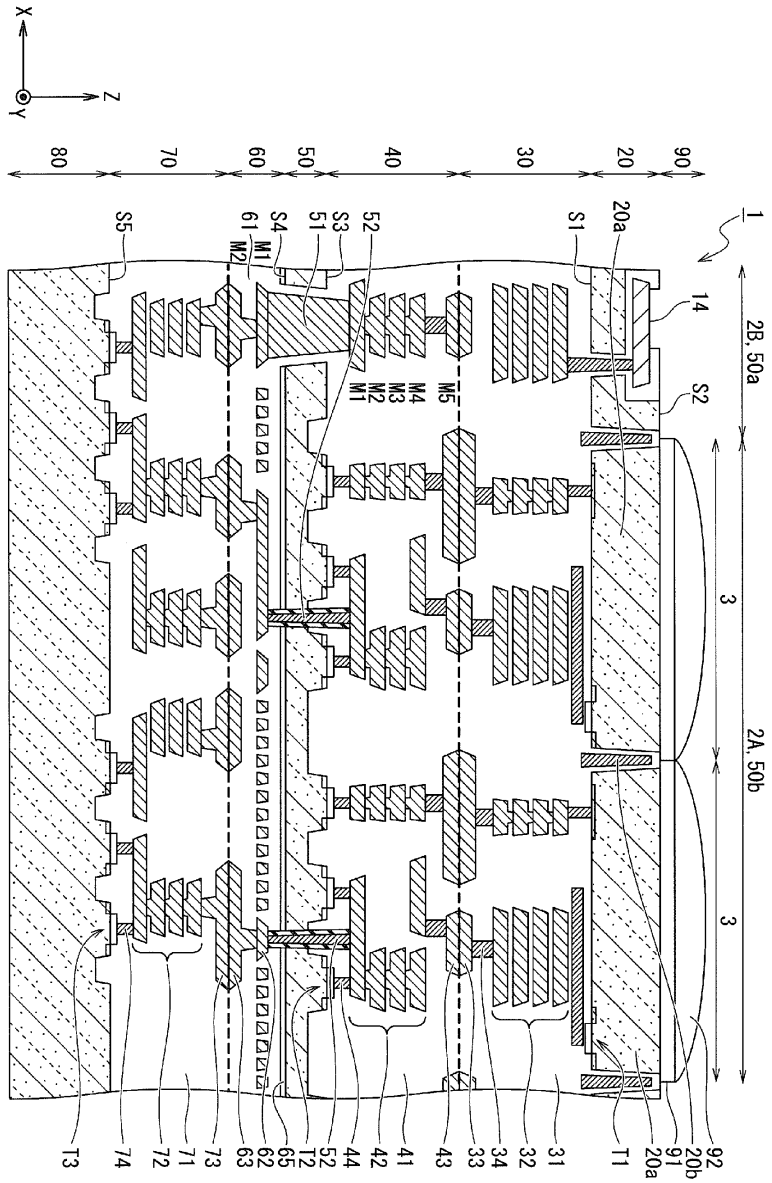
도면2


1
2
4
10
2A
3
14
11
14
입출력 단자
수직 구동 회로
입출력 단자
13
제어 회로
5
12
8
수평 구동 회로
7
6

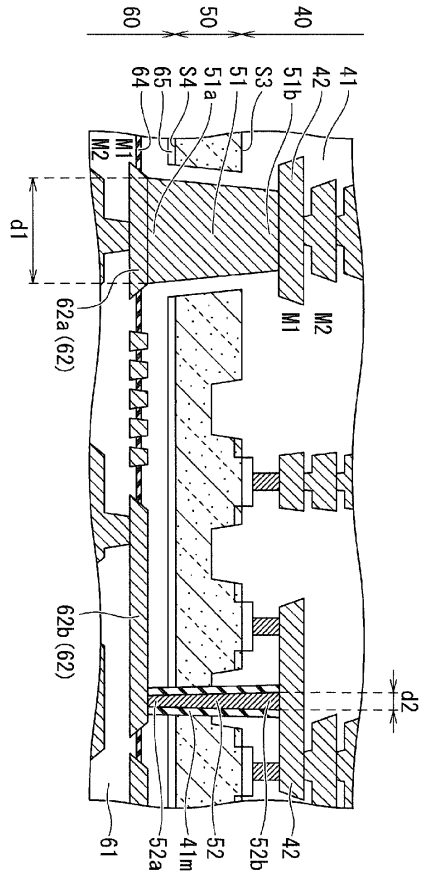
도면3


3
15
Vdd
RST
PD
TR
AMP
FD
SEL
11(VSL)

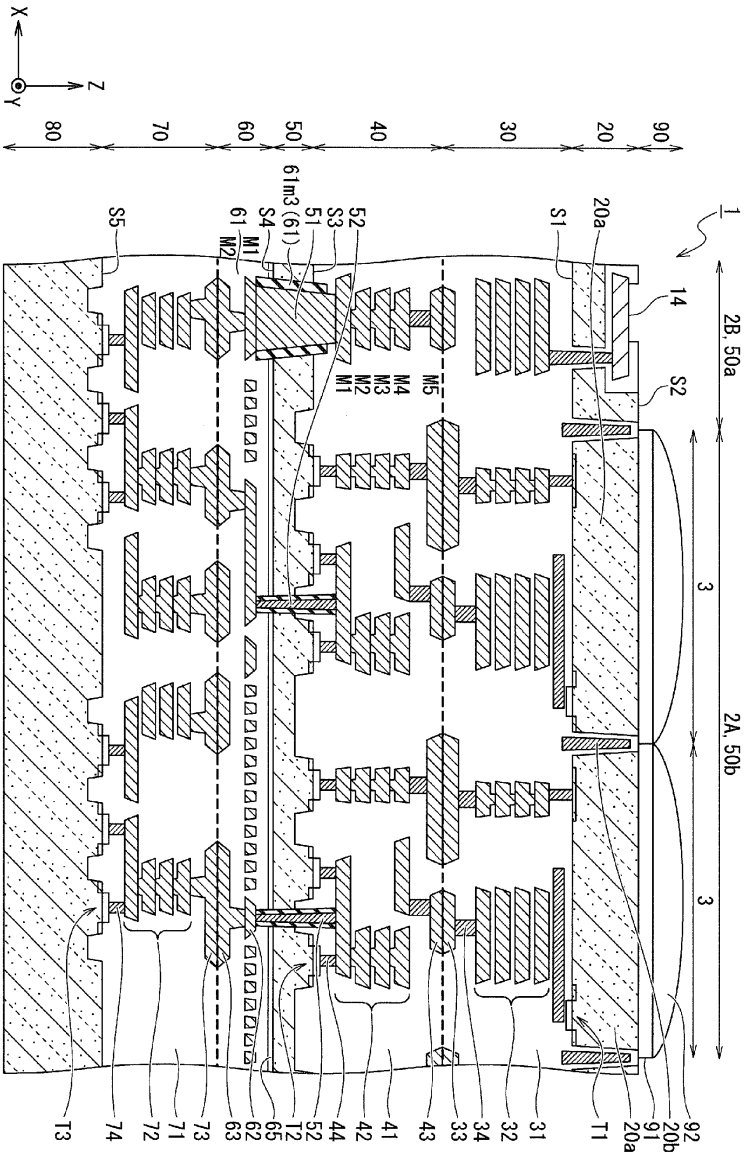
도면4a


X
Z
Y
80
70
60
50
40
30
20
90
1
S5
61
M2
M1
S4
51
S3
52
M1
M2
M3
M4
M5
S1
20a
14
S2
2B, 50a
3
2A, 50b
3
T3
74
72
71
73
63
62
65
T2
52
44
42
41
43
33
34
32
31
T1
20a
91
20b
92

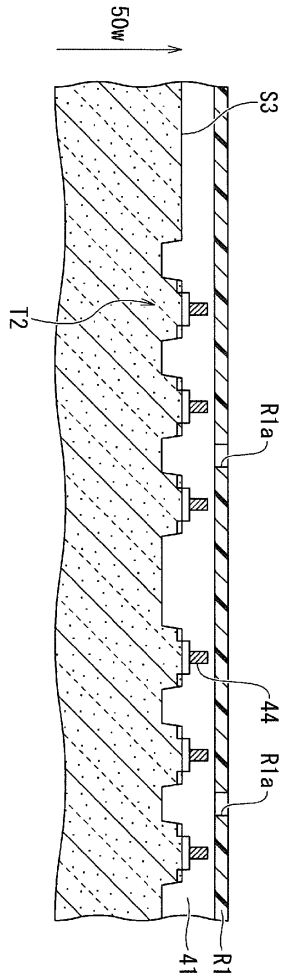
도면4b


60
50
40
64
65
S4
51a
51
S3
51b
42
41
M1
M2
d1
62a (62)
M2
M1
62b (62)
d2
61
52a
41m
52
52b
42

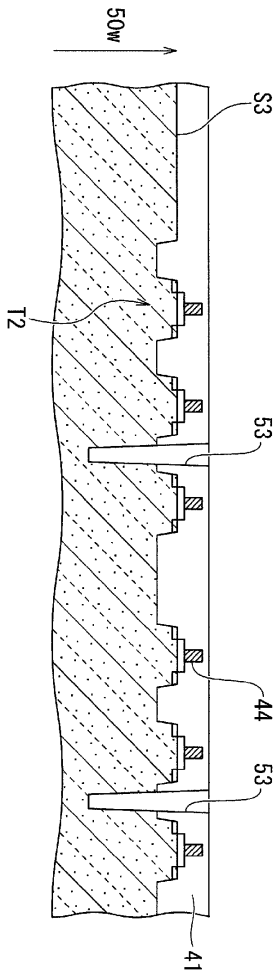
도면4c


X
Z
Y
80
70
60
50
40
30
20
90
1
S5
61
M2
M1
S4
61m3 (61)
S3
51
52
S1
20a
14
S2
M1
M2
M3
M4
M5
2B, 50a
3
2A, 50b
3
T3
74
72
71
73
63
62
65
T2
52
44
42
41
43
33
34
32
31
T1
20a
91
20b
92

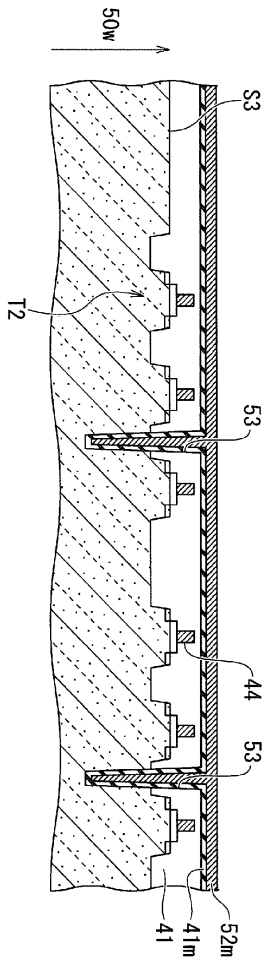
도면5a



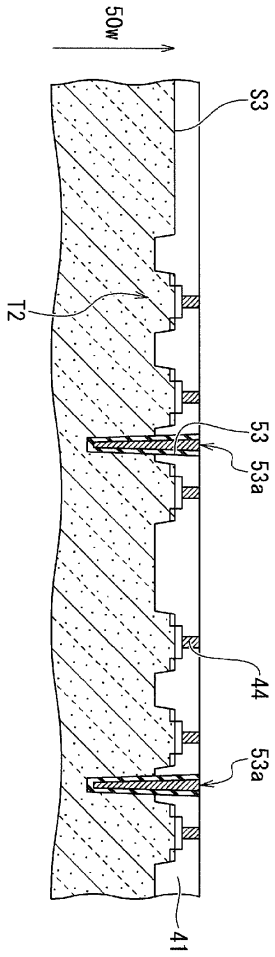
도면5b



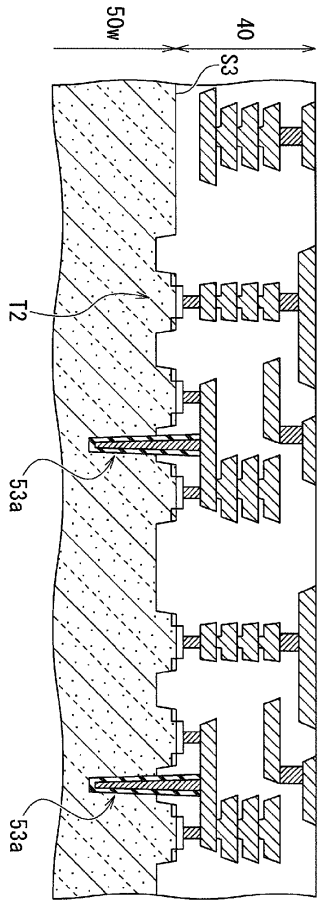
도면5c



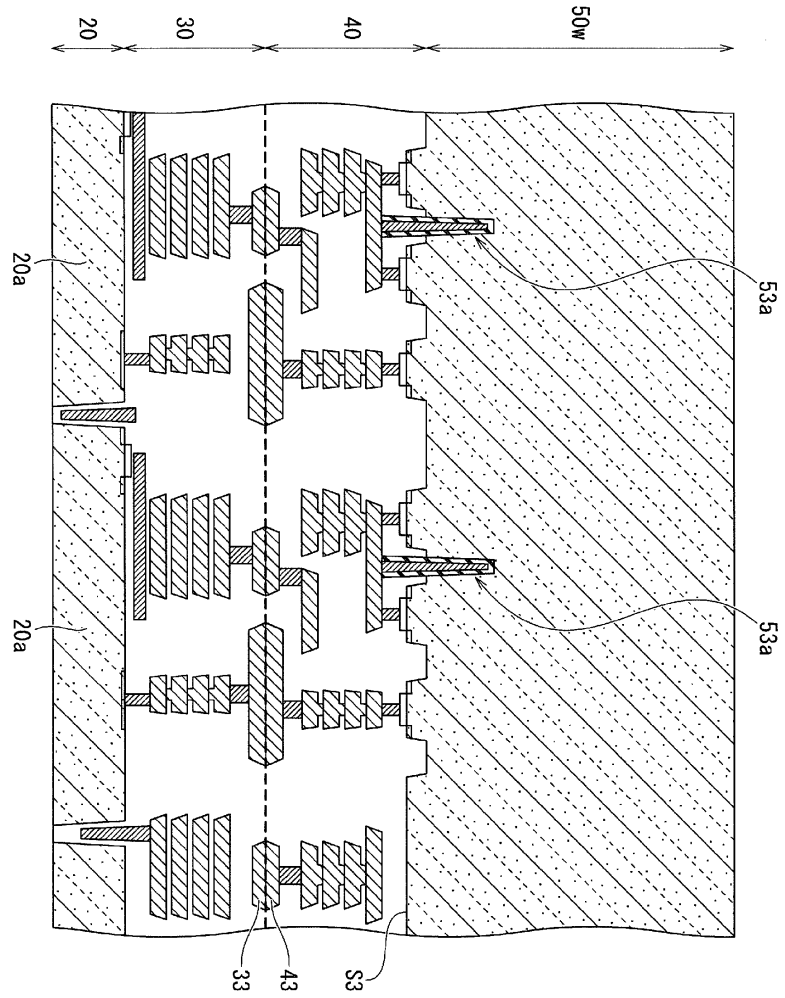
도면5d



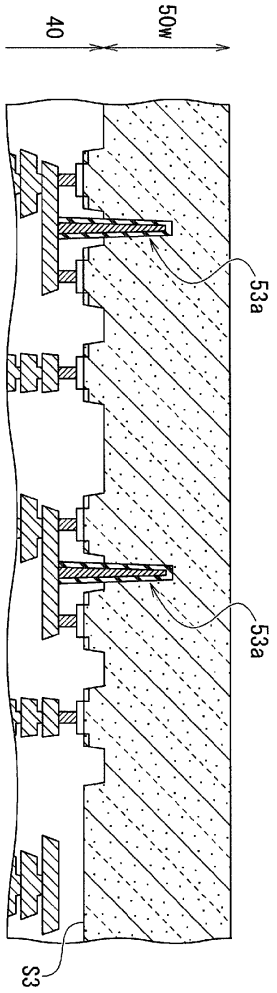
도면5e



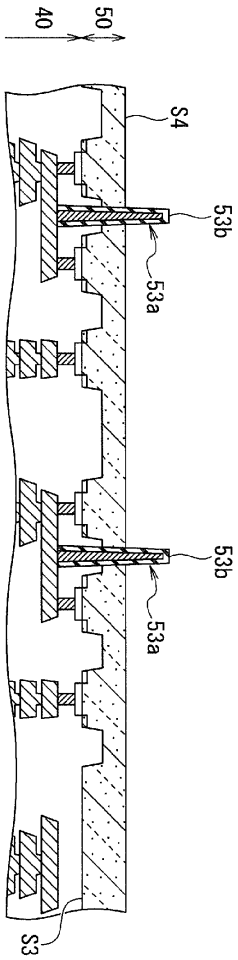
도면5f



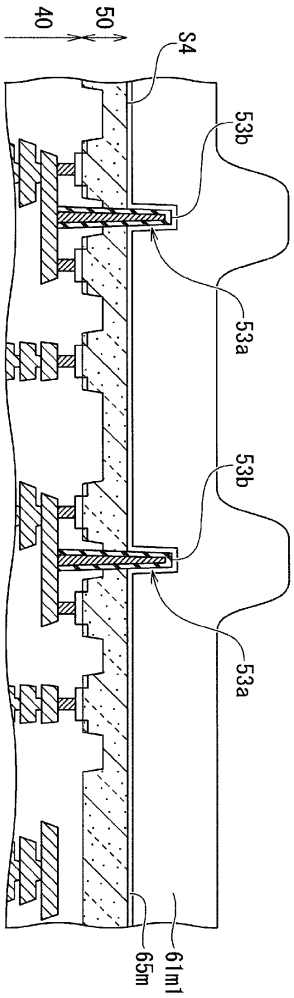
도면5g



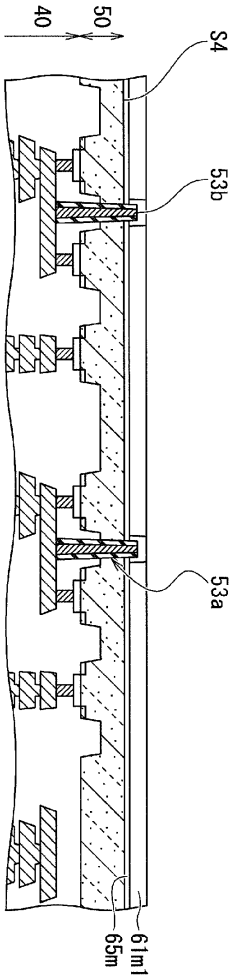
도면5h



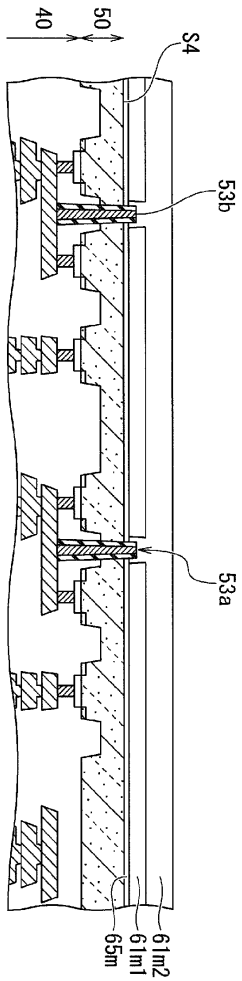
도면5i



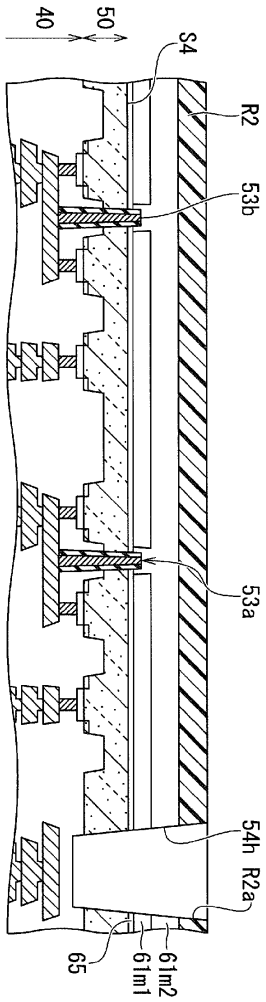
도면5j



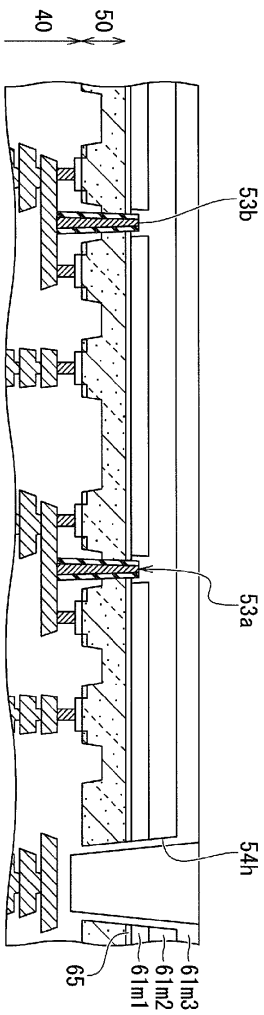
도면5k



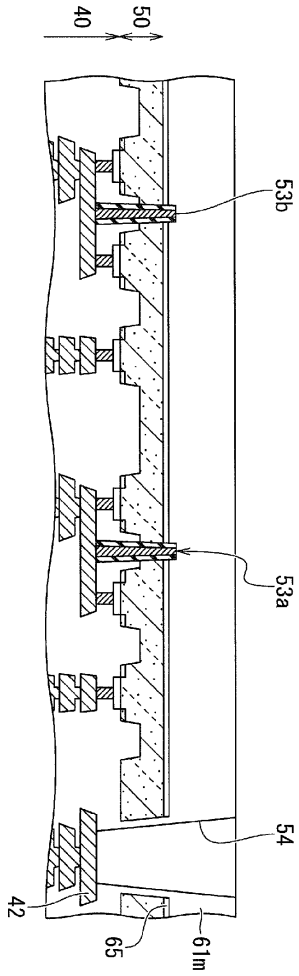
도면51



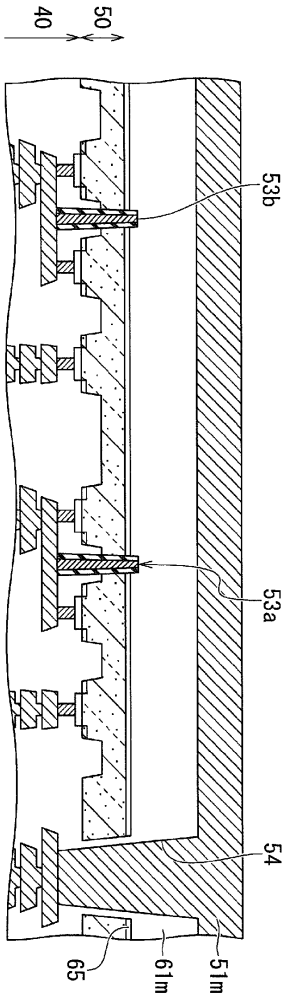
도면5m



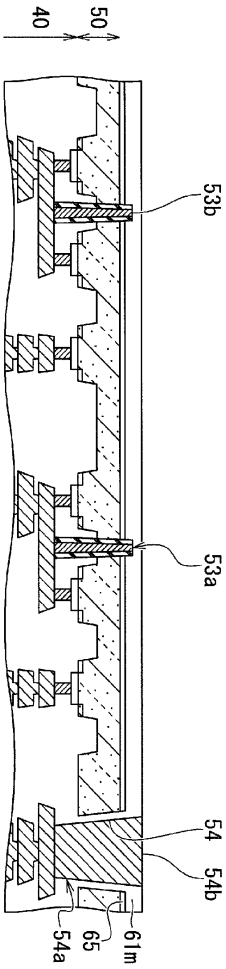
도면5n



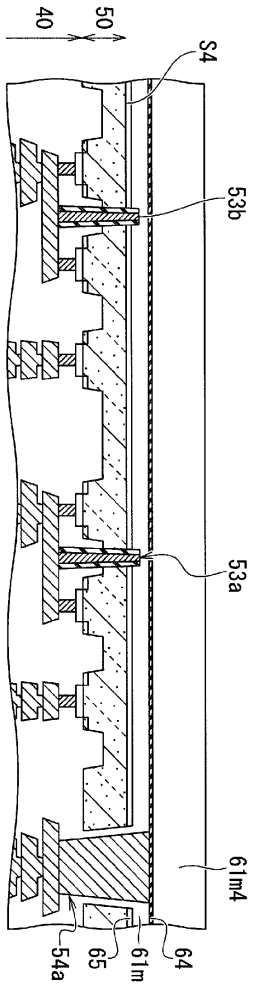
도면50



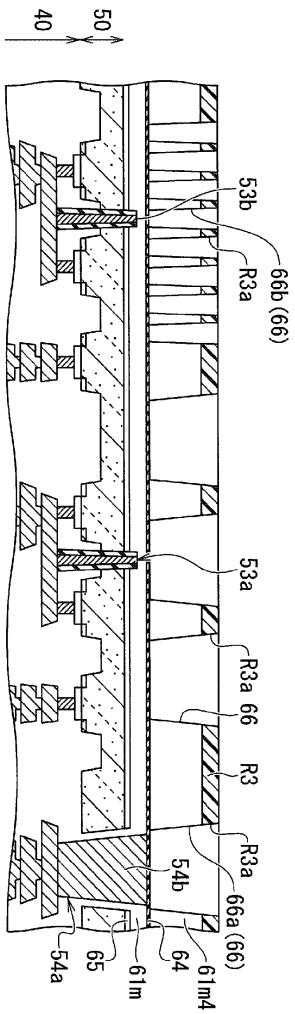
도면5p



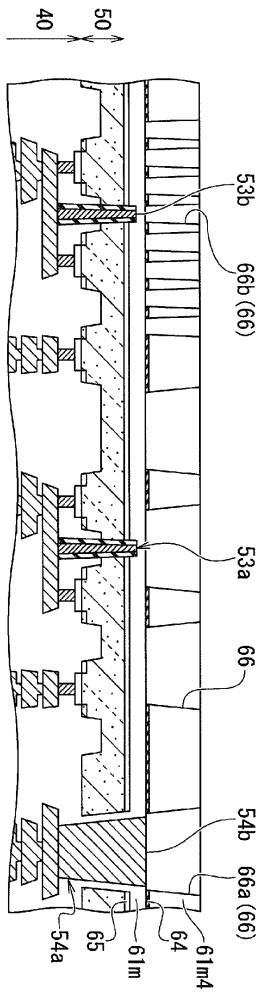
도면5q



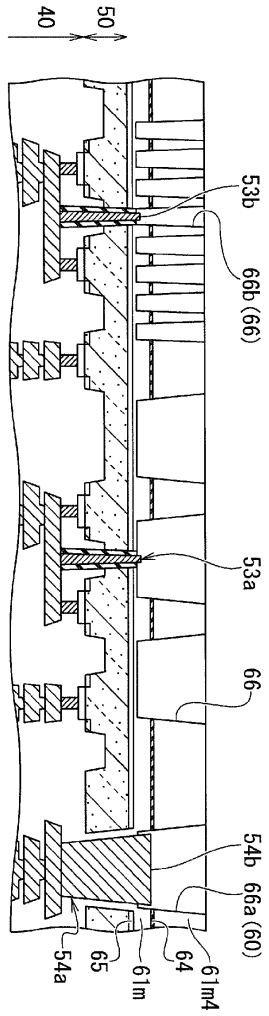
도면5r


40
50
53b
R3a
66b (66)
53a
R3a
66
R3
R3a
54b
66a (66)
54a
65
61m
64
61m4

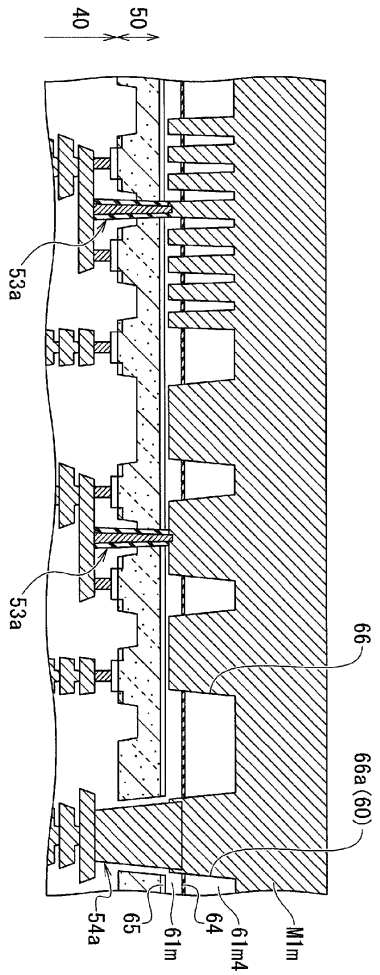
도면5s



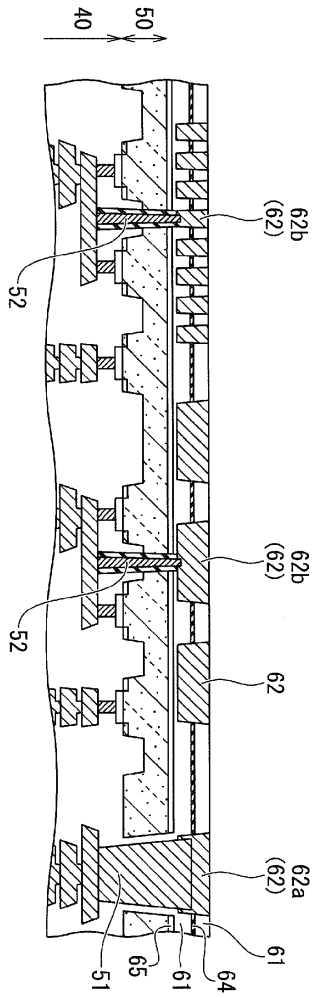
도면5t



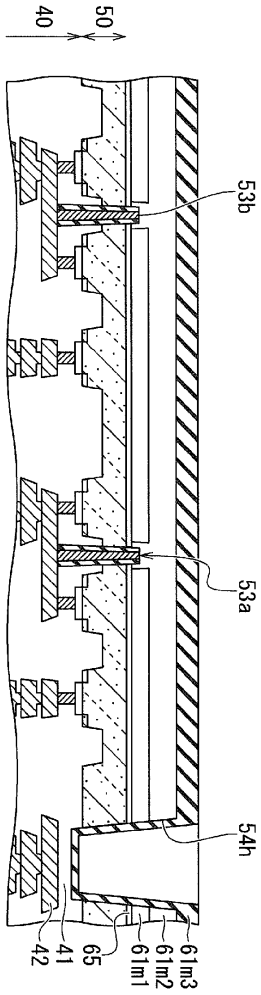
도면5u



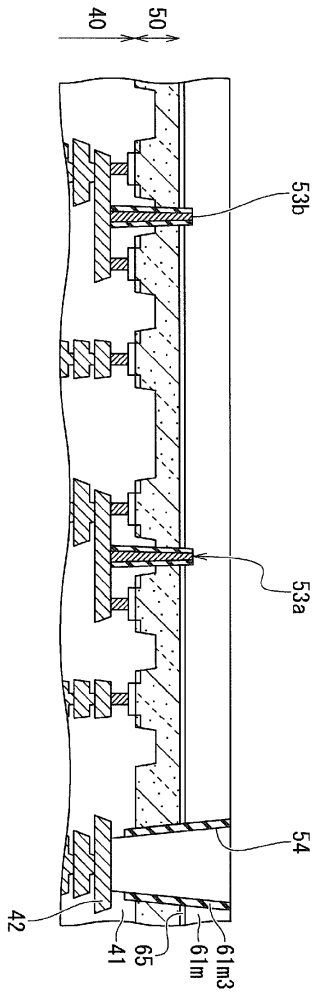
도면5v



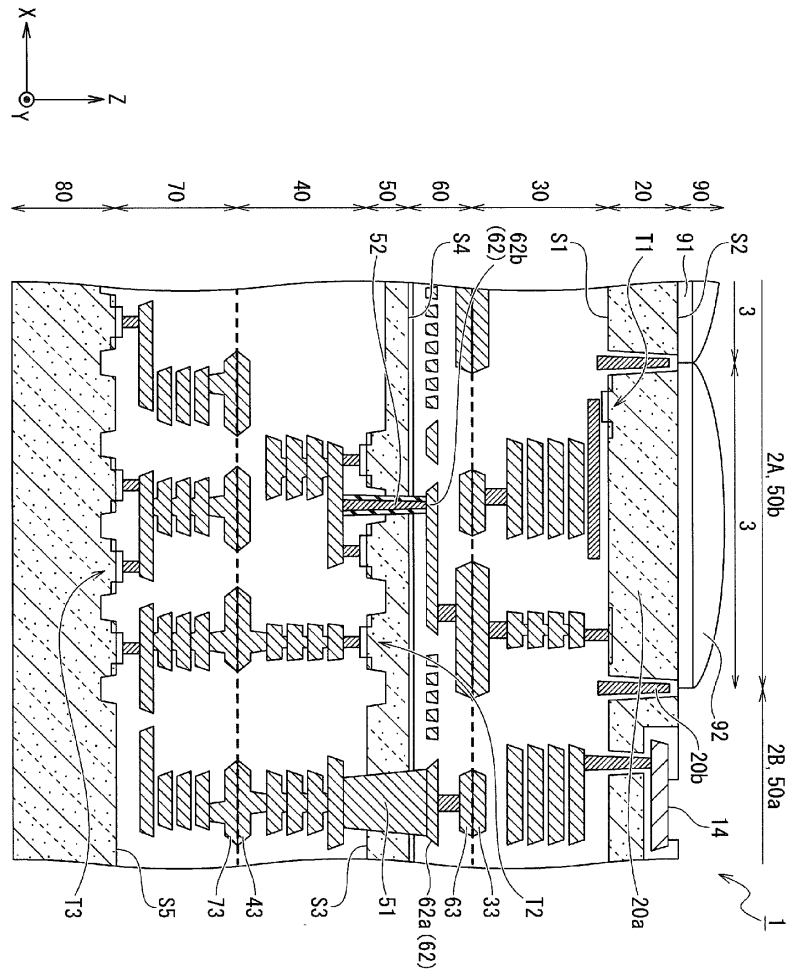
도면5w



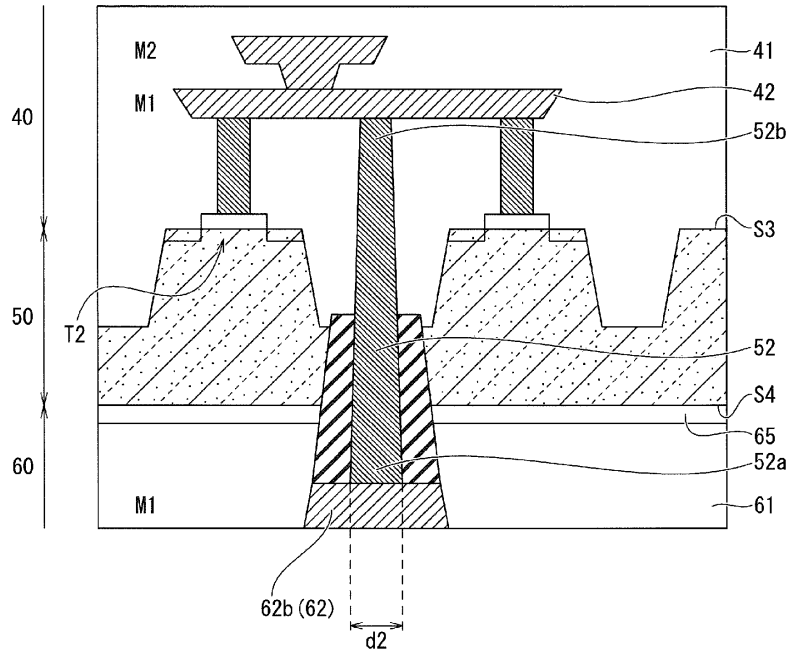
도면5x



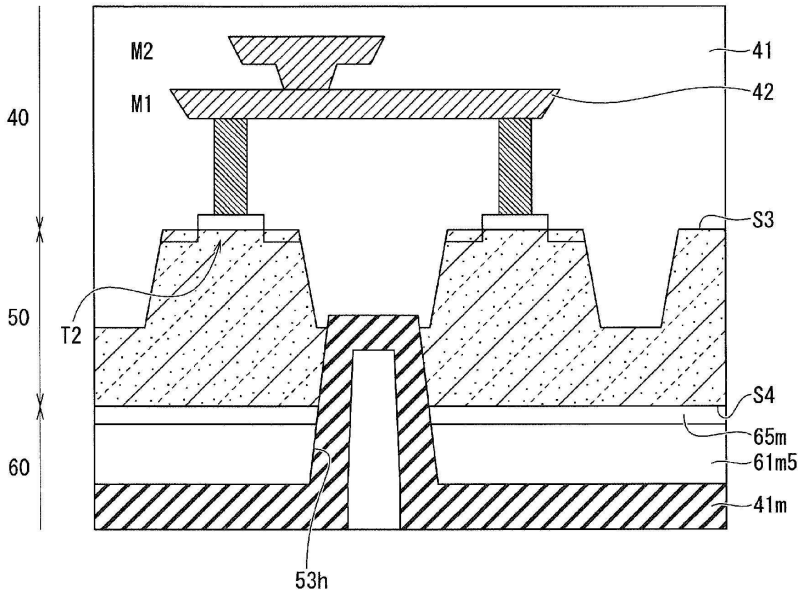
도면6


X
Z
Y
80
70
40
50
60
30
20
90
52
S4
62b (62)
S1
T1
91
S2
3
3
2A, 50b
2B, 50a
92
20b
14
1
T3
S5
73
43
S3
51
62a (62)
63
33
T2
20a

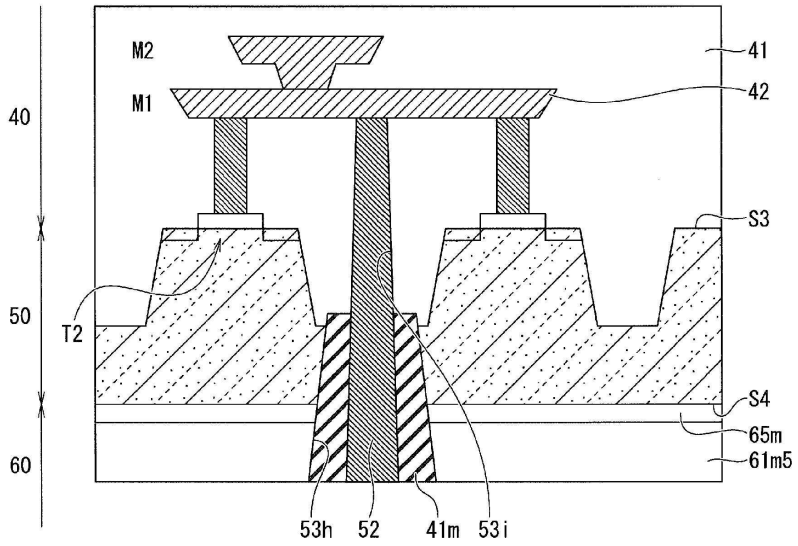
도면7


M2
M1
40
50
60
T2
41
42
52b
S3
52
S4
65
52a
61
M1
62b (62)
d2

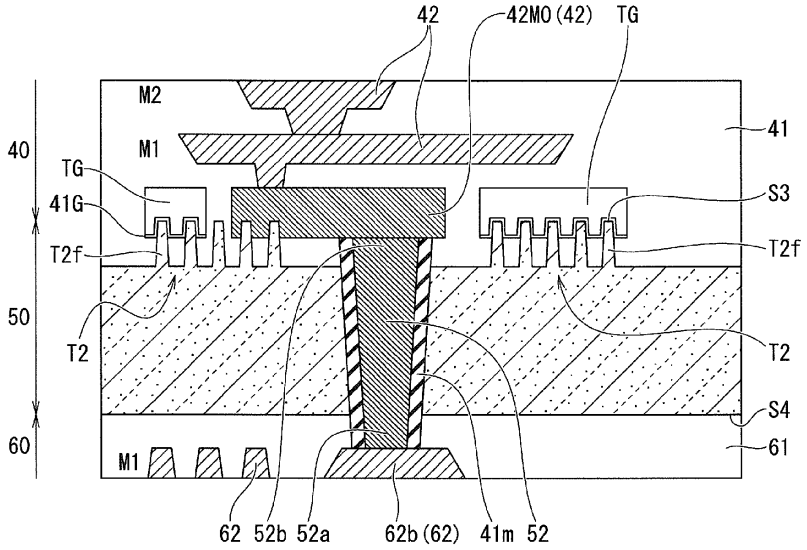
도면8a


M2
M1
40
50
60
T2
41
42
S3
S4
65m
61m5
41m
53h

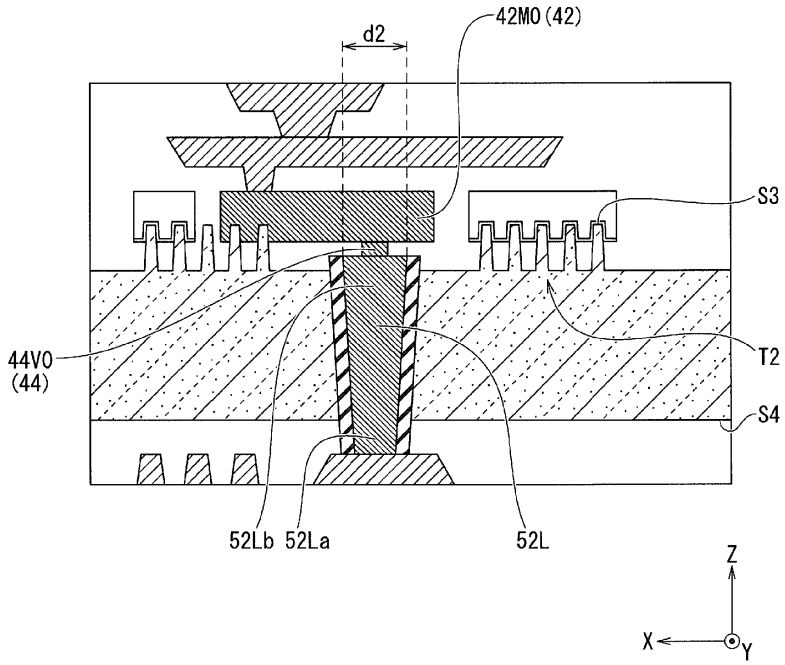
도면8b


M2
M1
41
42
40
S3
50
T2
S4
65m
61m5
60
53h
52
41m
53i

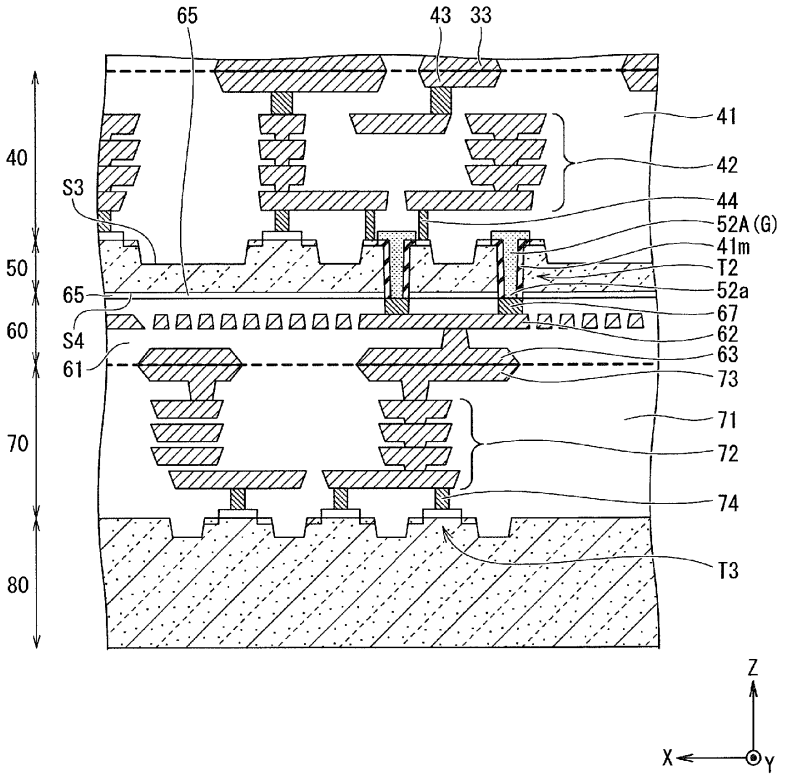
도면9


42
42M0(42)
TG
M2
41
40
M1
TG
S3
41G
T2f
T2f
50
T2
T2
S4
60
61
M1
62
52b
52a
62b(62)
41m
52

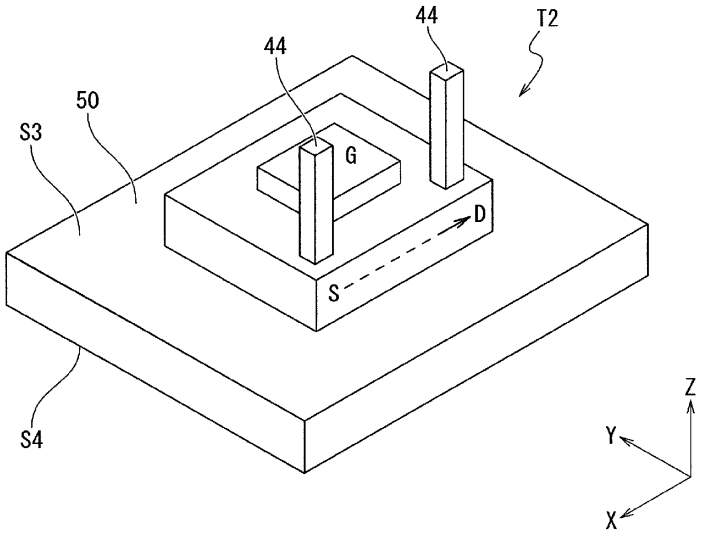
도면10


d2
42MO(42)
S3
44VO
(44)
T2
S4
52Lb
52La
52L
Z
X
Y

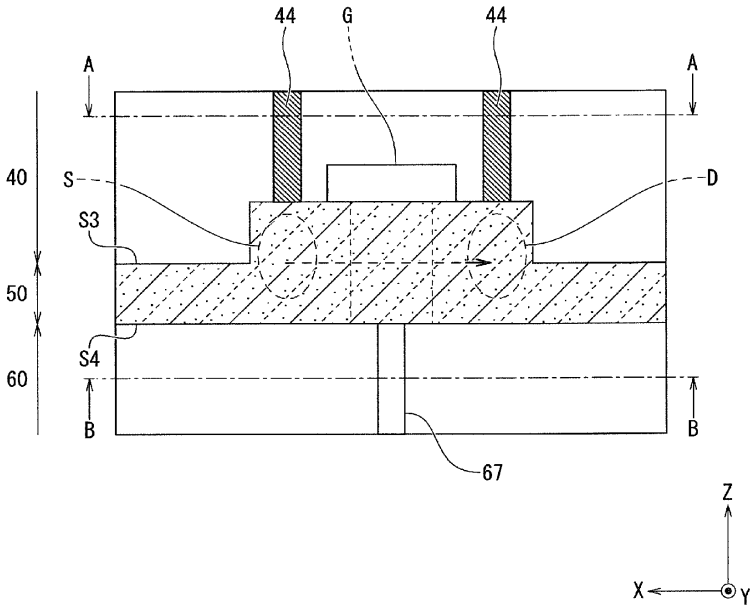
도면11


65
43
33
40
S3
41
42
44
52A(G)
41m
50
T2
65
52a
67
60
S4
62
61
63
73
71
70
72
74
80
T3
Z
X
Y

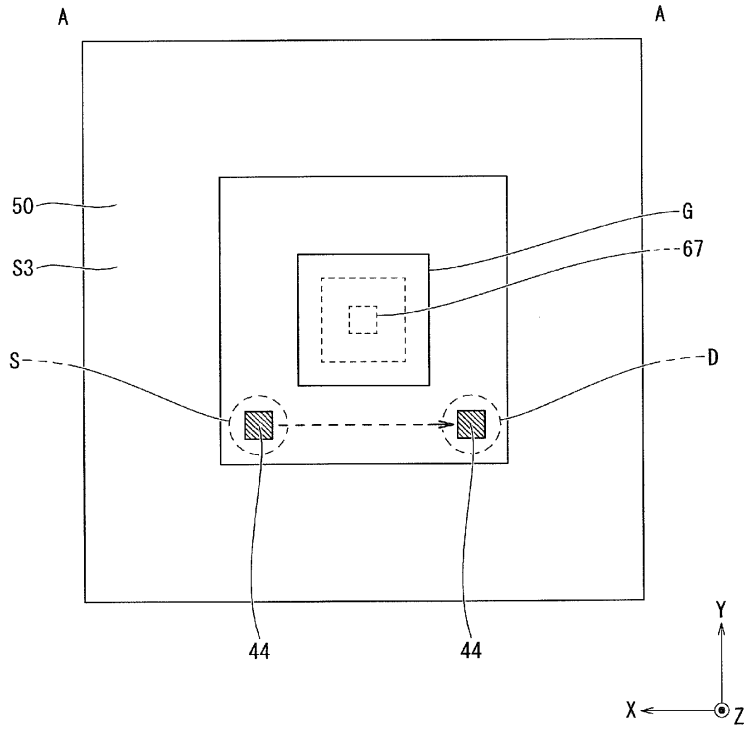
도면12a



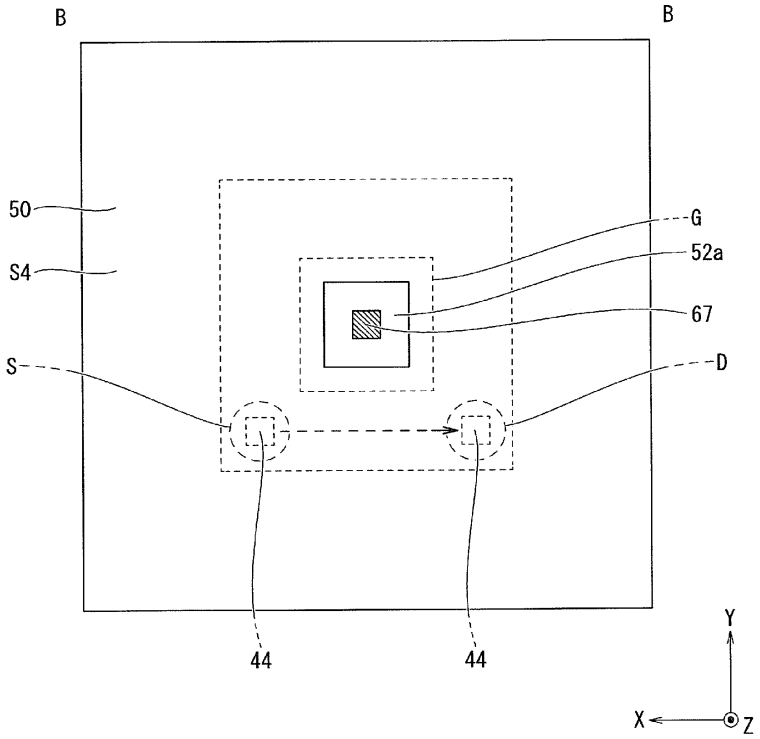
도면12b



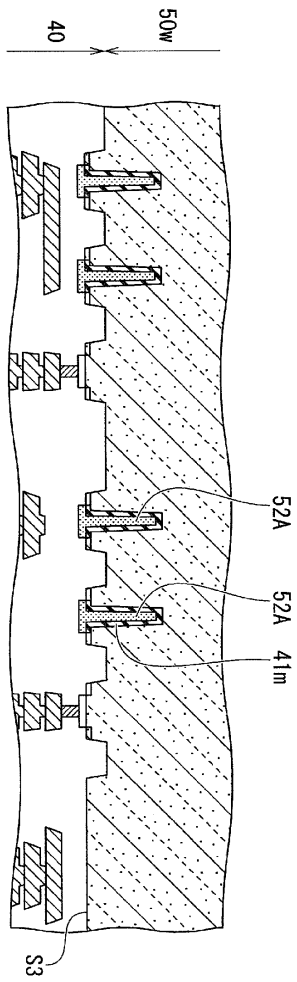
도면12c



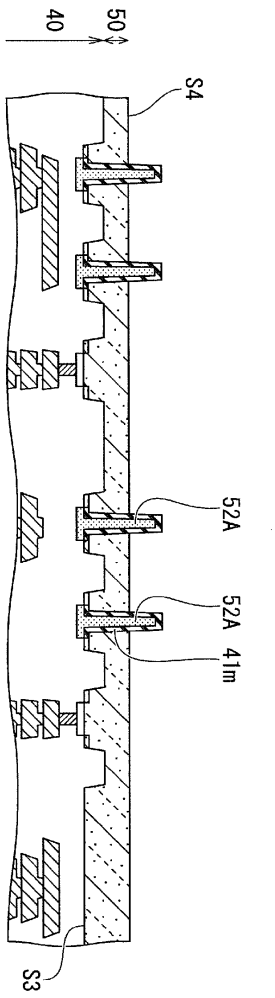
도면12d



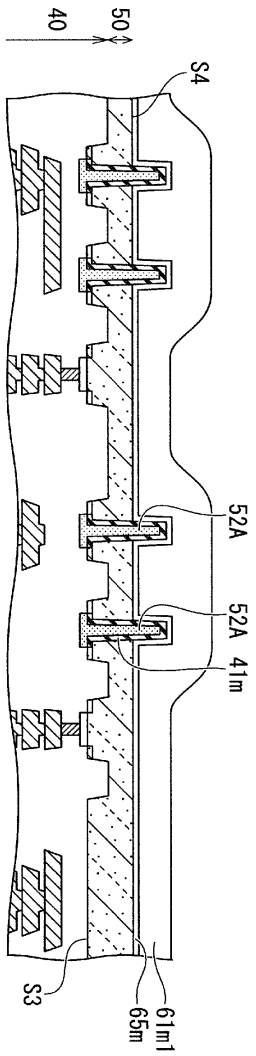
도면13a



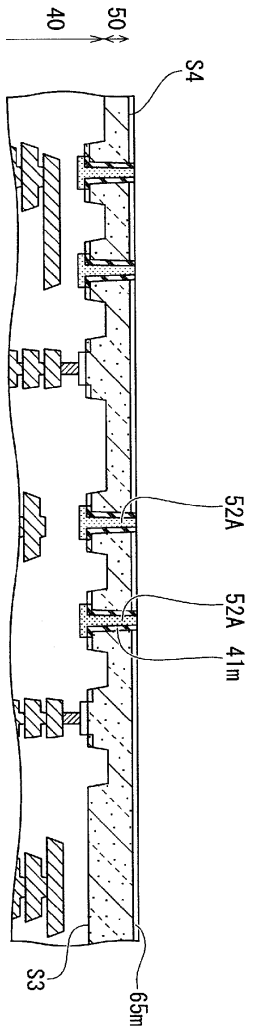
도면13b



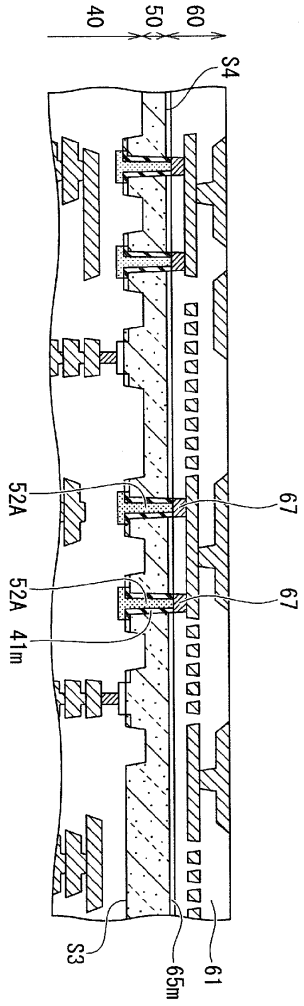
도면13c



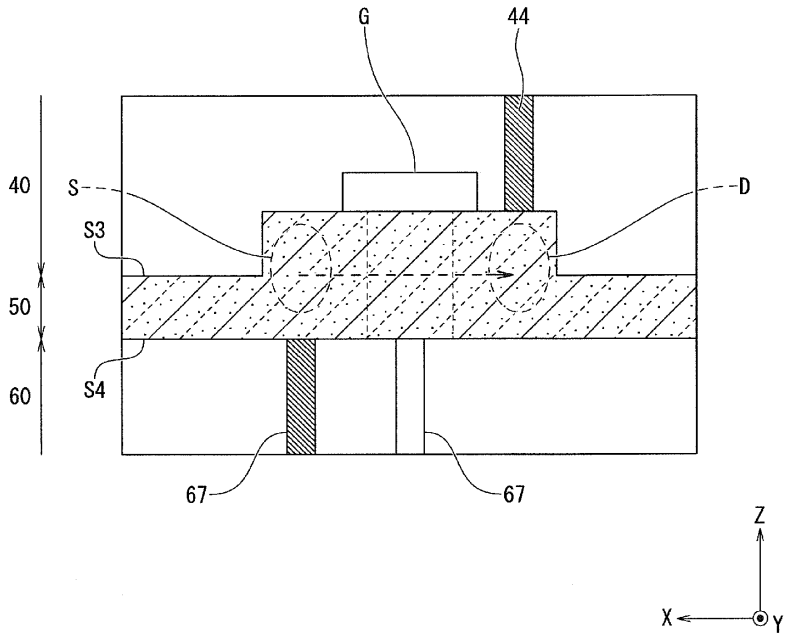
도면13d



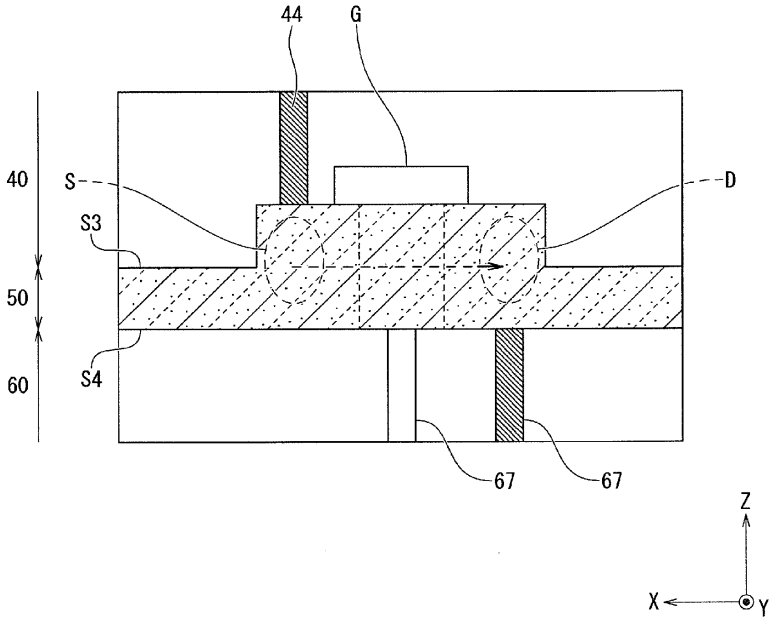
도면13e



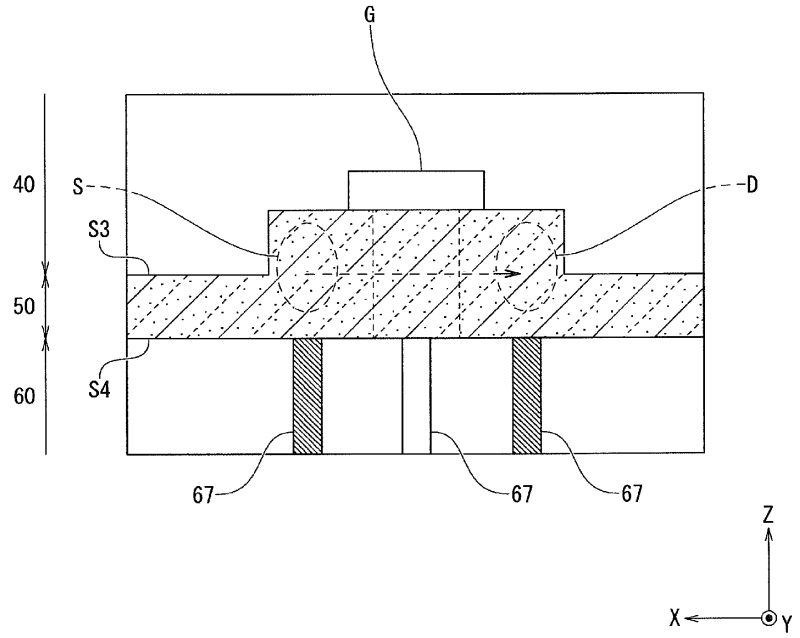
도면14a



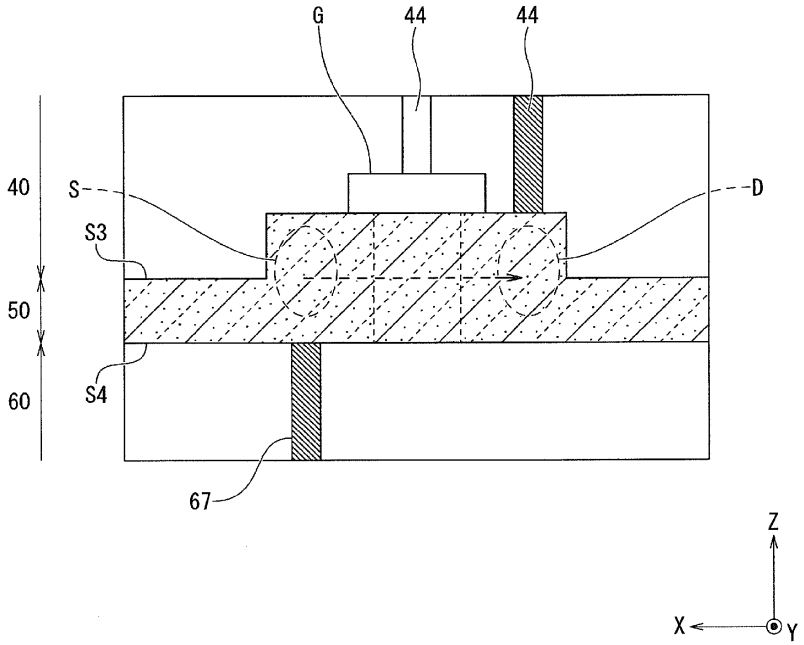
도면14b



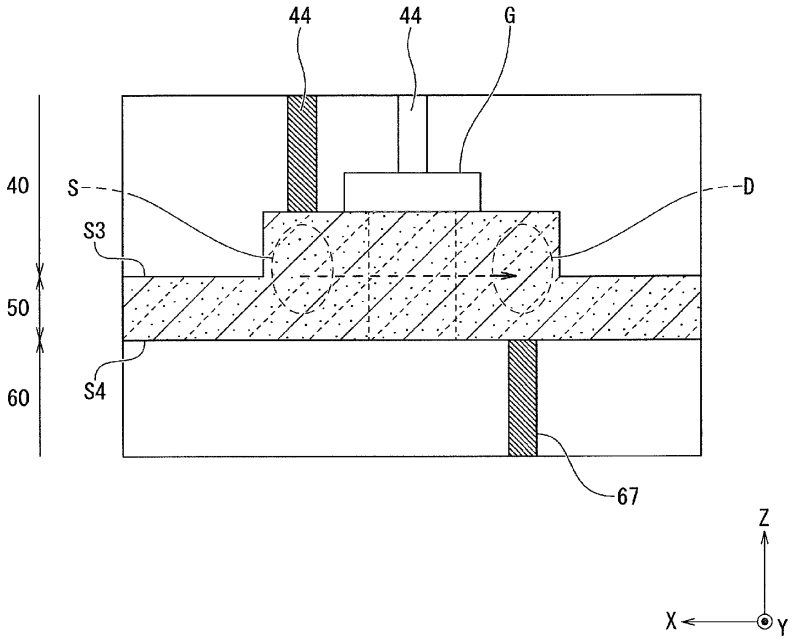
도면14c



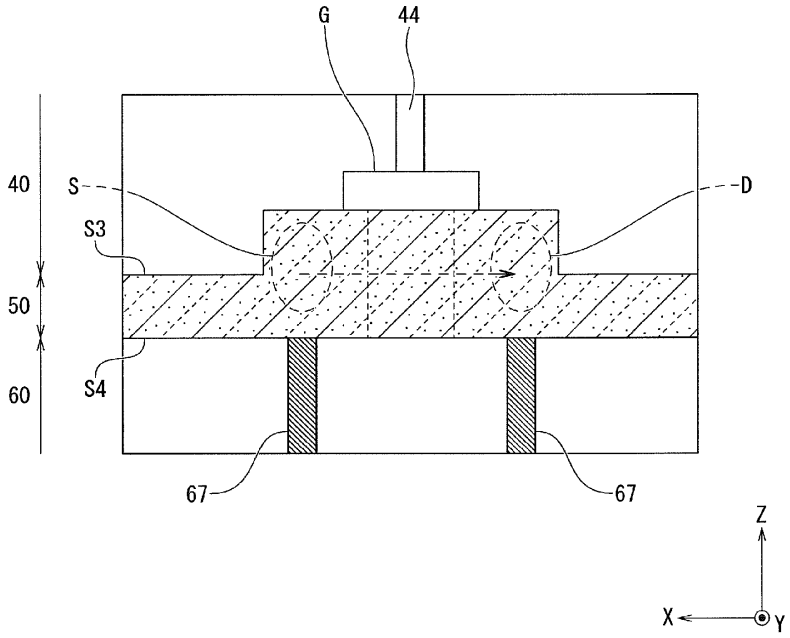
도면14d



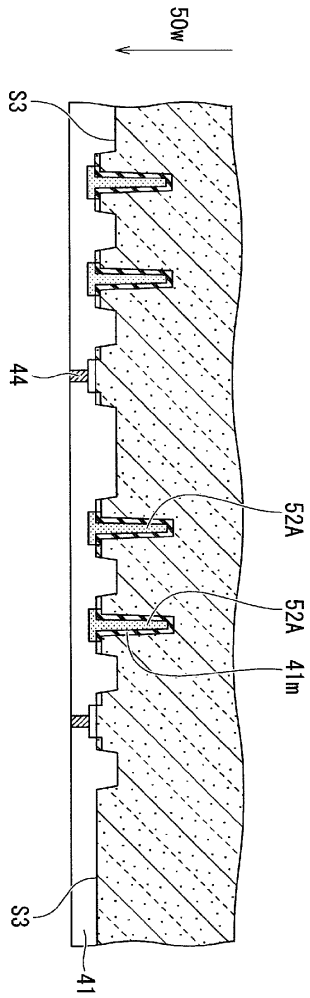
도면14e



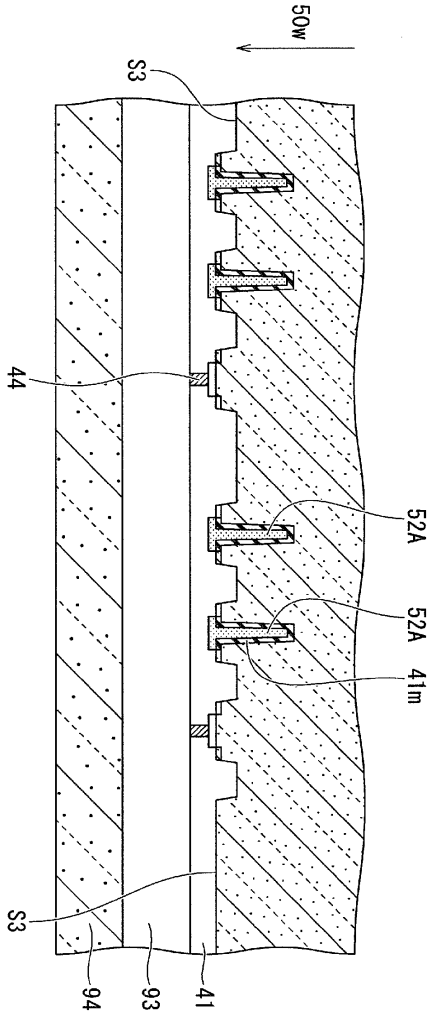
도면14f



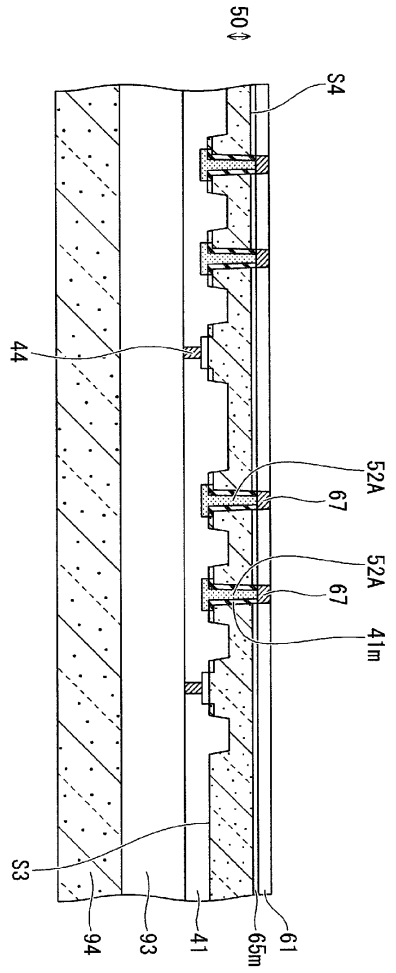
도면15a



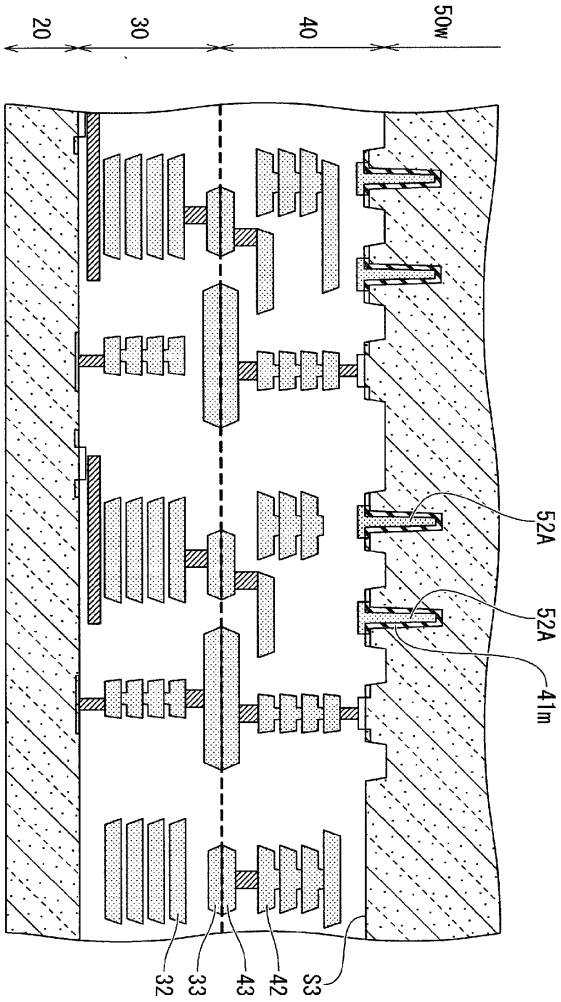
도면15b



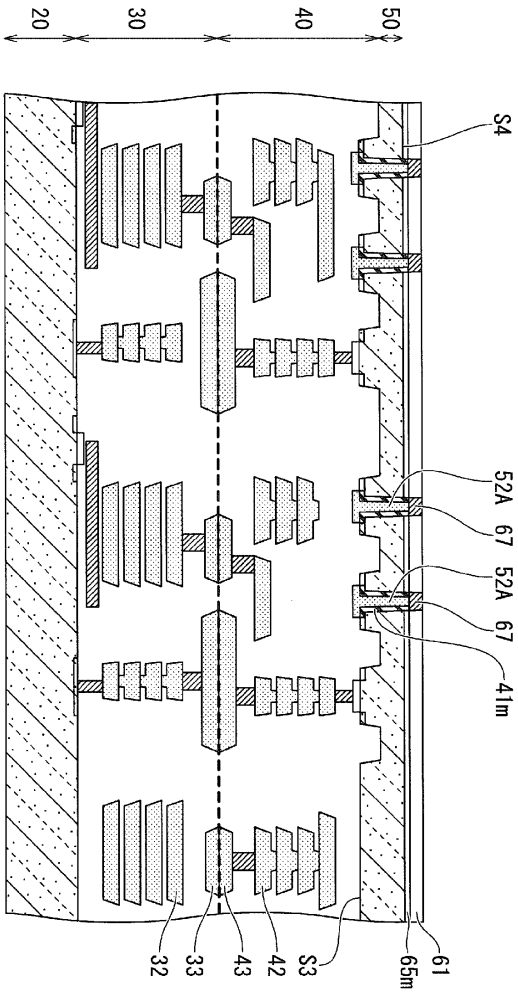
도면15c



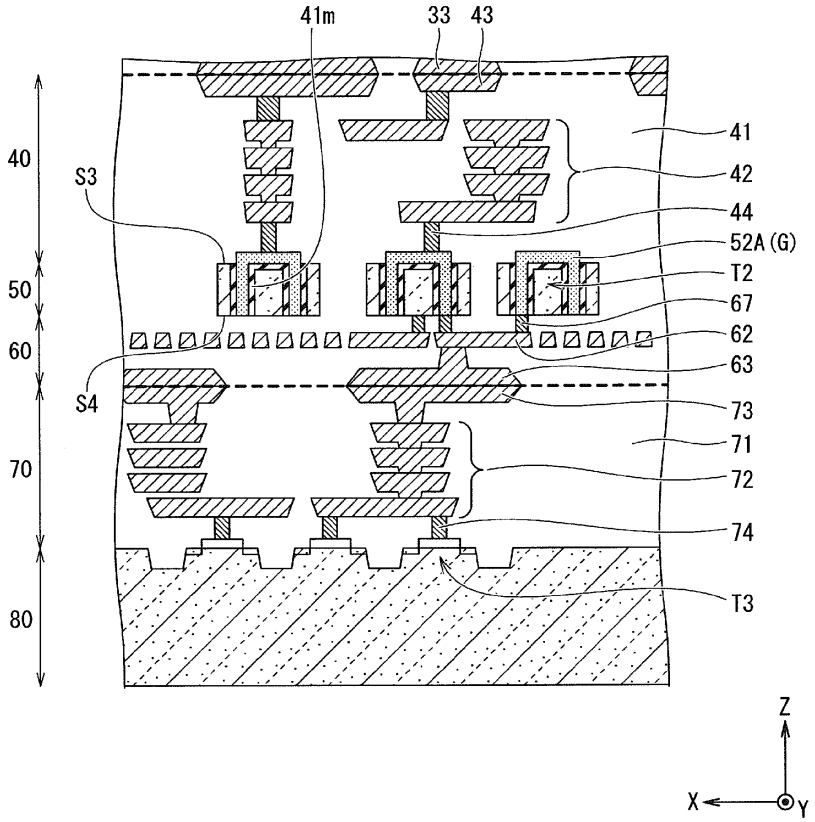
도면16a



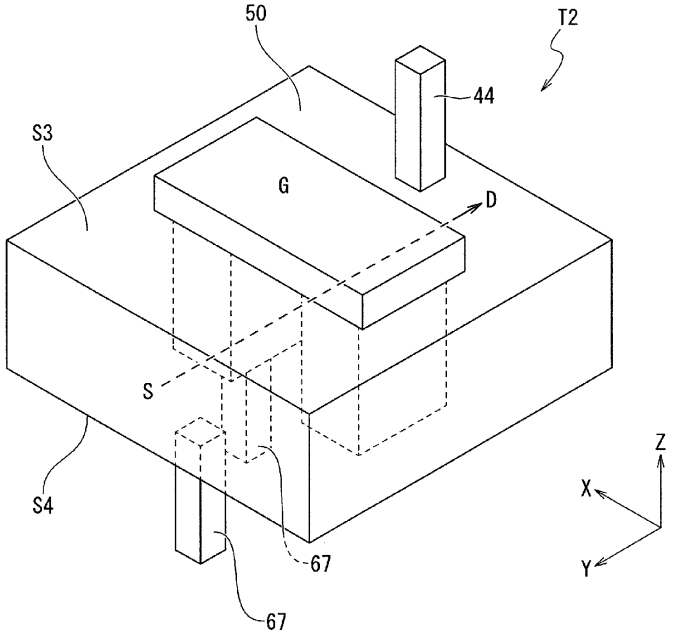
도면16b



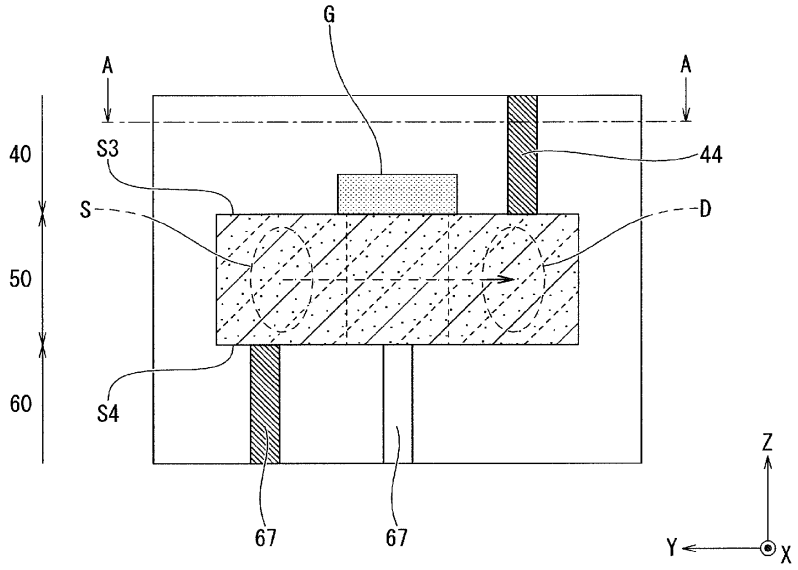
도면17


41m
33
43
40
S3
41
42
44
52A (G)
50
T2
67
60
62
63
S4
73
71
70
72
74
80
T3
Z
X
Y

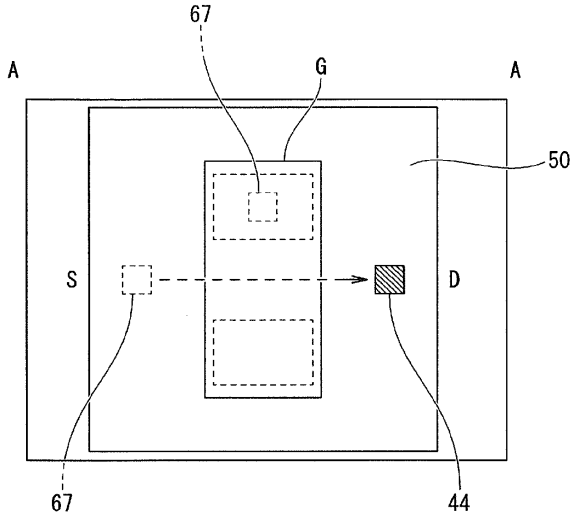
도면18a


50
T2
44
S3
G
D
S
S4
67
67
Z
X
Y

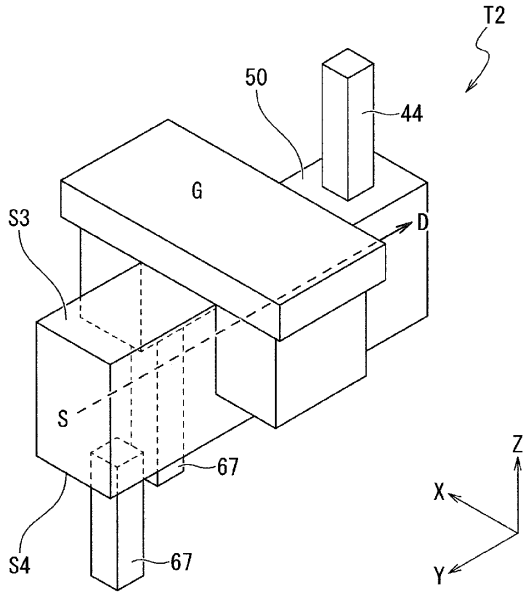
도면18b



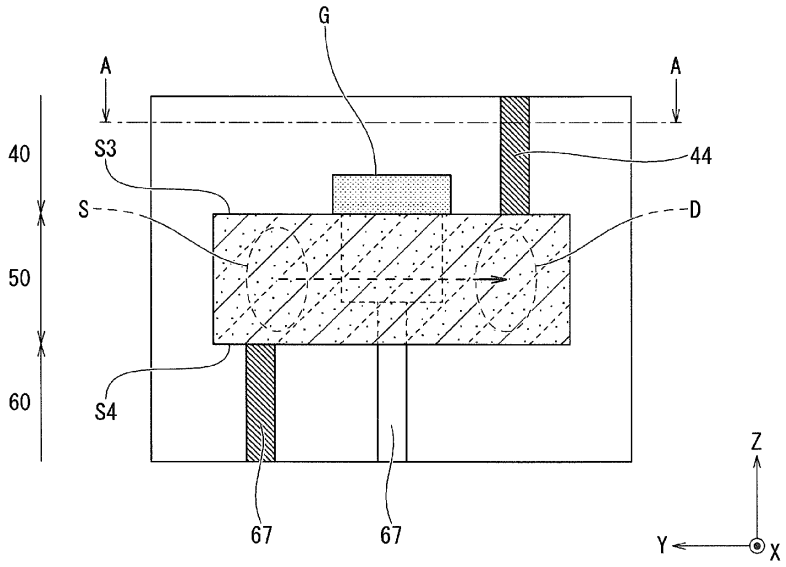
도면18c



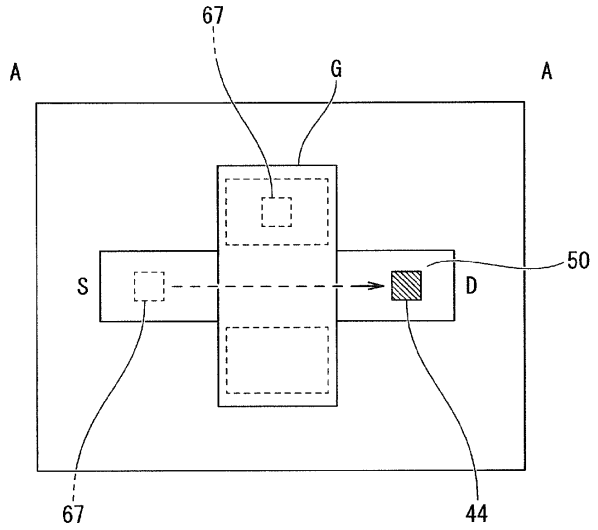
도면19a



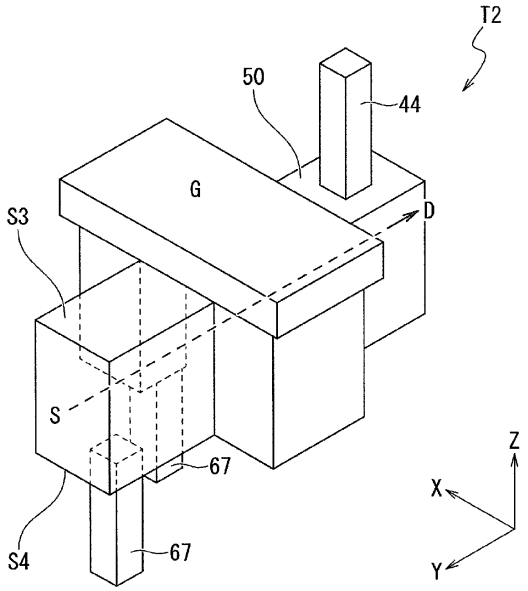
도면19b



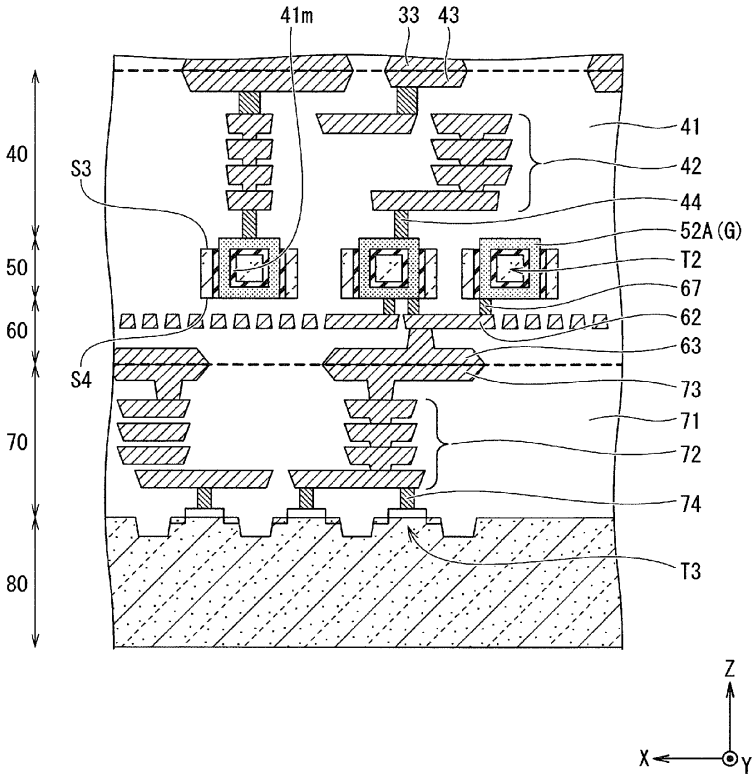
도면19c



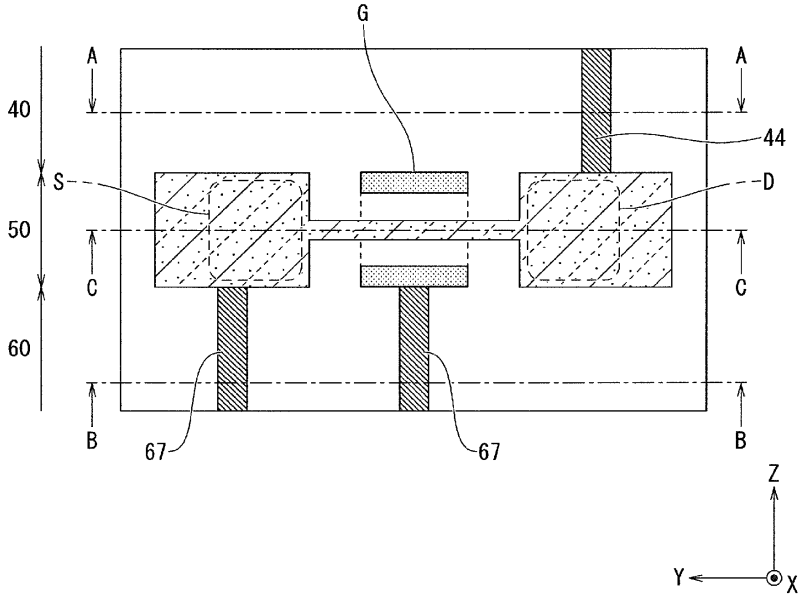
도면20



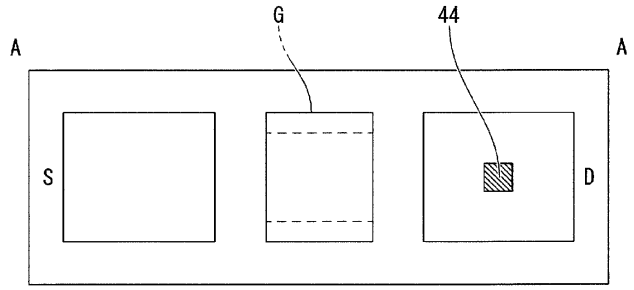
도면21


41m
33
43
40
S3
41
42
44
52A(G)
50
T2
67
60
62
63
S4
73
71
70
72
74
80
T3
Z
X
Y

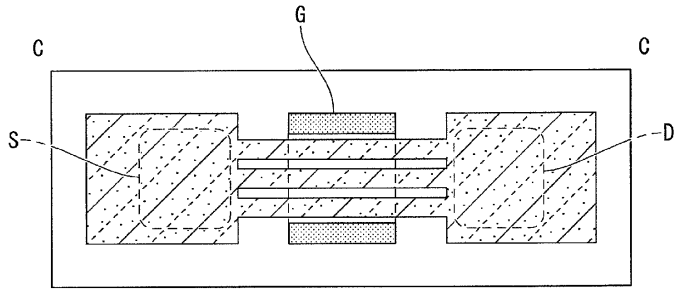
도면22a


G
A
A
40
44
S
D
50
C
C
60
B
B
67
67
Z
Y
X

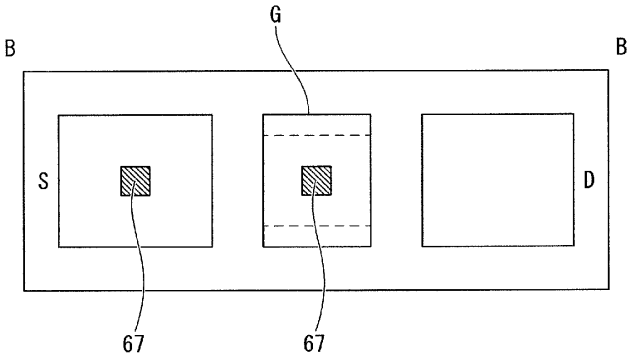
도면22b



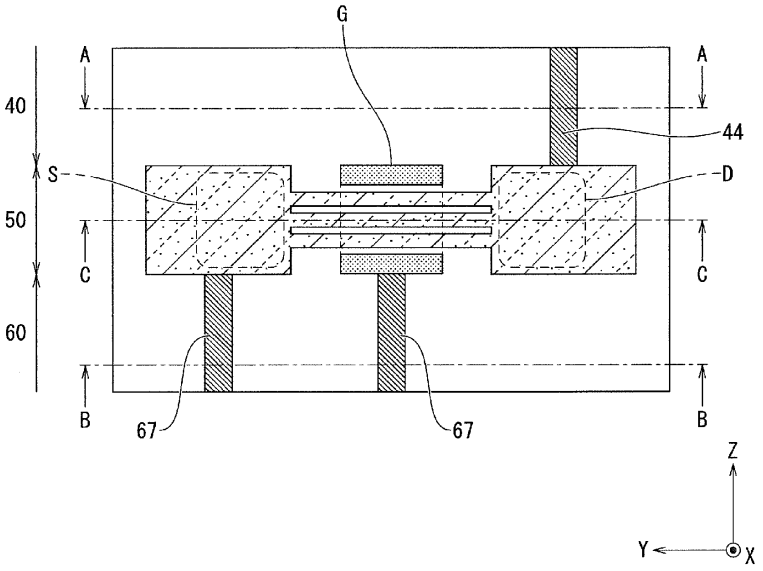
도면22c



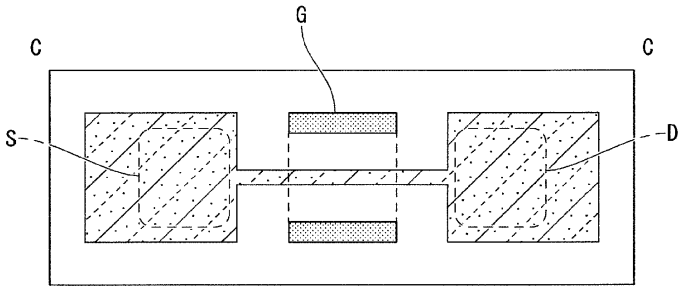
도면22d



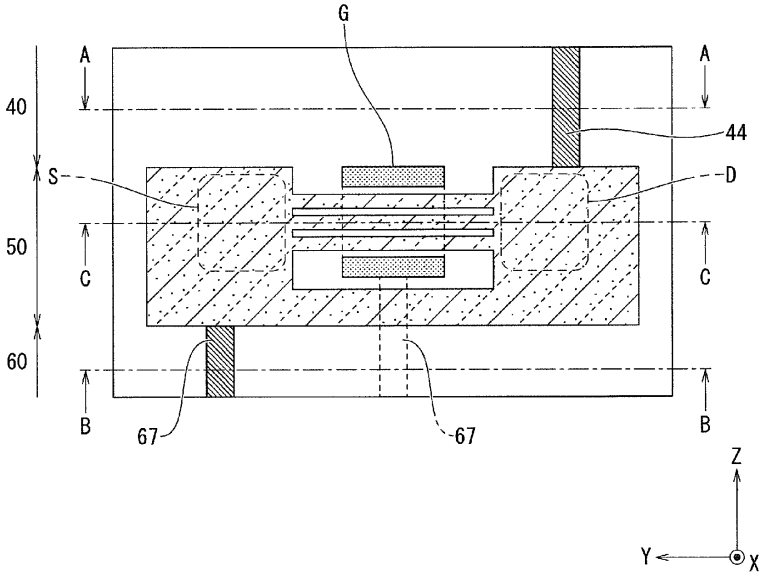
도면23a



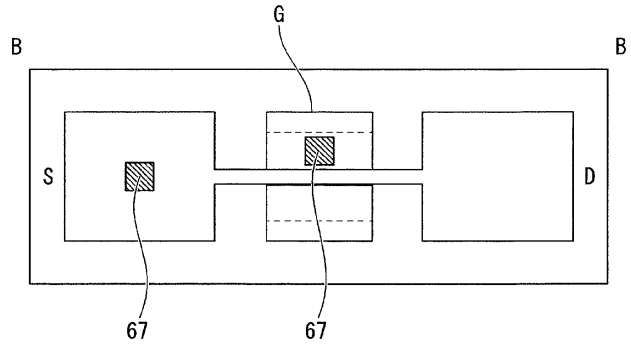
도면23b



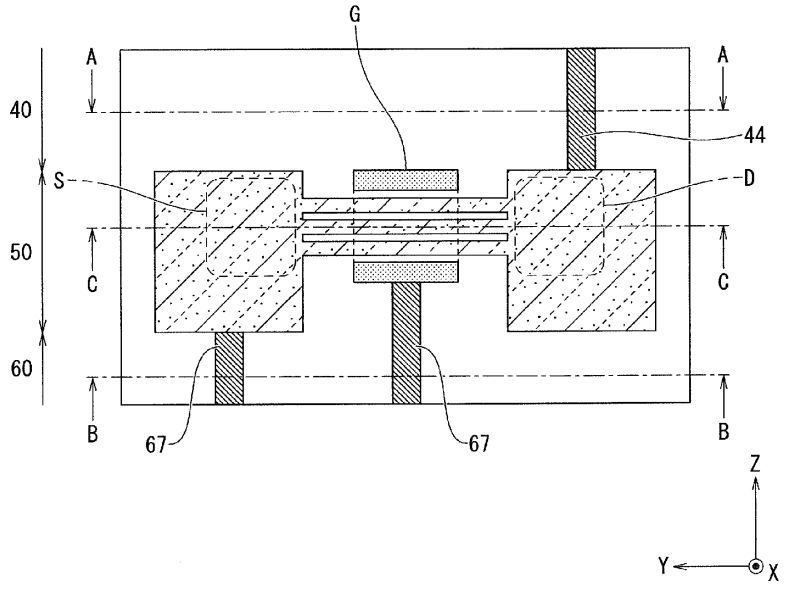
도면24a



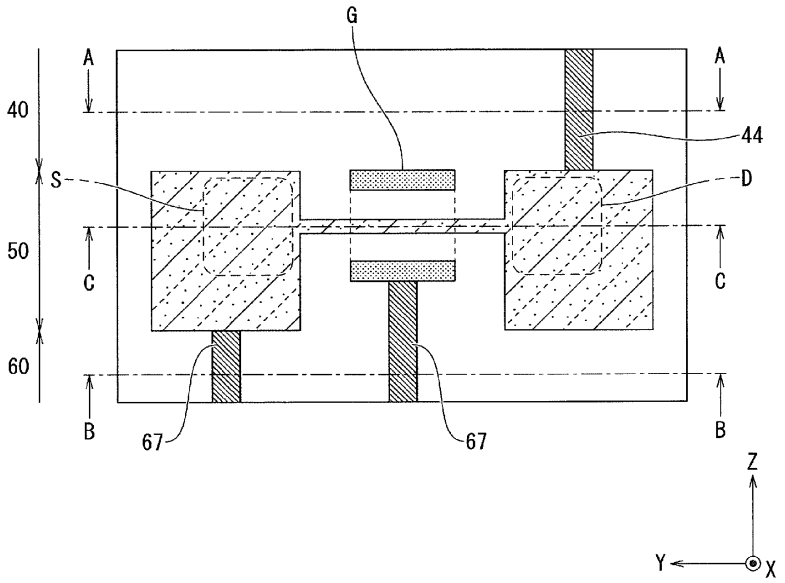
도면24b



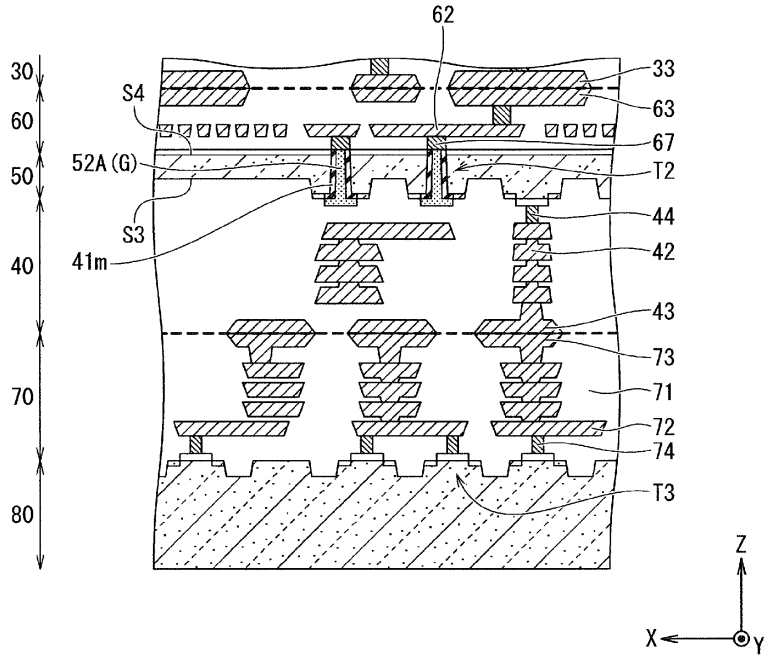
도면25



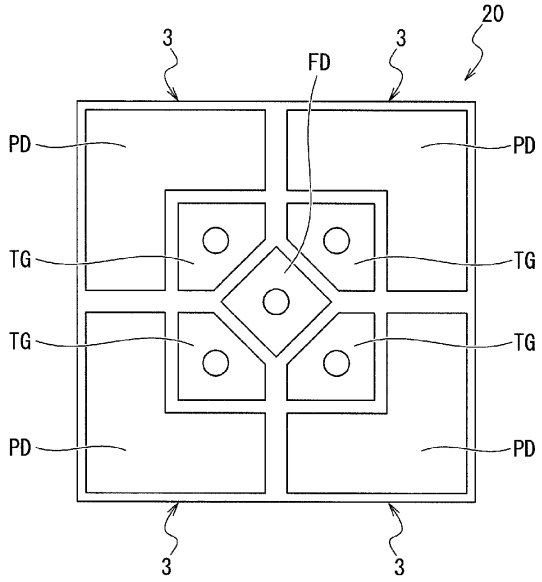
도면26


G
A
A
40
44
S
D
50
C
C
60
B
B
67
67
Z
Y
X

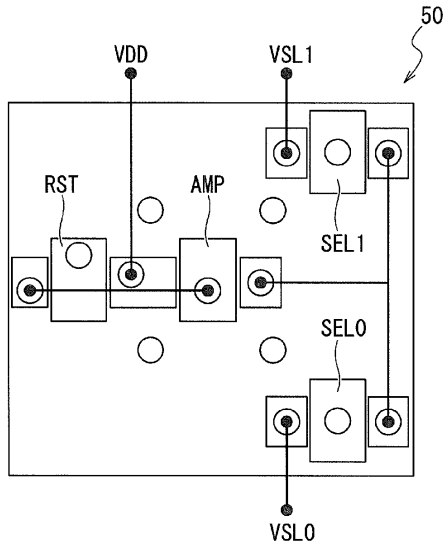
도면27


62
30
33
S4
63
60
67
52A (G)
T2
50
44
S3
42
41m
40
43
73
70
71
72
74
80
T3
Z
X
Y

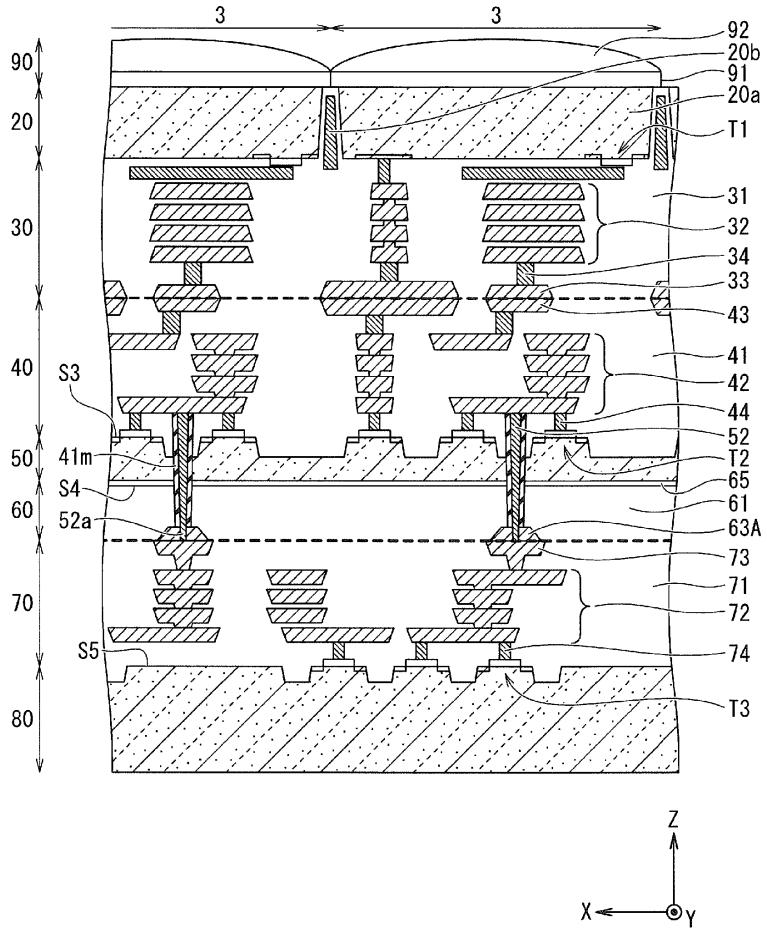
도면28a


20
3
FD
3
PD
PD
TG
TG
TG
TG
PD
PD
3
3

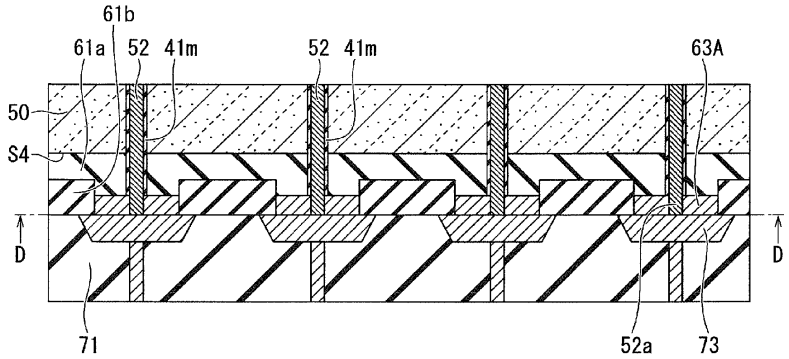
도면28b


50
VDD
VSL1
RST
AMP
SEL1
SEL0
VSL0

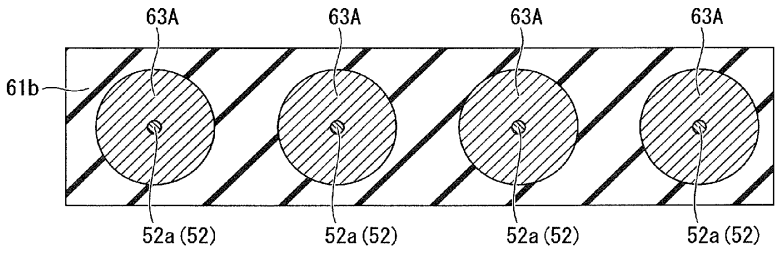
도면29


3
3
92
20b
91
20a
T1
31
32
34
33
43
41
42
44
52
T2
65
61
63A
73
71
72
74
T3
90
20
30
40
50
60
70
80
S3
41m
S4
52a
S5
Z
X
Y

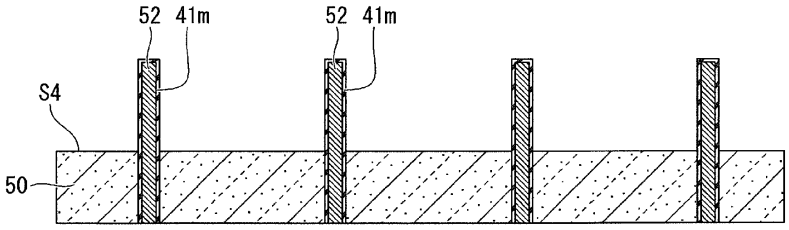
도면30a


61b
61a
52
41m
52
41m
63A
50
S4
D
D
71
52a
73

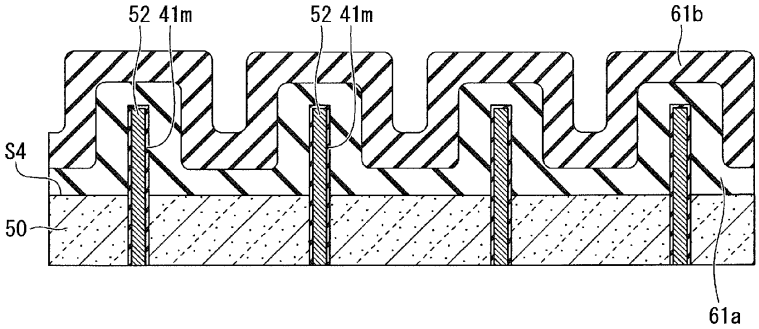
도면30b



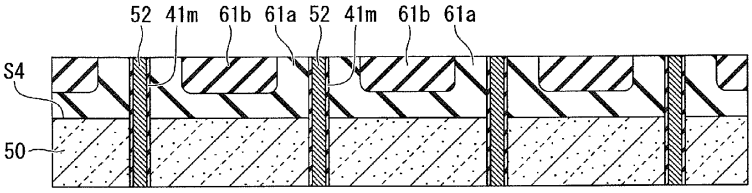
도면31a



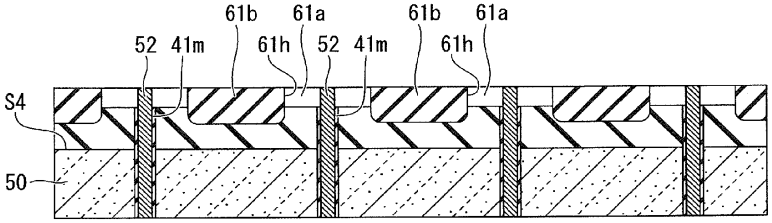
도면31b



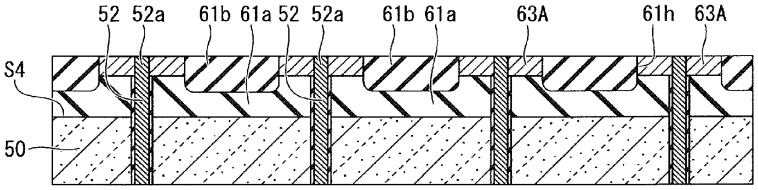
도면31c



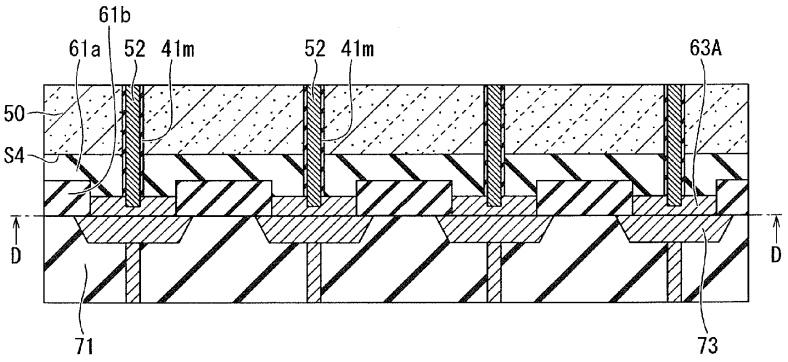
도면31d



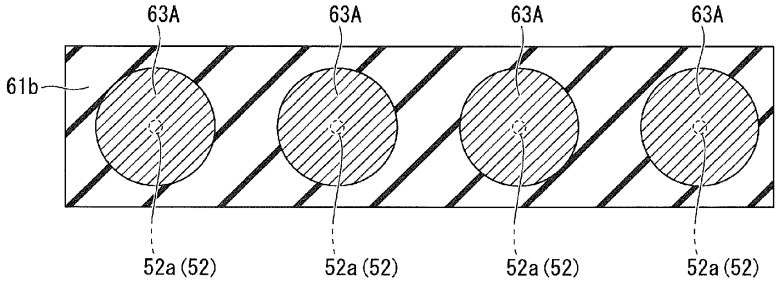
도면31e



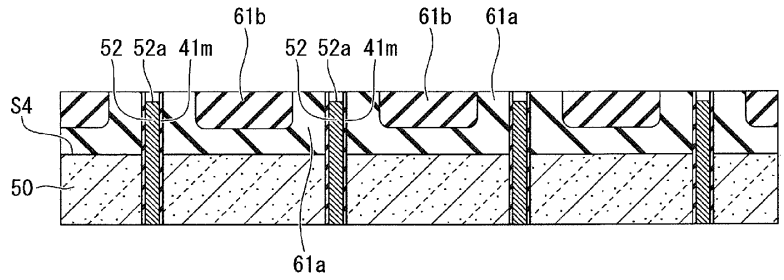
도면32a



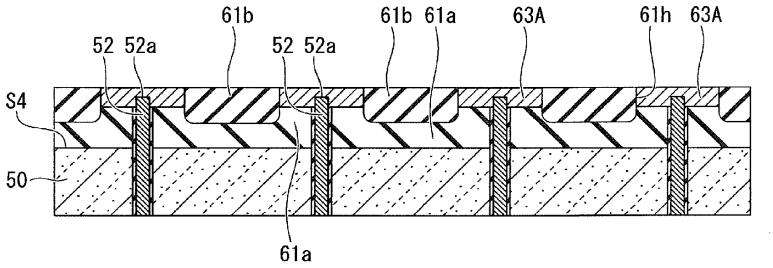
도면32b



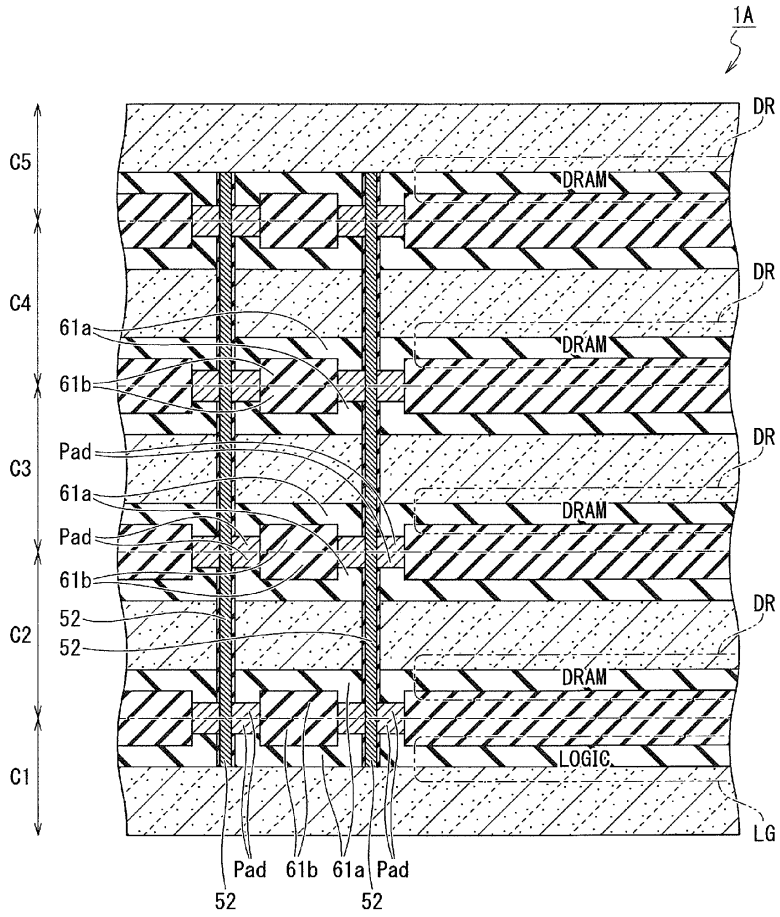
도면33a



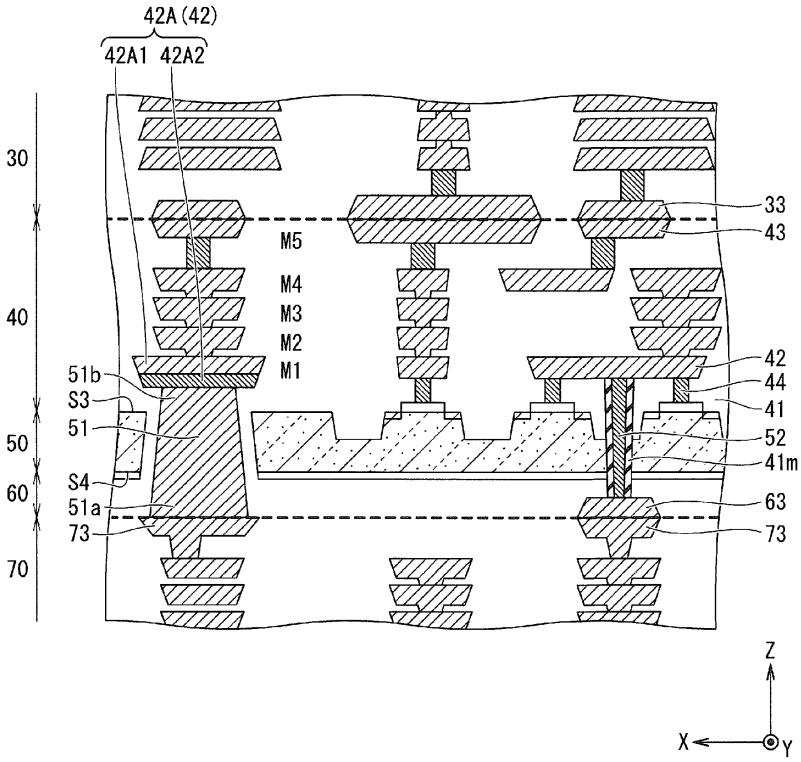
도면33b



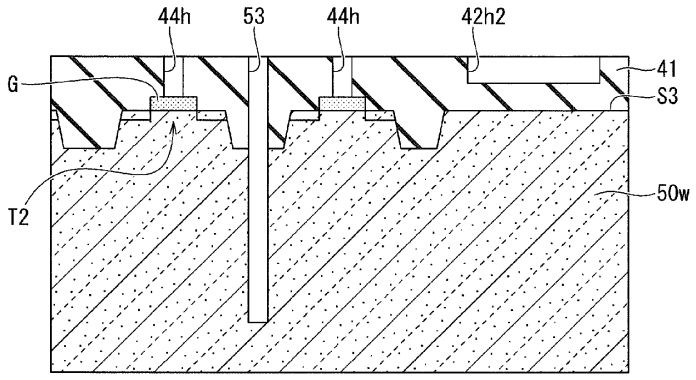
도면34



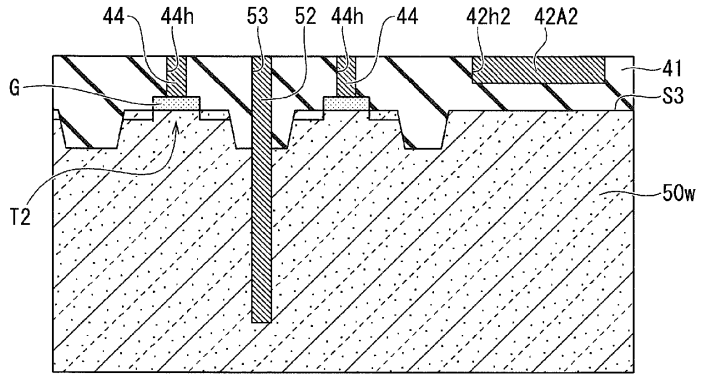
도면35


42A (42)
42A1
42A2
30
40
50
60
70
M5
M4
M3
M2
M1
33
43
42
44
41
52
41m
63
73
51b
S3
51
S4
51a
73
Z
X
Y

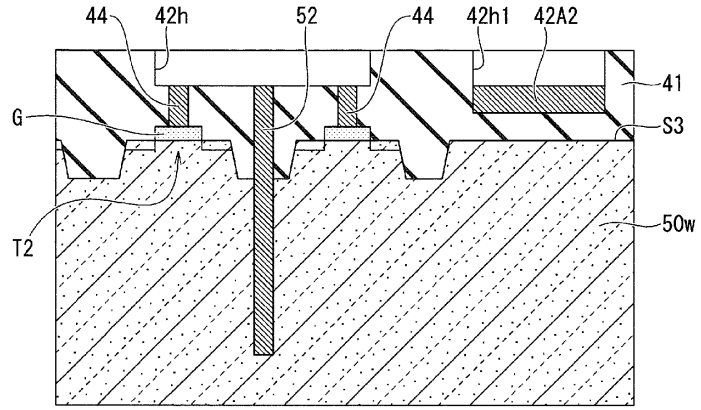
도면36a


44h
53
44h
42h2
41
S3
G
T2
50w

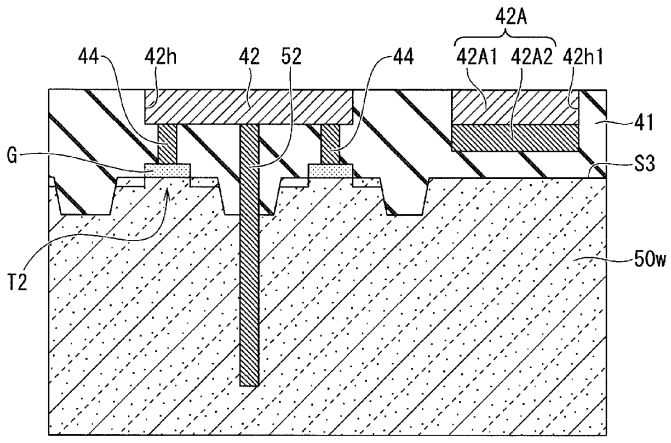
도면36b



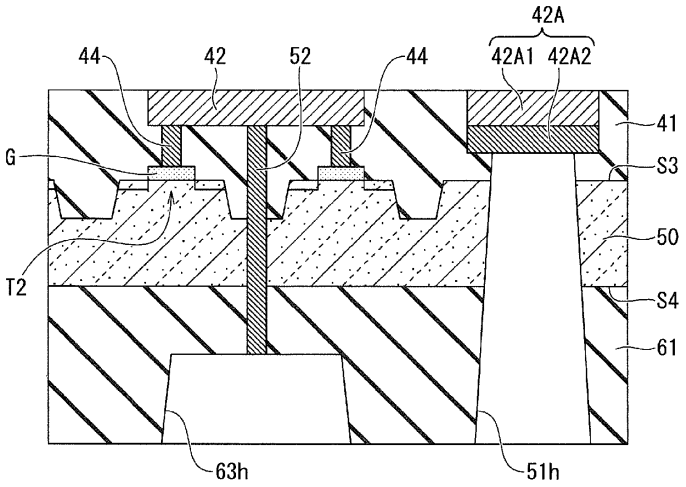
도면36c



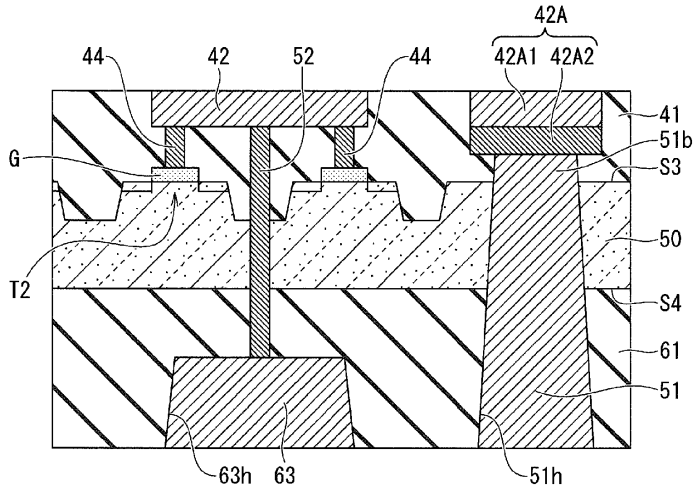
도면36d



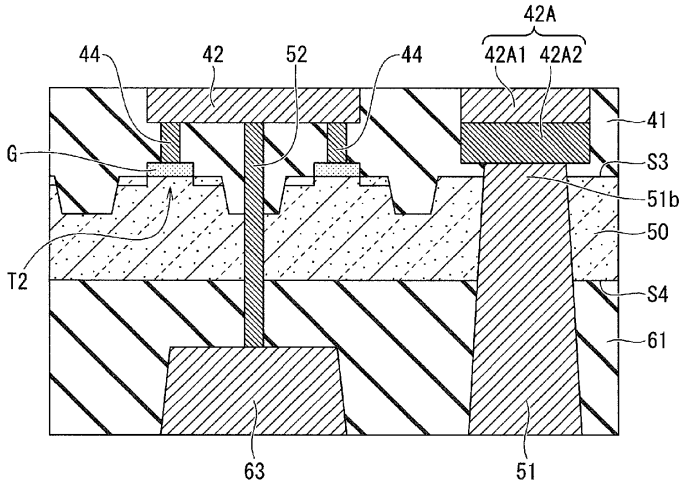
도면36e



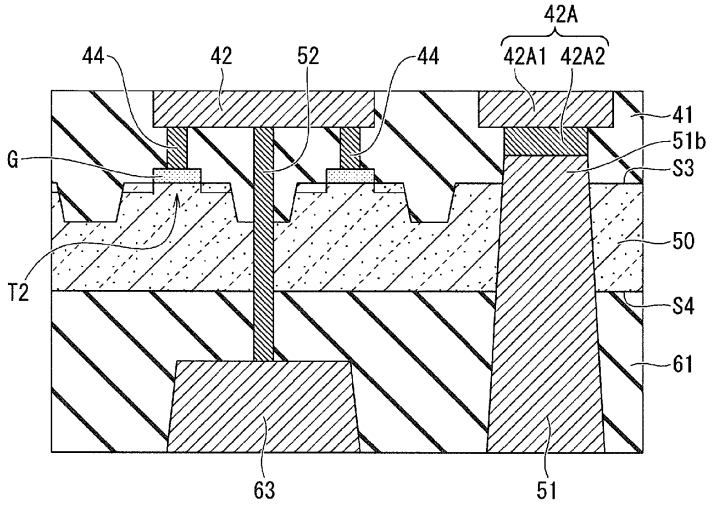
도면36f



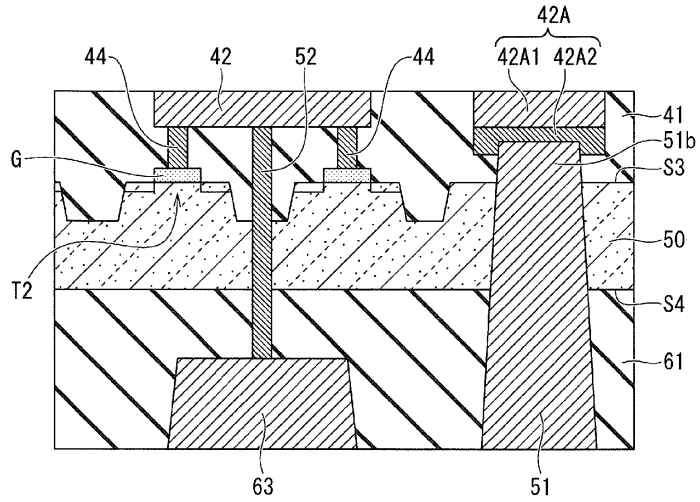
도면37



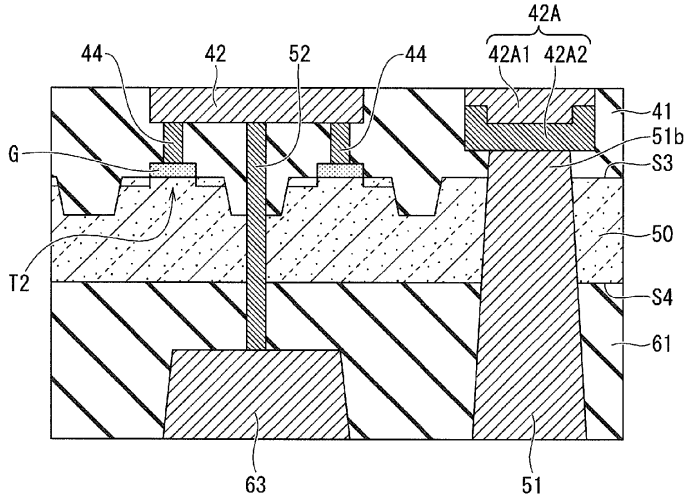
도면38



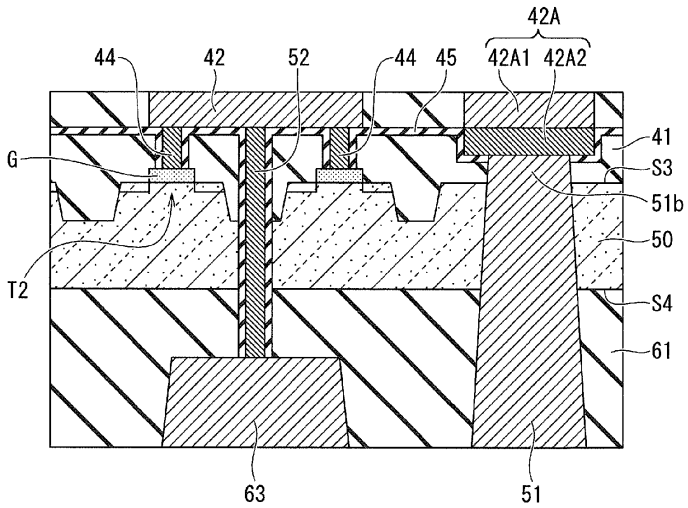
도면39



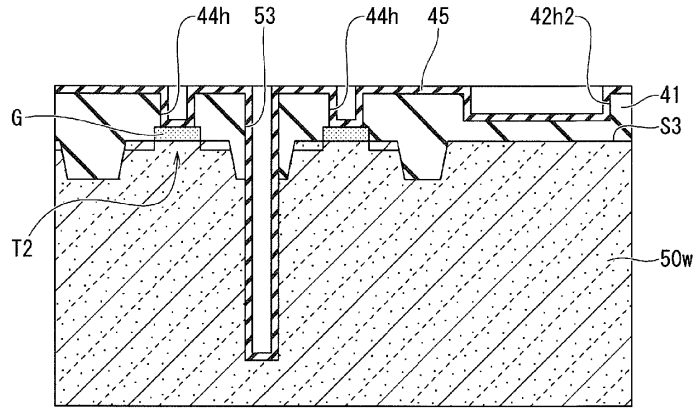
도면40



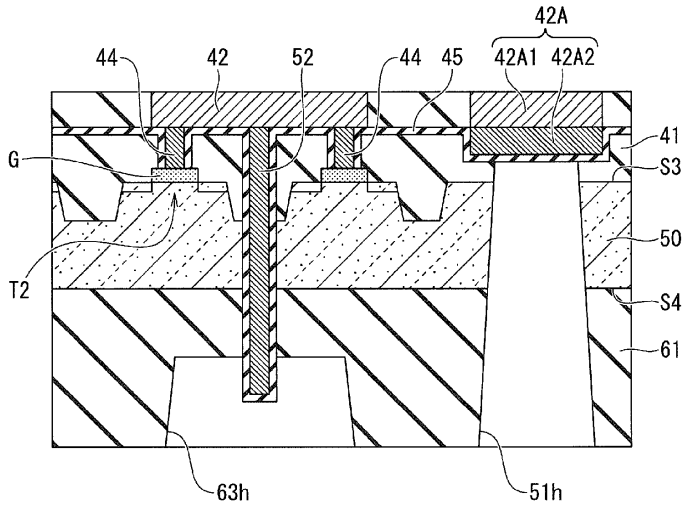
도면41



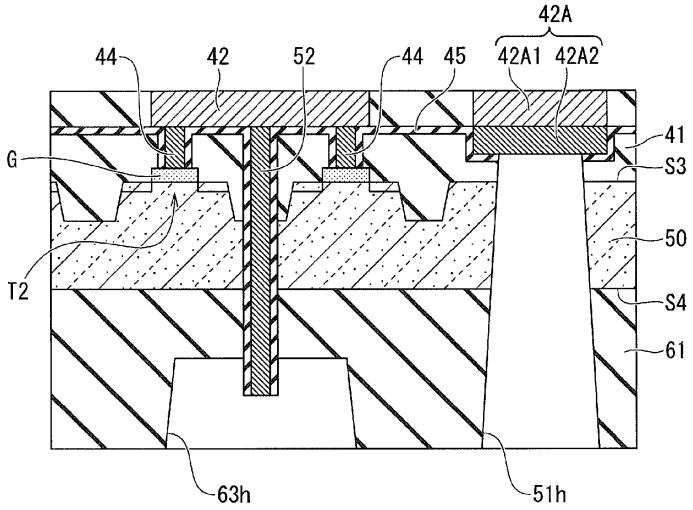
도면42a



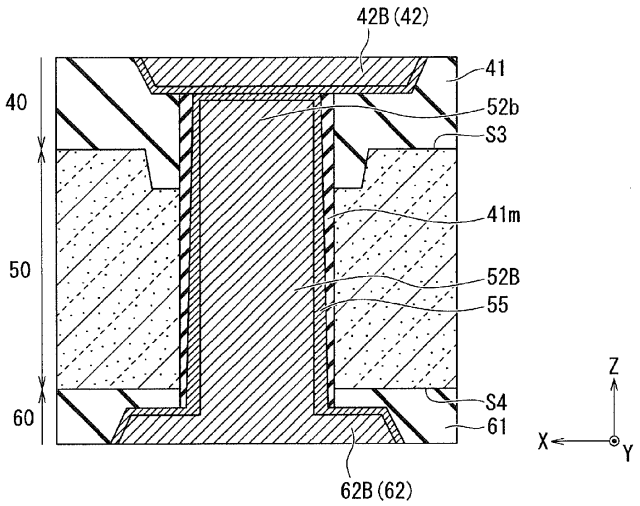
도면42b



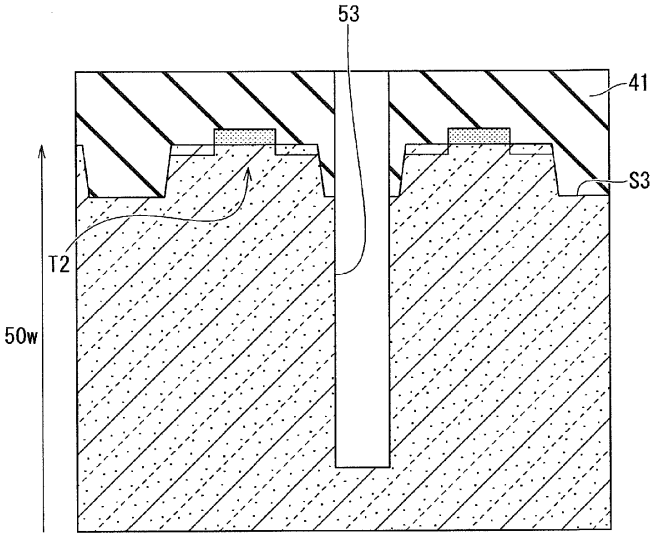
도면42c


42A
44
42
52
44
45
42A1
42A2
41
G
S3
50
T2
S4
61
63h
51h

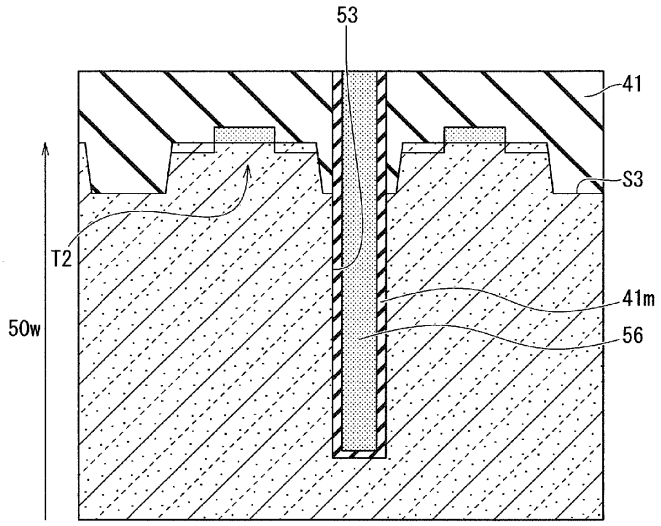
도면43


42B (42)
41
40
52b
S3
41m
50
52B
55
Z
S4
60
61
X
Y
62B (62)

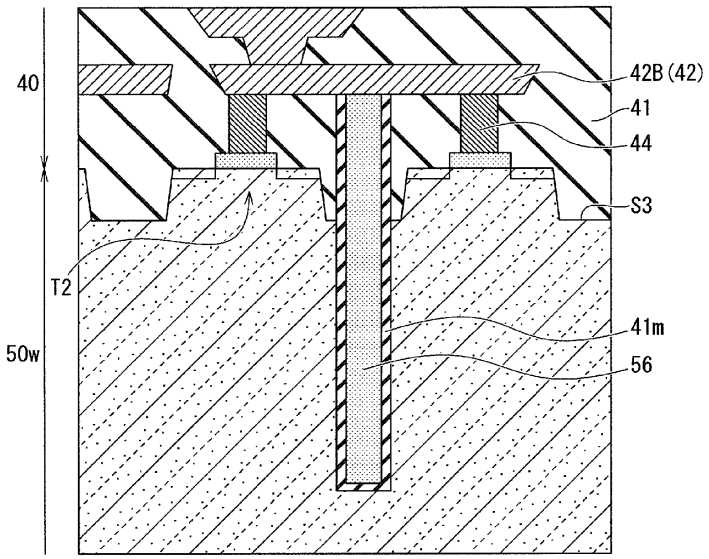
도면44a



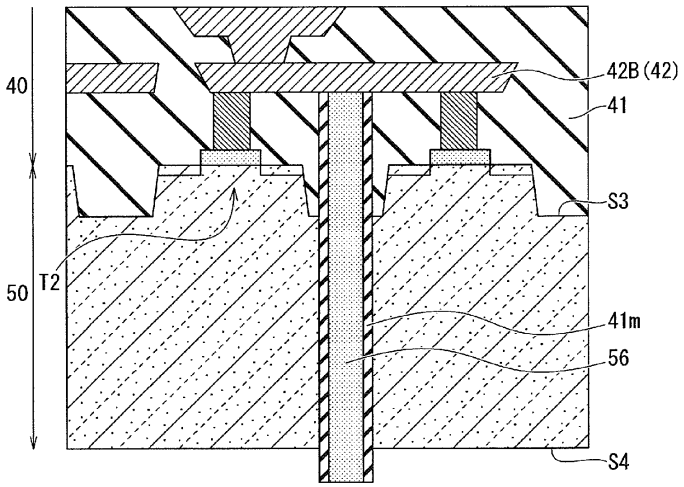
도면44b



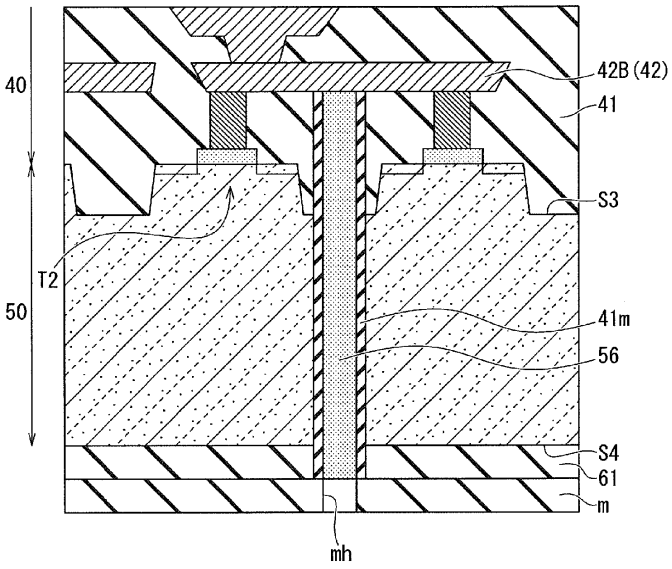
도면44c



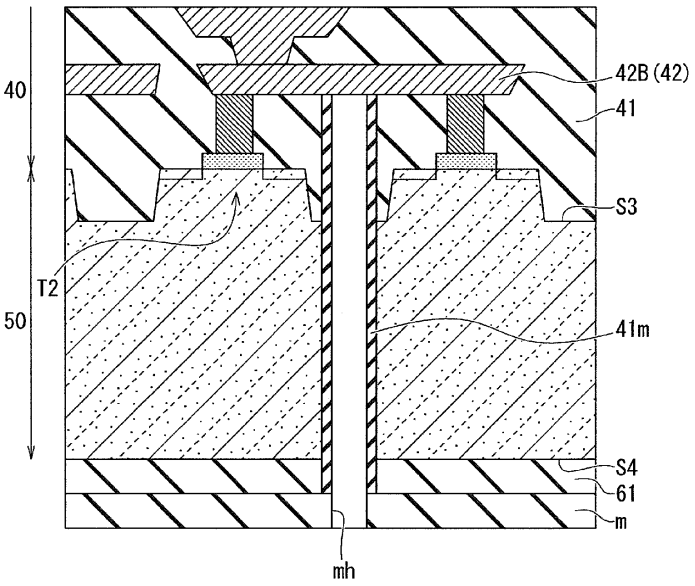
도면44d



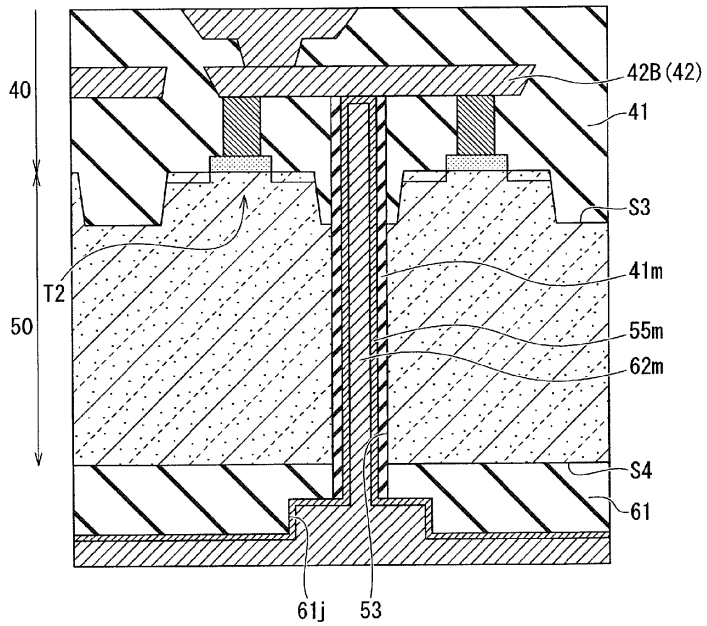
도면44e


40
42B (42)
41
S3
T2
50
41m
56
S4
61
m
mh

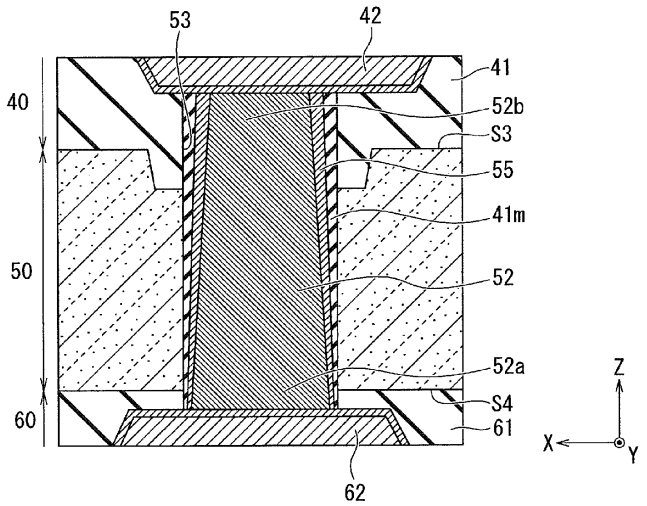
도면44f


40
42B (42)
41
S3
T2
50
41m
S4
61
m
mh

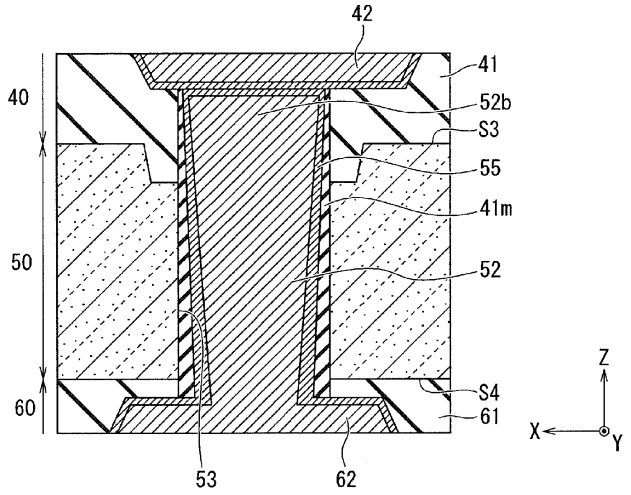
도면44g


40
50
T2
42B (42)
41
S3
41m
55m
62m
S4
61
61j
53

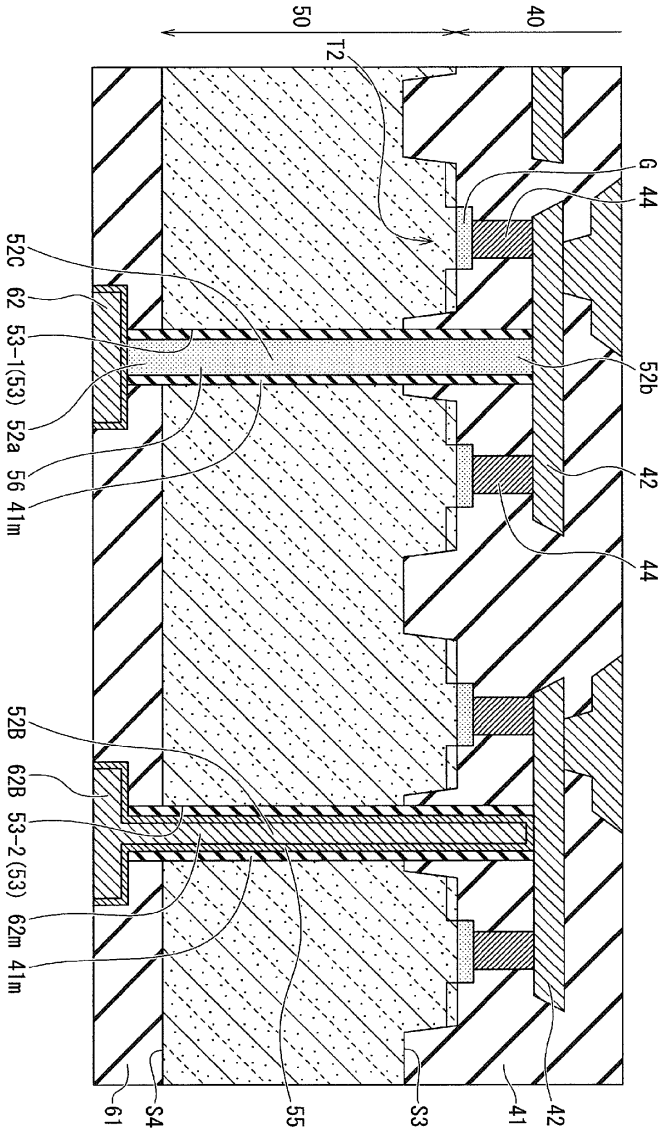
도면45a


53
42
41
40
52b
S3
55
41m
50
52
52a
S4
60
61
62
Z
X
Y

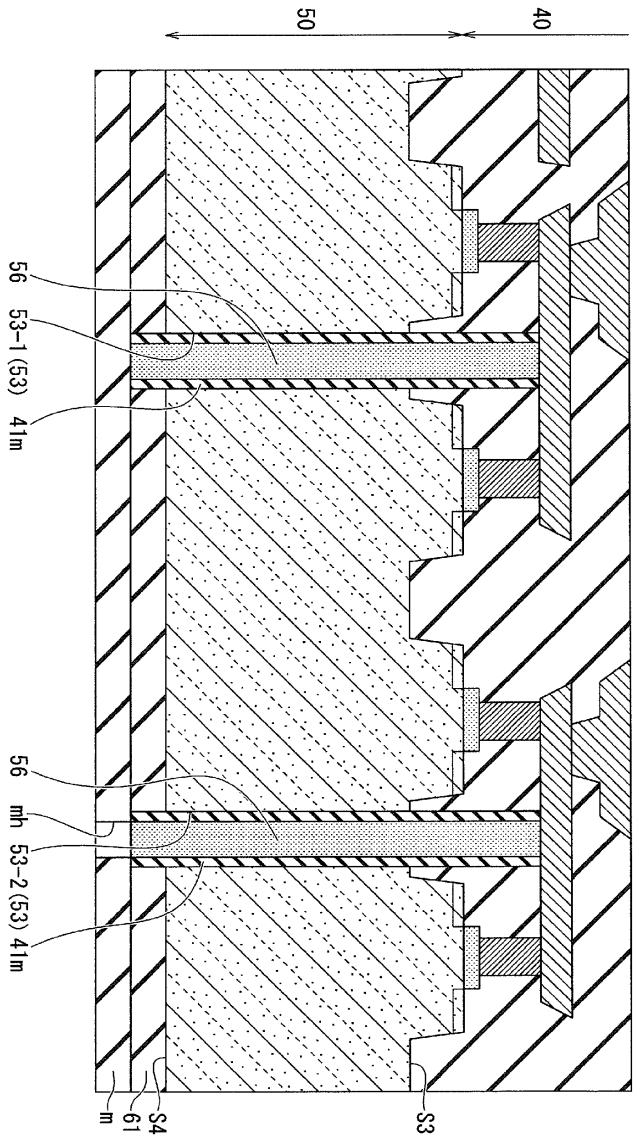
도면45b



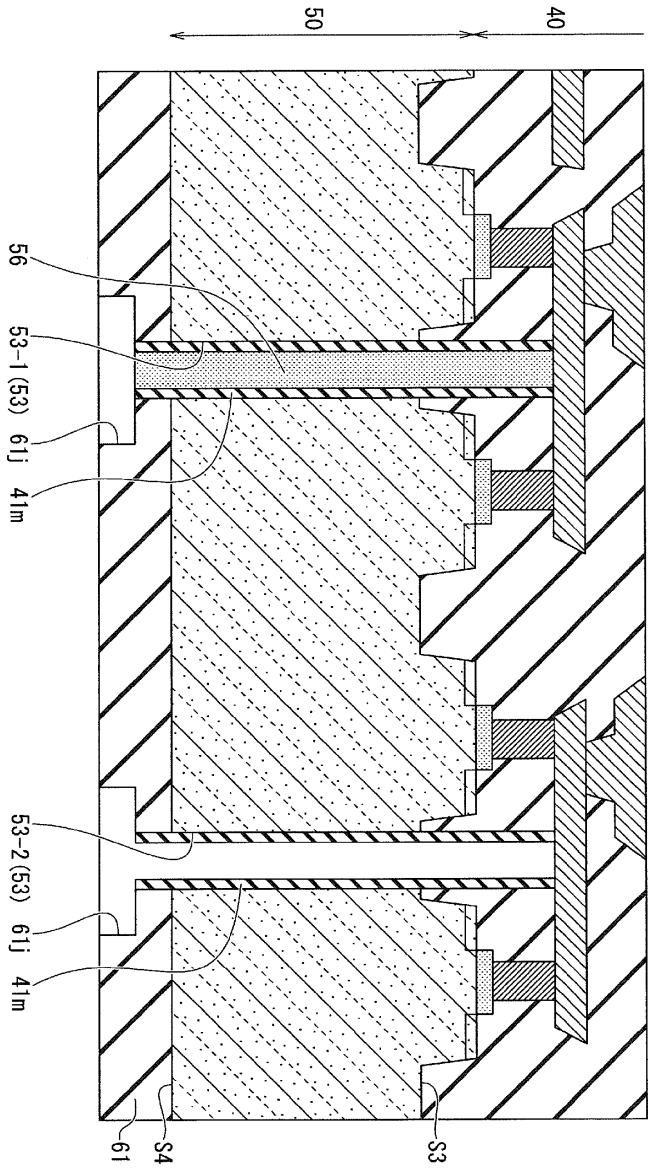
도면46


50
40
T2
G
44
52C
62
53-1(53)
52a
56
41m
52b
42
44
52B
62B
53-2(53)
62m
41m
61
S4
55
S3
41
42

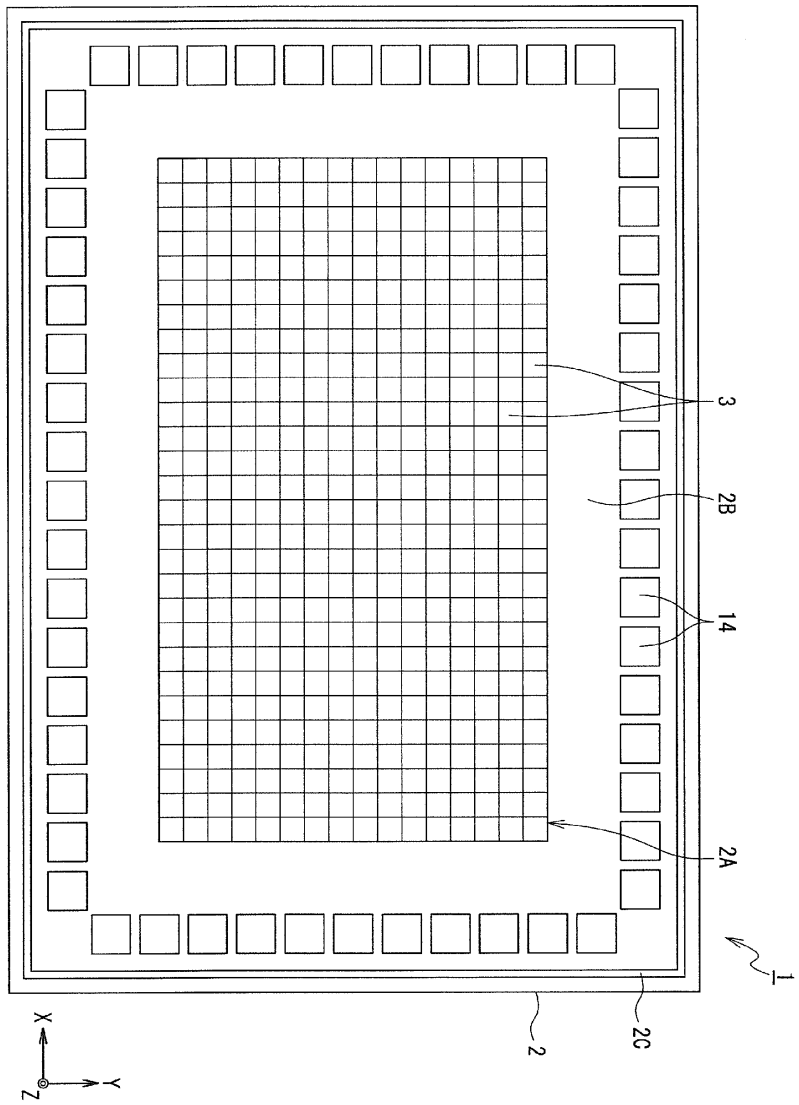
도면47a



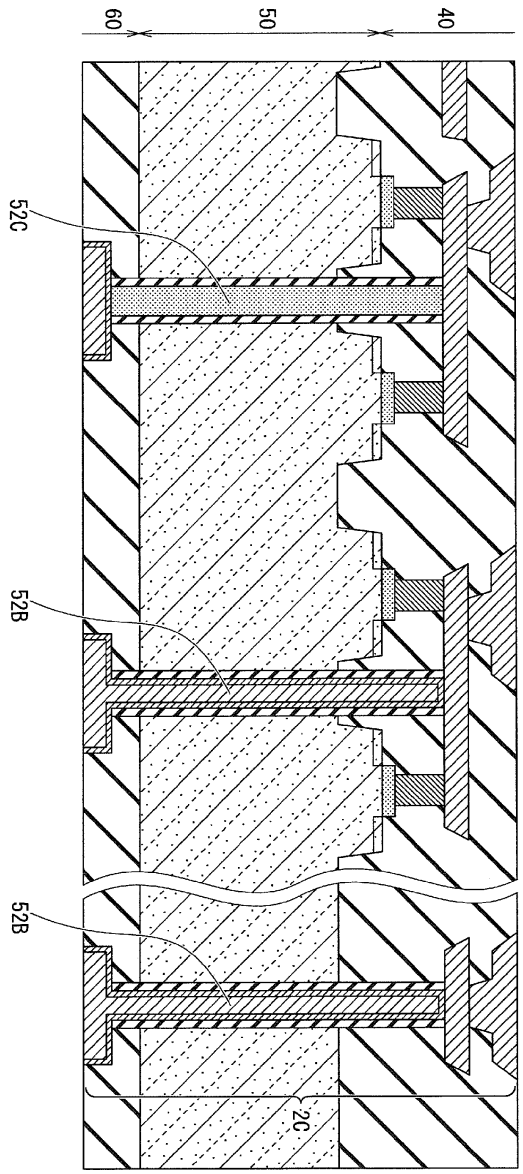
도면47b



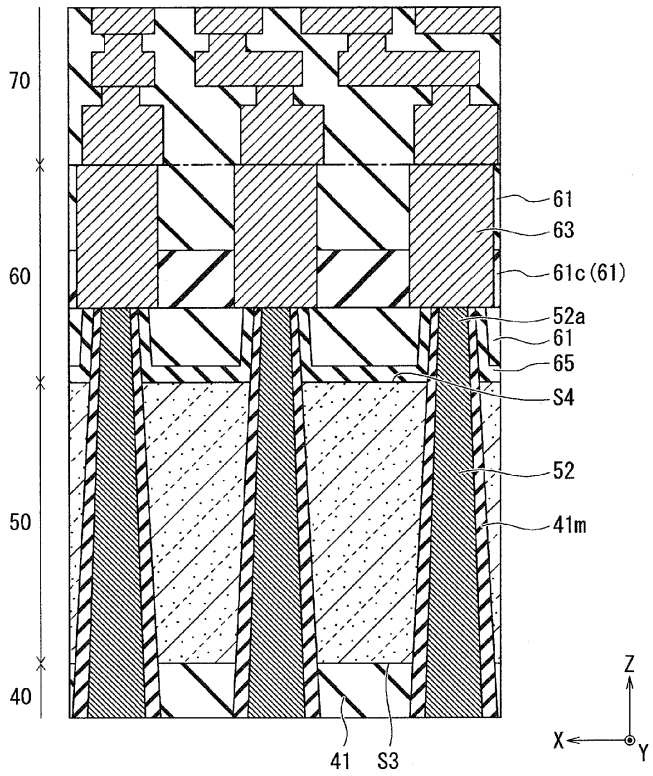
도면48a



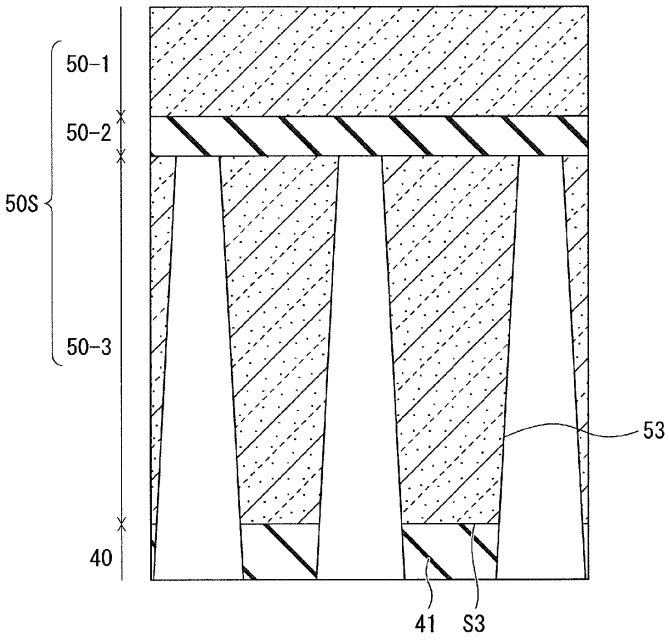
도면48b



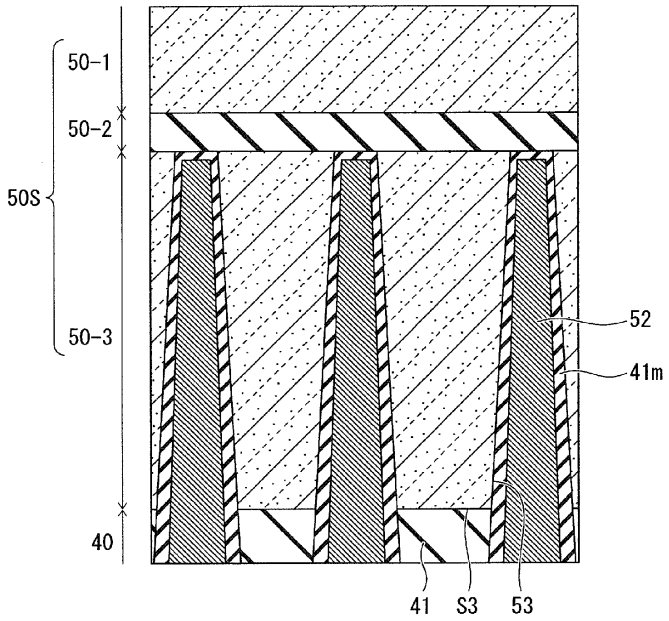
도면49


70
60
50
40
61
63
61c(61)
52a
61
65
S4
52
41m
41
S3
Z
X
Y

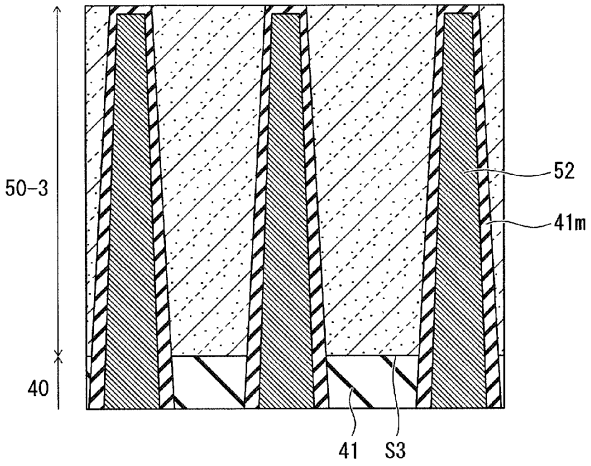
도면50a


50-1
50-2
50S
50-3
40
53
41
S3

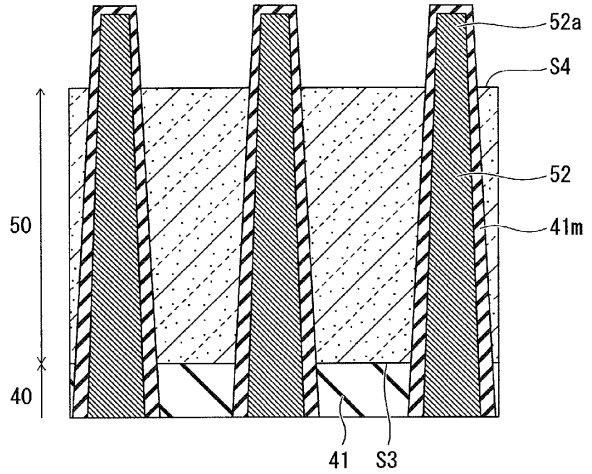
도면50b



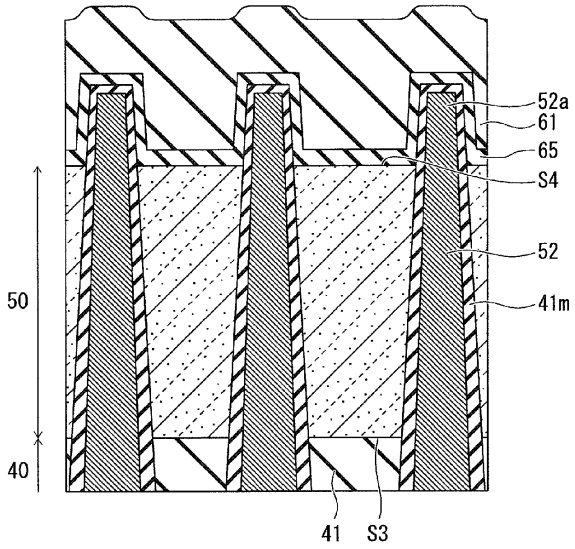
도면50c



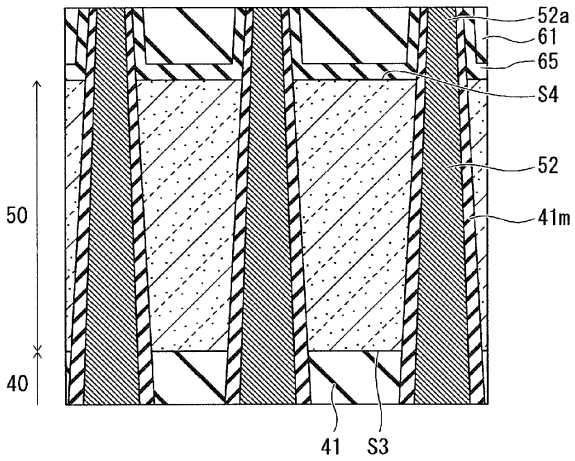
도면50d



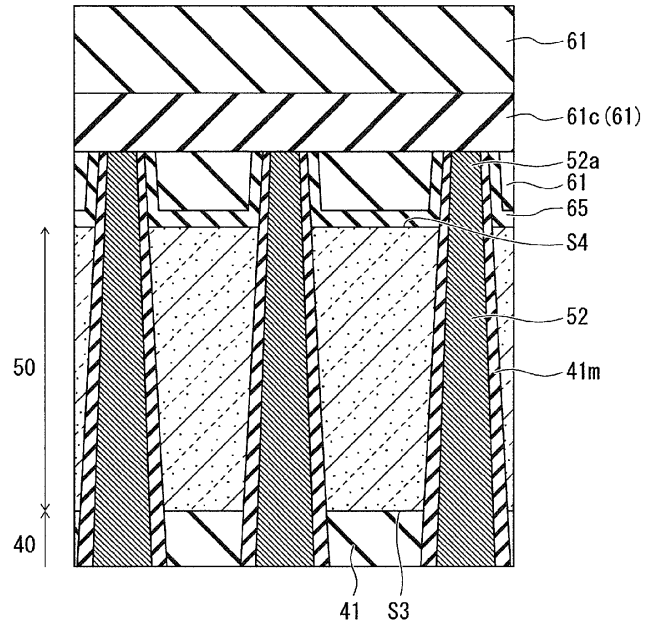
도면50e



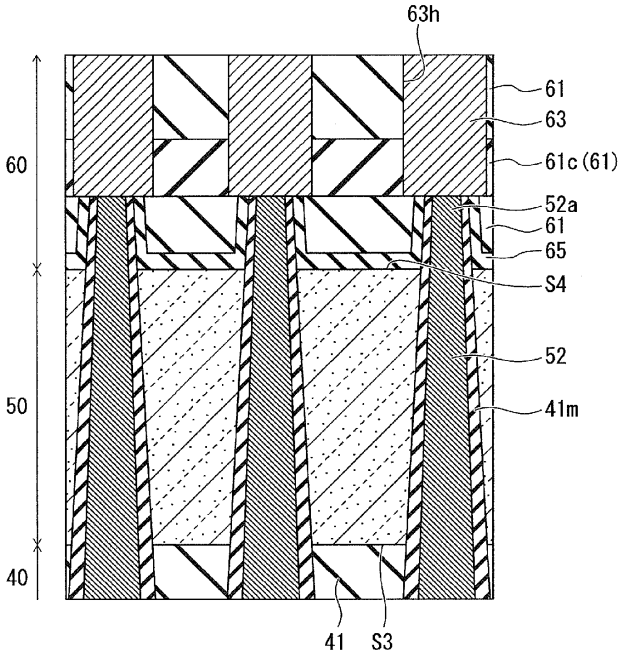
도면50f



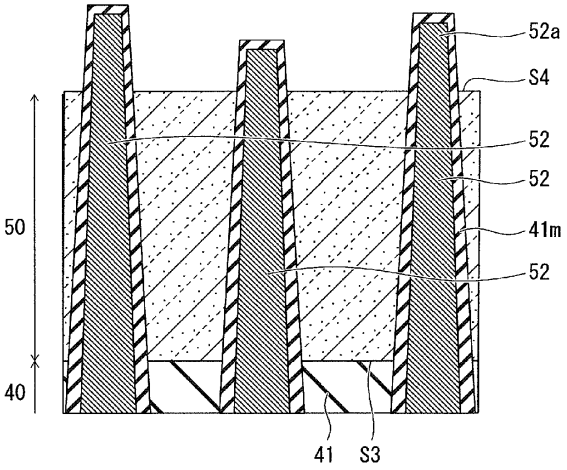
도면50g


61
61c(61)
52a
61
65
S4
52
41m
50
40
41
S3

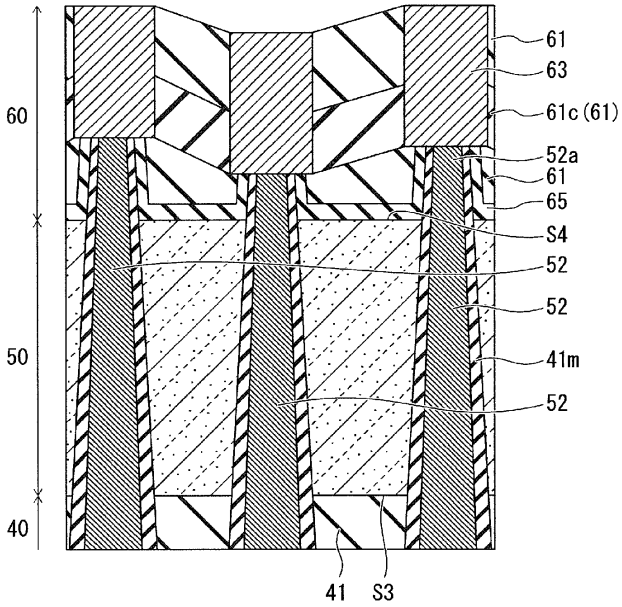
도면50h


63h
61
63
61c(61)
52a
61
65
S4
52
41m
60
50
40
41
S3

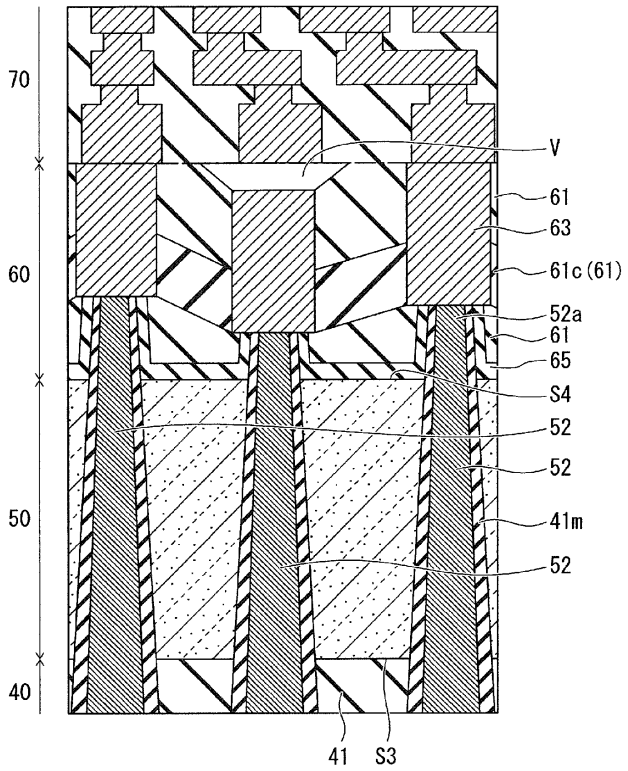
도면51a


52a
S4
52
52
41m
52
50
40
41
S3

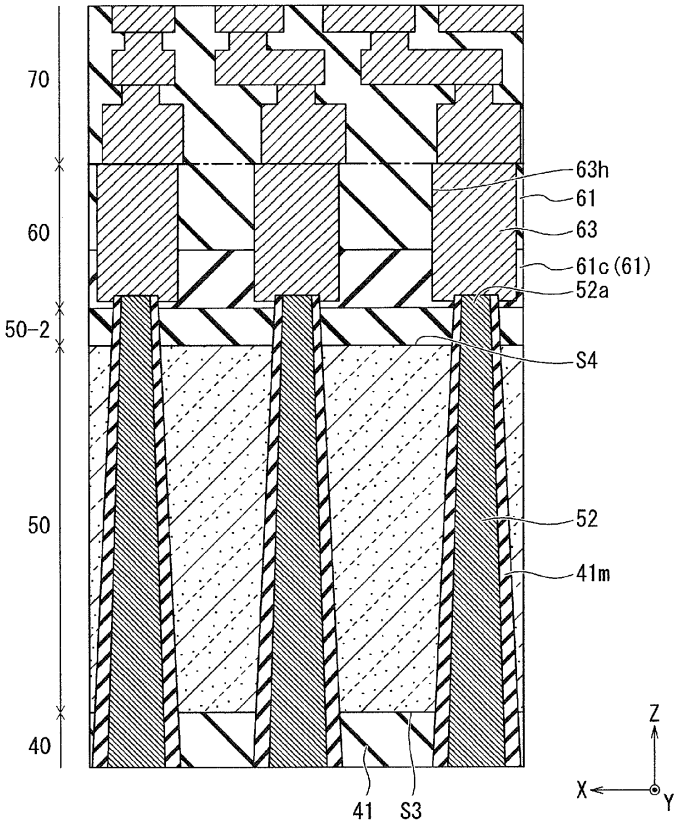
도면51b


61
63
61c (61)
52a
61
65
S4
52
52
41m
52
60
50
40
41
S3

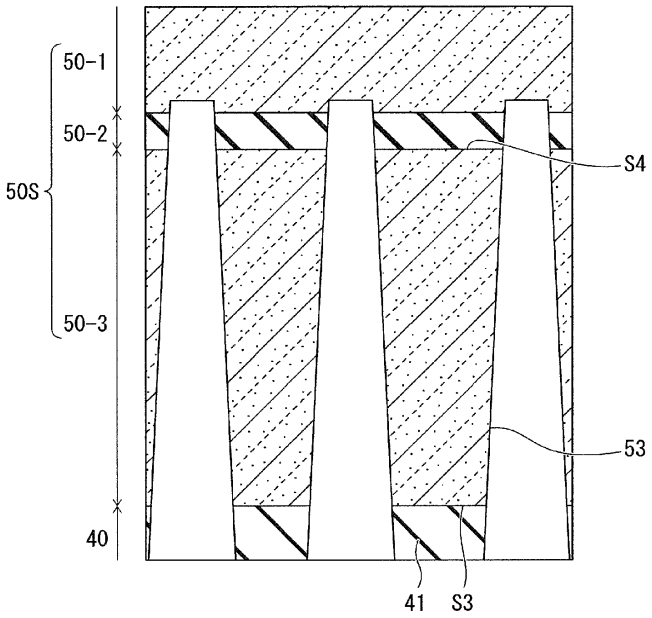
도면51c



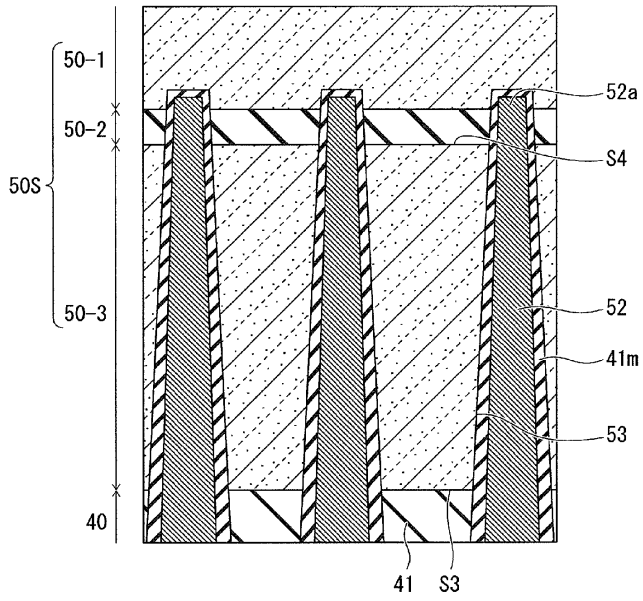
도면52


70
60
50-2
50
40
63h
61
63
61c (61)
52a
S4
52
41m
41
S3
Z
X
Y

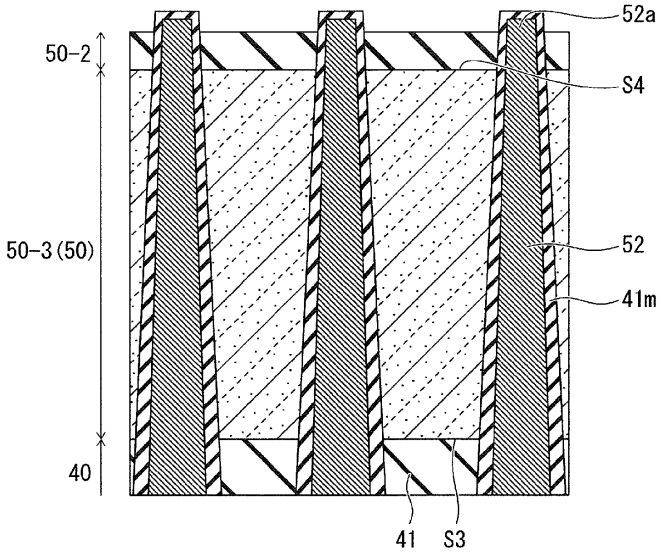
도면53a


50-1
50-2
50S
50-3
40
S4
53
41
S3

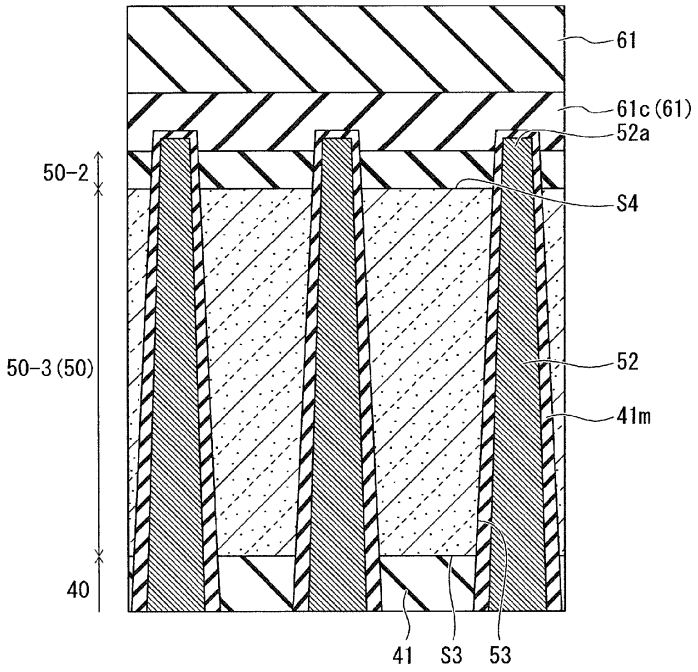
도면53b


50-1
50-2
50S
50-3
40
52a
S4
52
41m
53
41
S3

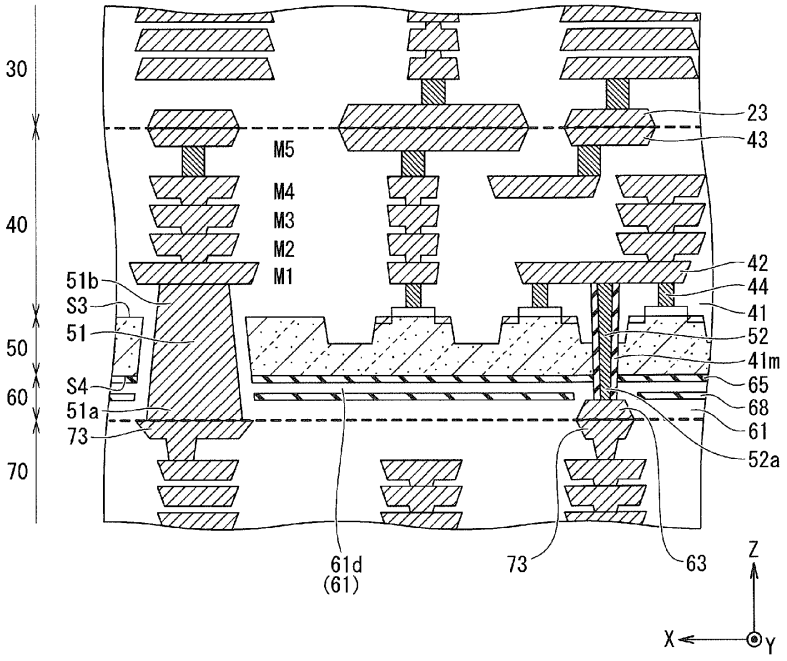
도면53c


50-2
50-3 (50)
40
52a
S4
52
41m
41
S3

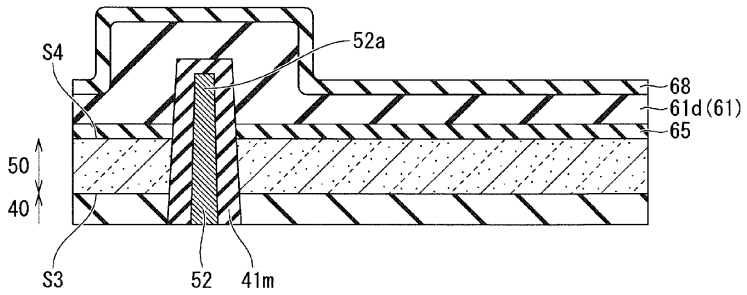
도면53d


61
61c (61)
52a
50-2
S4
50-3 (50)
52
41m
40
41
S3
53

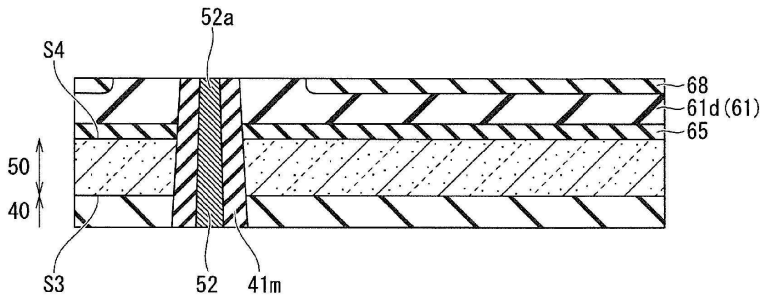
도면54


30
23
43
M5
M4
M3
M2
M1
40
42
44
51b
S3
41
51
52
50
41m
S4
65
60
51a
68
61
73
52a
70
61d
(61)
73
63
Z
X
Y

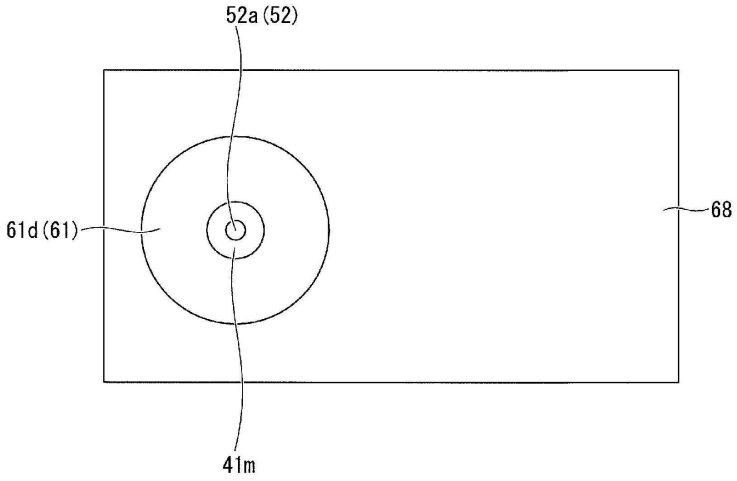
도면55a



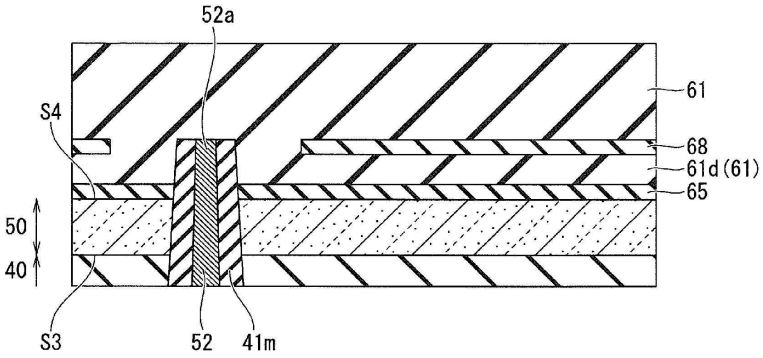
도면55b



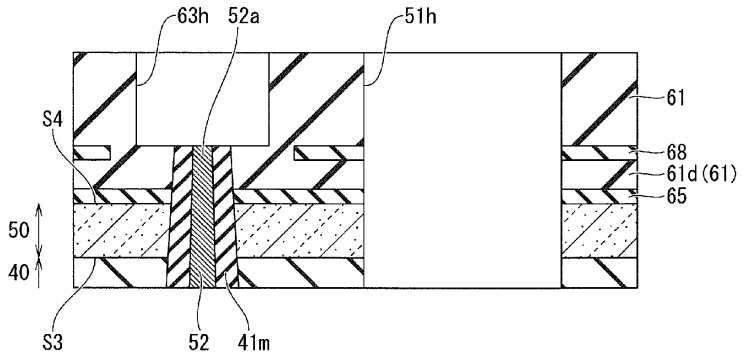
도면55c



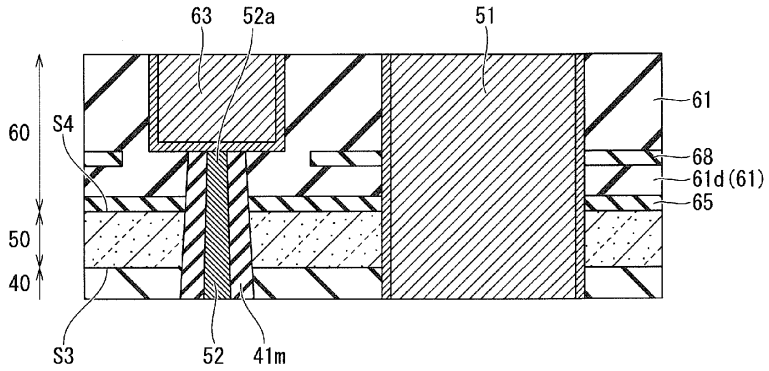
도면55d



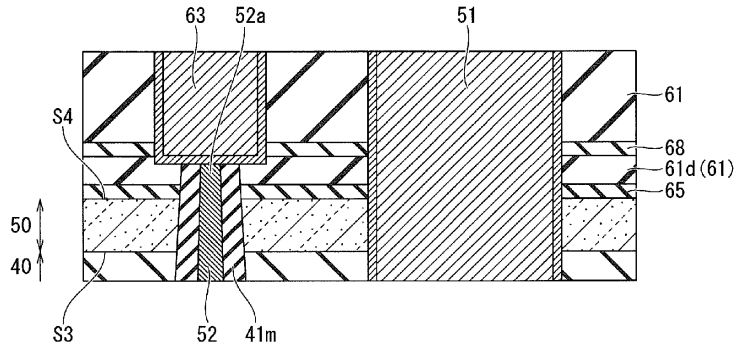
도면55e



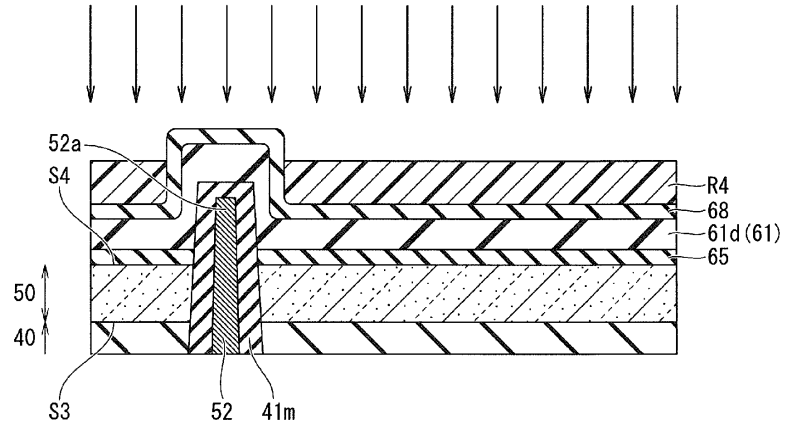
도면55f



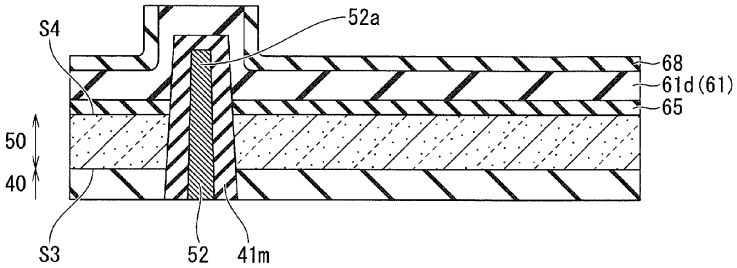
도면56



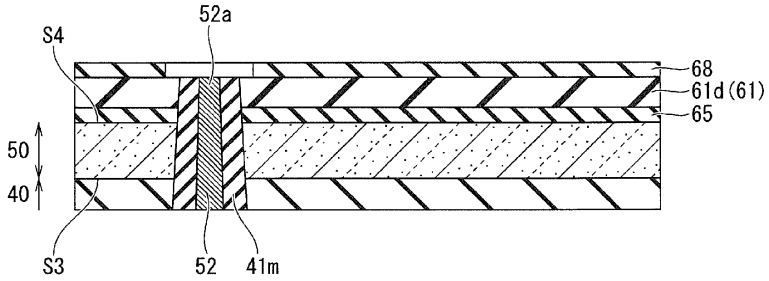
도면57a



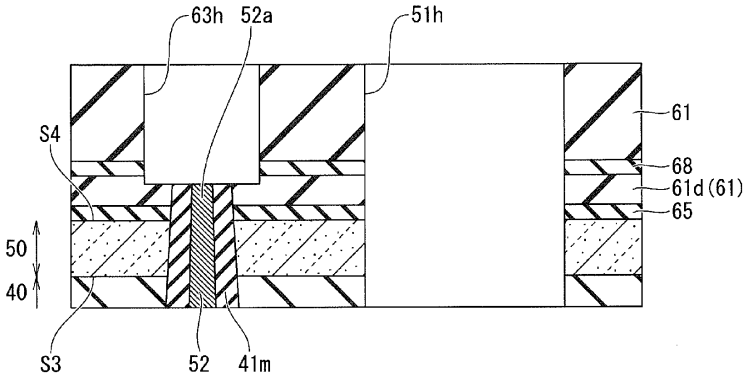
도면57b



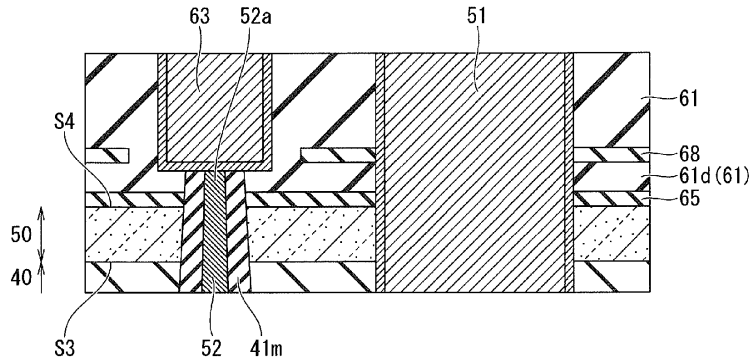
도면57c



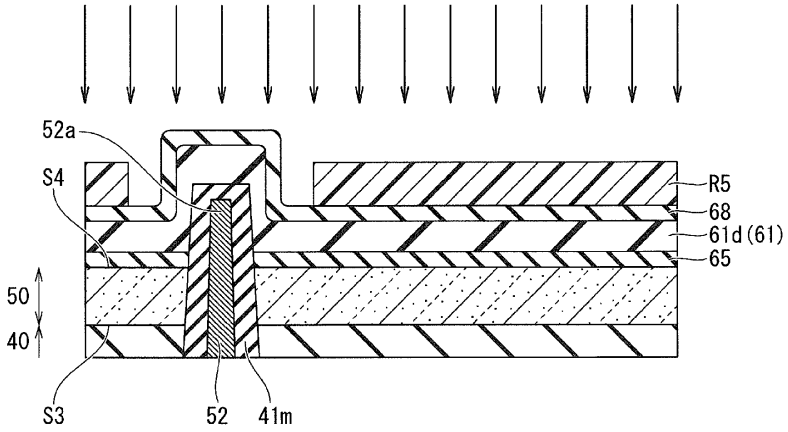
도면57d



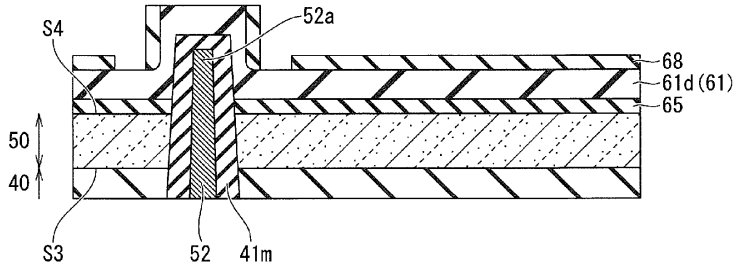
도면58



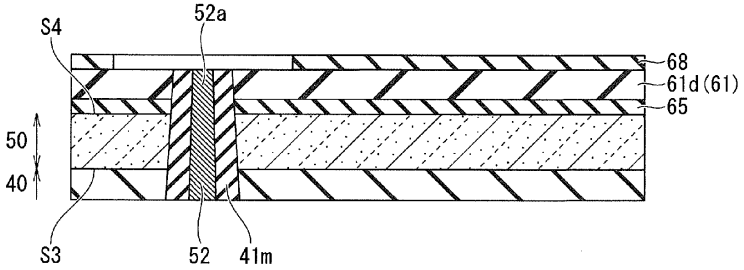
도면59a



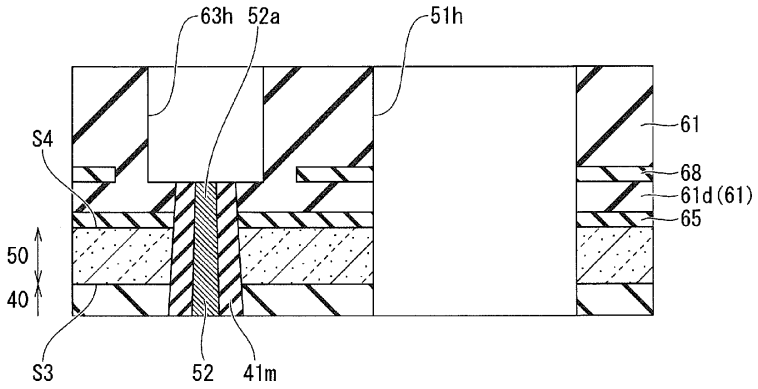
도면59b



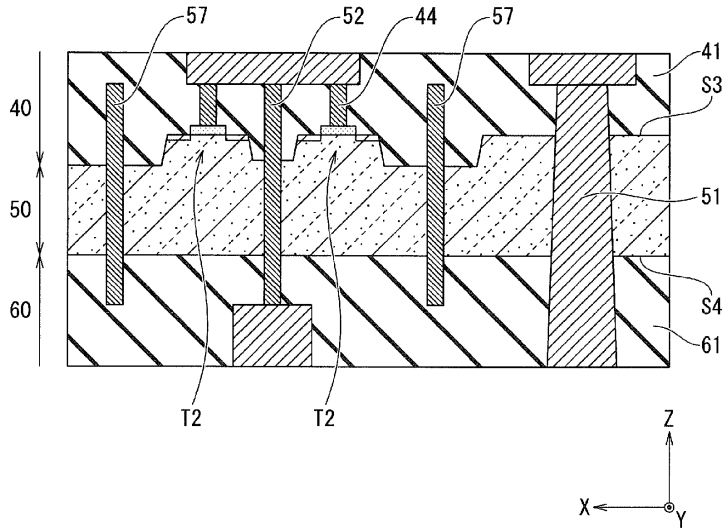
도면59c



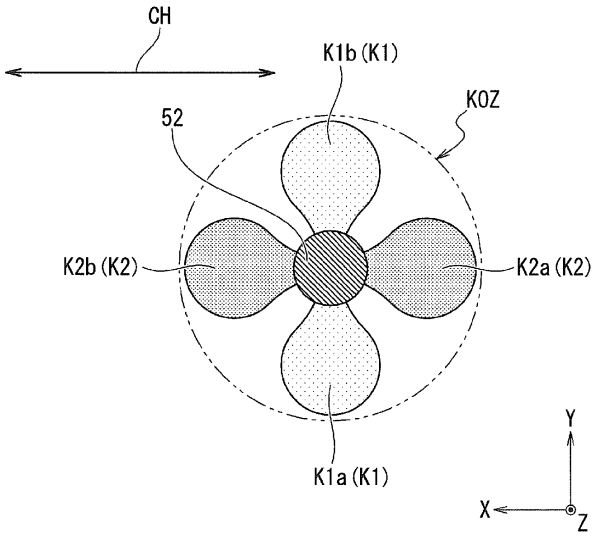
도면59d



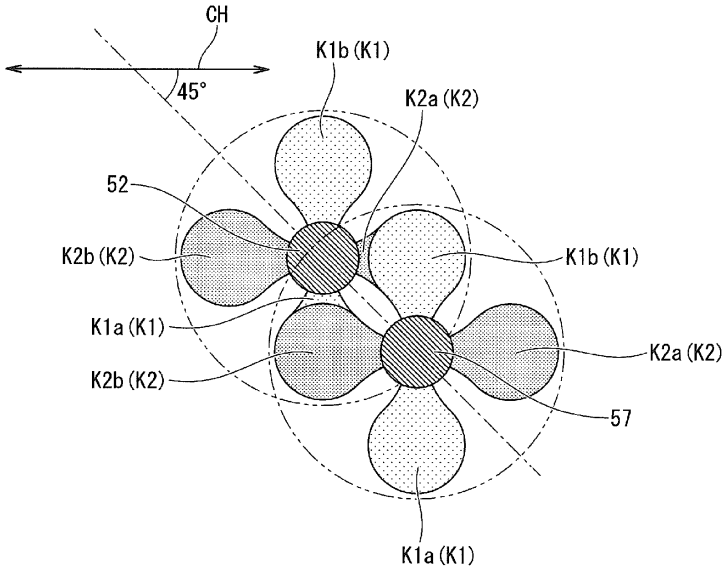
도면60



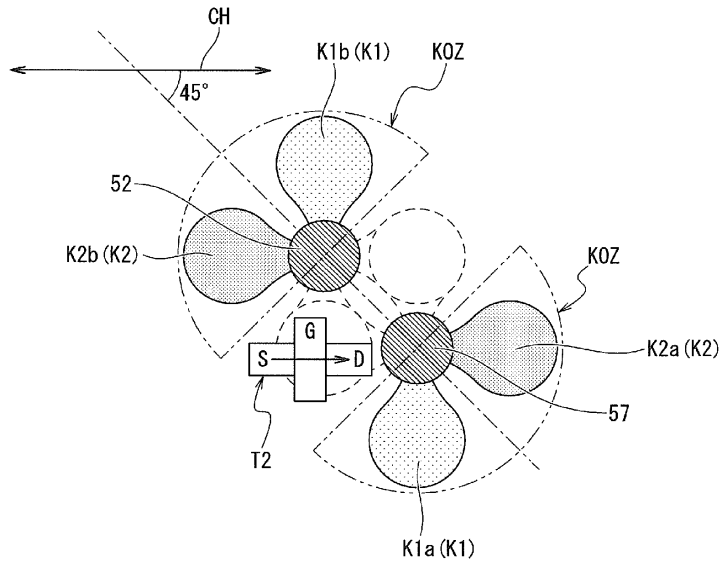
도면61a



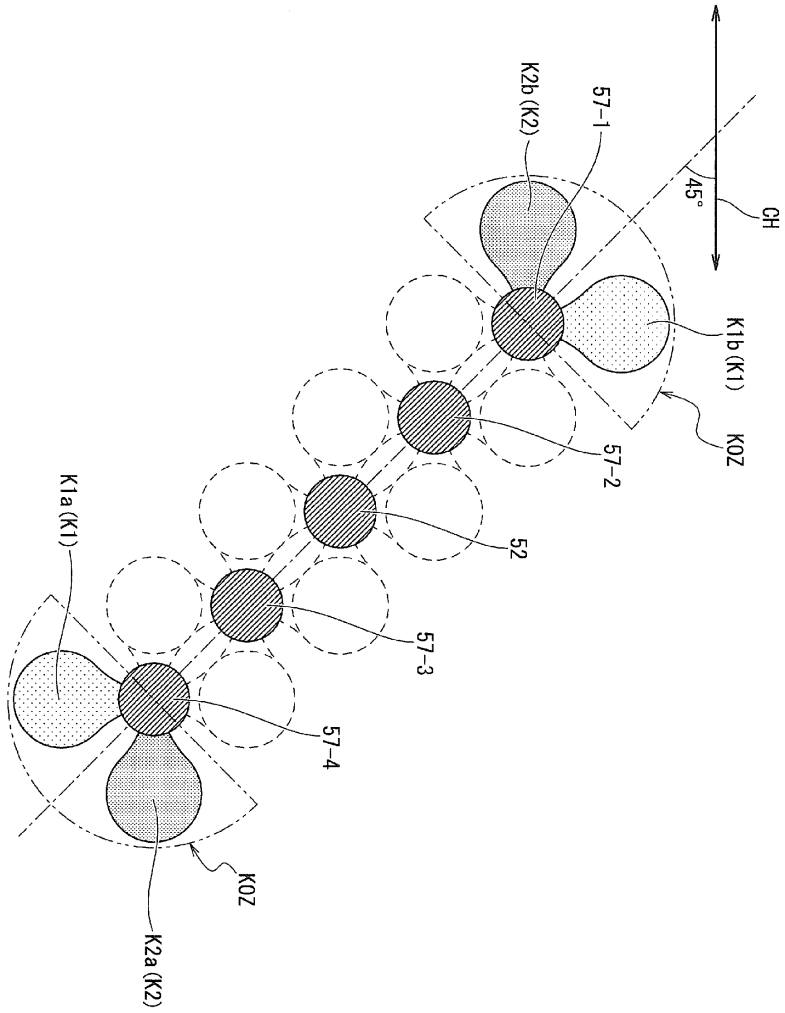
도면61b


CH
45°
K1b (K1)
K2a (K2)
52
K2b (K2)
K1b (K1)
K1a (K1)
K2a (K2)
K2b (K2)
57
K1a (K1)

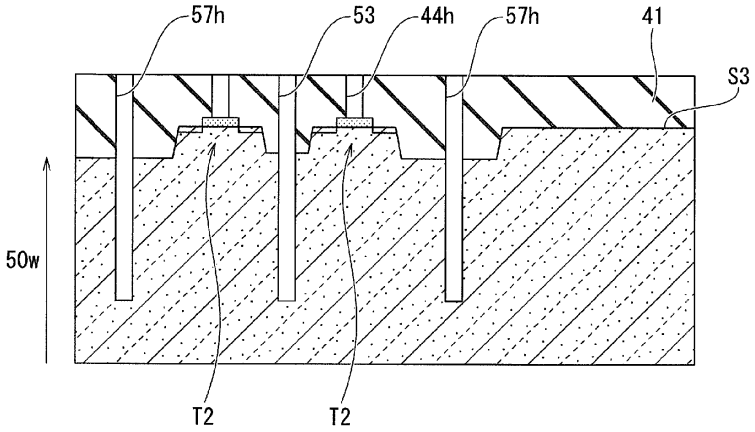
도면61c


CH
45°
K1b (K1)
KOZ
52
K2b (K2)
KOZ
G
S
D
K2a (K2)
57
T2
K1a (K1)

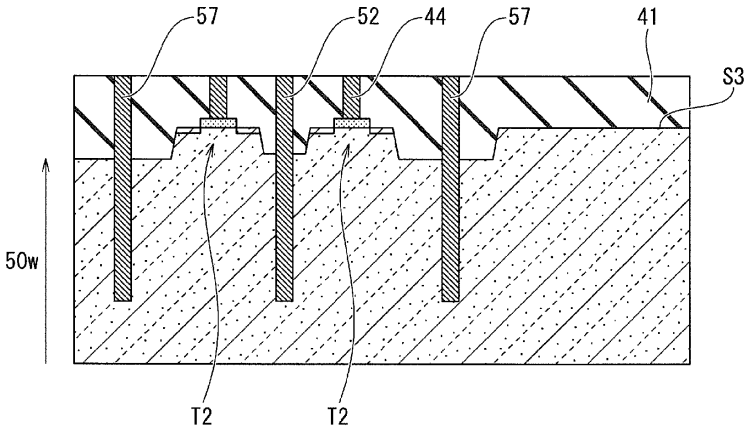
도면62


K2b (K2)
57-1
45°
CH
K1b (K1)
KOZ
57-2
52
57-3
57-4
K1a (K1)
KOZ
K2a (K2)

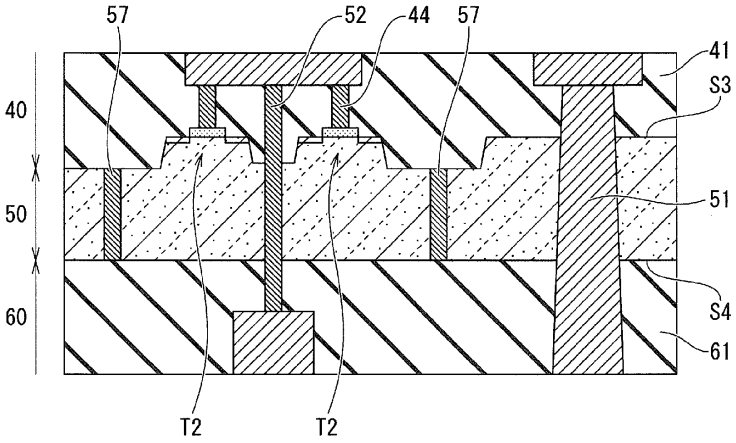
도면63a


57h
53
44h
57h
41
S3
50w
T2
T2

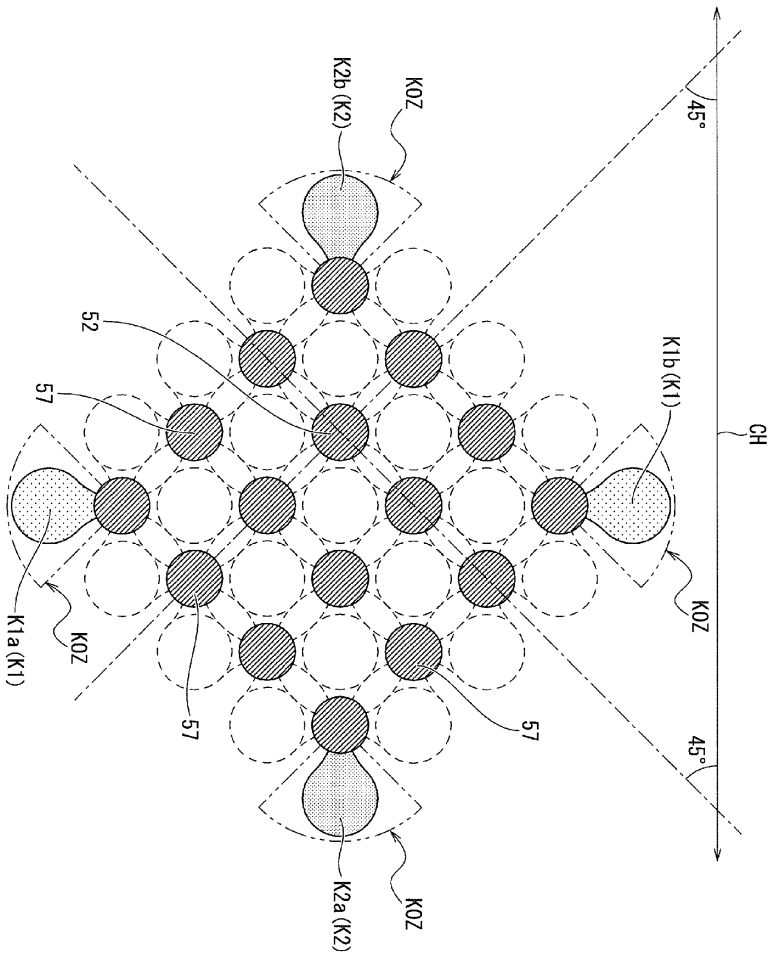
도면63b



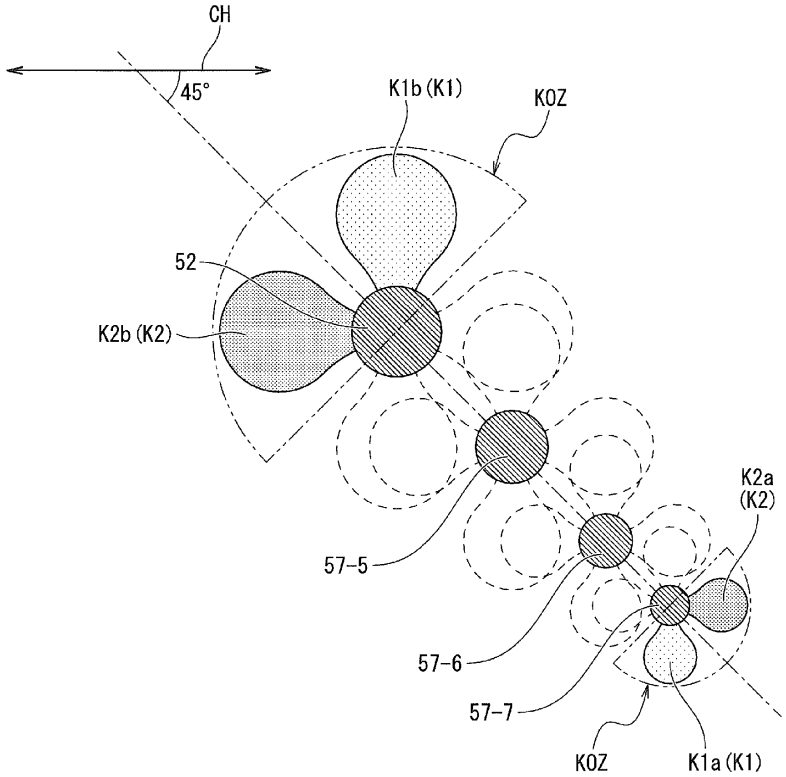
도면64



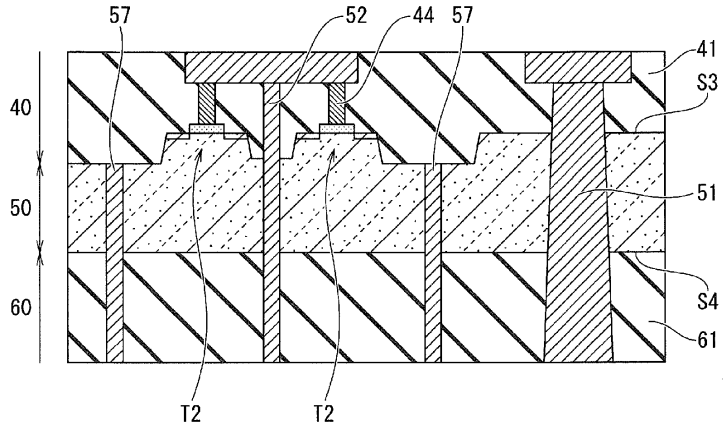
도면65



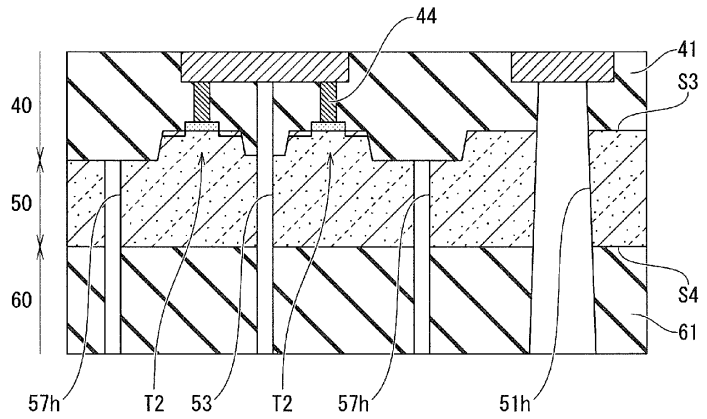
도면66


CH
45°
K1b (K1)
KOZ
52
K2b (K2)
K2a
(K2)
57-5
57-6
57-7
KOZ
K1a (K1)

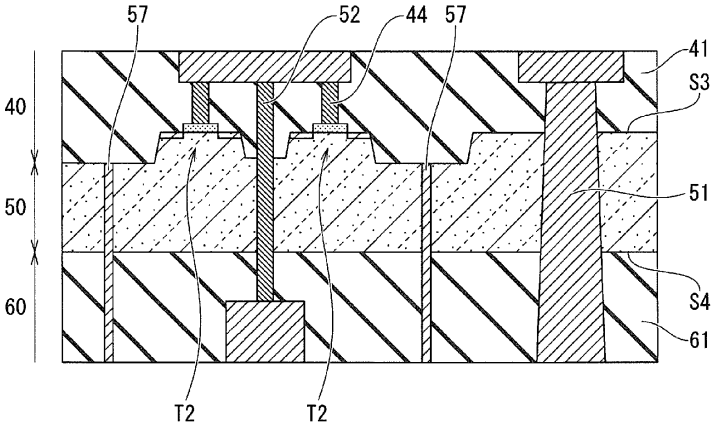
도면67


57
52
44
57
41
S3
40
50
60
51
S4
61
T2
T2

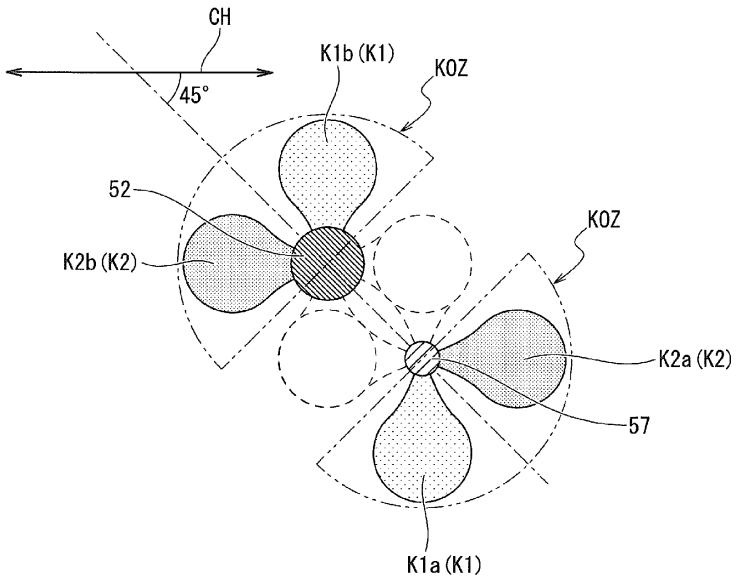
도면68



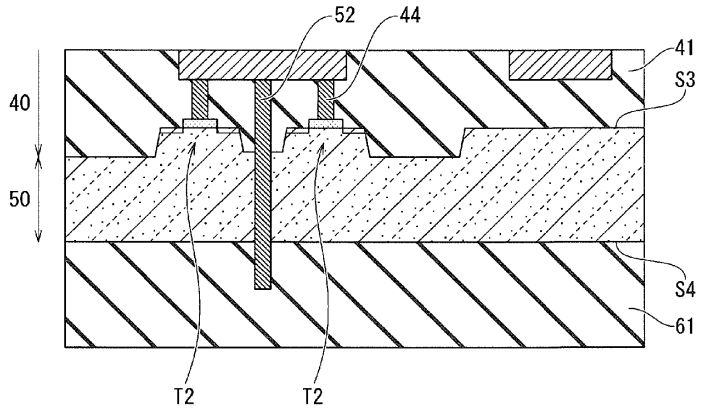
도면69



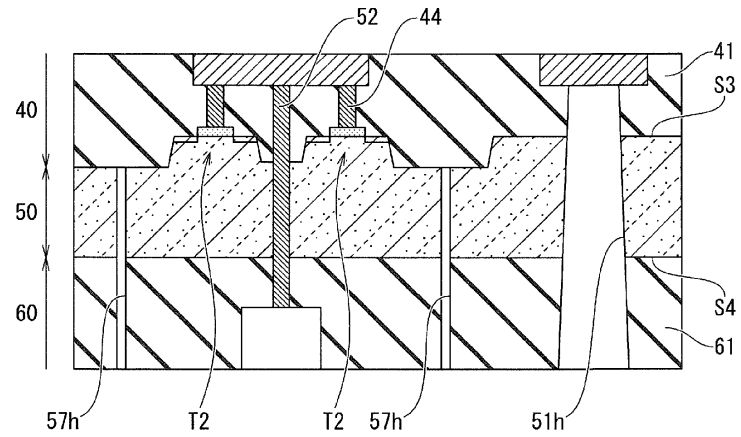
도면70



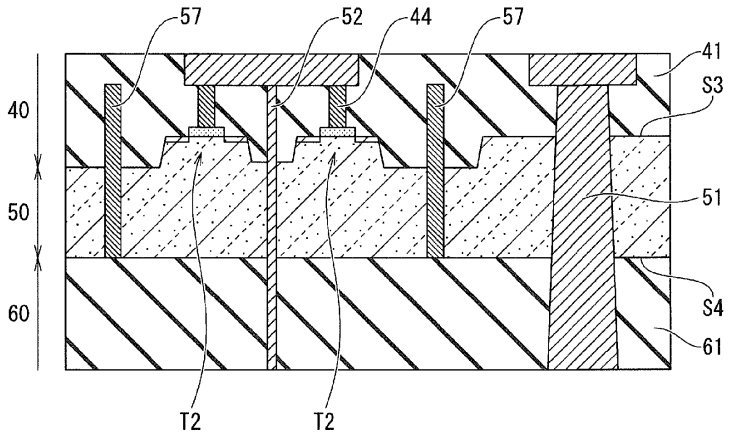
도면71a



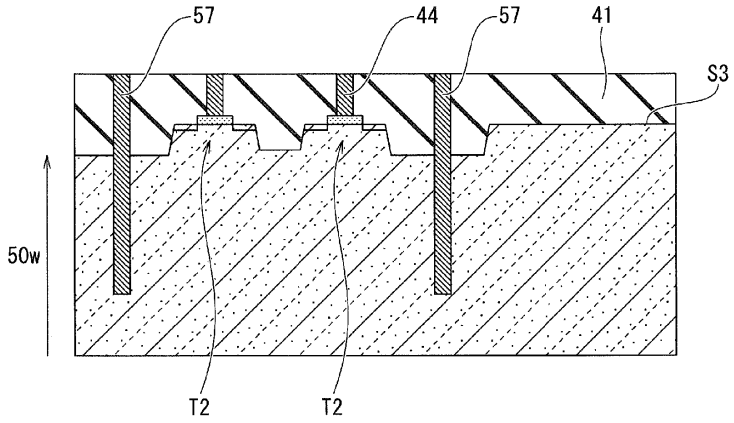
도면71b



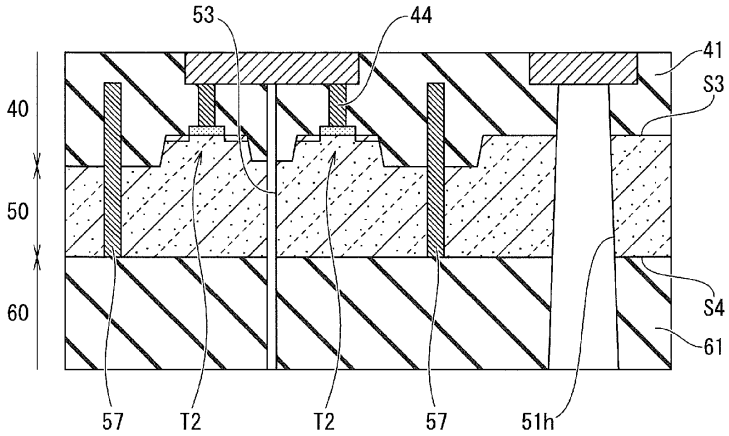
도면72



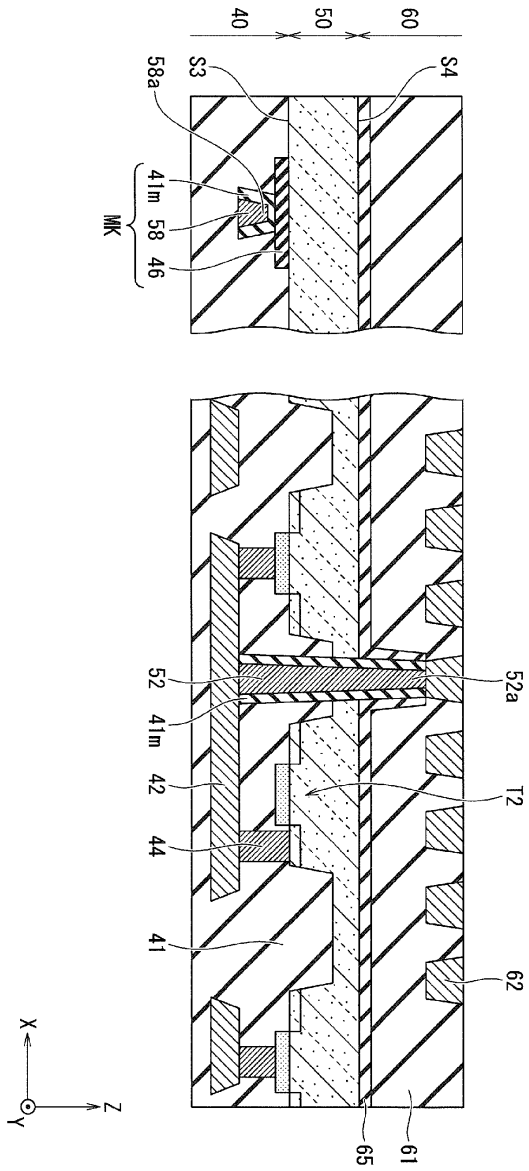
도면73a



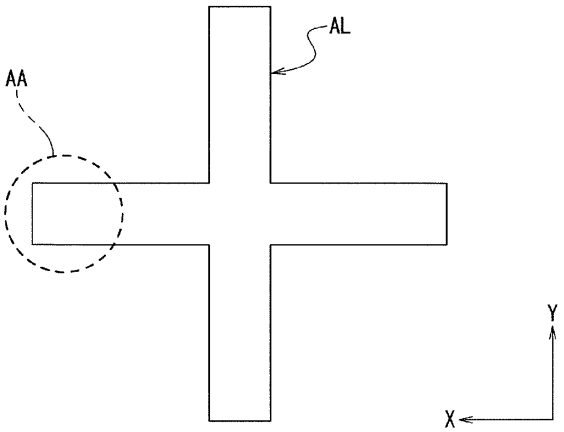
도면73b



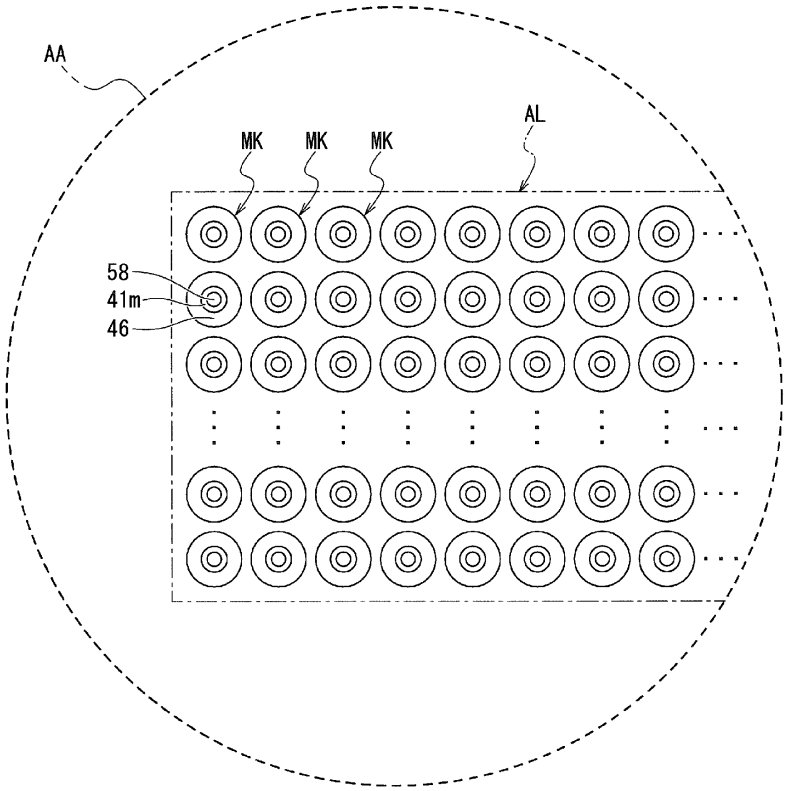
도면74a


40
50
60
S3
S4
58a
41m
58
46
MK
52
41m
42
44
41
52a
T2
62
65
61
X
Z
Y

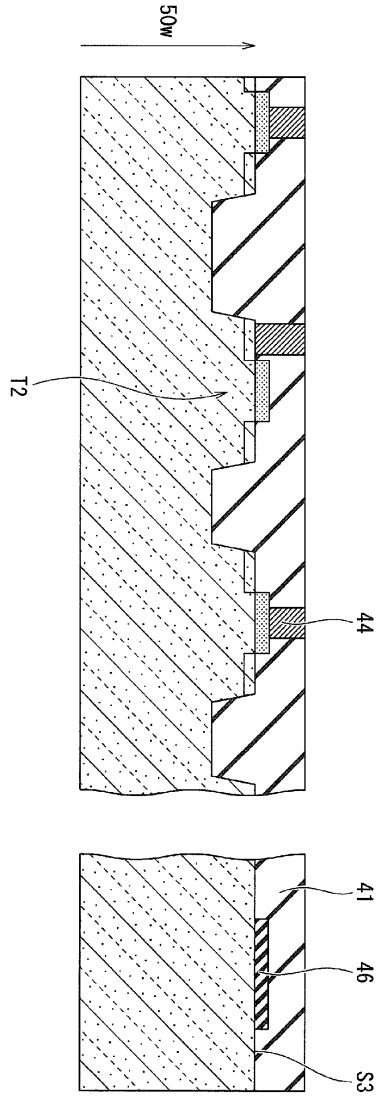
도면74b


AL
AA
Y
X

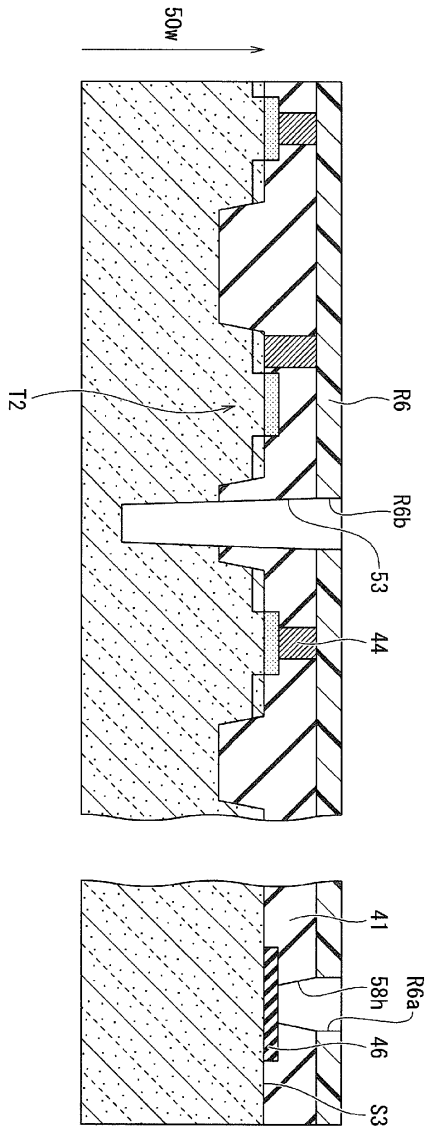
도면74c



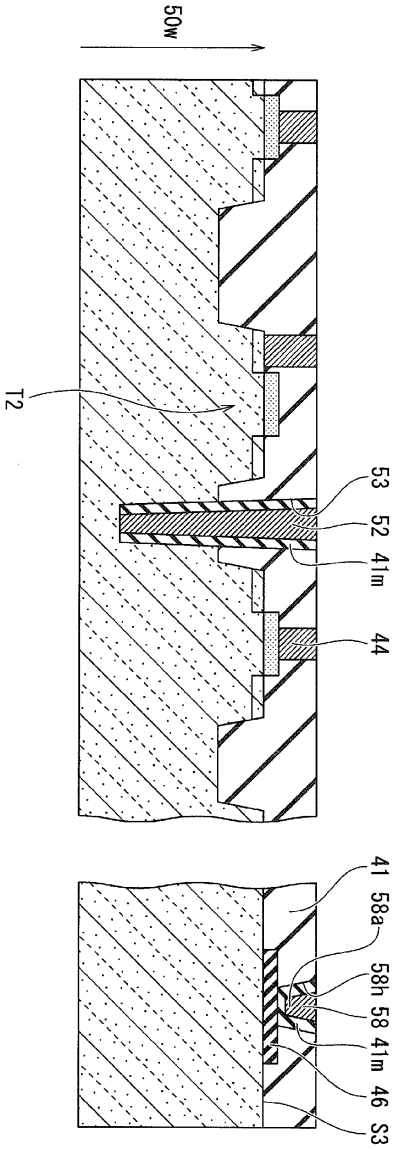
도면75a



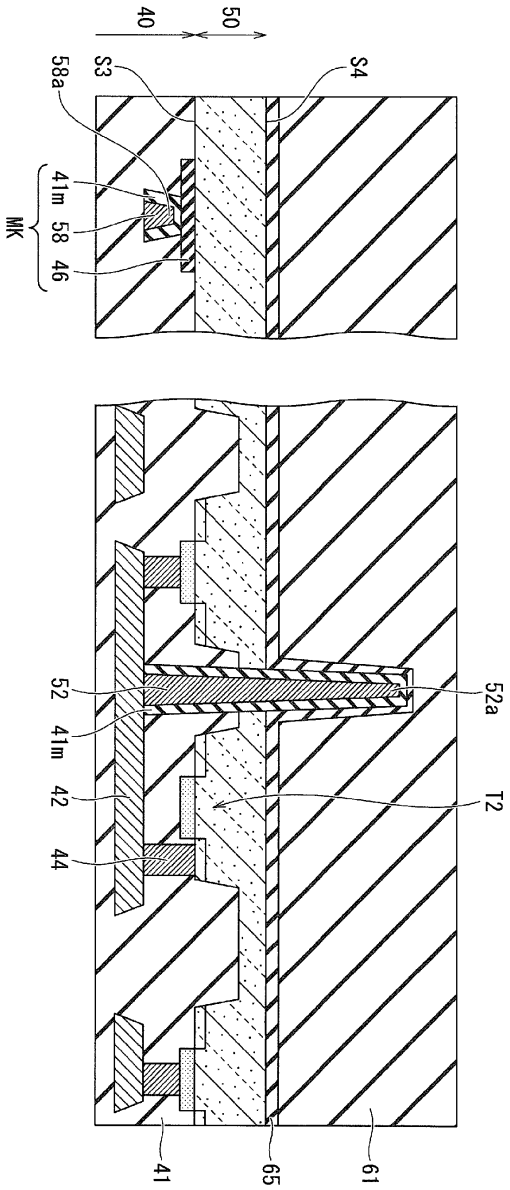
도면75b



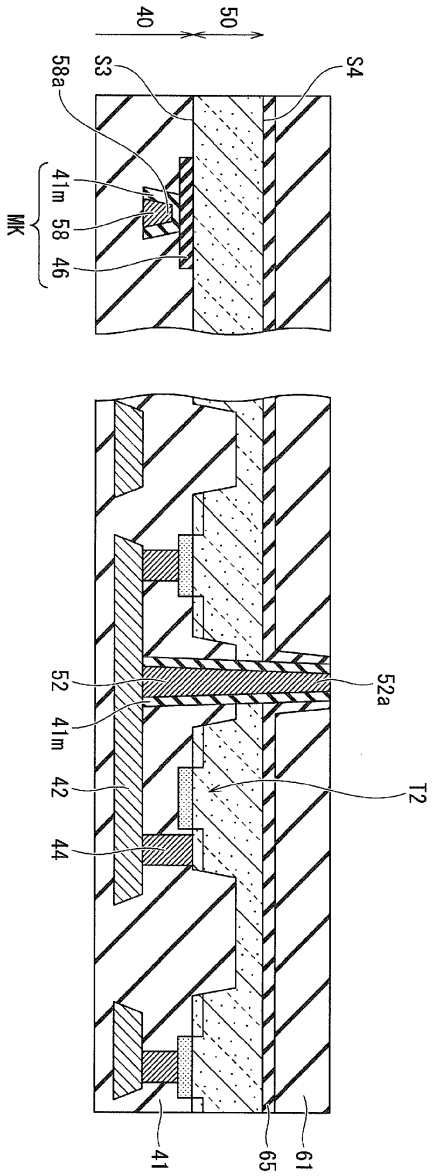
도면75c



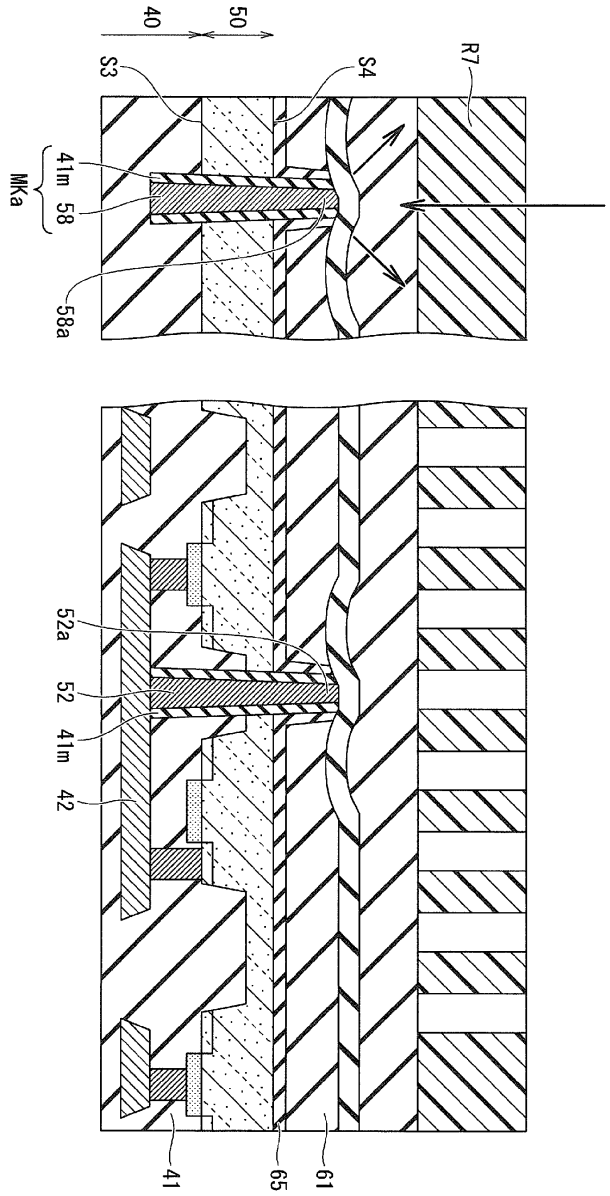
도면75d



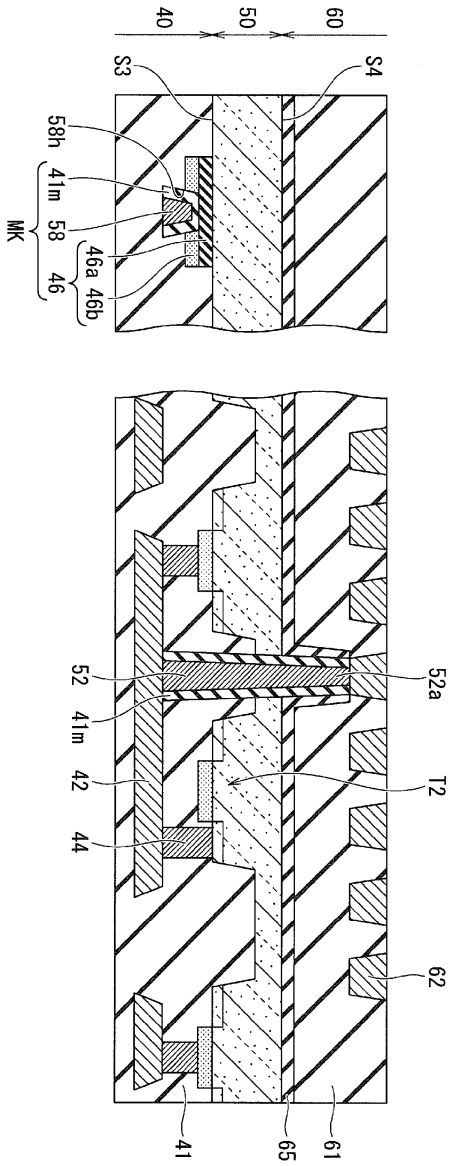
도면75e



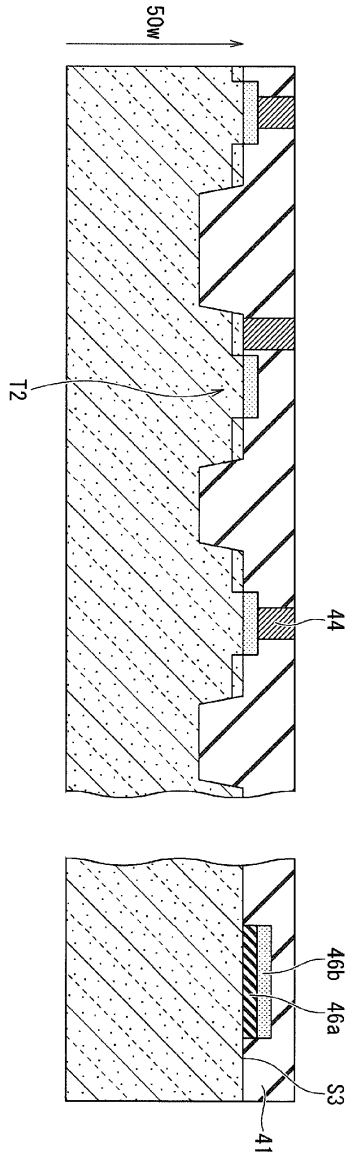
도면76



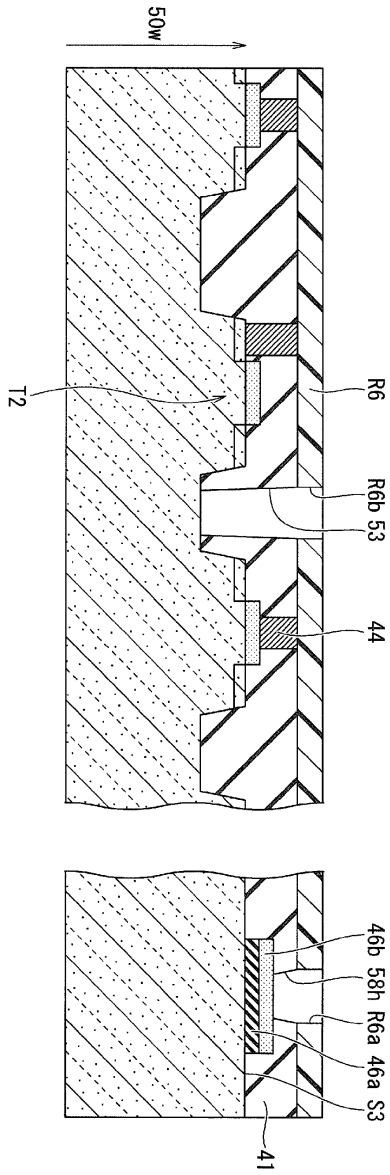
도면77


40
50
60
S3
S4
58h
41m
58
46a
46b
46
MK
52
41m
42
44
52a
T2
62
41
65
61

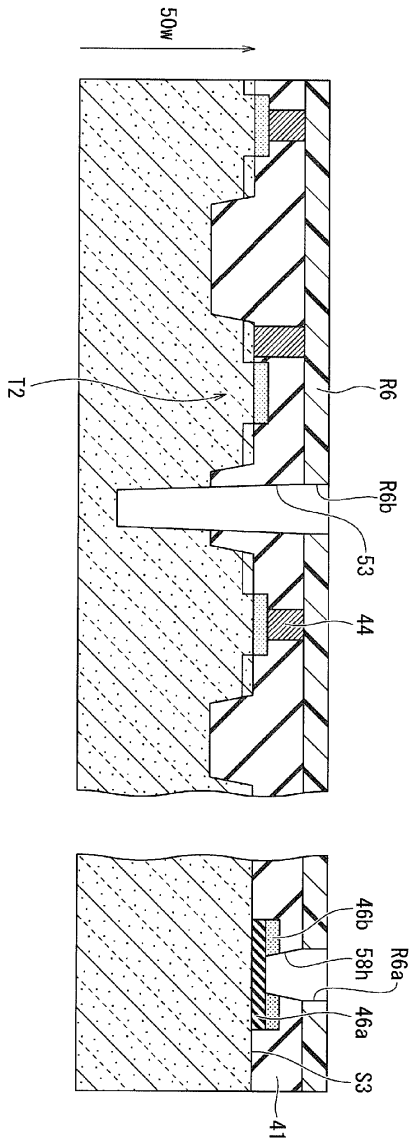
도면78a



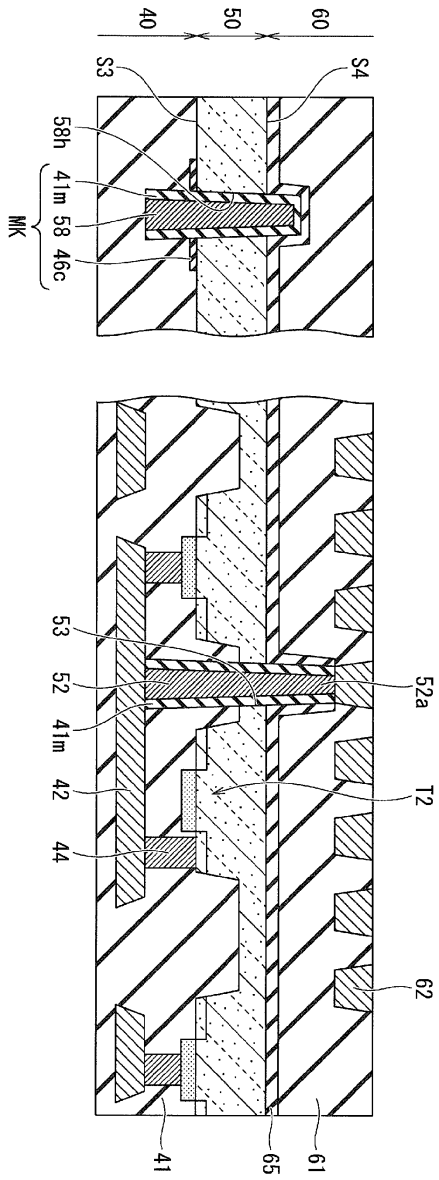
도면78b



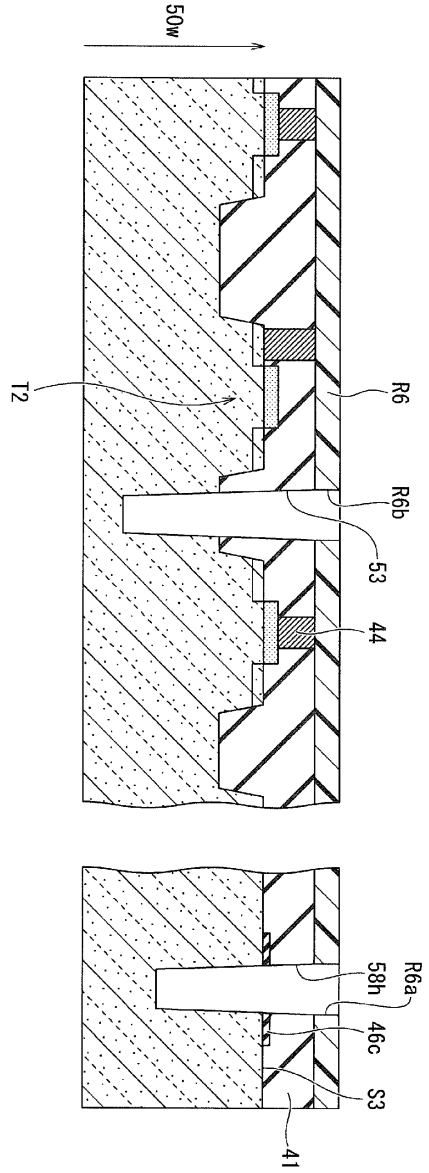
도면78c



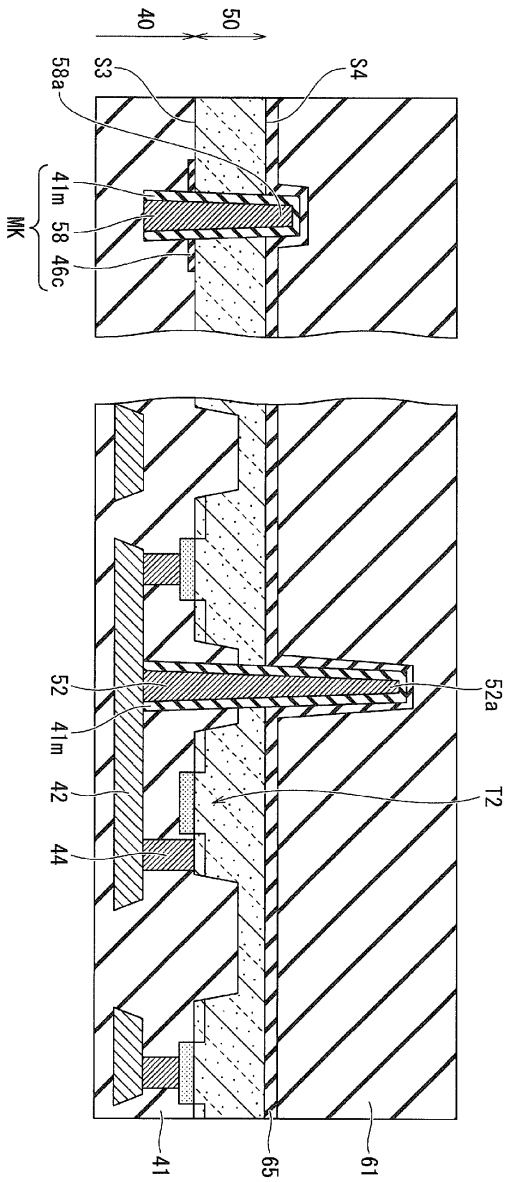
도면79



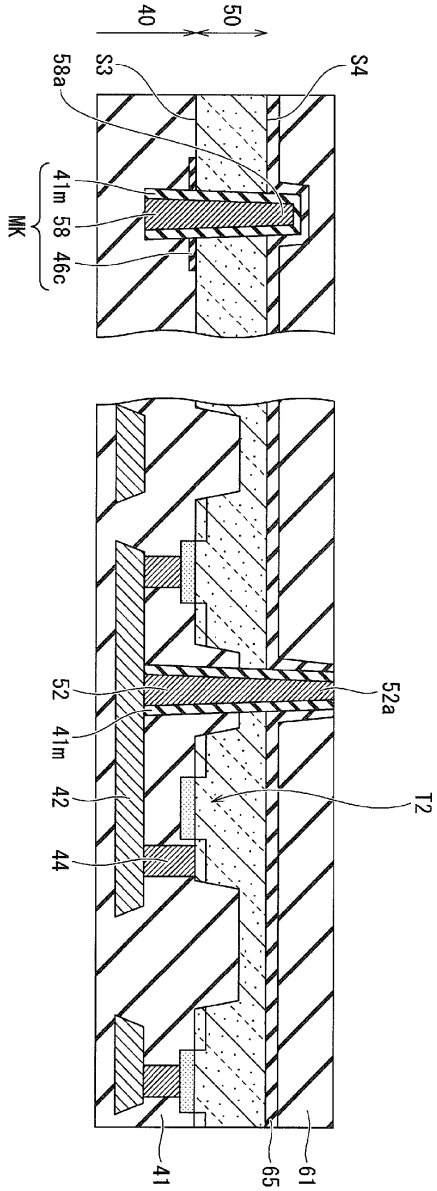
도면80a



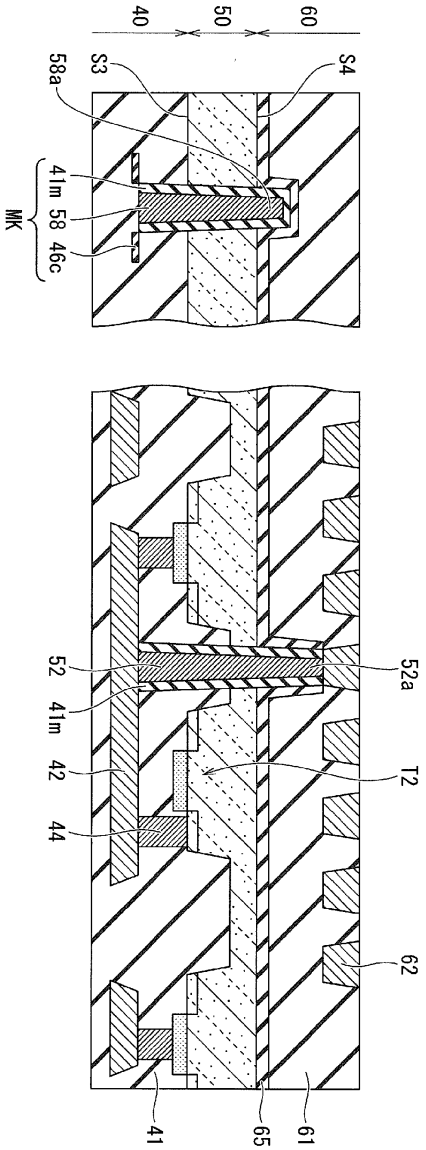
도면80b



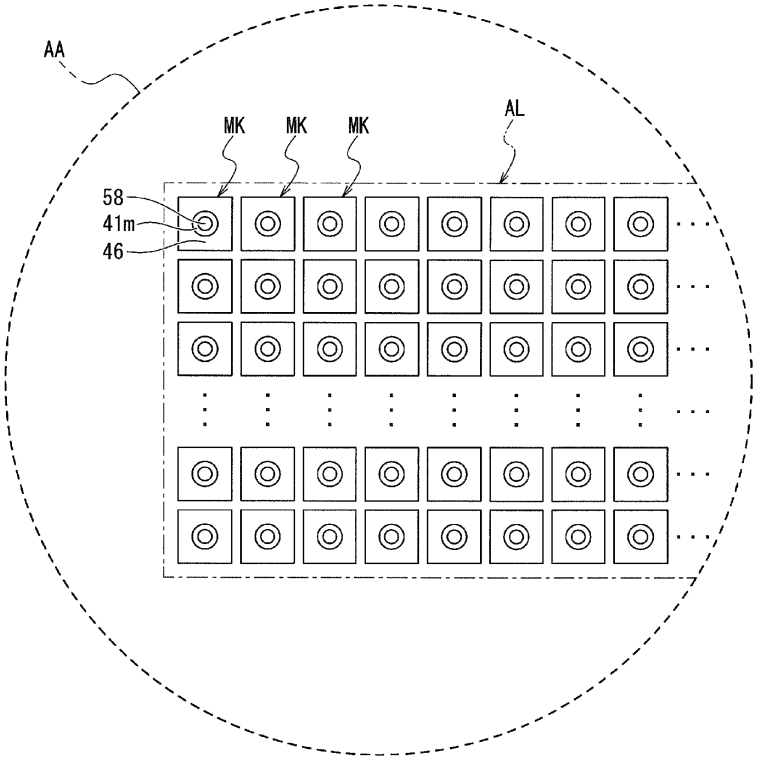
도면80c



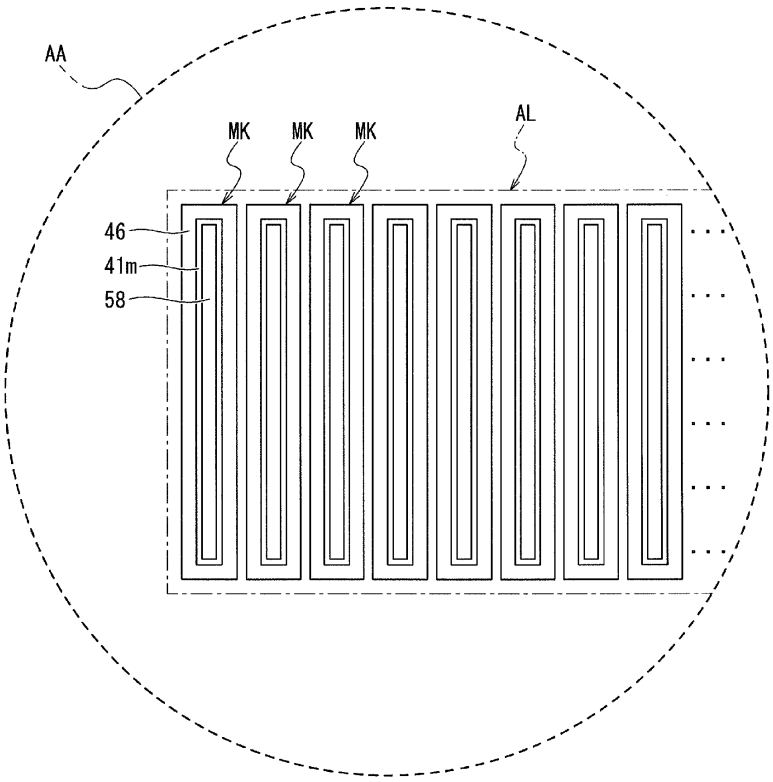
도면81



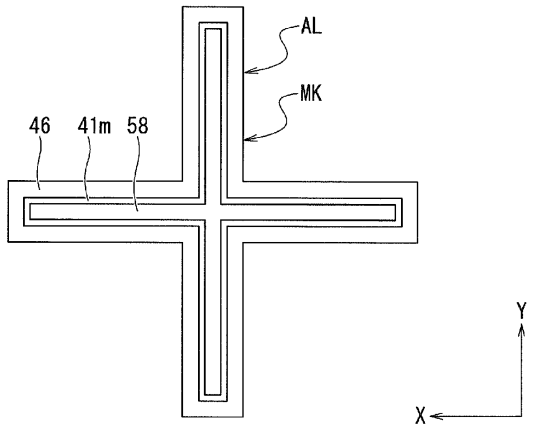
도면82



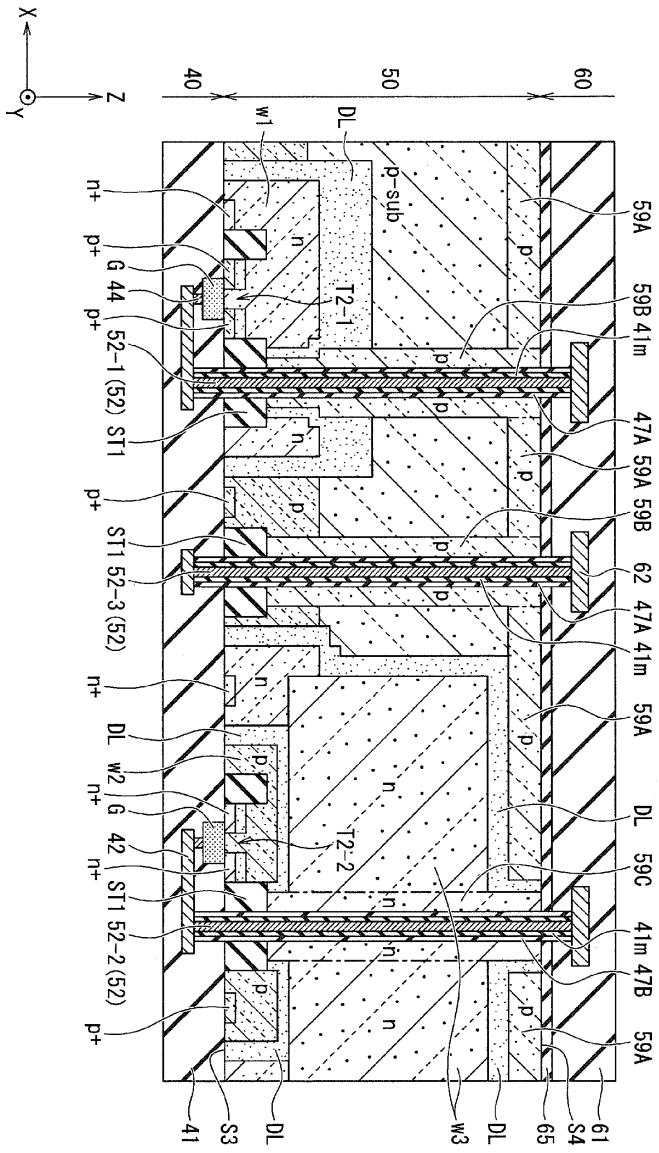
도면83



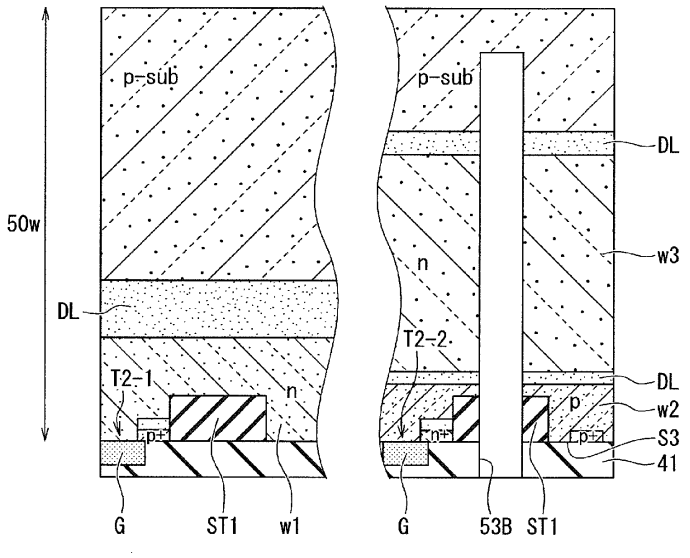
도면84


AL
MK
46
41m
58
Y
X

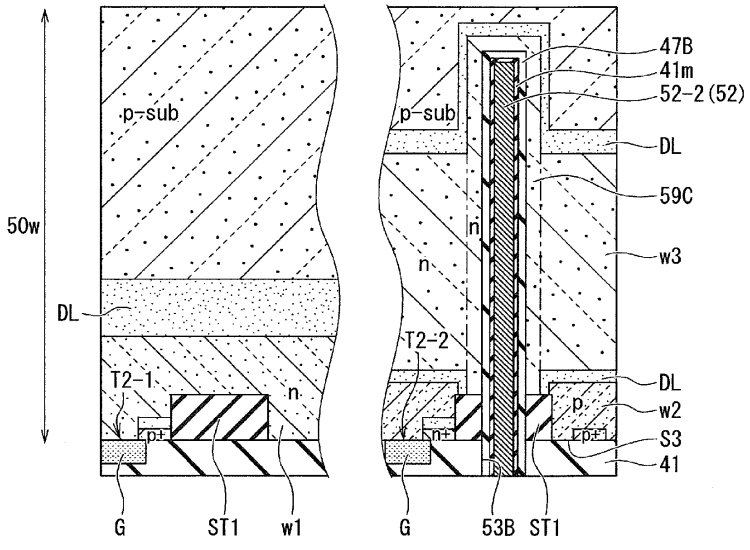
도면85


X
Z
Y
40
50
60
w1
DL
p-sub
n+
p+
G
44
52-1 (52)
ST1
52-3 (52)
w2
42
52-2 (52)
T2-1
T2-2
59A
59B
41m
47A
62
59C
47B
41
S3
w3
65
S4
61

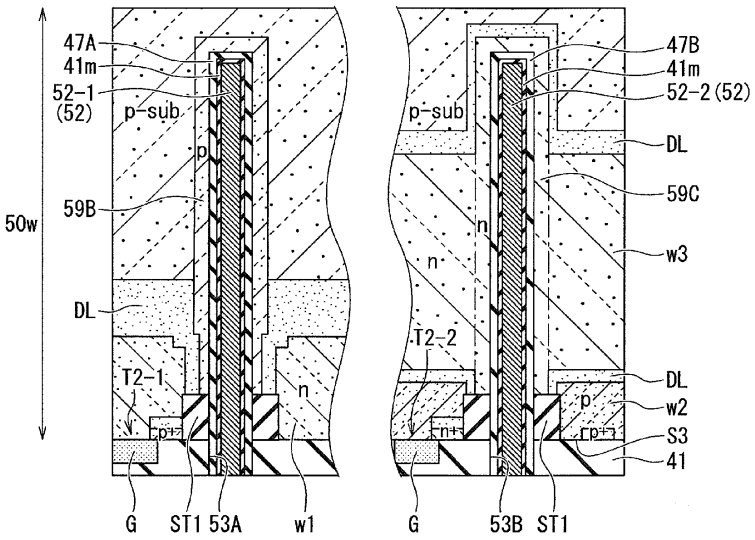
도면86a


50w
DL
p-sub
T2-1
n
p+
G
ST1
w1
p-sub
n
T2-2
n+
G
53B
ST1
DL
w3
DL
p
w2
p-
S3
41

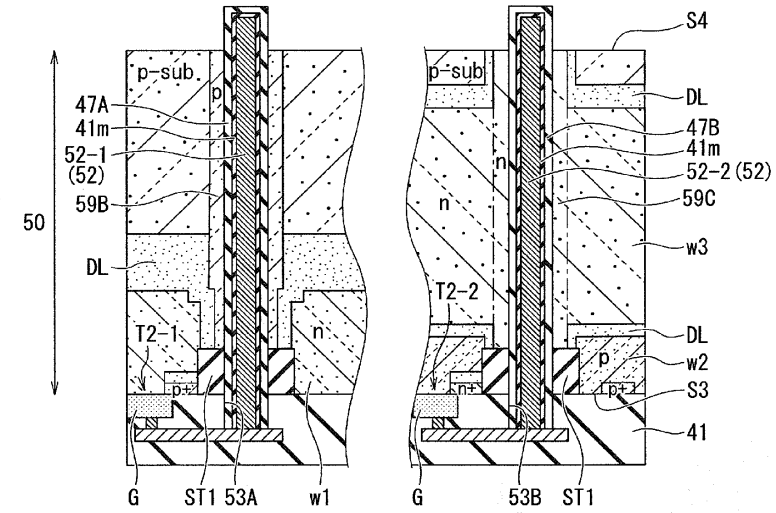
도면86b


50w
DL
p-sub
T2-1
n
p+
G
ST1
w1
p-sub
n
n
T2-2
n+
G
53B
ST1
47B
41m
52-2 (52)
DL
59C
w3
DL
p
w2
p-
S3
41

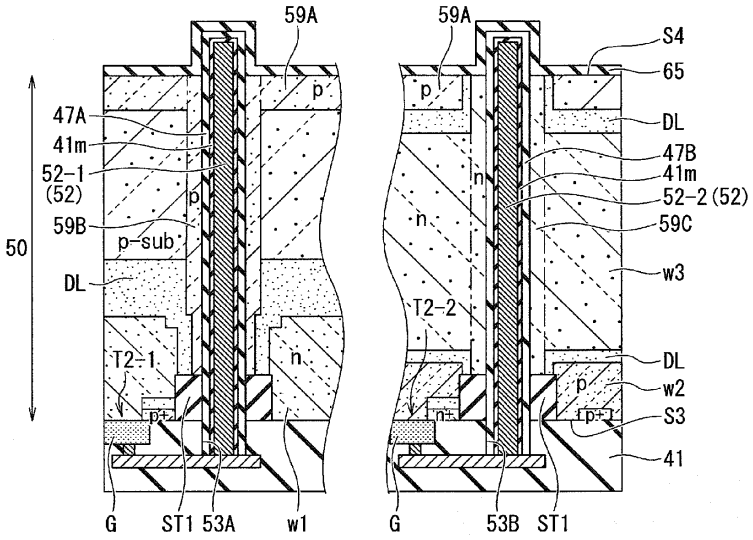
도면86c


47A
41m
52-1
(52)
p-sub
p
59B
50w
DL
T2-1
n
p+
n+
G
ST1
53A
w1
47B
41m
52-2 (52)
p-sub
DL
59C
n
w3
T2-2
DL
p
w2
S3
41
G
53B
ST1

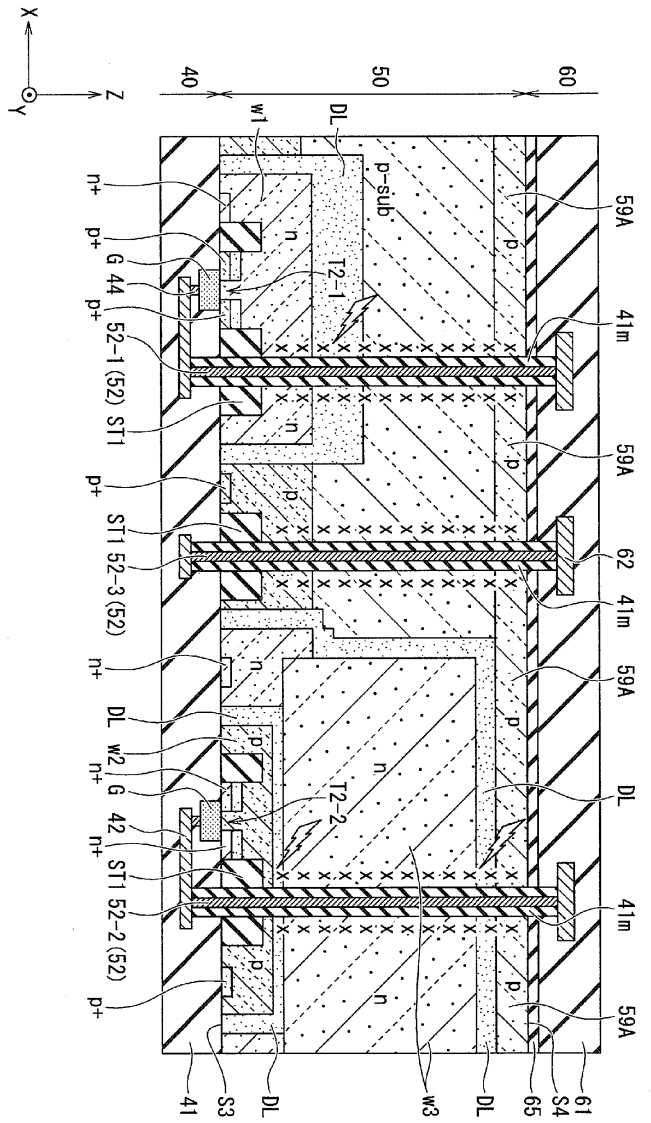
도면86d


p-sub
p
47A
41m
52-1
(52)
59B
50
DL
T2-1
n
p+
n+
G
ST1
53A
w1
S4
p-sub
DL
47B
41m
52-2 (52)
n
59C
w3
T2-2
DL
p
w2
S3
41
G
53B
ST1

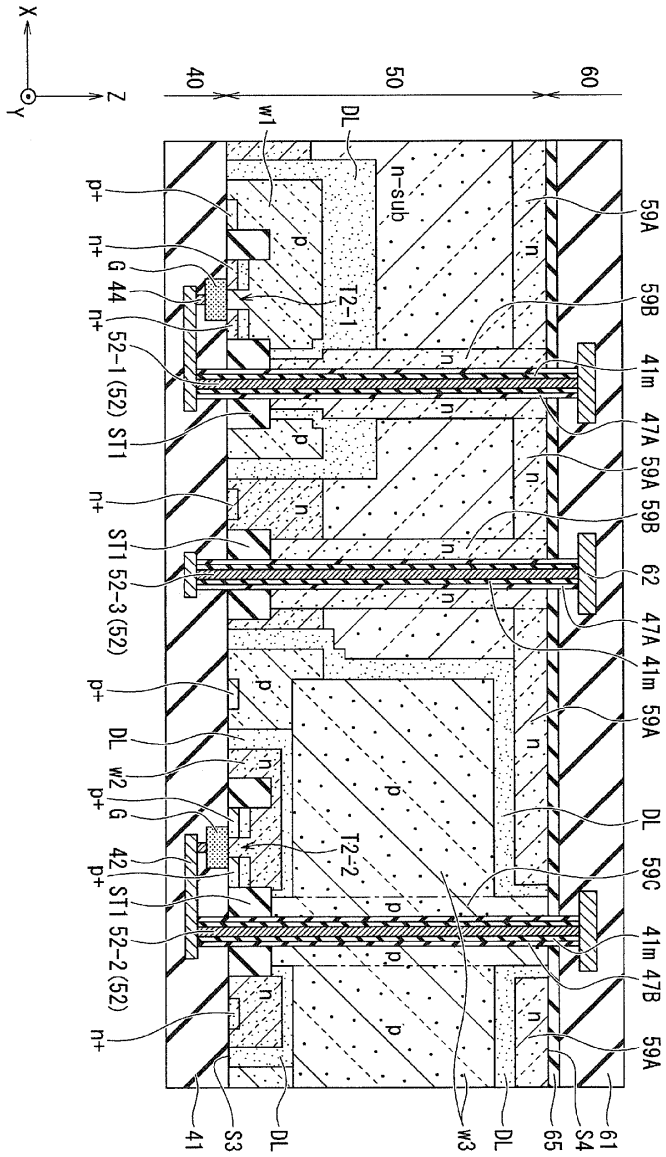
도면86e


59A
59A
S4
65
47A
41m
52-1
(52)
59B
p-sub
DL
50
T2-1
G
ST1
53A
w1
T2-2
47B
41m
52-2 (52)
59C
w3
DL
w2
S3
41
G
53B
ST1

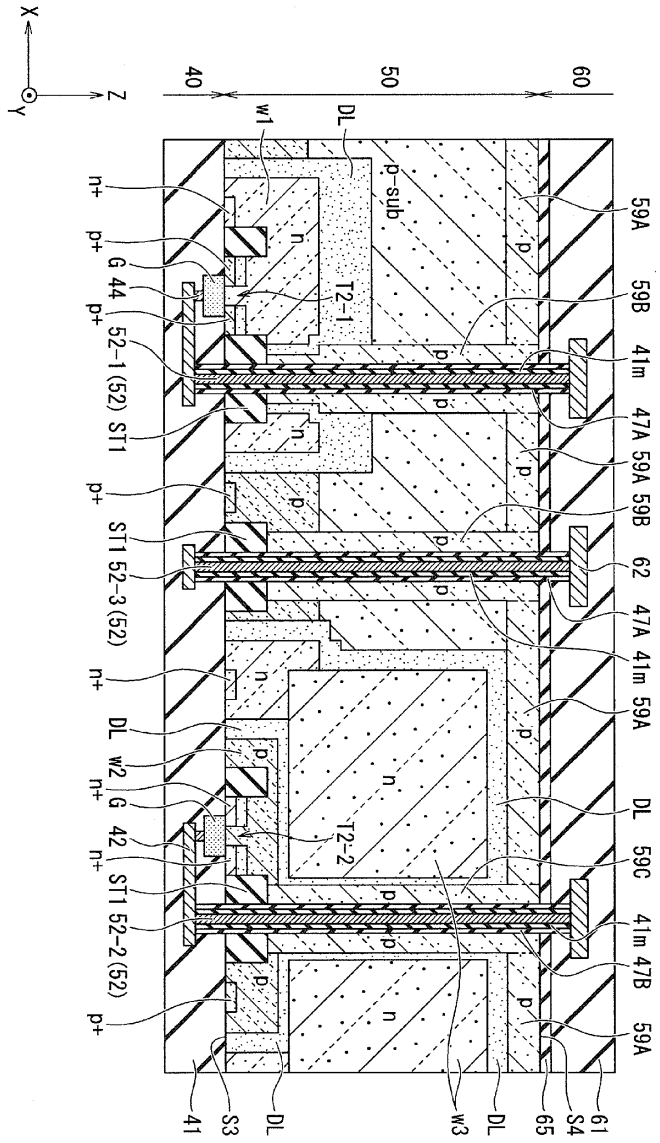
도면87


X
Z
Y
40
50
60
w1
DL
p-sub
n+
p+
G 44
52-1 (52)
ST1
52-3 (52)
DL
w2
G 42
52-2 (52)
T2-1
T2-2
59A
41m
62
41
S3
w3
65
S4
61

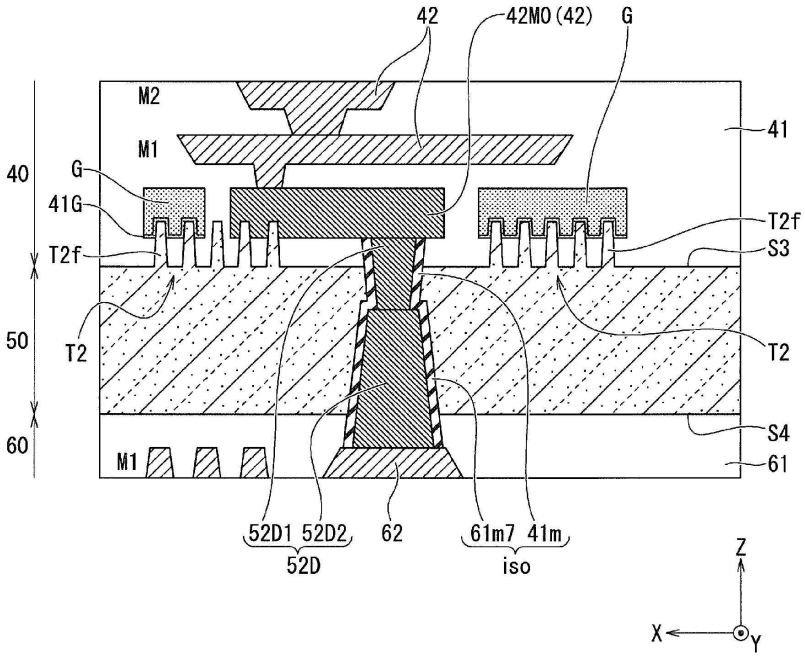
도면88


X
Z
Y
40
50
60
w1
DL
n-sub
p+
n+
G
44
52-1 (52)
ST1
52-3 (52)
52-2 (52)
w2
42
T2-1
T2-2
59A
59B
41m
47A
62
59C
47B
65
61
S3
S4
w3
41

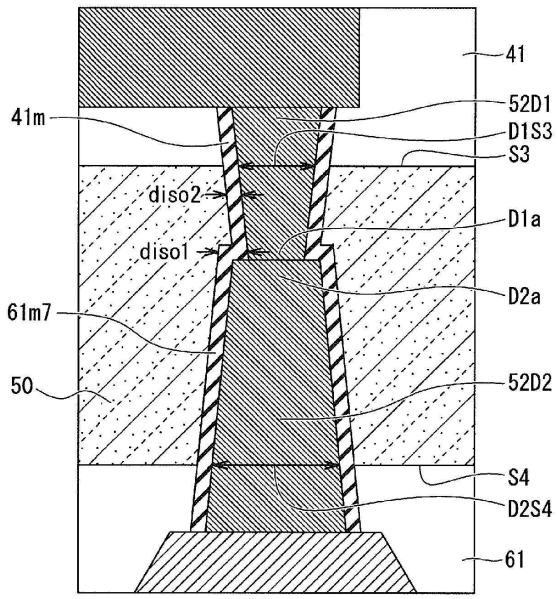
도면89


X
Z
Y
40
50
60
w1
DL
p-sub
n+
p+
G
44
52-1 (52)
ST1
52-3 (52)
DL
w2
42
52-2 (52)
59A
59B
41m
47A
62
59C
47B
T2-1
T2-2
41
S3
w3
65
S4
61

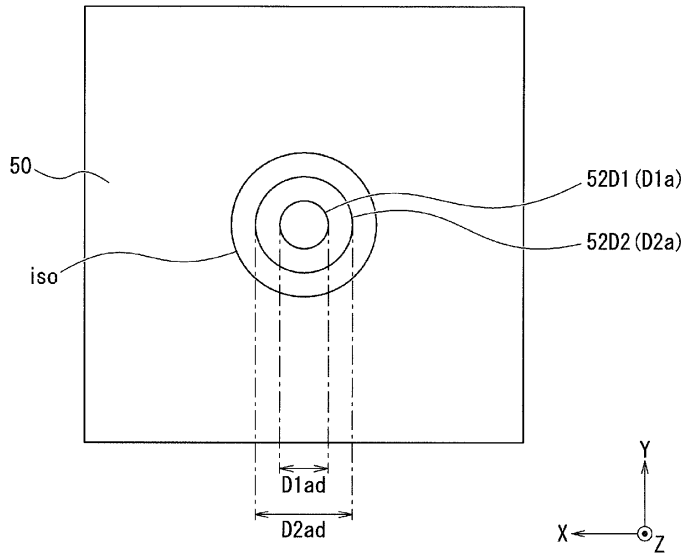
도면90a


42
42M0(42)
G
M2
M1
41
40
G
41G
T2f
S3
T2f
50
T2
T2
60
S4
M1
61
52D1 52D2
52D
62
61m7 41m
iso
Z
X
Y

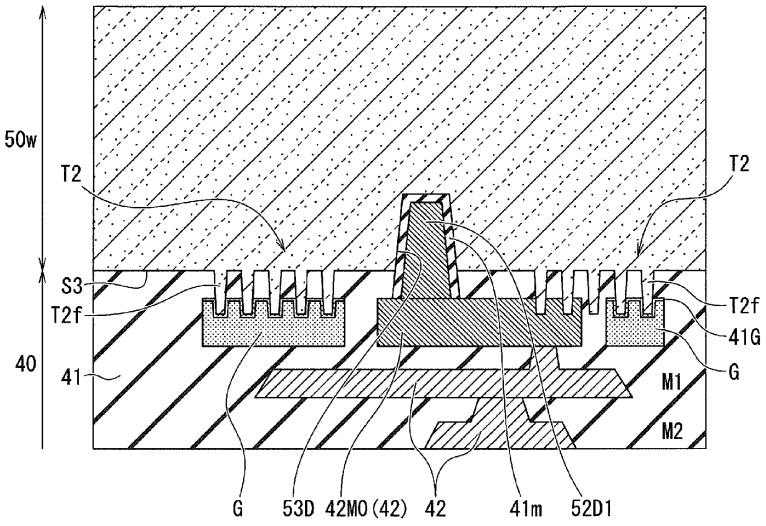
도면90b


41
41m
52D1
D1S3
S3
diso2
D1a
diso1
D2a
61m7
50
52D2
S4
D2S4
61

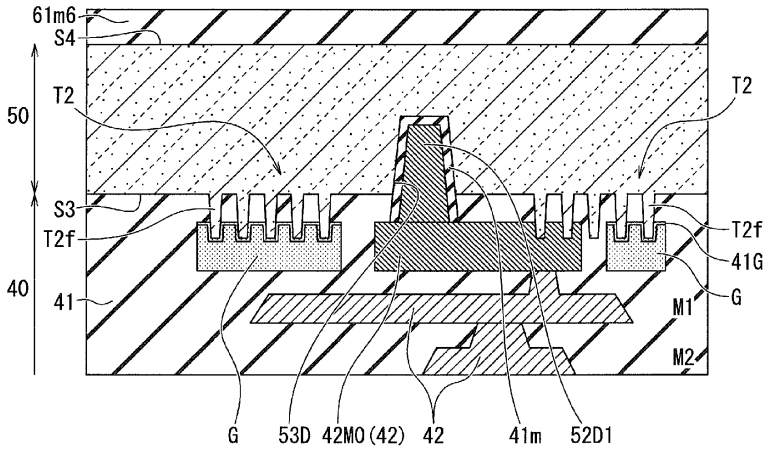
도면90c


50
iso
52D1 (D1a)
52D2 (D2a)
D1ad
D2ad
Y
X
Z

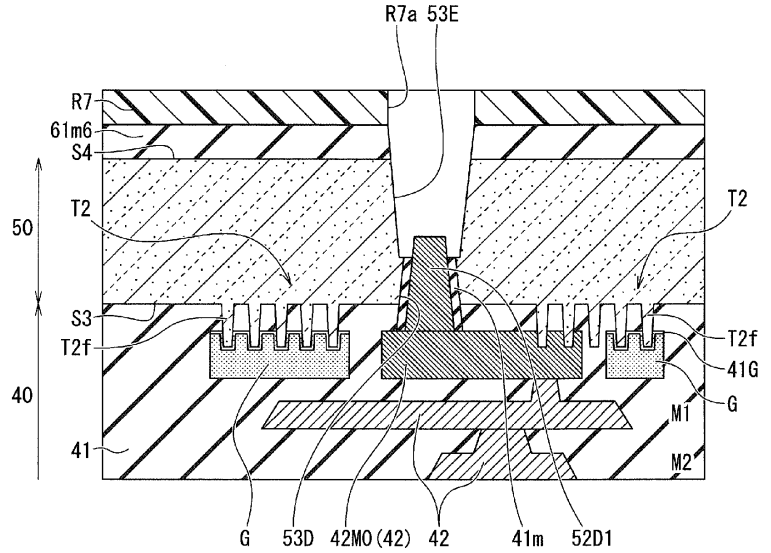
도면91a


50w
40
T2
T2
S3
T2f
T2f
41G
41
G
M1
M2
G
53D
42M0 (42)
42
41m
52D1

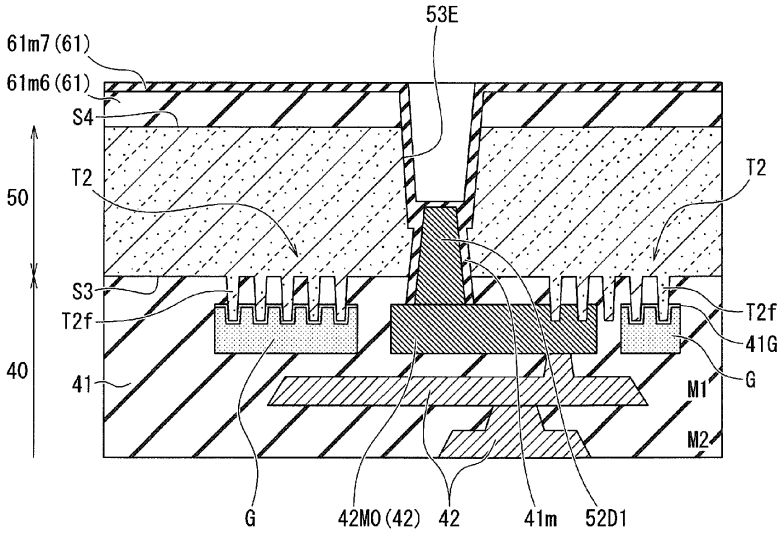
도면91b


61m6
S4
T2
50
T2
S3
T2f
T2f
41G
40
41
G
M1
M2
G
53D
42MO(42)
42
41m
52D1

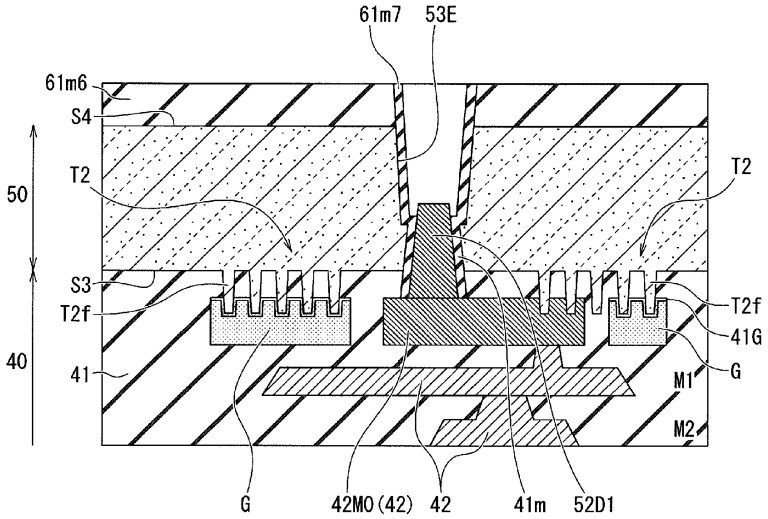
도면91c


R7a
53E
R7
61m6
S4
T2
50
T2
S3
T2f
T2f
41G
40
G
M1
41
M2
G
53D
42MO(42)
42
41m
52D1

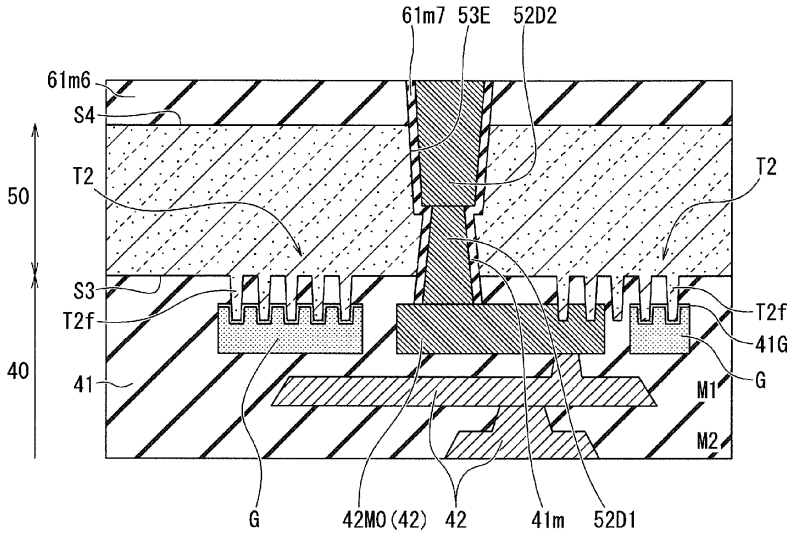
도면91d


61m7(61)
61m6(61)
S4
T2
50
S3
T2f
40
41
G
42M0(42)
42
41m
52D1
53E
T2
T2f
41G
G
M1
M2

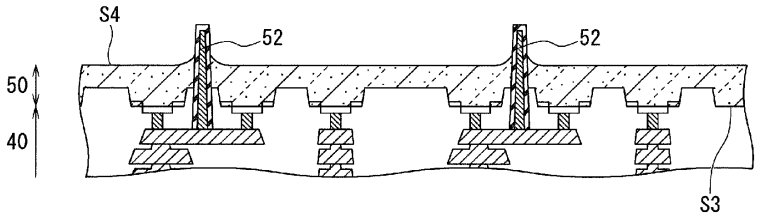
도면91e


61m7
53E
61m6
S4
T2
50
S3
T2f
40
41
G
42M0(42)
42
41m
52D1
T2
T2f
41G
G
M1
M2

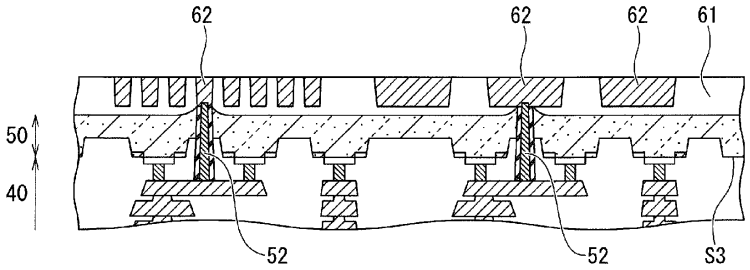
도면91f



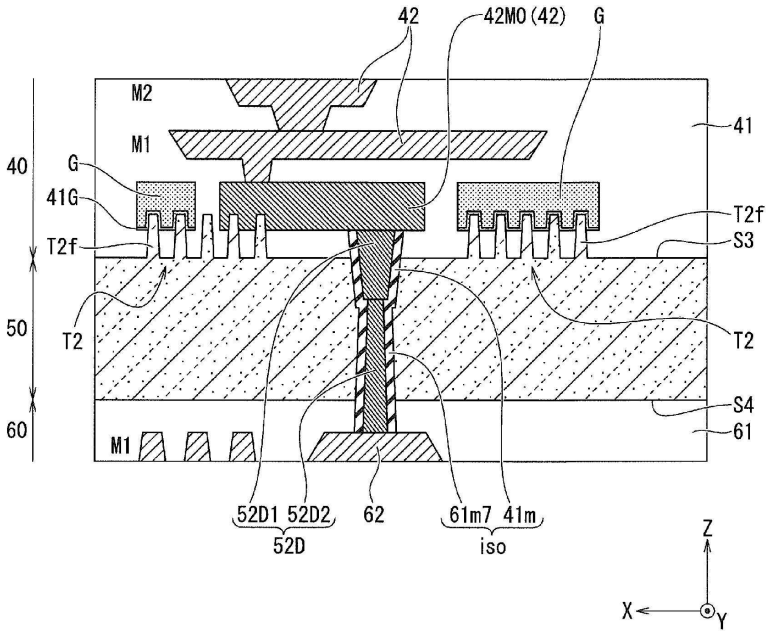
도면92a



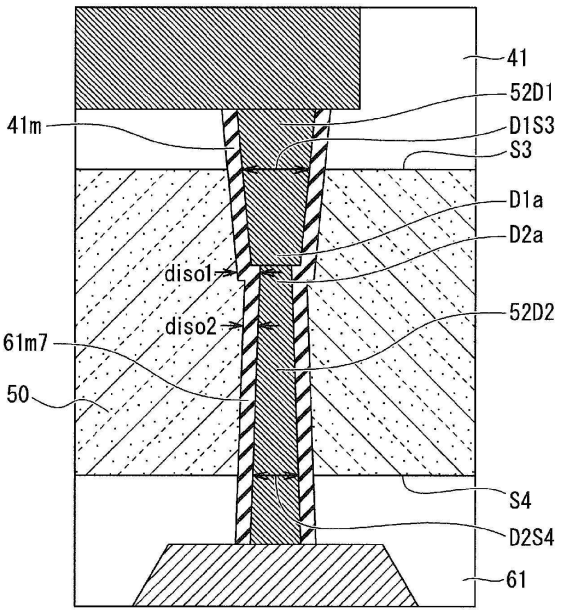
도면92b



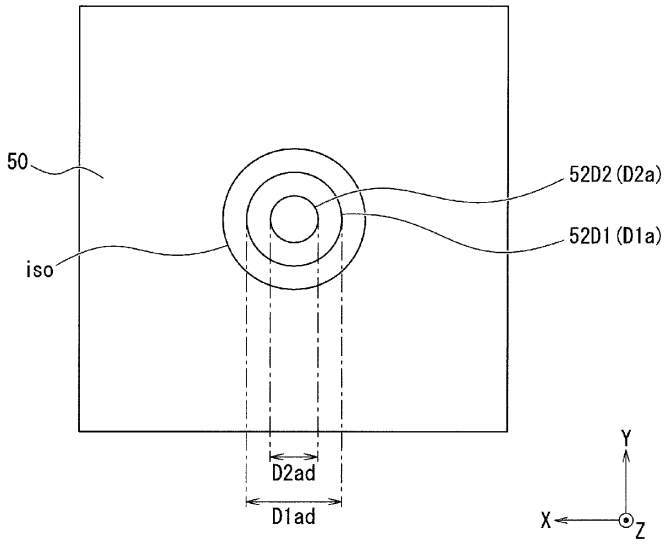
도면93a


42
42MO(42)
G
M2
M1
41
40
G
41G
T2f
S3
T2f
50
T2
T2
S4
60
61
M1
52D1 52D2
52D
62
61m7 41m
iso
Z
X
Y

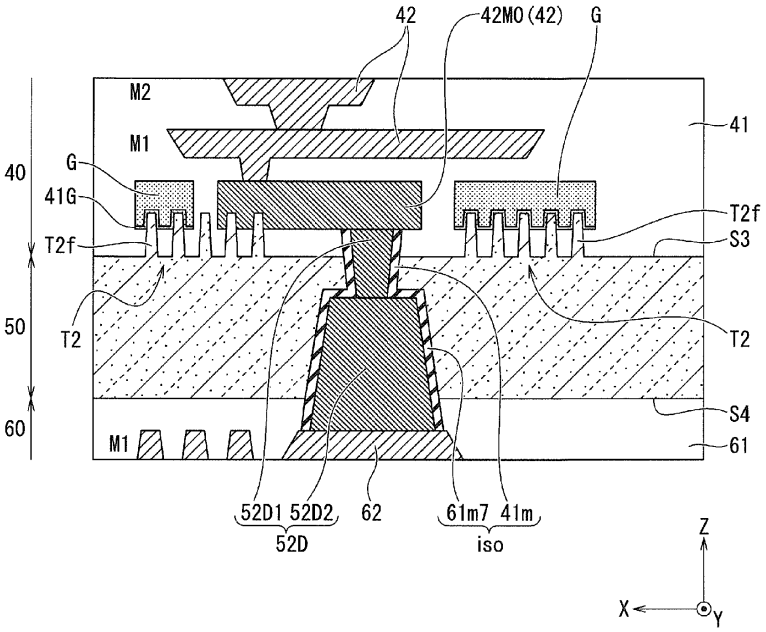
도면93b


41
52D1
41m
D1S3
S3
D1a
D2a
disol
52D2
diso2
61m7
50
S4
D2S4
61

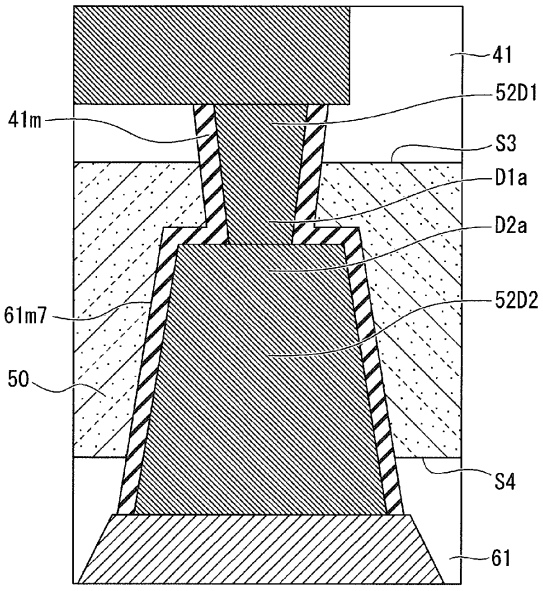
도면93c


50
iso
52D2 (D2a)
52D1 (D1a)
D2ad
D1ad
Y
X
Z

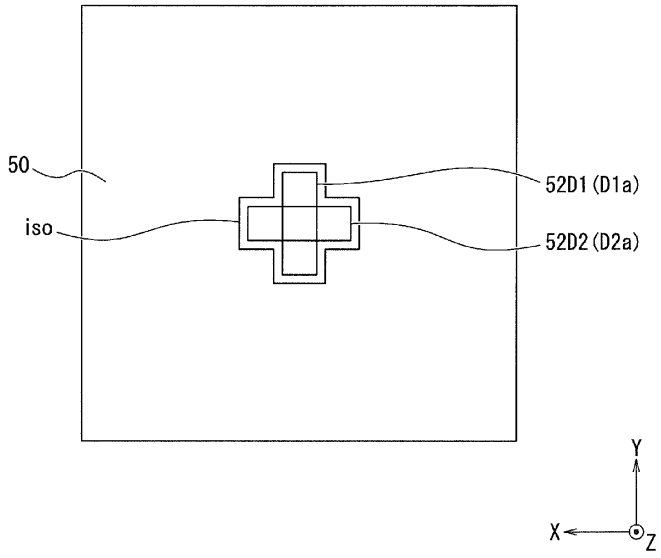
도면94a


42
42M0 (42)
G
M2
M1
41
40
G
41G
T2f
T2f
S3
50
T2
T2
60
S4
M1
61
52D1 52D2
52D
62
61m7 41m
iso
Z
X
Y

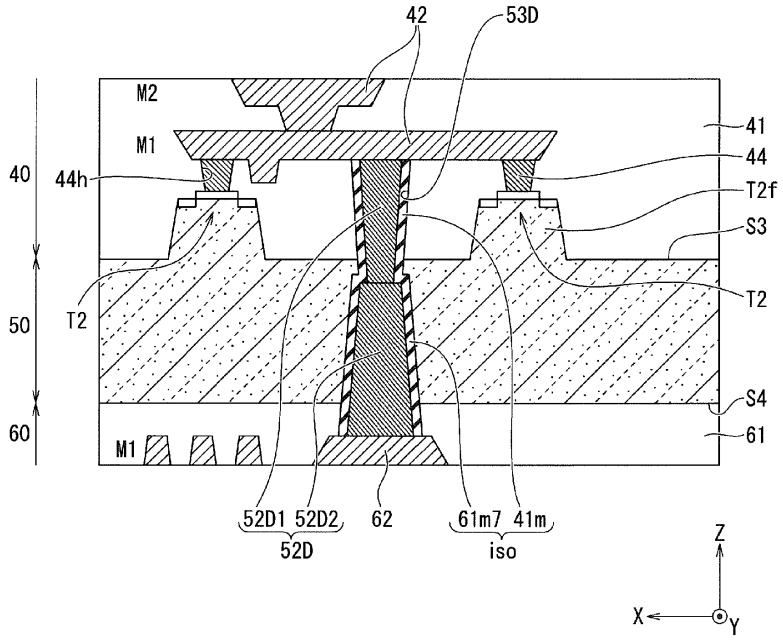
도면94b


41
52D1
41m
S3
D1a
D2a
61m7
52D2
50
S4
61

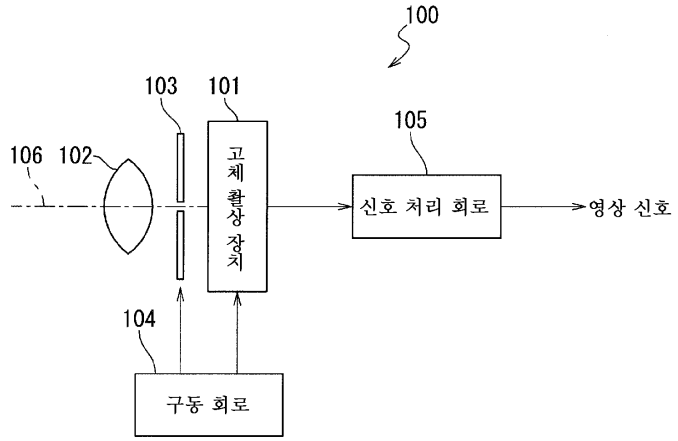
도면94c


50
52D1 (D1a)
iso
52D2 (D2a)
Y
X
Z

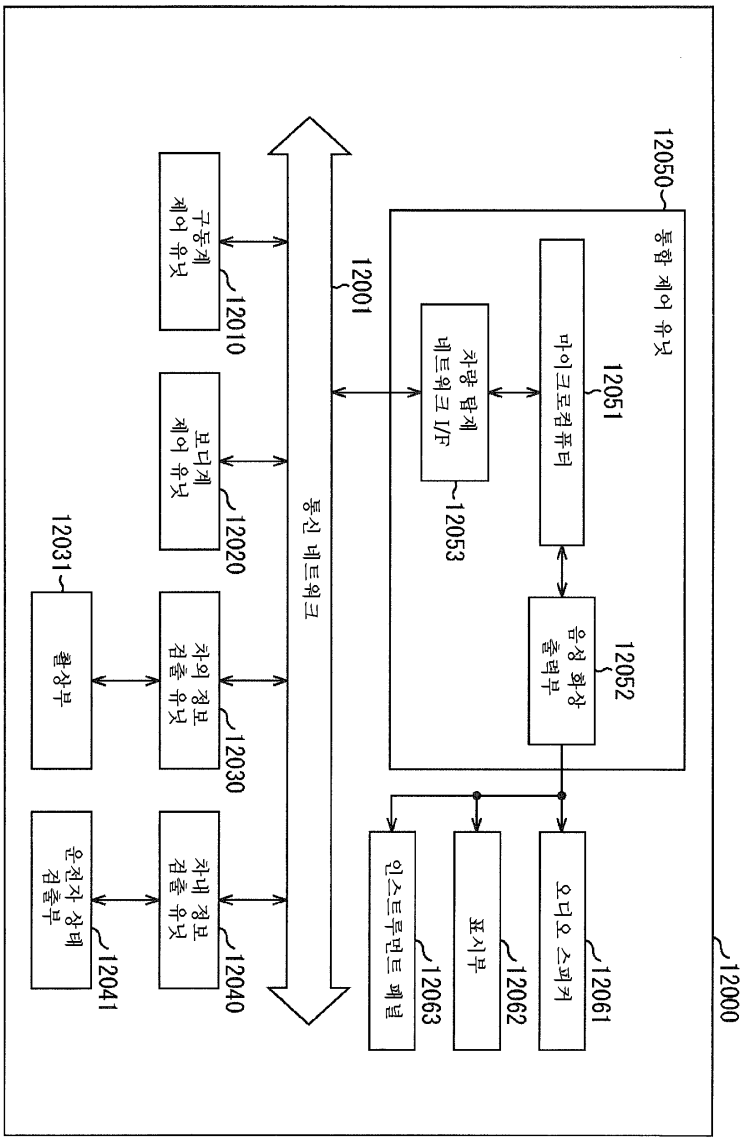
도면95


42
53D
M2
M1
41
44
40
44h
T2f
S3
T2
50
T2
S4
60
61
M1
52D1 52D2
52D
62
61m7 41m
iso
Z
X
Y

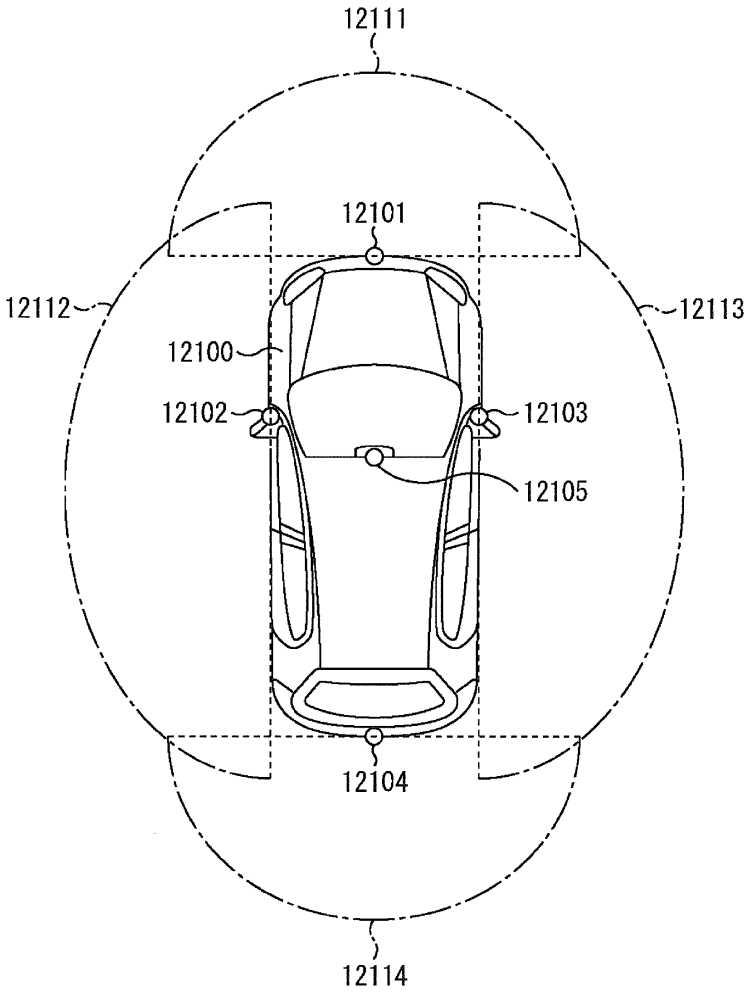
도면96


100
103
101
105
106
102
고체 촬상 장치
신호 처리 회로
영상 신호
104
구동 회로

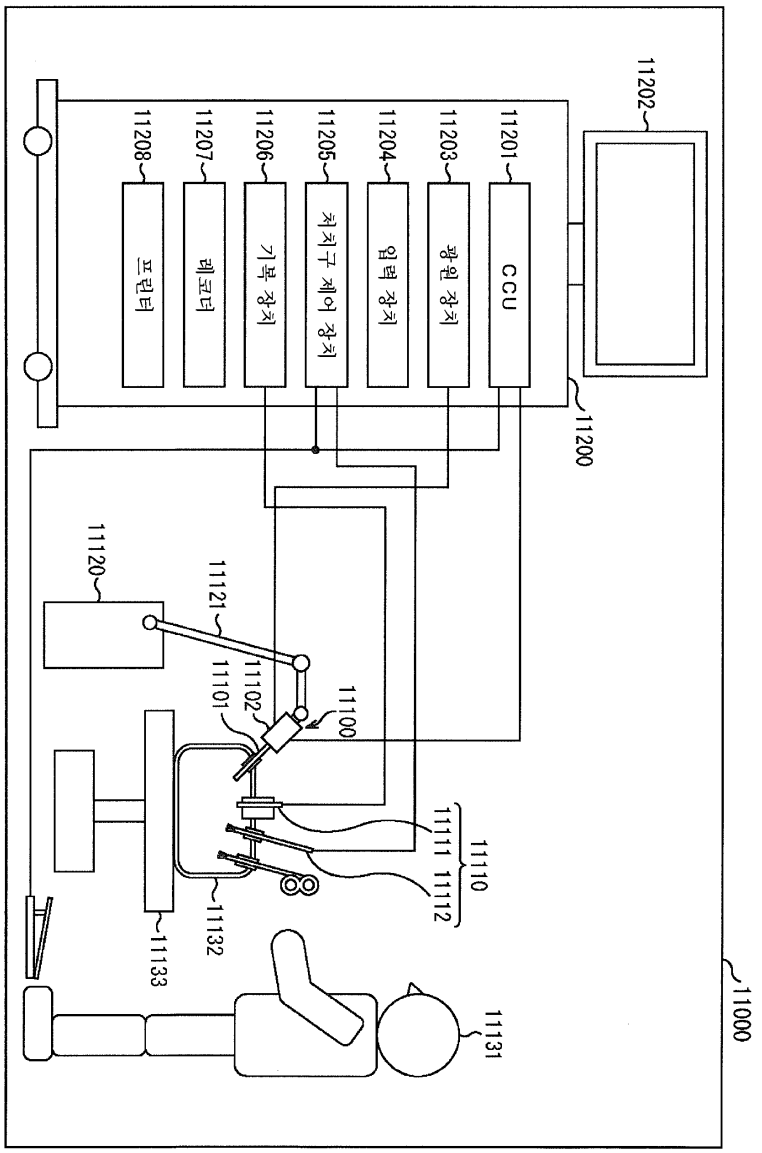
도면97


12000
12050
통합 제어 유닛
12001
12051
마이크로컴퓨터
12052
음성 화상 출력부
12053
차량 탑재 네트워크 I/F
통신 네트워크
12010
구동계 제어 유닛
12020
보디계 제어 유닛
12030
차외 정보 검출 유닛
12040
차내 정보 검출 유닛
12031
활상부
12041
운전자 상태 검출부
12061
오디오 스피커
12062
표시부
12063
인스트루먼트 패널

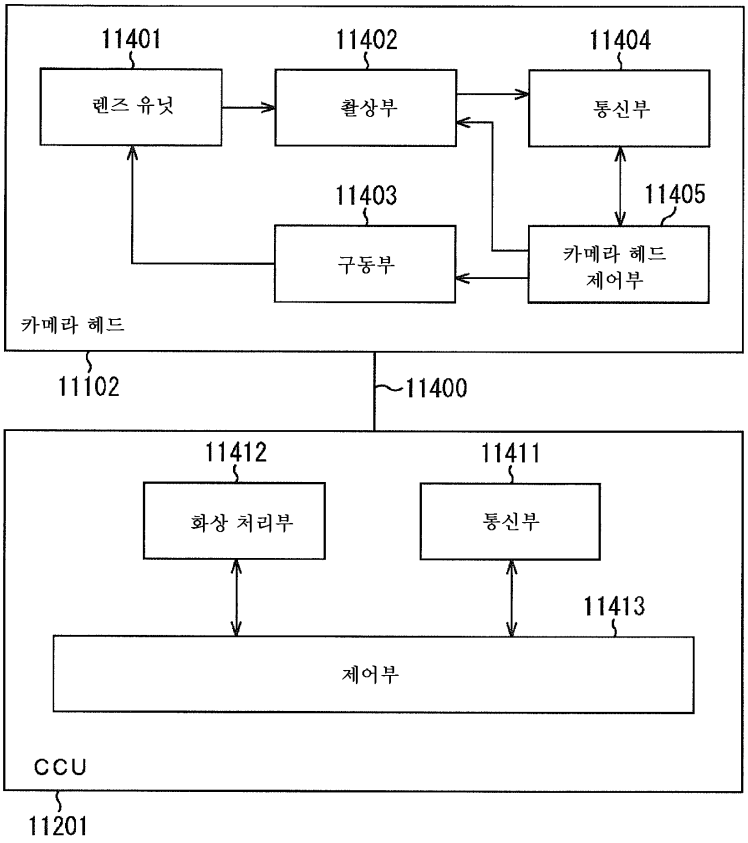
도면98


12111
12101
12112
12113
12100
12102
12103
12105
12104
12114

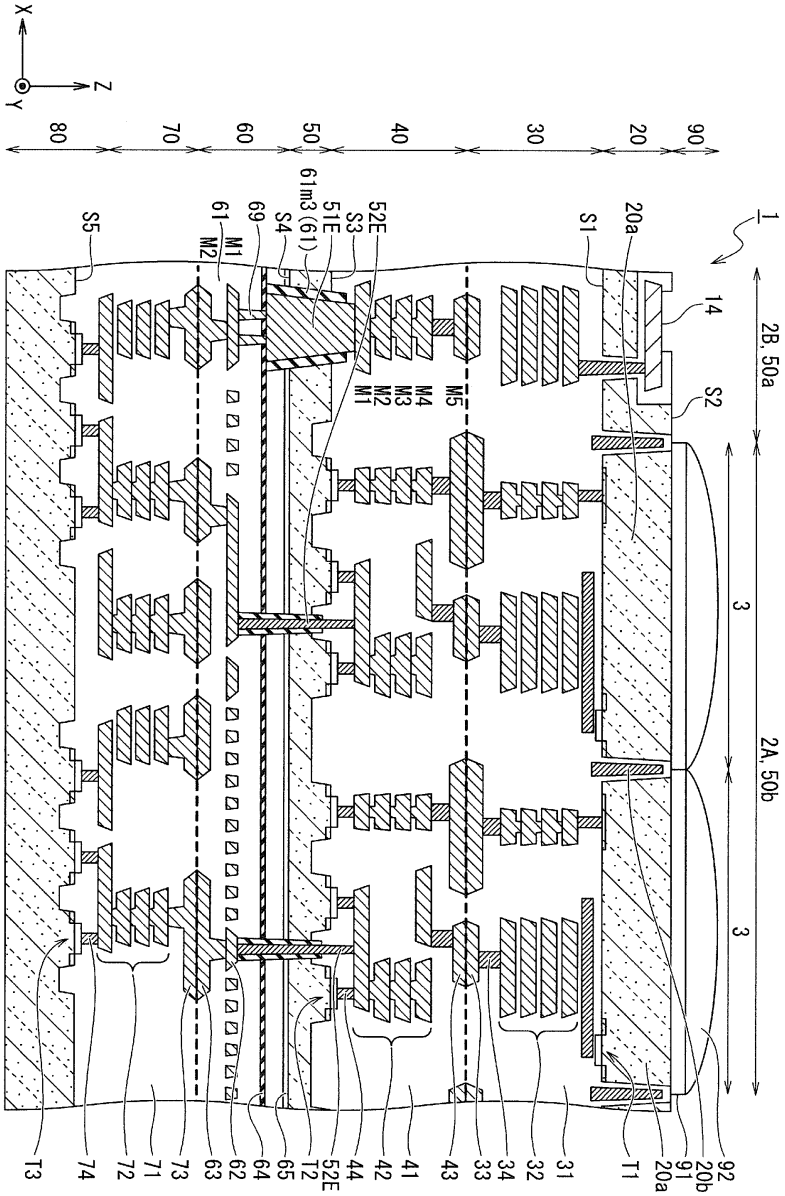
도면99


11202
11201
CCU
11203
광원 장치
11204
입력 장치
11205
처치구 제어 장치
11206
기복 장치
11207
레코더
11208
프린터
11200
11120
11121
11101
11102
11100
11111
11112
11110
11132
11133
11131
11000

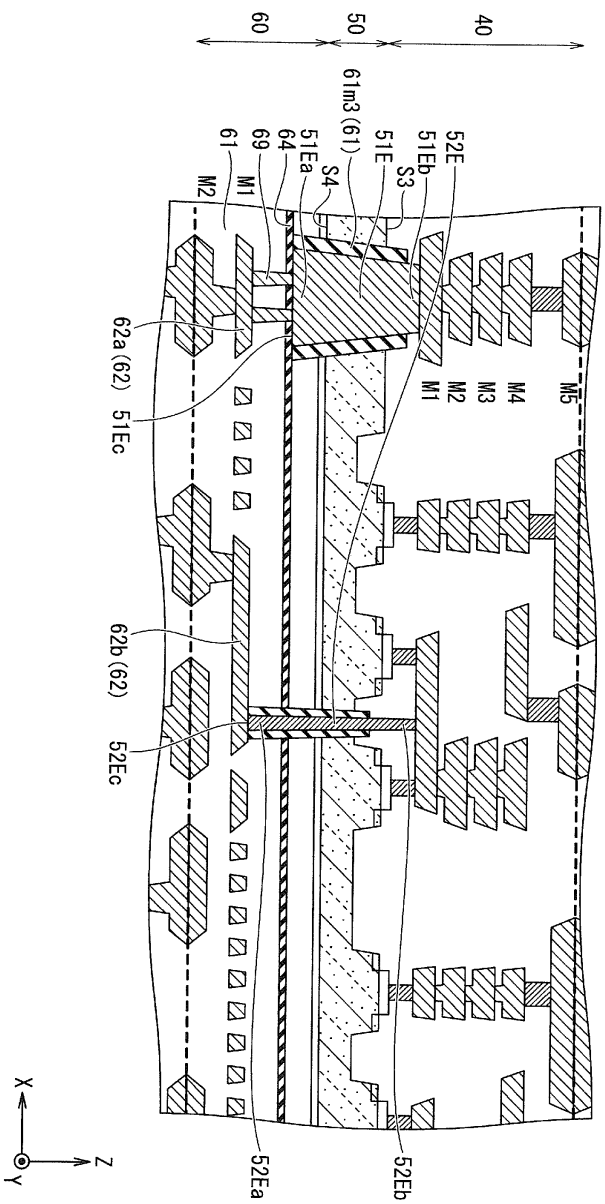
도면100


11401
렌즈 유닛
11402
촬상부
11404
통신부
11403
구동부
11405
카메라 헤드 제어부
카메라 헤드
11102
11400
11412
화상 처리부
11411
통신부
11413
제어부
CCU
11201

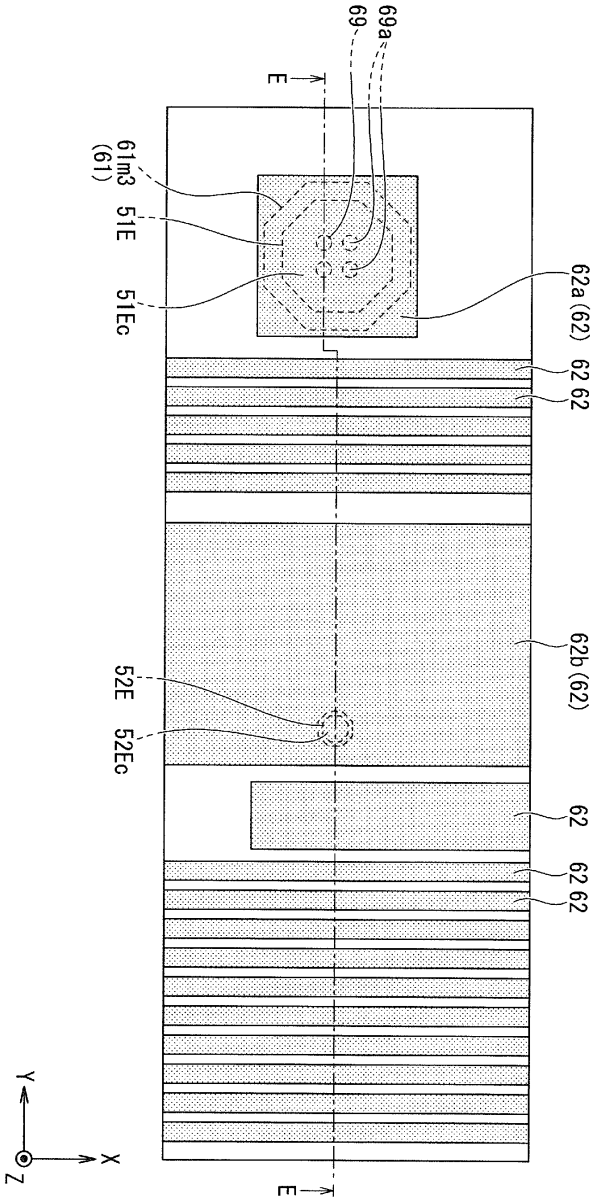
도면101a


X
Z
Y
80
70
60
50
40
30
20
90
S5
61
M1
M2
69
S4
61m3 (61)
51E
S3
52E
M1
M2
M3
M4
M5
S1
20a
14
S2
2B, 50a
3
2A, 50b
3
T3
74
72
71
73
63
62
64
65
72
52E
44
42
41
43
33
34
32
31
T1
20a
91
20b
92

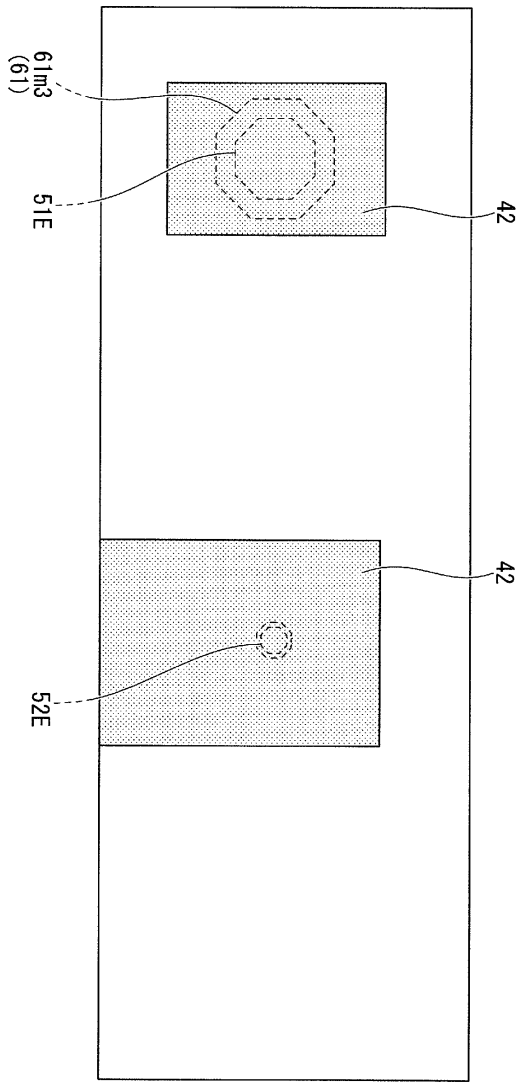
도면101b


60
50
40
61m3 (61)
61
69
64
51Ea
S4
51E
S3
51Eb
52E
M2
M1
M1
M2
M3
M4
M5
62a (62)
51Ec
62b (62)
52Ec
52Ea
52Eb
X
Z
Y

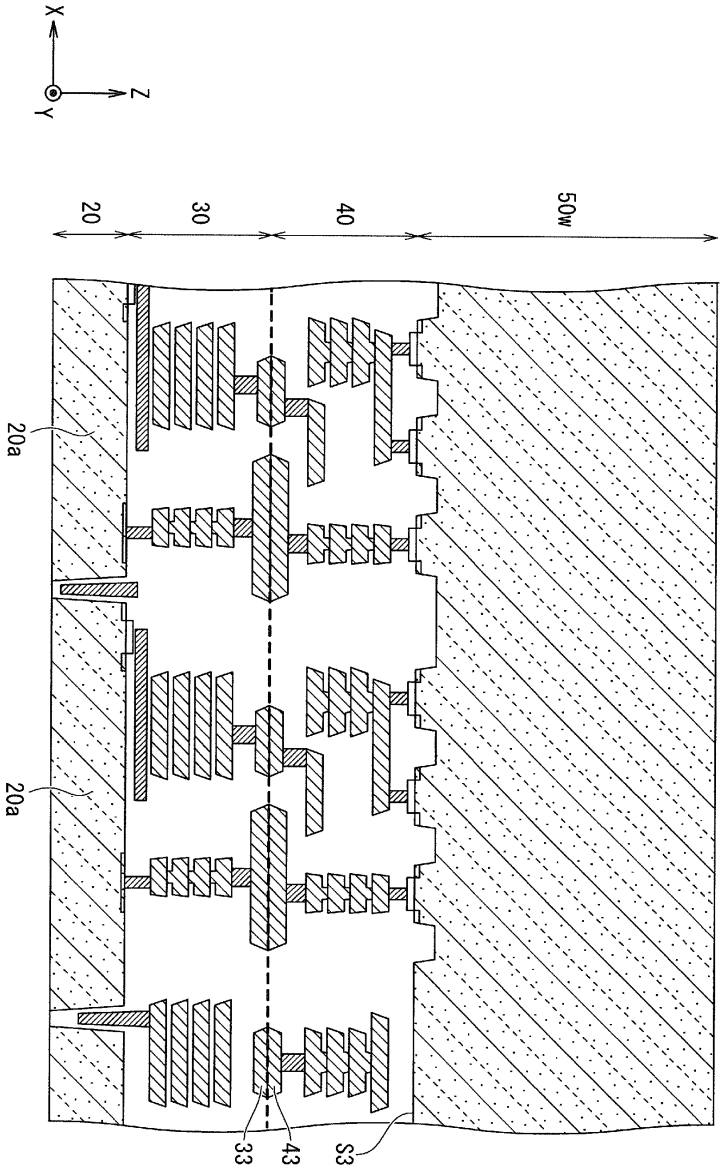
도면101c


69
69a
E
61m3
(61)
51E
51Ec
62a (62)
62
62
62b (62)
52E
52Ec
62
62
62
E
Y
X
Z

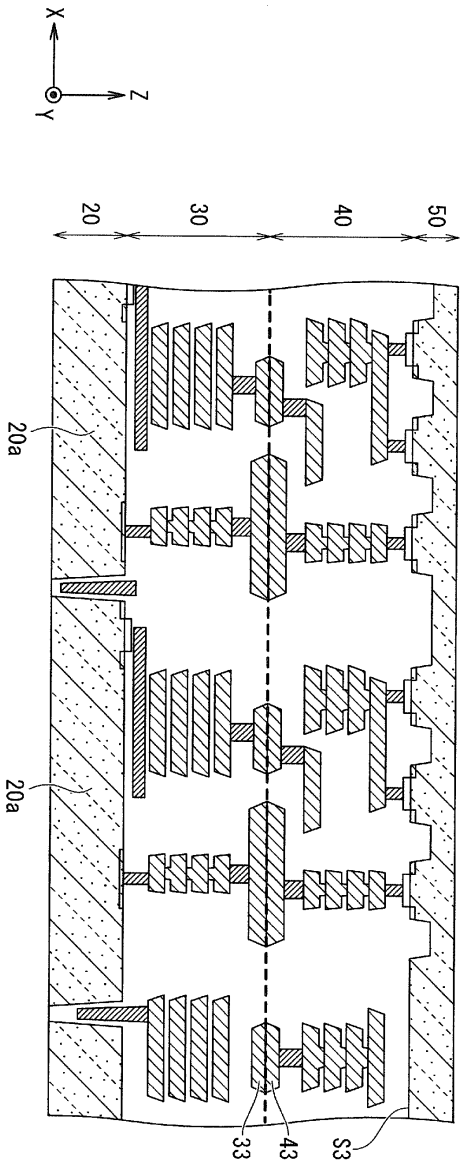
도면101d



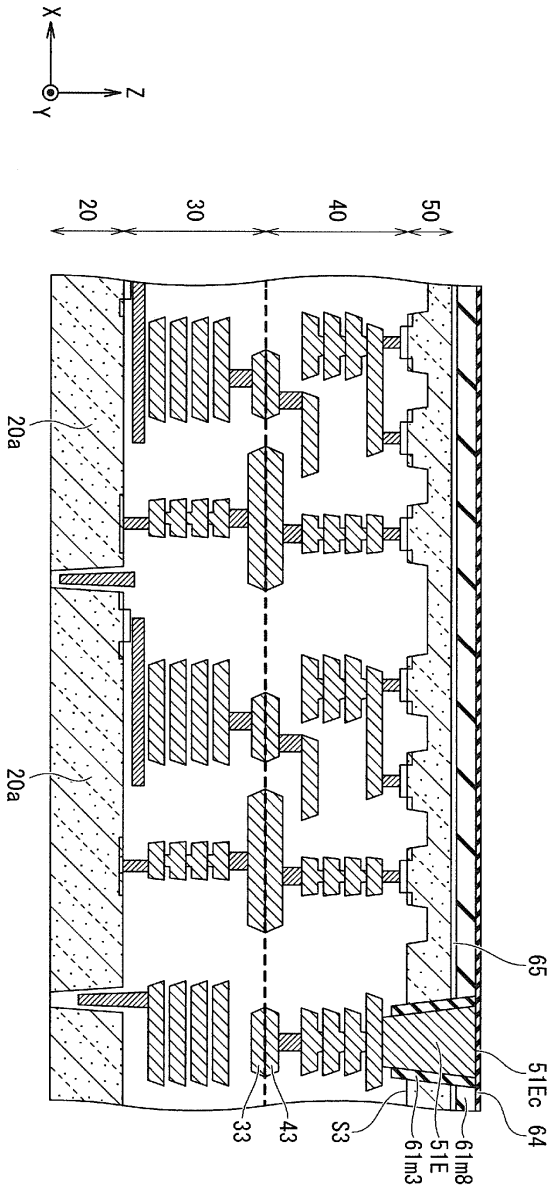
도면102a



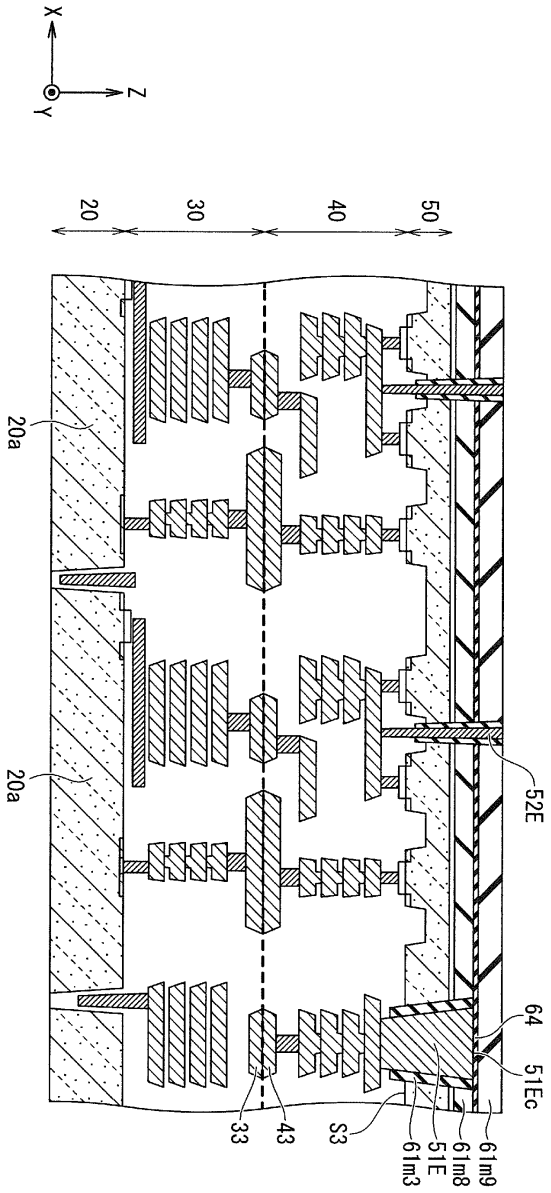
도면102b



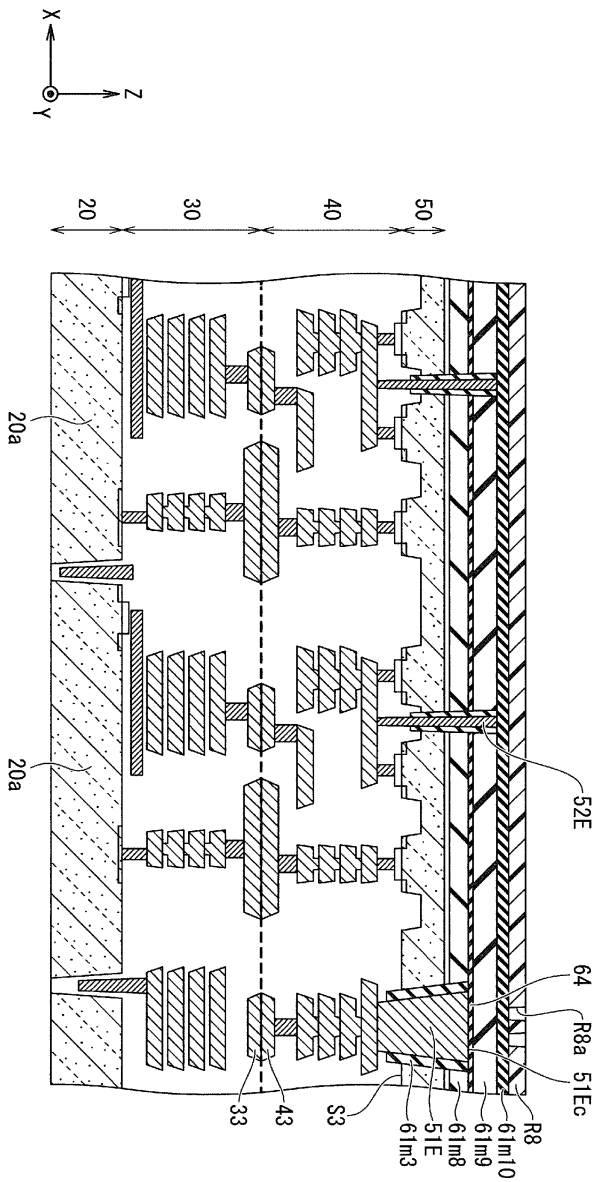
도면102c



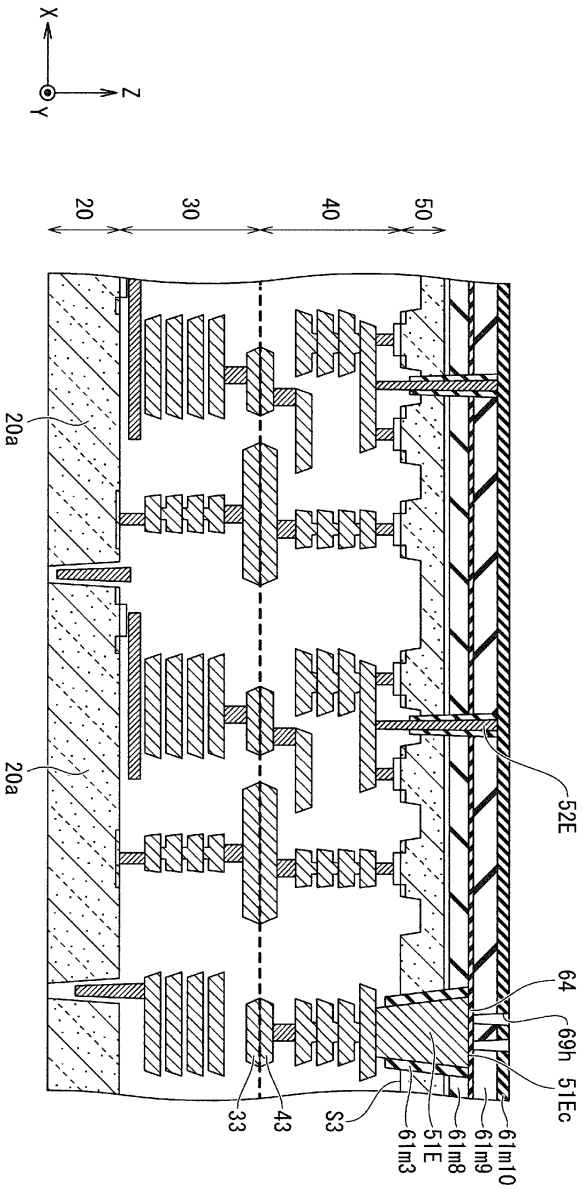
도면102d



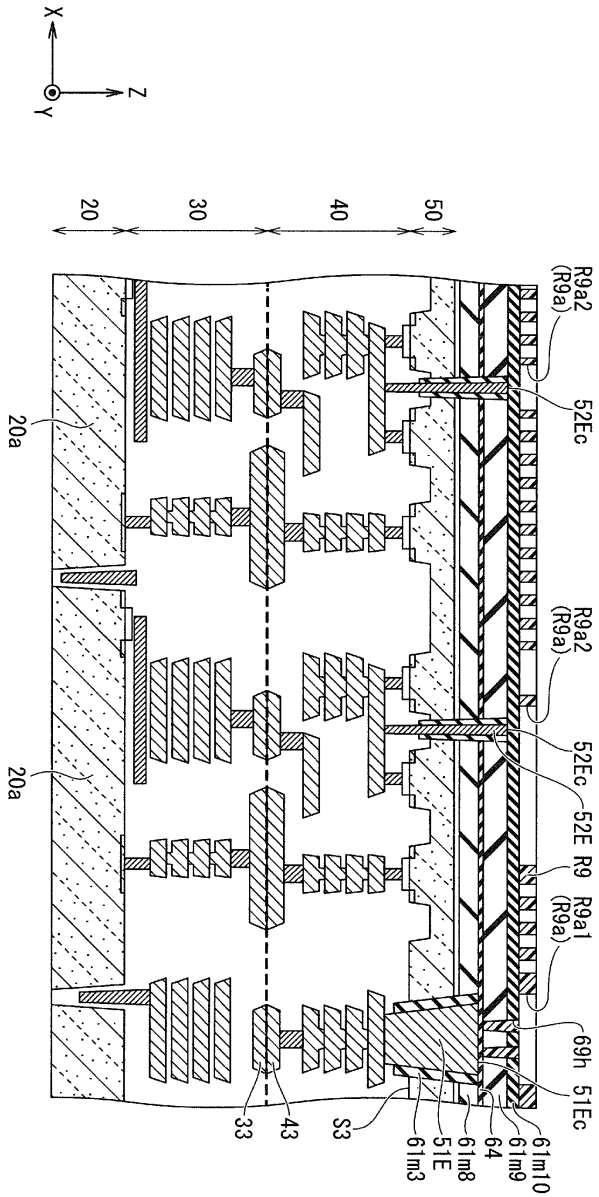
도면102e


X
Z
Y
20
30
40
50
20a
20a
52E
64
R8a
51Ec
R8
61m10
61m9
61m8
51E
61m3
S3
43
33

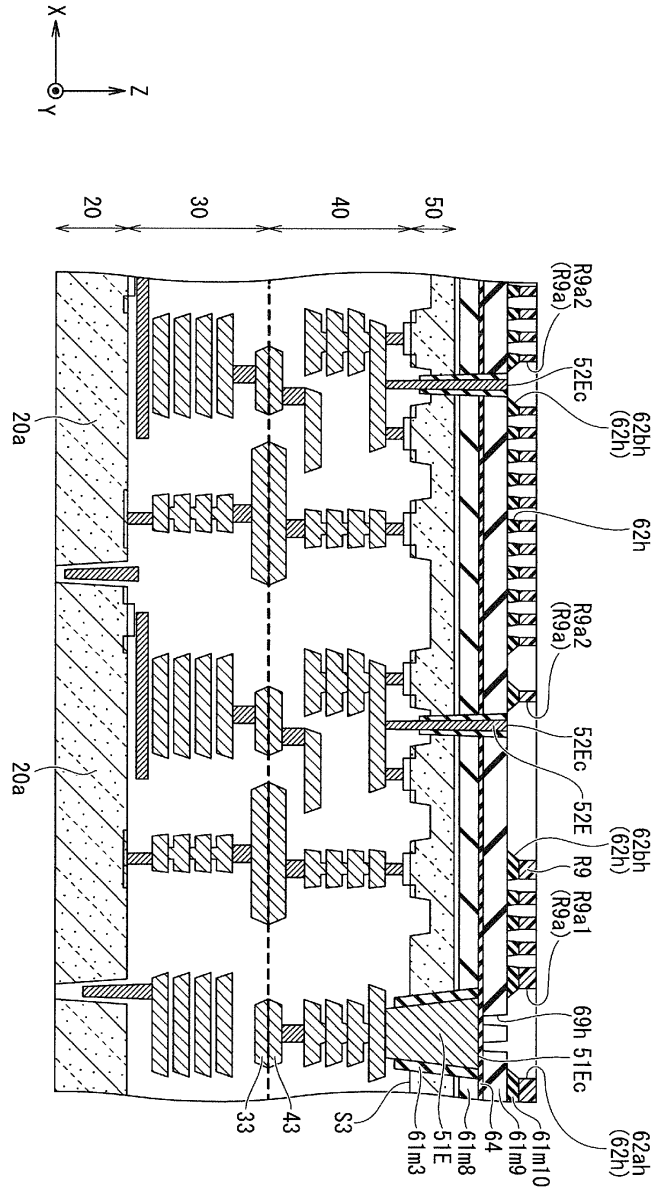
도면102f


X
Z
Y
20
30
40
50
20a
20a
52E
64
69h
51Ec
33
43
S3
61m3
51E
61m8
61m9
61m10

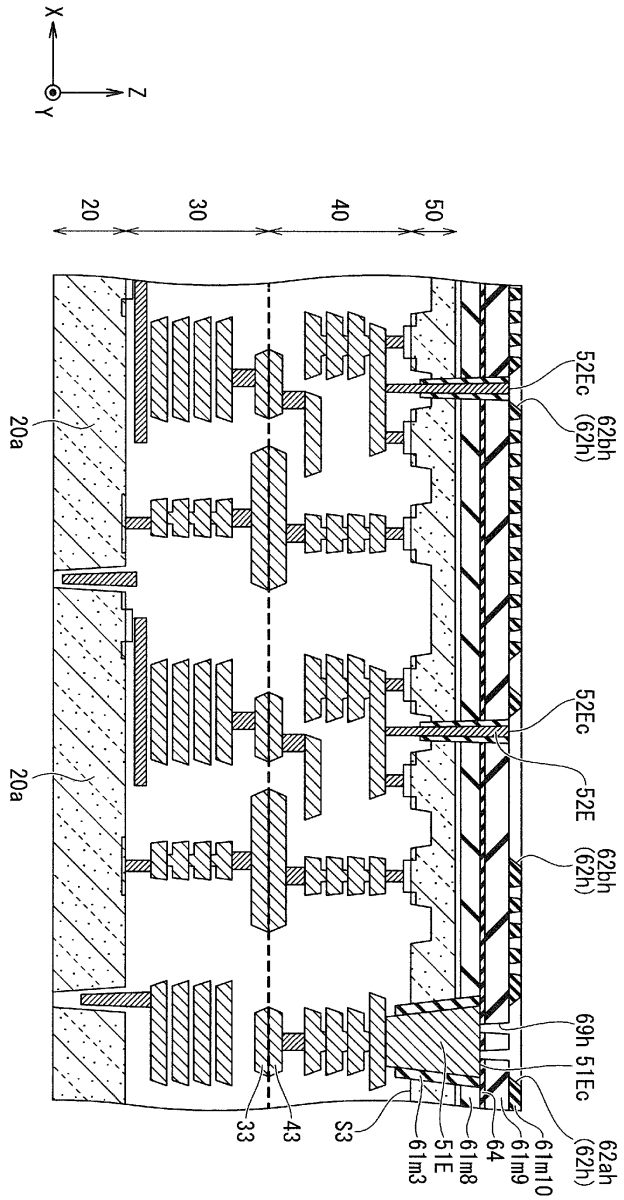
도면102g


X
Z
Y
20
30
40
50
R9a2
(R9a)
52Ec
20a
R9a2
(R9a)
52Ec
52E
R9
R9a1
(R9a)
20a
69h
51Ec
33
43
S3
61m3
51E
61m8
64
61m9
61m10

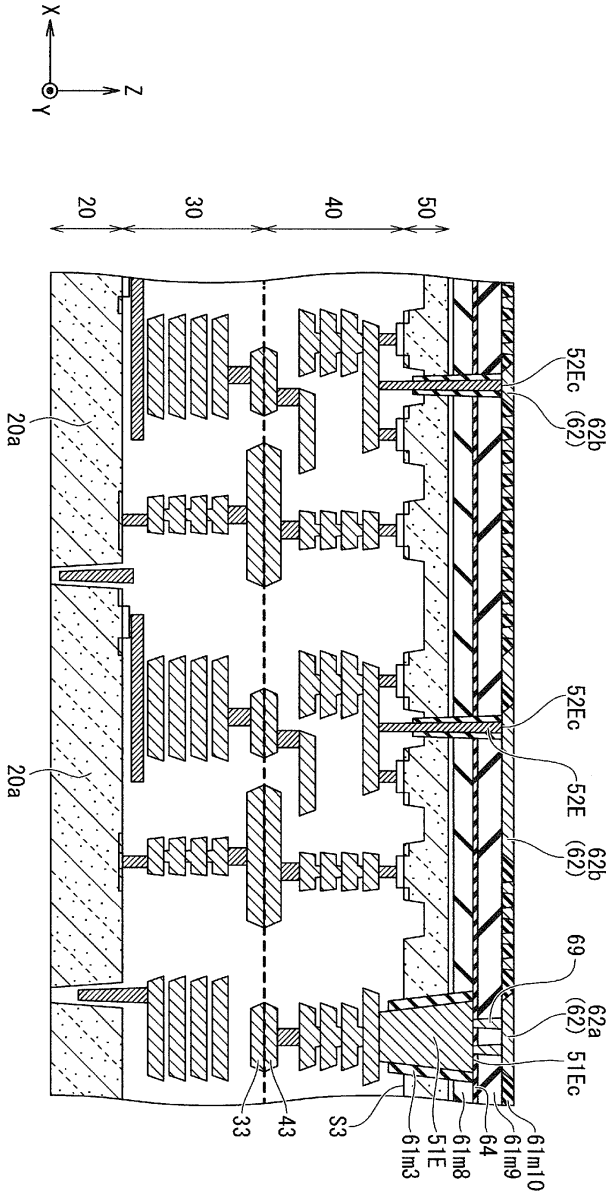
도면102h


X
Z
Y
20
30
40
50
R9a2
(R9a)
52Ec
62bh
(62h)
62h
20a
R9a2
(R9a)
52Ec
52E
R9
62bh
(62h)
R9a1
(R9a)
69h
51Ec
62ah
(62h)
61m10
61m9
64
61m8
51E
61m3
S3
43
33

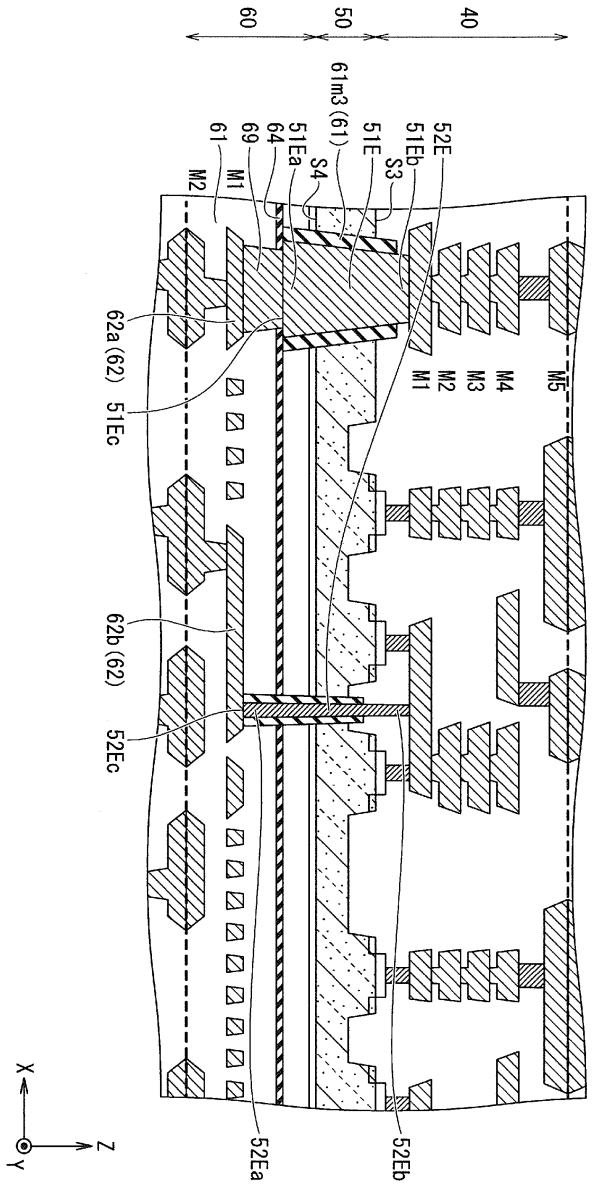
도면102i


X
Z
Y
20
30
40
50
20a
20a
52Ec
62bh
(62h)
52Ec
52E
62bh
(62h)
69h
51Ec
62ah
(62h)
61m10
61m9
64
61m8
51E
61m3
S3
43
33

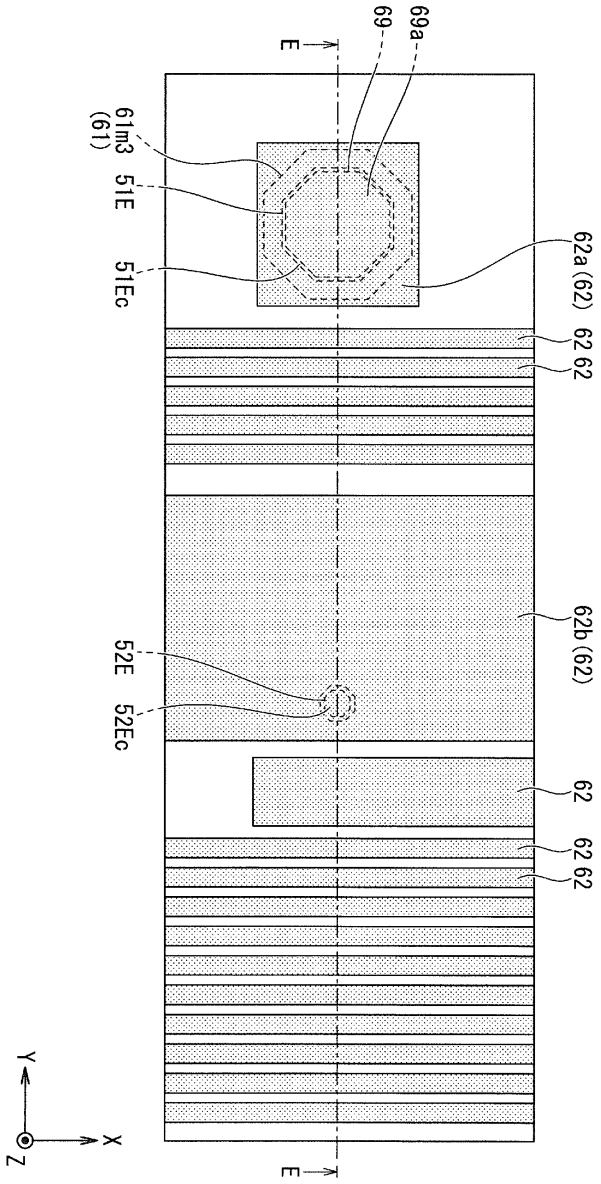
도면102j


X
Z
Y
20
30
40
50
20a
20a
52Ec
62b
(62)
52Ec
52E
62b
(62)
69
62a
(62)
51Ec
33
43
S3
61m3
51E
61m8
64
61m9
61m10

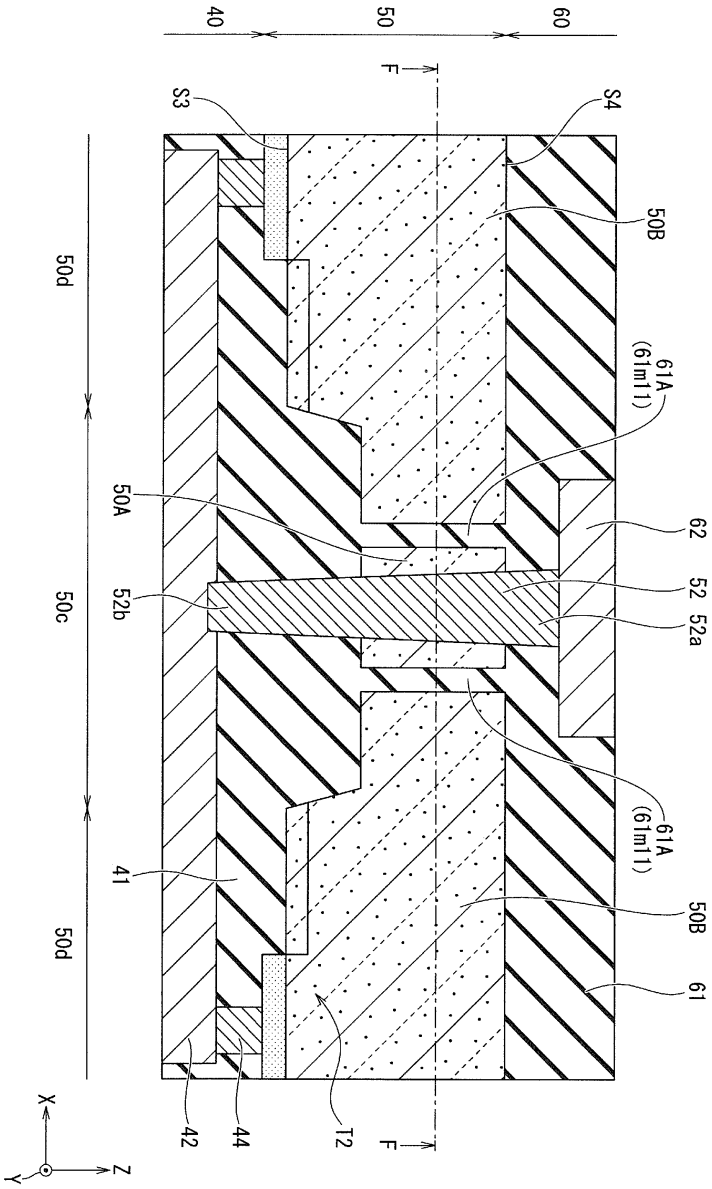
도면103a


60
50
40
61m3 (61)
61
69
64
51Ea
S4
51E
S3
51Eb
52E
M2
M1
M1
M2
M3
M4
M5
62a (62)
51Ec
62b (62)
52Ec
52Ea
52Eb
X
Z
Y

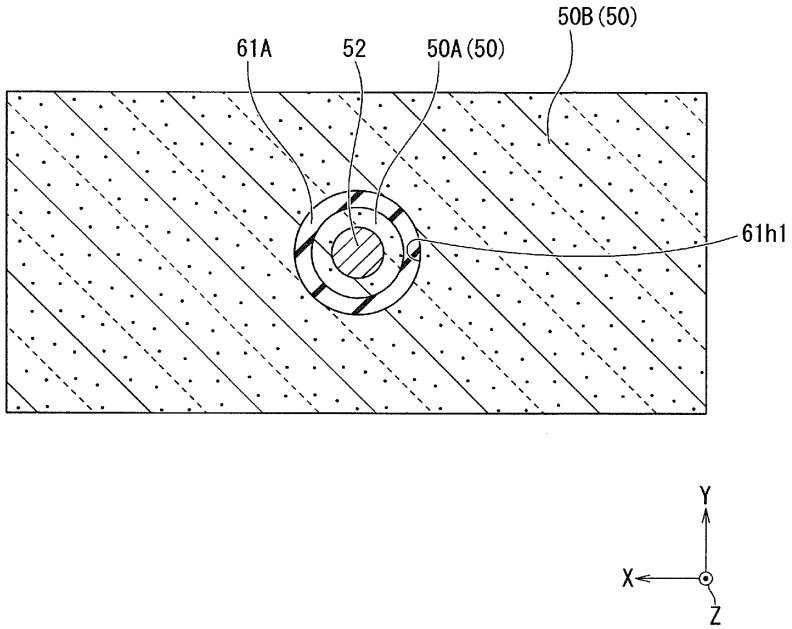
도면103b


E
69
69a
61m3
(61)
51E
51Ec
62a (62)
62
62
62b (62)
52E
52Ec
62
62
62
E
Y
X
Z

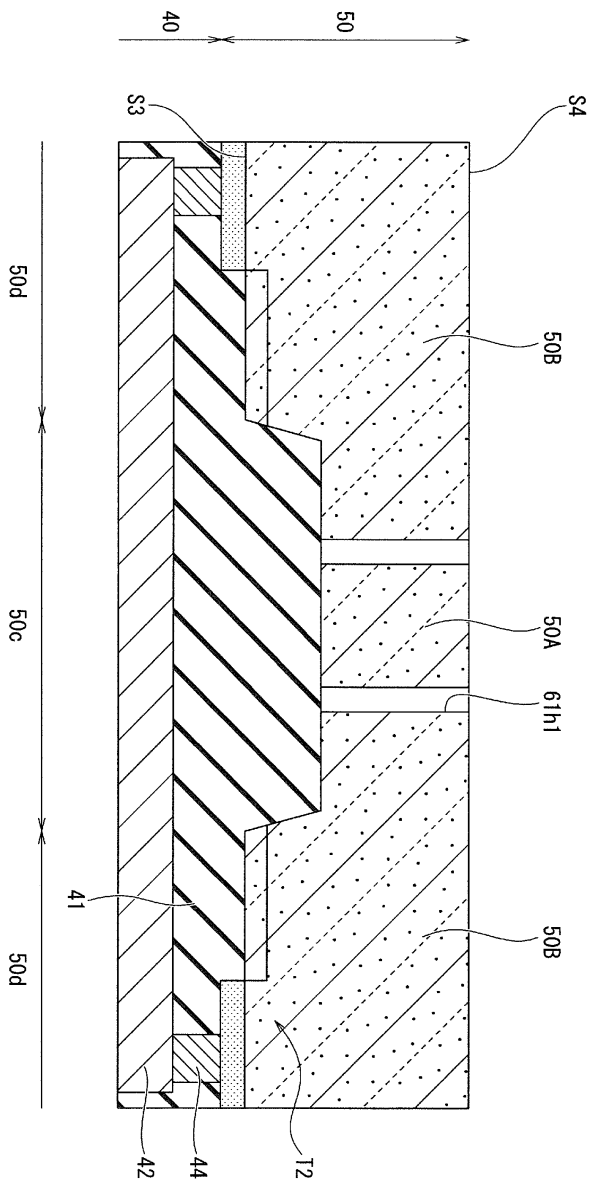
도면104a


40
50
60
F
S3
S4
50B
61A
(61m11)
50d
50A
62
50c
52b
52
52a
61A
(61m11)
41
50B
50d
61
X
Z
Y
42
44
T2
F

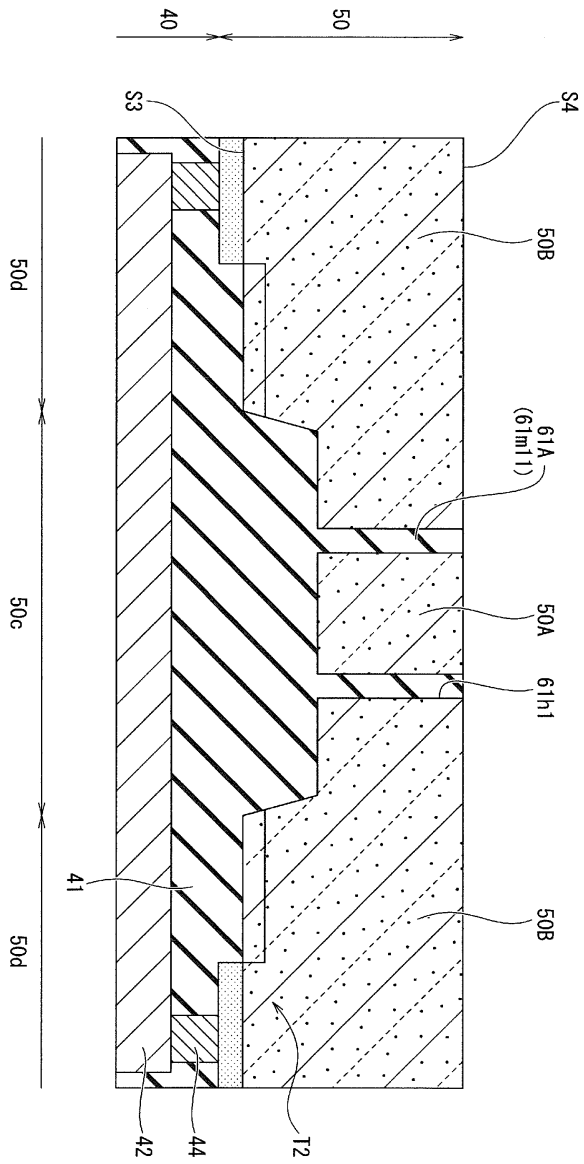
도면104b



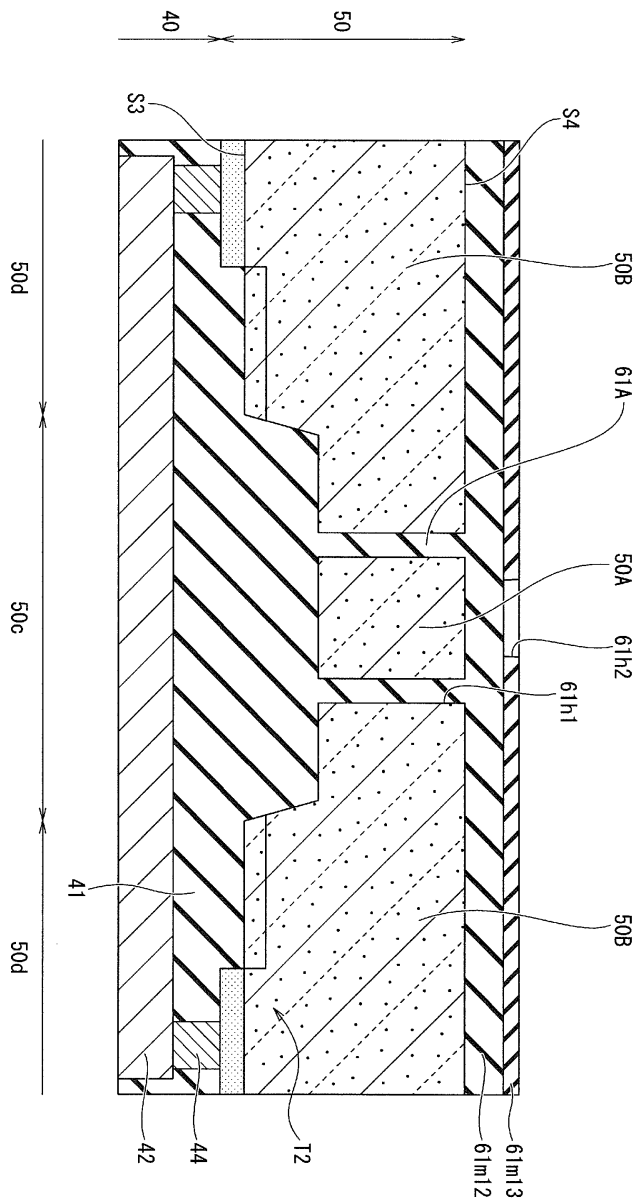
도면105a



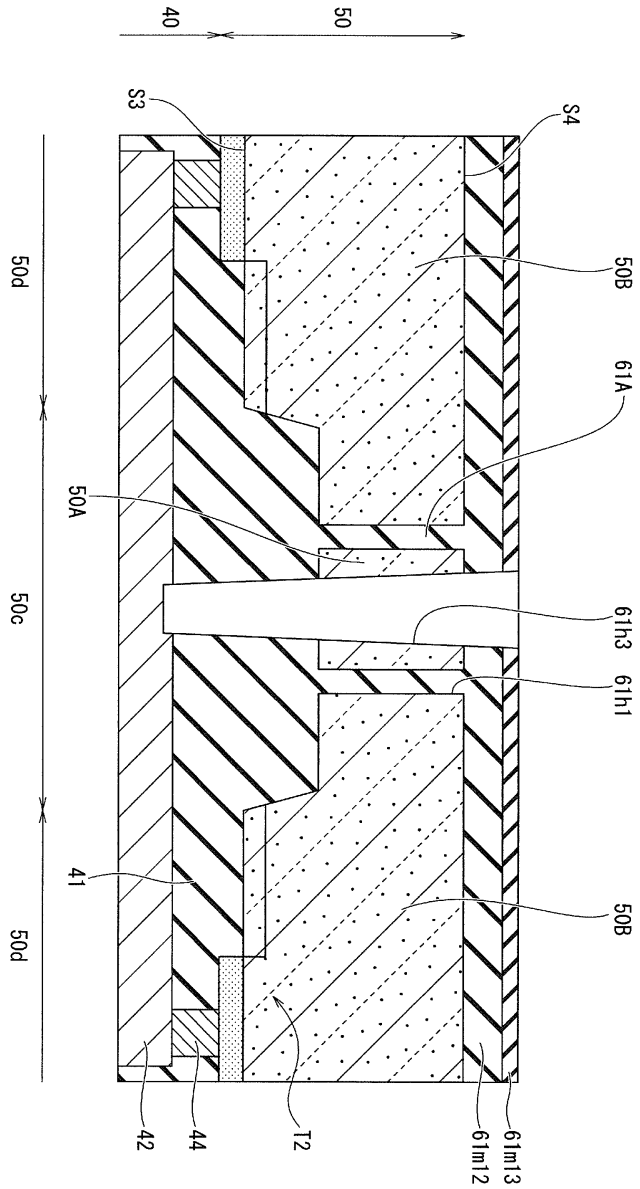
도면105b



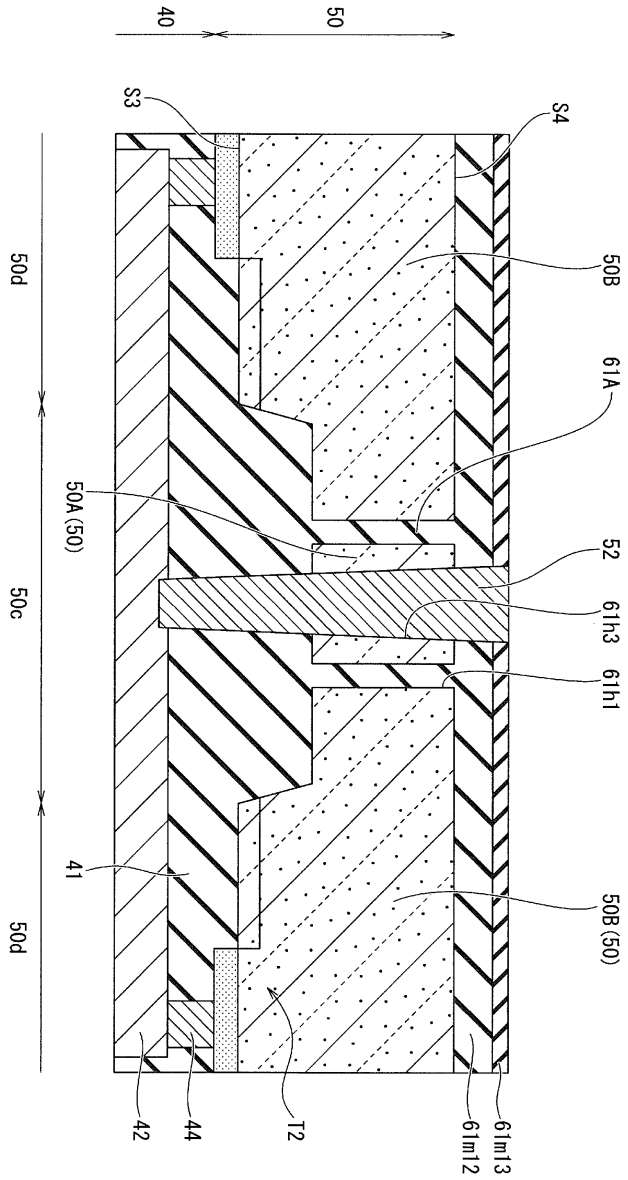
도면105c


40
50
S3
S4
50d
50B
61A
50c
50A
61h2
61h1
41
50B
50d
42
44
T2
61m12
61m13

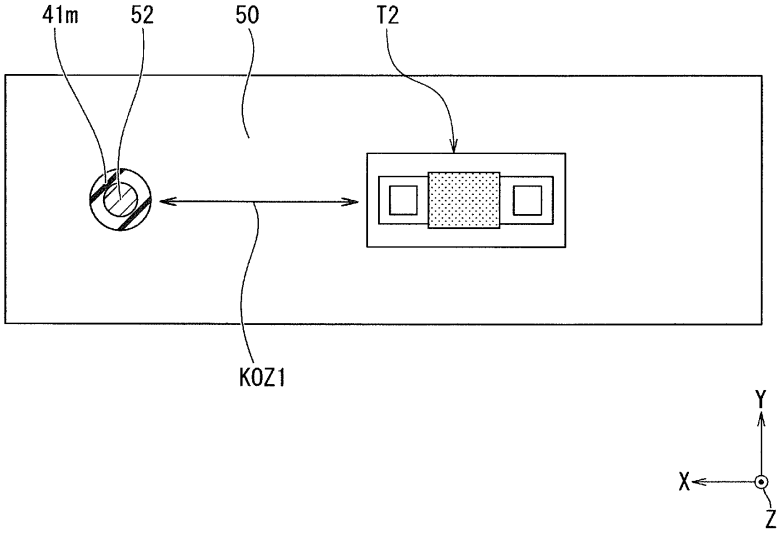
도면105d


40
50
S3
S4
50d
50B
61A
50A
50c
61h3
61h1
41
50B
50d
42
44
T2
61m12
61m13

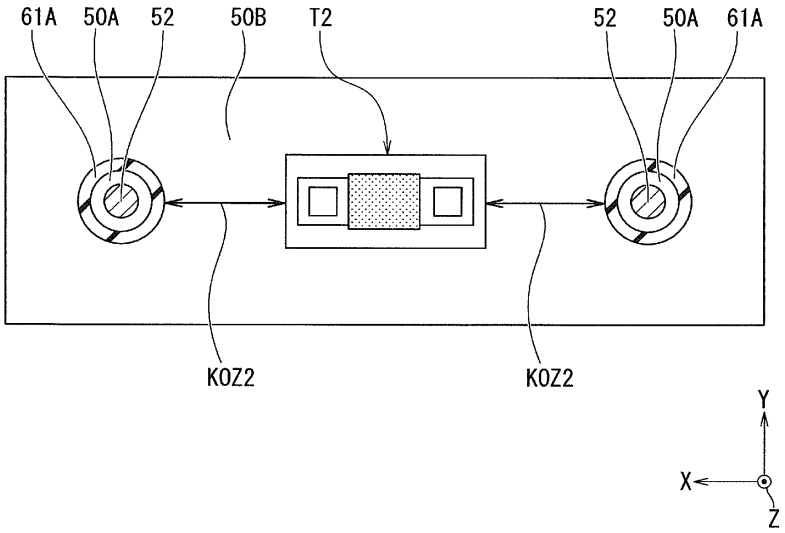
도면105e


40
50
S3
S4
50d
50B
61A
50A (50)
52
50c
61h3
61h1
41
50B (50)
50d
42
44
T2
61m12
61m13

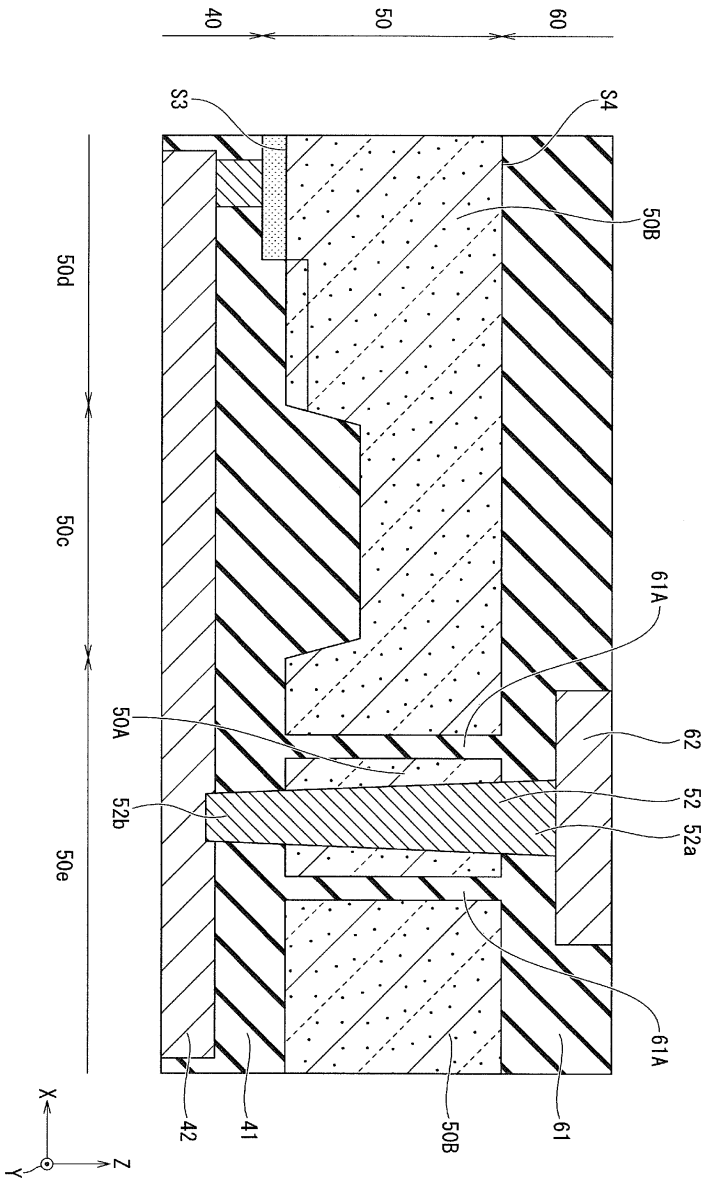
도면106



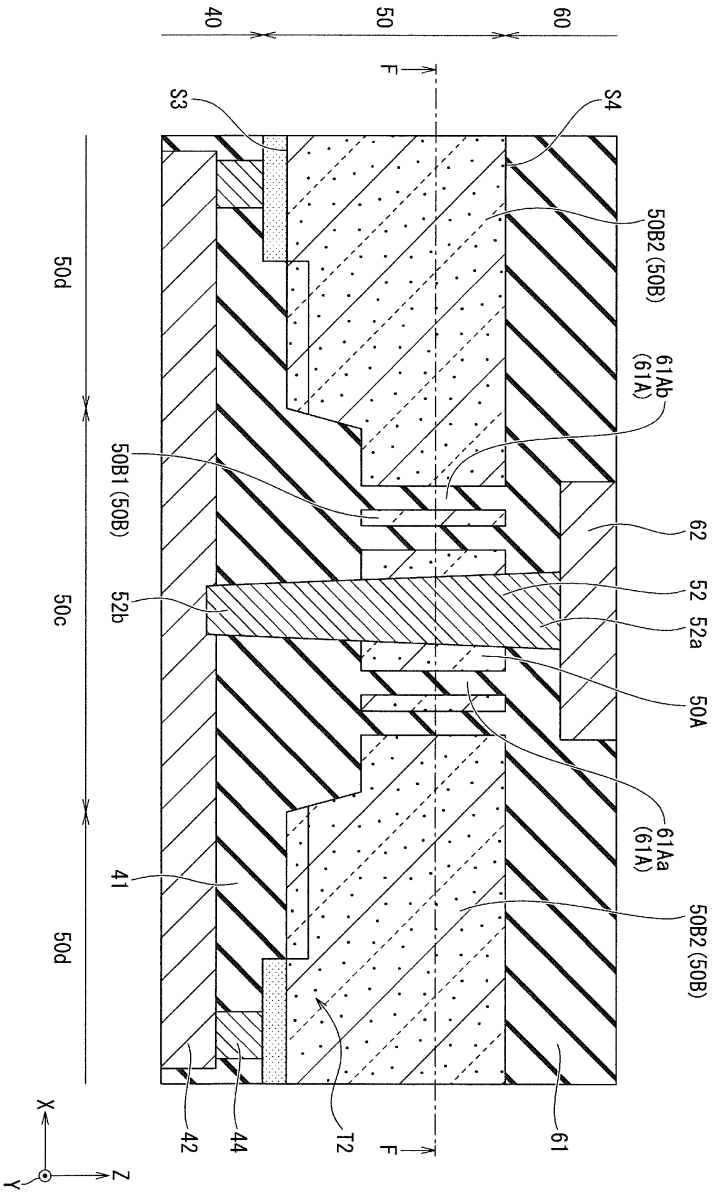
도면107



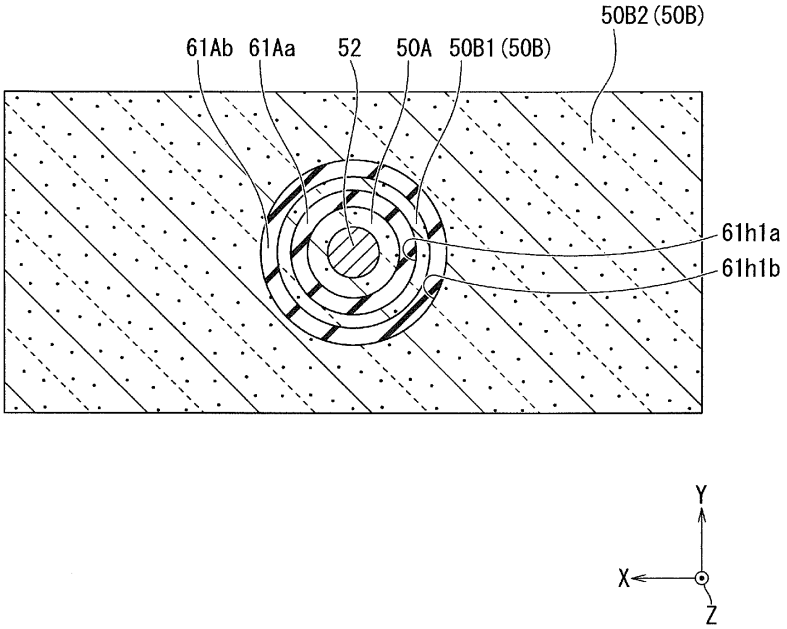
도면108


40
50
60
S3
S4
50B
50d
50c
61A
50A
62
52
52b
52a
50e
61A
42
41
50B
61
X
Z
Y

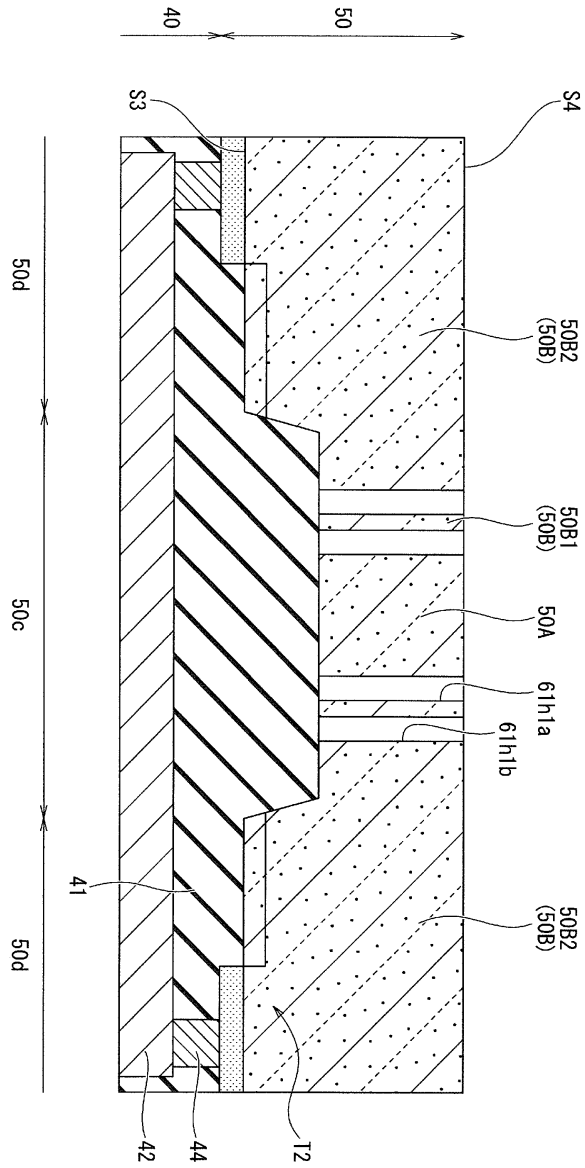
도면109a


40
50
60
F
S3
S4
50B2 (50B)
61Ab (61A)
50d
50B1 (50B)
62
52
52a
50c
52b
50A
61Aa (61A)
41
50B2 (50B)
50d
42
44
T2
F
61
X
Z
Y

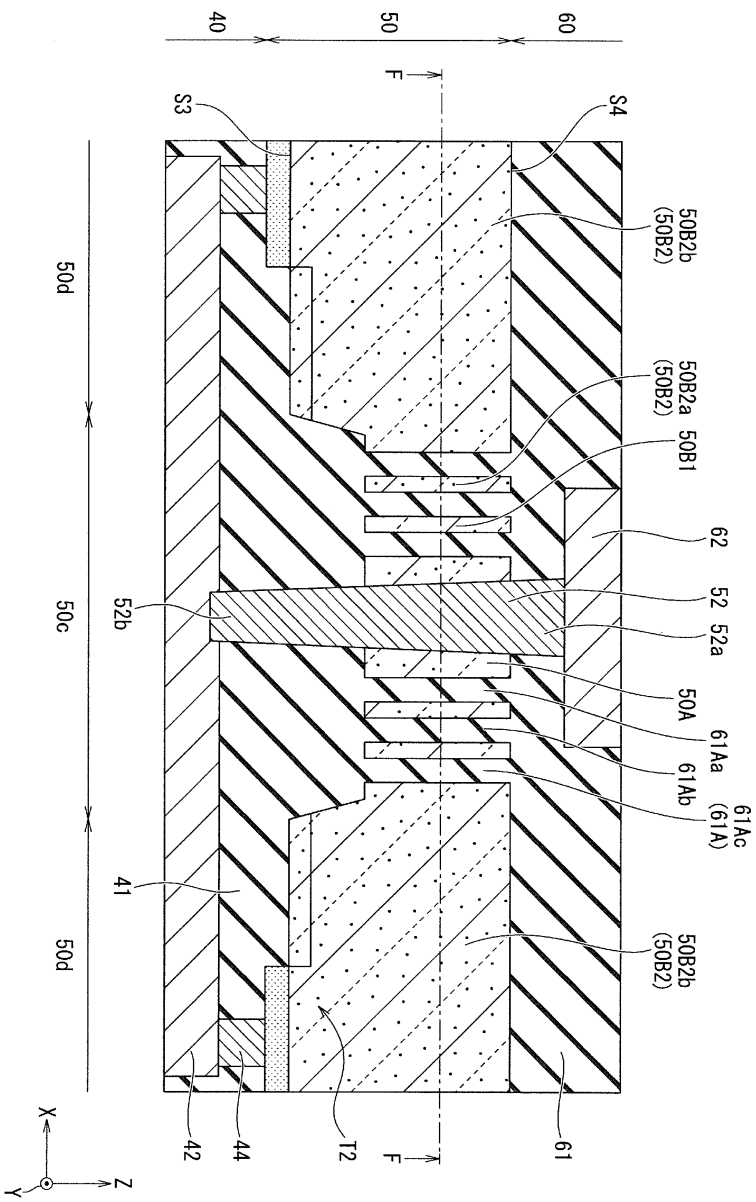
도면109b



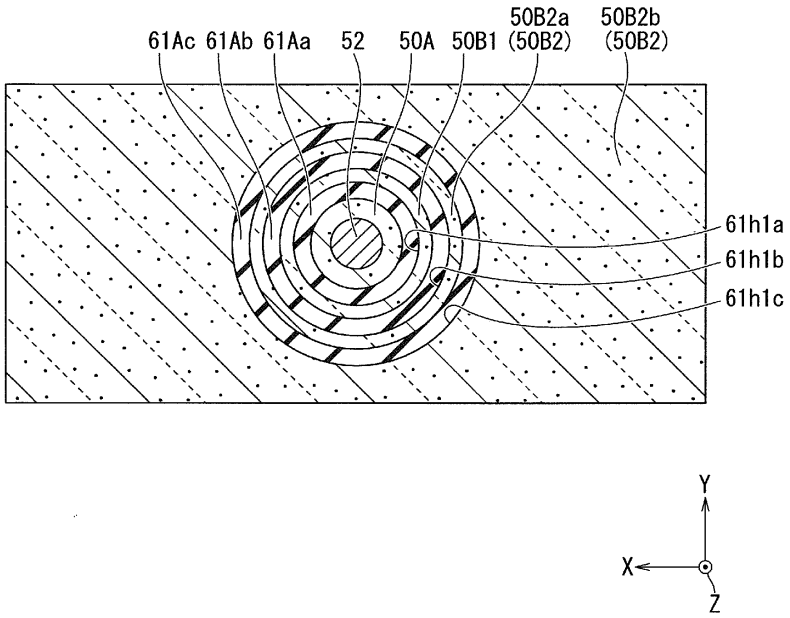
도면110


40
50
S3
S4
50d
50B2
(50B)
50B1
(50B)
50c
50A
61h1a
61h1b
41
50B2
(50B)
50d
42
44
T2

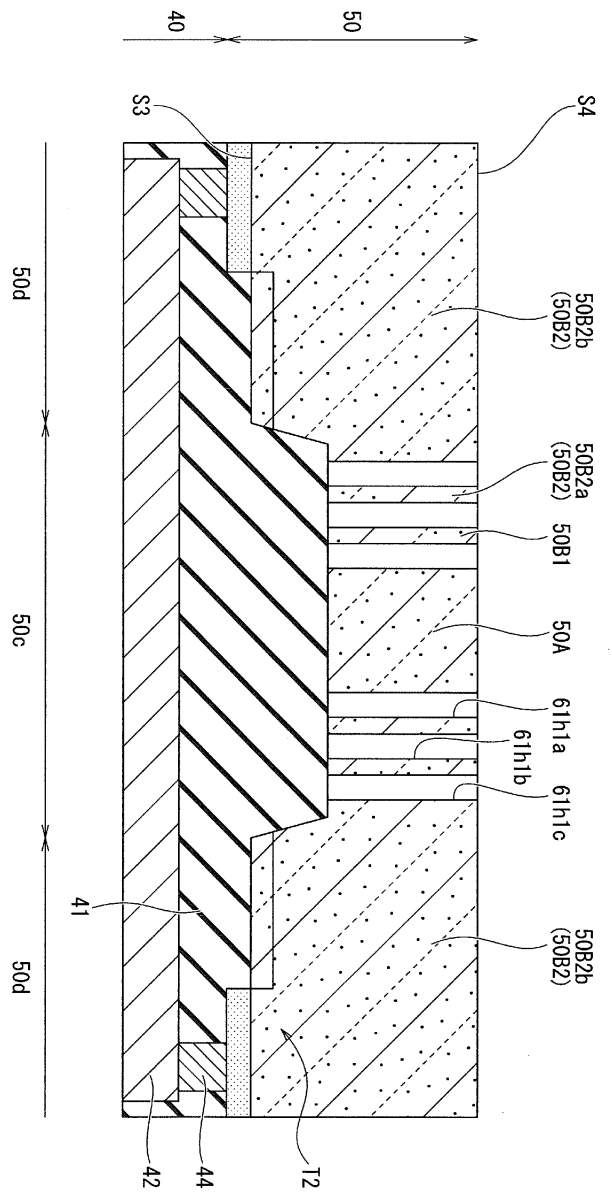
도면111a


40
50
60
F
S3
S4
50B2b
(50B2)
50B2a
(50B2)
50B1
62
52
52a
50A
61Aa
61Ab
61Ac
(61A)
50B2b
(50B2)
61
F
T2
44
42
41
52b
50d
50c
50d
X
Z
Y

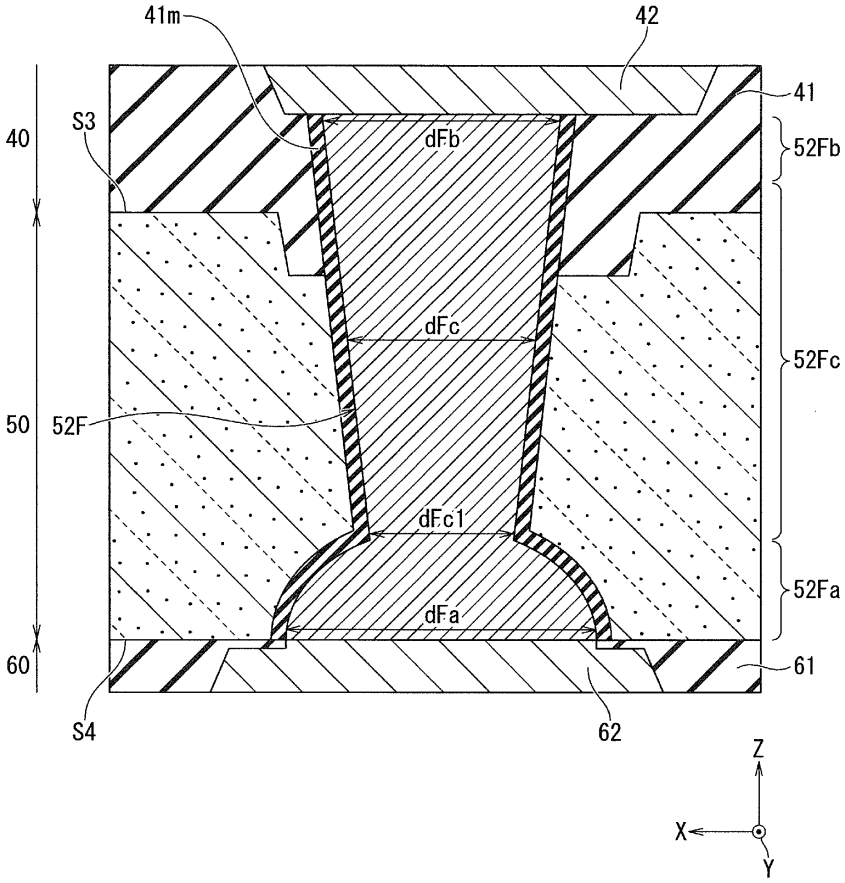
도면111b


61Ac
61Ab
61Aa
52
50A
50B1
50B2a (50B2)
50B2b (50B2)
61h1a
61h1b
61h1c
Y
X
Z

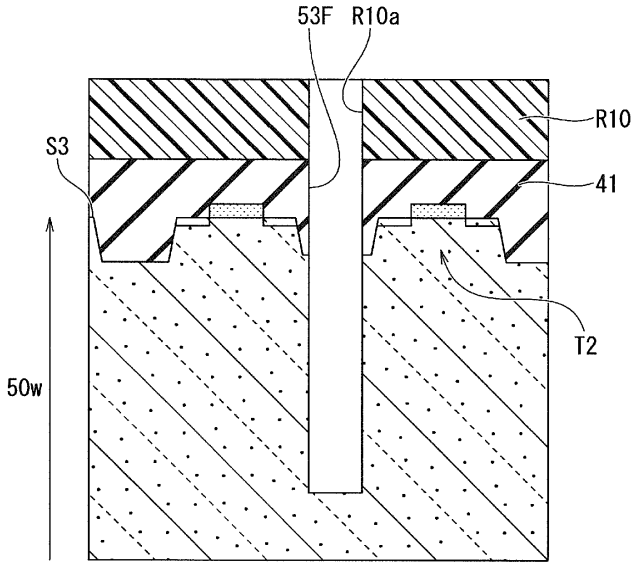
도면112


40
50
S3
S4
50d
50B2b
(50B2)
50B2a
(50B2)
50B1
50c
50A
61h1a
61h1b
61h1c
41
50B2b
(50B2)
50d
42
44
T2

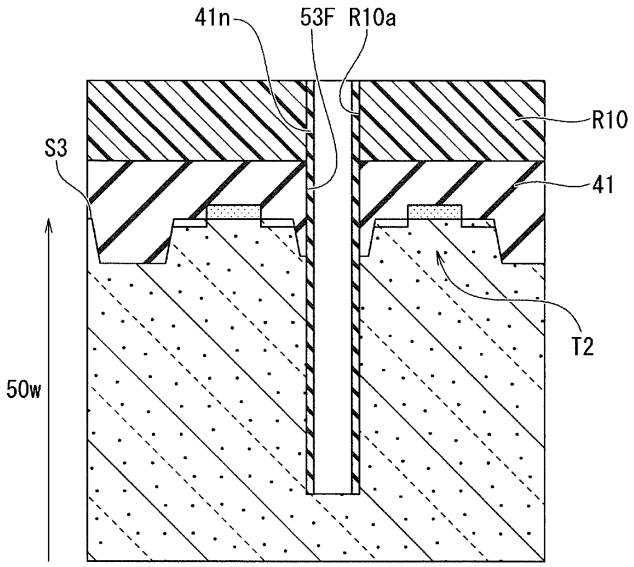
도면113



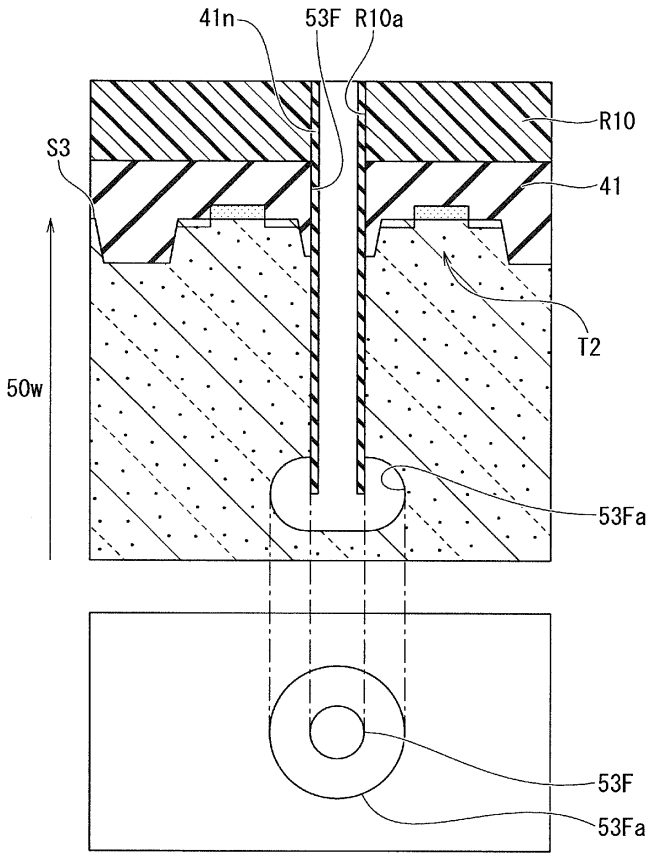
도면114a



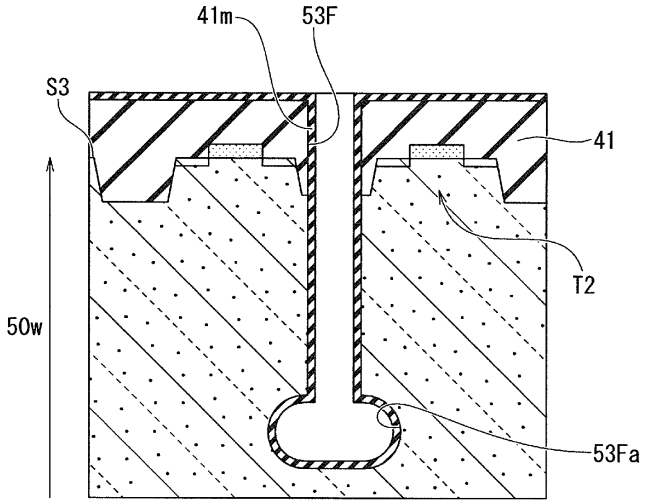
도면114b



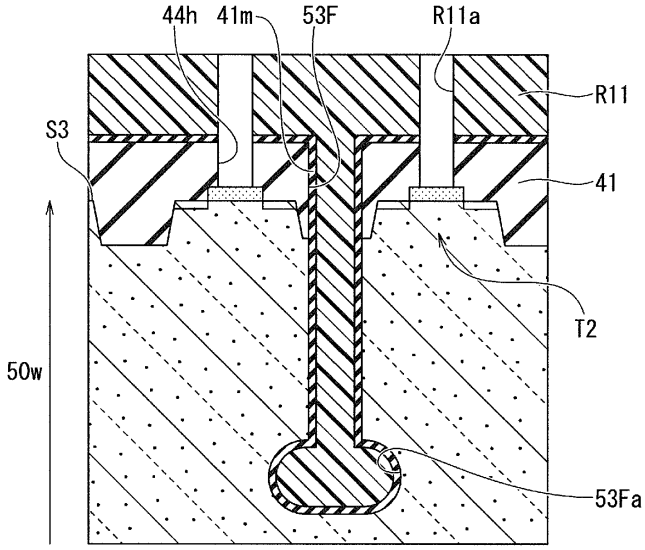
도면114c



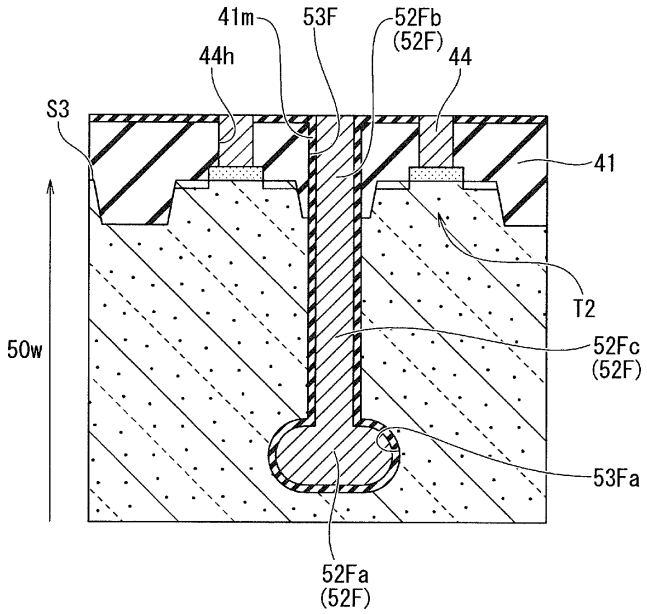
도면114d



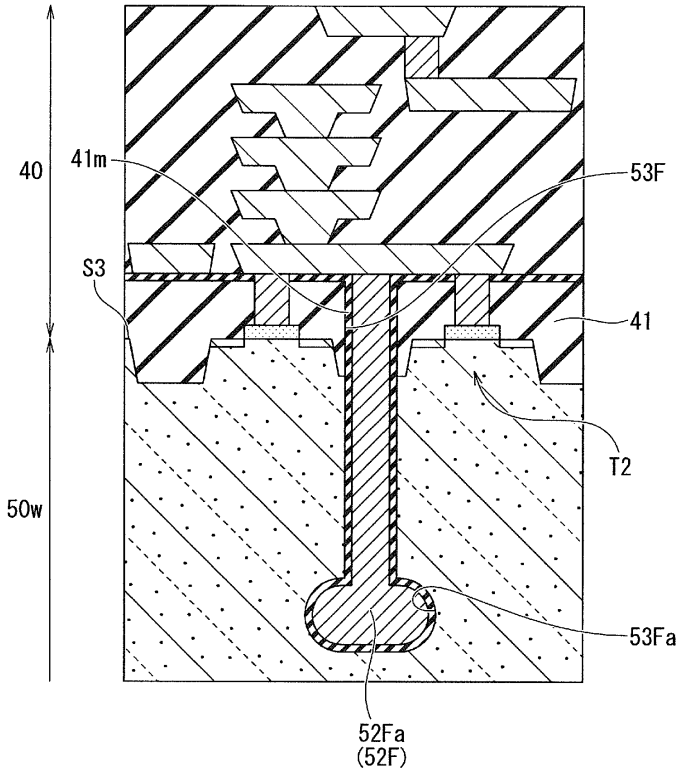
도면114e



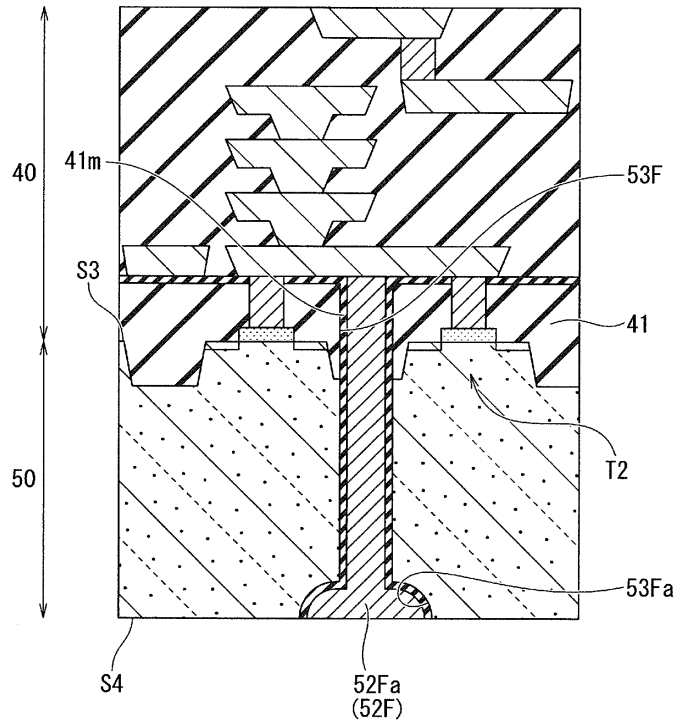
도면114f



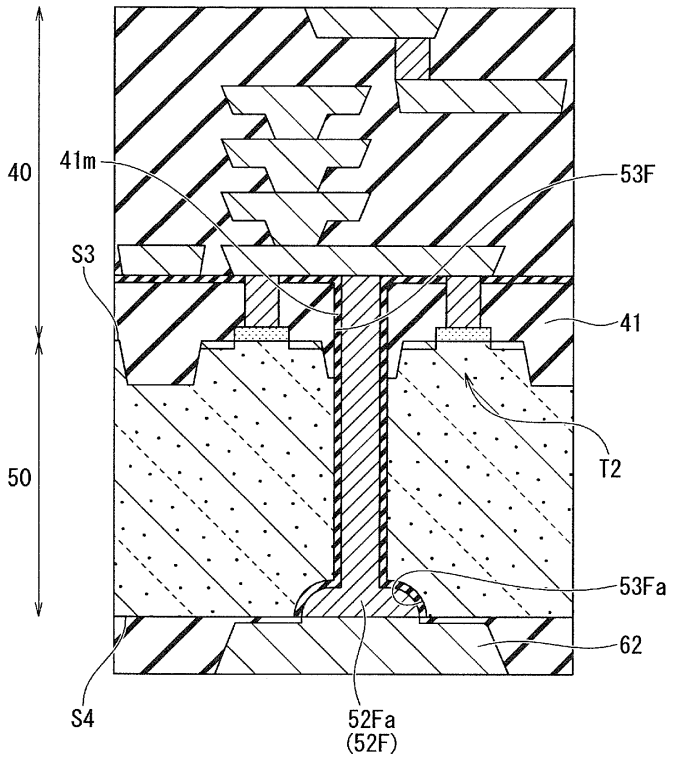
도면114g



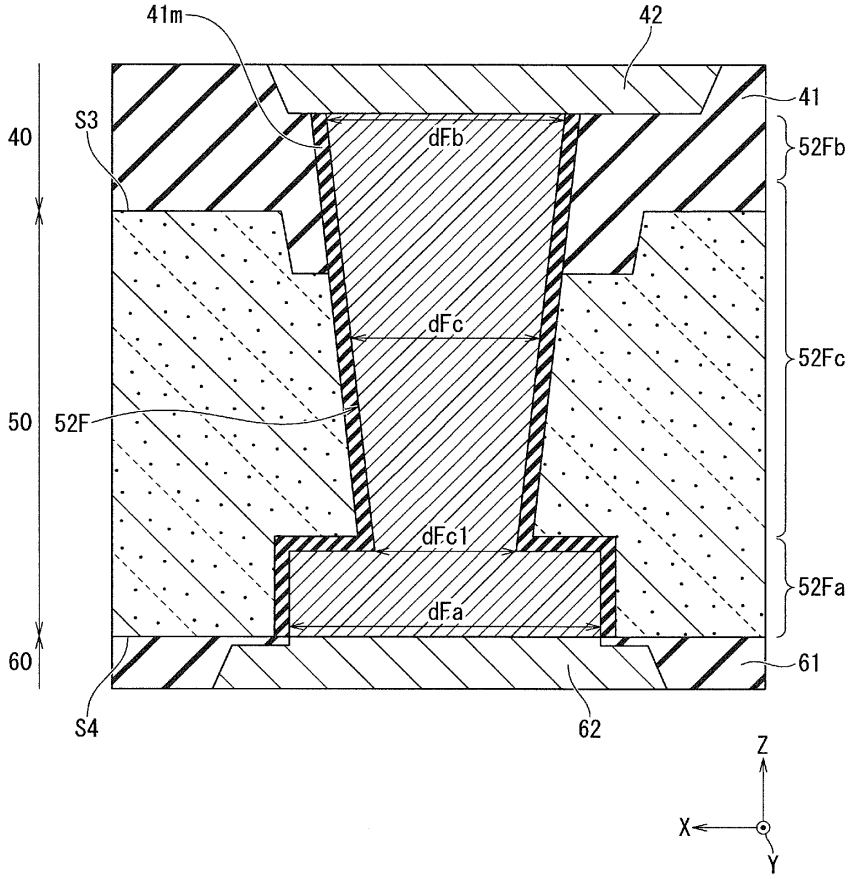
도면114h



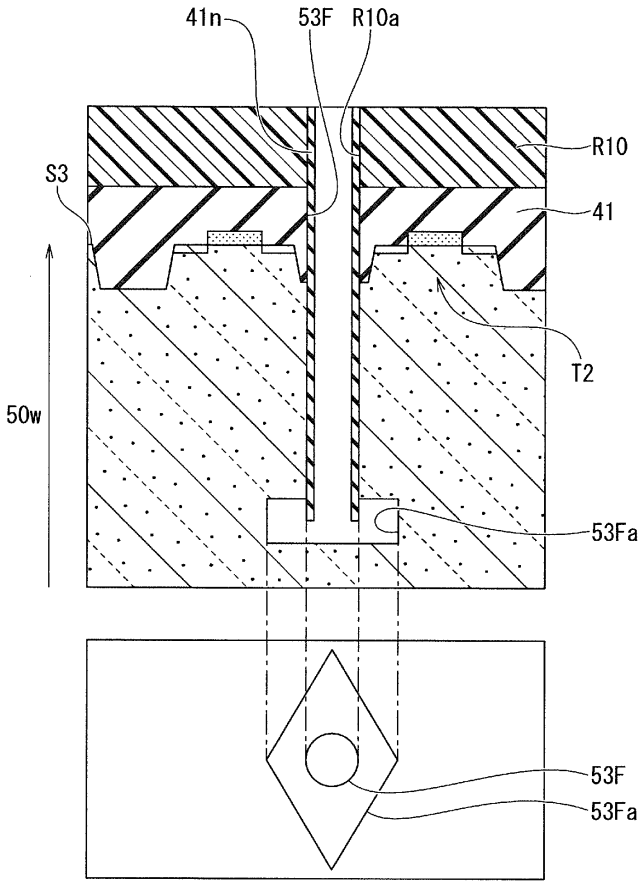
도면114i



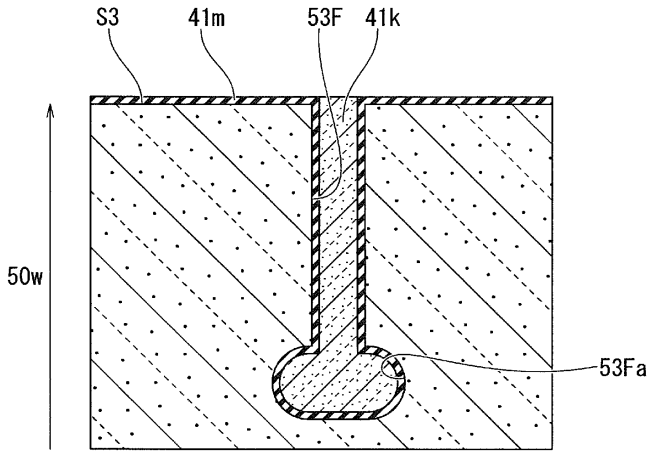
도면115


41m
42
41
40
S3
dFb
52Fb
dFc
52Fc
50
52F
dFc1
52Fa
dFa
60
61
S4
62
Z
X
Y

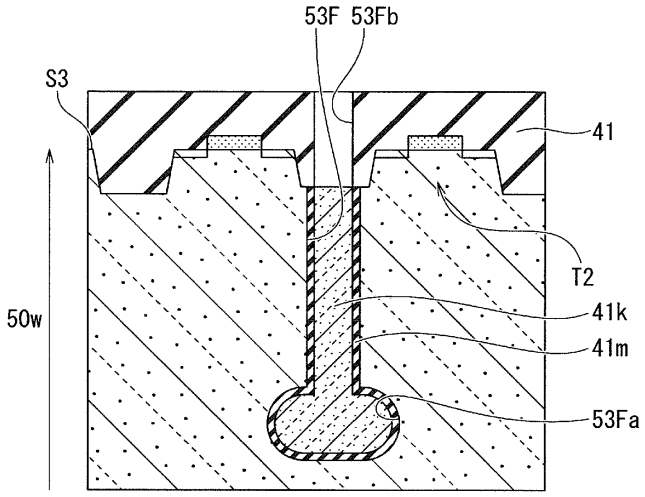
도면116



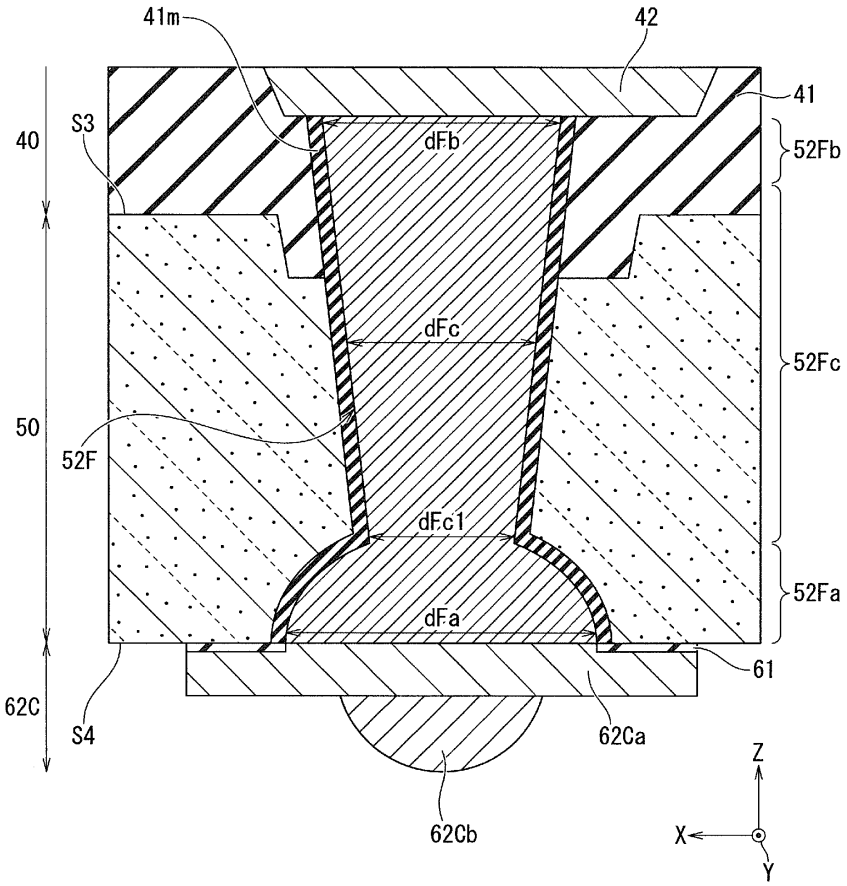
도면117a



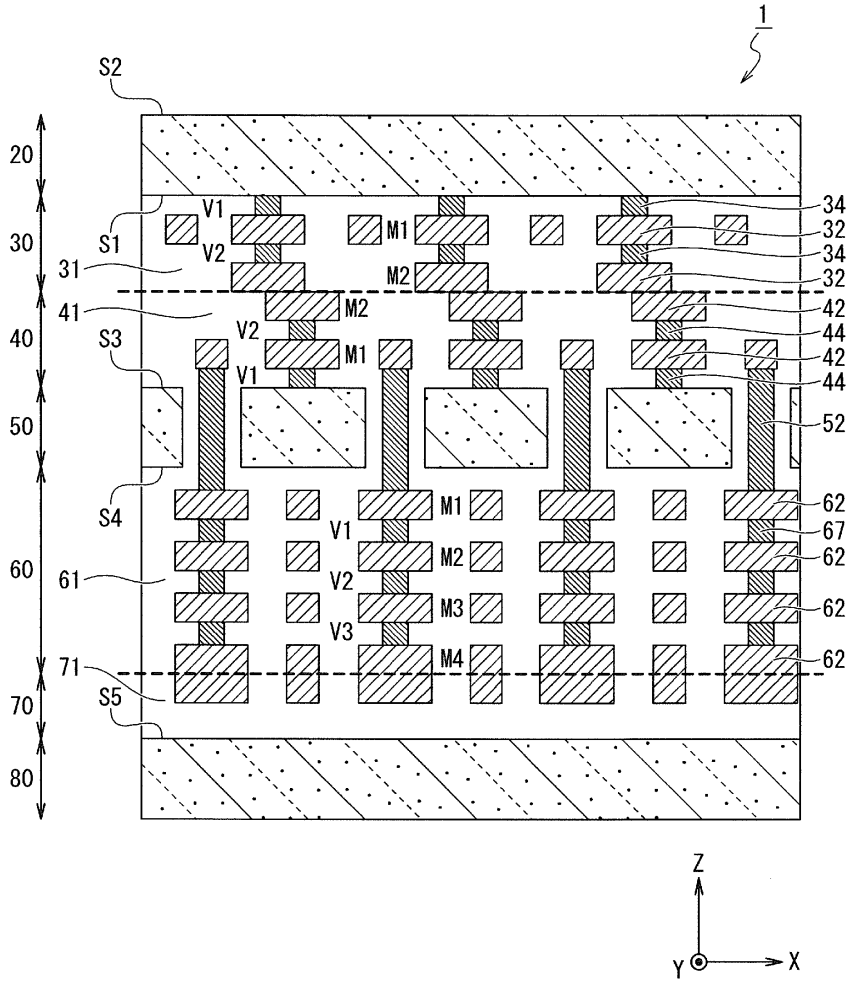
도면117b



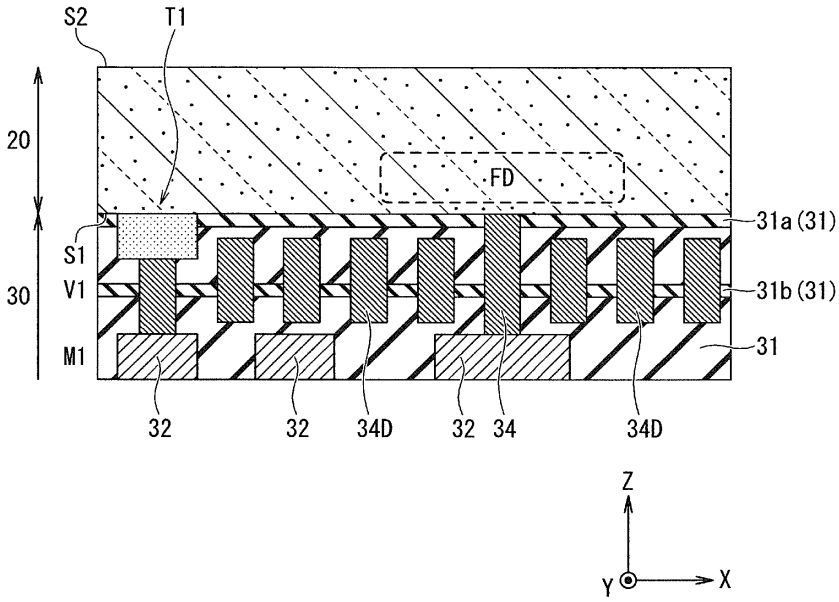
도면118



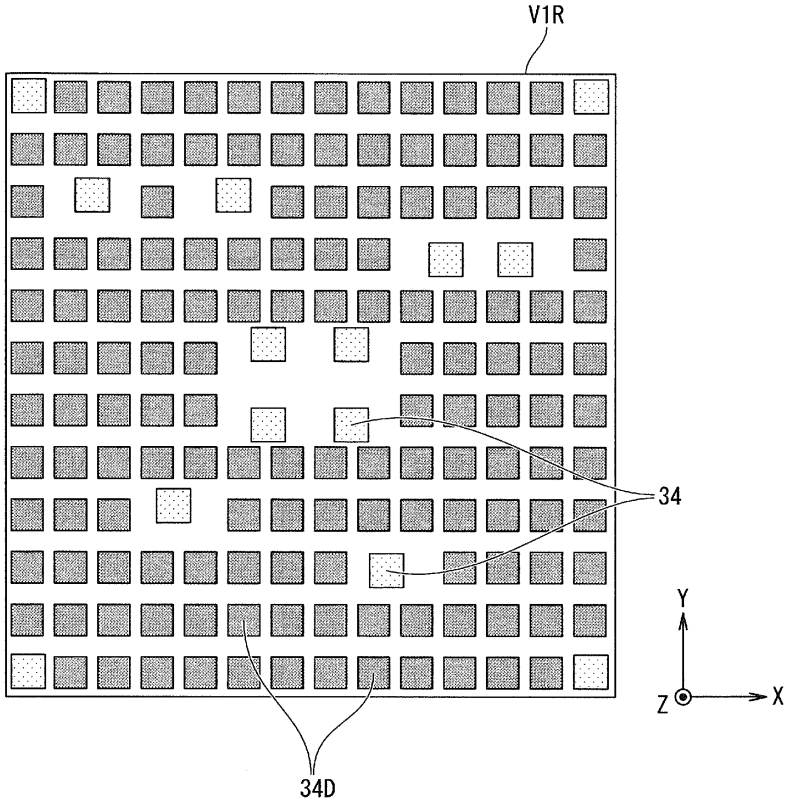
도면119a



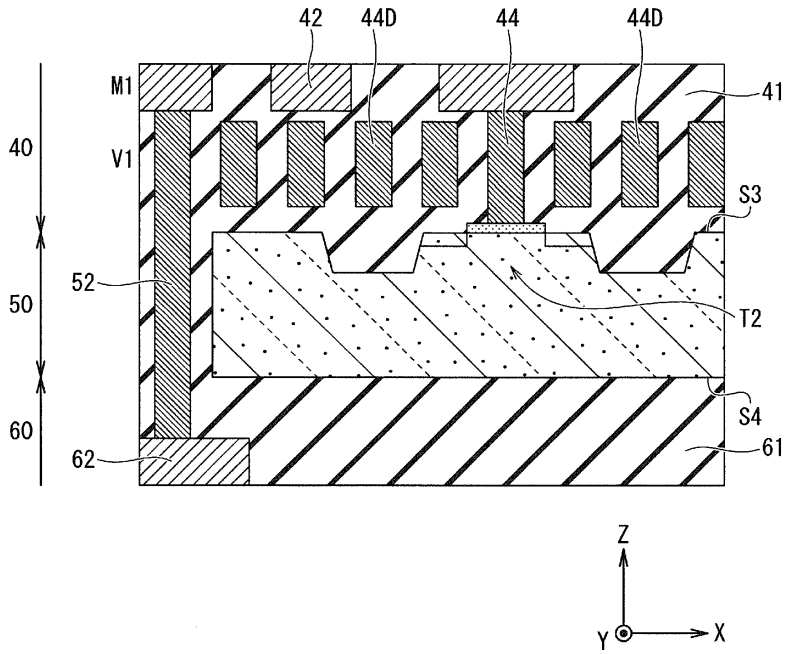
도면119b



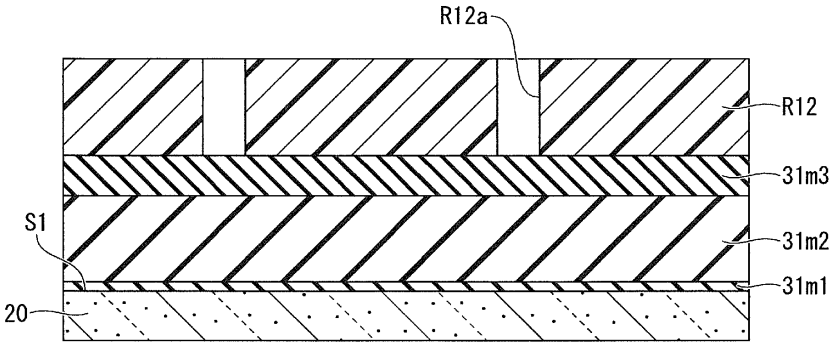
도면119c



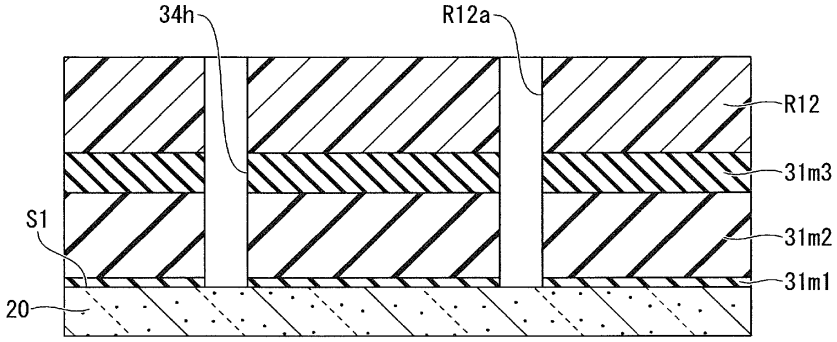
도면119d



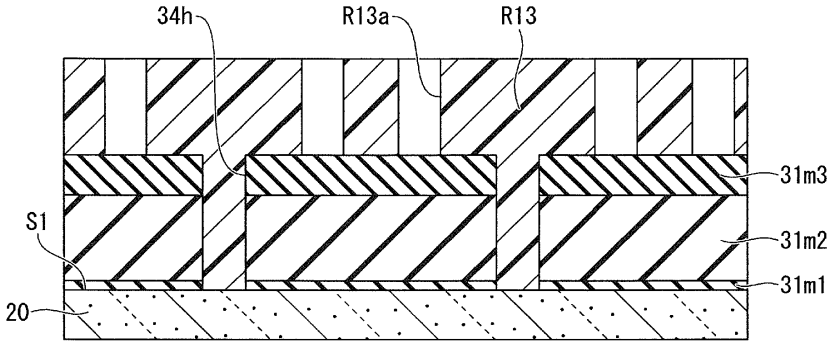
도면120a



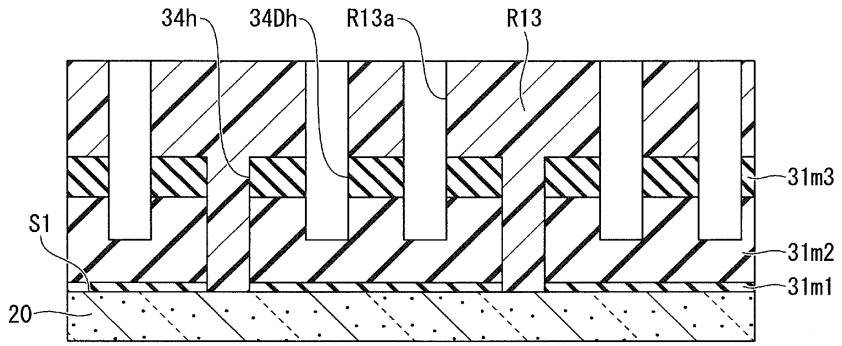
도면120b



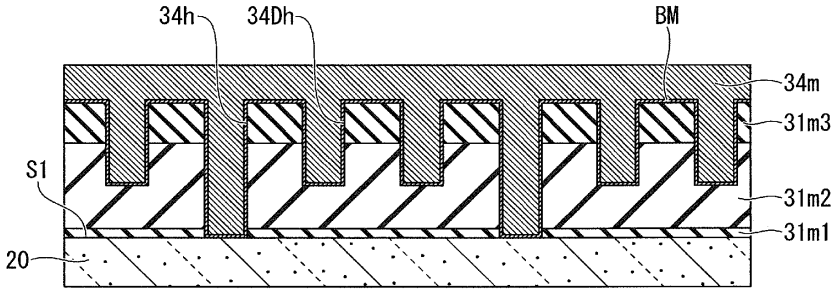
도면120c



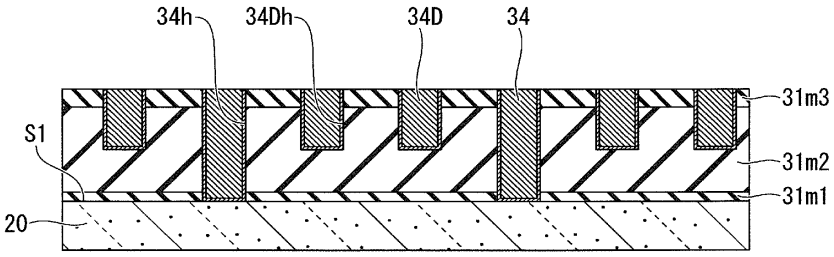
도면120d



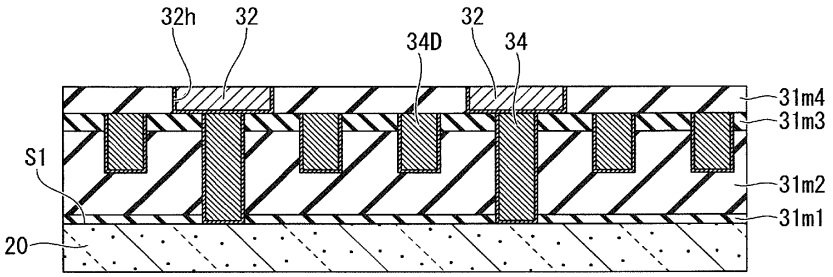
도면120e



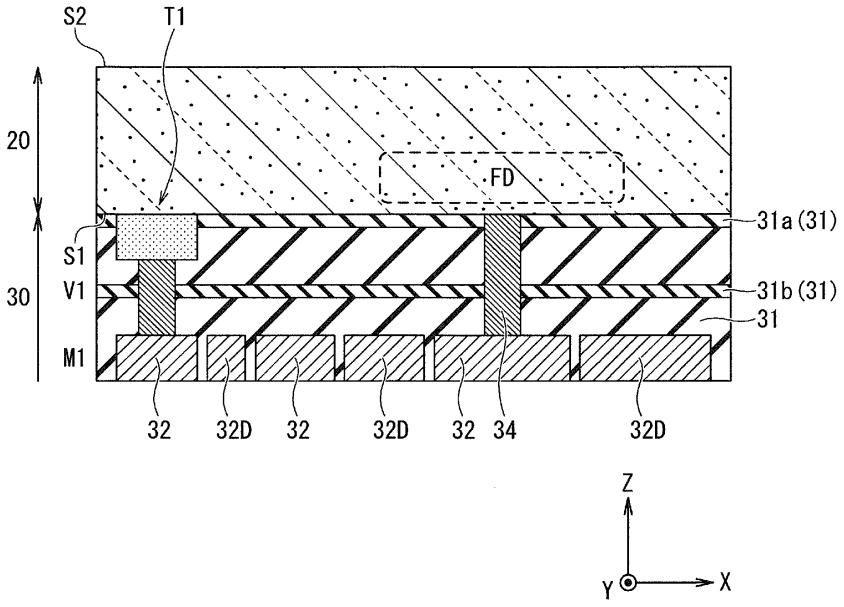
도면120f



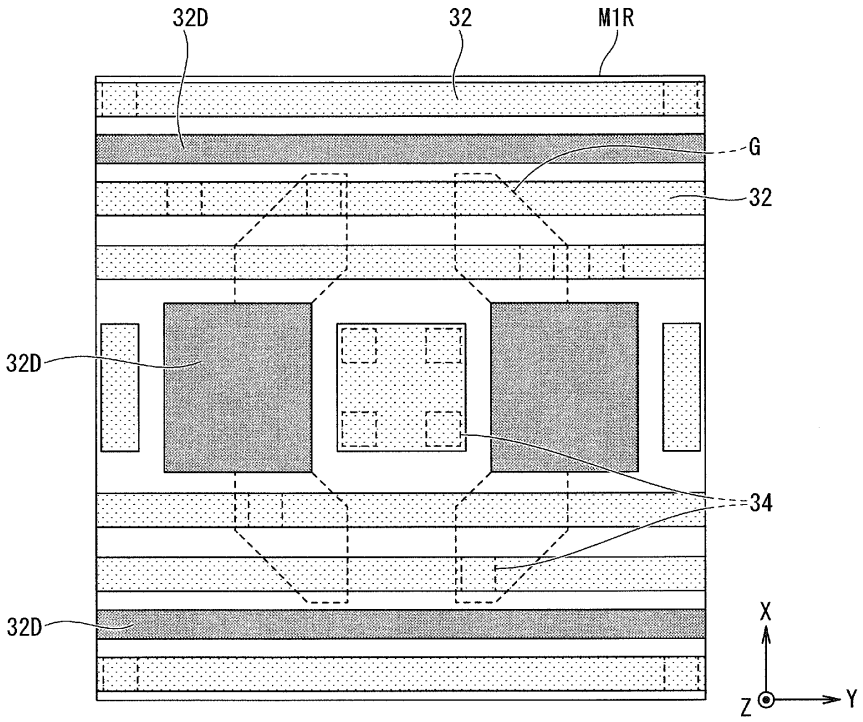
도면120g



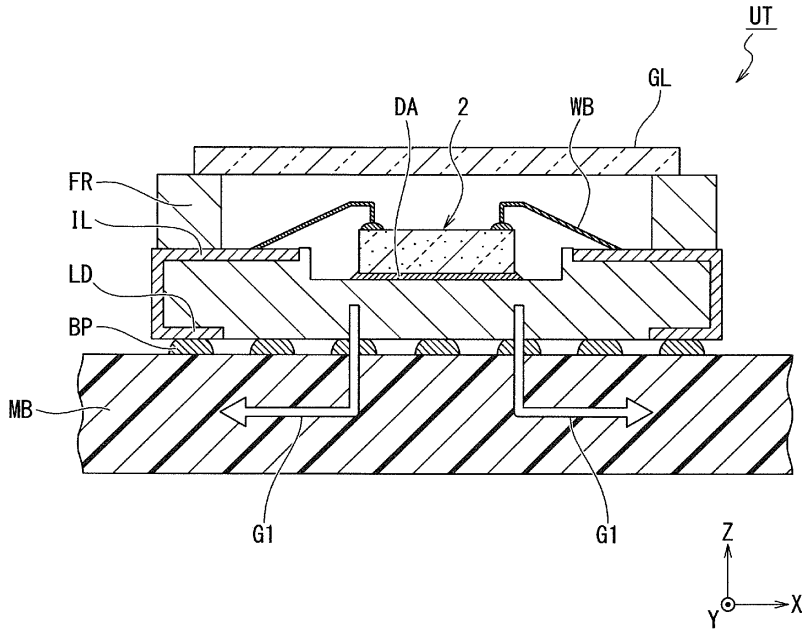
도면121a



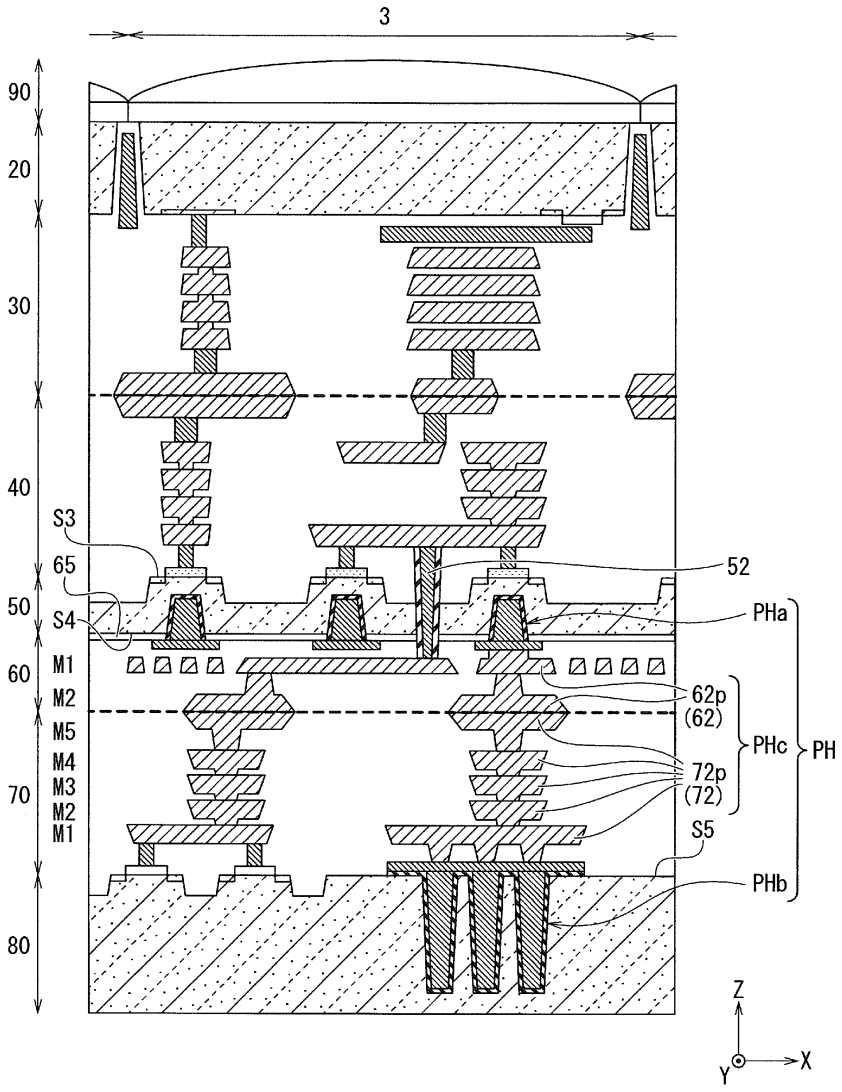
도면121b



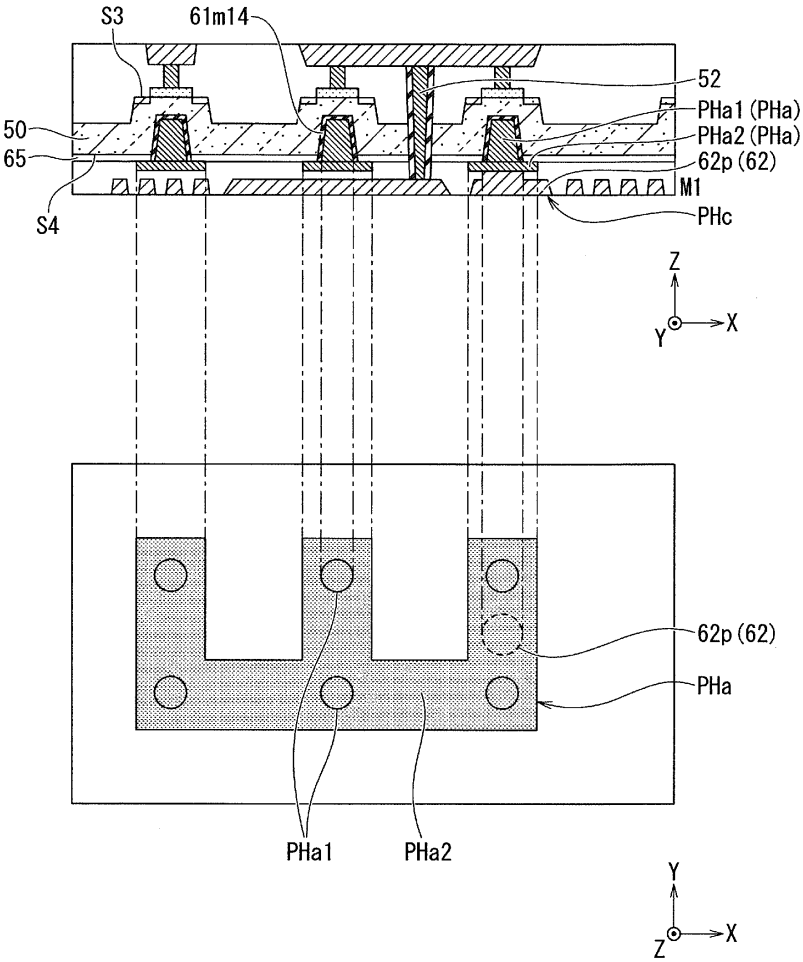
도면122



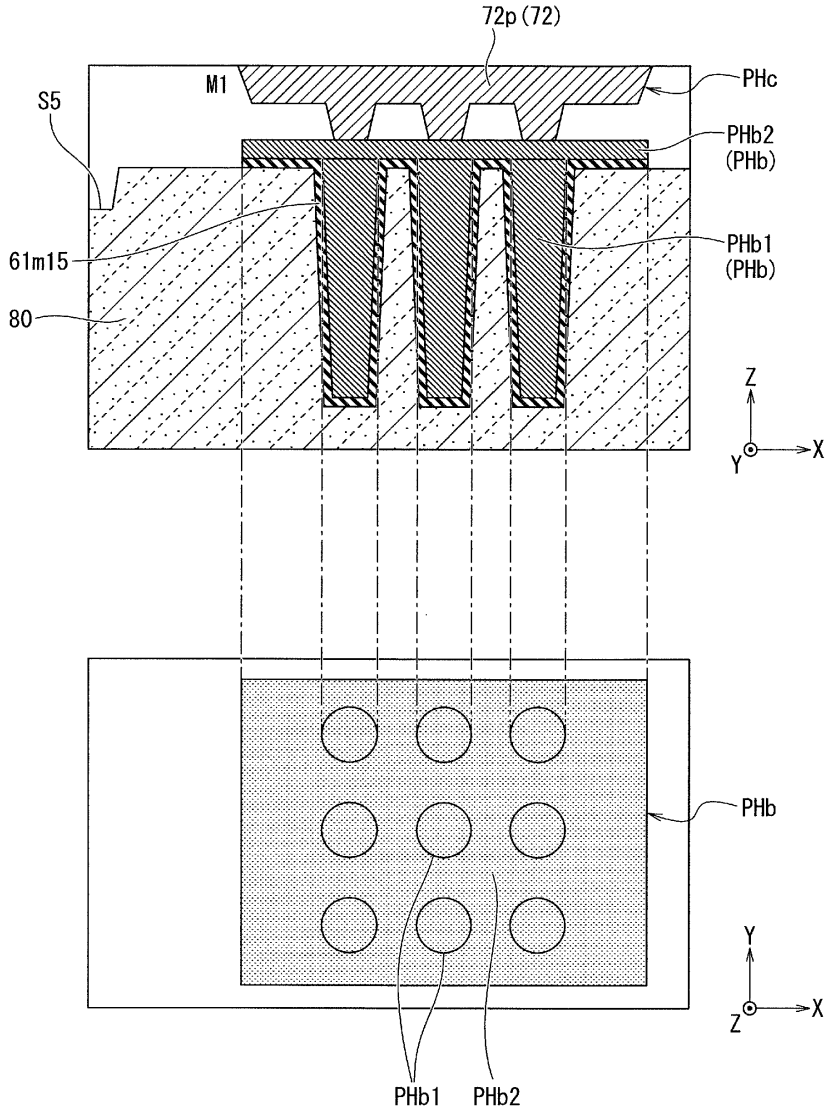
도면123a


3
90
20
30
40
50
60
70
80
S3
65
S4
M1
M2
M5
M4
M3
M2
M1
52
PHa
62p
(62)
72p
(72)
PHc
PH
S5
PHb
Z
Y
X

도면123b


S3
61m14
52
PHa1 (PHa)
PHa2 (PHa)
62p (62)
M1
PHc
50
65
S4
Z
Y
X
62p (62)
PHa
PHa1
PHa2
Y
Z
X

도면123c


72p(72)
M1
PHc
S5
PHb2
(PHb)
61m15
PHb1
(PHb)
80
Z
Y
X
PHb
Y
Z
X
PHb1
PHb2