(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2022 년 6 월 30 일 (30.06.2022)

WIPO | PCT

(10) 국제공개번호
WO 2022/139433 A1

(51) 국제특허분류:
G01M 99/00 (2011.01) *F16K 37/00* (2006.01)
G01M 13/003 (2019.01) *G01D 5/243* (2006.01)

(21) 국제출원번호: PCT/KR2021/019559

(22) 국제출원일: 2021 년 12 월 22 일 (22.12.2021)

(25) 출원언어: 한국어

(26) 공개언어: 한국어

(30) 우선권정보:
10-2020-0181698 2020 년 12 월 23 일 (23.12.2020) KR

(71) 출원인: 부경대학교 산학협력단 (**PUKYONG NATIONAL UNIVERSITY INDUSTRY-UNIVERSITY COOPERATION FOUNDATION**) [KR/KR]; 48513 부산광역시 남구 용소로 45, Busan (KR). 한국전기연구원 (**KOREA ELECTROTECHNOLOGY RESEARCH INSTITUTE**) [KR/KR]; 51543 경상남도 창원시 성산구 전기의길 12, Gyeongsangnam-do (KR).

(72) 발명자: 노의철 (**NHO, Eui Cheol**); 48516 부산광역시 남구 분포로 111, 125동 2003호, Busan (KR). 서병준 (**SEO, Byuong Jun**); 48432 부산광역시 남구 수영로 345, 108동 2405호, Busan (KR). 조광래 (**JO, Kwang Rae**); 53296 경상남도 거제시 상동1길 15-9, 302동 402호, Gyeongsangnam-do (KR). 허진용 (**HEO, Jin Yong**); 47192 부산광역시 부산진구 시민공원로 11, 101동 1202호, Busan (KR). 김태진 (**KIM, Tae Jin**); 51543 경상남도 창원시 성산구 전기의길 12, Gyeongsangnam-do (KR). 이종필 (**LEE, Jong Pil**); 51543 경상남도 창원시 성산구 전기의길 12, Gyeongsangnam-do (KR).

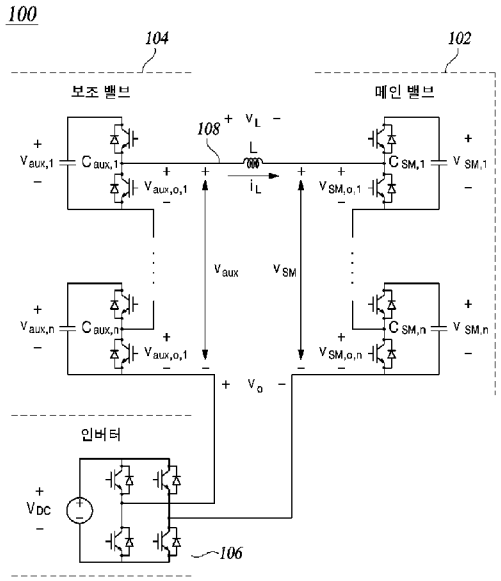
(74) 대리인: 이철희 (**LEE, Chulhee**); 06229 서울특별시 강남구 도곡로33길 26, 베리타스빌딩 2-4층, Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI,

(54) **Title:** DEVICE FOR TESTING VALVE PERFORMANCE OF MMC-BASED HVDC AND MVDC SYSTEMS, AND TESTING METHOD THEREFOR

(54) **발명의 명칭:** MMC 기반 HVDC 및 MVDC 시스템의 밸브 성능 시험장치 및 이를 위한 시험방법



102 ... Main valve
104 ... Auxiliary valve
106 ... Inverter

(57) **Abstract:** The disclosure relates to a device for testing valve performance of MMC-based HVDC and MVDC systems and a testing method therefor. The present embodiments provide a valve performance testing device and a testing method using same, the device and method in which, in securing the reliability of MMC-based HVDC and MVDC systems, a current for a valve performance test is generated on the basis of a direct-current power source voltage lower than the voltage of a sub-module capacitor, by using an auxiliary valve comprising the same number of sub-modules as a plurality of sub-modules (SMs) included in a main valve to be tested, thereby supplying a current similar to the current of actual HVDC and MVDC systems to the valve on the basis of a notably low capacity.

(57) 요약서: MMC 기반 HVDC 및 MVDC 시스템의 밸브 성능 시험장치 및 이를 위한 시험방법에 관한 개시로서, 본 실시예는, MMC 기반 HVDC 및 MVDC 시스템의 신뢰성을 확보함에 있어서, 피시험체인 메인 밸브(main valve)가 포함하는 다수 개의 서브모듈(SM: Sub-module)과 동일한 개수의 서브모듈을 포함하는 보조 밸브(auxiliary valve)를 이용하여 서브모듈 커패시터의 전압보다 낮은 직류전원 전압을 기반으로 밸브 성능 시험을 위한 전류를 생성함으로써 현저히 낮은 용량을 기반으로 실제 HVDC 및 MVDC 시스템의 전류와 유사한 전류를 밸브에 공급하는 밸브 성능 시험장치 및 이를 이용한 시험방법을 제공한다.

WO 2022/139433 A1

[다음 쪽 계속]

FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

명세서

발명의 명칭: MMC 기반 HVDC 및 MVDC 시스템의 밸브 성능 시험장치 및 이를 위한 시험방법

기술분야

[1] 본 개시는 MMC 기반 HVDC 및 MVDC 시스템의 밸브 성능 시험장치 및 이를 위한 시험방법에 관한 것이다.

배경기술

[2] 이하에 기술되는 내용은 단순히 본 실시예와 관련되는 배경 정보만을 제공할 뿐 종래기술을 구성하는 것이 아니다.

[3] HVDC(High Voltage Direct Current) 시스템을 구성하는 컨버터는 전류형 컨버터(CSC: Current Source Converter)와 전압형 컨버터(VSC: Voltage Source Converter)로 구분될 수 있다. 이 중, VSC HVDC 시스템은 장거리 송전 손실이 작고, 재생 에너지와의 연계가 용이하며, 유/무효 전력에 대한 독립적인 제어가 가능하기 때문에 국가 간 초장거리 전송에 적합하다. 특히, MMC(Modular Multi-level Converter)를 이용하는 VSC HVDC 시스템은 MVDC(Medium Voltage Direct Current) 시스템과 더불어 확장성과 변환 효율이 높기 때문에, 그 응용 사례가 증가하고 있다.

[4] 도 8에 예시된 바와 같이, MMC 기반 HVDC 시스템은 복수의 암(arm)을 포함하고, 각 암은 수십 내지 수백 개의 서브모듈(SM: Sub-module)을 포함하여 형성된다. MVDC는, HVDC에 비하여 낮은 전압 레벨을 갖기 때문에, 상대적으로 적은 개수의 서브모듈을 포함하나 HVDC와 동일한 구조를 갖는다. 많은 개수의 서브모듈들을 포함하기 때문에, HVDC 및 MVDC 시스템의 제작 또는 구현 전에 다수의 서브모듈로 구성되는 밸브에 대한 성능시험을 기반으로 전체 HVDC 및 MVDC 시스템의 신뢰성을 확보하는 것이 매우 중요하다.

[5] MMC 기반 HVDC 시스템의 신뢰성을 확보하기 위해 성능 시험장치 구성의 시간과 비용적인 측면을 고려하여, 일반적으로 5 개 이상의 서브모듈을 직렬 연결한 밸브(valve) 단위로 시험이 진행되며 이에 대한 국제표준으로 IEC(International Electrotechnical Commission) 62501이 규정되어 있다. IEC 62501에 규정된 밸브 성능 시험을 위한 조항에 따라, HVDC 및 MVDC 시스템의 각 암에 흐르는 전류를 모사(simulation)해야 하므로, 시험전류는 기본파 외에 제2 고조파(harmonic wave)와 DC 오프셋(offset) 성분을 포함해야 한다.

[6] 시험장치의 DC 전원장치는 성능 시험장치에 대한 비용의 대부분을 차지하므로 고전압 DC 전원장치의 사용은 비용 상승을 유발한다는 문제가 있다. 기존의 밸브시험장치는 기본파 전류 제공만 가능하고 제2 고조파와 DC 오프셋 성분은 공급할 수 없을 뿐만 아니라 시험장치의 직류 전원전압의 크기도 밸브 전체의 전압과 유사할 정도로 매우 크다는 단점이 있다.

[7] 따라서, 밸브에 대한 성능 시험장치에 있어서, 밸브에 공급되는 전류를 실제 상황과 유사하게 공급할 수 있을 뿐 아니라 직류 전원장치의 전압값이 낮은 시험장치에 대한 고려가 필요하다.

발명의 상세한 설명

기술적 과제

[8] 본 개시는, MMC 기반 HVDC 및 MVDC 시스템의 신뢰성을 확보함에 있어서, 피시험체인 메인 밸브(main valve)가 포함하는 다수 개의 서브모듈(SM: Sub-module)과 동일한 개수의 서브모듈을 포함하는 보조 밸브(auxiliary valve)를 이용하여 서브모듈 커패시터의 전압보다 낮은 직류전원 전압을 기반으로 밸브 성능 시험을 위한 전류를 생성함으로써 현저히 낮은 용량을 기반으로 실제 HVDC 및 MVDC 시스템의 전류와 유사한 전류를 밸브에 공급하는 밸브 성능 시험장치 및 이를 이용한 시험방법을 제공하는 데 목적이 있다.

과제 해결 수단

[9] 본 개시의 실시예에 따르면, MMC(Modular Multi-level Converter) 기반 HVDC(High Voltage Direct Current) 및 MVDC(Medium Voltage Direct Current) 시스템에 대해 밸브(valve)를 시험하기 위한 시험장치에 있어서, 직렬 연결된 n(n은 자연수) 개의 제1 서브모듈을 포함하여 정류기(rectifier) 모드로 동작하는 메인(main) 밸브, 여기서, 상기 제1 서브모듈 각각은 스위치와 다이오드(diode)로 구성된 하프브리지(half bridge) 또는 풀브리지(full bridge) 회로, 및 서브모듈 캐패시터를 포함함; 직렬 연결된 n 개의 제2 서브모듈을 포함하여 인버터(inverter) 모드로 동작하는 보조(auxiliary) 밸브, 여기서, 상기 제2 서브모듈 각각은 상기 제1 서브모듈과 동일한 구조를 가짐; 직류전원의 전압으로부터 교류전압을 생성하는 인버터; 상기 메인 밸브의 입력, 상기 인버터의 출력, 및 상기 보조 밸브의 출력과 루프(loop)를 형성하고, 시험 전류가 흐르는 인덕터(inductor); 및 상기 인버터를 제어하여 상기 직류전원의 회로적 연결을 제어하고, 상기 n 개의 제1 서브모듈 및 상기 n 개의 제2 서브모듈에 대해 상기 스위치를 제어하여 상기 서브모듈 캐패시터의 회로적 연결을 제어하는 제어부를 포함하는 것을 특징으로 하는 시험장치를 제공한다.

[10] 본 개시의 다른 실시예에 따르면, MMC(Modular Multi-level Converter) 기반 HVDC(High Voltage Direct Current) 및 MVDC(Medium Voltage Direct Current) 시스템에 대해 밸브(valve)를 시험하기 위해 시험장치가 수행하는 시험방법에 있어서, 인버터(inverter)를 제어하여 직류전원의 전압으로부터 교류전압을 생성하는 과정; 직렬 연결된 n(n은 자연수) 개의 제1 서브모듈을 포함하는 메인(main) 밸브를 정류기(rectifier) 모드로 동작시키는 과정, 여기서, 상기 제1 서브모듈 각각은 스위치와 다이오드(diode)로 구성된 하프브리지(half bridge) 또는 풀브리지(full bridge) 회로, 및 서브모듈 캐패시터를 포함함; 직렬 연결된 n(n은 자연수) 개의 제2 서브모듈을 포함하는 보조(auxiliary) 밸브를 인버터

모드로 동작시키는 과정, 여기서, 상기 제2 서브모듈 각각은 상기 제1 서브모듈과 동일한 구조를 가짐; 상기 메인 밸브의 입력, 상기 인버터의 출력, 및 상기 보조 밸브의 출력과 루프(loop)를 형성하는 인덕터(inductor)에 흐르는 시험 전류를 생성하는 과정; 및 상기 n 개의 제1 서브모듈 및 상기 n 개의 제2 서브모듈에 대해 상기 스위치를 제어하여 상기 서브모듈 캐패시터의 회로적 연결을 제어하는 과정을 포함하는 것을 특징으로 하는 시험방법을 제공한다.

[11] 본 개시의 다른 실시예에 따르면, 상기 n 개의 제1 서브모듈 각각에 대해, 상기 메인 밸브, 상기 보조 밸브, 및 상기 인버터의 회로적 연결을 제어하여 부스트 컨버터(boost converter)와 등가인 회로를 구현한 후, 상기 스위치를 제어하여 상기 서브모듈 캐패시터에 상기 직류전원의 전압보다 높은 전압을 초기 충전하되, 상기 제1 서브모듈에 적용된 방식과 동일한 방식으로 상기 n 개의 제2 서브모듈 각각에 대해서도 초기 충전을 수행하는 과정을 제공한다.

발명의 효과

[12] 이상에서 설명한 바와 같이 본 실시예에 따르면, 피시험체인 메인 밸브와 동일한 개수의 서브모듈을 포함하는 보조 밸브를 이용하여 서브모듈 커패시터의 전압보다 낮은 직류전원 전압을 기반으로 밸브 성능 시험을 위한 전류를 생성하는 밸브 성능 시험장치를 제공함으로써, 현저히 낮은 용량을 기반으로 MMC 기반 HVDC 및 MVDC 시스템 상에 실제로 흐르는 전류와 유사한 전류를 공급하여 밸브의 성능 시험에 대한 신뢰도를 확보하는 것이 가능해지는 효과가 있다.

[13] 또한 본 실시예에 따르면, 피시험체인 메인 밸브와 동일한 개수의 서브모듈을 포함하는 보조 밸브를 이용하여 서브모듈 커패시터의 전압보다 낮은 직류전원 전압을 기반으로 밸브 성능 시험을 위한 전류를 생성하는 밸브 성능 시험장치를 제공함으로써, 시험회로의 구성이 간단하여지고, 성능 시험의 효율과 신뢰성이 증대되며, 비용을 절감하는 것이 가능해지는 효과가 있다.

도면의 간단한 설명

[14] 도 1은 본 개시의 일 실시예에 따른 밸브 성능 시험장치에 대한 블록도이다.

[15] 도 2a 및 도 2b는 본 개시의 일 실시예에 따른 서브모듈에 대한 블록도이다.

[16] 도 3은 본 개시의 일 실시예에 따른 인버터의 블록도이다.

[17] 도 4는 본 개시의 일 실시예에 따른 서브모듈의 초기 충전을 위한 등가회로에 대한 예시도이다.

[18] 도 5는 본 개시의 일 실시예에 따른 서브모듈의 전압제어를 위한 스위칭 변조에 대한 예시도이다.

[19] 도 6은 본 개시의 일 실시예에 따른 밸브 성능 시험방법에 대한 흐름도이다.

[20] 도 7은 본 개시의 일 실시예에 따른 시험장치에 대한 모의실험 결과를 나타내는 예시도이다.

[21] 도 8은 한 암(arm)에 복수의 서브모듈을 포함하는 MMC 기반 HVDC 시스템 및

하프브리지 구조의 단일 서브모듈을 도시한 도면이다.

발명의 실시를 위한 형태

[22] 이하, 본 개시의 일부 실시예들을 예시적인 도면을 이용해 상세하게 설명한다. 각 도면의 구성 요소들에 참조 부호를 부가함에 있어서, 동일한 구성 요소들에 대해서는 비록 다른 도면 상에 표시되더라도 가능한 한 동일한 부호를 가지도록 하고 있음에 유의해야 한다. 또한, 본 개시를 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 개시의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략한다.

[23] 또한, 본 개시에 따른 실시예의 구성요소를 설명하는 데 있어서, 제1, 제2, i), ii), a), b) 등의 부호를 사용할 수 있다. 이러한 부호는 그 구성요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 부호에 의해 해당 구성요소의 본질 또는 차례나 순서 등이 한정되지 않는다. 명세서에서 어떤 부분이 어떤 구성요소를 '포함' 또는 '구비'한다고 할 때, 이는 명시적으로 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.

[24] 본 실시예는 MMC 기반 HVDC 및 MVDC 시스템의 밸브 성능 시험장치에 관한 내용을 개시한다. 보다 자세하게는, MMC 기반 HVDC 및 MVDC 시스템의 신뢰성을 확보함에 있어서, 피시험체인 메인 밸브(main valve)가 포함하는 다수 개의 서브모듈(SM: Sub-module)과 동일한 개수의 서브모듈을 포함하는 보조 밸브(auxiliary valve)를 이용하여 서브모듈 커패시터의 전압보다 낮은 직류전원 전압을 기반으로 밸브 성능 시험을 위한 전류를 생성함으로써 현저히 낮은 용량을 기반으로 실제 HVDC 및 MVDC 시스템의 전류와 유사한 전류를 밸브에 공급하는 밸브 성능 시험장치 및 이를 이용한 시험방법을 제공한다.

[25] 도 1은 본 개시의 일 실시예에 따른 밸브 성능 시험장치에 대한 블록도이다.

[26] 본 개시에 따른 밸브 성능 시험장치(100, 이하 '시험장치')는 메인 밸브와 동일한 개수의 서브모듈을 포함하는 보조 밸브를 이용하여 서브모듈 캐패시터의 전압보다 낮은 전원 전압을 기반으로 제2 고조파와 DC 오프셋 성분을 포함하는 시험 전류를 생성하여 밸브 성능 시험을 수행한다. 시험장치(100)는 메인 밸브(102), 보조 밸브(104), 인버터(inverter, 106) 및 인덕터(inductor, 108)를 포함한다. 여기서, 본 실시예에 따른 시험장치(100)에 포함되는 구성요소가 반드시 이에 한정되는 것은 아니다. 예컨대, 시험장치(100)의 구성요소의 동작을 조절하기 위한 제어부(미도시)를 추가로 구비하거나, 외부의 제어부와 연동되는 형태로 구현될 수 있다.

[27] 메인 밸브(102)는 성능 시험의 대상으로서 교류를 직류로 변환하는 정류기(rectifier) 모드로 동작하고, 보조 밸브(104)는 직류를 교류로 변환하는 인버터 모드로 동작한다. 메인 밸브(102)와 보조 밸브(104)는 동수(예컨대, n(n은 자연수) 개)의 SM을 포함한다.

[28] 도 2a에 도시된 바와 같이, 메인 밸브(102)에 포함되는 i(자연수, $1 \le i \le n$) 번째 SM은 하프브리지(half bridge) 형태로 구현되어, 상호 병렬로 연결된 제1 회로 및 제2 회로를 포함한다. 여기서 제1 회로는 직렬 연결된 제1 스위치 $S_{T,i}$ 및 서브모듈 캐패시터 $C_{SM,i}$를 포함하고, 제2 회로는 제2 스위치 $S_{B,i}$를 포함한다. 또한, 서브모듈(110)의 각 스위치($S_{T,i}$, $S_{B,i}$)에는 역방향 다이오드($D_{T,i}$, $D_{B,i}$)가 각각 병렬로 연결된다. 도 2a의 예시에서 메인 밸브(102)의 SM은 하프브리지 형태로 구현되나, 반드시 이에 한정하는 것은 아니며, 풀브리지(full bridge) 형태로 구현될 수 있다.

[29] 도 1에 도시된 바와 같이, 메인 밸브(102)에 포함되는 각 SM의 제2 스위치들은 직렬로 연결된다. 예컨대, i 번째 SM의 제2 스위치 $S_{B,i}$의 하단은 i+1 번째 SM의 제2 스위치 $S_{B,i+1}$의 상단과 연결된다. 메인 밸브(102)의 첫 번째 SM의 제2 스위치의 상단과 n 번째 SM의 제2 스위치의 하단 간의 전압 v_{SM}은, 정류기 모드로 동작 시, 메인 밸브(102)의 입력을 나타낸다(따라서, 인버터 모드로 동작 시, 메인 밸브(102)의 출력을 나타냄).

[30] 한편, 도 2b에 도시된 바와 같이, 보조 밸브(104)에 포함되는 i 번째 SM은 하프브리지 형태로 구현되어, 상호 병렬로 연결된 제1 회로 및 제2 회로를 포함한다. 여기서 제1 회로는 직렬 연결된 제1 스위치 $S_{T,i}$ 및 서브모듈 캐패시터 $C_{aux,i}$를 포함하고, 제2 회로는 제2 스위치 $S_{B,i}$를 포함한다. 또한, 서브모듈(110)의 각 스위치($S_{T,i}$, $S_{B,i}$)에는 역방향 다이오드($D_{T,i}$, $D_{B,i}$)가 각각 병렬로 연결된다. 도 2b의 예시에서 보조 밸브(104)의 SM은 하프브리지 형태로 구현되나, 반드시 이에 한정하는 것은 아니며, 풀브리지 형태로 구현될 수 있다.

[31] 도 1에 도시된 바와 같이, 보조 밸브(104)에 포함되는 각 SM의 제2 스위치들은 직렬로 연결된다. 보조 밸브(104)의 첫 번째 SM의 제2 스위치의 상단과 n 번째 SM의 제2 스위치의 하단 간의 전압 v_{aux}는, 인버터 모드로 동작 시, 보조 밸브(104)의 출력을 나타낸다(따라서, 정류기 모드로 동작 시, 보조 밸브(104)의 입력을 나타냄).

[32] 본 실시예에 따른 인버터(106)는 직류전원 V_{DC}를 교류로 변환하여 교류전압 출력 v_o를 생성한다. 도 3에 도시된 바와 같이, 인버터(106)는 풀브리지 형태로 구현되어, 병렬로 연결된 제1 레그(leg) 및 제2 레그를 포함한다. 제1 레그는 동일한 방향으로 직렬 연결된 제1 스위치 S_1 및 제3 스위치 S_3를 포함하고, 제2 레그는 동일한 방향으로 직렬 연결된 제2 스위치 S_2 및 제4 스위치 S_4를 포함한다. 각 스위치(S_1, S_2, S_3, S_4)에는 역방향 다이오드(D_1, D_2, D_3, D_4)가 각각 병렬로 연결된다. 도 3의 예시에서 인버터(106)는 풀브리지 형태로 구현되나, 반드시 이에 한정하는 것은 아니며, 하프브리지 형태로 구현될 수 있다.

[33] 한편, 제1 스위치 S_1 및 제3 스위치 S_3 간의 접점과 제2 스위치 S_2 및 제4 스위치 S_4 간의 접점으로부터 인버터(106)의 교류전압 출력 v_o가 생성된다. 제어부는 제1 스위치 페어(S_1 및 S_4)와 제2 스위치 페어(S_2 및 S_3)의 스위칭이 서로 중복되지 않도록 제어하여 교류전압 출력을 생성할 수 있다.

[34] 인버터(106)의 출력은 메인 밸브(102)의 입력과 보조 밸브(104)의 출력 간을 직렬로 연결한다. 즉, 메인 밸브(102)의 n 번째 SM에 포함되는 제2 스위치의 하단과 보조 밸브(104)의 n 번째 SM에 포함되는 제2 스위치의 하단 각각에 연결된다.

[35] 인덕터(108)는 메인 밸브(102)의 입력, 인버터의 출력, 및 보조 밸브(104)의 출력과 루프(loop)를 형성한다. 인덕터(108)는 메인 밸브(102)와 보조 밸브(104)의 첫 번째 SM의 제2 스위치의 상단 간을 연결한다. 인덕터(108) 양단의 인덕터 전압을 v_L, 인덕터(108)를 흐르는 인덕터 전류를 i_L로 나타낸다. 이하, 본 실시예에 대한 설명에서 인덕터 전류 i_L은 밸브 성능 시험에 이용되는 시험 전류를 나타낸다.

[36] 인덕터(108)에 대하여, 전술한 바와 같이, 메인 밸브(102)는 정류기 모드로 동작하고, 보조 밸브(104)는 인버터 모드로 동작한다.

[37] 제어부는 각 SM의 제1 스위치 $S_{T,i}$ 및 제2 스위치 $S_{B,i}$를 스위칭하여 서브모듈 캐패시터($C_{SM,i}$)의 회로적 연결을 제어하고, 인버터(106)의 각 스위치 페어를 스위칭하여 직류전원 V_{DC}의 회로적 연결을 제어한다.

[38] 이하, 본 실시예에 대한 설명에서 시험장치(100)의 구성요소에 대한 회로적 연결을 제어한다는 표현의 의미는 구성요소와 관련된 스위치를 제어하여 시험장치(100) 내에서 구성요소의 동작을 조절함을 나타낸다.

[39] 도 1의 도시에서, 시험 전류 i_L은 인덕터 전압 v_L에 따라 결정되고, 루프 내에서 인덕터 전압은 인버터(106)의 출력 전압 v_o와 보조 밸브(104)의 출력 전압 v_{aux}의 합에서 메인 밸브(102)의 입력 전압 v_{SM}을 감산한 것과 같다. 이러한 관계는 수학식 1과 같이 나타낼 수 있다.

[40] [수식1]

$$v_L = v_o + v_{aux} - v_{SM}$$

[41] 보조 밸브(104)와 메인 밸브(102)의 캐패시터의 전압이 동일하고, 보조 밸브(104)의 SM이 온(on)되어 있는 개수와 메인 밸브(102)의 SM이 온되어 있는 개수가 동일하면, v_{aux}와 v_{SM}은 서로 상쇄될 수 있다. 따라서, 인버터(106)의 출력 전압 v_o에 의해서 인덕터 전압 v_L이 조절되어, 결과적으로 시험 전류 i_L도 조절될 수 있다. 여기서, SM이 온된다(또는 '온 상태에 있다')는 의미는 제1 스위치 $S_{T,i}$가 온되고, 제2 스위치 $S_{B,i}$는 오프인 상태를 나타낸다.

[42] 성능 시험을 위해 시험 전류를 조절하기 전에, 제어부는 메인 밸브(102)와 보조 밸브(104)의 각 SM에 대해 서브모듈 캐패시터를 초기 충전한다.

[43] 메인 밸브(102)의 i 번째 SM의 제2 스위치를 제외한 메인 밸브(102)와 보조 밸브(104)의 모든 SM의 제2 스위치가 온되고, 인버터(106)의 제1 스위치 페어가 온되었을 경우, 그 등가회로는 도 4에 예시된 바와 같이 나타낼 수 있다. 이러한 등가회로는 승압을 위한 부스트 컨버터(boost converter)와 동일한 형태이다. 따라서, 도 4에 예시된 바와 같이 제2 스위치 $S_{B,i}$를 스위칭하여 부스트 컨버터와 동일하게 동작시킴으로써, i 번째 서브모듈 캐패시터에는 직류전원 V_{DC}보다

높은 전압이 충전될 수 있다.

[44] 메인 밸브(102)의 각 SM에 적용된 것과 동일한 방식에 기반하여, 제어부는 보조 밸브(104)의 각 SM에 대해 서브모듈 캐패시터를 초기 충전할 수 있다.

[45] 동일한 방식으로 초기 충전되기 때문에, 수학식 1에서 메인 밸브(102)의 입력 v_{SM}과 보조 밸브(104)의 출력 v_{aux}가 상쇄될 수 있다. 따라서, 제어부는 인버터(106)를 이용하여 인덕터(108)의 회로적 연결을 제어함으로써 메인 밸브(102)에 대해 밸브를 시험하기 위한 시험 전류를 생성할 수 있다. 이상에서 설명한 바와 같이 본 실시예에 따르면, 하나의 SM에 대한 서브모듈 캐패시터를 충전시킬 수 있는 용량의 직류전원에 기반하는 인버터만을 이용하여 밸브 단위로 성능 시험을 수행하는 것이 가능해지는 효과가 있다.

[46] 제어부는 인버터(106)의 각 스위치 페어를 스위칭하여 제2 고조파와 DC 오프셋 성분을 포함하는 교류전압을 생성한다. 인버터(106)가 생성하는 교류전압의 기본 주파수가 상용 전압의 주파수(예컨대, 50 또는 60 Hz)가 되도록 제어부는 인버터(106)의 각 스위치 페어의 스위칭 주기를 조절할 수 있다.

[47] 제어부는 인버터(106)의 각 스위치 페어의 스위칭 듀티(duty)를 조절하여 DC 오프셋 성분을 포함하는 교류전압을 생성할 수 있다. 또한, 기본 주파수보다 매우 높은 주파수(예컨대, 수 KHz)를 이용하여 인버터(106)의 각 스위치 페어를 스위칭함으로써 제2 고조파 성분을 포함하는 교류전압을 생성할 수 있다. 이때, 교류전압이 기본 주파수 성분을 유지할 수 있도록, 예컨대, PWM(Pulse Width Modulation) 방식에 기반하여 인버터(106)의 각 스위치 페어가 스위칭될 수 있다. 또한, PWM 방식에 따라 생성되는 펄스 폭을 조절함으로써, 제어부는 교류전압에 DC 오프셋 성분이 포함되도록 조절할 수 있다.

[48] 인버터(106)에 의해 생성된 교류전압에 기반하여 제어부는 교류전압과 유사한 특성을 갖는 시험 전류가 인덕터(108)를 흐르도록 할 수 있다.

[49] 인덕터(108)의 시험 전류 i_L이 도 1에 예시된 바와 같은 방향(이하, '양(+)의 방향')으로 흐르는 경우, 메인 밸브(102)의 SM에 대해 $S_{T,i}$가 온(on) 상태인 서브모듈 캐패시터의 전압은 증가하고, 보조 밸브(104)의 SM에 대해 $S_{T,i}$가 온 상태인 서브모듈 캐패시터의 전압은 감소한다. 시험 전류 i_L이 도 1에 예시된 바와 반대 방향(이하, '음(-)의 방향')으로 흐르는 경우, 메인 밸브(102)의 SM에 대해 $S_{T,i}$가 온(on) 상태인 서브모듈 캐패시터의 전압은 감소하고, 보조 밸브(104)의 SM에 대해 $S_{T,i}$가 온 상태인 서브모듈 캐패시터의 전압은 증가한다.

[50] 수학식 1에서 메인 밸브(102)의 입력 v_{SM}과 보조 밸브(104)의 출력 v_{aux}가 상쇄될 수 있도록, 제어부는 메인 밸브(102)에서 온되어 있는 SM의 개수와 보조 밸브(104)에서 온되어 있는 SM의 개수를 동일하게 유지시킬 수 있다. 성능 시험의 편의를 위하여, 제어부는 온 상태인 동수의 SM을 메인 밸브(102)와 보조 밸브(104) 각각에 대칭적으로 배치할 수 있다. 또한, 제어부는 메인 밸브(102)에서 온되어 있는 SM의 개수를 조절함으로써, 성능 시험의 대상이 되는 SM의 개수를 조절할 수 있다. 즉, 제어부는 메인 밸브(102)에 포함된 n 개의

SM의 전부 또는 일부에 대해 성능 시험을 수행할 수 있다.

[51] 한편, 제2 고조파와 DC 오프셋 성분을 포함하는 시험 전류의 특성에도 불구하고, 제어부는 메인 밸브(102)의 각 SM에 대해 서브모듈 캐패시터의 전압을 일정하게 유지시키는 역할을 수행한다. 예를 들어, 메인 밸브(102)의 i 번째 SM에 대하여, 서브모듈 캐패시터의 전압 $v_{SM,i}$에 대한 평균치와 기설정된 기준 전압 $v_{SM,i,ref}$ 간의 차이를 감소시키는 방향으로 메인 밸브(102)와 보조 밸브(104) 각각의 i 번째 SM의 제1 스위치와 제2 스위치를 스위칭한다.

[52] 도 5에 예시된 바와 같이, 서브모듈 캐패시터의 전압의 평균치가 기준 전압보다 높고, 시험 전류가 양의 방향인 경우, 제어부는 제1 스위치 $S_{T,i}$의 온 타이밍을 지연시킴으로써 기설정된 충전기간보다 충전되는 시간을 감소시킬 수 있다. 한편, 서브모듈 캐패시터의 전압의 평균치가 기준 전압보다 낮고, 시험 전류가 음의 방향인 경우, 제어부는 제1 스위치 $S_{T,i}$의 오프(off) 타이밍을 지연시켜 기설정된 방전기간보다 방전되는 시간을 감소시킴으로써 서브모듈 캐패시터의 전압이 기준 전압을 추종할 수 있도록 한다.

[53] 본 실시예에 따른 시험장치(100)의 제어부가 탑재되는 디바이스(미도시)는 프로그램 가능한 컴퓨터일 수 있다.

[54] 도 6은 본 개시의 일 실시예에 따른 밸브 성능 시험방법에 대한 흐름도이다.

[55] 시험장치(100)의 제어부는 메인 밸브 및 보조 밸브에 포함된 SM 각각에 대해 서브모듈 캐패시터에 직류전원 전압보다 높은 전압을 초기 충전한다(S600). 도 4에 예시된 바와 같이, 제어부는 메인 밸브(102)와 보조 밸브(104)의 SM 각각에 대해, 메인 밸브(102), 보조 밸브(104), 및 인버터(106)의 회로적 연결을 제어하여 부스트 컨버터(boost converter)와 등가인 회로를 구현한 후, 제2 스위치를 스위칭하여 직류전원 전압보다 높은 전압을 각 SM의 서브모듈 캐패시터에 초기 충전한다.

[56] 제어부는 인버터를 제어하여 직류전원의 전압으로부터 교류전압을 생성한다(S602). 제어부는 인버터(106)의 각 스위치 페어를 스위칭하여 제2 고조파와 DC 오프셋 성분을 포함하는 교류전압을 생성한다. 즉, 제어부는 인버터를 제어하여 직류전원의 회로적 연결을 제어할 수 있다.

[57] 교류전압의 기본 주파수는 상용 전압의 주파수(예컨대, 50 또는 60 Hz)로 설정될 수 있다. 교류 전압이 기본 주파수 외에 제2 고조파와 DC 오프셋 성분을 포함할 수 있도록, 제어부는 PWM 방식에 기반하여 인버터(106)의 각 스위치 페어를 스위칭할 수 있다.

[58] 제어부는 메인 밸브를 정류기 모드로 동작시킨다(S604).

[59] 제어부는 보조 밸브를 인버터 모드로 동작시킨다(S606).

[60] 인덕터(108)에 대하여 메인 밸브(102)는 정류기 모드로 동작하고, 보조 밸브(104)는 인버터 모드로 동작한다.

[61] 제어부는 인덕터에 흐르는 시험 전류를 생성한다(S608). 인버터는 메인 밸브의 입력, 인버터의 출력, 및 보조 밸브의 출력과 루프(loop)를 형성한다.

인버터(106)에 의해 생성된 교류전압에 기반하여 제어부는 교류전압과 유사한 특성을 갖는 시험 전류가 인덕터(108)를 흐르도록 할 수 있다.

[62] 제어부는 메인 밸브 및 보조 밸브에 포함된 SM 각각에 대해 제1 스위치 및 제2 스위치를 제어하여 서브모듈 캐패시터의 회로적 연결을 제어한다(S610).

[63] 인덕터(108)의 시험 전류 i_L이 양의 방향으로 흐르는 경우, 메인 밸브(102)의 SM에 대해 $S_{T,i}$가 온(on) 상태인 서브모듈 캐패시터의 전압은 증가한다. 반면, 시험 전류 i_L이 음의 방향으로 흐르는 경우, 메인 밸브(102)의 SM에 대해 $S_{T,i}$가 온(on) 상태인 서브모듈 캐패시터의 전압은 감소한다.

[64] 수학식 1에서 메인 밸브(102)의 입력 v_{SM}과 보조 밸브(104)의 출력 v_{aux}가 상쇄될 수 있도록, 제어부는 메인 밸브(102)에서 온(on)되어 있는 SM의 개수와 보조 밸브(104)에서 온되어 있는 SM의 개수를 동일하게 유지시킬 수 있다.

[65] 제어부는 메인 밸브(102)의 각 SM에 대해 서브모듈 캐패시터의 전압을 일정하게 유지시키는 역할을 수행한다. 예를 들어, 메인 밸브(102)의 i 번째 SM에 대하여, 서브모듈 캐패시터의 전압 $v_{SM,i}$에 대한 평균치와 기설정된 기준 전압 $v_{SM,i,ref}$ 간의 차이를 감소시키는 방향으로 메인 밸브(102)와 보조 밸브(104) 각각의 i 번째 SM의 제1 스위치와 제2 스위치를 스위칭한다.

[66] 이하, 모의실험(simulation)을 기반으로 본 실시예에 따른 시험장치(100)의 동작에 대한 실험 결과를 설명한다.

[67] 메인 밸브(102)와 보조 밸브(104)에 포함된 SM의 개수를 각각 4 개로 설정하고, 표 1에 나타낸 바와 같은 파라미터를 이용하여 모의실험이 수행되었다.

[68] [표1]

파라미터	값
V_{DC}	1,000(V)
V_{SM}, V_{aux}	2,000(V)
$i_{L,p-p}$	1,000(A)
$i_{L,DC}$	100(A)
C_{SM}, C_{aux}	3.3(mF)
L	3(mF)

[69] 전술한 바와 같이, 메인 밸브(102)와 보조 밸브(104)의 SM 각각의 캐패시터에 직류전원 전압보다 높은 전압이 초기 충전되므로, 표 1에서, V_{DC}보다 v_{SM} 및 v_{aux}가 높은 값으로 설정된다.

[70] 도 7은 본 개시의 일 실시예에 따른 시험장치에 대한 모의실험 결과를 나타내는 예시도이다.

[71] 밸브 단위로 수행된 모의실험에 대하여, 도 7의 예시는 메인 밸브(102)와 보조 밸브(104)의 i 번째 SM에 대한 시험 전류 및 캐패시터의 전압에 대한 모의실험

결과를 나타낸다. 도 7에 예시된 모의실험 결과에 따르면, 시험 전류가 제2 고조파와 DC 오프셋 성분을 포함하는 것을 확인할 수 있다. 또한, 메인 밸브(102)와 보조 밸브(104)의 i 번째 SM의 캐패시터 평균 전압이 기준 전압(2,000 V)과 부합하도록 일정하게 유지되는 것을 확인할 수 있다.

[72] 또한, 시험 전류가 양인 구간에서, 메인 밸브(102)의 i 번째 SM의 캐패시터의 전압이 증가하고, 보조 밸브(104)의 i 번째 SM의 캐패시터의 전압이 감소하는 반면, 시험 전류가 음인 구간에서, 메인 밸브(102)의 i 번째 SM의 캐패시터의 전압이 감소하고, 보조 밸브(104)의 i 번째 SM의 캐패시터의 전압이 증가함을 확인할 수 있다.

[73] 본 명세서의 흐름도/타이밍도에서는 각 과정들을 순차적으로 실행하는 것으로 기재하고 있으나, 이는 본 개시의 일 실시예의 기술 사상을 예시적으로 설명한 것에 불과한 것이다. 다시 말해, 본 개시의 일 실시예가 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 개시의 일 실시예의 본질적인 특성에서 벗어나지 않는 범위에서 흐름도/타이밍도에 기재된 순서를 변경하여 실행하거나 각 과정들 중 하나 이상의 과정을 병렬적으로 실행하는 것으로 다양하게 수정 및 변형하여 적용 가능할 것이므로, 흐름도/타이밍도는 시계열적인 순서로 한정되는 것은 아니다.

[74] 본 발명에 따른 장치 또는 방법의 각 구성요소는 하드웨어 또는 소프트웨어로 구현되거나, 하드웨어 및 소프트웨어의 결합으로 구현될 수 있다. 또한, 각 구성요소의 기능이 소프트웨어로 구현되고 마이크로프로세서가 각 구성요소에 대응하는 소프트웨어의 기능을 실행하도록 구현될 수도 있다.

[75] 본 명세서에 설명되는 시스템들 및 기법들의 다양한 구현예들은, 디지털 전자 회로, 집적회로, FPGA(field programmable gate array), ASIC(application specific integrated circuit), 컴퓨터 하드웨어, 펌웨어, 소프트웨어, 및/또는 이들의 조합으로 실현될 수 있다. 이러한 다양한 구현예들은 프로그래밍가능 시스템 상에서 실행 가능한 하나 이상의 컴퓨터 프로그램들로 구현되는 것을 포함할 수 있다. 프로그래밍가능 시스템은, 저장 시스템, 적어도 하나의 입력 디바이스, 그리고 적어도 하나의 출력 디바이스로부터 데이터 및 명령들을 수신하고 이들에게 데이터 및 명령들을 전송하도록 결합되는 적어도 하나의 프로그래밍가능 프로세서(이것은 특수 목적 프로세서일 수 있거나 혹은 범용 프로세서일 수 있음)를 포함한다. 컴퓨터 프로그램들(이것은 또한 프로그램들, 소프트웨어, 소프트웨어 애플리케이션들 혹은 코드로서 알려져 있음)은 프로그래밍가능 프로세서에 대한 명령어들을 포함하며 "컴퓨터가 읽을 수 있는 기록매체"에 저장된다.

[76] 컴퓨터가 읽을 수 있는 기록매체는, 컴퓨터 시스템에 의하여 읽혀질 수 있는 데이터가 저장되는 모든 종류의 기록장치를 포함한다. 이러한 컴퓨터가 읽을 수 있는 기록매체는 ROM, CD-ROM, 자기 테이프, 플로피디스크, 메모리 카드, 하드 디스크, 광자기 디스크, 스토리지 디바이스 등의 비휘발성(non-volatile)

또는 비일시적인(non-transitory) 매체일 수 있다. 또한 컴퓨터가 읽을 수 있는 기록매체는 네트워크로 연결된 컴퓨터 시스템에 분산되어, 분산방식으로 컴퓨터가 읽을 수 있는 코드가 저장되고 실행될 수도 있다.

[77] 이상의 설명은 본 실시예의 기술 사상을 예시적으로 설명한 것에 불과한 것으로서, 본 실시예가 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 실시예의 본질적인 특성에서 벗어나지 않는 범위에서 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 실시예들은 본 실시예의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 실시예의 기술 사상의 범위가 한정되는 것은 아니다. 본 실시예의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 실시예의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

[78] (부호의 설명)

[79] 100: 밸브 성능 시험장치

[80] 102: 메인 밸브

[81] 104: 보조 밸브

[82] 106: 인버터

[83] 108: 인덕터

[84]

[85]

[86] CROSS-REFERENCE TO RELATED APPLICATION

[87] 본 특허출원은, 본 명세서에 그 전체가 참고로서 포함되는, 2020년 12월 23일 한국에 출원한 특허출원번호 제10-2020-0181698 호에 대해 우선권을 주장한다.

청구범위

[청구항 1] MMC(Modular Multi-level Converter) 기반 HVDC(High Voltage Direct Current) 및 MVDC(Medium Voltage Direct Current) 시스템에 대해 밸브(valve)를 시험하기 위한 시험장치에 있어서,
직렬 연결된 n(n은 자연수) 개의 제1 서브모듈을 포함하여 정류기(rectifier) 모드로 동작하는 메인(main) 밸브, 여기서, 상기 제1 서브모듈 각각은 스위치와 다이오드(diode)로 구성된 하프브리지(half bridge) 또는 풀브리지(full bridge) 회로, 및 서브모듈 캐패시터를 포함함;
직렬 연결된 n 개의 제2 서브모듈을 포함하여 인버터(inverter) 모드로 동작하는 보조(auxiliary) 밸브, 여기서, 상기 제2 서브모듈 각각은 상기 제1 서브모듈과 동일한 구조를 가짐;
직류전원의 전압으로부터 교류전압을 생성하는 인버터;
상기 메인 밸브의 입력, 상기 인버터의 출력, 및 상기 보조 밸브의 출력과 루프(loop)를 형성하고, 시험 전류가 흐르는 인덕터(inductor); 및
상기 인버터를 제어하여 상기 직류전원의 회로적 연결을 제어하고, 상기 n 개의 제1 서브모듈 및 상기 n 개의 제2 서브모듈에 대해 상기 스위치를 제어하여 상기 서브모듈 캐패시터의 회로적 연결을 제어하는 제어부
를 포함하는 것을 특징으로 하는 시험장치.

[청구항 2] 제1항에 있어서,
상기 제어부는,
상기 n 개의 제1 서브모듈 각각에 대해, 상기 메인 밸브, 상기 보조 밸브, 및 상기 인버터의 회로적 연결을 제어하여 부스트 컨버터(boost converter)와 등가인 회로를 구현한 후, 상기 스위치를 제어하여 상기 서브모듈 캐패시터에 상기 직류전원의 전압보다 높은 전압을 초기 충전하되, 상기 제1 서브모듈에 적용된 방식과 동일한 방식으로 상기 n 개의 제2 서브모듈 각각에 대해서도 초기 충전을 수행하는 것을 특징으로 하는 시험장치.

[청구항 3] 제1항에 있어서,
상기 제어부는,
상기 인버터를 제어하여 제2 고조파(harmonic wave) 및 DC 오프셋(offset)을 포함하는 교류전압이 생성되도록 하는 것을 특징으로 하는 시험장치.

[청구항 4] 제1항에 있어서,
상기 제어부는,
상기 메인 밸브의 입력과 상기 보조 밸브의 출력이 상쇄될 수 있도록, 상기 제1 서브모듈이 온(on) 상태인 개수와 상기 제2 서브모듈이 온 상태인 개수를 동일하게 유지하는 것을 특징으로 하는 시험장치.

[청구항 5] 제1항에 있어서,
상기 제어부는,
상기 교류전압과 유사한 특성을 갖는 시험 전류를 생성하되, 상기 시험 전류가 양(positive)의 방향으로 흐르는 경우, 상기 제1 서브모듈의 서브모듈 캐패시터의 전압을 증가시키되, 상기 시험 전류가 음(negative)의 방향으로 흐르는 경우, 상기 제1 서브모듈의 서브모듈 캐패시터의 전압을 감소시키는 것을 특징으로 하는 시험장치.

[청구항 6] 제5항에 있어서,
상기 제어부는,
상기 제1 서브모듈에 대하여, 상기 서브모듈 캐패시터의 전압의 평균치와 기설정된 기준 전압 간의 차이를 감소시키는 방향으로 상기 스위치를 제어하는 것을 특징으로 하는 시험장치.

[청구항 7] 제6항에 있어서,
상기 제어부는,
상기 평균치가 상기 기준 전압보다 높고 상기 시험 전류가 상기 양의 방향으로 흐르는 경우, 상기 제1 서브모듈의 온 타이밍을 지연시켜 충전되는 시간을 감소시키되, 상기 평균치가 상기 기준 전압보다 낮고 상기 시험 전류가 상기 음의 방향으로 흐르는 경우, 상기 제1 서브모듈의 오프(off) 타이밍을 지연시켜 방전되는 시간을 감소시키는 것을 특징으로 하는 시험장치.

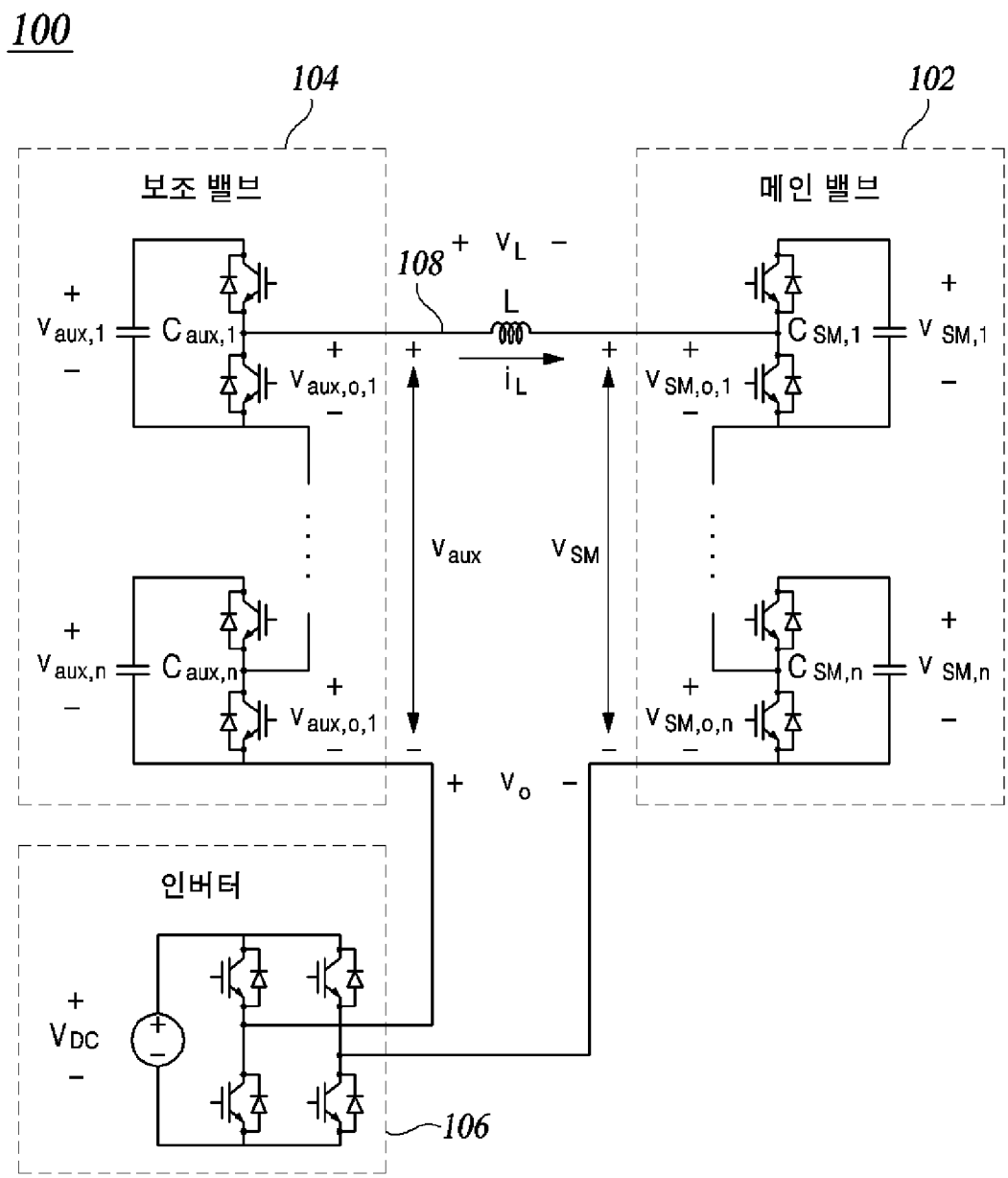
[청구항 8] MMC(Modular Multi-level Converter) 기반 HVDC(High Voltage Direct Current) 및 MVDC(Medium Voltage Direct Current) 시스템에 대해 밸브(valve)를 시험하기 위해 시험장치가 수행하는 시험방법에 있어서,
인버터(inverter)를 제어하여 직류전원의 전압으로부터 교류전압을 생성하는 과정;
직렬 연결된 n(n은 자연수) 개의 제1 서브모듈을 포함하는 메인(main) 밸브를 정류기(rectifier) 모드로 동작시키는 과정, 여기서, 상기 제1 서브모듈 각각은 스위치와 다이오드(diode)로 구성된 하프브리지(half bridge) 또는 풀브리지(full bridge) 회로, 및 서브모듈 캐패시터를 포함함;
직렬 연결된 n(n은 자연수) 개의 제2 서브모듈을 포함하는 보조(auxiliary) 밸브를 인버터 모드로 동작시키는 과정, 여기서, 상기 제2 서브모듈 각각은 상기 제1 서브모듈과 동일한 구조를 가짐;
상기 메인 밸브의 입력, 상기 인버터의 출력, 및 상기 보조 밸브의 출력과 루프(loop)를 형성하는 인덕터(inductor)에 흐르는 시험 전류를 생성하는 과정; 및
상기 n 개의 제1 서브모듈 및 상기 n 개의 제2 서브모듈에 대해 상기 스위치를 제어하여 상기 서브모듈 캐패시터의 회로적 연결을 제어하는 과정

을 포함하는 것을 특징으로 하는 시험방법.

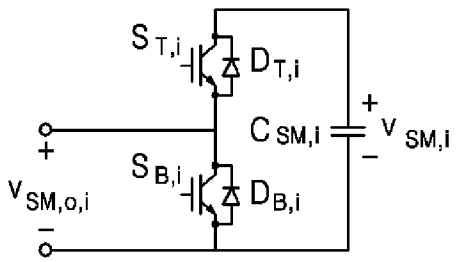
[청구항 9] 제8항에 있어서,

상기 n 개의 제1 서브모듈 각각에 대해, 상기 메인 밸브, 상기 보조 밸브, 및 상기 인버터의 회로적 연결을 제어하여 부스트 컨버터(boost converter)와 등가인 회로를 구현한 후, 상기 스위치를 제어하여 상기 서브모듈 캐패시터에 상기 직류전원의 전압보다 높은 전압을 초기 충전하되, 상기 제1 서브모듈에 적용된 방식과 동일한 방식으로 상기 n 개의 제2 서브모듈 각각에 대해서도 초기 충전을 수행하는 과정을 더 포함하는 것을 특징으로 하는 시험방법.

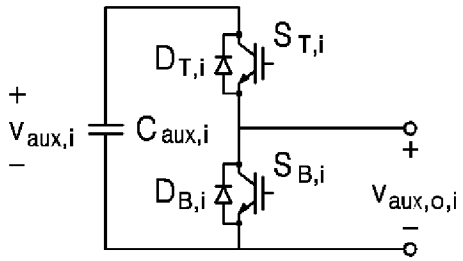
[도1]


100
104
102
보조 밸브
메인 밸브
108
+ V_L −
L
i_L
$V_{aux,1}$
$C_{aux,1}$
$V_{aux,o,1}$
$C_{SM,1}$
$V_{SM,1}$
$V_{SM,o,1}$
$V_{aux,n}$
$C_{aux,n}$
$V_{aux,o,1}$
$C_{SM,n}$
$V_{SM,n}$
$V_{SM,o,n}$
V_{aux}
V_{SM}
+ V_o −
인버터
V_{DC}
106

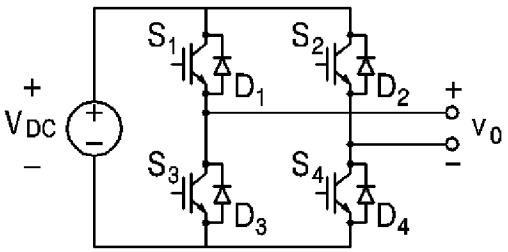
[도2a]


$S_{T,i}$
$D_{T,i}$
$C_{SM,i}$
$V_{SM,i}$
$S_{B,i}$
$D_{B,i}$
$V_{SM,o,i}$

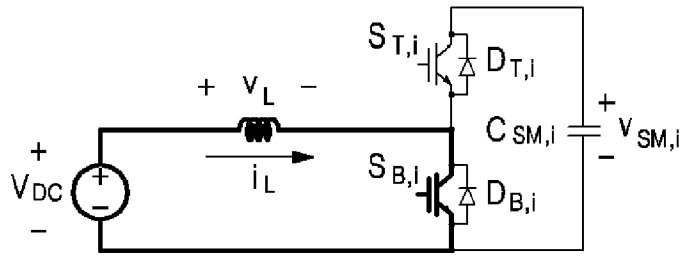
[도2b]

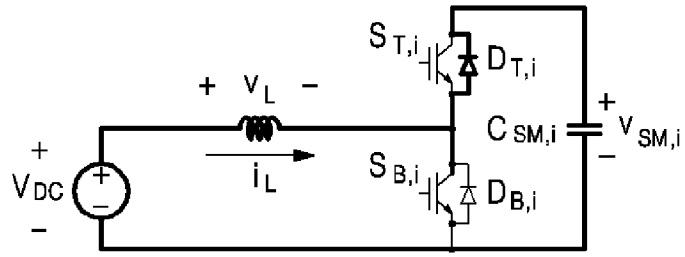

$S_{T,i}$
$D_{T,i}$
$V_{aux,i}$
$C_{aux,i}$
$S_{B,i}$
$D_{B,i}$
$V_{aux,o,i}$

[도3]

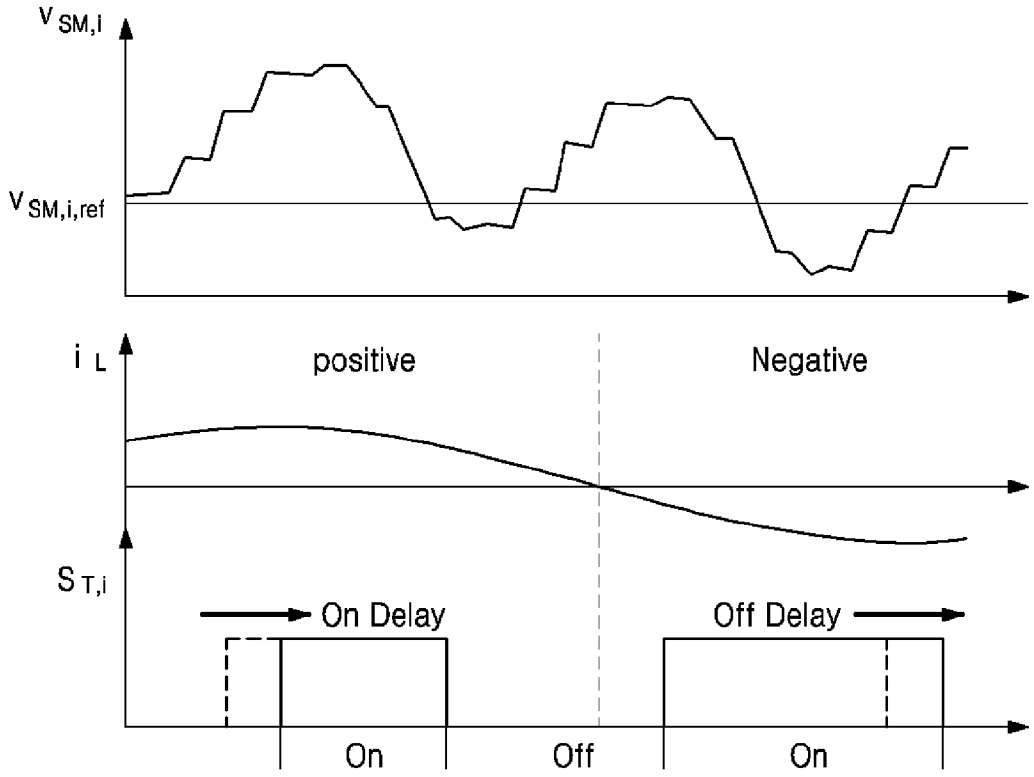

S1
S2
D1
D2
+
VDC
−
+
v0
−
S3
S4
D3
D4

[도4]

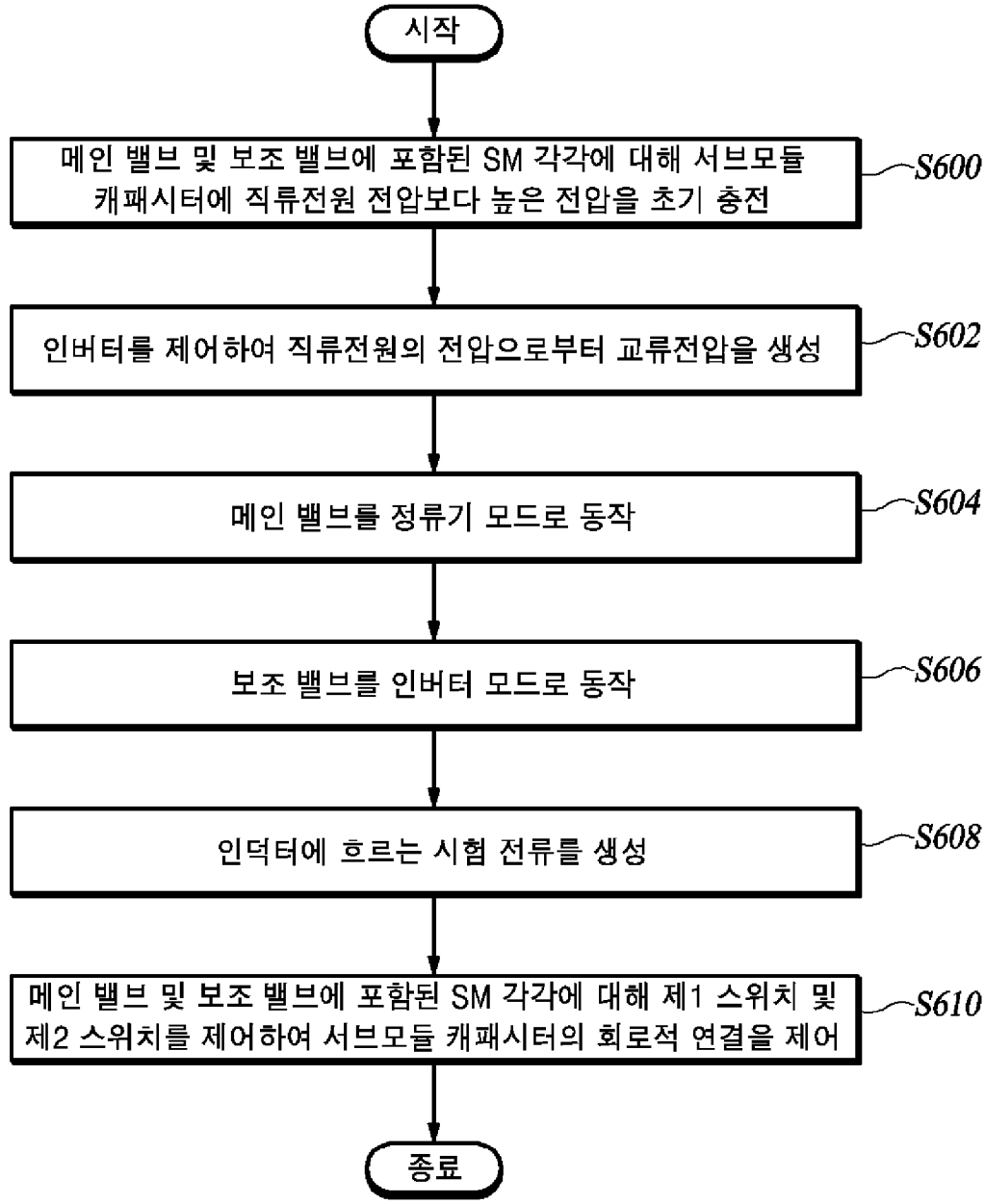

ST,i
DT,i
+ vL −
CSM,i
+
vSM,i
−
+
VDC
−
iL
SB,i
DB,i


ST,i
DT,i
+ vL −
CSM,i
+
vSM,i
−
+
VDC
−
iL
SB,i
DB,i

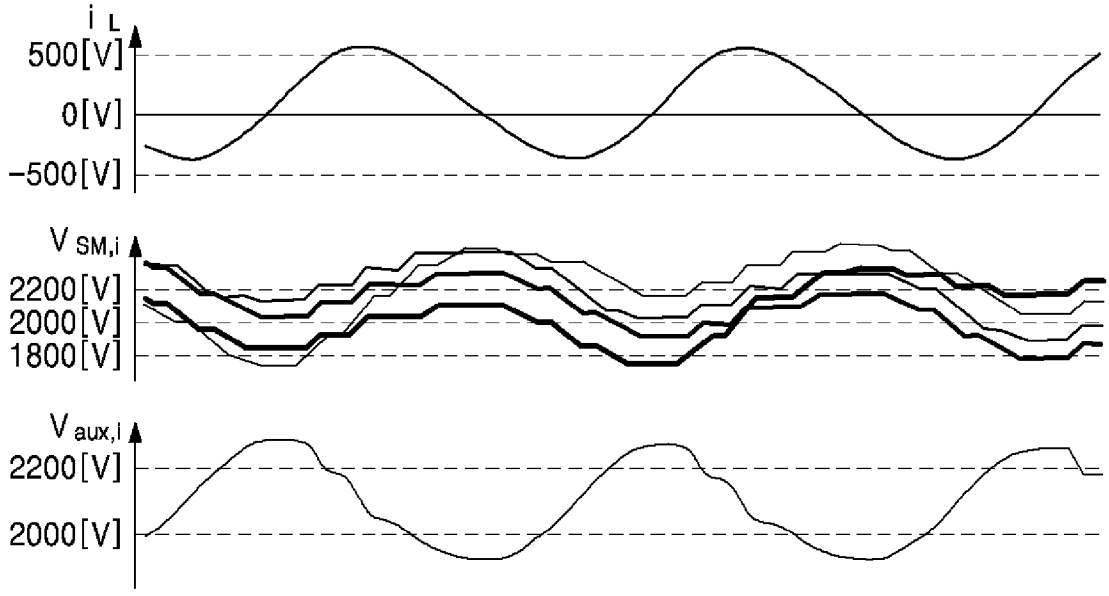
[도5]


vSM,i
vSM,i,ref
iL
positive
Negative
ST,i
On Delay
Off Delay
On
Off
On

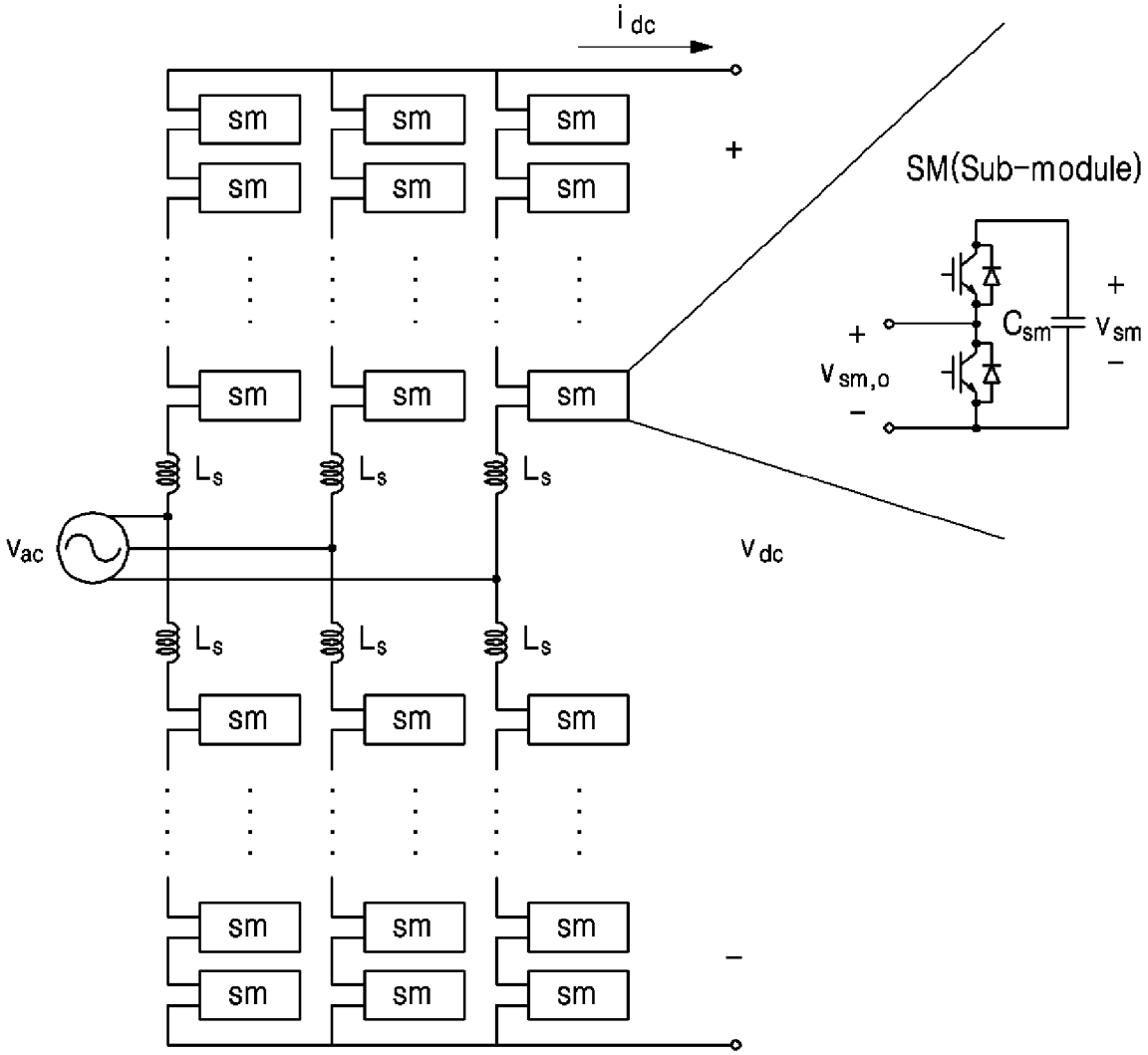
[도6]


시작
메인 밸브 및 보조 밸브에 포함된 SM 각각에 대해 서브모듈 캐패시터에 직류전원 전압보다 높은 전압을 초기 충전
S600
인버터를 제어하여 직류전원의 전압으로부터 교류전압을 생성
S602
메인 밸브를 정류기 모드로 동작
S604
보조 밸브를 인버터 모드로 동작
S606
인덕터에 흐르는 시험 전류를 생성
S608
메인 밸브 및 보조 밸브에 포함된 SM 각각에 대해 제1 스위치 및 제2 스위치를 제어하여 서브모듈 캐패시터의 회로적 연결을 제어
S610
종료

[도7]


i L
500[V]
0[V]
-500[V]
V SM,i
2200[V]
2000[V]
1800[V]
V aux,i
2200[V]
2000[V]

[도8]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/KR2021/019559

A. CLASSIFICATION OF SUBJECT MATTER

G01M 99/00(2011.01)i; **G01M 13/003**(2019.01)i; **F16K 37/00**(2006.01)i; **G01D 5/243**(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G01M 99/00(2011.01); G01R 15/18(2006.01); G01R 19/25(2006.01); G01R 31/00(2006.01); G01R 31/04(2006.01); G01R 31/28(2006.01); G01R 31/36(2006.01); H02M 7/49(2007.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean utility models and applications for utility models: IPC as above
Japanese utility models and applications for utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & keywords: MMC 기반 HVDC 시스템(MMC-based HDVC system), MMC(Modular Multi-level Converter), HDVC(High Voltage Direct Current), 밸브 성능 시험(valve performance test), 풀브리지(full bridge), 하프브리지(half bridge), 인덕터(inductor), 루프(loop), 서브모듈 캐패시터(sub-module capacitor)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	KR 10-1980691 B1 (LSIS CO., LTD. et al.) 22 May 2019 (2019-05-22) See abstract, paragraphs [0001] and [0022]-[0038], claims 1 and 6 and figures 9 and 10.	1,3-4,8
A		2,5-7,9
Y	KR 10-2019-0061204 A (KOREA ELECTROTECHNOLOGY RESEARCH INSTITUTE) 05 June 2019 (2019-06-05) See paragraphs [0038]-[0069] and figures 6 and 20.	1,3-4,8
A	KR 10-1923690 B1 (LSIS CO., LTD. et al.) 29 November 2018 (2018-11-29) See paragraphs [0025]-[0093] and figures 2-5.	1-9
A	JP 2016-010295 A (TOSHIBA MITSUBISHI-ELECTRIC INDUSTRIAL SYSTEM CORP.) 18 January 2016 (2016-01-18) See paragraphs [0012]-[0078] and figures 1-8.	1-9

☑ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"D" document cited by the applicant in the international application
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
17 March 2022	**18 March 2022**

Name and mailing address of the ISA/KR	Authorized officer
Korean Intellectual Property Office **Government Complex-Daejeon Building 4, 189 Cheongsa-ro, Seo-gu, Daejeon 35208**	
Facsimile No. **+82-42-481-8578**	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/KR2021/019559

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2015-0293152 A1 (LSIS CO., LTD.) 15 October 2015 (2015-10-15) See claims 1-12 and figure 4.	1-9

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/KR2021/019559

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
KR	10-1980691	B1	22 May 2019	CN	106257296	A	28 December 2016
				CN	106257296	B	09 August 2019
				EP	3112886	A1	04 January 2017
				EP	3112886	B1	28 August 2019
				ES	2754716	T3	20 April 2020
				JP	2017-011990	A	12 January 2017
				US	2016-0370437	A1	22 December 2016
				US	9869728	B2	16 January 2018
KR	10-2019-0061204	A	05 June 2019	WO	2019-103296	A1	31 May 2019
KR	10-1923690	B1	29 November 2018	CN	108072826	A	25 May 2018
				CN	108072826	B	05 May 2020
				EP	3321705	A1	16 May 2018
				JP	2018-077211	A	17 May 2018
				JP	6495391	B2	03 April 2019
				US	10436844	B2	08 October 2019
				US	2018-0136281	A1	17 May 2018
JP	2016-010295	A	18 January 2016	JP	6192114	B2	06 September 2017
US	2015-0293152	A1	15 October 2015	CN	104977474	A	14 October 2015
				CN	104977474	B	27 February 2018
				EP	2933894	A1	21 October 2015
				JP	2015-203702	A	16 November 2015
				JP	6034437	B2	30 November 2016
				KR	10-1569613	B1	17 November 2015
				KR	10-2015-0118614	A	23 October 2015
				US	9733278	B2	15 August 2017

국 제 조 사 보 고 서

국제출원번호
PCT/KR2021/019559

A. 발명이 속하는 기술분류(국제특허분류(IPC))

G01M 99/00(2011.01)i; **G01M 13/003**(2019.01)i; **F16K 37/00**(2006.01)i; **G01D 5/243**(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

G01M 99/00(2011.01); G01R 15/18(2006.01); G01R 19/25(2006.01); G01R 31/00(2006.01); G01R 31/04(2006.01); G01R 31/28(2006.01); G01R 31/36(2006.01); H02M 7/49(2007.01)

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: MMC 기반 HVDC 시스템(MMC-based HDVC system), MMC(Modular Multi-level Converter), HDVC(High Voltage Direct Current), 밸브 성능 시험(valve performance test), 풀브리지(full bridge), 하프브리지(half bridge), 인덕터(inductor), 루프(loop), 서브모듈 캐패시터(sub-module capacitor)

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y	KR 10-1980691 B1 (엔에스산전 주식회사 등) 2019.05.22 요약, 단락 [0001], [0022]-[0038], 청구항 1, 6 및 도면 9, 10	1,3-4,8
A		2,5-7,9
Y	KR 10-2019-0061204 A (한국전기연구원) 2019.06.05 단락 [0038]-[0069] 및 도면 6, 20	1,3-4,8
A	KR 10-1923690 B1 (엔에스산전 주식회사 등) 2018.11.29 단락 [0025]-[0093] 및 도면 2-5	1-9
A	JP 2016-010295 A (TOSHIBA MITSUBISHI-ELECTRIC INDUSTRIAL SYSTEM CORP.) 2016.01.18 단락 [0012]-[0078] 및 도면 1-8	1-9
A	US 2015-0293152 A1 (LSIS CO., LTD.) 2015.10.15 청구항 1-12 및 도면 4	1-9

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☑ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

"A" 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌
"D" 본 국제출원에서 출원인이 인용한 문헌
"E" 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌
"L" 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌
"O" 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌
"P" 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌
"T" 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌
"X" 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.
"Y" 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.
"&" 동일한 대응특허문헌에 속하는 문헌

국제조사의 실제 완료일	국제조사보고서 발송일
2022년03월17일(17.03.2022)	**2022년03월18일(18.03.2022)**

ISA/KR의 명칭 및 우편주소

대한민국 특허청
(35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사)

팩스 번호 **+82-42-481-8578**

심사관

방승훈

전화번호 **+82-42-481-5560**

국 제 조 사 보 고 서
대응특허에 관한 정보

국제출원번호
PCT/KR2021/019559

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-1980691 B1	2019/05/22	CN 106257296 A	2016/12/28
		CN 106257296 B	2019/08/09
		EP 3112886 A1	2017/01/04
		EP 3112886 B1	2019/08/28
		ES 2754716 T3	2020/04/20
		JP 2017-011990 A	2017/01/12
		US 2016-0370437 A1	2016/12/22
		US 9869728 B2	2018/01/16
KR 10-2019-0061204 A	2019/06/05	WO 2019-103296 A1	2019/05/31
KR 10-1923690 B1	2018/11/29	CN 108072826 A	2018/05/25
		CN 108072826 B	2020/05/05
		EP 3321705 A1	2018/05/16
		JP 2018-077211 A	2018/05/17
		JP 6495391 B2	2019/04/03
		US 10436844 B2	2019/10/08
		US 2018-0136281 A1	2018/05/17
JP 2016-010295 A	2016/01/18	JP 6192114 B2	2017/09/06
US 2015-0293152 A1	2015/10/15	CN 104977474 A	2015/10/14
		CN 104977474 B	2018/02/27
		EP 2933894 A1	2015/10/21
		JP 2015-203702 A	2015/11/16
		JP 6034437 B2	2016/11/30
		KR 10-1569613 B1	2015/11/17
		KR 10-2015-0118614 A	2015/10/23
		US 9733278 B2	2017/08/15