

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4637914号  
(P4637914)

(45) 発行日 平成23年2月23日 (2011.2.23)

(24) 登録日 平成22年12月3日 (2010.12.3)

(51) Int. Cl. F I  
**GO 1 N 27/00 (2006.01)** GO 1 N 27/00 J

請求項の数 17 (全 10 頁)

(21) 出願番号	特願2007-541701 (P2007-541701)	(73) 特許権者	305051211
(86) (22) 出願日	平成16年11月26日 (2004.11.26)		マイクロナス ゲーエムペーハー
(65) 公表番号	特表2008-522139 (P2008-522139A)		ドイツ 79108 フライブルク イム
(43) 公表日	平成20年6月26日 (2008.6.26)		ブライスガウ ハンスーブンテーシュト
(86) 国際出願番号	PCT/EP2004/013464		ラーセ 19
(87) 国際公開番号	W02006/056226	(74) 代理人	100085372
(87) 国際公開日	平成18年6月1日 (2006.6.1)		弁理士 須田 正義
審査請求日	平成19年9月18日 (2007.9.18)	(72) 発明者	レーマン, ミルコ
			ドイツ 79117 フライブルク ズデー
		(72) 発明者	フロイント, インゴ
			ドイツ 79117 フライブルク アイ
			ヒロットストラーセ 1
		審査官	田中 洋介
			最終頁に続く

(54) 【発明の名称】 電気的構成部材

(57) 【特許請求の範囲】

【請求項 1】

基板(2)を有するセンサチップを備えた電気的構成部材(1)であって、前記基板上にパッシベーション層(3)と、少なくとも1つのアクティブな表面領域(5a,5b,5c)を有する、前記センサのための構造が配置されており、その場合に前記チップが鋳造材料によって形成されたカプセル部(6)によって包囲され、前記カプセル部が少なくとも1つの開口部(7)を有しており、前記開口部が少なくとも1つの前記アクティブな表面領域(5a,5b,5c)と前記パッシベーション層(3)への通路を形成し、その場合に前記チップが前記開口部内に少なくとも領域的に前記パッシベーション層(3)と前記アクティブな表面領域(5a,5b,5c)にわたって延びるインタラクション面を有しており、前記インタラクション面が使用位置において液状又はペースト状の媒体と接触し、その場合に前記パッシベーション層(3)と前記基板(2)の間に第1の電気的絶縁層(14)が設けられており、その場合に前記パッシベーション層(3)と前記第1の絶縁層(14)の間に領域的に、導体路として形成された少なくとも1つの領域を有する第1の導体路層(15)が配置されており、その場合に前記第1の絶縁層(14)と前記基板(2)の間に第2の電気的絶縁層(16)が設けられており、その場合に前記第1の絶縁層(14)と前記第2の絶縁層(16)の間に導体路として形成された少なくとも1つの領域を有する第2の導体路層(17)が配置されており、かつその場合に前記導体路の少なくとも1つが前記センサ構造と接続されている、前記電気的構成部材において、

前記第1の導体路層(15)の、少なくとも電位を案内する領域が、前記チップの、前記インタラクション面によって覆われる領域の完全に外部に配置されていることを特徴とする

電氣的構成部材。

【請求項 2】

前記センサチップがCMOSチップである請求項1記載の電氣的構成部材。

【請求項 3】

基板(2)を有するセンサチップを備えた電氣的構成部材(1)であって、前記基板上にパッシベーション層(3)と、少なくとも1つのアクティブな表面領域(5a,5b,5c)を有する、前記センサのための構造が配置されており、その場合に前記チップが鑄造材料によって形成されるカプセル部(6)によって包囲され、前記カプセル部が少なくとも1つの開口部(7)を有しており、前記開口部が少なくとも1つの前記アクティブな表面領域(5a,5b,5c)及び前記パッシベーション層(3)への通路を形成し、その場合に前記チップが前記開口部内に少なくとも領域的に前記パッシベーション層(3)と前記アクティブな表面領域(5a,5b,5c)にわたって延びるインタラクション面を有しており、前記インタラクション面が使用位置において液状又はペースト状の媒体と接触し、その場合に前記パッシベーション層(3)と前記基板(2)の間に第1の電氣的絶縁層(14)が設けられており、その場合に前記パッシベーション層(3)と前記第1の絶縁層(14)の間の領域に、少なくとも2つの互いに対して側方に隣接して電氣的に導通する層領域(15a,15b,15c)を有する、第1の導体路層(15)が配置されており、その場合に前記第1の絶縁層(14)と前記基板(2)の間に第2の電氣的絶縁層(16)が設けられており、その場合に前記第1の絶縁層(14)と前記第2の絶縁層(16)の間に第2の導体路層(17)が配置されている、前記電氣的構成部材において、

前記第1の導体路層(15)の、少なくとも前記インタラクション面によって覆われる領域内で、互いに対して側方に隣接して電氣的に導通する前記層領域(15a,15b,15c)間の間隔(a)が、それぞれ、この導体路層(15)の厚みの1.2倍より小さいことを特徴とする電氣的構成部材。

【請求項 4】

前記センサチップがCMOSチップである請求項3記載の電氣的構成部材。

【請求項 5】

前記第1の導体路層(15)の、少なくとも前記インタラクション面によって覆われる領域内で、この導体路層(15)の互いに対して側方に隣接する前記層領域(15a,15b,15c)間の間隔(a)が、それぞれ、前記第1の導体路層(15)の厚みの1.1倍より小さいことを特徴とする請求項3又は4記載の電氣的構成部材(1)。

【請求項 6】

前記第1の導体路層(15)の、少なくとも前記インタラクション面によって覆われる領域内で、この導体路層(15)の互いに対して側方に隣接する前記層領域(15a,15b,15c)間の間隔(a)が、それぞれ、前記第1の導体路層(15)の厚みの1.0倍より小さいことを特徴とする請求項3又は4記載の電氣的構成部材(1)。

【請求項 7】

前記第1の導体路層(15)の、少なくとも前記インタラクション面によって覆われる領域内で、この導体路層(15)の互いに対して側方に隣接する前記層領域(15a,15b,15c)間の間隔(a)が、それぞれ、前記第1の導体路層(15)の厚みの0.9倍より小さいことを特徴とする請求項3又は4記載の電氣的構成部材(1)。

【請求項 8】

前記第1の導体路層(15)の、少なくとも前記インタラクション面によって覆われる領域内で、この導体路層(15)の互いに対して側方に隣接する前記層領域(15a,15b,15c)間の間隔(a)が、それぞれ、前記第1の導体路層(15)の厚みの0.8倍より小さいことを特徴とする請求項3又は4記載の電氣的構成部材(1)。

【請求項 9】

前記第2の導体路層(17)が、少なくとも2つの互いに対して側方に隔たった、電氣的に導通する層領域(17a,17b,17c)を有しており、

前記第2の導体路層(17)の、少なくともインタラクション面によって覆われる領域内で、この導体路層(17)の互いに対して側方に隣接する前記層領域(17a,17b,17c)間の間隔(b)

10

20

30

40

50

が、それぞれ、前記第2の導体路層(17)の厚みの1.2倍より小さいことを特徴とする請求項1ないし8いずれか1項に記載の電気的構成部材(1)。

【請求項10】

前記第2の導体路層(17)が、少なくとも2つの互いに対して側方に隔たった、電氣的に導通する層領域(17a,17b,17c)を有しており、

前記第2の導体路層(17)の、少なくともインタラクション面によって覆われる領域内で、この導体路層(17)の互いに対して側方に隣接する前記層領域(17a,17b,17c)間の間隔(b)が、それぞれ、前記第2の導体路層(17)の厚みの1.1倍より小さいことを特徴とする請求項1ないし8いずれか1項に記載の電気的構成部材(1)。

【請求項11】

前記第2の導体路層(17)が、少なくとも2つの互いに対して側方に隔たった、電氣的に導通する層領域(17a,17b,17c)を有しており、

前記第2の導体路層(17)の、少なくともインタラクション面によって覆われる領域内で、この導体路層(17)の互いに対して側方に隣接する前記層領域(17a,17b,17c)間の間隔(b)が、それぞれ、前記第2の導体路層(17)の厚みの1.0倍より小さいことを特徴とする請求項1ないし8いずれか1項に記載の電気的構成部材(1)。

【請求項12】

前記第2の導体路層(17)が、少なくとも2つの互いに対して側方に隔たった、電氣的に導通する層領域(17a,17b,17c)を有しており、

前記第2の導体路層(17)の、少なくともインタラクション面によって覆われる領域内で、この導体路層(17)の互いに対して側方に隣接する前記層領域(17a,17b,17c)間の間隔(b)が、それぞれ、前記第2の導体路層(17)の厚みの0.9倍より小さいことを特徴とする請求項1ないし8いずれか1項に記載の電気的構成部材(1)。

【請求項13】

前記第2の導体路層(17)が、少なくとも2つの互いに対して側方に隔たった、電氣的に導通する層領域(17a,17b,17c)を有しており、

前記第2の導体路層(17)の、少なくともインタラクション面によって覆われる領域内で、この導体路層(17)の互いに対して側方に隣接する前記層領域(17a,17b,17c)間の間隔(b)が、それぞれ、前記第2の導体路層(17)の厚みの0.8倍より小さいことを特徴とする請求項1ないし8いずれか1項に記載の電気的構成部材(1)。

【請求項14】

前記第1の導体路層が、金属からなり、前記第2の導体路層が、ドーブされた半導体材料からなることを特徴とする請求項1ないし13いずれか1項に記載の電気的構成部材(1)。

【請求項15】

前記第1の導体路層が、アルミニウムからなり、前記第2の導体路層が、ポリシリコンからなることを特徴とする請求項1ないし13いずれか1項に記載の電気的構成部材(1)。

【請求項16】

前記基板(2)上の、前記開口部(7)によって覆われる領域の外部に、電気回路のための構造が配置されており、かつ

この構造が前記導体路層(15,17)の少なくとも1つを介して前記センサ構造と電氣的に接続されていることを特徴とする請求項1ないし15いずれか1項に記載の電気的構成部材(1)。

【請求項17】

前記基板(2)上の、前記開口部(7)によって覆われる領域の外部に、評価装置のための構造が配置されており、かつ

この構造が前記導体路層(15,17)の少なくとも1つを介して前記センサ構造と電氣的に接続されていることを特徴とする請求項1ないし15いずれか1項に記載の電気的構成部材(1)。

10

20

30

40

50

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、センサチップ、特にCMOSチップ、を有する電氣的構成部材に関するものであって、前記チップが基板を有し、その基板の上にパッシベーション層と、少なくとも1つのアクティブな表面領域を備えた、センサのための少なくとも1つの構造が配置されており、その場合にチップがカプセル部によって包囲されており、そのカプセル部が少なくとも1つの開口部を有し、その開口部が少なくとも1つのアクティブな表面領域及びパッシベーション層への通路を形成し、その場合にチップが開口部内に、少なくとも領域的にパッシベーション層とアクティブな表面領域にわたって延びるインタラクション面を有し、そのインタラクション面が使用位置において液状又はペースト状の媒体と接触し、その場合にパッシベーション層と基板との間に第1の電氣的絶縁層が設けられており、その場合にパッシベーション層と第1の絶縁層との間には領域的に第1の導体路層が配置されており、その場合に第1の絶縁層と基板との間に第2の電氣的絶縁層が設けられており、その場合に第1の絶縁層と第2の絶縁層の間に第2の導体路層が配置されており、かつその場合に導体路の少なくとも1つが、センサ構造と接続されている。

10

## 【背景技術】

## 【0002】

この種の電氣的構成部材は、実際から知られている。この構成部材は、半導体基板を備えたCMOSチップを有しており、その中にセンサとしてイオン感応式電界効果トランジスタ（ISFET）が内蔵されている。センサは、ゲート電極として形成されたアクティブな表面領域を有しており、その表面領域は、液状媒体内に含まれるイオンを検出するために媒体と接触させることができる。基板上に、アルミニウムからなる複数の導体路層、いわゆるレイヤが配置されており、その中に導体路及び/又は導体路の部分が延びている。複数の導体路層にわたって延びる、導体路の導体路部分は、スルー接触によって互いに接続されている。導体路層の間及び基板に最も密接して配置された、一番下の導体路層と基板との間に、それぞれ電氣的絶縁層が設けられている。導体路層と絶縁層から形成される層スタック上に、カバー層としてパッシベーション層が配置されている。導体路は、ISFETのドレインとソースを、それらから離れてCMOSチップの表面に配置されているボンドパッドと接続する。

20

30

## 【0003】

CMOSチップは、それに密着するプラスチック鑄造材料のカプセル部によって覆われており、それが開口部を有し、その開口部がアクティブな表面領域と接続されており、かつその開口部内へ液状の媒体を充填することができる。その場合に媒体が、パッシベーション層の部分領域とアクティブな表面領域にわたって延びるインタラクション面においてチップと接触する。導体路層と絶縁層は、それぞれチップの、インタラクション面によって覆われる領域内まで延びている。パッシベーション層と絶縁層は、導体路層のための腐食防止部材として用いられ、その腐食防止部材が、導体路層が液状の媒体と接触してしまうことを阻止しようとする。しかし、実際においては、チップが液状又はペースト状の媒体で充填された場合に、パッシベーション層が導体路層の制限された腐食防止しか可能にせず、かつチップは比較的短い寿命しか持たないことが、明らかにされている。導体路が、例えばパッシベーション層における欠陥に基づいて媒体と接触した場合には、それがまるごとのチップの不具合をもたらす可能性がある。

40

## 【0004】

F.ファスベンダら（F.Fassbender et.al.）の、非特許文献1からも、既にシリコン基板を有し、その上に16のほぼ矩形の電極を有するアレイが配置されている、半導体チップが知られている。電極は、唯一の導体路層内に延びる導体路を介してボンドパッドと接続されている。導体路層は、パッシベーション層によって覆われている。チップを形成する場合に、まず、半導体基板上に熱処理を用いて二酸化ケイ素層が形成される。その中の、後に導体路となるべき箇所に、溝状の凹部が形成される。その凹部内に金属が挿入さ

50

れて、それが導体路を形成する。二酸化ケイ素基板内に導体路が低く配置されていることによって、チップの実質的に平坦な表面が生じる。この平坦な表面によって、パッシベーション層内の機械的応力を回避しようとしており、その機械的応力は亀裂をもたらすおそれがあり、電極を用いて分析すべき分析物がその亀裂を介して導体路層と接触して、導体路層に腐食をもたらすことがある。この措置によってチップの腐食耐性を向上させ、従ってチップの寿命を延長することはできる。しかし、基板上にある二酸化ケイ素層に溝を形成することは、チップを形成する場合に、特にCMOSプロセスにおいて、少なからぬ時間増を必要とする。

【非特許文献1】F.ファスベンダら(F.Fassbender et.al.) "Optimization of passivation layers for corrosion protection of silicon-based microelectrode arrays, Sensors and Actuators B 68(2000)" p.128-133

10

【発明の開示】

【発明が解決しようとする課題】

【0005】

従って本発明の課題は、半導体製造において通常の標準プロセスで安価に形成することができ、それにもかかわらず良好な腐食耐性と長い寿命を可能にする、冒頭で挙げた種類の電氣的構成部材を提供することである。

【課題を解決するための手段】

【0006】

この課題は、特許請求項1の特徴によって解決される。

20

【0007】

その場合に本発明によれば、パッシベーション層に隣接する第1の導体路層の、少なくとも電位を案内する領域ないし、構成部材の電氣的機能に必要な領域が、チップの、インタラクション面によって覆われる領域の完全に外部に配置されている。チップの、インタラクション面によって覆われる領域内において、開口部ないしはその中にある液状又はペースト状の媒体に対して最小の間隔を有する一番上の導体路層と、構成部材の電氣的機能のために利用される導体路層との間に、パッシベーション層に加えて少なくとも更に、第1の絶縁層が配置されており、それによって、一番上の導体路層と液状又はペースト状の媒体との間にパッシベーション層しか設けられていないチップに比較して、腐食耐性が著しく改良されている。チップの、インタラクション面によって覆われる領域の内部に、場合によっては、第1の導体路層の電氣的に導通する、浮遊する少なくとも1つの部分領域を配置することができ、その部分領域は電圧及び/又は電流を案内するために利用されず、従って構成部材の電氣的機能にとって意味をもたない。チップを形成する場合に、第2の導体路層の少なくとも1つの導体路を形成した後に、まず第1の絶縁層が、そしてその後第1の導体路層とパッシベーション層がチップ上に形成され、ないしはチップ上に取り付けられる。絶縁層の導体路から離れた境界面に、少なくとも1つの導体路の輪郭によってもたらされる表面構造は、第2の導体路層の導体路の輪郭に比較して、既にずっと平坦であって、平滑化されている。パッシベーション層によって、この表面構造が更に平滑化されるので、パッシベーション層はほぼ平坦な表面を有し、その表面は鋭い段部や突出部を有していない。従ってチップ内に機械的な応力が発生した場合にパッシベーション層内に亀裂をもたらす危険が、著しく減少される。従って本発明に基づく構成部材は、良好な腐食耐性と長い寿命を可能にする。構成部材のチップは、半導体製造において一般的な標準プロセスで安価に形成することができる。チップ表面に溝を手間をかけて複雑に形成することを、省くことができる。パッシベーション層は、場合によっては異なる材料からなる、複数の層から構成することもできる。それによって、更に良好な腐食防止が得られる。電氣的構成部材は、ガスセンサであることもでき、そのガスセンサにおいてインタラクション面と接触する液状の媒体は薄い、例えば2～3ナノメートルの厚みの湿潤層である。

30

40

【0008】

上述した課題は、特許請求項3の特徴によっても解決される。

50

## 【0009】

その場合に本発明によれば、第1の導体路層の、インタラクション面によって覆われる領域内で、この導体路層の互いに対して側方に隣接し、互いに隔てられた、電氣的に導通する層領域間の間隔が、それぞれ、導体路層の厚みの1.2倍よりも小さい。それによって簡単な方法で、第1の導体路層の上に配置されたパッシベーション層の、開口部側の、使用位置において液状又はペースト状の媒体と接触する表面が、第1の導体路層の層領域間の間隔をつなぐ領域内で、ほぼ平坦であることが達成される。従ってチップ内に機械的応力が発生した場合にパッシベーション層内に亀裂形成をもたらす危険が著しく減少される。従って本発明に基づく電氣的構成部材は、良好な腐食耐性と長い寿命を有している。構成部材のチップは、半導体製造の標準プロセスで通常のように安価に形成することができる。媒体と接触するために設けられているインタラクション面は、好ましくは、チップの、カプセル部の開口部によって覆われる表面領域全体にわたって延びている。

10

## 【0010】

本発明の好ましい実施形態において、第1の導体路層の少なくとも、インタラクション面によって覆われる領域内で、この導体路層の互いに対して側方に隣接する層領域間の間隔は、それぞれ、第1の導体路層の厚みの1.1倍より小さく、特に1.0倍より小さく、場合によっては0.9倍より小さく、好ましくは0.8倍より小さい。その場合に、電氣的構成部材は、更に良好な腐食耐性を可能にする。

## 【0011】

第2の導体路層が、少なくとも2つの互いに対して側方に隣接して電氣的に導通する層領域を有している場合に、第1の導体路層の、少なくともインタラクション面によって覆われる領域内で、この導体路層の互いに対して側方に隣接する層領域間の間隔が、それぞれ、第2の導体路層の厚みの、1.2倍より小さく、特に1.1倍より小さく、場合によっては1.0倍より小さく、場合によっては0.9倍より小さく、好ましくは0.8倍より小さいと、効果的である。それによってパッシベーション層の更に平坦な表面が得られ、それによって、チップ内に機械的応力が発生した場合にパッシベーション層内に亀裂が形成される危険が更に減少される。従って電氣的構成部材は、より長い寿命を有している。

20

## 【0012】

第1の導体路層が金属から、好ましくはアルミニウムからなり、第2の導体路層がドーブされた半導体材料から、特にポリシリコンからなると、効果的である。アルミニウムからなる導体路は、良好な電氣的導通性を有している。アルミニウムは、比較的わずかな腐食耐性しか持たないので、表面近傍の第1の導体路層は、インタラクション面によって覆われるチップ領域の外部のみに、かつこの領域に対して間隔をおいて設けられている。インタラクション面によって覆われるチップ領域の内部では、導体路ガイドのためにポリシリコンからなる1つ又は複数の導体路層のみが使用される。それによってチップは、開口部内にある液状又はペースト状の媒体に対して更に良好な腐食耐性を有する。インタラクション面によって覆われるチップ領域の外部において、ポリシリコン導体路をアルミニウム導体路と接続することができる。第1の導体路層と第2の導体路層の間に、場合によっては、金属からなる少なくとも1つの他の導体路層とそれに対応づけられた他の絶縁層を配置することができる。即ち第2の導体路層がセンサチップの、必ずしも上から2番目の導体路層である必要はなく、第2の絶縁層が必ずしも上から2番目の絶縁層である必要はない。

30

40

## 【0013】

本発明の好ましい形態において、基板上で開口部によって覆われる領域の外部に、電子回路のため、特に評価装置のための構造が配置されており、その場合にこの構造は、導体路層の少なくとも1つを介してセンサ構造と電氣的に接続されている。その場合に電子回路とセンサからなる回路配置は、特にコンパクトな寸法を可能にする。更に、この回路配置は、半導体製造の方法によって大量生産で安価に形成することができる。

【発明を実施するための最良の形態】

50

## 【0014】

以下、図面を用いて本発明の実施例を詳細に説明する。

## 【0015】

図1に全体を符号1で示す電氣的構成部材は、センサチップを有し、そのセンサチップがpドーブされたケイ素からなる半導体基板2を有しており、その上にセンサのための構造が配置されている。センサチップは、カバー層として、パッシベーション層3を有しており、そのパッシベーション層は好ましくは窒化ケイ素及び/又は二酸化ケイ素からなり、数100nmから数 $\mu$ mの厚みであることができる。図1の左に示すセンサ構造は、アクティブな表面領域5aを備えた貴金属電極4aを有し、図1の右に示すセンサ構造は、アクティブな表面領域5bを備えた窒化ケイ素層4bを有している。チップは、図1と2に部分的にだけ示されている、鑄造材料によって形成されたカプセル部6によって包囲されており、そのカプセル部が開口部7を有しており、その開口部がアクティブな表面領域5a、5bへの通路を形成する。カプセル部6の、少なくとも開口部を画成する端縁が、チップに密着している。開口部7内へ、テストされる液状又はペースト状の媒体8を投入することができ、その媒体がインタラクション面においてチップに接触し、図1に示す実施例においてそのインタラクション面は、チップ1の、開口部7によって覆われる、露出した表面領域全体に相当する。しかし、チップが領域的にだけ液状の媒体8内へ浸かっている場合に、インタラクション面がチップ1の、開口部7によって覆われる表面領域の一部のみにわたって延びていることも考えられる。

10

## 【0016】

図1に示す実施例において、電極4aは、基板2上に設けられている電界酸化物層9上に配置されている。電極4bは、ゲート電極として形成されており、電界効果トランジスタ(FET)のチャンネル領域10に隣接して配置されている。チャンネル領域10は、基板2内へ挿入された、nドーブされた領域13内の電界効果トランジスタのp+ソース11とp+ドレイン12の間に形成されている。図1に明らかなように、ソース11とドレイン12は、領域13上に配置されている。チャンネル領域10の両側において、ソース11とドレイン12上に電界酸化物層9が配置されている。電界酸化物層9は、チャンネル領域10の領域内に中断部を有している。この中断部が電極4bによってつながれている。

20

## 【0017】

パッシベーション層3と基板2の間に、金属間誘電体(Inter Metallic Dielectric/IMD)として形成された、第1の電氣的絶縁層14が配置されている。パッシベーション層3と第1の絶縁層14の間に領域的に、アルミニウムからなる第1の導体路層15が配置されている。第1の導体路層15は、導体路として形成された複数の領域を有している。第1の絶縁層14と基板2の間に、第2の電氣的絶縁層16として、層間誘電体(Inter Layer Dielectric/ILD)が配置されている。

30

## 【0018】

第1の絶縁層14と第2の絶縁層16の間に、アルミニウムからなり、導体路として形成された領域を有する、第2の導体路層17が設けられている。図1に明らかなように、第2の導体路層17の第1の導体路はnドーブされた領域13と接続され、第2の導体路がソース11と、そして第3の導体路がドレイン12と接続されている。そのために第2の絶縁層16と電界酸化物層9内に、中断部が設けられており、その中断部がそれぞれ導体路の一部によって貫通される。第1の絶縁層14と第2の絶縁層16は、電極4a、4bのアクティブな表面領域5a、5bに中断部18を有しており、その中断部がカプセル部6の開口部7と接続されている。第2の導体路層17は、絶縁層14、16によって中断部18から側方へ隔てられており、かつこの中断部に対して密封されている。パッシベーション層3は、中断部18によって貫通される。

40

## 【0019】

図1に明らかなように、第1の導体路層15はチップの、カプセル部6の開口部7によって覆われる領域の完全に外部に配置されている。更に、第1の導体路層15は、第1の絶縁層14とパッシベーション層3によって中断部18から側方へ隔てられており、かつ

50

この中断部に対して密封されている。はっきりと認識できるように、第1の導体路層15はチップの、開口部7によって覆われる領域内で、チップの広がり平面に対して垂直に延びる方向に、パッシベーション層3とその下にある第1の絶縁層14によって開口部7から隔てられている。それによって、開口部7内にある媒体8に対して、第1の導体路層15の良好な腐食耐性が得られる。パッシベーション層3の、開口部7に隣接する表面は、中断部18によって隔てられた領域内で、ほぼ平坦であるので、チップ内に機械的応力が発生した場合に、パッシベーション層3内に亀裂が形成される危険がそれに応じて減少されている。パッシベーション層3の、基板2とは逆の表面領域に第1の導体路層15によってもたらされる、パッシベーション層3の段部19は、カプセル部6によって覆われており、かつ開口部7から側方へ隔たっている。それによって、パッシベーション層内で段部19に亀裂が形成されてしまった場合に、第2の導体路層17はカプセル部6によってなお開口部7に対して密封されており、従って媒体8による腐食から保護される。

10

#### 【0020】

従って図1に示す電氣的構成部材1は、基板2を備えたセンサチップを有しており、その基板上にパッシベーション層3と、アクティブな表面領域5a、5bを有するセンサ構造とが配置されている。チップは、カプセル部6によって包囲されており、そのカプセル部が開口部7を有し、その開口部が少なくとも1つのアクティブな表面領域5a、5bへの通路を形成する。基板2上に、層スタックが配置されており、その層スタックは - パッシベーション層3から始まって基板2へ - 少なくとも1つの第1の導体路層15、第1の電氣的絶縁層14、第2の導体路層17及び第2の電氣的絶縁層16を有している。第1の導体路層15は、チップの、開口部7によって覆われる領域の完全に外部に配置されている。第2の導体路層15の少なくとも1つの導体路が、センサ構造と接続されている。

20

#### 【0021】

図2に示す実施例においても、基板2内に、ソース11、ドレイン12及びチャネル領域10を有する電界効果トランジスタが統合されている。電界効果トランジスタは、チャネル領域10に隣接して、アクティブな表面領域5cを備えたゲート電極4cを有している。電界効果トランジスタを用いて、例えば、開口部7内にある、ゲート電極4cと接触する媒体内に配置されたイオンを検出することができる。ソース11とドレイン12上に電界酸化物層9が配置されており、その電界酸化物層はチャネル領域10に隣接して中断部を有しており、ゲート電極4cがその中断部をつないでいる。

30

#### 【0022】

この実施例においても、パッシベーション層3と基板2の間に、金属間誘電体(IMD)として形成された、第1の電氣的絶縁層14が配置されている。パッシベーション層3と第1の電氣的絶縁層14の間に、領域的に第1の導体路層15が設けられており、それはアルミニウムからなり、複数の電氣的に導通する層領域15a、15b、15cを有している。層領域15a、15bは、導体路として形成されている。層領域15cは、導体路としては利用されない。第1の導体路層15の、開口部7とパッシベーション層3によって覆われる領域内で、互いに対して側方に隣接する層領域15a、15b、15c間の間隔aは、それぞれ導体路層15の厚みよりも小さい。

#### 【0023】

第1の絶縁層14と基板2の間に、第2の電氣的絶縁層16として層間誘電体(ILD)が配置されている。第1の絶縁層14と第2の絶縁層16の間に、領域的に、アルミニウムからなる第2の導体路層17が配置されている。第2の導体路層17と第1の絶縁層14は、中断部18によって貫通される。第2の導体路層17は、中断部18から距離をおいて終了しており、かつ第1の絶縁層14と第2の絶縁層16によって中断部18に対して密封されている。

40

#### 【0024】

第2の導体路層17は、複数の電氣的に導通する層領域17a、17b、17cを有している。層領域17a、17bは、導体路として形成されており、層領域17cは導体路としては利用されない。第2の導体路層17の、開口部7とパッシベーション層3によ

50

て覆われる領域内で、互いに対して側方に隣接する層領域 17 a、17 b、17 c の間の間隔 b は、それぞれ導体路層 17 の厚みよりも小さい。この厚みは、第 1 の電気的絶縁層 14、第 1 の導体路層 15 及びパッシベーション層 3 の厚みにほぼ相当する。第 1 の導体路層 15 の層領域 15 a、15 b、15 c の間ないし第 2 の導体路層 17 の層領域 17 a、17 b、17 c の間の小さい側方間隔 a、b によって、導体路層 15、17 の互いに隣接して並べて配置された層領域 15 a、15 b、15 c、17 a、17 b、17 c の間の間隙の直交方向の投影に相当する、パッシベーション層 3 の表面の領域は、それぞれほぼ平坦である。それによって、チップ内に機械的応力が発生した場合に、パッシベーション層 3 内に亀裂が形成される危険が、それに応じて減少されている。

【0025】

第 2 の絶縁層 16 と電界酸化物層 9 の間に、酸化物層として形成された第 3 の電気的絶縁層 20 が配置されている。この第 3 の絶縁層と第 2 の絶縁層 16 の間に、領域的に、ポリシリコン層 からなり、かつ導体路を形成する、第 3 の導体路層 21 が設けられている。第 3 の絶縁層 20 と電界酸化物層 9 の間に、同様に ポリシリコン層 22 からなり、かつ他の電気的導体路を有する、第 4 の導体路層 22 が配置されている。

【0026】

なお、導体路層 15、17、21、22 の導体路がスルー接触によって互いに接続することができることを付言しておく。基板 2 をガラスから形成することもできる。

【図面の簡単な説明】

【0027】

【図 1】本発明に基づく電気的構成部材の第 1 の実施例を示す部分横断面図である。

【図 2】本発明に基づく電気的構成部材の第 2 の実施例を示す部分横断面図である。

【図 1】

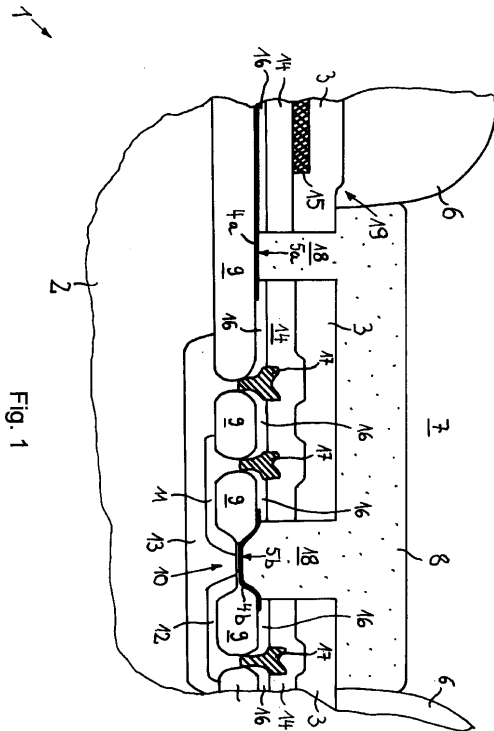


Fig. 1

【図 2】

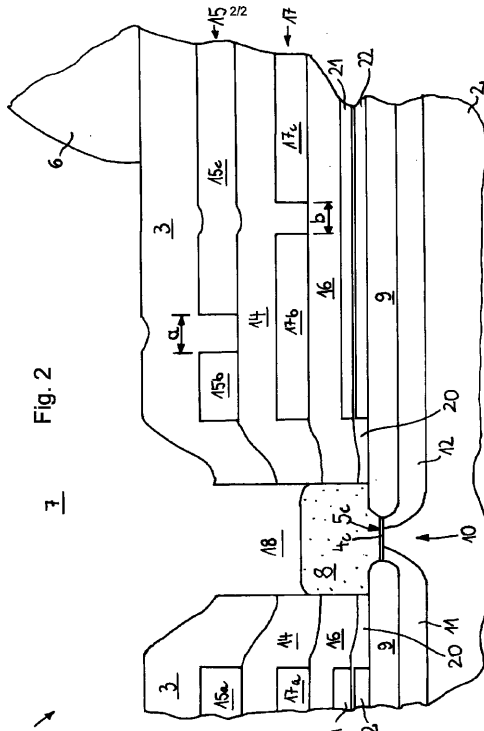


Fig. 2

---

フロントページの続き

- (56)参考文献 特開平10-199989(JP,A)  
特開2003-322633(JP,A)  
特表2003-515097(JP,A)

(58)調査した分野(Int.Cl., DB名)

G01N 27/00-27/49

H01L 21/00-21/98

JSTPlus/JST7580(JDreamII)