

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-207151

(P2015-207151A)

(43) 公開日 平成27年11月19日(2015.11.19)

(51) Int.Cl.

G05F 1/56 (2006.01)

F I

G05F 1/56 310D

テーマコード (参考)

5H430

審査請求 未請求 請求項の数 7 O L (全 16 頁)

(21) 出願番号 特願2014-87311 (P2014-87311)
 (22) 出願日 平成26年4月21日 (2014. 4. 21)

(71) 出願人 303046277
 旭化成エレクトロニクス株式会社
 東京都千代田区神田神保町一丁目105番地
 (74) 代理人 100066980
 弁理士 森 哲也
 (74) 代理人 100103850
 弁理士 田中 秀▲てつ▼
 (72) 発明者 押切 洋平
 神奈川県厚木市岡田3050番地 旭化成
 エレクトロニクス株式会社内
 (72) 発明者 中村 正広
 神奈川県厚木市岡田3050番地 旭化成
 エレクトロニクス株式会社内

最終頁に続く

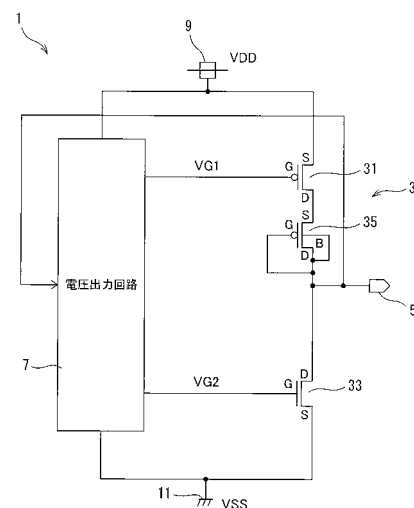
(54) 【発明の名称】 レギュレータ回路

(57) 【要約】

【課題】 本発明は、安定して出力電圧を出力可能なレギュレータ回路を提供することを目的とする。

【解決手段】 レギュレータ回路1は、電圧出力回路7と、PMOSトランジスタ31とNMOSトランジスタ33と、ダイオード接続されたPMOSトランジスタ35とを有する出力段3とを備える。電源電圧VDDが急峻に下降したときに、PMOSトランジスタ35のゲートソース間に閾値電圧以上の電圧が印加されず、PMOSトランジスタ35はオフ状態となる。これにより、出力端子5は、電源端子9に対してハイインピーダンス状態となり、それまで出力していたレギュレータ出力電圧VREGOUTを保持して出力し続ける。特に、PSI5通信やDSI通信する車載製品に好適である。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 の電圧と第 2 の電圧を出力する電圧出力回路と、

前記第 1 の電圧が入力される第 1 の MOS トランジスタ、前記第 2 の電圧が入力される第 2 の MOS トランジスタ、及び、電源電圧が降下したときに、出力電圧を出力するノードを前記電源電圧に対して High-Z となるように動作する電源電圧降下検出回路を有し、前記出力電圧を出力する出力段と、

を備えるレギュレータ回路。

【請求項 2】

前記電源電圧降下検出回路は、ダイオード接続される第 3 のトランジスタを有する

10

請求項 1 に記載のレギュレータ回路。

【請求項 3】

前記第 3 のトランジスタは、

前記第 1 の MOS トランジスタを介して前記電源電圧が印加されるソースと、

前記ノードに接続されたゲート、ドレイン及びバルクと

を有する

請求項 2 に記載のレギュレータ回路。

【請求項 4】

前記第 1 の MOS トランジスタは PMOS トランジスタであり、

前記 PMOS トランジスタは、

20

前記第 1 の電圧が入力されるゲートと、

前記電源電圧が印加されるソースと、

前記第 3 のトランジスタのソースに接続されるドレインと

を有する

請求項 2 又は 3 に記載のレギュレータ回路。

【請求項 5】

前記第 1 の MOS トランジスタは N 型のデプリッション MOS トランジスタであり、

前記デプリッション MOS トランジスタは、

前記第 1 の電圧が入力されるゲートと、

前記電源電圧が印加されるドレインと、

30

前記第 3 のトランジスタのソースに接続されるソースと

を有する

請求項 2 又は 3 に記載のレギュレータ回路。

【請求項 6】

前記第 2 の MOS トランジスタは NMOS トランジスタであり、

前記第 2 の電圧が入力されるゲートと、

接地電位が印加されるソースと、

前記ノードに接続されるドレインと、

を有し、

前記電圧出力回路は、前記電源電圧が降下したときに、前記第 1 の電圧として接地電位を出力することで、前記ノードが前記接地電位に対しても High-Z とする

40

請求項 1 から 5 までのいずれか一項に記載のレギュレータ回路。

【請求項 7】

前記電源電圧降下検出回路は、前記電源電圧が印加される側から前記出力電圧に対して順方向接続されたダイオードを有する

請求項 1 に記載のレギュレータ回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、レギュレータ回路に関し、出力を定電圧に保持することが可能なレギュレー

50

タ回路に関する。

【背景技術】

【0002】

一般に、半導体集積回路は、出力される電圧・電流を常に一定に保つように制御するレギュレータ回路を備え、このレギュレータ回路の出力電圧が、アナログ回路やデジタル回路へ出力される。このレギュレータ回路としては種々の回路が提案されている（特許文献1、特許文献2）。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2011-141653号公報

【特許文献2】特開2006-331059号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、従来のレギュレータ回路の場合、電源電圧の瞬間的な電圧低下（瞬低）等により、レギュレータ回路の電源となる電源電圧の急峻な降下が起こると、レギュレータ回路の出力電圧が不定となってしまう、レギュレータ回路の出力電圧を一定に保持することができなくなる。

特に、車載用センサは、電源電圧のラインで通信を行うPSI5（Peripheral Sensor Interface 5）や、DSI（Distributed System Interface）等のインタフェースを有し、電源電圧が降下しても安定してレギュレータ回路が出力電圧を出力することが要求される。

【0005】

そこで、本発明の目的は、安定して出力電圧を出力可能なレギュレータ回路を提供することにある。

【課題を解決するための手段】

【0006】

上記目的を達成するために、本発明の一態様によるレギュレータ回路は、第1の電圧と第2の電圧を出力する電圧出力回路と、前記第1の電圧が入力される第1のMOSトランジスタ、前記第2の電圧が入力される第2のMOSトランジスタ、及び、電源電圧が降下したときに、出力電圧を出力するノードを前記電源電圧に対してHigh-Zとなるように動作する電源電圧降下検出回路を有し、前記出力電圧を出力する出力段と、を備えることを特徴とする。

【0007】

前記電源電圧降下検出回路は、ダイオード接続される第3のトランジスタを有していてもよい。

【0008】

前記第3のトランジスタは、前記第1のMOSトランジスタを介して前記電源電圧が印加されるソースと、前記ノードに接続されたゲート、ドレイン及びバルクとを有していてもよい。

【0009】

前記第1のMOSトランジスタはPMOSトランジスタであってもよく、前記PMOSトランジスタは、前記第1の電圧が入力されるゲートと、前記電源電圧が印加されるソースと、前記第3のトランジスタのソースに接続されるドレインとを有していてもよい。

【0010】

前記第1のMOSトランジスタはN型のデブリッションMOSトランジスタであってもよく、前記デブリッションMOSトランジスタは、前記第1の電圧が入力されるゲートと、前記電源電圧が印加されるドレインと、前記第3のトランジスタのソースに接続されるソースとを有していてもよい。

10

20

30

40

50

【0011】

前記第2のMOSトランジスタはNMOSトランジスタであってもよく、前記第2の電圧が入力されるゲートと、接地電位が印加されるソースと、前記ノードに接続されるドレインと、を有していてもよく、前記電圧出力回路は、前記電源電圧が低下したときに、前記第1の電圧として接地電位を出力することで、前記ノードが前記接地電位に対してもHigh-Zとしてもよい。

【0012】

前記電源電圧降下検出回路は、前記電源電圧が印加される側から前記出力電圧に対して順方向接続されたダイオードを有していてもよい。

【発明の効果】

10

【0013】

本発明によれば、安定して出力電圧を出力することができる。

【図面の簡単な説明】

【0014】

【図1】本発明の第1の実施形態によるレギュレータ回路1の概略構成を示す回路ブロック図である。

【図2】本発明の第1の実施形態によるレギュレータ回路1の概略構成を電圧出力回路7の具体的構成とともに示す回路図である。

【図3】本発明の第1の実施形態によるレギュレータ回路1の電圧出力回路7に設けられた第1の電圧生成回路71の具体的構成を示す回路図である。

20

【図4】本発明の第1の実施形態によるレギュレータ回路1の関連技術に係るレギュレータ回路301の概略構成を示す回路ブロック図である。

【図5】本発明の第1の実施形態の変形例によるレギュレータ回路101の概略構成を示す回路ブロック図である。

【図6】本発明の第2の実施形態によるレギュレータ回路201の概略構成を示す回路ブロック図である。

【図7】本発明の第2の実施形態によるレギュレータ回路201の概略構成を電圧出力回路8の具体的構成とともに示す回路図である。

【発明を実施するための形態】

【0015】

30

〔第1の実施形態〕

本発明の第1の実施形態によるレギュレータ回路について図1から図5を用いて説明する。

<本実施形態の概要>

図1は、本実施形態によるレギュレータ回路1の概略構成を示す回路ブロック図である。図1に示すように、レギュレータ回路1は、電圧出力回路7と、P型の金属酸化物半導体(Metal-Oxide-Semiconductor:MOS)トランジスタ31とN型のMOS(NMOS)トランジスタ33と、電源電圧降下検出回路としてのP型のMOS(PMOS)トランジスタ35とを有する出力段3とを備える。電圧出力回路7は、PMOSTランジスタ31のゲートGに出力ゲート電圧VG1(第1の電圧の一例)を出力し、NMOSTランジスタ33のゲートGに出力ゲート電圧VG2(第2の電圧の一例)を出力する。また、電圧出力回路7は、レギュレータ出力電圧VREGOUTがフィードバックして入力される。

40

【0016】

PMOSTランジスタ(第1のMOSTランジスタの一例)31は、レギュレータ回路1に電源電圧VDDを印加する電源端子9に接続されたソースSと、PMOSTランジスタ35のソースSに接続されたドレインDと、電圧出力回路7から出力された出力ゲート電圧VG1が入力されるゲートGとを有している。NMOSTランジスタ(第2のMOSTランジスタの一例)33は、レギュレータ回路1に接地電位VSSを印加する接地端子11に接続されたソースSと、PMOSTランジスタ35のドレインDに接続されたドレ

50

インDと、電圧出力回路7から出力された出力ゲート電圧VG2が入力するゲートGとを有している。PMOSトランジスタ（第3のトランジスタの一例）35は、ダイオード接続されており、レギュレータ出力電圧VREGOUTが出力される出力端子5に接続されたゲートG及びドレインDと、PMOSトランジスタ31のドレインDと接続されたソースSとを有している。PMOSトランジスタ35のゲートG、ドレインD及び出力端子5との接続点が出来ノードとなる。また、PMOSトランジスタ35のバルクBも出力端子5に接続されている。つまり、PMOSトランジスタ35は、PMOSトランジスタ31とNMOSトランジスタ33との間で順方向接続のダイオードとして機能するとみることができる。

【0017】

10

<通常動作時>

PMOSトランジスタ35は、ダイオード接続の状態であるため、PMOSトランジスタ35のオン抵抗はほぼ0Ωとなる。このため、レギュレータ回路1に電源電圧VDDを印加する電源回路（不図示）が通常の動作を行っているときは、レギュレータ出力電圧VREGOUTは、PMOSトランジスタ31のオン抵抗とNMOSトランジスタ33のオン抵抗とで電源電圧VDDを抵抗分割した電圧値となる。PMOSトランジスタ31のオン抵抗のオン抵抗は出力ゲート電圧VG1の値に応じて決定され、NMOSトランジスタ33のオン抵抗は出力ゲート電圧VG2の値に応じて決定される。したがって、レギュレータ出力電圧VREGOUTは、出力ゲート電圧VG1及び出力ゲート電圧VG2の値に応じて決定される。

20

【0018】

<電源電圧降下時>

電源電圧VDDの瞬低などにより電圧値が急峻に下降したとき、PMOSトランジスタ35のソース電圧も低下する。このため、PMOSトランジスタ35のゲート-ソース間に閾値電圧Vth以上の電圧が印加されず、PMOSトランジスタ35はオフ状態となる。これにより、出力端子5は、電源端子9に対してハイインピーダンス状態（High-Z）となり、それまで出力していたレギュレータ出力電圧VREGOUTを保持して出力し続ける。

【0019】

また、電源電圧VDDが急峻に下降したときに、電圧出力回路7の出力ゲート電圧VG2が接地端子11に印加される接地電位VSSと同電位の電圧となるように電圧出力回路7が構成されていれば、NMOSトランジスタ33がオフ状態となり、接地端子11に対しても出力端子5は電氣的に切り離される。

30

【0020】

以上のとおり、レギュレータ回路1は、電源電圧VDDの降下時に、レギュレータ出力電圧VREGOUTが出力される出力端子5が少なくとも電源端子9に対してHigh-Zとなるように構成されている。これにより、出力端子5は、電源電圧VDDの降下に影響されずに電源電圧VDDの降下前に出力していたレギュレータ出力電圧VREGOUTを保持することができる。

【0021】

40

<電圧出力回路7の具体的構成>

次に、電圧出力回路7の具体的な構成について図2及び図3を用いて説明する。図2は、レギュレータ回路1の概略構成を電圧出力回路7の具体的構成とともに示す回路図である。

【0022】

図2に示すように、本実施形態によるレギュレータ回路1に備えられた電圧出力回路7は、増幅器73と、帰還素子74と、第1の電圧生成回路71と、第2の電圧生成回路72と、を有する。増幅器73の非反転入力端子（+）には基準電圧VREFが入力され、反転入力端子（-）にはレギュレータ出力電圧VREGOUTと出力ゲート電圧VG1が帰還素子74を介して入力される。増幅器73の出力は第2の電圧生成回路72に入力さ

50

れる。電圧出力回路 7 は、レギュレータ出力電圧 V_{REGOUT} と出力ゲート電圧 V_{G1} とが帰還素子 74 を通して増幅器 73 の反転入力端子 (－) にフィードバックし、レギュレータ出力電圧 V_{REGOUT} の電圧値を安定化する構成を有している。しかしながら、電圧出力回路 7 に設けられるレギュレータ出力電圧 V_{REGOUT} の帰還の構成等は、図 2 に示す本構成に限られない。

【0023】

第 2 の電圧生成回路 72 は、増幅器 73 の出力に基づく出力ゲート電圧 V_{G1} を PMOS トランジスタ 31 のゲート G に出力する。これにより、レギュレータ回路 1 は、レギュレータ出力電圧 V_{REGOUT} をフィードバック制御できる。

帰還素子 74 は第 2 の電圧生成回路 72 が出力する出力ゲート電圧 V_{G1} とレギュレータ出力電圧 V_{REGOUT} の 2 つの信号を入力し、出力ゲート電圧 V_{G1} からレギュレータ出力電圧 V_{REGOUT} を減算した信号 ($V_{G1} - V_{REGOUT}$) に比例する信号を出力する。増幅器 73 は帰還素子 74 からの入力信号の電圧値と基準電圧 V_{REF} とに基づいて差動電圧を出力する。第 2 の電圧生成回路 72 は増幅器 73 から入力した信号に対して単調増加するような出力ゲート電圧 V_{G1} を生成する。

ここで、例えば、レギュレータ出力電圧 V_{REGOUT} が増加すると、増幅器 73 の差動入力 of マイナス側の電圧 (反転入力端子 (－) に入力する電圧) が減衰するため、第 2 の電圧生成回路 72 の出力が増加する。そのため、PMOS トランジスタ 31 のゲート G に印加されるゲート電圧が上がりレギュレータ出力電圧 V_{REGOUT} は減衰する。一方、レギュレータ出力電圧 V_{REGOUT} が減衰すると、増幅器 73 の差動入力 of マイナス側の電圧が増加するため、第 2 の電圧生成回路 72 の出力が減衰する。そのため、PMOS トランジスタ 31 のゲート G に印加されるゲート電圧が下がりレギュレータ出力電圧 V_{REGOUT} は増加する。このように、電圧出力回路 7 においてフィードバック制御が行われる。

【0024】

第 1 の電圧生成回路 71 は、電源電圧 V_{DD} と接地電位 V_{SS} とレギュレータ出力電圧 V_{REGOUT} とに基づく出力ゲート電圧 V_{G2} を NMOS トランジスタ 33 のゲート G に出力する。

【0025】

上述のとおり、PMOS トランジスタ 31 のソース S は電源端子 9 に接続され、ドレイン D は PMOS トランジスタ 35 のソース S に接続され、ゲート G は電圧出力回路 7 に接続されている。NMOS トランジスタ 33 のソース S は接地端子 11 に接続され、ドレイン D は PMOS トランジスタ 35 のドレイン D に接続され、ゲート G は電圧出力回路 7 に接続されている。PMOS トランジスタ 35 は、ダイオード接続されており、ゲート G 及びドレイン D が出力端子 5 に接続され、ソース S が PMOS トランジスタ 32 のドレイン D に接続されている。また、PMOS トランジスタ 35 のバルク B も出力端子 5 に接続されている。つまり、PMOS トランジスタ 35 は PMOS トランジスタ 31 と NMOS トランジスタ 33 との間に順方向接続のダイオードとして機能するとみることができる。

【0026】

ここで例えば、PMOS トランジスタ 35 のバルク B を電源端子 9 に接続すると、出力端子 5 と電源端子 9 との間に、出力端子 5 から電源端子 9 に対して順方向の寄生ダイオードが存在してしまう。電源電圧 V_{DD} の瞬低などによって出力端子 5 に対して電源端子 9 の電位が低くなると、レギュレータ出力電圧 V_{REGOUT} はこの寄生ダイオードを通じて放電してしまう。本実施形態によるレギュレータ回路 1 は、バルク B を電源端子 9 でなく出力端子 5 に接続した構成を有しているため、レギュレータ出力電圧 V_{REGOUT} は、電源電圧 V_{DD} の瞬低時に放電しない。PMOS トランジスタ 31 は、通常の電源端子 9 へのバルク接続されていても問題ない。また、NMOS トランジスタ 33 は、通常の接地端子 11 へのバルク接続されていてもよい。

【0027】

PMOS トランジスタ 35 は、ドレイン－ソース間の電圧がほぼ 0 V の状態でも動作す

ることが出来る為、ダイオードの順方向電圧降下（1 V弱程度）を考えると、レギュレータ回路1は電源電圧VDDが低電圧であってもレギュレータ出力電圧VREGOUTの電圧値を一定値に保つことが出来るメリットがある。また、電源電圧VDDの瞬低時に出力端子5が接地端子11に対してもHigh-Zの状態を保つためには、PMOSトランジスタ35だけでなく、NMOSトランジスタ33もオフ状態とする。つまり、電源電圧VDDの瞬低時に、出力ゲート電圧VG2が印加されるノードが接地電位VSSと等しい電位となるようにする。そこで、第1の電圧生成回路71は、電源電圧VDDの電圧値が低下したときには、接地電位VSSと等しい電圧値の出力ゲート電圧VG2を出力するように構成されている。その具体的な回路構成例について図3を用いて説明する。

【0028】

図3は、電圧出力回路7に設けられた第1の電圧生成回路71の具体的構成を示す回路図である。第1の電圧生成回路71は、電流ミラーの関係にあるPMOSトランジスタ711及びPMOSトランジスタ712と、NMOSトランジスタ714と、抵抗素子713とを有する。PMOSトランジスタ711は、PMOSトランジスタ712のゲートGに接続されたゲートGと、抵抗素子713の一端に接続されたドレインDと、レギュレータ出力電圧VREGOUTが入力するソースSとを有している。PMOSトランジスタ711のドレインDと抵抗素子713の一端との接続点がノードN1となる。PMOSトランジスタ711のゲートGとドレインDとは接続されている。PMOSトランジスタ712は、PMOSトランジスタ711のゲートG及びドレインDに接続されたゲートGと、NMOSトランジスタのドレインD及びゲートGに接続されたドレインDと、電源電圧VDDが印加されるソースSとを有している。PMOSトランジスタ712のドレインDは、出力ゲート電圧VG2の出力ノードN2となる。NMOSトランジスタ714は、出力ゲート電圧VG2が入力するゲートGと、PMOS712のドレインDに接続されたドレインDと、接地端子11に接続されたソースSとを有している。NMOSトランジスタ714のゲートG及びドレインDは接続されている。抵抗素子713の他端子は接地端子11に接続されている。

【0029】

PMOSトランジスタ711には、抵抗素子713の抵抗値とレギュレータ出力電圧VREGOUTの電圧値とによって決まるソースドレイン間電流が流れ、このソースドレイン間電流に応じてノードN1のノード電圧が決定される。一方、PMOSトランジスタ712には、ノードN1のノード電圧と電源電圧VDDとによって決定されるソースドレイン間電流が流れる。出力ゲート電圧VG2の出力ノードN2は、NMOSトランジスタ714に流れるソースドレイン間電流によって決まる。NMOSトランジスタ714に流れるソースドレイン間電流は、PMOSトランジスタ712に流れるソースドレイン間電流に等しいので、PMOSトランジスタ712に流れるソースドレイン間電流により、出力ゲート電圧VG2の電圧値が決定される。

【0030】

PMOSトランジスタ711のゲートG及びドレインDとが接続されている。これにより、第1の電圧生成回路71は、直列接続されたPMOSトランジスタ711及び抵抗素子713に流れる電流（PMOSトランジスタ711のソースドレイン間電流）を、直列接続されたPMOSトランジスタ712及びNMOSトランジスタ714に流れる電流にミラーするように構成されている。つまり、第1の電圧生成回路71は、PMOSトランジスタ712に流れる電流をPMOSトランジスタ711に流れる電流にミラーするように構成されていない。このため、PMOSトランジスタ711のゲートG及びドレインDの接続点であるノードN1の電圧値は、電源電圧VDDに依存せず、電源電圧VDDが下降しても変動しない。これにより、PMOSトランジスタ711のソースドレイン間電流はほとんど変動しない。

【0031】

一方、PMOSトランジスタ712は、電源電圧VDDが下降するとソースSの電位がゲートGの電位よりも低くなりオフ状態になる。PMOSトランジスタ712がオン状態

10

20

30

40

50

からオフ状態に切り替わった直後では、NMOSトランジスタ714のゲートGには出力ゲート電圧VG2が印加され、NMOSトランジスタ714はオン状態にある。このため、出力ノードN2は、NMOSトランジスタ714を介して接地端子11に接続される。その結果、出力ゲート電圧VG2は通常動作時の電圧値から接地電位VSSへと低下する。このように、第1の電圧生成回路71は、簡単な回路構成により電源電圧VDD下降時に出力ゲート電圧VG2として接地電位VSSを出力できる。

【0032】

以上のとおり、本実施形態によるレギュレータ回路1は、出力段3にダイオード接続されたPMOSトランジスタ35を含み、定常的に電源電圧VDDが低下した際に出力端子5を電源端子9に対してHigh-Zとしてレギュレータ出力電圧VREGOUTを定電圧に保つことが出来る。また、レギュレータ回路1は、電源電圧VDDの瞬低等の急峻な電圧低下に対しても、レギュレータ出力電圧VREGOUTを定電圧に保つことができる。特に、レギュレータ回路1は、電源電圧VDDの瞬低時に複雑な制御をせずに出力端子5を電源端子9に対してHigh-Zとすることができる。これにより、レギュレータ出力電圧VREGOUTは、一定電圧が保持され、かつ、定常的な電源電圧VDDの低下に対しても定電圧が保持される。

【0033】

＜本実施形態によるレギュレータ回路の効果＞

ここで、本実施形態によるレギュレータ回路1の効果について、本実施形態の関連技術のレギュレータ回路と比較しつつ説明する。図4は、関連技術のレギュレータ回路301の概略構成を示す回路ブロック図である。図4に示すように、レギュレータ回路301は、電圧出力回路307と、PMOSトランジスタ331及びNMOSトランジスタ333を有する出力段303とを備えている。

【0034】

PMOSトランジスタ331は、レギュレータ回路301に電源電圧VDDを印加する電源端子309と接続されたソースSと、NMOSトランジスタ333のドレイン及び出力端子305に接続されたドレインDと、電圧出力回路307から出力された出力ゲート電圧VG101が入力されるゲートGとを有している。NMOSトランジスタ333は、レギュレータ回路301に接地電位VSSを印加する接地端子311に接続されたソースSと、PMOSトランジスタ331のドレインD及び出力端子305と接続されたドレインDと、電圧出力回路307から出力された出力ゲート電圧VG102が入力されるゲートGとを有している。

【0035】

電圧出力回路307は、電源端子309から印加される電源電圧VDDと、接地端子311から印加される接地電位VSSとで駆動される。電圧出力回路307は、出力ゲート電圧VG101をPMOSトランジスタ331のゲートGに出力し、出力ゲート電圧VG102をNMOSトランジスタ333のゲートGに出力する。PMOSトランジスタ331及びNMOSトランジスタ333で構成される出力段303は、出力ゲート電圧VG101、VG102の電圧値に応じて、出力端子305からレギュレータ出力電圧VREGOUTを出力する。

【0036】

電圧出力回路307は、基準電圧VREF（不図示）に基づいて、PMOSトランジスタ331のゲートGに出力する出力ゲート電圧VG101の電圧値と、NMOSトランジスタ333のゲートGに出力する出力ゲート電圧VG102の電圧値とを決定する。出力ゲート電圧VG101の電圧値によりレギュレータ回路301の動作時のPMOSトランジスタ331のオン抵抗が決定する。また、出力ゲート電圧VG102の電圧値によりレギュレータ回路301の動作時のNMOSトランジスタ333のオン抵抗が決定する。レギュレータ回路301の動作時のPMOSトランジスタ331のオン抵抗とNMOSトランジスタ333のオン抵抗との抵抗比に基づいて、レギュレータ出力電圧VREGOUTの電圧値が決定される。したがって、レギュレータ出力電圧VREGOUTの電圧値は、基準

10

20

30

40

50

電圧 V_{REF} に基づいて決定される。電圧出力回路 307 には、レギュレータ出力電圧 V_{REGOUT} の電圧値を一定に保つために、レギュレータ出力電圧 V_{REGOUT} がフィードバックされ、基準電圧 V_{REF} と比較されるようになっている。

【0037】

レギュレータ回路 301 は、瞬低等の電源電圧 V_{DD} の急峻な電圧降下が起こると、PMOS トランジスタ 331 のソース S 及び NMOS トランジスタ 333 のソース S との間に印加される電圧の電圧値が変動するため、電圧出力回路 307 が出力する出力ゲート電圧 V_{G101} 、102 の電圧値が不定となる。そのため、PMOS トランジスタ 331 及び NMOS トランジスタ 333 のそれぞれのゲート電圧が不定となる。その結果、レギュレータ出力電圧 V_{REGOUT} の電圧値が不定となってしまう、レギュレータ回路 301 は、レギュレータ出力電圧 V_{REGOUT} の電圧値を一定に保持することができない。

10

【0038】

これに対して、本実施形態によるレギュレータ回路 1 は、NMOS トランジスタ 31 と NMOS トランジスタ 33 との間にダイオード接続状態の PMOS トランジスタ 35 を有している。PMOS トランジスタ 35 は、電源電圧 V_{DD} の急峻な降下が起こると High-Z となって、出力端子 5 と電源端子 9 とを電氣的に切断状態とする。これにより、PMOS トランジスタ 35 は、電源電圧 V_{DD} の急峻な降下の発生前後におけるレギュレータ出力電圧 V_{REGOUT} の電圧値の変動を防止する。また、電圧出力回路 7 にフィードバックされるレギュレータ出力電圧 V_{REGOUT} の電圧値が変動しないので、出力ゲート電圧 V_{G1} 、 V_{G2} の電圧値も不定とならず、電源電圧 V_{DD} の降下の発生前後ではほぼ同じ電圧値が維持される。この結果、レギュレータ回路 1 は、電源電圧 V_{DD} が元の電圧値に戻るのとほぼ同時に、電源電圧 V_{DD} の急峻な降下の発生前の状態に復帰できる。これにより、本実施形態によるレギュレータ回路 1 は、電源電圧 V_{DD} の降下の発生前及び発生後並びに電源電圧 V_{DD} の復帰後において、レギュレータ出力電圧 V_{REGOUT} の電圧値をほとんど変動させずに保持できる。

20

【0039】

<変形例>

次に、本実施形態の変形例によるレギュレータ回路について図 5 を用いて説明する。図 5 は、本変形例によるレギュレータ回路 101 の概略構成を示すブロック図である。本変形例によるレギュレータ回路 101 は、PMOS トランジスタ 35 に代えて電源電圧降下検出回路としてのダイオード 36 を備えている点に特徴を有している。本変形例によるレギュレータ回路 101 は、ダイオード 36 を有している点を除いて、上記実施形態によるレギュレータ回路 1 と同一の構成を有しているため、同一の作用・機能を奏する構成要素には同一の符号を付してその説明を省略し、異なる点のみを簡述する。

30

【0040】

図 5 に示すように、レギュレータ回路 101 は、PMOS トランジスタ 31 のドレイン D に接続されたアノード A と、NMOS トランジスタ 33 のドレイン D に接続されたカソード C とを備えたダイオード 36 を有している。ダイオード 36 のカソード C は出力端子 5 にも接続されている。ダイオード 36 は、電源端子 9 から出力端子 5 及び接地端子 11 に向かって順方向となるように、PMOS トランジスタ 31 及び NMOS トランジスタ 33 との間に接続されている。

40

【0041】

電源電圧 V_{DD} の電圧値が低下すると、ダイオード 36 のアノード A の電圧はカソード C の電圧よりも低くなる。これにより、出力端子 5 と PMOS トランジスタ 31 とは電氣的に切断され、出力端子 5 は、電源端子 9 に対して High-Z となる。

このように、本変形例によるレギュレータ回路 101 は、電源電圧 V_{DD} の電圧値の降下時に、出力端子 5 を電源端子 9 に対して High-Z とすることができるので、上記実施形態によるレギュレータ回路 1 と同様の効果が得られる。

【0042】

<第 2 の実施形態>

50

本発明の第２の実施形態によるレギュレータ回路について図６及び図７を用いて説明する。本実施形態によるレギュレータ回路２０１は、上記第１の実施形態によるレギュレータ回路１に備えられたPMOSトランジスタ３１に代えてデブリッション型のMOS（以下、「デブリッションMOS」と称する）トランジスタ３２を備えている点に特徴を有している。なお、上記第１の実施形態によるレギュレータ回路１と同一の作用・機能を奏する構成要素には同一の符号を付してその説明は省略する。

【００４３】

図６に示すように、本実施形態によるレギュレータ回路２０１は、電圧出力回路８と、デブリッションMOSトランジスタ３２と、NMOS３３と、PMOS３５とを備えた出力段２０３とを有している。以下、本実施形態によるレギュレータ回路２０１について、

10

【００４４】

デブリッションMOSトランジスタ３２は、負の閾値電圧を有している。本実施形態では、デブリッションMOSトランジスタ３２はN型のデブリッションMOSである。デブリッションMOSトランジスタ３２は、電源端子９に接続されたドレインDと、PMOSトランジスタ３５のソースSに接続されたソースSと、出力ゲート電圧VG３が入力されるゲートGとを有している。PMOSトランジスタ３５は、ダイオード接続されているため、ソースドレイン間電圧は、ほぼ０Vである。このため、レギュレータ出力電圧VREGOUTの電圧値は、デブリッションMOSトランジスタ３２のソース電圧とほぼ等しくなる。デブリッションMOSトランジスタ３２の閾値電圧をVth０とし、出力ゲート電圧VG３の電圧値をVG３とし、レギュレータ出力電圧VREGOUTの電圧値をVREGOUTとすると、レギュレータ出力電圧VREGOUTの電圧値は、以下の式（１）により表すことができる。

20

$$VREGOUT = VG3 + Vth0 \quad \cdots (1)$$

【００４５】

ここで、閾値電圧Vth０は０Vよりも低い電圧である。このため、レギュレータ出力電圧VREGOUTの電圧値は、デブリッションMOSトランジスタ３２の閾値電圧Vth０分だけ出力ゲート電圧VG３の電圧値よりも低くなる。なお、閾値電圧Vth０は、MOSの閾値程度のばらつきをもつ。

【００４６】

レギュレータ回路２０１は、出力段２０３において、デブリッションMOSトランジスタ３２とNMOSトランジスタ３３とで駆動される形態を有している。これにより、レギュレータ回路２０１は、レギュレータ回路１と比較して、電源電圧VDDの電圧値が低い値であっても、動作範囲を確保することができる。このため、レギュレータ回路２０１は、低電源電圧に対応した構成を有している。

30

【００４７】

次に、電圧出力回路８の具体的な構成について図７を用いて説明する。図７は、レギュレータ回路２０１の概略構成を電圧出力回路８の具体的構成とともに示す回路図である。図７に示すように、電圧出力回路８は、N型のデブリッションMOSトランジスタ８１と、アンプ入力段８０と、抵抗分割用の抵抗素子８７及び抵抗素子８８とを有する。アンプ入力段８０は、電流ミラー関係にあるPMOSトランジスタ８２及びPMOSトランジスタ８３と、差動対を構成するNMOSトランジスタ８４及びNMOSトランジスタ８５と、テール電流源８６とを有する。デブリッションMOSトランジスタ８１は、出力段２０３のデブリッションMOSトランジスタ３２のゲートGに接続されたゲートGと、電源電圧VDDが供給されるドレインDと、PMOSトランジスタ８２、８３のソースSに接続されたソースSとを有している。デブリッションMOSトランジスタ８１は、アンプ入力段８０を駆動する電源電圧VDD０を生成するようになっている。

40

【００４８】

アンプ入力段８０は、デブリッションMOSトランジスタ８１が生成する電源電圧VDD０で駆動される。また、差動対の一方のNMOSトランジスタ８４は、電源電圧VDD

50

0が抵抗素子87, 88によって抵抗分割された電圧が入力されるゲートGと、PMOSトランジスタ82のドレインDに接続されたドレインDと、テール電流源86の電流入力端子に接続されたソースSとを有している。PMOSトランジスタ82のドレインDとNMOSトランジスタ84のドレインDとの接続点が出力ノードN3となる。PMOSトランジスタ82のドレインDは、デプレッションMOSトランジスタ32, 81のゲートGに接続されている。差動対の他方のNMOSトランジスタ85は、基準電圧VREFが入力されるゲートGと、PMOSトランジスタ83のドレインDに接続されたドレインDと、テール電流源86の電流入力端子に接続されたソースSとを有している。NMOSトランジスタ84のソースSとNMOSトランジスタ85のソースSとは接続されている。基準電圧VREFは基準電圧入力端子89からNMOSトランジスタ85のゲートGに印加される。

10

【0049】

電流ミラーを構成する一方のPMOSトランジスタ82は、PMOSトランジスタ83のゲートGに接続されたゲートGと、デプレッションMOSトランジスタ81のソースSに接続されたソースSと、NMOSトランジスタ84のドレインDに接続されたドレインDとを有している。PMOSトランジスタ82のバルクBには、電源電圧VDD0が印加されるようになっている。PMOSトランジスタ82のドレインDは、デプレッションMOSトランジスタ32, 81のゲートGにも接続され、PMOSトランジスタ82のゲートGはPMOSトランジスタ83のドレインD及びNMOSトランジスタ83のドレインDにも接続されている。電流ミラーを構成する他方のPMOSトランジスタ85は、PMOSトランジスタ82のゲートGに接続されたゲートGと、デプレッションMOSトランジスタ81のソースSに接続されたソースSと、NMOSトランジスタ85のドレインDに接続されたドレインDとを有している。PMOSトランジスタ83のバルクBには、電源電圧VDD0が印加されるようになっている。

20

【0050】

テール電流源86は、差動対を構成するNMOSトランジスタ84, 85のソースSと接地端子11との間に設けられている。テール電流源86は、アンプ入力段80に流れる一定電流を接地端子11に流すようになっている。抵抗素子87の一端子はデプレッションMOSトランジスタ81のソースS及びPMOSトランジスタ82, 83のソースSに接続され、他端子はNMOSトランジスタ84のゲートGと抵抗素子88の一端子に接続されている。抵抗素子88の一端子はNMOSトランジスタ84のゲートGにも接続され、他端子はテール電流源86の電流出力端子と接地端子11とに接続されている。

30

【0051】

電圧出力回路8は、アンプ入力段80の出力ノードN3がデプレッションMOSトランジスタ81のゲートGに接続される構成となっている。つまり、アンプ入力段80は、電源電圧VDD0を抵抗素子87, 88により抵抗分割した電圧が基準電圧VREFと等しくなるように動作する。レギュレータ回路201は、レギュレータ出力電圧VREGOUTと同じ電圧値の出力ゲート電圧VG3がデプレッションMOSトランジスタ81のゲートGに印加されて電源電圧VDD0にフィードバックする構成を有している。

【0052】

本実施形態によるレギュレータ回路201は、アンプ入力段80の電源となる電源電圧VDD0を抵抗素子87, 88により抵抗分割した電圧の電圧値が基準電圧VREFの電圧値と等しくなるように動作し、出力ゲート電圧VG3の電圧値が定まる。出力ゲート電圧VG3の電圧値をVG3とし、電源電圧VDD0の電圧値をVDD0とすると、デプレッションMOSトランジスタ81のゲートーソース間には、「VG3-VDD0」の電圧がかかり、出力ゲート電圧VG3の電圧値はデプレッションMOSトランジスタ32がオン状態となるように定まる。

40

【0053】

デプレッションMOSトランジスタ81の閾値電圧をVth1とすると、アンプ入力段80を駆動する電源電圧VDD0は、式(2)のように表すことができ、式(2)より出力

50

ゲート電圧 V_{G3} は式 (3) のように表すことができる。

$$V_{DD0} - V_{G3} + V_{th1} \cdots (2)$$

$$V_{G3} = V_{DD0} - V_{th1} \cdots (3)$$

【0054】

デブリッショントランジスタ81とデブリッショントランジスタ32は同一の半導体基板上に一連の製造過程において形成される。このため、デブリッショントランジスタ81の閾値電圧 V_{th1} とデブリッショントランジスタ32の閾値電圧 V_{th0} はほぼ等しくなる。このため、式 (3) を式 (1) に代入すると、レギュレータ出力電圧 V_{REGOUT} の電圧値は、以下の式 (4) のように表すことができる。

$$V_{REGOUT} = V_{G3} + V_{th0} \\ = (V_{DD0} - V_{th1}) + V_{th0} \\ = V_{DD0} \cdots (4)$$

10

このように、レギュレータ出力電圧 V_{REGOUT} の電圧値は、アンプ入力段80を駆動する電源電圧 V_{DD0} に近い値となる。

【0055】

本実施形態によるレギュレータ回路201は、低電源電圧であっても安定して駆動することが可能であり、かつ回路構成も簡易である。さらに、レギュレータ回路201は、PMOSTランジスタ35を有している。これにより、レギュレータ回路201は、電源電圧 V_{DD} の降下に対してレギュレータ出力電圧 V_{REGOUT} のノードである出力端子5を $High-Z$ とすることにより、レギュレータ出力電圧 V_{REGOUT} の電圧値を電源電圧 V_{DD} の降下前の電圧値に保持することができる。

20

【0056】

<その他>

本発明は、上記実施の形態に限らず、種々の変形が可能である。

上記実施形態によるレギュレータ回路1は図1に示す出力段3を有し、レギュレータ回路201は図6に示す出力段203を有している。すなわち、本実施形態によるレギュレータ回路は、ダイオード接続されたPMOSTランジスタがレギュレータ出力電圧を出力する出力端子と電源側のPMOSTランジスタとの間に挿入される構成を有しているが、本発明はこれに限定されない。例えば、本発明は、直列に2段接続されたPMOSTランジスタを電源端子側に備え、その2つのPMOSTランジスタの間にダイオード接続されるトランジスタが挿入される構成でも構わない。

30

【符号の説明】

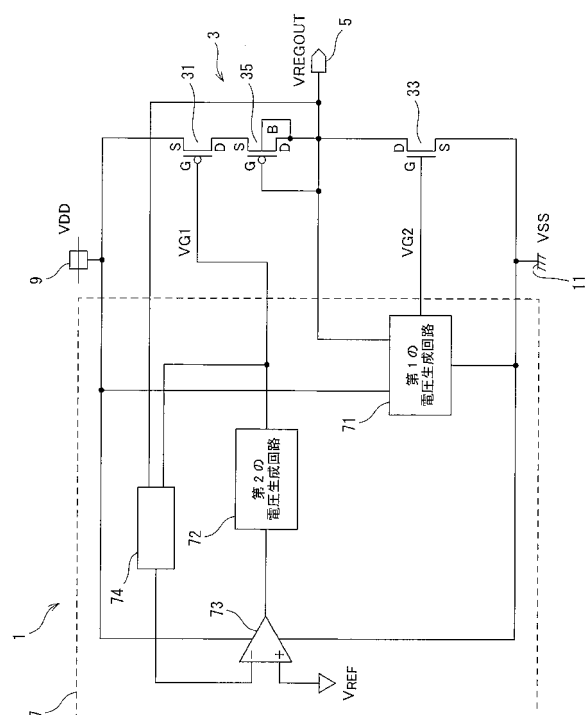
【0057】

- 1, 101, 201, 301 レギュレータ回路
- 3, 203, 303 出力段
- 5, 305 出力端子
- 7, 8, 307 電圧出力回路
- 9, 309 電源端子
- 11, 311 接地端子
- 31, 35, 82, 83, 331, 711, 712 PMOSTランジスタ
- 32, 81 デブリッショントランジスタ
- 33, 84, 85, 333, 714 NMOSTランジスタ
- 36 ダイオード
- 71 第1の電圧生成回路
- 72 第2の電圧生成回路
- 73 増幅器
- 74 帰還素子
- 80 アンプ入力段
- 86 テール電流源
- 87, 88, 713 抵抗素子

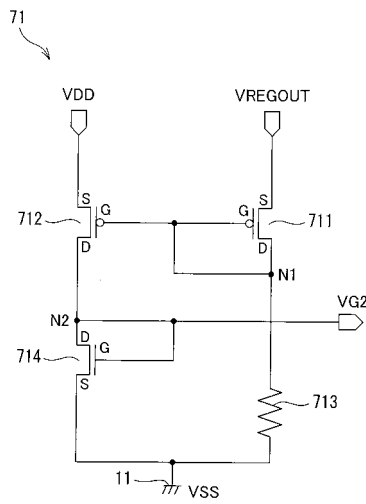
40

50

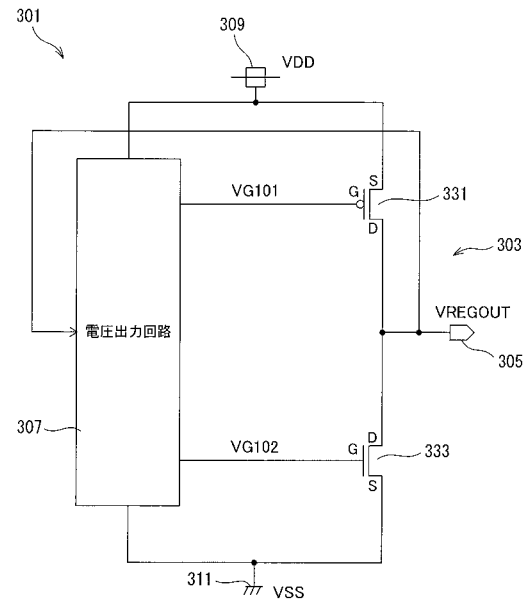
【图 2】



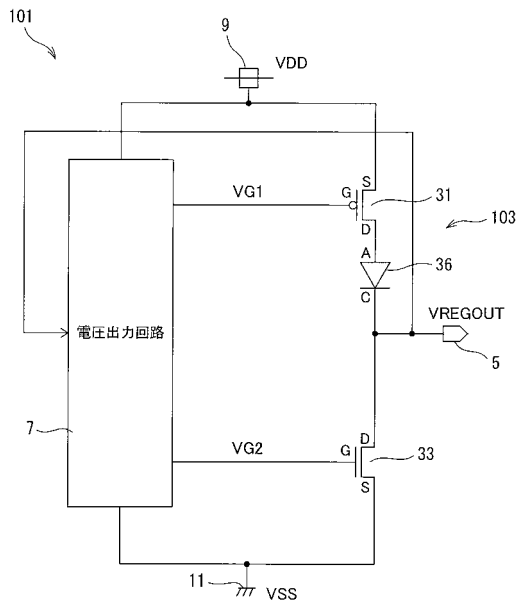
【図 3】



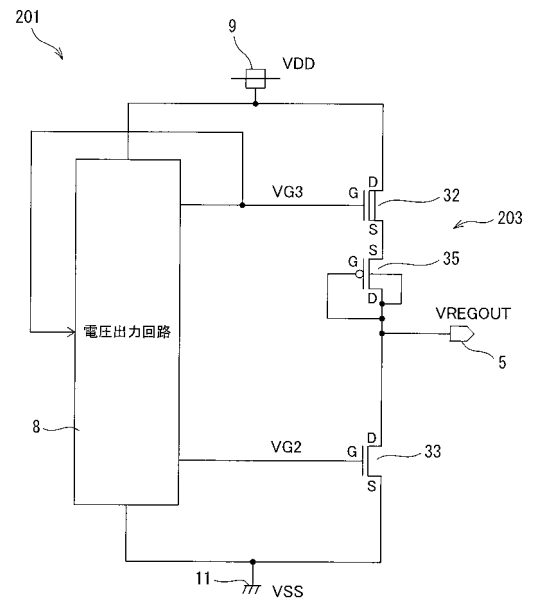
【図 4】



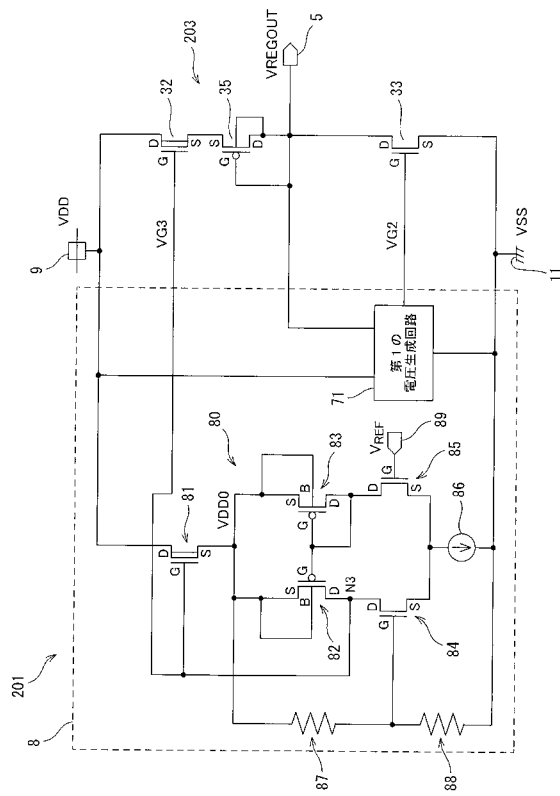
【図 5】



【図 6】



【図 7】



フロントページの続き

Fターム(参考) 5H430 BB01 BB09 BB11 EE04 EE08 EE12 EE17 FF01 FF12 FF13
GG08 GG17 HH03 LA11 LB01