

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成20年11月13日(2008.11.13)

【公開番号】特開2002-270686(P2002-270686A)

【公開日】平成14年9月20日(2002.9.20)

【出願番号】特願2001-56759(P2001-56759)

【国際特許分類】

H 0 1 L 21/768 (2006.01)

H 0 1 L 23/522 (2006.01)

H 0 1 L 21/82 (2006.01)

H 0 1 L 21/3205 (2006.01)

H 0 1 L 23/52 (2006.01)

H 0 1 L 21/822 (2006.01)

H 0 1 L 27/04 (2006.01)

【F I】

H 0 1 L 21/90 B

H 0 1 L 21/82 W

H 0 1 L 21/88 T

H 0 1 L 27/04 H

【手続補正書】

【提出日】平成20年9月26日(2008.9.26)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【書類名】 明細書

【発明の名称】 チップ及びチップの製造方法

【特許請求の範囲】

【請求項 1】

シリコン基板と；

前記シリコン基板の中または表面上の E S D 回路と；

前記シリコン基板の中または表面上の第 1 の内部回路と；

前記シリコン基板の中または表面上のドライバー、レシーバーまたは I / O 回路と；

前記シリコン基板上の誘電体層と；

前記シリコン基板上の及び前記誘電体層中の第 1 の相互接続構造物であって、前記ドライバー、レシーバーまたは I / O 回路の第 1 の端子に接続される第 1 の相互接続構造物と；

前記シリコン基板上の及び前記誘電体層中の第 2 の相互接続構造物であって、前記第 1 の内部回路に接続される第 2 の相互接続構造物と；

前記誘電体層上のパッシベーション層であって、窒化物を含むパッシベーション層と；

前記パッシベーション層中の第 1 のビアであって、前記第 1 の相互接続構造物に接続される第 1 のビアと；

前記パッシベーション層中の第 2 のビアであって、前記第 2 の相互接続構造物に接続される第 2 のビアと；

前記パッシベーション層表面上のポリマー層と；

前記パッシベーション層上の及び前記ポリマー層中の第 3 の相互接続構造物であって、該第 3 の相互接続構造物は、前記第 1 及び第 2 のビアに接続され、前記第 1 の端子は、順

次、前記第 1 の相互接続構造物、前記第 1 のビア、前記第 3 の相互接続構造物、前記第 2 のビア及び前記第 2 の相互接続構造物を介して前記第 1 の内部回路に接続される、第 3 の相互接続構造物と；

前記 ESD 回路に及び前記ドライバー、レシーバーまたは I/O 回路の第 2 の端子に接続される外部接続箇所と；

を含むチップ。

【請求項 2】

請求項 1 に記載のチップであって、前記シリコン基板の中または表面上の第 2 の内部回路をさらに含み、前記第 2 の相互接続構造物は、前記第 2 の内部回路に接続され、前記第 1 の内部回路は、前記第 2 の相互接続構造物を介して前記第 2 の内部回路に接続され、前記第 1 の端子は、順次、前記第 1 の相互接続構造物、前記第 1 のビア、前記第 3 の相互接続構造物、前記第 2 のビア及び前記第 2 の相互接続構造物を介して前記第 2 の内部回路に接続される、チップ。

【請求項 3】

請求項 2 に記載のチップであって、前記シリコン基板の中または表面上の第 3 の内部回路と、前記シリコン基板上の及び前記誘電体層中の第 4 の相互接続構造物であって、前記第 3 の内部回路に接続される第 4 の相互接続構造物と、前記パッシベーション層中の第 3 のビアであって、前記第 3 及び第 4 の相互接続構造物に接続される第 3 のビアとをさらに含み、前記第 1 及び第 2 の内部回路は、順次、前記第 2 の相互接続構造物、前記第 2 のビア、前記第 3 の相互接続構造物、前記第 3 のビア及び前記第 4 の相互接続構造物を介して前記第 3 の内部回路に接続され、前記第 1 の端子は、順次、前記第 1 の相互接続構造物、前記第 1 のビア、前記第 3 の相互接続構造物、前記第 3 のビア及び前記第 4 の相互接続構造物を介して前記第 3 の内部回路に接続される、チップ。

【請求項 4】

請求項 1 に記載のチップであって、前記シリコン基板の中または表面上の第 2 の内部回路と、前記シリコン基板上の及び前記誘電体層中の第 4 の相互接続構造物であって、前記第 2 の内部回路に接続される第 4 の相互接続構造物と、前記パッシベーション層中の第 3 のビアであって、前記第 3 及び第 4 の相互接続構造物に接続される第 3 のビアとをさらに含み、前記第 1 の内部回路は、順次、前記第 2 の相互接続構造物、前記第 2 のビア、前記第 3 の相互接続構造物、前記第 3 のビア及び前記第 4 の相互接続構造物を介して第 2 の内部回路に接続され、前記第 1 の端子は、順次、前記第 1 の相互接続構造物、前記第 1 のビア、前記第 3 の相互接続構造物、前記第 3 のビア及び前記第 4 の相互接続構造物を介して前記第 2 の内部回路に接続される、チップ。

【請求項 5】

請求項 1 に記載のチップにおいて、前記外部接続箇所は、前記 ESD 回路のための及び前記第 2 の端子のための外部クロックへの接近手段を提供する、チップ。

【請求項 6】

請求項 1 に記載のチップにおいて、前記外部接続箇所は、前記 ESD 回路のための及び前記第 2 の端子のための外部信号への接近手段を提供する、チップ。

【請求項 7】

シリコン基板と；

前記シリコン基板の中または表面上の第 1 の内部回路と；

前記シリコン基板の中または表面上の ESD 回路と；

前記シリコン基板上の誘電体層と；

前記シリコン基板上の及び前記誘電体層中の第 1 の相互接続構造物であって、前記 ESD 回路に接続される第 1 の相互接続構造物と；

前記シリコン基板上の及び前記誘電体層中の第 2 の相互接続構造物であって、前記第 1 の内部回路に接続される第 2 の相互接続構造物と；

前記誘電体層上のパッシベーション層であって、窒化物を含むパッシベーション層と；

前記パッシベーション層中の第 1 のビアであって、前記第 1 の相互接続構造物に接続さ

れる第 1 のビアと；

前記パッシベーション層中の第 2 のビアであって、前記第 2 の相互接続構造物に接続される第 2 のビアと；

前記パッシベーション層表面上のポリマー層と；

前記パッシベーション層上の及び前記ポリマー層中の第 3 の相互接続構造物であって、前記第 1 及び第 2 のビアに接続される第 3 の相互接続構造物と；

を含み、前記 E S D 回路は、順次、前記第 1 の相互接続構造物、前記第 1 のビア、前記第 3 の相互接続構造物、前記第 2 のビア及び前記第 2 の相互接続構造物を介して前記第 1 の内部回路に接続される、チップ。

【請求項 8】

請求項 7 に記載のチップであって、前記シリコン基板の中または表面上の第 2 の内部回路をさらに含み、前記第 2 の相互接続構造物は、前記第 2 の内部回路に接続され、前記第 1 の内部回路は、前記第 2 の相互接続構造物を介して前記第 2 の内部回路に接続され、前記 E S D 回路は、順次、前記第 1 の相互接続構造物、前記第 1 のビア、前記第 3 の相互接続構造物、前記第 2 のビア及び前記第 2 の相互接続構造物を介して前記第 2 の内部回路に接続される、チップ。

【請求項 9】

請求項 8 に記載のチップであって、前記シリコン基板の中または表面上の第 3 の内部回路と、前記シリコン基板上の及び前記誘電体層中の第 4 の相互接続構造物であって、前記第 3 の内部回路に接続される第 4 の相互接続構造物と、前記パッシベーション層中の第 3 のビアであって、前記第 3 及び第 4 の相互接続構造物に接続される第 3 のビアとをさらに含み、前記第 1 及び第 2 の内部回路は、順次、前記第 2 の相互接続構造物、前記第 2 のビア、前記第 3 の相互接続構造物、前記第 3 のビア及び前記第 4 の相互接続構造物を介して前記第 3 の内部回路に接続され、前記 E S D 回路は、順次、前記第 1 の相互接続構造物、前記第 1 のビア、前記第 3 の相互接続構造物、前記第 3 のビア及び前記第 4 の相互接続構造物を介して前記第 3 の内部回路に接続される、チップ。

【請求項 10】

請求項 7 に記載のチップであって、前記シリコン基板の中または表面上の第 2 の内部回路と、前記シリコン基板上の及び前記誘電体層中の第 4 の相互接続構造物であって、前記第 2 の内部回路に接続される第 4 の相互接続構造物と、前記パッシベーション層中の第 3 のビアであって、前記第 3 及び第 4 の相互接続構造物に接続される第 3 のビアとをさらに含み、前記第 1 の内部回路は、順次、前記第 2 の相互接続構造物、前記第 2 のビア、前記第 3 の相互接続構造物、前記第 3 のビア及び前記第 4 の相互接続構造物を介して前記第 2 の内部回路に接続され、前記 E S D 回路は、順次、前記第 1 の相互接続構造物、前記第 1 のビア、前記第 3 の相互接続構造物、前記第 3 のビア及び前記第 4 の相互接続構造物を介して前記第 2 の内部回路に接続される、チップ。

【請求項 11】

請求項 7 に記載のチップにおいて、前記第 3 の相互接続構造物は、前記パッシベーション層上の電源バスを含み、該電源バスは、前記第 1 及び第 2 のビアに接続され、前記 E S D 回路は、前記電源バスを介して前記第 1 の内部回路に接続される、チップ。

【請求項 12】

請求項 7 に記載のチップにおいて、前記第 3 の相互接続構造物は、前記パッシベーション層上の接地バスを含み、該接地バスは、前記第 1 及び第 2 のビアに接続され、前記 E S D 回路は、前記接地バスを介して前記第 1 の内部回路に接続される、チップ。

【請求項 13】

シリコン基板と；

前記シリコン基板の中または表面上の第 1 の内部回路と；

前記シリコン基板の中または表面上の第 2 の内部回路と；

前記シリコン基板上の誘電体層と；

前記シリコン基板上の及び前記誘電体層中の第 1 の相互接続構造物であって、前記第 1

の内部回路に接続される第１の相互接続構造物と；

前記シリコン基板上の及び前記誘電体層中の第２の相互接続構造物であって、前記第２の内部回路に接続される第２の相互接続構造物と；

前記誘電体層上のパッシベーション層であって、窒化物を含むパッシベーション層と；

前記パッシベーション層中の第１のビアであって、前記第１の相互接続構造物に接続される第１のビアと；

前記パッシベーション層中の第２のビアであって、前記第２の相互接続構造物に接続される第２のビアと；

前記パッシベーション層上のクロックバスであって、前記第１及び第２のビアに接続されるクロックバスと；

を含み、前記第１の内部回路は、順次、前記第１の相互接続構造物、前記第１のビア、前記クロックバス、前記第２のビア及び前記第２の相互接続構造物を介して前記第２の内部回路に接続される、チップ。

【請求項１４】

請求項１３に記載のチップであって、前記シリコン基板の中または表面上の第３の内部回路をさらに含み、前記第１の相互接続構造物は、前記第３の内部回路に接続され、前記第１の内部回路は、前記第１の相互接続構造物を介して前記第３の内部回路に接続され、前記第３の内部回路は、順次、前記第１の相互接続構造物、前記第１のビア、前記クロックバス、前記第２のビア及び前記第２の相互接続構造物を介して前記第２の内部回路に接続される、請求項１３に記載のチップ。

【請求項１５】

請求項１４に記載のチップであって、前記シリコン基板の中または表面上の第４の内部回路をさらに含み、前記第２の相互接続構造物は前記第４の内部回路に接続され、前記第２の内部回路は、前記第２の相互接続構造物を介して前記第４の内部回路に接続され、前記第１及び第３の内部回路は、順次、前記第１の相互接続構造物、前記第１のビア、前記クロックバス、前記第２のビア及び前記第２の相互接続構造物を介して前記第４の内部回路に接続される、チップ。

【請求項１６】

請求項１３に記載のチップであって、前記パッシベーション層上のポリマー層をさらに含み、前記クロックバスは前記ポリマー層中にある、チップ。

【請求項１７】

請求項１６に記載のチップにおいて、前記ポリマー層は２マイクロメートルを超える厚さを有する、チップ。

【請求項１８】

請求項１３に記載のチップにおいて、前記クロックバスは１マイクロメートルを超える厚さを有する、チップ。

【請求項１９】

ＩＣチップの製造方法であって、該方法は、

シリコン基板と、

該シリコン基板上の第１の金属化構造物であって、該第１の金属化構造物は、前記シリコン基板上の第１の金属層、前記シリコン基板上及び前記第１の金属層上の第２の金属層、前記シリコン基板上の第１の金属相互接続物、前記シリコン基板上の第２の金属相互接続物、並びに前記シリコン基板上の及び前記第１及び第２の金属相互接続物の間の第３の金属相互接続物を含み、前記第１、第２及び第３の金属相互接続物は、絶縁材料によって互いに分離され、前記第１の金属化構造物は、誘電体エッチングプロセス、電気メッキ法及びＣＭＰプロセスを含むダマシン加工法によって形成され、前記電気メッキ法に続いて前記ＣＭＰプロセスがある、第１の金属化構造物と、

前記第１及び第２の金属層の間の誘電体層と、

前記第１の金属化構造物上の、前記誘電体層上の及び前記第３の金属相互接続物表面のパッシベーション層であって、該パッシベーション層は、窒化物層を含み、前記第１、第

2 及び第 3 の金属相互接続物は、前記パッシベーション層の下の一層上の金属層によって提供される、パッシベーション層と、

前記パッシベーション層表面上の及び前記第 3 の金属相互接続物上の第 1 のポリマー層であって、2 ~ 150 マイクロメートルの厚さを有する、第 1 のポリマー層と、
を提供するステップであって、前記第 1 のポリマー層中の及び前記パッシベーション層中の第 1 の開口は、前記第 1 の金属相互接続物の第 1 の接点上にあり、該第 1 の接点を露出し、前記第 1 のポリマー層中の及び前記パッシベーション層中の第 2 の開口は、前記第 2 の金属相互接続物の第 2 の接点上にあり、該第 2 の接点を露出する、ステップと；

前記第 1 のポリマー層表面、前記パッシベーション層上、前記第 1 及び第 2 の接点上並びに前記第 3 の金属相互接続物上に、第 2 の金属化構造物を形成するステップであって、前記第 3 の金属相互接続物は、前記第 2 の金属化構造物の直下にある、前記第 2 の金属化構造物の下の前記第 1 のポリマー層中の任意の開口を通して前記第 2 の金属化構造物に接続されず、前記第 1 の接点は、前記第 2 の金属化構造物を介して前記第 2 の接点に接続され、前記第 2 の金属化構造物は、薄い卑金属層をスパッタし、続いてパターン形成されたフォトリソ層を形成し、続いて厚い金属層を電気メッキし、続いて前記パターン形成されたフォトリソ層を除去し、続いて前記薄い卑金属層をエッチングするステップを含むプロセスによって形成される、ステップと；

を含む IC チップの製造方法。

【請求項 20】

請求項 19 に記載の方法において、前記第 1 のポリマー層はポリイミドを含む、方法。

【請求項 21】

請求項 19 に記載の方法において、前記第 1 のポリマー層はベンゾシクロブテン (BCB) を含む、方法。

【請求項 22】

請求項 19 に記載の方法であって、前記第 2 の金属化構造物表面に第 2 のポリマー層を形成するステップをさらに含む、方法。

【請求項 23】

請求項 22 に記載の方法において、前記第 2 のポリマー層はポリイミドを含む、方法。

【請求項 24】

請求項 19 に記載の方法において、前記パッシベーション層は酸化物をさらに含む、方法。

【請求項 25】

請求項 19 に記載の方法において、前記第 1 の開口は横断寸法 0.5 ~ 30 マイクロメートルを有する、方法。

【請求項 26】

請求項 25 に記載の方法において、前記第 2 の開口は横断寸法 0.5 ~ 30 マイクロメートルを有する、方法。

【請求項 27】

請求項 19 に記載の方法において、前記第 2 の金属化構造物は、1 マイクロメートルを超える厚さを有する相互接続線を含む、方法。

【請求項 28】

チップの製造方法であって、該方法は、

シリコン基板と、

該シリコン基板の中または表面上の多数の装置と、

前記シリコン基板上の第 1 の金属化構造物であって、該第 1 の金属化構造物は、ダマシ加工法、電気メッキ法及び CMP プロセスを含むプロセスによって形成される、第 1 の金属化構造物と、

前記第 1 の金属化構造物上のパッシベーション層であって、該パッシベーション層中の開口は、前記第 1 の金属化構造物の接点の上にある、前記接点を露出し、前記パッシベーション層は窒化物を含む、パッシベーション層と、

を提供するステップと；

前記接点上に第２の金属化構造物を形成するステップであって、該ステップは、第１の金属層を形成し、続いてパターン形成されたフォトリソ層を形成し、続いて第２の金属層を電気メッキし、続いて前記パターン形成されたフォトリソ層を除去し、続いて前記第１の金属層をエッチングするステップを含む、ステップと；

を含む、方法。

【請求項２９】

請求項２８に記載の方法において、前記第１の金属層を形成するステップは、スパッタ法を含む、方法。

【請求項３０】

請求項２８に記載の方法において、前記多数の装置は、前記シリコン基板の中または表面上の第１の内部回路、及び前記シリコン基板の中または表面上の第２の内部回路を含み、前記第１の内部回路は、前記第２の金属化構造物を介して前記第２の内部回路に接続される、方法。

【請求項３１】

請求項２８に記載の方法において、前記多数の装置は、前記シリコン基板の中または表面上のドライバー、レシーバーまたはＩ／Ｏ回路、及び前記シリコン基板の中または表面上の内部回路を含み、前記ドライバー、レシーバーまたはＩ／Ｏ回路の第１の端子は、前記第２の金属化構造物を介して前記内部回路に接続される、方法。

【請求項３２】

請求項３１に記載の方法において、前記多数の装置は、前記シリコン基板の中または表面上のＥＳＤ回路をさらに含み、前記ＥＳＤ回路は、前記ドライバー、レシーバーまたはＩ／Ｏ回路の第２の端子に接続される、方法。

【請求項３３】

請求項２８に記載の方法において、前記開口は直径０．５マイクロメートル～３０マイクロメートルを有する、方法。

【請求項３４】

請求項２８に記載の方法において、前記第２の金属化構造物は、１マイクロメートルを超える厚さを有する相互接続線を含む、方法。

【請求項３５】

請求項２８に記載の方法において、前記第２の金属化構造物は、信号刺激のためのものである、方法。

【請求項３６】

請求項２８に記載の方法において、前記第２の金属化構造物は、クロック刺激のためのものである、方法。

【請求項３７】

請求項２８に記載の方法において、前記第２の金属化構造物は、接地配電のためのものである、方法。

【請求項３８】

請求項２８に記載の方法において、前記第２の金属化構造物は、配電のためのものである、方法。

【請求項３９】

チップの製造方法であって、該方法は、

シリコン基板と、

該シリコン基板の中または表面上のＥＳＤ回路と、

前記シリコン基板の中または表面上のドライバー、レシーバーまたはＩ／Ｏ回路と、

前記シリコン基板の中または表面上の第１の内部回路と、

前記シリコン基板上の誘電体層と、

前記シリコン基板上の及び前記誘電体層中の第１の相互接続構造物であって、該第１の相互接続構造物は、前記ＥＳＤ回路に及び前記ドライバー、レシーバーまたはＩ／Ｏ回路

の第 1 の端子に接続され、前記 E S D 回路は、前記ドライバー、レシーバーまたは I / O 回路と並列に、前記第 1 の相互接続構造物に接続される、第 1 の相互接続構造物と、

前記シリコン基板上の及び前記誘電体層中の第 2 の相互接続構造物であって、前記第 2 の相互接続構造物は、前記ドライバー、レシーバーまたは I / O 回路の第 2 の端子に接続される、第 2 の相互接続構造物と、

前記シリコン基板上の及び前記誘電体層中の第 3 の相互接続構造物であって、該第 3 の相互接続構造物は、前記第 1 の内部回路に接続され、前記第 1、第 2 及び第 3 の相互接続構造物は、ダマシン加工法、電気メッキ法及び C M P プロセスを含むプロセスによって形成される、第 3 の相互接続構造物と、

前記誘電体層上のパッシベーション層と
を提供するステップと；

前記パッシベーション層上に第 4 の相互接続構造物を形成するステップであって、前記第 2 の端子は、順次、前記第 2 の相互接続構造物、前記第 4 の相互接続構造物及び前記第 3 の相互接続構造物を介して前記第 1 の内部回路に接続され、前記第 4 の相互接続構造物を前記形成するステップは、第 1 の金属層を形成し、続いてパターン形成されたフォトリソ層を形成し、続いて第 2 の金属層を電気メッキし、続いて前記パターン形成されたフォトリソ層を除去し、続いて前記第 1 の金属層をエッチングするステップを含む、ステップと；

を含むチップの製造方法。

【請求項 40】

請求項 39 に記載の方法において、前記第 1 の金属層を形成するステップは、スパッタ法を含む、方法。

【請求項 41】

請求項 39 に記載の方法であって、前記シリコン基板の中または表面上に第 2 の内部回路を提供するステップをさらに含み、前記第 3 の相互接続構造物は前記第 2 の内部回路に接続され、前記第 1 の内部回路は、前記第 3 の相互接続構造物を介して前記第 2 の内部回路に接続され、前記第 2 の端子は、順次、前記第 2 の相互接続構造物、前記第 4 の相互接続構造物及び前記第 3 の相互接続構造物を介して前記第 2 の内部回路に接続される、方法。

【請求項 42】

請求項 39 に記載の方法であって、前記シリコン基板の中または表面上に第 2 の内部回路、並びに前記シリコン基板上及び前記誘電体層中に第 5 の相互接続構造物を提供するステップをさらに含み、前記第 5 の相互接続構造物は前記第 2 の内部回路に接続され、前記第 1 の内部回路は、順次、前記第 3 の相互接続構造物、前記第 4 の相互接続構造物及び前記第 5 の相互接続構造物を介して前記第 2 の内部回路に接続され、前記第 2 の端子は、順次、前記第 2 の相互接続構造物、前記第 4 の相互接続構造物及び前記第 5 の相互接続構造物を介して前記第 2 の内部回路に接続される、方法。

【請求項 43】

請求項 39 に記載の方法において、前記パッシベーション層は酸化物及び窒化物を含む、方法。

【請求項 44】

請求項 39 に記載の方法において、前記第 4 の相互接続構造物は、信号刺激のためのものである、方法。

【請求項 45】

請求項 39 に記載の方法において、前記第 4 の相互接続構造物は、クロック刺激のためのものである、方法。

【請求項 46】

請求項 39 に記載の方法において、前記第 4 の相互接続構造物は、1 マイクロメートルを超える厚さを有する相互接続線を含む、方法。

【請求項 47】

請求項 39 に記載の方法において、前記パッシベーション層は窒化物を含む、方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この出願は本出願人に係る 1998 年 12 月 21 日付けで出願された特許出願番号第 09 / 216 , 791 号の一部継続出願である 1999 年 2 月 17 日付けの特許出願第 09 / 251 , 183 号に関連する。

【0002】

本発明は、チップ及びチップの製造方法に関する。

【0003】

【従来の技術】

半導体デバイスの性能の改善は、典型的には、集積回路の幾何学的寸法を縮小することにより得られ、この結果、ダイス当りのコストが減少し、それと同時に、半導体デバイスの性能のいくつかの面が改善される。集積回路を他の回路又はシステム即ち系の素子に接続する金属接続部は相対的に一層重要となっているが、IC (集積回路) の更なる小型化に対しては、回路の性能への悪影響を増大させる。金属相互接続部の寄生的なキャパシタンス及び抵抗が増大し、これがチップの性能を大幅に劣化させる。この点に関して最も重要なことは、給電及び接地バス (母線) や電気信号経路の RC 遅延部に沿った電圧降下である。一層幅広い金属ライン (線) を使用して抵抗を減少させようとする、これらのワイヤのキャパシタンスが増大してしまう。

【0004】

この問題を解決するため、信号ライン間で低誘電材料を使用した状態でワイヤのための低抵抗金属 (例えば、銅) を開発する 1 つの試みがなされた。現在の慣行は、不動態化層即ちパッシベーション層の下に金属相互接続ネットワークを形成することであるが、この試みは相互接続ネットワークを細線相互接続部に制限し、これに関連して、寄生キャパシタンス及び高いライン抵抗率を与えてしまう。後者 2 つのパラメータは、その値が比較的大きいため、デバイスの性能を低下させ、その効果は、一層高周波数の応用にとって及び例えばクロック配線ラインに使用される長い相互接続ラインにとって一層厳しくさえなる。また、細線相互接続金属は、典型的には接地母線及び給電母線を必要とする大きな電流値を運搬できない。

【0005】

先に述べたように、半導体分野にとっての関心事は、相互接続ワイヤに課せられる典型的な制限 (例えば、望ましくない寄生キャパシタンス及び高い相互接続ライン抵抗) を除去するような相互接続ライン形成方法を提供することである。本発明はこのような方法を提供する。これに関し、パッシベーション層の下に形成される現在使用されている (従来の) 細線相互接続体系は都市の街路に類似するものと指摘することができる。本発明の後パッシベーション相互接続体系は都市間の高速道路と見做すことができる。

【0006】

ここで、従来技術を示す図面について述べると、図 1 は、その上に導電性の相互接続ネットワークが形成された表面を有するシリコン基板の横断面図である。図 1 で横断面にて示す構造体は従来の給電及び接地配線ネットワークのみを取り扱うものであり、これに制限される。図 1 で強調された種々の特徴は次の通りである。

【0007】

符号 40 : その上に相互接続ネットワークが形成された表面を有するシリコン基板

符号 42 : 基板 40 の表面内又はその上に形成された例示的な数の半導体回路

符号 44 : 基板 40 の表面内又はその上に形成された 2 つの静電放電 (ESD) 回路であり、各 ESD 回路は外部接続部のために接近できる各ピン (ピン 52 ; 後述) に対して設けられる

符号 46 : 相互接続ラインの層 ; これらの相互接続ラインは基板 40 の表面の上方及びパッシベーション層 48 の下方にあり、従来の細線相互接続部の典型的な応用を表す ;

層 4 6 のこれらの細線相互接続部は、典型的には、高い抵抗率及び高い寄生キャパシタンスを有する

符号 4 8 : 相互接続ラインの層 4 6 の表面上に付着されたパッシベーション層

符号 5 0 : 層 4 6 内に設けられた細線相互接続ラインを介して回路 4 2 に接続する給電又は接地母線 ; この給電又は接地母線は、典型的には、この給電又は接地母線が蓄積された電流を運搬し、または、デバイス 4 2 のための接地接続部となるので、幅広い金属である

符号 5 2 : パッシベーション層 4 8 を貫通し、給電又は接地母線 5 0 に接続された給電又は接地ピン。

【 0 0 0 8 】

上記のことから、次のように要約できる : 回路がシリコン基板内又はその上に形成され、外部の回路への更なる相互接続のために、相互接続ラインがこれらの回路に対して形成され、I / O (入出力) ピン毎に、回路が E S D 回路を具備し、それぞれの E S D 回路を備えたこれらの回路がパッシベーション層に侵入する給電又は接地ピンに接続される。パッシベーション層は形成された相互接続ライン構造体の上に位置する最終的な層であり、パッシベーション層の下側の相互接続ラインは細線相互接続部であり、細線相互接続部のすべての電氣的な欠点 (例えば、高い抵抗率及び高い寄生キャパシタンス) を有する。

【 0 0 0 9 】

図 1 に示す横断面に関連して、次のような説明が行える。当業界で既知のように、E S D 回路は予期せぬ電気チャージに対して半導体回路を保護するために設けられる。この理由のため、半導体回路に接続する各ピンは E S D 回路を具備しなければならない。

【 0 0 1 0 】図 2 は図 1 に示す横断面に似た従来の形状の横断面図である。しかし、図 2 で横断面にて示す構造体はクロック及び信号配線ネットワークのみを取り扱うものであり、これに制限される。図 2 は (図 1 の先に強調された特徴に加えて) 次の特徴を示す。

【 0 0 1 1 】

符号 4 5 : 基板 4 0 の表面内又はその上に設けられた 2 つの E S D 回路 ; E S D 回路は入力 / 出力 (I / O) ピンへの任意の外部接続にとって常に必要である

符号 4 5 : それぞれ入力 (レシーバ) 又は出力 (ドライバ) 又は I / O のためのレシーバ又はドライバ又は I / O 回路とすることのできる回路

符号 5 4 : クロック母線 符号 5 6 : パッシベーション層 4 8 を貫通して延びたクロック又は信号ピン。

【 0 0 1 2 】

図 1 に関連して先に述べたものと同じ説明を図 2 に示す横断面に適用するが、パッシベーション層が形成された構造体の上に存在する最終の層であるという概要説明として、パッシベーション層の下側の相互接続ラインは細線相互接続部であり、細線相互接続部の電氣的な欠点 (例えば、高い抵抗率及び高い寄生キャパシタンス) をすべて有する。

【 0 0 1 3 】

ピン 5 6 が信号又はクロックピンである場合には、図 2 に示す横断面に更に適用されるものは次の通りである : ピン 5 6 は E S D 及びドライバ / レシーバ又は I / O 回路 4 5 に接続しなければならない信号又はクロックピン 5 6 については、これらのピンは、E S D 回路のみならず、図 2 において回路 4 5 として強調されるドライバ又はレシーバ又は I / O 回路にも接続しなければならない (クロック及び信号の) 刺激が E S D 及びドライバ / レシーバ又は I / O 回路を通過した後、これらの刺激は、従来の方法の下で、細線相互接続ワイヤを使用して更に送られる。パッシベーション層は相互接続ネットワークを形成した誘電体層上に付着される。

【 0 0 1 4 】

それ故、半導体分野にとっての関心事は、相互接続ワイヤに加えられる典型的な制限 (例えば、望ましくない寄生キャパシタンス及び相互接続ラインの高い抵抗率) を排除した相互接続ラインを形成する方法を提供することである。

【 0 0 1 5 】

【発明が解決しようとする課題】

本発明の主な目的は、厚くて幅広い金属の使用を可能にする相互接続金属形成方法を提供することである。

【0016】

本発明の別の目的は、ポリマーの如き厚い誘電体層を使用する相互接続金属形成方法を提供することである。本発明の更に別の目的は、高い抵抗を有しないか又は高い寄生キャパシタンスを生じさせない長い相互接続ラインの形成を可能にする方法を提供することである。

【0017】

本発明の他の目的は、給電及び接地配線ネットワークの形成のために大きな値の電流を運ぶことのできる相互接続ラインを形成することである。本発明の更に他の目的は、パッシベーション層を付着した後の層の表面上に相互接続金属を形成することにより、安価な製造方法を使用して形成できる相互接続金属を形成することである。

【0018】**【課題を解決するための手段】**

本発明の目的に従えば、相互接続ラインを形成するための新規な方法が提供される。細線相互接続部が、基板の表面内又はその上に形成された半導体回路の上に位置する第1の誘電体層として設けられる。パッシベーション層が誘電体層上に付着され、厚い第2の誘電体層がパッシベーション層の表面上に形成される。厚くて幅広い相互接続ラインが厚い第2の誘電体層内に形成される。

【0019】**【実施の形態】**

参照の目的のため及び明確な理解のために、関連する特許出願第09/251,183号（以下、参照出願という）を図6で参照する。

【0020】

特に図6を参照すると、参照出願の1つの実施の形態の横断面を示す。シリコン基板10の表面はトランジスタ及び他のデバイス（図6には示さない）を具備している。基板10の表面は誘電体層12で覆われ、それ故、誘電体層12は基板の表面内及び基板10上に設けられたデバイス上に付着される。導電性の相互接続ライン11は層12の内部に設けられ、基板10の表面内に設けた半導体デバイスに接続する。

【0021】

層14（2つの例を示す）は典型的には誘電体層12の頂部に形成された金属層及び誘電体層のすべてを表し、それ故、図6に示す層14は誘電体又は絶縁体等の複数の層、及び、層14の全体にわたって形成された電気接続部のネットワークを構成する導電性の相互接続ライン13を含むことができる。電気接点16が層14の表面上に位置する。これらの電気接点16は、例えば、基板10の表面内に設けられたトランジスタ及び他のデバイスへの電氣的な相互接続を確立する結合パッドとすることができる。これらの接点16は周辺の回路に更に接続する必要があるIC構成体内の相互接続点である。例えば窒化ケイ素で形成されるパッシベーション層18が層14の表面上に付着され、湿気、汚染等から下側の層を保護する。

【0022】

上述の参照出願の主要な工程は層18の表面に付着されるポリイミドの薄い層20の付着から始まる。電気接点16へ接近できるようにしなければならず、この理由のために、ポリイミド層20及びパッシベーション層18を通して開口22、36、38のパターンをエッチングし、開口22、36、38のパターンは電気接点16のパターンと整合する。ポリイミドの層20内に形成された開口22/36/38を介して、接点16は層20の表面へ電氣的に延びる。

【0023】

層20の付着のために使用される上記で参照した材料はポリイミドであるが、この層のために使用できる材料はポリイミドに限定されず、任意の既知のポリマー（ SiCl_xO_y ）

）を含むことができる。示されたポリイミドはポリマーの厚い層 20 のための本発明のプロセスのために使用するのに好ましい材料である。使用できるポリマーの例は、ケイ素系、炭素系、フッ化物、塩化物系、酸素系、シリコンエラストマー、パリレン又はテフロン（登録商標）、ポリカーボネート（PC）、ポリスチレン（PS）、ポリオキサイド（PO）、ポリポロオキサイド（PPO）、ベンゾシクロブテン（BCB）である。

【0024】

ここでは、接触点 16 を備えた電気接点は導電性材料で開口 22 / 36 / 38 を充填することにより形成できる。ここでは、開口 22 / 36 / 38 内に含まれるこれらの金属導体の頂表面 24 は周辺への IC の接続のため及び周囲の電気回路内への更なる組み込みのために使用できる。この後者の記述は、基板 10 の表面に設けられた半導体デバイスが開口 22 / 36 / 38 内に含まれる導電性の相互接続体を介して周囲の素子及び回路に更に接続できるということと同じである。相互接続パッド 26、28 は開口 22 / 36 / 38 内に含まれる金属相互接続体の表面 24 の頂部に形成される。これらのパッド 26、28 は特定の回路設計要求を満たすために幅及び厚さを任意に設計できる。例えば、パッドはフリップチップパッドとして使用することができる。他のパッドは電力配給のために、及び、接地又は信号母線として使用できる。次の接続部は、例えば、図 6 に示すパッドに形成することができる：パッド 26 はフリップチップパッドとして作用することができ、パッド 28 はフリップチップパッドとして作用することができるか、或いは、電源又は電気接地点又は電気信号母線に接続できる。図 6 に示す寸法のパッドと、このパッドを使用できるようにする提案された可能な電気接続部との間の接続は無い。パッドの寸法、並びに、電気回路設計の標準の規則及び制限が、一定のパッド自体に役立つ電気接続体を決定する。

【0025】

次の説明は接触点 16（図 6）の寸法及び数に関連する。これらの接触点 16 が薄い誘電体（層 14、図 6）の頂部に位置するので、パッドの寸法を過剰に大きくできない。その理由は、大きなパッド寸法が大きなキャパシタンスを生じさせるからである。更に、大きなパッド寸法は金属のその層の配線能力と抵触する。それ故、パッド 16 の寸法を比較的小さく保つのが好ましい。しかし、パッド 16 の寸法はまた、ビア(vias)（開口）22 / 36 / 38 のアスペクト比に直接関連する。ビア(via)エッチング及びビア充填を考慮すれば、約 5 のアスペクト比が許容可能である。これらの考察に基づき、接触パッド 16 の寸法は 0.5 μm ないし 30 μm 程度とすることができ、正確な寸法は層 18、20 の厚さに依存する。

【0026】

一層大きなアスペクト比のビアに対しては、金属層 26、28 の付着前に、ビアはビアプラグで充填される。しかし、一層小さなアスペクト比（例えば、2 よりも小さい）を有するビアに対しては、ビアプラグは不要となり、この場合、層 26、28 の金属はパッド 16 との接触を直接確立できる。

【0027】

参照出願は設計に含むことのできる接触パッドの数に制限を与えず、この数はパッケージ設計要求に依存するのみならず、パッケージの内部回路設計要求に大半依存する。図 6 の層 18 は典型的な IC パッシベーション層とすることができる。

【0028】

当分野における現在の状態で最も頻繁に使用されるパッシベーション層はプラズマ強調 CVD (PECVD) 酸化物及び窒化物である。パッシベーション層 18 の形成において、約 0.5 μm の PECVD 酸化物の層を最初に付着することができ、次いで、約 0.7 μm の窒化物の層を付着することができる。パッシベーション層 18 は極めて重要である。その理由は、この層がデバイスウエファを湿気及び外部イオン汚染から保護するからである。（集積回路の）サブミクロンのプロセスと（相互接続用の金属化構造体の）テンズ・ミクロン(tens-micron)のプロセスとの間でのこの層の位置決めは極めて重要である。その理由は、これが、相互接続用の金属化構造体の形成プロセスのための厳重なクリー

ンルームの要求を少なくできる一層安価なプロセスを可能にするからである。

【0029】

層20は(硬化後に)2 μ mを越える厚さを有する厚いポリマー(例えば、ポリイミド)の誘電体層である。ポリマーの厚さの範囲は、電氣的な設計要求に応じて、2 μ mから150 μ mまで変化することができる。

【0030】

層20の付着のために、例えば、日立デュボン社製のポリイミドHD2732又は2734を使用できる。ポリイミドはスピン・オン(spin-on)被覆及び硬化できる。スピン・オン被覆(コーティング)後、真空環境又は窒素環境内において400の温度で1時間だけポリイミドを硬化させる。一層厚いポリイミドに対しては、ポリイミドフィルムを多重に被覆して硬化させることができる。

【0031】

層20を形成するために使用できる別の材料はポリマー・ベンゾシクロブテン(BCB)である。このポリマーは、現在、例えばダウケミカル社により商業的に製造されており、近年、典型的なポリイミド応用の代わりに使用できる許諾を得ている。

【0032】

開口22、36、38の寸法については先に説明した。開口の寸法は、誘電体の厚さと協同して、開口のアスペクト比を決定する。アスペクト比はビアエッチングプロセス及び金属充填能力を促す。これは、開口22/36/38の直径を約0.5 μ mないし30 μ mの範囲にし、開口22/36/38のための高さは約2 μ mないし150 μ mの範囲にすることができる。開口22/36/38のアスペクト比は、金属でのビアの充填が達成できるように設計される。ビアは、CVDタングステン又はCVD銅の如きCVD金属、無電気(electro-less)ニッケル、波形模様の金属充填プロセス、電気メッキ銅等で充填することができる。既述のように、低アスペクト比のビアに対しては、ビアの充填は余分な処理工程として必要ではない。金属層26、28と接点パッド16との間の直接接触を達成できる。

【0033】

参照出願は複数の(ポリイミドの如き)ポリマーの層を適用することにより更に拡張することができる。それ故、一層種々の応用に適合できる。図6に関連して説明した構造体の機能は、先に付着した層20の頂部上に第2のポリイミド層を付着し、パッド26、28の上に位置させることにより、更に拡張することができる。選択的なエッチング及び金属付着又は金属電気メッキは、パッド26、28と相互接続できる第2のポリイミド層の表面上に付加的な接点を更に形成することができる。付加的なポリイミド層及びその上に形成された接点パッドは特定の応用に対して特注作成でき、複数のポリイミド層の与えられた拡張は参照一部継続出願の融通性及び有用性を大幅に向上させる。

【0034】

図6は参照一部継続出願の基本設計の利点を示す。この利点は、金属層14及び接点16のすぐ近傍を通過するサブミクロン線即ち細線が金属相互接続部を通過して上方向30に延長することを可能にし、この延長は金属相互接続部28の水平面内で方向32に続行し、金属相互接続部38を通過して下方向34へ戻り下降する。パッシベーション層18及び絶縁層20の機構及び構造は先に強調したように残っている。本発明のこの基本設計の利点は、細線相互接続部を「持ち上げる」即ち「扇形に広げる」ことであり、また、これらの相互接続部をミクロ及びサブミクロレベルから、著しく大きな寸法を有し、それ故、一層小さな抵抗及びキャパシタンスを有し、容易で安価に製造できる金属相互接続レベルへと移すことである。参照出願のこの面はパッド再配線のいかなる面をも含まず、それ故、固有の簡単化特性を有する。それ故、これは、幅広くて厚い金属レベルでミクロ及びサブミクロ配線に接近できるようにすることを参照出願の重要性に更に付加する。相互接続部22、36、38は、パッシベーション層及びポリマー即ちポリイミド誘電体層を通過して上方に進み、幅広くて厚い金属レベル上である距離だけ続き、パッシベーション層及びポリマー即ちポリイミド誘電体層を通過して再度下方へ進むことによって幅広くて厚い金属レ

ベルから下降して細線金属レベルへ下がるように続くことにより、細線レベル金属を相互接続する。この方法で達成される延長は、幅広くて厚い金属ライン 26、28 での信号又は給電又は接地の如き任意の特定の型式の細線金属相互接続点 16 の延長に制限される必要はない。物理学及び電子学の法則は、もしあるならば、この方法で確立できる相互接続の型式に関して制限を与え、制限因子は抵抗、伝播遅延、RC 定数等の普通の電氣的な制限因子である。参照出願が重要であるのは、参照一部継続出願がこれらの法則を適用することについて一層広い自由範囲を提供するからであり、そうすることにより、一層広範囲の集積回路の応用及び用途、並びに、幅広くて厚い金属環境へのこれらの回路の適用を提供する。

【0035】

これで図 6 に参照の目的で示した構成の説明を完了する。更に続いて、図 7 a 及び図 7 b に示す横断面を説明する。図 7 a は、図を明瞭にする理由で、基板及び本発明のプロセスによりこの基板の表面上に形成された層の簡単化した横断面を示し、図示の強調された部分は次のように先に特定されたものである：

符号 10： シリコン基板

符号 12： 基板の表面上に付着された誘電体層

符号 14： 相互接続ライン、ビア及び接点を含む相互接続層

符号 16： 相互接続層 14 の表面上の接点

符号 18： 接点 16 に接近できる開口を形成したパッシベーション層

符号 20： ポリマーの厚い層

符号 21： ポリイミドの層 20 を通して設けられた導電性プラグポリマーの厚い層 20 はパッシベーション層 18 の表面上に液体の形で被覆することができ、または、乾燥フィルムの適用によりパッシベーション層 18 の表面上で積層することができる。導電性プラグ 21 の形成に必要なビアは普通のフォトリソグラフィプロセスにより画定することができ、または、レーザー（穴明け）技術を使用して形成することができる。

【0036】

先の説明から、図 7 a に横断面にて示す一連の層は、誘導子やコンデンサ等の如き付加的な電気素子をポリイミドの層 20 の表面上に形成でき、導電性プラグ 21 と電氣的に接触するように、形成されたこと明らかである。図 7 a に示す横断面においては、誘電体層 12 は層 14 の一部とすることができる。その理由は、層 14 が層 12 を容易に組み込むことのできるレベル内誘電体（ILD）層だからである。

【0037】

図 7 b に示す横断面に関しては、図 7 a で特定されたものと同じ層がこの横断面内にも設けられる。更に示すものは、能動半導体デバイスを含むシリコン基板 10 の上層 17 である。また、パッシベーション層 18 の表面上に形成された誘導子 19 の横断面も示される。誘導子 19 のために使用される金属のオーム抵抗率を出来る限り小さくしなければならないことを強調しなければならない。この理由のため、誘導子 19 の形成のために、例えば金の厚い層を使用するのが好ましく、誘導子 19 の Q 値を大幅に改善する 2.4 GHz の応用に対して金の厚い層が誘導子 19 の Q 値を約 5 から約 20 へと増大させることを示した。

【0038】

ここで、特に図 3 a を参照すると、この図面は給電及び接地ピンのみを言及し、信号又はクロックピンを取り扱わない。図 3 a には、本発明に係る相互接続ネットワークを上形成したシリコン基板 40 の横断面図を示し、幅広くて厚いワイヤ相互接続ネットワークはパッシベーション層の上に位置する厚い誘電体層内に形成される。給電及び（又は）接地ピンは外部との接続のために厚い誘電体層の表面を貫通して設けられる。次のものは図 3 a に示す種々の特徴である：

符号 40： 本発明に従って相互接続ラインが上に形成された表面を有するシリコン基板

符号 42： 基板 40 の表面内又はその上に形成された半導体回路

符号 4 4 : 回路 4 2 をパッシベーションするために設けられた E S D 回路

符号 5 8 : 基板 4 0 の表面内又はその上に形成された、半導体デバイス 4 2 への接続パッド

符号 6 0 : 半導体デバイス 4 2 への接続パッド 5 8 の上に位置するように形成された細線相互接続部の層

符号 6 1 : 層 6 0 内に設けられたビアの 1 つ ; 一層多数のこのようなビアが図 3 a に示されているが、図を明瞭にする理由で、その符号を省略してある

符号 6 2 : 細線相互接続部の層 6 0 の上に位置するように付着されたパッシベーション層

符号 6 3 : パッシベーション層 6 2 を貫通するビアの 1 つ ; 一層多数のこのようなビアが図 3 a に示されているが、図を明瞭にする理由で、その符号を省略してある

符号 6 4 : 後パッシベーション処理としてその中に相互接続部を形成した誘電体層

符号 6 5 : 層 6 4 内から出発し、層 6 2 、 6 0 を貫通して E S D 回路に接続された給電又は接地母線

符号 6 6 : (層 5 8 内の複数の接続パッドのための) 給電又は接地母線の組み合わせ

符号 6 7 : パッシベーション層 6 2 の上に位置するように形成されたビア ; 一層多数のこのようなビアが図 3 a に示されているが、図を明瞭にする理由で、その符号を省略してある

符号 6 8 : 層 5 8 内の多数の半導体デバイスのための給電又は接地ピン 図 3 a に示す横断面から、最も重要なことは、基板の表面内又はその上に形成された半導体デバイスへの相互接続部を形成する能力が、層 6 0 内の細線相互接続部内にこれらの相互接続部を形成することのみならず、パッシベーション層の上に位置する幅広くて厚い相互接続ネットワークを形成することによって延長させることにより、拡大されたことが明らかである。これは、パッシベーション層の上に位置するように形成された相互接続ネットワークが頑丈な物即ち一層厚くて一層幅広い相互接続ラインを含むことができる状態で、これらのラインが (基板の表面内又はその上に形成された半導体デバイス上の相互接続ラインによる寄生的な影響を減少させるように) 基板の表面から更に除去されるという点で、即時的で有意義な利点を提供する。厚くて幅広い金属相互接続部は給電及び接地配線のために使用することができ、この配線はパッシベーション層の上方で生じ、部分的に取り替えられ、この目的のためにパッシベーション層の下側の細線配線相互接続ネットワークを有する従来の方法を拡張させる。あるいくつかの関心事を従来の方法及び本発明に関連してここに列挙することができる。

従来技術 :

外部の入力 / 出力相互接続のために使用される各ピンに対して E S D 回路を提供する ; E S D 刺激が E S D 回路を通過した後、給電及び接地刺激の更なる配給のための細線相互接続ネットワークを提供する ; 及び

細線給電及び接地配線ネットワークがパッシベーション層の下側に形成される。

【 0 0 3 9 】

これに関し及び上述の説明に関連して、給電及び接地ピンがドライバ及び (又は) レシーバ回路を必要としないことを心に留めておかなければならない。

本発明 : 外部の入力 / 出力相互接続のために使用される各ピンに対して E S D 回路を形成する必要がない ; これは、E S D 回路を駆動する一層強健な配線を考慮し、相互接続ラインにわたる予期せぬ動力サージによる動力損失を減少させ、一層多くの動力を E S D 回路へ送給するものである ;

給電及び接地相互接続部を半導体デバイスの内部回路へ直接接続できるようにする ; これは E S D 回路を伴わないか又は (既述したような) 標準の E S D 回路よりも一層小さな E S D 回路を伴う。

【 0 0 4 0 】

図 3 a に横断面にて示す相互接続ネットワークを形成するために使用される方法は給電及び接地接続部の使用のみを取り扱い、クロック及び信号相互接続ラインには適用しない

。図 3 a は次のように要約することができる：シリコン基板が半導体デバイス及び少なくとも 1 つの静電放電（ESD）回路をその中に形成した表面を具備し、第 1 の誘電体層が基板上に付着され、細線相互接続ネットワークが第 1 の誘電体層内に形成されて能動回路及び ESD 回路と接触する。パッシベーション層が第 1 の誘電体層の表面上に付着され、金属プラグ（又は、低アスペクト比のビアに対しては、先に指摘したように、上側に位置する金属層間の直接相互接続部）のパターンがパッシベーション層内に形成されて、第 1 の誘電体層の表面内に形成された接点と整合する。第 2 の誘電体層がパッシベーション層の表面上に付着され、幅広くて厚いライン相互接続ネットワークが第 2 の誘電体層内に形成され、ESD 回路と接触する。給電又は接地接点からなる電気接点が第 2 の誘電体層の表面内に設けられる。

【0041】

図 3 b は本発明の給電及び接地相互接続ラインの形成への更なる洞察を提供し、これらの相互接続ラインは相互接続ライン 66 及び相互接続ライン 66 として示されている。相互接続ライン 66 はパッシベーション層 62 の上方に形成され、包括的な給電及び接地相互接続ラインとして作用する。相互接続ライン 66 はパッシベーション層 62 の下方に形成され、局所的な給電及び接地相互接続ラインとして作用する。

【0042】

ここで図 4 a を参照すると、図 4 a は信号及びクロックラインの相互接続を取り扱う。図 4 a には、シリコン基板 40 の横断面が示され、本発明に係る相互接続ネットワークが基板上に形成される。ESD 回路又はドライバ回路又はレシーバ回路又は I/O 回路への接近ピンは外部接続のために誘電体層の表面を貫通して設けられる。ESD 回路は I/O 接続を確立するすべての回路に対して必要であるが、I/O 接続を確立する回路の型式とは独立に、I/O 接続はまたレシーバ回路又はドライバ回路又は I/O 回路に対して設けることができる。

【0043】

図 4 a に示され、先に強調されなかった特徴は次の通りである：本発明はクロック及び信号刺激を配給するための幅広くて厚い相互接続ラインを備えた相互接続ネットワークを提供する；本発明はパッシベーション層の上に位置し、クロック及び信号刺激のための厚くて幅広い相互接続ラインを形成する；

符号 70： ESD 回路 45 のために及びドライバ/レシーバ/I/O 回路 45 のために設けられた外部接続（ピン）；ピン 70 は回路 45、45 に対するクロック及び信号刺激のための外部接近を提供する；

符号 72： 相互接続ラインのための厚くて幅広いワイヤを使用して相互接続層 64 内に形成されたクロック又は信号母線；クロック及び信号相互接続ライン配線は、I/O 相互接続の外部接点を設けることなく層 64 内に全体的に含まれることに留意すべきである。

【0044】

図 4 a に横断面にて示す相互接続ネットワークを形成するために使用される方法は次のように要約することができる。シリコン基板が設けられ、ESD、レシーバ、ドライバ及び I/O 回路を含む能動回路が基板の表面に形成されている。無機材料の第 1 の誘電体層が基板上に付着され、細線相互接続ネットワークが誘電体層内に形成されて、能動回路と接触する。パッシベーション層が第 1 の薄い誘電体層上に付着され、金属プラグのパターンがパッシベーション層内に形成され（または、低アスペクト比の開口に対しては、介在する誘電体層内の開口を介して上側の金属層間に直接接触が確立され）、金属相互接続部が第 1 の誘電体層の表面内の電気接点と整合する。1 又はそれ以上の一層厚い誘電体層が典型的には有機材料のパッシベーション層の表面上に付着され、1 つの ESD、レシーバ、ドライバ又は I/O 回路を含む幅広くて厚いライン相互接続ネットワークが一層厚い誘電体層内に形成されて、パッシベーション層内又はその下の金属プラグ又は金属パッドと電氣的に接触する。

【0045】

図 4 b は本発明の信号及びクロック相互接続ラインの形成への更なる洞察を提供し、これらの相互接続ラインは相互接続ライン 7 1 及び相互接続ライン 7 1 として示されている。相互接続ライン 7 1 はパッシベーション層 6 2 の上方に形成され、包括的な信号及びクロック相互接続ラインとして作用する。相互接続ライン 7 1 はパッシベーション層 6 2 の下方に形成され、局所的な信号及びクロック相互接続ラインとして作用する。

【 0 0 4 6 】

図 5 a は本発明に係る相互接続ネットワークが上に形成されたシリコン基板 4 0 の横断面を示し、相互接続ネットワークはパッシベーション層の上に位置する厚い誘電体層内に形成され、厚い誘電体層に対して内部に位置する。外部接続のための E S D、レシーバ、ドライバ又は I / O 回路接近ピンは誘電体層の表面を貫通して設けられていない。図 5 a に示すが、先に強調されていないものは、クロック又は信号相互接続ライン 7 4 であり、これは、外部 I / O 接続部が設けられていないパッシベーション層上に位置する厚くて幅広いラインの相互接続体系を提供する。パッシベーション層の上に位置するように形成された相互接続ネットワークの厚くて幅広いラインのため、クロック及び信号配給は相互接続層 6 4 内で全体的に生じることができ、これは、クロック及び信号配線ラインに対して、（使用された場合の）各厚くて幅広い相互接続ラインがオフ・チップ接続のための少なくとも 1 つの I / O 接続点を具備しなければならないような従来技術の方法とは異なる。

【 0 0 4 7 】

図 5 a に横断面にて示す幅広くて厚いライン相互接続を形成するために使用される方法は次のように要約することができ、図 4 a に関連して上述したものと類似する。シリコン基板が設けられ、能動デバイスが基板の表面内に設けられる。第 1 の薄い誘電体層が基板の表面上に付着され、細線相互接続ラインを備えた細線相互接続ネットワークが第 1 の誘電体層内に形成されて、基板の表面内の電気接点と接触する。パッシベーション層が第 1 の誘電体層の表面上に付着され、導電性相互接続部のパターンがパッシベーション層内に形成され、第 1 の誘電体層の表面内の電気接点と整合する。1 又はそれ以上の第 2 の誘電体層がパッシベーション層の表面上に付着され、パッシベーション層内の導電性相互接続部と電氣的に接触する。

【 0 0 4 8 】

図 5 b は本発明の信号及びクロック相互接続ラインの形成への更なる洞察を提供し、これらの相互接続ラインは相互接続ライン 7 4 及び相互接続ライン 7 4 として示されている。相互接続ライン 7 4 はパッシベーション層 6 2 の上方に形成され、包括的な信号及びクロック相互接続ラインとして作用する。相互接続ライン 7 4 はパッシベーション層 6 2 の下方に形成され、局所的な信号及びクロック相互接続ラインとして作用する。

【 0 0 4 9 】

図 3 - 5 がパッシベーション層 6 2 の下側に位置する細線相互接続ネットワーク 6 0 を示す場合、本発明はまた可能であり、細線相互接続ネットワーク 6 0 を完全に排除し、厚くて幅広いワイヤのみを使用する相互接続ネットワーク 6 4 を形成するように更に拡張できることを更に強調しておかなければならない。本発明のこの応用に対しては、第 1 の誘電体層 6 0 は適用されず、パッシベーション層 6 2 は基板 4 0 の表面内又はその上に形成された半導体デバイス 5 8 の表面上に直接付着される。

【 0 0 5 0 】

細線相互接続ラインと幅広くて厚い相互接続ラインとの間の上述した区別を簡単に説明しておくことは更に価値がある。次の点がこれに当てはまる。従来の細線相互接続ラインはパッシベーション層の下側に形成されるが、本発明の幅広くて厚い相互接続ラインはパッシベーション層の上に形成される；細線相互接続ラインは典型的には無機誘電体層内に形成され、厚くて幅広い相互接続ラインは典型的にはポリマーからなる誘電体層内に形成される。その理由は、誘電体層が結果として裂け目や割れ目を生じさせるので、無機材料を厚い誘電体層として付着できないからである；細線相互接続金属は典型的には抵抗エッチングでのスパッタリング法又は電気メッキでの酸化エッチングを使用する波形模様処理を使用して形成され、その後に C M P を施す。これら 2 つの方法のいずれも、高価である

ため又は酸化ひび割れのため、厚い金属を形成できない；厚くて幅広い相互接続ラインは、最初に薄い金属ベース層をスパッタリングし、フォトレジストの厚い層をコーティングしパターン化し、電気メッキにより金属の厚い層を施し、パターン化されたフォトレジストを除去し、（スパッタリングされた薄い金属ベースの）金属ベースエッチングを遂行することにより、形成することができる。この方法は極めて厚い金属のパターンの形成を可能にし、この方法において、厚い金属相互接続ラインの中に形成した誘電体層の厚さが2 μm を越えられる状態で、1 μm を越える金属厚さを達成できる。

【0051】

特定の例示的な実施の形態につき本発明を説明し、図示したが、これらは本発明をこれらの例示的な実施の形態に限定することを意図するものではない。当業者なら、本発明の要旨を逸脱することなく種々の変形及び修正が可能であることを認識できよう。それ故、本発明の要旨内に含まれるすべてのこのような変形及び修正並びにその等価のものは本発明に含まれる。

【図面の簡単な説明】

【図1】

シリコン基板であって、その上に従来の細線相互接続ネットワークが形成され、その上にパッシベーション層が付着され、外部との接続のためにパッシベーション層を貫通して給電及び（又は）接地ピンを設けたようなシリコン基板の横断面図である。図1で横断面にて示す構造体は従来の給電及び接地配線ネットワークのみを取り扱うものであり、これに制限される。

【図2】

シリコン基板であって、その上に従来の細線相互接続ネットワークが形成され、その上にパッシベーション層が付着され、外部との接続のためにパッシベーション層を貫通してクロック及び（又は）信号ピンを設けたようなシリコン基板の横断面図である。図2で横断面にて示す構造体は従来のクロック及び信号配線ネットワークのみを取り扱うものであり、これに制限される。

【図3】

図3 aは、本発明に係る相互接続ネットワークを上形成したシリコン基板の横断面図である。給電及び（又は）接地ピンが外部との接続のために誘電体層の表面を貫通して設けられている。図3 a及び図3 bで横断面にて示す構造体は本発明の給電及び接地配線ネットワークのみを取り扱うものであり、これに制限される。図3 bは、パッシベーション層の下にある給電及び接地配線ラインと、パッシベーション層の上にある給電及び接地配線ラインとの間の違いを示す図である。

【図4】

図4 aは、本発明に係る相互接続ネットワークを上形成したシリコン基板の横断面図である。ESD及び（又は）ドライバ及び（又は）レシーバ回路接近ピンが外部との接続のために誘電体層の表面を貫通して設けられている。図4 a及び図4 bで横断面にて示す構造体は本発明のクロック及び信号配線ネットワークのみを取り扱うものであり、これに制限される。図4 bは、パッシベーション層の下にあるクロック及び信号配線ラインと、パッシベーション層の上にあるクロック及び信号配線ラインとの間の違いを示す図である。

【図5】

図5 aは、本発明に係る相互接続ネットワークを上形成したシリコン基板の横断面図である。外部との接続のために誘電体層の表面を貫通するI/O接続ピンは設けられていない。図5 a及び図5 bで横断面にて示す構造体は本発明のクロック及び信号配線ネットワークのみを取り扱うものであり、これに制限される。図5 bは、パッシベーション層の下にあるクロック及び信号配線ラインと、パッシベーション層の上にあるクロック及び信号配線ラインとの間の違いを示す図である。

【図6】

上記で参照した一部継続出願の発明に係る相互接続体系の横断面図である。

【図 7】

図 7 a は、簡単化したバージョンの基板、及び、上記で参照した一部継続出願のプロセスにより基板の表面上に形成された層の横断面図である。図 7 b は、誘導子がパッシベーション層の上に付加された状態での図 7 a の横断面図である。

【符号の説明】

- 1 0、4 0 シリコン基板
- 1 2 誘電体層
- 1 4 相互接続層
- 1 6 電気接点
- 1 8、6 2 パッシベーション層
- 2 0 厚い層
- 2 1 導電性プラグ
- 2 2、3 6、3 8 開口（ビア）
- 2 6、2 8 パッド
- 4 2 半導体デバイス
- 4 4、4 5 ESD回路
- 6 0 細線相互接続層（ネットワーク）
- 6 1、6 3、6 7 ビア
- 6 4 誘電体層
- 6 5 給電又は接地母線
- 6 8 給電又は接地ピン
- 7 2 クロック又は信号母線