



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

228 621

(11)

(B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 29 06 82
(21) PV 4887-82

(51) Int. Cl.
G 06 F 9/44

(40) Zveřejněno 24 06 83
(45) Vydáno 01 01 86

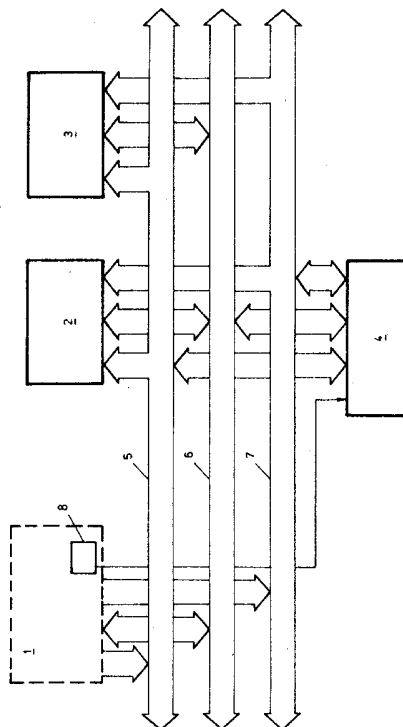
(75)
Autor vynálezu

RŮŽIČKA IVOJ ing. CSc.,
VITINGER JIŘÍ ing., PRAHA

(54) Zapojení číslicového počítače

Vynález spadá do oboru výpočetní techniky a řeší problém zjištění, která část instrukce se přenáší po sledované systémové sběrnici při simulování její činnosti. Podle podstaty vynálezu byl problém vyřešen tím, že na synchronizační výstup dekodéru instrukce procesorové jednotky je zapojen sledovací vstup sběrnice emulátoru. Zapojení dekodéru 8 instrukce procesorové jednotky s emulátorem 4 nejlépe charakterizuje vynález.

Vynálezu lze využít v oboru výpočetní techniky při simulování činnosti sběrnic.



Vynález se týká číslicového počítače vybaveného procesorovou jednotkou s dekodérem instrukce a sběrnicevým emulátorem.

Některé číslicové počítače, zejména mikropočítačové systémy, se vyznačují těsnou vazbou mezi jejich fyzikální strukturou a programovým vybavením. Tato vazba působí potíže při oživování systému a při ladění základních programů. Proto byly vyvinuty speciální programovatelné elektronické přístroje, z nichž jednu skupinu tvoří emulátory. Jsou to složitá zařízení dovolující simulovat mikroprocesor a jeho činnost po stránce elektrické i funkční a často i testování a simulování jeho chování v reálném čase. I když jsou emulátory značně univerzální, neumožňují přímo emulování celého systému ani sledování komunikace probíhající po systémové sběrnici. Při komunikaci mezi procesorovou jednotkou, programovou pamětí a stykovou jednotkou, řízené pomocí signálů řídicí sběrnice, lze při sledování toku adres a dat po adresové a datové sběrnici určit okamžitý stav a obsah sběrnice, nelze však jednoznačně určit, která část instrukce se právě přenáší.

Vpředu uvedené nevýhody odstraňuje zapojení číslicového počítače podle vynálezu, jehož podstata spočívá v tom, že na synchronizační výstup dekodéru instrukce procesorové jednotky je zapojen sledovací vstup sběrnicevého emulátoru.

Příklad zapojení podle vynálezu je dále popsán s pomocí výkresu, na němž je blokově znázorněna procesorová jednotka 1 s dekodérem 8 instrukce programová paměť 2, styková jednotka 3 a sběrnicevým emulátor 4. Tyto jednotky jsou navzájem

propojeny systémovou sběrnici sestávající z adresové sběrnice 5, datové sběrnice 6 a řídící sběrnice 7.

Podle vynálezu je synchronizační výstup dekodéru 8 instrukce procesorové jednotky 1 zapojen na sledovací vstup sběrniceového emulátoru 4.

Tímto zapojením se zjišťuje, která část instrukce se právě přenáší, tj. přenáší-li se právě první část instrukce, která je k správnému sledování sběrnice, které emulátor provádí, nezbytná.

PŘEDMĚT VYNÁLEZU

228 821

Zapojení číslicového počítače vybaveného procesorovou jednotkou s dekodérem instrukce a sběrnicevým emulátorem, vyznačené tím, že na synchronizační výstup dekodéru (8) instrukce procesorové jednotky (1) je zapojen sledovací vstup sběrnicevého emulátoru (4).

1 výkres

