



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0055338  
(43) 공개일자 2014년05월09일

(51) 국제특허분류(Int. Cl.)  
H01L 21/20 (2006.01)

(21) 출원번호 10-2012-0122007

(22) 출원일자 2012년10월31일

심사청구일자 없음

(71) 출원인

엘지이노텍 주식회사

서울특별시 중구 한강대로 416 (남대문로5가, 서울스퀘어)

(72) 발명자

강석민

서울 중구 한강대로 416, 20층 엘지이노텍(주) (남대문로5가, 서울스퀘어)

(74) 대리인

특허법인다나

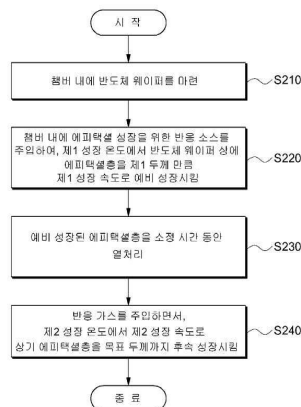
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 **에피택셜 웨이퍼 및 그 제조 방법**

(57) 요약

챔버 내에 마련된 반도체 웨이퍼 상에 에피택셜 성장을 위한 반응 소스를 주입하여 지정된 제1 성장 온도에서 지정된 제1 성장 속도로 에피택셜층을 지정된 제1 두께만큼 성장시키는 예비 성장 공정; 예비 성장된 에피택셜층에 미리 지정된 시간 동안 열처리를 수행하는 열처리 공정; 및 상기 열처리된 반도체 웨이퍼 상에 상기 반응 소스를 주입하여 지정된 제2 성장 온도에서 지정된 제2 성장 속도로 상기 에피택셜층을 목표 두께까지 성장시키는 후속 성장 공정을 포함하며, 상기 제1 성장 속도는 상기 제2 성장 속도 보다 저속인, 에피택셜 웨이퍼의 제조 방법이 제공된다.

대표도 - 도2



## 특허청구의 범위

### 청구항 1

챔버 내에 마련된 반도체 웨이퍼 상에 에피택셜 성장을 위한 반응 소스를 주입하여 지정된 제1 성장 온도에서 지정된 제1 성장 속도로 에피택셜층을 지정된 제1 두께만큼 성장시키는 예비 성장 공정;

예비 성장된 에피택셜층에 미리 지정된 시간 동안 열처리를 수행하는 열처리 공정; 및

상기 열처리된 반도체 웨이퍼 상에 상기 반응 소스를 주입하여 지정된 제2 성장 온도에서 지정된 제2 성장 속도로 상기 에피택셜층을 목표 두께까지 성장시키는 후속 성장 공정을 포함하고,

상기 제1 성장 속도는 상기 제2 성장 속도 보다 저속인, 에피택셜 웨이퍼의 제조 방법.

### 청구항 2

제1항에 있어서,

상기 제1 성장 온도는 상기 제2 성장 온도 보다 저온인, 에피택셜 웨이퍼의 제조 방법.

### 청구항 3

제1항에 있어서,

상기 반도체 웨이퍼는 탄화규소 웨이퍼이고,

상기 반응 소스는 탄소 및 규소를 포함하는 고상, 액상 또는 기상인 물질인, 에피택셜 웨이퍼의 제조 방법.

### 청구항 4

제3항에 있어서,

상기 제2 성장 온도는 1500 °C ~ 1700 °C 범위에서 설정되고, 상기 제1 성장 온도는 1400 °C ~ 1500 °C 범위에서 설정되며,

상기 제2 성장 속도는 20  $\mu\text{m}/\text{h}$  이상의 속도로 설정되고, 상기 제1 성장 속도는 5  $\mu\text{m}/\text{h}$  이하의 속도로 설정되며,

상기 제1 두께는 0.5  $\mu\text{m}$  ~ 1  $\mu\text{m}$  범위에서 설정되는, 에피택셜 웨이퍼의 제조 방법.

### 청구항 5

제4항에 있어서,

상기 열처리 공정에서의 열처리 온도는 1500 °C ~ 1700 °C 범위에서 설정되는, 에피택셜 웨이퍼의 제조 방법.

### 청구항 6

기판; 및

상기 기판상에 형성된 제1에피택셜층과, 상기 제1에피택셜층상에 형성된 제2에피택셜층을 포함하는 에피택셜 구조체;를 포함하되,

상기 제1에피택셜층과 제2에피택셜층의 조성은 동일한 에피택셜 웨이퍼.

**청구항 7**

제6항에 있어서,

상기 제2에피택셜층의 표면 결함 밀도는 0.5/cm<sup>2</sup>이하인 에피택셜 웨이퍼.

**청구항 8**

제6항에 있어서,

상기 기판은 탄화규소 기판이고, 상기 제1에피택셜층과 제2에피택셜층은 탄화규소계로 형성된 에피택셜 웨이퍼.

**청구항 9**

제6항에 있어서,

상기 제1에피택셜층의 두께는 1 $\mu$ m 이하인 에피택셜 웨이퍼.

**명세서**

**기술분야**

[0001] 본 발명은 에피택셜 웨이퍼의 제조에 관한 것으로서, 보다 구체적으로는 웨이퍼의 표면 결함 밀도(surface defect density) 감소되며 도핑 균일도가 향상된 에피택셜 웨이퍼 및 그 제조방법에 관한 것이다.

**배경기술**

[0002] 에피택셜 성장은 통상적으로 화학 기상 증착 프로세스를 포함하며, 단결정 실리콘 웨이퍼와 같은 기판은 기상/액상/고상의 실리콘 복합물이 웨이퍼 표면에 걸쳐 전달되어 열분해 또는 분해에 영향을 미치는 동안 가열된다. 단결정 실리콘 웨이퍼가 기판으로 사용될 때, 실리콘은 단결정 구조의 성장을 지속시키는 방식으로 적층된다. 그 결과, 응집 실리콘 자기 간극 결점 등과 같은 기판 표면 상에 존재하는 결점은 결과적인 에피택셜 웨이퍼의 품질에 직접적으로 영향을 미칠 수 있다. 품질상의 이 영향은, 단결정 구조의 성장을 지속시킴으로써 기판 표면 상에 존재하는 결점이 성장을 계속하여 에피택셜층에서 새로운 결정 결점, 즉 성장 결점이 형성되는 것을 야기할 수 있다. 예컨대, 약 0.1 마이크론 내지 약 10 마이크론 이상의 범위의 에피택셜 스택킹 결점 및 힐록(hillock)과 같은 표면 결함이 형성될 수 있다. 따라서, 에피택셜 성장 과정에서 이러한 표면 결함 문제가 실질적으로 없는 기판을 제작할 수 있는 방법 및 프로세스가 요구된다.

[0003] 또한, 도핑된 에피택셜 웨이퍼에서는 그 중심에서부터 가장자리까지의 도핑 균일도가 설계 사양에 따라 허용된 범위 내를 만족하는 것이 중요하다. 따라서, 도핑 균일도를 개선시킬 수 있는 에피택셜 웨이퍼의 제조 방법 및 프로세스도 요구된다.

**발명의 내용**

**해결하려는 과제**

[0004] 본 발명은 웨이퍼의 표면 결함 밀도가 감소되며 도핑 균일도가 향상됨으로써, 특성 및 수율이 향상된 고품질의 에피택셜 웨이퍼 및 그 제조방법을 제공한다.

**과제의 해결 수단**

[0005] 본 발명의 일 측면에 따르면, 챔버 내에 마련된 반도체 웨이퍼 상에 에피택셜 성장을 위한 반응 소스를 주입하여 지정된 제1 성장 온도에서 지정된 제1 성장 속도로 에피택셜층을 지정된 제1 두께만큼 성장시키는 예비 성장 공정; 예비 성장된 에피택셜층에 미리 지정된 시간 동안 열처리를 수행하는 열처리 공정; 및 상기 열처리된 반

도체 웨이퍼 상에 상기 반응 소스를 주입하여 지정된 제2 성장 온도에서 지정된 제2 성장 속도로 상기 에피택셜층을 목표 두께까지 성장시키는 후속 성장 공정을 포함하며, 상기 제1 성장 속도는 상기 제2 성장 속도 보다 저속인, 에피택셜 웨이퍼의 제조 방법이 제공된다.

[0006] 일 실시예에서, 상기 제1 성장 온도는 상기 제2 성장 온도 보다 저온일 수 있다.

[0007] 일 실시예에서, 상기 반도체 웨이퍼는 탄화규소 웨이퍼이고, 상기 반응 소스는 규소화합물을 함유하는 고상, 액상 또는 기상의 물질일 수 있다.

[0008] 일 실시예에서, 상기 제2 성장 온도는 1500 °C ~ 1700 °C 범위에서 설정되고, 상기 제1 성장 온도는 1400 °C ~ 1500 °C 범위에서 설정되며, 상기 제2 성장 속도는 20 μm/h 이상의 속도로 설정되고, 상기 제1 성장 속도는 5 μm/h 이하의 속도로 설정되며, 상기 제1 두께는 0.5 μm ~ 1.0 μm 범위에서 설정될 수 있다.

[0009] 일 실시예에서, 상기 열처리 공정에서의 열처리 온도는 1500 °C ~ 1700 °C 범위에서 설정될 수 있다.

### 발명의 효과

[0010] 본 발명의 실시예에 의하면, 웨이퍼의 표면 결함 밀도가 감소되며 도핑 균일도가 향상됨으로써, 특성 및 수율이 향상된 고품질의 에피택셜 웨이퍼를 제조할 수 있다.

### 도면의 간단한 설명

[0011] 도 1은 본 발명의 실시예에 따른 에피택셜 웨이퍼 제조 공정을 설명하기 위한 도면이고,

도 2는 본 발명의 실시예에 따른 에피택셜 웨이퍼 제조 방법을 나타낸 순서도이고,

도 3은 본 발명의 실시예에 따른 에피택셜 웨이퍼 제조 방법에서의 성장 조건을 나타낸 예시 도면이고,

도 4는 본 발명의 실시예에 따른 에피택셜 웨이퍼의 개념도이다.

### 발명을 실시하기 위한 구체적인 내용

[0012] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 이를 상세한 설명을 통해 상세히 설명하고자 한다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.

[0013] 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다. 또한, 본 명세서의 설명 과정에서 이용되는 숫자(예를 들어, 제1, 제2 등)는 하나의 구성요소를 다른 구성요소와 구분하기 위한 식별기호에 불과하다.

[0014] 본 발명은, 제조된 에피택셜 웨이퍼의 표면 결함 밀도(surface defect density)를 감소시킬 수 있는 방법을 제공한다. 이러한 에피택셜 웨이퍼의 표면 결함 밀도는 초기에 투입되는 반응 가스의 양(flux), 성장 온도, 압력, 전체 플럭스(flux), C/Si 비율(ratio), Si/H<sub>2</sub> 비율 등의 변수들에 의해서 달라질 수 있다. 본 발명에서는 이러한 표면 결함 밀도를 0.5/cm<sup>2</sup> 이하(즉, 1 cm<sup>2</sup> 당 0.5개 이하의 결함)로 줄이기 위한 방법을 제공하며, 이를 위해 성장 온도, 성장 속도(즉, 투입되는 반응 가스의 양), 예비 성장될 에피택셜층의 두께, C/Si 비율을 제어하는 방법을 이용한다. 또한 본 발명의 실시예에 따른 에피택셜 웨이퍼 제조 방법에 의하면 도핑 균일도 또한 향상될 수 있다. 이는 이하 첨부된 도면들에 관한 상세한 설명을 통해 명확히 이해될 수 있을 것이다.

[0015] 도 1은 본 발명의 실시예에 따른 에피택셜 웨이퍼 제조 공정을 설명하기 위한 도면이고, 도 2는 본 발명의 실시예에 따른 에피택셜 웨이퍼 제조 방법을 나타낸 순서도이다. 그리고 도 3은 본 발명의 실시예에 따른 에피택셜 웨이퍼 제조 방법에서의 성장 조건을 나타낸 예시 도면이다.

[0016] 이하, 도 2의 순서도를 중심으로 도 1 및 도 3을 참조하여 본 발명의 실시예에 따른 에피택셜 웨이퍼 제조 방법에 관하여 상세히 설명한다.

[0017] 도 2를 참조하면, 단계 S210에서 반응 챔버 내에 반도체 웨이퍼(도 1의 도면부호 110 참조)를 마련한 후, 본 발

명의 실시예에서는 단계 S220과 같은 예비 성장 공정(도 1의 1<sup>st</sup> 스텝 참조)을 수행한다.

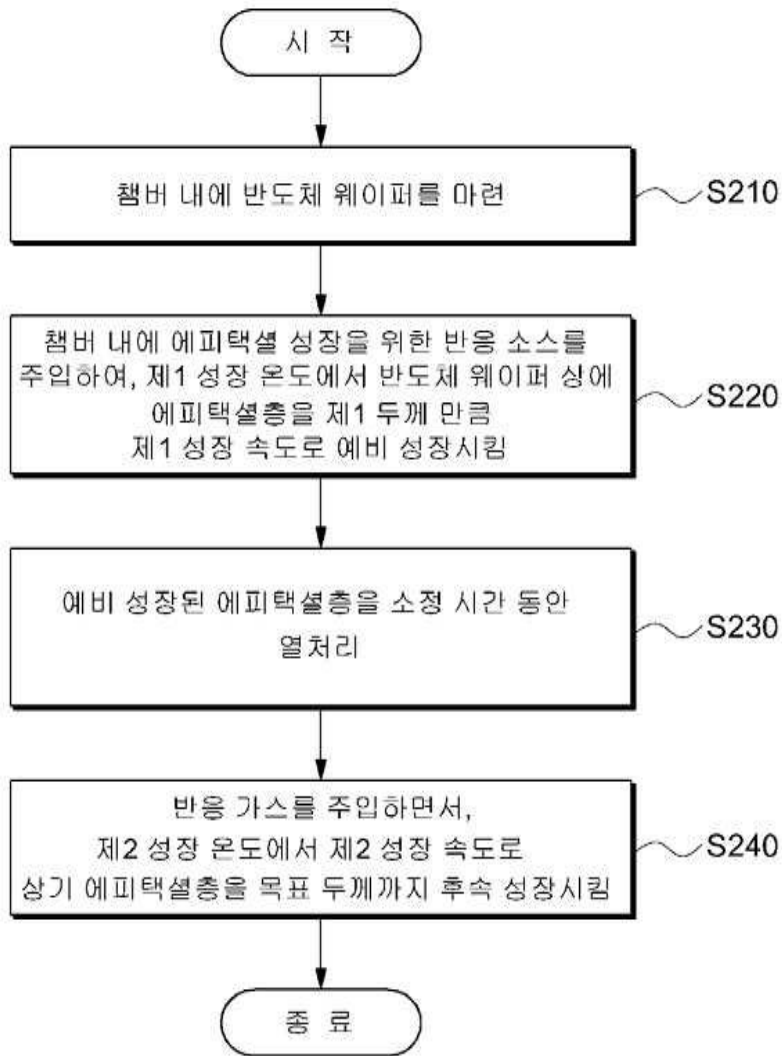
- [0018] 도 1을 참조할 때 탄화규소 계열의 웨이퍼(4H-SiC 웨이퍼)가 예시되고 있지만, 위 반도체 웨이퍼는 최종 제작하고자 하는 소자, 제품에 따라 이와 상이할 수 있음은 물론이다. 이와 같은 반도체 웨이퍼 상에 특정 재질의 물질을 적층시키는 공정에 앞서, 그 적층 레이어 간의 격자 상수 불일치 문제로 적층 신뢰성을 담보하기 어려운 경우가 많이 발생한다. 이와 같은 문제의 해결을 위해 위 반도체 웨이퍼 상에 에피택셜층(도 1의 도면부호 115 참조)을 적층(성장)시켜 그 에피택셜층이 일종의 버퍼층으로서의 기능을 수행하도록 하는 방식이 많이 이용된다. 그러나 이러한 에피택셜층의 성장 과정에서, 그 표면에 결함이 발생할 수 있으며, 그 표면 결함이 허용치 이상이 되는 경우(일반적으로 표면 결함 밀도가  $1/\text{cm}^2$  를 상회하는 경우)에는 제품의 기관으로서 사용하기에 부적합하다. 따라서 본 발명의 실시예에서는 이러한 표면 결함 밀도를  $0.5/\text{cm}^2$  이하로 감소시킬 수 있는 방법으로서 도 2의 단계 S220에서와 같은 예비 성장 공정이라는 단계를 두고 있다.
- [0019] 본 발명의 실시예에 의할 때, 예비 성장 공정은, 단계 S240에 의한 후속 성장 공정에서의 성장 속도(이하, 제2 성장 속도) 보다 저속인 성장 속도(이하, 제1 성장 속도)로 수행된다. 또한 예비 성장 공정은, 단계 S240에 의한 후속 성장 공정에서의 성장 온도(이하, 제2 성장 온도) 보다 저온인 성장 온도(이하, 제1 성장 온도)에서 수행될 수 있다. 예를 들어, 후속 성장 공정에서의 성장 온도가  $1500\text{ }^\circ\text{C} \sim 1700\text{ }^\circ\text{C}$  범위에서 설정되는 경우, 예비 성장 공정에서의 성장 온도는  $1400\text{ }^\circ\text{C} \sim 1500\text{ }^\circ\text{C}$  범위에서 설정될 수 있다.
- [0020] 즉, 예비 성장 공정은, 반응 챔버 내에 에피택셜 성장을 위한 반응 소스를 주입함에 있어서, 상기 제2 성장 온도 보다 저온인 제1 성장 온도에서 상기 제2 성장 속도 보다 저속인 제1 성장 속도로 상기 반도체 웨이퍼 상에 에피택셜층을 성장시키는 공정에 해당한다. 여기서, 반응 소스는 에피택셜층의 피적층 대상인 반도체 웨이퍼의 재질 및 종류에 따라서 상이해진다. 예를 들어, 도 1과 같이 반도체 웨이퍼(110)가 탄화규소 계열의 웨이퍼인 경우, 이와외의 격자 상수 일치 가능성이 가능한 물질로서,  $\text{SiH}_4 + \text{C}_3\text{H}_8 + \text{H}_2$ ,  $\text{MTS}(\text{CH}_3\text{SiCl}_3)$ ,  $\text{TCS}(\text{SiHCl}_3)$ ,  $\text{Si}_x\text{C}_x$  등의 규소화합물을 함유하는 고상, 액상, 기상 물질이 상기 반응 소스로서 이용될 수 있을 것이다.
- [0021] 이때, 상기 제1 성장 속도는, 예를 들어,  $5\text{ }\mu\text{m}/\text{h}$  이하의 속도(즉, 시간 당  $5\text{ }\mu\text{m}$  이하의 두께로 에피택셜층이 적층되는 속도)로 설정될 수 있다. 여기서, 성장 속도는 챔버 내에 주입되는 반응 소스의 양(flux)을 조절함으로써 조절 가능하다.
- [0022] 일반적으로 에피택셜 성장을 빠른 성장 속도로 수행하는 경우 에피택셜층의 균일한 적층(성장)이 어려울 수 있다. 따라서 위 예비 성장 공정에서는 소정의 성장 온도를 유지함으로써 반응 소스에 의한 원자 간 이동도를 활발히 하여 고른 성장이 가능한 환경을 마련하되, 그 성장 속도는 낮춤으로써 그 원자들이 반도체 웨이퍼 상에 고르게 분포 및 성장될 수 있는 시간을 부여하는 것이다. 따라서 이러한 예비 성장 공정에 의하면 격자 불일치(lattice mismatch)를 줄여 표면 결함을 크게 줄여줄 수 있다. 따라서 이와 같은 예비 성장 공정은 성장 초기의 격자 불일치에 따른 표면 결함을 줄여 후속 성장 공정을 돕기 위한 사전 공정이므로, 예비 성장 공정에 의해 성장되는 에피택셜층의 두께는 대략  $0.5\text{ }\mu\text{m} \sim 1.0\text{ }\mu\text{m}$  범위 내이면 충분할 수 있다. 여기서, 예비 성장 공정에 의해 성장될 에피택셜층의 두께는, 위 성장 온도 및 속도와 성장 시간(도 3의  $t_1$  참조)의 조절을 통해 조절 가능하다.
- [0023] 위와 같은 예비 성장 공정을 수행한 이후에는, 단계 S240에서와 같은 후속 성장 공정을 수행하기에 앞서, 단계 S230에서와 같은 열처리 공정(도 1의 Heat treatment 스텝, 도 3의  $t_1 \sim t_2$  시간 구간 즉, 도 3의 도면부호 A 참조)을 수행한다.
- [0024] 이러한 열처리 공정은 본 발명의 실시예에 따라 제작될 에피택셜 웨이퍼의 도핑 균일도를 향상시키기 위해, 상술한 예비 성장 공정과 후술할 후속 성장 공정 사이에 삽입되는 공정이다.
- [0025] 일반적으로 에피택셜층을 성장시키는 과정에서 그 성장될 에피택셜층을 N 타입 혹은 P 타입으로 도핑시키는 과정도 동시에 수행하는 경우가 있다. 이러한 도핑은 에피택셜 웨이퍼의 활용 용도, 목적 등에 따라서 정해지며, 위 반응 가스 내에 N 타입 또는 P 타입 도핑에 필요한 도핑 가스를 함께 포함시킴으로써 가능하다. 그러나 특정 극성의 도핑 입자들은 경우에 따라서는 에피택셜층을 구성하는 4족의 원소와 완전히 치환되지 못하고 에피택셜층에 침투만 된 상태로 머무를 수 있다. 따라서 본 발명의 실시예에서는 예비 성장 공정 이후, 후속 성장 공정 이전에 단계 S230에서와 같은 열처리 공정에 따른 단계를 삽입함으로써, 최종 제작된 에피택셜 웨이퍼의 도핑 균일도 또한 향상시키는 방식을 이용하고 있다.
- [0026] 이러한 열처리 공정이 중간에 삽입되면 예비 성장 공정에서 성장된 에피택셜층 내에 단순히 침투된 상태로 머무

르던 도핑 입자들이 고온의 열처리 환경에서 4족의 원소와 치환될 수 있는 시간과 에너지가 부여됨으로써, 최종 제작된 에피택셜 웨이퍼의 전체 도핑 균일도를 높일 수 있다.

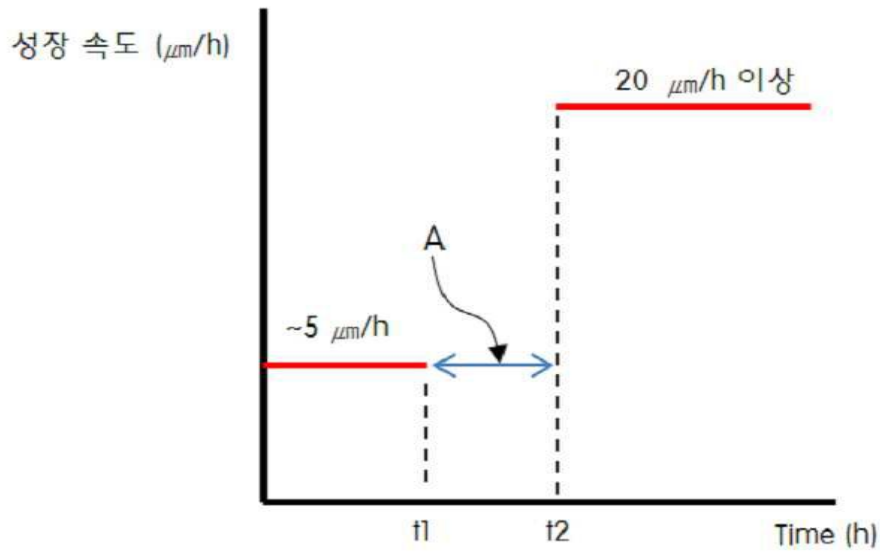
- [0027] 상술한 바와 같은 열처리 공정은 소정 시간 동안 진행되며, 이후 단계 S240에 따른 후속 성장 공정이 다시 진행된다. 여기서, 후속 성장 공정은, 앞서 예비 성장 공정에 기반하여 성장된 에피택셜층 위에 본격적으로 에피택셜 성장을 수행하는 공정이며 이미 예비 성장 공정을 거친 후의 성장 공정이므로, 예비 성장 공정에서의 성장 속도에 비해 매우 빠른 속도로 에피택셜 성장을 수행할 수 있다.
- [0028] 예를 들어, 단계 S240에 의한 후속 성장 공정은 도 3에 도시된 바와 같이 20  $\mu\text{m}/\text{h}$  이상의 속도로 진행될 수 있다. 또한 이러한 후속 성장 공정에서의 성장 온도(즉, 제2 성장 온도)는 앞서 설명한 바와 같이 예를 들어 1500  $^{\circ}\text{C}$  ~ 1700  $^{\circ}\text{C}$  범위에서 설정될 수 있다. 그리고 이러한 후속 성장 공정은 에피택셜층의 전체 두께가 성장시키고자 하는 목표 두께가 될 때까지 수행될 수 있다. 이때, 목표 두께는 에피택셜 웨이퍼의 활용 목적, 용도, 최종 소자, 제품의 성격, 설계치 등에 의해 상이해질 수 있다.
- [0029] 상술한 바와 같이, 성장 속도를 매우 낮은 상태에서 예비 성장 공정을 먼저 수행한 후 후속 성장 공정을 수행하는 본 발명의 실시예에 따른 에피택셜 웨이퍼 제조 방법에 의하면, 종래 기술에 비해 표면 결함 밀도의 감소는 물론, 공정 시간 및 비용을 크게 줄일 수 있는 이점이 있다.
- [0030] 종래의 경우, 본 발명의 실시예에서와 같은 예비 성장 공정을 두고 있지 아니하므로, 표면 결함 밀도 문제를 피하기 위해 8~10  $\mu\text{m}/\text{h}$  정도의 낮은 성장 속도로 에피택셜층을 성장시켜 왔으며, 이마저도 50  $\mu\text{m}$  두께로 과도하게 성장시킨 이후 목표 두께까지 다시 제거(polishing)하는 복잡한 과정을 진행하였다. 이와 달리, 본 발명의 실시예에 의하면, 예비 성장 공정 이후에는 표면 결함 밀도의 문제가 제거되므로 이후 후속 성장 공정에서는 매우 빠른 성장 속도로 성장 과정을 진행할 수 있으며, 별도의 폴리싱 공정도 불필요하므로, 전체 공정 시간 및 비용을 획기적으로 줄일 수 있다.
- [0031] 도 4는 본 발명의 실시예에 따른 에피택셜 웨이퍼의 개념도이다.
- [0032] 본 발명에 따른 에피택셜 웨이퍼는 기판(100), 및 기판(100)상에 형성된 에피택셜 구조체(200)를 포함한다. 기판(100)은 탄화규소 계열의 웨이퍼일 수 있으며, 이에 대응하여 에피택셜 구조체(200)도 탄화규소 구조체일 수 있다.
- [0033] 구체적으로 에피택셜 구조체(200)는, 기판(100)상에 형성되는 제1에피택셜층(210)과, 제1에피택셜층(210)상에 형성된 제2에피택셜층(220)을 포함한다.
- [0034] 제1에피택셜층(210)은 전술한 예비 성장 공정에 의해 기판(100)상에 형성됨으로써 전압 인가시 누설전류를 잡아주는 역할을 수행한다. 이때, 제1에피택셜층(210)은 1 $\mu\text{m}$  이하의 두께를 가질 수 있다.
- [0035] 제2에피택셜층(220)은 전술한 후속 성장 공정에 의해 목표에 맞는 두께로 제조될 수 있으며, 표면 결함밀도는 0.5 $\text{cm}^2$  이하로 제작될 수 있다.
- [0036] 이때, 제1에피택셜층(210)과 제2에피택셜층(220)은 모두 n형 전도성 탄화규소계일 수 있다. 즉, 기판(100)이 탄화규소(SiC)인 경우, 제1에피택셜층(210)과 제2에피택셜층(220)은 탄화규소 나이트라이드(SiCN)로 형성될 수 있다.
- [0037] 그러나, 반드시 이에 한정되는 것은 아니고 제1에피택셜층(210)과 제2에피택셜층(220)은 모두 p형 전도성 탄화규소계일 수도 있다. 이 경우 제1에피택셜층(210)과 제2에피택셜층(220)은 알루미늄 탄화규소 (AlSiC)로 형성될 수 있다.
- [0038] 이러한 에피택셜 웨이퍼는 금속 반도체 전계효과 트랜지스터(MESFET)에 적용될 수 있다. 예를 들면, 본 발명에 따른 제2에피택셜층(220)위에 소스 및 드레인을 포함하는 오믹 콘택층을 형성함으로써 금속 반도체 전계 효과 트랜지스터(MESFET)를 제작할 수 있다. 이외에도 다양한 반도체 소자에 적용될 수 있다.
- [0039] 이상에서는 본 발명의 실시예를 참조하여 설명하였지만, 해당 기술 분야에서 통상의 지식을 가진 자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 쉽게 이해할 수 있을 것이다.



도면2



도면3



도면4

