



(12)发明专利

(10)授权公告号 CN 103365799 B

(45)授权公告日 2017.03.01

(21)申请号 201310096353.1

(22)申请日 2013.03.25

(65)同一申请的已公布的文献号

申请公布号 CN 103365799 A

(43)申请公布日 2013.10.23

(30)优先权数据

977/DEL/2012 2012.03.30 IN

(73)专利权人 英特尔公司

地址 美国加利福尼亚州

(72)发明人 B·P·赛瓦

(74)专利代理机构 上海专利商标事务所有限公

司 31100

代理人 高见

(51)Int.Cl.

G06F 13/16(2006.01)

G06F 3/06(2006.01)

(56)对比文件

US 2009/0249106 A1,2009.10.01,

US 2007/0061525 A1,2007.03.15,

CN 1332863 A,2002.01.23,

CN 101187830 A,2008.05.28,

CN 1989478 A,2007.06.27,

CN 1332863 A,2002.01.23,

审查员 王慧敏

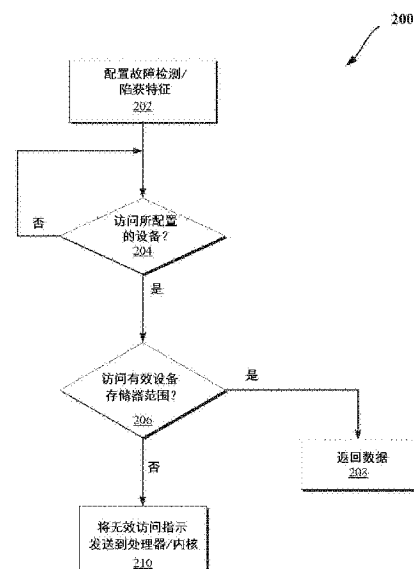
权利要求书3页 说明书6页 附图4页

(54)发明名称

用于检测对掉电设备的访问的装置、方法、系统和设备

(57)摘要

描述了涉及检测对掉电设备的访问的方法和装置。在一个实施例中,基于与处理器或处理器内核发起的数据访问请求相对应的存储器地址来确定设备的功率状态。对与所述设备相对应的存储设备的访问是基于所述设备的功率状态来控制的,例如以避免可能难以再生或调试的随机系统挂起或崩溃。还公开和要求保护其它实施例。



1. 一种用于检测对掉电设备的访问的装置,所述装置包括:
第一逻辑,用于接收指向与设备相对应的存储设备的数据访问请求;以及
第二逻辑,用于基于与接收自所述第一逻辑的所述数据访问请求相对应的存储器地址来确定所述设备的功率状态,
其中将响应于所述第二逻辑确定所述设备被掉电而阻挡对所述存储设备的访问,
其中所述第二逻辑用于响应于所述第二逻辑确定所述设备被掉电将一个或多个信号传送至发起所述数据访问请求的处理器或处理器内核,其中所述一个或多个信号要包括导致一个或多个误差恢复操作发生的一个或多个处理器中断信号。
2. 如权利要求1所述的装置,其特征在于,所述一个或多个信号用于指示对所述存储设备的访问不被允许。
3. 如权利要求1所述的装置,其特征在于,所述处理器或处理器内核用于导致所述设备响应于所述一个或多个信号而被开启。
4. 如权利要求3所述的装置,其特征在于,所述处理器或处理器内核用于导致在所述数据访问请求的重新传输之前开启所述设备。
5. 如权利要求1所述的装置,其特征在于,所述存储器地址是物理存储器地址,并且其中所述第一逻辑用于基于由发起所述数据访问请求的处理器或处理器内核传送的虚拟存储器地址来生成所述物理存储器地址。
6. 如权利要求1所述的装置,其特征在于,第三逻辑用于控制向所述设备的功率供应,并且其中所述第三逻辑用于导致在所述设备的所述功率状态被所述第三逻辑更改时更新与所述设备的所述功率状态相对应的信息。
7. 如权利要求1所述的装置,其特征在于,所述第二逻辑用于基于存储在耦合于所述第二逻辑与用于控制向所述设备的功率供应的第三逻辑之间的存储器中的信息来确定所述设备的所述功率状态。
8. 如权利要求1所述的装置,其特征在于,所述第二逻辑用于基于存储在存储器中的信息确定所述设备的所述功率状态,并且其中当用于控制向所述设备的功率供应的第三逻辑更改所述设备的所述功率状态时,所存储的信息将被更改。
9. 如权利要求1所述的装置,其特征在于,所述设备包括输入/输出设备。
10. 如权利要求1所述的装置,其特征在于,所述存储设备是从包括以下各项的组中选取的:与所述设备相同的集成电路管芯上的存储设备、系统存储器、或高速缓存。
11. 如权利要求1所述的装置,其特征在于,所述存储设备用于包括存储器映射输入/输出设备或端口映射输入/输出设备。
12. 如权利要求1所述的装置,其特征在于,所述第二逻辑用于响应于确定所述设备被配置成在所述设备被掉电时陷获数据访问来确定所述设备的所述功率状态。
13. 如权利要求1所述的装置,其特征在于,所述处理器用于包括所述第一逻辑、所述第二逻辑、以及一个或多个处理器内核中的一个或多个。
14. 一种用于检测对掉电设备的访问的方法,所述方法包括:
接收指向与设备相对应的存储设备的数据访问请求;
确定所述设备是否被配置成在所述设备被掉电时陷获数据访问;
基于与所述数据访问请求相对应的存储器地址确定所述设备的功率状态;以及

响应于确定所述设备被掉电,阻挡对所述存储设备的访问,

其中一个或多个信号响应于确定所述设备被掉电被传送至发起所述数据访问请求的处理器或处理器内核,其中所述一个或多个信号包括引起一个或多个误差恢复操作发生的一个或多个处理器中断信号。

15.如权利要求14所述的方法,其特征在于,基于与所述数据访问请求相对应的存储器地址确定所述设备的所述功率状态是响应于确定所述设备被配置成在所述设备被掉电时陷获数据访问而执行的。

16.如权利要求14所述的方法,其特征在于,所述一个或多个信号用于指示对所述存储设备的访问不被允许。

17.如权利要求14所述的方法,其特征在于,还包括所述处理器或处理器内核导致所述设备响应于所述一个或多个信号而被开启。

18.如权利要求17所述的方法,其特征在于,还包括所述处理器或处理器内核用于导致在所述数据访问请求的重新传输之前开启所述设备。

19.如权利要求14所述的方法,其特征在于,还包括基于存储在存储器中的信息来确定所述设备的所述功率状态,以及在所述设备的所述功率状态被用于控制向所述设备的功率供应的逻辑修改时修改所述存储的信息。

20.一种用于检测对掉电设备的访问的系统,所述系统包括:

处理器,其具有多个处理器内核;

存储器,用于存储与设备的功率状态相对应的信息;

第一逻辑,用于接收指向与设备相对应的存储设备的数据访问请求;以及

第二逻辑,用于基于存储器中与接收自所述第一逻辑的所述数据访问请求相对应的存储器地址来确定所述设备的所述功率状态,

其中将响应于所述第二逻辑确定所述设备被掉电而阻挡对所述存储设备的访问,

其中所述第二逻辑用于响应于所述第二逻辑确定所述设备被掉电将一个或多个信号传送至发起所述数据访问请求的处理器或处理器内核,其中所述一个或多个信号要包括导致一个或多个误差恢复操作发生的一个或多个处理器中断信号。

21.如权利要求20所述的系统,其特征在于,所述处理器或处理器内核用于导致所述设备响应于所述一个或多个信号而被开启。

22.如权利要求21所述的系统,其特征在于,所述处理器或处理器内核用于导致在所述数据访问请求的重新传输之前开启所述设备。

23.如权利要求20所述的系统,其特征在于,所述存储器地址是物理存储器地址,并且其中所述第一逻辑用于基于由发起所述数据访问请求的处理器或处理器内核传送的虚拟存储器地址来生成所述物理存储器地址。

24.一种用于检测对掉电设备的访问的设备,所述设备包括:

用于接收指向与设备相对应的存储设备的数据访问请求的装置;

用于确定所述设备是否被配置成在所述设备被掉电时陷获数据访问的装置;

用于基于与所述数据访问请求相对应的存储器地址确定所述设备的功率状态的装置;
以及

用于响应于确定所述设备被掉电,阻挡对所述存储设备的访问的装置,

其中一个或多个信号响应于确定所述设备被掉电被传送至发起所述数据访问请求的处理器或处理器内核,其中所述一个或多个信号包括引起一个或多个误差恢复操作发生的一个或多个处理器中断信号。

25.如权利要求24所述的设备,其特征在于,基于与所述数据访问请求相对应的存储器地址确定所述设备的所述功率状态是响应于确定所述设备被配置成在所述设备被掉电时陷获数据访问而执行的。

26.如权利要求24所述的设备,其特征在于,所述一个或多个信号用于指示对所述存储设备的访问不被允许。

27.如权利要求24所述的设备,其特征在于,还包括用于使所述处理器或处理器内核导致所述设备响应于所述一个或多个信号而被开启的装置。

28.如权利要求27所述的设备,其特征在于,还包括用于使所述处理器或处理器内核用于导致在所述数据访问请求的重新传输之前开启所述设备的装置。

29.如权利要求24所述的设备,其特征在于,还包括用于基于存储在存储器中的信息来确定所述设备的所述功率状态,以及在所述设备的所述功率状态被用于控制向所述设备的功率供应的逻辑修改时修改所述存储的信息的装置。

30.一种用于检测对掉电设备的访问的设备,所述设备包括用于执行权利要求14至19中的任一项所述的方法的装置。

用于检测对掉电设备的访问的装置、方法、系统和设备

技术领域

[0001] 本公开一般涉及电子学领域。本发明的实施例尤其涉及检测对掉电设备的访问。

背景技术

[0002] 随着计算系统变得更复杂,制造商能够通过将附加组件集成或附连至计算系统来将更多功能添加到计算系统。附加组件引入附加信号切换,进而生成更多热量并消耗附加功率。附加热量生成可能因为例如热膨胀而损坏组件内的集成电路。而且,附加热量可能限制包括此类组件的计算设备的使用位置和/或应用。例如,依赖于电池电能来进行其操作的便携式计算设备可能遭受附加功耗。

[0003] 因此,当附加功能被添加到便携式计算设备时,降低功耗的要求变得日益重要,以便例如使电池功率维持延长的时间段。非便携式计算系统由于其组件使用更多功率并产生更多热量而同样面临着冷却和/或功率生成问题。

[0004] 附图简述

[0005] 参照附图提供详细描述。在附图中,附图标记最左边的数字标识该附图标记首次出现的附图。在不同附图中使用相同附图标记来指示相似或相同的项目。

[0006] 图1、3和4示出计算系统的实施例的框图,其可用于实现本文讨论的各个实施例。

[0007] 图2示出根据一实施例的用于控制对设备的访问的方法的流程图。

具体实施方式

[0008] 在以下描述中,阐述众多具体细节以提供对各实施例的透彻理解。然而,本发明的各个实施例在没有这些具体细节的情况下也可实践。在其他情形中,众所周知的方法、过程、组件和电路并未进行详细描述以免混淆本发明的特定实施例。此外,本发明实施例的各方面可使用各种手段来执行,诸如集成半导体电路(“硬件”)、组织成一个或多个程序的计算机可读指令(“软件”)或硬件与软件的某种组合。出于本公开的目的,对“逻辑”的引用应该表示硬件、软件或其某种组合的意思。

[0009] 在一些实施例中,例如当组件不在使用中时,硬件可使一些附连的组件掉电,以降低功耗和/或降低热量生成。然而,允许硬件使组件掉电可导致随机系统挂起或崩溃,这可能是难以再生(reproduce)或调试。

[0010] 在一些计算平台中,功率管理模块(PMM)可在诸如I/O设备、硬件加速器等中的一个或多个之类的各个组件空闲(或者不在使用中或不需要开启)时,例如通过使用功率选通来使这些组件掉电。功率选通一般涉及控制向组件的功率供应的可控制开关(其可包括一个或多个功率晶体管)。这对软件造成挑战和问题,因为软件可能无意中在组件掉电时尝试访问该组件。这进而可能生成随机系统挂起和/或崩溃,这是难以再生和调试的。

[0011] 一些实施例允许系统检测和陷获此类功率故障失败并通知软件(例如,操作系统(OS)、设备驱动器等)来进行进一步处理。例如,(诸如控制寄存器之类的寄存器中的)比特可(例如,由OS、用户等)被设置以启用/禁用给定设备、系统中的所有设备、或系统中的选定

设备的功率故障陷获/检测特征。其他控制比特也可被存储在同一存储设备或寄存器中。在一实施例中,(例如,存储器系统内的)逻辑在访问设备和/或设备的存储器之前检查设备或组件的功率状态。此故障检查技术可以是任选特征,并且能陷获对掉电设备的访问,并在功率故障陷获事件时通知OS、相应的设备驱动器等以进行进一步处理。这允许OS和/或驱动器使设备掉电,并继续此操作以维持数据正确性并避免对访问掉电设备或其存储器——这可能导致系统挂起、系统崩溃等——的尝试。

[0012] 相比之下,当前系统不具备以下各项:(a)功率故障误差检测机制(例如,以在访问设备、设备的存储器、和/或与设备相关联的存储器之前检查设备是否掉电);或者(b)功率故障误差恢复机制(例如,关于经由事件、中断等对诸如处理器之类的硬件的不恰当/非法访问,通知OS、驱动器,以进行进一步的误差恢复选项)。因此,当前系统不具备检测硬件中的此类功率故障失败的机制;替代地,需要以软件来调试/检测该问题。然而,通过使用软件来(例如,针对每个访问)检查设备的功率状态将导致差劣的性能。

[0013] 此外,可在包括诸如参照1-4讨论的那些组件之类的一个或多个处理器(例如,具有一个或多个处理器内核)的计算系统中应用一些实施例。更具体地,图1示出根据本发明的实施例的计算系统100的框图。系统100可包括一个或多个处理器102-1到102-N(在本文中一般称为“多个处理器102”或“处理器102”)。处理器102可经由互连或总线104来通信。每个处理器可包括各种组件,出于清楚起见,参照处理器102-1仅讨论这些组件中的一些。因此,其余处理器102-2至102-N中的每一个可包括参照处理器102-1讨论的相同或类似组件。

[0014] 在一实施例中,处理器102-1可包括一个或多个处理器106-1至106-M(在本文中称为“多个内核106”或“内核106”)、高速缓存108、和/或路由器110。处理器内核106可在单个集成电路(IC)芯片上实现。此外,芯片可包括一个或个共享和/或私有高速缓存(诸如高速缓存108)、总线或互连(诸如总线或互连104)、图形和/或存储器控制器(诸如参照图3-4讨论的那些)、或其他组件。

[0015] 在一个实施例中,路由器110可被用来在处理器102-1和/或系统100的各个组件之间进行通信。此外,处理器102-1可包括一个以上的路由器110。此外,多个路由器110可进行通信以实现处理器102-1的内部或外部的各个组件之间的数据路由。

[0016] 高速缓存108可存储供处理器102-1中的诸如内核106之类的一个或多个组件使用的数据(例如,包括指令)。例如,高速缓存108可本地地高速缓存存储在存储器114中的数据,以便供处理器102的组件进行更快速的访问(例如,供内核106进行更快速的访问)。如图1中所示的,存储器114可经由互连104与处理器102通信。在一实施例中,(可被共享的)高速缓存108可以是中级高速缓存(MLC)、末级高速缓存(LLC)等。而且,内核106中的每一个可包括级1(L1)高速缓存(116-1)(在本文中一般被称为“L1高速缓存116”)或诸如级2(L2)高速缓存之类的其他级高速缓存。此外,处理器102-1的各个组件可通过总线(例如,总线104)和/或存储器控制器或中枢来与高速缓存108直接通信。

[0017] 如图1中所示的,系统100还可包括存储器管理单元(MMU)逻辑140。MMU 140可助益通过处理器102-1的组件来访问存储设备(诸如存储器114和/或设备150-1至150-Q(在本文中也称为“设备150”或“多个设备150”,诸如例如本文中参照图3或4讨论的外围设备中的任一个))。设备150可包括附连至系统100的各个设备,包括例如输入/输出(I/O)设备等。MMU 140可经由总线或互连104耦合至内核106,以向和从存储设备通信数据和/或从内核106接

收与(例如,在诸如本文中所讨论的那些存储设备之类的存储设备中)所存储的数据相关联的地址(例如,虚拟地址)。在一些实施例中,MMU 140可将接收到的虚拟地址转换成物理地址。在一实施例中,MMU 140可包括转换后备缓冲器(TLB),用以存储一个或多个虚拟地址及其相应的物理地址。如果来自MMU 140的物理地址与设备存储器或寄存器文件152内的位置相关联,则物理地址可被发送到功率故障控制逻辑145。在一实施例中,确定来自MMU 140的物理地址是否与设备存储器或寄存器文件152内的位置相关联可由MMU 140(例如,基于存储在可由MMU 140访问的存储设备(诸如系统100中包括的那些)中的信息)来执行。而且,与将分开的存储设备(诸如设备152)用于所存储的信息不同,信息可被存储在系统100中的其他存储设备(诸如高速缓存108、存储器114等中的一个或多个)中。

[0018] 在一些实施例中,设备存储器或寄存器文件152可被包括在例如,同一集成电路(IC)管芯上的相应的设备150中。作为前述实施例的替代或补充,设备存储器或寄存器文件152可被存储在通信地耦合至设备150的相应的存储器设备中。例如,设备存储器或寄存器文件152可被实现为存储器映射输入/输出(MMIO)设备和/或端口映射输入/输出(PMIO)设备。

[0019] 一般而言,存储器映射I/O可被用于寻址存储器(例如,存储器114)和输入/输出(I/O)设备(诸如设备150)两者。例如,I/O设备的存储器和/或寄存器被映射至由处理器访问的地址值(或与之相关联)。在一些实施例中,一些地址范围被预留给I/O且不可为其他存储器操作所用。

[0020] 另外,PMIO可与专用于执行I/O操作的一些特殊指令联用。例如,在至少一个指令集架构中,此类指令可向I/O设备和从I/O设备读取和写入一至四个字节。而且,I/O设备(例如,设备150)可例如,经由物理接口上的额外“I/O”引脚或整条总线或专用于I/O的互连而具有与一般存储器(例如,存储器114)分开的地址空间。

[0021] 如图1中所示的,设备功率控制逻辑147(例如,包括功率选通)可例如基于来自可设置在系统100的各个组件(包括例如处理器102-1(未示出))中的功率管理模块(PMM)的信号和指示来控制向设备150中的一个或多个的功率供应。功率选通一般涉及控制向组件的功率供应的可控制开关(其可包括一个或多个功率晶体管)。因此,设备功率控制逻辑147可在设备空闲(或另外不在使用中或不需要开启)时使设备150中的一个或多个掉电,以降低功耗和/或热量生成。当(例如,每次)设备功率控制逻辑147更改设备150中的一个的功率状态时,其还可指示(例如,经由信号)或另外导致在存储设备中更新相应的信息。在一实施例中,设备功率控制逻辑147可被耦合至设备存储器范围有效/无效信息存储设备152。存储设备152可存储与关于同设备150相关联的各个存储器范围的功率状态信息有关的信息,用以指示存储器范围是否有效(例如,指示相应的设备被开启)或无效(例如,指示相应的设备被关闭)。进而,响应于来自(例如,由以上所讨论的物理地址所标识的)MMU 140的请求,功率故障控制逻辑145可访问存储设备152以基于所存储的信息来确定相应的设备存储器或寄存器文件152是否可被访问170(例如,指示相应的设备被开启)或替换地(例如,当相应的设备被关闭时)向相应的处理器102或诸内核106中的一个发送诸如功率故障陷获/中断172之类的一个或多个信号。

[0022] 此外,虽然图1示出了处理器102-1的内部或外部的各个组件,但是这些组件可被设置在系统100中的其他地方。例如,系统100的各个组件可被设置在同一集成电路管芯上,

以形成芯片上系统(SOC)。

[0023] 图2示出根据一些实施例的用于控制对设备的访问的方法200的一实施例的流程图。在一个实施例中,参照图1和3-4讨论的各个组件可用于执行参照图2讨论的操作中的一个或多个。应当理解,操作202可在任何时刻动态地执行,而并非是仅在方法开始时被执行一次。

[0024] 参看图1-2,在操作202,可通过(例如,OS、用户等)设置或清除(例如,诸如控制寄存器之类的寄存器中的)比特来启用/禁用给定设备、系统中的所有设备或系统中的选定设备(诸如设备150中的任一个)的功率故障陷获/检测特征来配置故障检测/陷获特征。在各个实施例中,其他控制比特也可被存储在同一存储设备或寄存器中。在操作204,可(例如,由MMU 140)确定是否已(例如,由内核106或处理器102中的一个)请求对所配置的设备(例如,设备150中的一个)的访问。

[0025] 如果在操作204检测到对所配置的设备访问,可在操作206(例如,由访问存储设备152的逻辑145)确定访问是否是针对有效设备存储器范围的(即,按存储在存储设备152中的信息访问开启的设备存储器)。如果在操作206,访问是针对有效设备存储器范围的,则设备存储器(例如,设备存储器或寄存器文件152)可被访问170,且在操作208,所请求的数据被返回给请求方处理器102或内核106。另外,如果在操作206,访问是针对无效设备存储器范围的,则在操作210,无效访问指示172(例如,一个或多个信号)可(例如,由功率故障控制145按存储在存储设备152中的信息)发送给请求方处理器102或内核106。功率故障陷获/中断172进而导致OS、驱动器等附加处理,以丢弃访问请求,导致设备(例如,根据发送到PMM或设备功率控制147的开始信号)被开启,且重新发送所陷获/中断的访问请求等。

[0026] 图3示出根据本发明的实施例的计算系统300的框图。计算系统300可包括一个或多个中央处理单元(CPU)或处理器302-1至302-P(其在本文中可被称为“多个处理器302”或“处理器302”)。处理器302可经由互连网络(或总线)304来通信。处理器302可包括通用处理器、网络处理器(处理在计算机网络303上传达的数据)、应用处理器(诸如蜂窝电话、智能电话等中使用的那些),或者其他类型的处理器(包括精简指令集计算机(RISC)处理器或复杂指令集计算机(CISC))。

[0027] 可利用各种类型的计算机网络303,包括有线(例如,以太网、千兆比特、光纤等)或无线网络(诸如蜂窝、3G(第三代蜂窝电话技术或第三代无线格式(UWCC)、4G、低功率嵌入(LPE)等)。此外,处理器302可具有单核或多核设计。具有多核设计的处理器302可将不同类型的处理器核集成在同一集成电路(IC)管芯上。同样,具有多核设计的处理器302可被实现为对称或不对称多处理器。

[0028] 在一实施例中,处理器302中的一个或多个可与图1的处理器102相同或类似。在一些实施例中,处理器302中的一个或多个可包括图1的内核106、逻辑140、和/或逻辑145中的一个或多个。而且,在各个实施例中,系统300可包括图1中的各个组件,包括设备152、逻辑147、设备150、存储器/寄存器文件152等中的一个或多个。此外,参照图1-2讨论的操作可由系统300的一个或多个部件执行。

[0029] 芯片组306也可与互连网络304通信。芯片组306可包括图形和存储器控制器中枢(GMCH)308。GMCH 308可包括与存储器312通信的存储器控制器310。存储器312可存储数据,例如包括由处理器302或包含在计算系统300中的任何其它设备执行的指令序列。在本发明

的一个实施例中,存储器312可包括一个或多个易失性存储(或存储器)设备,诸如随机存取存储器(RAM)、动态RAM(DRAM)、同步DRAM(SDRAM)、静态RAM(SRAM)、或其他类型的存储设备。还可使用诸如硬盘之类的非易失性存储器。诸如多个CPU和/或多个系统存储器之类的附加设备可经由互连网络304来进行通信。

[0030] GMCH 308还可包括与图形加速器316通信的图形接口314。在本发明的一个实施例中,图形接口314可经由加速图形端口(AGP)来与图形加速器316通信。在本发明的实施例中,显示器317(诸如平板显示器、阴极射线管(CRT)、投影屏幕、触摸屏等)可通过例如信号转换器与图形接口314通信,该信号转换器将诸如视频存储器或系统存储器之类的存储设备中存储的图像的数字表示转换成由显示器317解析和显示的显示信号。由图形接口和/或图形加速器产生的显示信号可经过各种控制设备,然后由显示器317解读并后续在显示器317上显示。

[0031] 中枢接口318可允许GMCH 308与输入/输出控制中枢(ICH)320通信。ICH 320可向与计算系统300通信的I/O设备提供接口。ICH 320可通过诸如外围组件互连(PCI)桥、通用串行总线(USB)控制器或其他类型的外围桥或控制器等外围桥(或控制器)324与总线322通信。桥324可在处理器302和外围设备之间提供数据路径。可使用其它类型的布局。同样,多个总线可例如通过多个桥或控制器来与ICH 320通信。另外,在本发明的各实施例中,与ICH 320处于通信中的其它外围设备可包括集成的驱动电子(IDE)或小型计算机系统接口(SCSI)硬盘驱动器、USB端口、键盘、鼠标、并行端口、串行端口、软盘驱动器、数字输出支持(例如,数字视频接口(DVI))、或其他设备。

[0032] 总线322可与音频设备326、一个或多个盘驱动器328以及一个或多个网络接口设备330(其与计算机网络303通信)通信。如图所示,网络接口设备330可被耦合至天线331,以(例如,经由电气与电子工程师协会(IEEE)802.11接口(包括IEEE 802.11a/b/g/n等)、蜂窝接口、3G、4G、LPE等)与网络303无线地通信。其他设备可经由总线322通信。同样,在本发明的一些实施例中,各组件(诸如网络接口设备330)可与GMCH 308通信。此外,可组合处理器302和GMCH 308,以形成单个芯片。此外,在本发明的其他实施例中,图形加速器316可被包括在GMCH 308内。

[0033] 此外,计算系统300可包括易失性和/或非易失性存储器(或存储)。例如,非易失性存储器可包括以下的一个或多个:只读存储器(ROM)、可编程ROM(PROM)、可擦除PROM(EPROM)、电PROM(EEPROM)、盘驱动器(例如,328)、软盘、紧致盘ROM(CD-ROM)、数字多功能盘(DVD)、闪存、磁光盘或能够储存电子数据(例如,包括指令)的其它类型的非易失性机器可读介质。在一实施例中,系统300的组件可以点对点(PtP)配置来布置。例如,处理器、存储器、和/或输入/输出设备可通过多个点对点接口互连。

[0034] 图4示出根据本发明的实施例的安排成点对点(PtP)配置的计算系统400。具体地,图4示出其中处理器、存储器和输入/输出设备通过多个点对点接口互连的系统。参照图1-3讨论的操作可由系统400的一个或多个部件执行。

[0035] 如图4所示,系统400可包括若干处理器,但为了清楚起见仅示出了其中两个处理器402、404。处理器402和404各自可包括本地存储器控制器中枢(MCH)406和408以能够与存储器410和412通信。存储器410和/或412可存储诸如参考图3的存储器312讨论的数据之类的各种数据。而且,处理器402和404可包括图1的内核106、逻辑140和/或逻辑145中的一个

或多个。而且,在各个实施例中,系统400可包括图1中的各个组件,包括设备152、逻辑147、设备150、存储器/寄存器文件152等中的一个或多个。

[0036] 在实施例中,处理器402和404可以是参考图3讨论的处理器302之一。处理器402和404可分别使用点对点(PtP)接口电路416和418经由PtP接口414来交换数据。同样,处理器402和404可各自使用点对点接口电路426、428、430和432经由各PtP接口422和424与芯片组420交换数据。芯片组420还可例如利用PtP接口电路437经由高性能图形接口436与高性能图形电路434交换数据。

[0037] 在至少一个实施例中,参考图1-4讨论的一个或多个操作可由系统400的处理器402或404和/或其它组件——诸如经由总线440通信的那些组件——来执行。然而,本发明的其它实施例可存在于图4的系统400内的其它电路、逻辑单元或设备中。而且,本发明的一些实施例可分布在图4中所示若干电路、逻辑单元或设备中。

[0038] 芯片组420可利用PtP接口电路441与总线440通信。总线440可具有与其通信的一个或多个设备,诸如总线桥442和I/O设备443。经由总线444,总线桥442可与诸如键盘/鼠标445、通信设备446(诸如可与计算机网络303通信(包括经由天线331)的调制解调器、网络接口设备或其它通信设备)、音频I/O设备、和/或数据存储设备448之类的其它设备通信。数据存储设备448可存储由处理器402和/或404执行的代码449。

[0039] 在本发明的各实施例中,本文中例如参考图1-4讨论的操作可被实现为硬件(例如,逻辑电路)、软件、固件或其组合,它们可作为计算机程序产品来提供,该计算机程序产品例如包括其上存储有指令(或软件程序)的有形机器可读或计算机可读介质,这些指令用于对计算机进行编程以执行本文所讨论的过程。机器可读介质可包括诸如参考图1-4所讨论的存储设备之类的存储设备。

[0040] 此外,这种计算机可读介质可作为计算机程序产品来下载,其中该程序可经由通信链路(例如,总线、调制解调器或网络连接)作为在载波或其它传播介质中提供的数据信号从远程计算机(例如,服务器)传输到作出请求的计算机(例如,客户机)。

[0041] 在本说明书中对“一个实施例”或“实施例”的引用意味着结合该实施例描述的特定特征、结构和/或特性可包括在至少一个实现中。在本说明书各处出现的短语“在一个实施例中”可以或可不全指代同一实施例。

[0042] 并且,在说明书和权利要求书中,可使用术语“耦合”和“连接”以及它们的派生词。在本发明的某些实施例中,“连接”可用于指示两个或多个元件相互直接物理接触和/或电接触。“耦合”可表示两个或多个元件直接物理或电气接触。然而,“耦合”还可表示两个或多个元件相互不直接接触,但仍相互配合和/或相互作用。

[0043] 因此,虽然用结构特征和/或方法动作专属语言描述了本发明的实施例,但是应当理解所保护的主体可不限于所描述的具体特征或动作。相反,这些具体特征和动作是作为实现所要求保护的主体样本形式而公开的。

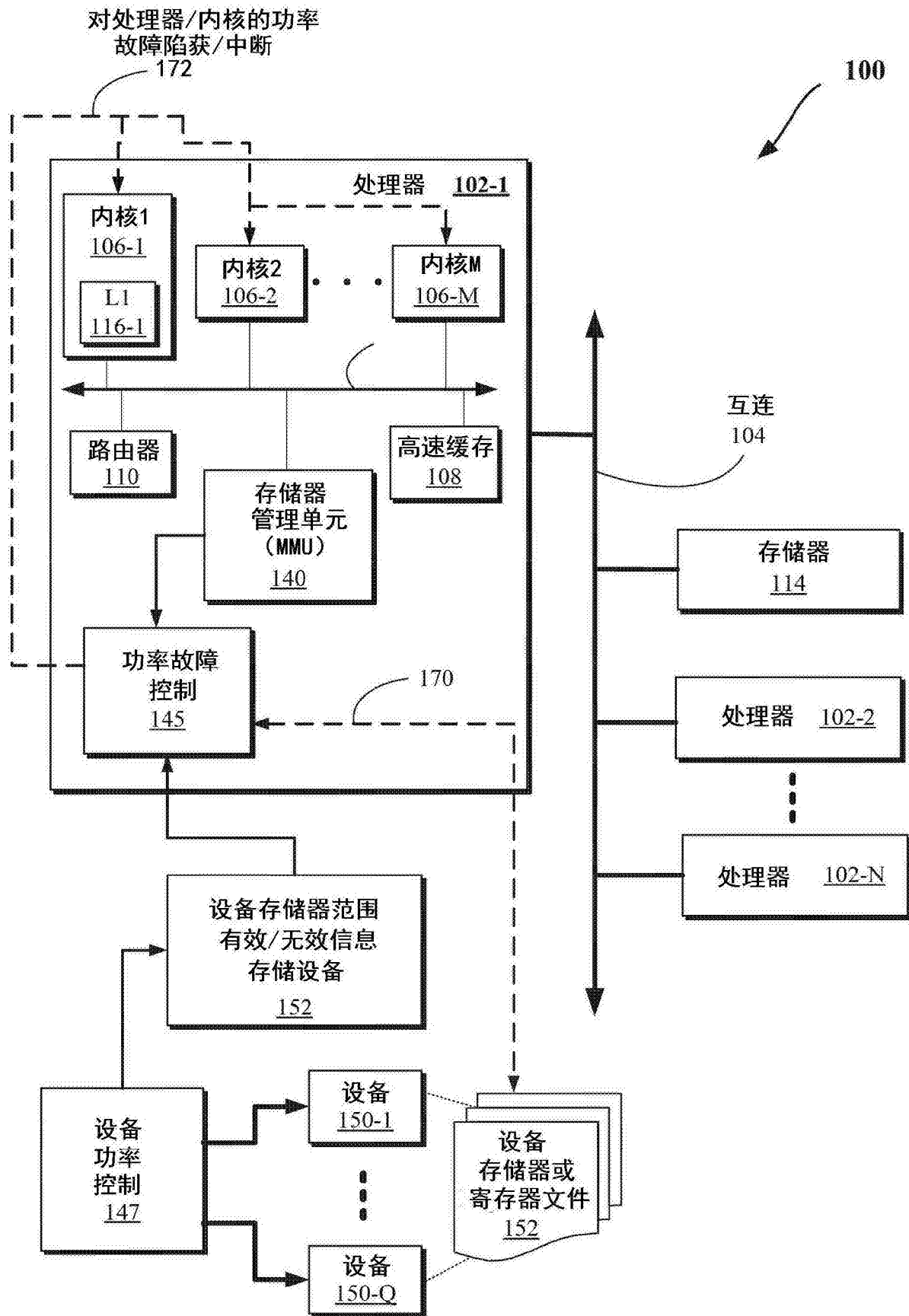


图1

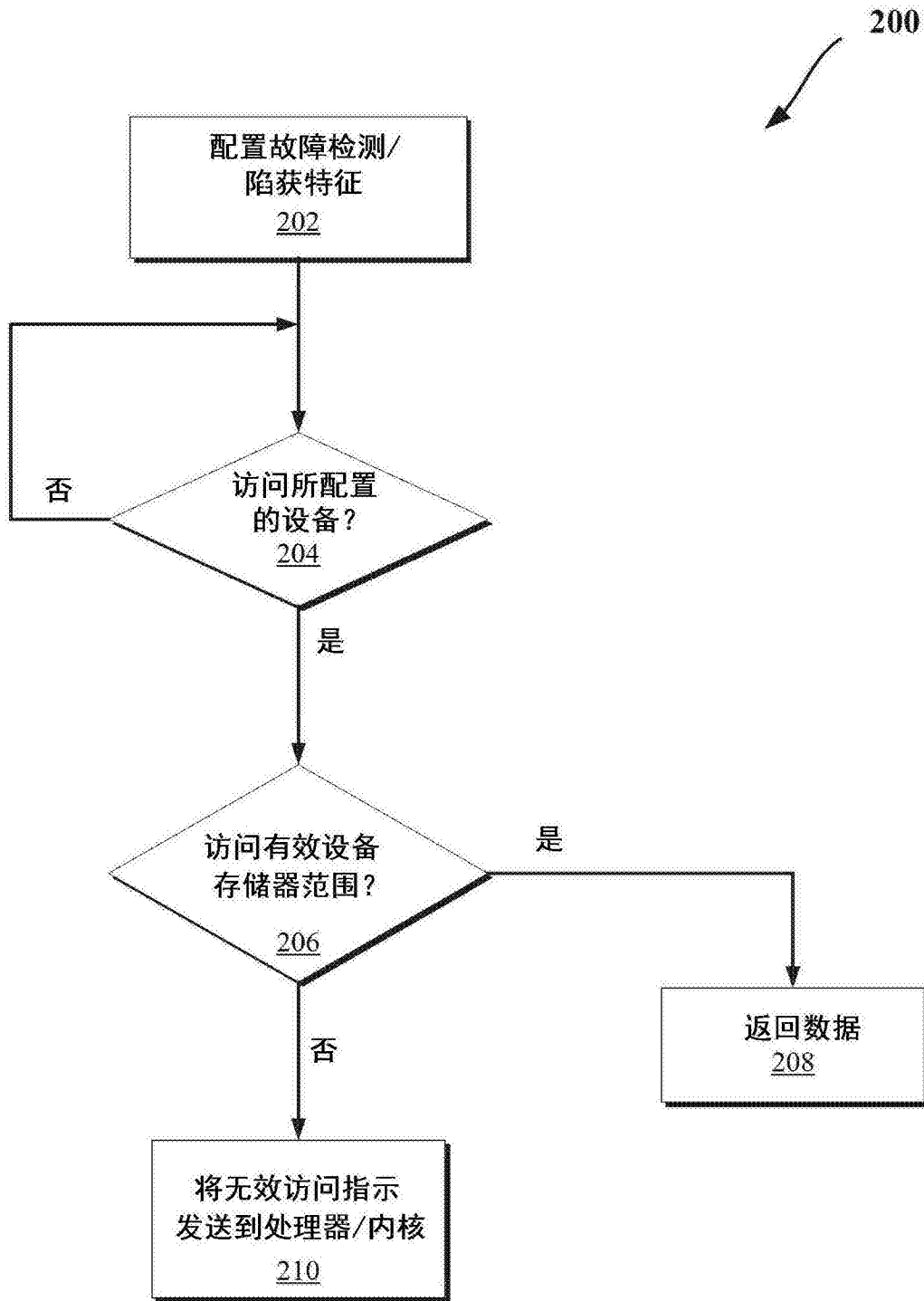


图2

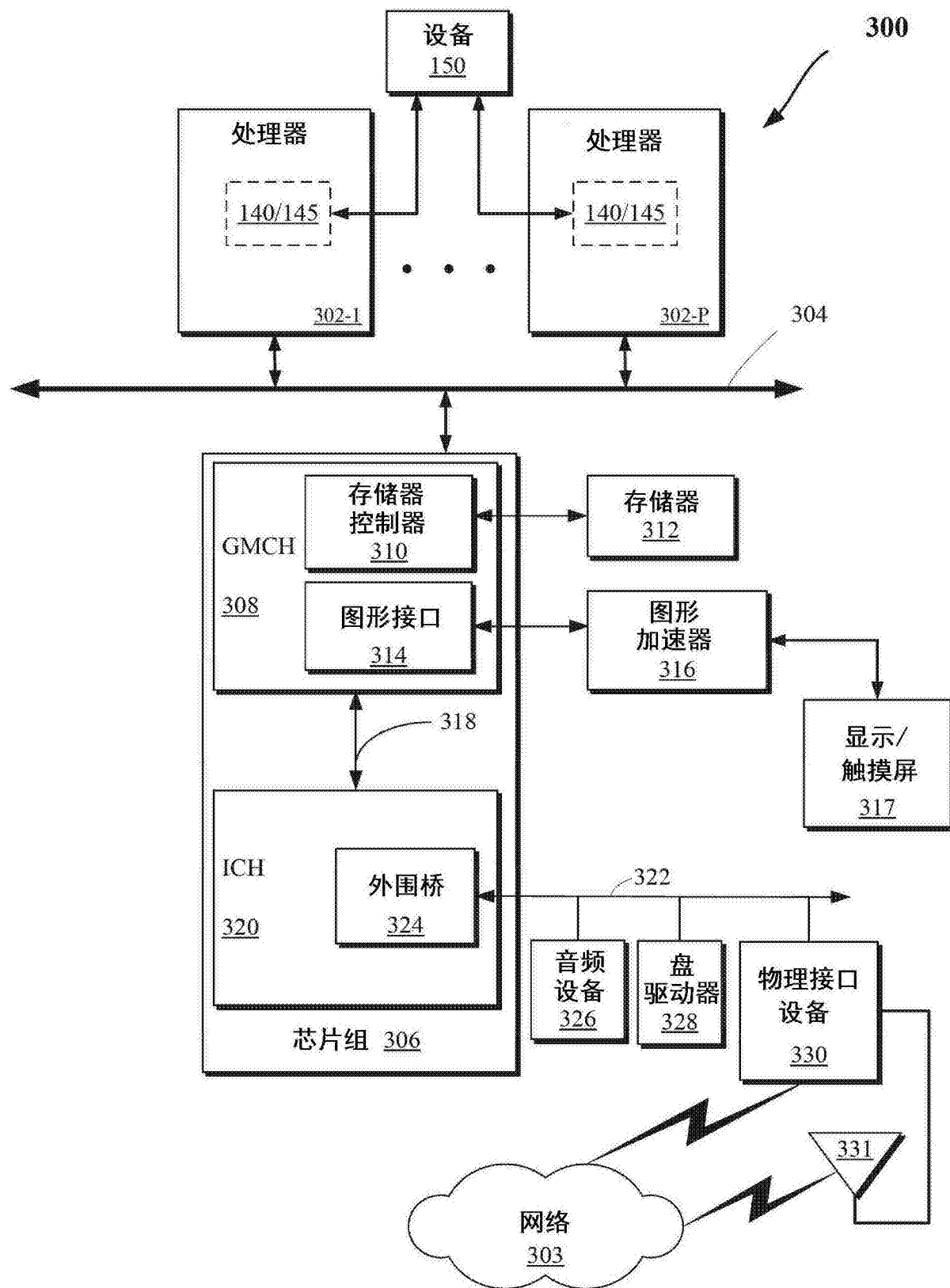


图3

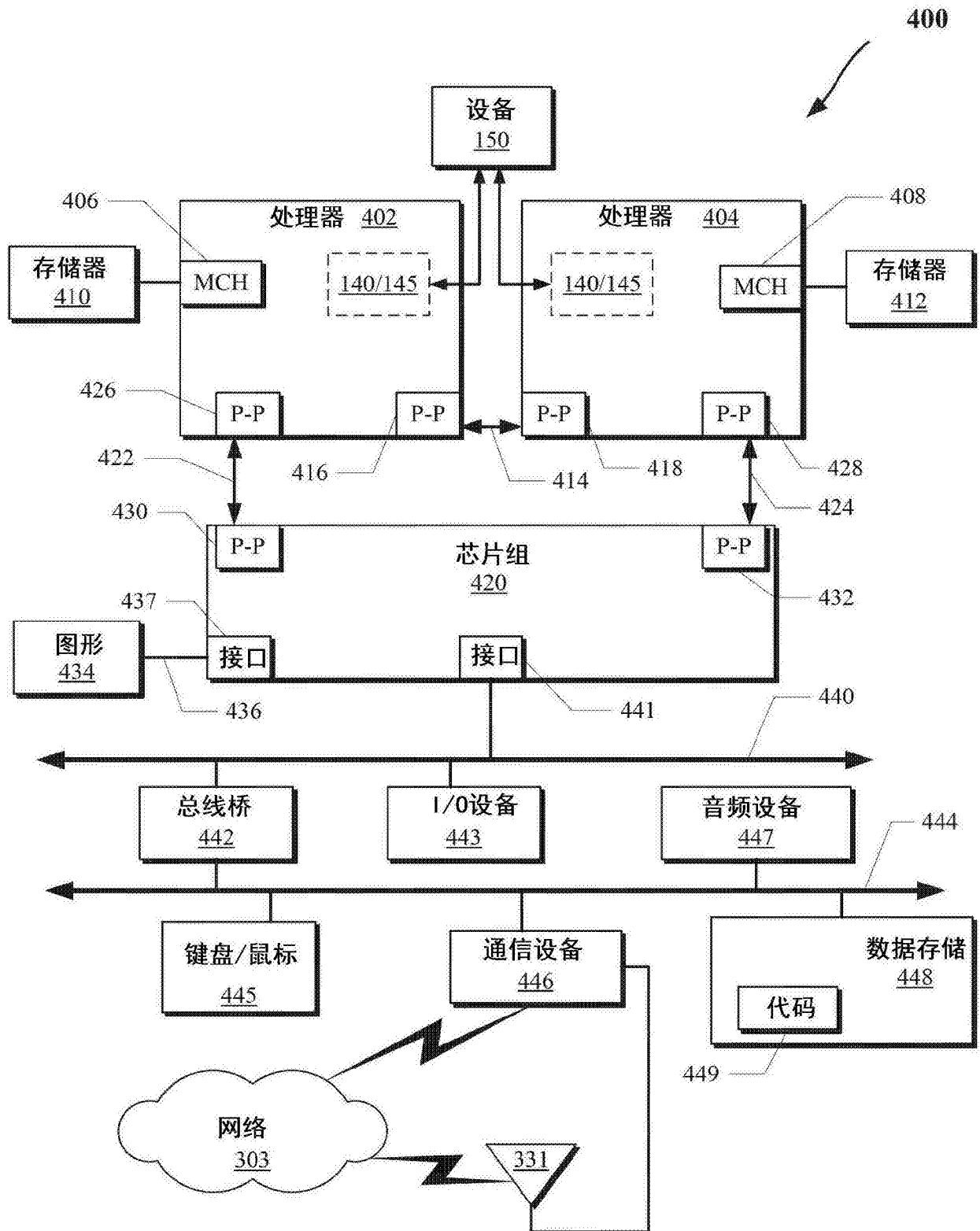


图4