



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I613762 B

(45)公告日：中華民國 107 (2018) 年 02 月 01 日

(21)申請案號：105132566

(22)申請日：中華民國 101 (2012) 年 03 月 03 日

(51)Int. Cl. : *H01L21/8242(2006.01)**H01L27/108 (2006.01)**G11C11/401 (2006.01)*

(30)優先權：2011/03/04 日本

2011-047460

2011/05/18 日本

2011-111004

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：米田誠一 YONEDA, SEIICHI (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 201017548A1

審查人員：張展溢

申請專利範圍項數：16 項 圖式數：26 共 114 頁

(54)名稱

半導體裝置

SEMICONDUCTOR DEVICE

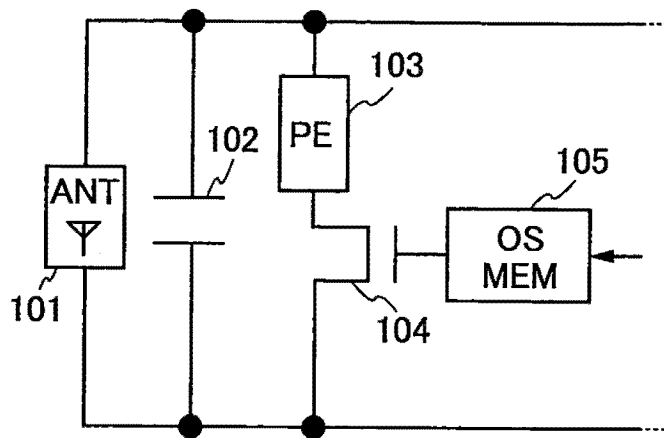
(57)摘要

本發明的一個方式的目的之一是容易設定諧振頻率。本發明的一個方式是一種半導體裝置，包括：具有線圈的功能的天線；以並聯連接的方式與天線電連接的電容元件；藉由以並聯連接的方式與天線及電容元件電連接，與天線及電容元件一起構成諧振電路的被動元件；控制是否以並聯連接的方式將被動元件與天線及電容元件電連接的第一場效應電晶體；以及儲存電路，其中，儲存電路包括具有形成通道的氧化物半導體層，對源極和汲極中的一方輸入資料信號，且根據源極和汲極中的另一方的電壓設定第一場效應電晶體的閘極的電壓的第二場效應電晶體。

A semiconductor device includes an antenna functioning as a coil, a capacitor electrically connected to the antenna in parallel, a passive element forming a resonance circuit with the antenna and the capacitor by being electrically connected to the antenna and the capacitor in parallel, a first field effect transistor controlling whether the passive element is electrically connected to the antenna and the capacitor in parallel or not, and a memory circuit. The memory circuit includes a second field effect transistor which includes an oxide semiconductor layer where a channel is formed and in which a data signal is input to one of a source and a drain. The gate voltage of the first field effect transistor is set depending on the voltage of the other of the source and the drain of the second field effect transistor.

指定代表圖：

圖 1A



符號簡單說明：

101 . . . 天線

102 . . . 電容元件

103 . . . 被動元件

104 . . . 電晶體

105 . . . 儲存電路

發明專利說明書

(本申請書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置

Semiconductor device

【技術領域】

本發明的一個方式係關於一種半導體裝置。

【先前技術】

近年來，對能夠進行藉由無線通信的電源（也稱為電源電壓）的供給（也稱為供電）和藉由無線通信的資料的發送和接收（也稱為資料通信）的半導體裝置進行開發。例如，若可以對半導體裝置的一個例子的可攜式資訊終端（例如，行動電話機等）附加藉由無線通信的供電功能，則不需要與外部供電部分連接而進行供電，因此例如可以在所有環境下進行供電，可以更簡單地進行供電。

另外，作為能夠藉由無線通信進行資料的發送和接收、資料的儲存和資料的擦除的半導體裝置的一個例子，已知利用 RFID（Radio Frequency IDentification：射頻識別）標籤的個體識別技術。RFID 標籤也稱為 RF 標籤、無線標籤、電子標籤或無線晶片。此外，因為在標籤內部設置有用來進行識別或其他處理的積體電路（Integrated Circuit：IC）等功能電路，所以 RFID 標籤也稱為 IC 標

籤、IC 晶片或 IC 卡。當與上述半導體裝置之間進行資料的發送和接收時，使用無線通信裝置（讀出器/寫入器等能夠藉由無線通信的資料信號的發送和接收的裝置）。使用上述半導體裝置的個體識別技術例如用於個體目標的生產、管理等，且期待將其應用於個人識別。

在上述半導體裝置中，藉由用線圈（天線）等設定諧振電感的值且用電容元件等設定諧振電容的值而設定諧振頻率，設定所供給的電源電壓的值。但是，由於製造製程的不均勻性，有時實際上的諧振頻率與所希望的諧振頻率不同。此時，在製程結束之後，再次需要調整諧振頻率。

作為上述問題的對策，已知使用諧振頻率調整電路設定最合適的諧振頻率的半導體裝置（例如，參照專利文獻 1）。

在專利文獻 1 所示的半導體裝置中，藉由設定控制電晶體的閘極的電壓，來控制是否電容元件與天線並聯連接。例如，當上述控制電晶體成為導通狀態且電容元件與天線並聯連接時，諧振頻率變化。

[專利文獻 1]日本專利申請公開第 2003-67693 號公報

但是，在如專利文獻 1 所示那樣的能夠調整諧振頻率的半導體裝置中，即使一旦設定控制電晶體的閘極的電壓而設定諧振頻率，例如由於電路內的元件的洩漏電流等而控制電晶體的閘極的電壓變化，諧振頻率也與所希望的諧振頻率不同。由此，每次由於洩漏電流等諧振頻率與所希望的諧振頻率不同，需要再次調整諧振頻率，諧振頻率的

調整很複雜。

【發明內容】

本發明的一個方式的目的之一是容易調整諧振頻率。

在本發明的一個方式中，設置：線圈；電容元件；藉由與線圈及電容元件電連接來構成諧振電路的被動元件；以及控制是否被動元件與線圈及電容元件電連接的控制電晶體。再者，藉由將資料保持在使用截止電流低的電晶體的儲存電路中，保持控制電晶體的閘極的電壓。藉由利用使用截止電流低的電晶體的儲存電路，抑制由於洩漏電流等造成的控制電晶體的閘極的電壓的變動，容易調整諧振頻率。

本發明的一個方式是一種半導體裝置，包括：線圈；以並聯連接的方式與線圈電連接的電容元件；藉由以並聯連接的方式與線圈電連接，與線圈及電容元件一起構成諧振電路的被動元件；控制是否以並聯連接的方式將被動元件與線圈及電容元件電連接的第一場效應電晶體；以及儲存電路，其中，儲存電路包括具有形成通道的氧化物半導體層，對源極和汲極中的一方輸入資料信號，且根據源極和汲極中的另一方的電壓設定第一場效應電晶體的閘極的電壓的第二場效應電晶體。

藉由本發明的一個方式，容易設定控制電晶體的閘極的電壓，因此容易調整諧振頻率。

【圖式簡單說明】

在圖式中：

圖 1A、圖 1B-1、圖 1B-2 和圖 1C 是用來說明半導體裝置的例子的圖；

圖 2 是用來說明半導體裝置的例子的圖；

圖 3 是用來說明半導體裝置的例子的圖；

圖 4A 和圖 4B 是用來說明半導體裝置的例子的圖；

圖 5A 和圖 5B 是用來說明半導體裝置的例子的圖；

圖 6A 至圖 6D 是示出電晶體的結構例子的剖面示意圖；

圖 7A 至圖 7E 是用來說明電晶體的製造方法例的剖面示意圖；

圖 8 是用來說明半導體裝置的例子的圖；

圖 9A 至圖 9C 是用來說明半導體裝置的例子的圖；

圖 10A 至圖 10E 是說明氧化物材料的結構的圖；

圖 11A 至圖 11C 是說明氧化物材料的結構的圖；

圖 12A 至圖 12C 是說明氧化物材料的結構的圖；

圖 13 是說明藉由計算得到的遷移率的閘極電壓依賴性的圖；

圖 14A 至圖 14C 是說明藉由計算得到的汲電流和遷移率的閘極電壓依賴性的圖；

圖 15A 至圖 15C 是說明藉由計算得到的汲電流和遷移率的閘極電壓依賴性的圖；

圖 16A 至圖 16C 是說明藉由計算得到的汲電流和遷

移率的閘極電壓依賴性的圖；

圖 17A 和圖 17B 是說明用於計算的電晶體的剖面結構的圖；

圖 18A 至圖 18C 是使用氧化物半導體膜的電晶體特性的圖表；

圖 19A 和圖 19B 是示出樣品 1 的電晶體的 BT 測試後的 V_g - I_d 特性的圖；

圖 20A 和圖 20B 是示出樣品 2 的電晶體的 BT 測試後的 V_g - I_d 特性的圖；

圖 21 是示出樣品 A 及樣品 B 的 XRD 光譜的圖；

圖 22 是示出電晶體的截止電流與測量時基板溫度之間的關係的圖；

圖 23 是示出 I_d 及場效應遷移率的 V_g 依賴性的圖；

圖 24A 和圖 24B 是示出基板溫度與臨界電壓之間的關係以及基板溫度與場效應遷移率之間的關係的圖；

圖 25A 和圖 25B 是半導體裝置的俯視圖及剖面圖；

圖 26A 和圖 26B 是半導體裝置的俯視圖及剖面圖。

【實施方式】

下面，參照圖式對用來說明本發明的實施方式的一個例子進行說明。注意，所屬技術領域的普通技術人員可以很容易地理解一個事實就是實施方式的內容在不脫離本發明的宗旨及其範圍的情況下可以被變換為各種各樣的形式。因此，本發明不侷限在以下所示的實施方式所記載的

內容中。

另外，各實施方式的內容可以彼此適當地組合。此外，各實施方式的內容可以彼此替換。

另外，爲了避免結構要素的混同，附加“第一”、“第二”等序數詞，各構成要素的個數不侷限於序數詞的數目。

實施方式 1

在本實施方式中，對能夠調整諧振頻率的半導體裝置的例子進行說明。

參照圖 1A 至圖 1C 對本實施方式中的半導體裝置的例子進行說明。

圖 1A 所示的半導體裝置具備天線（也稱爲 ANT）101、電容元件 102、被動元件（也稱爲 PE）103、電晶體 104 以及儲存電路（也稱爲 OSMEM）105。

另外，電晶體具有兩個端子和根據所施加的電壓來控制在該兩個端子之間流過的電流的電流控制端子。此外，不侷限於電晶體，在元件中，在彼此之間流過的電流被控制的端子也稱爲電流端子，兩個電流端子中的每一個也稱爲第一電流端子及第二電流端子。

另外，作爲電晶體，例如可以使用場效應電晶體。在場效應電晶體中，第一電流端子是用作源極和汲極中的一方的端子，第二電流端子是用作源極和汲極中的另一方的端子，電流控制端子是用作閘極的端子。

此外，一般來說，電壓是指某兩個點之間的電位的差異（也稱為電位差）。但是，電壓及電位的值在電路圖等中都表示為伏特（V），因此難以區別。於是，在本說明書中，除了在特別指定的情況下之外，有時作為該一個點的電壓採用某一個點的電位與成為標準的電位（也稱為參考電位）之間的電位差。

另外，電容元件包括第一電極、第二電極以及重疊於第一電極和第二電極的電介質層。電容元件中的具有電極的功能的電極也稱為電容電極。

天線 101 具有線圈的功能。天線 101 例如具有第一端子及第二端子。另外，天線 101 所具有的端子也稱為天線端子。

電容元件 102 以並聯連接的方式與天線 101 電連接。例如，電容元件 102 的第一電容電極與天線 101 的第一天線端子電連接，電容元件 102 的第二電容電極與天線 101 的第二天線端子電連接。另外，也可以在電容元件 102 的第一電容電極和第二電容電極的一者或兩者與天線 101 之間設置電晶體等切換元件。

被動元件 103 藉由以並聯連接的方式與天線 101 及電容元件 102 電連接，來構成諧振電路。例如，被動元件 103 的一個端子與天線 101 的第一天線端子電連接。

作為被動元件 103，可以使用電容元件（例如，圖 1B-1 中的電容元件 131）或具有線圈的功能的元件（例如，圖 1B-2 中的天線 132）等。

電晶體 104 具有控制是否以並聯連接的方式將被動元件 103 與天線 101 及電容元件 102 電連接的功能，也稱為控制電晶體。例如，當電晶體 104 成為導通狀態時，藉由電晶體 104 的源極和汲極，被動元件 103 以並聯連接的方式與天線 101 及電容元件 102 電連接。另外，例如電晶體 104 的源極和汲極中的一方與被動元件 103 的一個端子電連接，電晶體 104 的源極和汲極中的另一方與天線 101 的第二天線端子電連接。

儲存電路 105 具有保持電晶體 104 的閘極的電壓的功能。

儲存電路 105 具備截止電流低的場效應電晶體。對上述截止電流低的場效應電晶體的源極和汲極中的一方輸入資料信號，根據上述截止電流低的場效應電晶體的源極和汲極中的另一方的電壓設定電晶體 104 的閘極的電壓。另外，也可以使上述截止電流低的場效應電晶體的源極和汲極中的另一方與電晶體 104 的閘極電連接。此外，在本實施方式中的半導體裝置中，也可以藉由設置儲存控制電路且使用儲存控制電路輸入控制信號及資料信號，來控制儲存電路 105 的工作。

作為截止電流低的場效應電晶體，例如可以舉出包括氧化物半導體層的場效應電晶體等。包括氧化物半導體層的場效應電晶體是與習知的使用矽等半導體層的電晶體相比，截止電流低的電晶體。上述氧化物半導體層的能隙寬於矽的能隙，即為 2eV 以上，較佳為 2.5eV 以上，更佳為

3eV 以上。另外，上述氧化物半導體層是本質（也稱為 I 型）或實質上本質的半導體層，包括上述氧化物半導體層的電晶體的每通道寬度 $1\mu\text{m}$ 的截止電流為 10aA ($1\times 10^{-17}\text{A}$) 以下，較佳為 1aA ($1\times 10^{-18}\text{A}$) 以下，更佳為 10zA ($1\times 10^{-20}\text{A}$) 以下，更佳為 1zA ($1\times 10^{-21}\text{A}$) 以下，更佳為 100yA ($1\times 10^{-22}\text{A}$) 以下。

另外，作為電晶體 104，例如可以使用包括上述氧化物半導體層的電晶體或包括形成有通道且含有屬於元素週期表中第 14 族的半導體（矽等）的半導體層的電晶體。

另外，也可以以與天線 101 並聯地電連接的方式設置其他功能電路。功能電路是指藉由輸入電壓而具有特定功能的電路。

接著，作為本實施方式中的半導體裝置的工作例子，對圖 1A 所示的半導體裝置的工作例子進行說明。

在圖 1A 所示的半導體裝置中，由線圈（例如天線 101）及電容元件構成諧振電路。此時，較佳將電容元件 102 的電容值設定為使半導體裝置工作所需要的電壓被供給的值。因為圖 1A 所示的半導體裝置是電磁感應方式的半導體裝置，所以當由天線 101 接收電波時，根據半導體裝置的諧振頻率而生成電壓。上述所生成的電壓輸入到半導體裝置的其他功能電路。另外，也可以藉由由天線 101 接收電波，資料登錄到半導體裝置。

再者，藉由使電晶體 104 成為導通狀態或截止狀態，可以調整半導體裝置的諧振頻率。例如，藉由使儲存電路

105 中的截止電流低的場效應電晶體成爲導通狀態而將資料信號輸入到儲存電路 105，在儲存電路 105 中保持資料信號的資料，將電晶體 104 的閘極的電壓設定爲與資料信號的電壓對應的值。另外，作爲資料信號，可以使用數位資料信號或模擬資料信號。例如，藉由使用模擬資料信號，可以將導通狀態時的在電晶體 104 的源極和汲極之間流過的電流量的變化量設定爲模擬值，更精細地調整半導體裝置的諧振頻率。

此時，根據電晶體 104 的閘極的電壓，電晶體 104 的通道電阻的值變化，半導體裝置的諧振頻率變化。上述諧振頻率 f 以下述算式表示。

[算式 1]

$$f = \frac{1}{2\pi\sqrt{LC}}$$

L 表示線圈等的電感值， C 表示電容元件等的電容值。

圖 1C 是示出被動元件 103 是具有線圈的功能的天線時的半導體裝置中的諧振頻率和所生成的電壓的關係的圖。例如，如圖 1C 所示那樣，在當電晶體 104 處於截止狀態時諧振頻率爲值 f_1 的情況下，藉由使電晶體 104 成爲導通狀態，可以將諧振頻率從值 f_1 變化到生成電壓大的值 f_2 。另外，當電晶體 104 處於導通狀態且諧振頻率爲值 f_3 時，藉由使電晶體 104 成爲截止狀態，也可以將諧

振頻率從值 f_3 變化到生成電壓大的值 f_2 。

以上是圖 1A 所示的半導體裝置的工作例子的說明。

另外，例如，如圖 2 所示那樣，也可以設置多個由被動元件 103、電晶體 104 及儲存電路 105 構成的電路（也稱為諧振頻率調整電路）。圖 2 所示的半導體裝置包括：天線 101； n 個（ n 是 2 以上的自然數）的被動元件 103（被動元件 103_1 至被動元件 103_n）； n 個電晶體 104（電晶體 104_1 至電晶體 104_n）；以及 n 個儲存電路 105（儲存電路 105_1 至儲存電路 105_n）。

第 m 個（ m 是 1 至 n 的自然數）電晶體 104_m 控制是否以並聯連接的方式將第 m 個被動元件 103_m 與天線 101 電連接。另外，第 m 個電晶體 104_m 的閘極的電壓由第 m 個儲存電路 105_m 保持。此外，也可以分別設定儲存在每個儲存電路 105 中的資料。

藉由設置多個諧振頻率調整電路，可以將半導體裝置的諧振頻率的變化量設定為模擬值，更精細地調整半導體裝置的諧振頻率。

如參照圖 1A 至圖 1C 及圖 2 說明那樣，在本實施方式中的半導體裝置的一個例子中，藉由控制控制電晶體的導通狀態或截止狀態，來控制是否被動元件與其他元件一起構成諧振電路，可以適當地改變半導體裝置的諧振頻率。因此，例如當製造半導體裝置時，即使半導體裝置的諧振頻率與所希望的值不同，也可以將諧振頻率調整為所希望的值。

再者，在本實施方式中的半導體裝置的一個例子中，藉由使用截止電流低的電晶體來構成儲存電路，只要對該儲存電路寫入資料，可以根據儲存在儲存電路中的資料設定控制電晶體的閘極的電壓。另外，也可以容易改寫儲存電路的資料。使用上述截止電流低的電晶體來構成的儲存電路的洩漏電流少，由此即使不供應電源也可以長期間保持資料。因此，可以減少再次設定控制電晶體的閘極的電壓的次數，從而容易設定半導體裝置的諧振頻率。另外，可以降低半導體裝置的耗電量。

實施方式 2

在本實施方式中，對上述實施方式 1 所示的半導體裝置的例子進行說明。

下面，參照圖 3 對本實施方式中的半導體裝置的例子進行說明。另外，對於圖 3 中的附加與圖 1A 至圖 1C 所示的半導體裝置相同的元件符號的構成要素，適當地援用圖 1A 至圖 1C 所示的半導體裝置的說明。

與圖 1A 至圖 1C 所示的半導體裝置相同地，圖 3 所示的半導體裝置具備天線 101、電容元件 102、被動元件 103、電晶體 104 以及儲存電路 105。

天線 101 具有線圈的功能。

電容元件 102 以並聯連接的方式與天線 101 電連接。

被動元件 103 藉由以並聯連接的方式與天線 101 及電容元件 102 電連接，來構成諧振電路。

電晶體 104 具有控制是否以並聯連接的方式將被動元件 103 與天線 101 及電容元件 102 電連接的功能。例如，電晶體 104 的源極和汲極中的一方與被動元件 103 電連接。

再者，圖 3 所示的儲存電路 105 具備電晶體 201 和電容元件 202。

對電晶體 201 的源極和汲極中的一方輸入資料信號，電晶體 201 的源極和汲極中的另一方與電晶體 104 的閘極電連接。

作為電晶體 201，可以使用上述實施方式所示的包括氧化物半導體層的電晶體等截止電流低的場效應電晶體。

另外，例如也可以藉由使用計算電路及儲存體等對電晶體 201 的閘極供給控制信號且對電晶體 201 的源極和汲極中的一方供給資料信號，來控制電晶體 201 的工作。

電容元件 202 的第一電容電極與電晶體 104 的閘極電連接。另外，對電容元件 202 的第二電容電極施加規定的電位，或者電容元件 202 的第二電容電極接地。此外，不一定必須要設置電容元件 202。

接著，作為本實施方式中的半導體裝置的工作例子，對圖 3 所示的半導體裝置的工作例子進行說明。

在圖 3 所示的半導體裝置中，當由天線 101 接收電波時，根據半導體裝置的諧振頻率而生成電壓。上述所生成的電壓例如輸入到半導體裝置的其他功能電路。

再者，藉由使電晶體 104 成為導通狀態或截止狀態，

可以調整半導體裝置的諧振頻率。

當設定電晶體 104 的閘極的電壓時，使電晶體 201 成為導通狀態。

當電晶體 201 處於導通狀態時，電晶體 104 的閘極的電壓成為與資料信號的電壓相等的值。

然後，使電晶體 201 成為截止狀態。因為電晶體 201 是截止電流低的電晶體，所以藉由使電晶體 201 成為截止狀態，可以保持電晶體 104 的閘極的電壓。因此，可以設定電晶體 104 的閘極的電壓。

以上是圖 3 所示的半導體裝置的工作例子的說明。

如參照圖 3 說明那樣，在本實施方式中的半導體裝置的一個例子中，藉由控制控制電晶體的導通狀態或截止狀態，來控制是否被動元件與其他元件一起構成諧振電路，可以適當地改變半導體裝置的諧振頻率。因此，例如當製造半導體裝置時，即使半導體裝置的諧振頻率與所希望的值不同，也可以將諧振頻率調整為所希望的值。

再者，在本實施方式中的半導體裝置的一個例子中，只要使用截止電流低的電晶體來構成儲存電路且對該儲存電路寫入資料，可以根據儲存在儲存電路中的資料設定控制電晶體的閘極的電壓。另外，也可以容易改寫儲存電路的資料。在使用上述截止電流低的電晶體來構成的儲存電路中，所保持的資料（電壓）半永久地不變動。就是說，使用上述截止電流低的電晶體來構成的儲存電路的洩漏電流少，不容易劣化，由此即使不供應電源也可以長期間保

持資料。因此，可以減少再次設定控制電晶體的閘極的電壓的次數，從而容易設定半導體裝置的諧振頻率。另外，可以降低半導體裝置的耗電量。

實施方式 3

在本實施方式中，對上述實施方式 1 所示的半導體裝置的另一個例子進行說明。

下面，參照圖 4A 和圖 4B 對本實施方式中的儲存電路的例子進行說明。圖 4A 和圖 4B 是用來說明本實施方式中的儲存電路的圖。另外，對於圖 4A 和圖 4B 中的附加與圖 1A 至圖 1C 所示的半導體裝置相同的元件符號的構成要素，適當地援用圖 1A 至圖 1C 所示的半導體裝置的說明。

與圖 1A 至圖 1C 所示的半導體裝置相同地，圖 4A 和圖 4B 所示的半導體裝置具備天線 101、電容元件 102、被動元件 103、電晶體 104 以及儲存電路 105。

天線 101 具有線圈的功能。

電容元件 102 以並聯連接的方式與天線 101 電連接。

被動元件 103 藉由以並聯連接的方式與天線 101 及電容元件 102 電連接，來構成諧振電路。

電晶體 104 具有控制是否以並聯連接的方式將被動元件 103 與天線 101 及電容元件 102 電連接的功能。例如，電晶體 104 的源極和汲極中的一方與被動元件 103 電連接。

再者，圖 4A 和圖 4B 所示的儲存電路 105 具備電晶體 301、電容元件 302、電晶體 303 以及用作負載的電子元件（也稱為 LD）304。

對電晶體 301 的源極和汲極中的一方輸入資料信號。

作為電晶體 301，可以使用上述實施方式所示的包括氧化物半導體層的電晶體等截止電流低的場效應電晶體。

另外，例如也可以藉由使用計算電路及儲存體等對電晶體 301 的閘極供給控制信號且對電晶體 301 的源極和汲極中的一方供給資料信號，來控制電晶體 301 的工作。

電容元件 302 的第一電容電極與電晶體 301 的源極和汲極中的另一方電連接。另外，對電容元件 302 的第二電容電極施加規定的電位。此外，不侷限於此，也可以將電容元件 302 的第二電容電極接地。此外，不一定必須要設置電容元件 302。

電晶體 303 的源極和汲極中的一方的電壓根據天線 101 接收的電波而變化，電晶體 303 的源極和汲極中的另一方與電晶體 104 的閘極電連接，電晶體 303 的閘極與電晶體 301 的源極和汲極中的另一方電連接。例如，電晶體 303 的源極和汲極中的一方與天線 101 的第一天線端子電連接，電晶體 303 的源極和汲極中的另一方藉由用作負載的電子元件 304 與天線 101 的第二天線端子電連接。

作為電晶體 303，例如較佳為使用 P 通道型電晶體。另外，作為電晶體 303，例如可以使用含有屬於元素週期表中第 14 族的半導體（矽等）的半導體層的電晶體。

用作負載的電子元件 304 具有將電晶體 303 的源極和汲極中的另一方的電壓重設到作為基準的值的功能。作為用作負載的電子元件 304，例如可以舉出電阻元件、二極體或切換元件等，作為切換元件，例如可以舉出電晶體等。另外，不一定必須要設置用作負載的電子元件 304，也可以利用寄生電阻等代替電子元件 304。

再者，圖 4B 所示的半導體裝置具備整流電路 106。整流電路 106 具有對藉由由天線 101 接收電波來生成的電壓進行整流的功能。注意，雖然不一定必須要設置整流電路 106，但是藉由設置整流電路 106，可以抑制由於電壓的施加造成的電晶體 303 的劣化。

接著，作為本實施方式中的半導體裝置的工作例子，對圖 4A 所示的半導體裝置的工作例子進行說明。

在圖 4A 所示的半導體裝置中，當由天線 101 接收電波時，根據半導體裝置的諧振頻率而生成電壓。上述所生成的電壓例如輸入到半導體裝置的其他功能電路。

再者，在圖 4A 所示的半導體裝置中，當由天線 101 接收電波且損壞元件的程度的電壓被供給時，可以改變電晶體 104 的閘極的電壓，改變電晶體 104 的通道電阻的值，且改變諧振頻率。以下說明上述方法的例子。

首先，使電晶體 301 成為導通狀態。

當電晶體 301 處於導通狀態時，電晶體 303 的閘極的電壓成為與資料信號的電壓相等的值。該資料信號的電壓根據元件被損壞的電壓的值來設定。

然後，使電晶體 301 成為截止狀態。因為電晶體 301 是截止電流低的電晶體，所以藉由使電晶體 301 成為截止狀態，可以保持電晶體 303 的閘極的電壓。因此，可以設定電晶體 303 的閘極的電壓。

此時，藉由由天線 101 接收電波，當所生成的電壓的值不為元件被損壞的值時，電晶體 303 處於截止狀態。此時，藉由用作負載的電子元件 304，電晶體 104 的閘極的電壓重設到基準值。

另外，藉由由天線 101 接收電波，當所生成的電壓的值為元件被損壞的值時，根據電晶體 303 的閘極與源極之間的電壓，電晶體 303 成為導通狀態。再者，藉由電晶體 303 成為導通狀態時，電晶體 104 的閘極的電壓變化。因此，根據電晶體 104 的閘極的電壓而電晶體 104 的通道電阻的值變化，當電晶體 104 成為導通狀態時，諧振頻率變化。

以上是圖 4A 所示的半導體裝置的工作例子的說明。

如參照圖 4A 和圖 4B 說明那樣，在本實施方式中的半導體裝置的一個例子中，藉由控制控制電晶體的導通狀態或截止狀態，來控制是否被動元件與其他元件一起構成諧振電路，可以適當地改變半導體裝置的諧振頻率。因此，例如當製造半導體裝置時，即使半導體裝置的諧振頻率與所希望的值不同，也可以將諧振頻率調整為所希望的值。

再者，在本實施方式中的半導體裝置的一個例子中，

只要使用截止電流低的電晶體來構成儲存電路且對該儲存電路寫入資料，可以根據儲存在儲存電路中的資料設定控制電晶體的閘極的電壓。另外，也可以容易改寫儲存電路的資料。在使用上述截止電流低的電晶體來構成的儲存電路中，所保持的資料（電壓）半永久地不變動。就是說，使用上述截止電流低的電晶體來構成的儲存電路的洩漏電流少，不容易劣化，由此即使不供應電源也可以長期間保持資料。因此，可以減少再次設定控制電晶體的閘極的電壓的次數，從而容易設定半導體裝置的諧振頻率。另外，可以降低半導體裝置的耗電量。

另外，在本實施方式中的半導體裝置的一個例子中，藉由由天線接收電波，根據所供給的電壓而改變諧振頻率。因此，例如當施加損壞元件的程度的電壓時，可以改變諧振頻率而調整所生成的電壓的值。由此，可以使包括被動元件及控制電晶體的電路用作保護電路，從而可以提高半導體裝置的可靠性。

實施方式 4

在本實施方式中，對上述實施方式 1 所示的半導體裝置的另一個例子進行說明。

下面，參照圖 5A 和圖 5B 對本實施方式中的半導體裝置的例子進行說明。圖 5A 和圖 5B 是用來說明本實施方式中的半導體裝置的例子的圖。另外，對於圖 5A 和圖 5B 中的附加與圖 1A 至圖 1C 所示的半導體裝置相同的元

件符號的構成要素，適當地援用圖 1A 至圖 1C 所示的半導體裝置的說明。

與圖 1A 至圖 1C 所示的半導體裝置相同地，圖 5A 和圖 5B 所示的半導體裝置具備天線 101、電容元件 102、被動元件 103、電晶體 104 以及儲存電路 105。

天線 101 具有線圈的功能。

電容元件 102 以並聯連接的方式與天線 101 電連接。

被動元件 103 藉由以並聯連接的方式與天線 101 及電容元件 102 電連接，來構成諧振電路。

電晶體 104 具有控制是否以並聯連接的方式將被動元件 103 與天線 101 及電容元件 102 電連接的功能。例如，電晶體 104 的源極和汲極中的一方與被動元件 103 電連接。

再者，儲存電路 105 具備電晶體 401、電容元件 402、電晶體 403、用作負載的電子元件 404、電容元件 405 以及電晶體 406。

對電晶體 401 的源極和汲極中的一方輸入資料信號 D1。

作為電晶體 401，可以使用上述實施方式所示的包括氧化物半導體層的電晶體等截止電流低的場效應電晶體。

另外，例如也可以藉由使用計算電路及儲存體等對電晶體 401 的閘極供給控制信號 CTL1 且對電晶體 401 的源極和汲極中的一方供給資料信號 D1，來控制電晶體 401 的工作。

電容元件 402 的第一電容電極與電晶體 401 的源極和汲極中的另一方電連接。此外，不一定必須要設置電容元件 402。

電晶體 403 的源極和汲極中的一方的電壓根據天線 101 接收的電波而變化，電晶體 403 的閘極與電晶體 401 的源極和汲極中的另一方電連接。例如，電晶體 403 的源極和汲極中的一方與天線 101 的第一天線端子電連接，電晶體 403 的源極和汲極中的另一方藉由用作負載的電子元件 404 與天線 101 的第二天線端子電連接。

作為電晶體 403，例如較佳為使用 P 通道型電晶體。另外，作為電晶體 403，例如可以使用含有屬於元素週期表中第 14 族的半導體（矽等）的半導體層的電晶體。

用作負載的電子元件 404 具有將電晶體 403 的源極和汲極中的另一方的電壓重設到作為基準的值的機能。作為用作負載的電子元件 404，例如可以舉出電阻元件或切換元件等，作為切換元件，例如可以舉出電晶體等。另外，不一定必須要設置用作負載的電子元件 404，也可以利用寄生電阻等代替電子元件 404。

電容元件 405 的第一電容電極與電晶體 403 的源極和汲極中的另一方電連接，電容元件 405 的第二電容電極與電晶體 104 的閘極電連接。

對電晶體 406 的源極和汲極中的一方輸入與電晶體 401 的源極和汲極中的一方相同的資料信號，電晶體 406 的源極和汲極中的另一方與電晶體 104 的閘極電連接。另

外，也可以對電晶體 406 的源極和汲極中的一方輸入與電晶體 401 的源極和汲極中的一方不同的資料信號（在此，資料信號 D2）。

作為電晶體 406，可以使用上述實施方式所示的包括氧化物半導體層的電晶體等截止電流低的場效應電晶體。

另外，例如也可以藉由使用計算電路及儲存體等對電晶體 406 的閘極供給與電晶體 401 的閘極相同的控制信號 CTL1，且對電晶體 401 的源極和汲極中的一方供給資料信號 D1 或資料信號 D2，來控制電晶體 401 的工作。此外，也可以對電晶體 406 的閘極供給與電晶體 401 的閘極不同的控制信號（在此，控制信號 CTL2）。

再者，圖 5B 所示的半導體裝置具備整流電路 106。整流電路 106 具有對藉由由天線 101 接收電波來生成的電壓進行整流的功能。注意，雖然不一定必須要設置整流電路 106，但是藉由設置整流電路 106，可以抑制由於電壓的施加造成的電晶體 403 的劣化。

接著，作為圖 5A 和圖 5B 所示的半導體裝置的工作例子，對圖 5A 所示的半導體裝置的工作例子進行說明。

在圖 5A 所示的半導體裝置中，當由天線 101 接收電波時，根據半導體裝置的諧振頻率而生成電壓。上述所生成的電壓例如輸入到半導體裝置的其他功能電路。

再者，在圖 5A 所示的半導體裝置中，當設定電晶體 104 的閘極的電壓且藉由由天線 101 接收電波供給損壞元件的程度的電壓時，可以改變電晶體 104 的閘極的電壓，

改變電晶體 104 的通道電阻的值，且改變諧振頻率，之後，藉由由天線 101 接收電波，當不損壞元件的程度的電壓被供給時，可以將電晶體 104 的閘極的電壓恢復到預先設定的電壓。以下說明上述方法的例子。

首先，使電晶體 401 及電晶體 406 成為導通狀態。

當電晶體 401 處於導通狀態時，電晶體 403 的閘極的電壓成為與資料信號 D1 的電壓相等的值。

另外，當電晶體 406 處於導通狀態時，電晶體 104 的閘極的電壓成為與資料信號 D1 或資料信號 D2 的電壓相等的值。

另外，當資料信號 D1 的電壓的值大於一定值時，較佳將電晶體 403 的閘極的電壓設定為使電晶體 403 成為截止狀態的值。例如，當電晶體 104 是 N 通道型電晶體，電晶體 403 是 P 通道型電晶體時，將電晶體 104 的閘極的電壓和電晶體 403 的閘極的電壓設定為電源電壓以上的值。由此，當電晶體 104 的閘極的電壓為一定值以上時，藉由由天線 101 接收電波，即使損壞元件的程度的電壓被供給，也可以防止對電晶體 104 的閘極施加所需要的電壓以上的電壓。另外，當再次設定電晶體 104 的閘極的電壓時，也可以根據資料信號 D1 的值而再次設定電晶體 403 的閘極的電壓。

然後，使電晶體 401 及電晶體 406 成為截止狀態。因為電晶體 401 及電晶體 406 是截止電流低的電晶體，所以藉由使電晶體 401 及電晶體 406 成為截止狀態，可以保持

電晶體 403 的閘極的電壓。因此，可以設定電晶體 403 的閘極的電壓。

此時，藉由由天線 101 接收電波，當損壞元件的程度的電壓不被供給時，電晶體 104 的閘極的電壓成為與所輸入的資料信號對應的值。此時，藉由用作負載的電子元件 404，電晶體 104 的閘極的電壓重設到基準值。

另外，當資料信號 D1 的值為使電晶體 104 成為截止狀態的值，並且由天線 101 接收電波且所供給的電壓的值為元件被損壞的值時，根據電晶體 403 的閘極與源極和汲極中的一方之間的電壓，電晶體 403 成為導通狀態。再者，藉由電晶體 403 成為導通狀態時，根據電晶體 403 的通道電阻的值，電容元件 405 的第一電容電極的電壓變化。再者，由於電容耦合，電容元件 405 的第二電容電極的電壓根據第一電容電極的電壓的變化而變化，由此電晶體 104 的閘極的電壓變化。因此，根據電晶體 104 的閘極的電壓而電晶體 104 的通道電阻的值變化，當電晶體 104 成為導通狀態時，諧振頻率變化。

之後，藉由由天線 101 接收電波，當損壞元件的程度的電壓不被供給時，電容元件 405 的第一電容電極的電壓變化，電晶體 403 成為截止狀態，電晶體 104 的閘極的電壓也變化為通常的值。此時，藉由用作負載的電子元件 404，電晶體 104 的閘極的電壓重設到基準值。

以上是圖 5A 所示的半導體裝置的工作例子的說明。

如參照圖 5A 和圖 5B 說明那樣，在本實施方式中的

半導體裝置的一個例子中，藉由控制控制電晶體的導通狀態或截止狀態，來控制是否被動元件構成諧振電路，可以適當地改變半導體裝置的諧振頻率。因此，例如當製造半導體裝置時，即使半導體裝置的諧振頻率變化，也可以將諧振頻率調整為所希望的值。

再者，在本實施方式中的半導體裝置的一個例子中，只要使用截止電流低的電晶體來構成儲存電路且對該儲存電路寫入資料，可以根據儲存在儲存電路中的資料設定控制電晶體的閘極的電壓。另外，也可以容易改寫儲存電路的資料。在使用上述截止電流低的電晶體來構成的儲存電路中，所保持的資料（電壓）半永久地不變動。就是說，使用上述截止電流低的電晶體來構成的儲存電路的洩漏電流少，不容易劣化，由此即使不供應電源也可以長期間保持資料。因此，可以減少再次設定控制電晶體的閘極的電壓的次數，從而容易設定半導體裝置的諧振頻率。另外，可以降低半導體裝置的耗電量。

另外，在本實施方式中的半導體裝置的一個例子中，可以利用電容元件，當成為損壞元件的程度的電壓被施加的狀態時改變諧振頻率，然後，當變化為不損壞元件的程度的電壓被施加的狀態時將諧振頻率恢復到預先設定的值。由此，可以使包括被動元件及控制電晶體的電路用作保護電路，從而可以提高半導體裝置的可靠性。

實施方式 5

在本實施方式中，對能夠應用於上述實施方式所示的半導體裝置的電晶體的包括氧化物半導體層的電晶體的例子進行說明。

參照圖 6A 至圖 6D 對上述包括氧化物半導體層的電晶體的結構例子進行說明。圖 6A 至圖 6D 是示出本實施方式中的電晶體的結構例子的剖面示意圖。

圖 6A 所示的電晶體包括導電層 601_A、絕緣層 602_A、半導體層 603_A、導電層 605a_A、導電層 605b_A、絕緣層 606_A 以及導電層 608_A。

導電層 601_A 設置在被元件形成層 600_A 上。

絕緣層 602_A 設置在導電層 601_A 上。

半導體層 603_A 隔著絕緣層 602_A 與導電層 601_A 重疊。

導電層 605a_A 及導電層 605b_A 都設置在半導體層 603_A 上，並與半導體層 603_A 電連接。

絕緣層 606_A 設置在半導體層 603_A、導電層 605a_A 以及導電層 605b_A 上。

導電層 608_A 隔著絕緣層 606_A 與半導體層 603_A 重疊。

另外，也不一定必須要設置導電層 601_A 和導電層 608_A 中的一方。此外，當不設置導電層 608_A 時，也可以不設置絕緣層 606_A。

圖 6B 所示的電晶體包括導電層 601_B、絕緣層 602_B、半導體層 603_B、導電層 605a_B、導電層

605b_B、絕緣層 606_B 以及導電層 608_B。

導電層 601_B 設置在被元件形成層 600_B 上。

絕緣層 602_B 設置在導電層 601_B 上。

導電層 605a_B 及導電層 605b_B 都設置在絕緣層 602_B 的一部分上。

半導體層 603_B 設置在導電層 605a_B 及導電層 605b_B 上，並與導電層 605a_B 及導電層 605b_B 電連接。另外，半導體層 603_B 隔著絕緣層 602_B 與導電層 601_B 重疊。

絕緣層 606_B 設置在半導體層 603_B、導電層 605a_B 以及導電層 605b_B 上。

導電層 608_B 隔著絕緣層 606_B 與半導體層 603_B 重疊。

另外，也不一定必須要設置導電層 601_B 和導電層 608_B 中的一方。當不設置導電層 608_B 時，也可以不設置絕緣層 606_B。

圖 6C 所示的電晶體包括導電層 601_C、絕緣層 602_C、半導體層 603_C、導電層 605a_C 以及導電層 605b_C。

半導體層 603_C 包括區域 604a_C 及區域 604b_C。區域 604a_C 及區域 604b_C 是彼此分開且分別添加有摻雜劑的區域。另外，區域 604a_C 及區域 604b_C 之間的區域成為通道形成區。半導體層 603_C 設置在被元件形成層 600_C 上。

導電層 605a_C 及導電層 605b_C 設置在半導體層 603_C 上，並與半導體層 603_C 電連接。另外，導電層 605a_C 及導電層 605b_C 的側面為錐形。

另外，導電層 605a_C 與區域 604a_C 的一部分重疊，但是不侷限於此。藉由將導電層 605a_C 與區域 604a_C 的一部分重疊，可以降低導電層 605a_C 和區域 604a_C 之間的電阻值。此外，與導電層 605a_C 重疊的半導體層 603_C 的所有區域也可以都是區域 604a_C。

另外，導電層 605b_C 與區域 604b_C 的一部分重疊，但是不侷限於此。藉由將導電層 605b_C 與區域 604b_C 的一部分重疊，可以降低導電層 605b_C 和區域 604b_C 之間的電阻值。另外，與導電層 605b_C 重疊的半導體層 603_C 的所有區域也可以都是區域 604b_C。

絕緣層 602_C 設置在半導體層 603_C、導電層 605a_C 以及導電層 605b_C 上。

導電層 601_C 隔著絕緣層 602_C 與半導體層 603_C 重疊。隔著絕緣層 602_C 與導電層 601_C 重疊的半導體層 603_C 的區域成為通道形成區。

另外，圖 6D 所示的電晶體包括導電層 601_D、絕緣層 602_D、半導體層 603_D、導電層 605a_D 以及導電層 605b_D。

導電層 605a_D 及導電層 605b_D 設置在被元件形成層 600_D 上。另外，導電層 605a_D 及導電層 605b_D 的側面為錐形。

半導體層 603_D 包括區域 604a_D 及區域 604b_D。區域 604a_D 及區域 604b_D 是彼此分開且分別添加有摻雜劑的區域。另外，區域 604a_D 和區域 604b_D 之間的區域成為通道形成區。半導體層 603_D 例如設置在導電層 605a_D、導電層 605b_D 以及被元件形成層 600_D 上，並與導電層 605a_D 及導電層 605b_D 電連接。

區域 604a_D 與導電層 605a_D 電連接。

區域 604b_D 與導電層 605b_D 電連接。

絕緣層 602_D 設置在半導體層 603_D 上。

導電層 601_D 隔著絕緣層 602_D 與半導體層 603_D 重疊。隔著絕緣層 602_D 與導電層 601_D 重疊的半導體層 603_D 的區域成為通道形成區。

再者，對圖 6A 至圖 6D 所示的各構成要素進行說明。

作為被元件形成層 600_A 至被元件形成層 600_D，例如可以使用絕緣層、或者具有絕緣表面的基板等。另外，也可以作為被元件形成層 600_A 至被元件形成層 600_D 使用預先形成有元件的層。

導電層 601_A 至導電層 601_D 的每一個具有電晶體的閘極的功能。另外，也將具有電晶體的閘極的功能的層稱為閘極電極或閘極佈線。

作為導電層 601_A 至導電層 601_D，例如，可以使用鋁、鎂、鈦、鉻、鉭、鎢、鋇、銅、鈳或鈳等的金屬材料或以這些材料為主要成分的合金材料的層。另外，也可以

藉由層疊能夠應用於導電層 601_A 至導電層 601_D 的材料的層來構成導電層 601_A 至導電層 601_D。

絕緣層 602_A 至絕緣層 602_D 的每一個具有電晶體的閘極絕緣層的功能。

作為絕緣層 602_A 至絕緣層 602_D，例如可以使用氧化矽層、氮化矽層、氧氮化矽層、氮氧化矽層、氧化鋁層、氮化鋁層、氧氮化鋁層、氮氧化鋁層或氧化鉛層。另外，也可以藉由層疊能夠應用於絕緣層 602_A 至絕緣層 602_D 的材料的層來構成絕緣層 602_A 至絕緣層 602_D。

另外，作為絕緣層 602_A 至絕緣層 602_D，例如可以使用包含元素週期表中第 13 族元素及氧元素的材料絕緣層。例如，當半導體層 603_A 至半導體層 603_D 包含第 13 元素時，藉由作為與半導體層 603_A 至半導體層 603_D 接觸的絕緣層使用包含第 13 元素的絕緣層，可以使該絕緣層與氧化物半導體層之間的介面保持良好狀態。

作為包含第 13 族元素及氧元素的材料，例如可以舉出氧化鎵、氧化鋁、氧化鋁鎵、氧化鎵鋁等。另外，氧化鋁鎵是指含鋁量 (at.%) 多於含鎵量 (at.%) 的物質，氧化鎵鋁是指含鎵量 (at.%) 等於或多於含鋁量 (at.%) 的物質。例如，也可以使用以 Al_2O_x ($x = 3 + \alpha$, α 是大於 0 且小於 1 的值)， Ga_2O_x ($x = 3 + \alpha$, α 是大於 0 且小於 1 的值)，或者 $\text{Ga}_x\text{Al}_{2-x}\text{O}_{3+\alpha}$ (x 是大於 0 且小於 2 的值， α 是大於 0 且小於 1 的值) 表示的材料。

另外，也可以藉由層疊能夠應用於絕緣層 602_A 至絕

緣層 602_D 的材料的層來構成絕緣層 602_A 至絕緣層 602_D。例如，也可以藉由層疊多個包含以 Ga_2O_x 表示的氧化鎵的層來構成絕緣層 602_A 至絕緣層 602_D。另外，也可以藉由層疊包含以 Ga_2O_x 表示的氧化鎵的絕緣層及包含以 Al_2O_x 表示的氧化鋁的絕緣層，來構成絕緣層 602_A 至絕緣層 602_D。

半導體層 603_A 至半導體層 603_D 的每一個具有電晶體的通道形成的層的功能。作為用於半導體層 603_A 至半導體層 603_D 的氧化物半導體，較佳至少包含銦 (In) 或鋅 (Zn)。尤其是較佳為包含 In 及 Zn。另外，較佳的是，作為用來減少使用所述氧化物半導體的電晶體的電特性不均勻的穩定劑，除了上述元素以外，還包含鎵 (Ga)。另外，作為穩定劑，較佳為包含錫 (Sn)。另外，作為穩定劑，較佳為包含鈦 (Hf)。另外，作為穩定劑，較佳為包含鋁 (Al)。

另外，作為其他穩定劑，也可以包含鑰系元素的鑰 (La)、鈰 (Ce)、鐑 (Pr)、釹 (Nd)、釷 (Sm)、鈾 (Eu)、釷 (Gd)、錒 (Tb)、鐳 (Dy)、釹 (Ho)、鉕 (Er)、銩 (Tm)、鐳 (Yb) 以及鑰 (Lu) 中的任何一種或多種。

例如，作為氧化物半導體，可以使用如下材料：氧化銦；氧化錫；氧化鋅；二元類金屬氧化物諸如 In-Zn 類氧化物、Sn-Zn 類氧化物、Al-Zn 類氧化物、Zn-Mg 類氧化物、Sn-Mg 類氧化物、In-Mg 類氧化物、In-Ga 類氧化

物；三元類金屬氧化物諸如 In-Ga-Zn 類氧化物（也表示為 IGZO）、In-Al-Zn 類氧化物、In-Sn-Zn 類氧化物、Sn-Ga-Zn 類氧化物、Al-Ga-Zn 類氧化物、Sn-Al-Zn 類氧化物、In-Hf-Zn 類氧化物、In-La-Zn 類氧化物、In-Ce-Zn 類氧化物、In-Pr-Zn 類氧化物、In-Nd-Zn 類氧化物、In-Sm-Zn 類氧化物、In-Eu-Zn 類氧化物、In-Gd-Zn 類氧化物、In-Tb-Zn 類氧化物、In-Dy-Zn 類氧化物、In-Ho-Zn 類氧化物、In-Er-Zn 類氧化物、In-Tm-Zn 類氧化物、In-Yb-Zn 類氧化物、In-Lu-Zn 類氧化物；或者四元類金屬氧化物諸如 In-Sn-Ga-Zn 類氧化物、In-Hf-Ga-Zn 類氧化物、In-Al-Ga-Zn 類氧化物、In-Sn-Al-Zn 類氧化物、In-Sn-Hf-Zn 類氧化物、In-Hf-Al-Zn 類氧化物。

在此，例如，“In-Ga-Zn 類氧化物”是指以 In、Ga 以及 Zn 為主要成分的氧化物，對 In、Ga 以及 Zn 的比率沒有限制。此外，也可以包含 In、Ga 及 Zn 以外的金屬元素。

另外，作為氧化物半導體，也可以使用以 $\text{InMO}_3(\text{ZnO})_m$ （ $m>0$ ，且 m 不是整數）表示的材料。此外，M 表示選自 Ga、Fe、Mn 及 Co 中的一種金屬元素或多種金屬元素。另外，作為氧化物半導體，也可以使用以 $\text{In}_3\text{SnO}_5(\text{ZnO})_n$ （ $n>0$ ，且 n 是整數）表示的材料。

另外，可以使用其原子數比為 In:Ga:Zn=1:1:1（ $=1/3:1/3:1/3$ ）或 In:Ga:Zn=2:2:1（ $=2/5:2/5:1/5$ ）的 In-Ga-Zn 類氧化物或其組成附近的氧化物。或者，較佳為使

用其原子數比爲 $\text{In:Sn:Zn}=1:1:1$ ($=1/3:1/3:1/3$)、 $\text{In:Sn:Zn}=2:1:3$ ($=1/3:1/6:1/2$)或 $\text{In:Sn:Zn}=2:1:5$ ($=1/4:1/8:5/8$) 的 In-Sn-Zn 類氧化物或其組成附近的氧化物。

但是，本發明不侷限於此，可以根據所需要的半導體特性（遷移率、閾值、不均勻性等）而使用適當的組成的氧化物。另外，較佳爲採用適當的載子濃度、雜質濃度、缺陷密度、金屬元素及氧的原子數比、原子間結合距離以及密度等，以得到所需要的半導體特性。

例如， In-Sn-Zn 類氧化物比較容易得到高遷移率。但是，即使使用 In-Ga-Zn 類氧化物，也可以藉由降低塊體內缺陷密度而提高遷移率。

另外， In 、 Ga 、 Zn 的原子數比爲 $\text{In:Ga:Zn}=a:b:c$ ($a+b+c=1$) 的氧化物的組成在原子數比爲 $\text{In:Ga:Zn}=A:B:C$ ($A+B+C=1$) 的氧化物的組成的附近是指 a 、 b 、 c 滿足 $(a-A)^2+(b-B)^2+(c-C)^2 \leq r^2$ 的關係。作爲 r ，例如可以將其設定爲 0.05。其他氧化物也是同樣的。

氧化物半導體既可爲單晶，又可爲非單晶。在氧化物半導體爲非單晶的情況下，既可爲非晶，又可爲多晶。另外，既可爲在非晶中包含具有結晶性的部分的結構，又可爲不是非晶的結構。

因爲處於非晶狀態的氧化物半導體比較容易得到平坦的表面，所以可以使用該氧化物半導體降低在製造電晶體時的介面散亂，而可以比較容易得到比較高的遷移率。

另外，具有結晶性的氧化物半導體可以進一步降低塊

體內缺陷，藉由提高表面的平坦性，可以得到處於非晶狀態的氧化物半導體的遷移率以上的遷移率。爲了提高表面的平坦性，較佳在平坦的表面上形成氧化物半導體。明確地說，較佳的是，在平均面粗糙度（Ra）爲 1nm 以下，較佳爲 0.3nm 以下，更佳爲 0.1nm 以下的表面上形成氧化物半導體。

注意，Ra 是將 JIS B0601 中定義的中心線平均粗糙度擴大爲三維以使其能夠應用於面，可以將它表示爲“將從基準面到指定面的偏差的絕對值平均而得的值”，以如下算式定義。

[算式 2]

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy$$

注意，在算式中， S_0 表示測量面（用座標（ x_1 ， y_1 ）（ x_1 ， y_2 ）（ x_2 ， y_1 ）（ x_2 ， y_2 ）表示的 4 點所圍繞的長方形的區域）的面積， Z_0 表示測量面的平均高度。可以利用原子力顯微鏡（AFM：Atomic Force Microscope）評價 Ra。注意，測量面是由所有測量資料表示的面，由三個參數（ x ， y ， z ）構成，並由 $z=f(x, y)$ 表示。

在此，說明包含一種結晶（CAAC：也稱爲 C Axis Aligned Crystal：c 軸配向結晶）的氧化物，該結晶進行 c 軸配向，並且在從 ab 面、表面或介面的方向看時具有三角形狀或六角形狀的原子排列，在 c 軸上金屬原子排列爲

層狀或者金屬原子和氧原子排列為層狀，而在 ab 面上 a 軸或 b 軸的方向不同（即，以 c 軸為中心回轉）。

從廣義來理解，含有 CAAC 的氧化物是指非單晶並包括如下相的氧化物，在該相中在從垂直於 ab 面的方向看時具有三角形狀、六角形狀、正三角形狀或正六角形狀的原子排列，並且在從垂直於 c 軸方向的方向看時金屬原子排列為層狀或者金屬原子和氧原子排列為層狀。

雖然包含 CAAC 的氧化物不是單晶，但是也不只由非晶形成。此外，雖然包含 CAAC 的氧化物包括晶化部分（結晶部分），但是有時不能明確辨別一個結晶部分與其他結晶部分的邊界。

也可以用氮取代構成包含 CAAC 的氧化物的氧的一部分。此外，構成包含 CAAC 的氧化物的各結晶部分的 c 軸也可以在一定方向上一致（例如，垂直於形成包含 CAAC 的氧化物的基板面或包含 CAAC 的氧化物的表面等的方向）。或者，構成包含 CAAC 的氧化物的各結晶部分的 ab 面的法線也可以朝向一定方向（例如，垂直於形成包含 CAAC 的氧化物的基板面或包含 CAAC 的氧化物的表面等的方向）。

包含 CAAC 的氧化物根據其組成等而成為導體、半導體或絕緣體。此外，包含 CAAC 的氧化物根據其組成等而對可見光呈現透明性或不透明性。

作為上述包含 CAAC 的氧化物的例子，也可以舉出一種氧化物，該氧化物被形成為膜狀，在從垂直於膜表面或

所支撐的基板面的方向觀察時確認到三角形或六角形的原子排列，並且在觀察其膜剖面時確認到金屬原子或金屬原子及氧原子（或氮原子）的層狀排列。

以下，參照圖 10A 至圖 12C 詳細說明含在包含 CAAC 的氧化物中的結晶結構的一個例子。另外，在沒有特別的說明時，在圖 10A 至圖 12C 中，以上方向為 c 軸方向，並以與 c 軸方向正交的面為 ab 面。另外，在只說“上一半”或“下一半”時，其是指以 ab 面為邊界時的上一半或下一半。

圖 10A 示出具有有一個六配位 In 以及靠近 In 的六個四配位氧原子（以下稱為四配位 O）的結構。這裏，將對於一個金屬原子只示出靠近其的氧原子的結構稱為小組。雖然圖 10A 所示的結構採用八面體結構，但是為了容易理解示出平面結構。另外，在圖 10A 的上一半及下一半中分別具有三個四配位 O。圖 10A 所示的小組的電荷為 0。

圖 10B 示出具有有一個五配位 Ga、靠近 Ga 的三個三配位氧原子（以下稱為三配位 O）以及靠近 Ga 的兩個四配位 O 的結構。三配位 O 都存在於 ab 面上。在圖 10B 的上一半及下一半分別具有有一個四配位 O。另外，因為 In 也具有五配位，所以可以採用圖 10B 所示的結構。圖 10B 所示的小組的電荷為 0。

圖 10C 示出具有有一個四配位 Zn 以及靠近 Zn 的四個四配位 O 的結構。在圖 10C 的上一半具有有一個四配位 O，並且在下一半具有有三個四配位 O。或者，也可以在圖

10C 的上一半具有三個四配位 O，並且在下一半具有一個四配位 O。圖 10C 所示的小組的電荷為 0。

圖 10D 示出具有有一個六配位 Sn 以及靠近 Sn 的六個四配位 O 的結構。在圖 10D 的上一半具有三個四配位 O，並且在下一半具有三個四配位 O。圖 10D 所示的小組的電荷為 +1。

圖 10E 示出包括兩個 Zn 的小組。在圖 10E 的上一半具有一個四配位 O，並且在下一半具有一個四配位 O。圖 10E 所示的小組的電荷為 -1。

在此，將多個小組的集合體稱為中組，而將多個中組的集合體稱為大組（也稱為單元元件）。

這裏，說明這些小組彼此接合的規則。圖 10A 所示的六配位 In 的上一半的三個 O 在下方向上分別具有三個靠近的 In，而 In 的下一半的三個 O 在上方向上分別具有三個靠近的 In。圖 10B 所示的五配位 Ga 的上一半的一個 O 在下方向上具有一個靠近的 Ga，而 Ga 的下一半的一個 O 在上方向上具有一個靠近的 Ga。圖 10C 所示的四配位 Zn 的上一半的一個 O 在下方向上具有一個靠近的 Zn，而 Zn 的下一半的三個 O 在上方向上分別具有三個靠近的 Zn。像這樣，金屬原子的上方向上的四配位 O 的個數與位於該 O 的下方向上的靠近的金屬原子的個數相等。與此同樣，金屬原子的下方向的四配位 O 的個數與位於該 O 的上方向上的靠近的金屬原子的個數相等。因為 O 為四配位，所以位於下方向上的靠近的金屬原子的個數和位於上方向上

的靠近的金屬原子的個數的總和成爲 4。因此，在位於一金屬原子的上方向上的四配位 O 的個數和位於另一金屬原子的下方向上的四配位 O 的個數的總和爲 4 時，具有金屬原子的兩種小組可以彼此接合。以下示出其理由。例如，在六配位金屬原子（In 或 Sn）藉由上一半的四配位 O 接合時，因爲四配位 O 的個數爲 3，所以其與五配位金屬原子（Ga 或 In）和四配位金屬原子（Zn）中的任何一個接合。

具有這些配位數的金屬原子在 c 軸方向上藉由四配位 O 接合。此外，除此以外，以使層結構的總和電荷成爲 0 的方式使多個小組接合而構成中組。

圖 11A 示出構成 In-Sn-Zn-O 類層結構的中組的模型圖。圖 11B 示出由三個中組構成的大組。另外，圖 11C 示出從 c 軸方向上觀察圖 11B 的層結構時的原子排列。

在圖 11A 中，爲了容易理解，省略三配位 O，只示出四配位 O 的個數，例如，以③表示 Sn 的上一半及下一半分別具有三個四配位 O。與此同樣，在圖 11A 中，以①表示 In 的上一半及下一半分別具有一個四配位 O。此外，與此同樣，在圖 11A 中示出：下一半具有一個四配位 O 而上一半具有三個四配位 O 的 Zn；以及上一半具有一個四配位 O 而下一半具有三個四配位 O 的 Zn。

在圖 11A 中，構成 In-Sn-Zn-O 類層結構的中組具有如下結構：在從上面按順序說明時，上一半及下一半分別具有三個四配位 O 的 Sn 與上一半及下一半分別具有一個

四配位 O 的 In 接合；該 In 與上一半具有三個四配位 O 的 Zn 接合；藉由該 Zn 的下一半的一個四配位 O 與上一半及下一半分別具有三個四配位 O 的 In 接合；該 In 與上一半具有一個四配位 O 的由兩個 Zn 構成的小組接合；藉由該小組的下一半的一個四配位 O 與上一半及下一半分別具有三個四配位 O 的 Sn 接合。多個上述中組彼此接合而構成大組。

這裏，三配位 O 及四配位 O 的一個接合的電荷分別可以被認為是 -0.667 及 -0.5。例如，In（六配位或五配位）、Zn（四配位）以及 Sn（五配位或六配位）的電荷分別為 +3、+2 以及 +4。因此，包括 Sn 的小組的電荷為 +1。因此，為了形成包括 Sn 的層結構，需要消除電荷 +1 的電荷 -1。作為具有電荷 -1 的結構，可以舉出圖 10E 所示的包括兩個 Zn 的小組。例如，因為如果對於一個包括 Sn 的小組有包括兩個 Zn 的一個小組則電荷被消除，而可以使層結構的總電荷成為 0。

明確而言，藉由反復圖 11B 所示的大組來可以得到 In-Sn-Zn-O 類結晶（ $\text{In}_2\text{SnZn}_3\text{O}_8$ ）。注意，可以得到的 In-Sn-Zn-O 類的層結構可以由組成式 $\text{In}_2\text{SnZn}_2\text{O}_7(\text{ZnO})_m$ （m 是 0 或自然數）表示。另外，當 m 的數量多時，In-Sn-Zn-O 類結晶的結晶性得到提高，所以是較佳的。

此外，除此之外，當使用如下氧化物時也同樣：四元類金屬氧化物的 In-Sn-Ga-Zn 類氧化物；三元類金屬氧化物的 In-Ga-Zn 類氧化物（也寫為 IGZO）、In-Al-Zn 類氧

化物、Sn-Ga-Zn 類氧化物、Al-Ga-Zn 類氧化物、Sn-Al-Zn 類氧化物、In-Hf-Zn 類氧化物、In-La-Zn 類氧化物、In-Ce-Zn 類氧化物、In-Pr-Zn 類氧化物、In-Nd-Zn 類氧化物、In-Sm-Zn 類氧化物、In-Eu-Zn 類氧化物、In-Gd-Zn 類氧化物、In-Tb-Zn 類氧化物、In-Dy-Zn 類氧化物、In-Ho-Zn 類氧化物、In-Er-Zn 類氧化物、In-Tm-Zn 類氧化物、In-Yb-Zn 類氧化物、In-Lu-Zn 類氧化物；二元類金屬氧化物的 In-Zn 類氧化物、Sn-Zn 類氧化物、Al-Zn 類氧化物、Zn-Mg 類氧化物、Sn-Mg 類氧化物、In-Mg 類氧化物、In-Ga 類氧化物；以及一元類金屬氧化物的 In 類氧化物、Sn 類氧化物、Zn 類氧化物等。

例如，圖 12A 示出構成 In-Ga-Zn-O 類的層結構的中組的模型圖。

在圖 12A 中，構成 In-Ga-Zn-O 類層結構的中組具有如下結構：在從上面按順序說明時，上一半及下一半分別有三個四配位 O 的 In 與上一半具有一個四配位 O 的 Zn 接合；藉由該 Zn 的下一半的三個四配位 O 與上一半及下一半分別具有一個四配位 O 的 Ga 接合；藉由該 Ga 的下一半的一個四配位 O 與上一半及下一半分別具有三個四配位 O 的 In 接合。多個上述中組彼此接合而構成大組。

圖 12B 示出由三個中組構成的大組。另外，圖 12C 示出從 c 軸方向觀察到圖 12B 的層結構時的原子排列。

在此，因為 In（六配位或五配位）、Zn（四配位）、Ga（五配位）的電荷分別是 +3、+2、+3，所以包

括 In、Zn 及 Ga 中的任一個的小組的電荷為 0。因此，組合這些小組而成的中組的總電荷一直為 0。

此外，構成 In-Ga-Zn-O 類層結構的中組不侷限於圖 12A 所示的中組，還可以採用組合 In、Ga、Zn 的排列不同的中組而成的大組。

區域 604a_C、區域 604b_C、區域 604a_D 及區域 604b_D 添加有賦予 N 型或 P 型導電型的摻雜劑，並具有電晶體的源極和汲極中的一方的功能。另外，也將具有電晶體的源極的功能的區域稱為源極區，也將具有電晶體的汲極的功能的區域稱為汲極區。

導電層 605a_A 至導電層 605a_D 以及導電層 605b_A 至導電層 605b_D 的每一個具有電晶體的源極或汲極的功能。另外，也將具有電晶體的源極的功能的層稱為源極電極或源極佈線，也將具有電晶體的汲極的功能的層稱為汲極電極或汲極佈線。

作為導電層 605a_A 至導電層 605a_D 以及導電層 605b_A 至導電層 605b_D，例如可以使用鋁、鎂、鉻、銅、鉬、鈦、鉬或鎢等的金屬材料、或者以這些金屬材料為主要成分的合金材料的層。例如，可以藉由使用包含銅、鎂及鋁的合金材料的層，來構成導電層 605a_A 至導電層 605a_D 以及導電層 605b_A 至導電層 605b_D。另外，也可以藉由層疊能夠用於導電層 605a_A 至導電層 605a_D 以及導電層 605b_A 至導電層 605b_D 的材料，來構成導電層 605a_A 至導電層 605a_D 以及導電層 605b_A

至導電層 605b_D。例如，可以藉由層疊包含銅、鎂及鋁的合金材料的層和包含銅的層，來構成導電層 605a_A 至導電層 605a_D 以及導電層 605b_A 至導電層 605b_D。

另外，作為導電層 605a_A 至導電層 605a_D 以及導電層 605b_A 至導電層 605b_D，也可以使用包含導電金屬氧化物的層。作為導電金屬氧化物，例如可以使用氧化銦、氧化錫、氧化鋅、氧化銦氧化錫或氧化銦氧化鋅。此外，能夠應用於導電層 605a_A 至導電層 605a_D 以及導電層 605b_A 至導電層 605b_D 的導電金屬氧化物也可以包含氧化矽。

作為絕緣層 606_A 及絕緣層 606_B，可以使用能夠應用於絕緣層 602_A 至絕緣層 602_D 的材料的層。另外，可以藉由層疊能夠應用於絕緣層 606_A 及絕緣層 606_B 的材料，來構成絕緣層 606_A 及絕緣層 606_B。例如，也可以使用氧化矽層或氧化鋁層等，來構成絕緣層 606_A 及絕緣層 606_B。

導電層 608_A 及導電層 608_B 的每一個具有電晶體的閘極的功能。另外，當電晶體具有包括導電層 601_A 及導電層 608_A 的兩者或導電層 601_B 及導電層 608_B 的兩者的結構時，也將導電層 601_A 和導電層 608_A 中的一方或導電層 601_B 和導電層 608_B 中的一方稱為背閘極、背閘極電極或背閘極佈線。藉由隔著通道形成層設置多個具有閘極的功能的導電層，可以容易控制電晶體的臨界電壓。

作為導電層 608_A 及導電層 608_B，例如可以使用能夠應用於導電層 601_A 至導電層 601_D 的材料的層。另外，可以藉由層疊能夠應用於導電層 608_A 及導電層 608_B 的材料的層來構成導電層 608_A 及導電層 608_B。

另外，本實施方式的電晶體也可以具有如下結構，即在具有通道形成層的功能的氧化物半導體層的一部分上包括絕緣層，以隔著該絕緣層與氧化物半導體層重疊的方式包括具有源極或汲極的功能的導電層的結構。當採用上述結構時，絕緣層具有保護電晶體的通道形成層的層（也稱為通道保護層）的功能。作為具有通道保護層的功能的絕緣層，例如可以使用能夠應用於絕緣層 602_A 至絕緣層 602_D 的材料的層。另外，也可以藉由層疊能夠應用於絕緣層 602_A 至絕緣層 602_D 的材料的層，來構成具有通道保護層的功能的絕緣層。

再者，作為本實施方式的電晶體的製造方法例，參照圖 7A 至圖 7E 對圖 6A 所示的電晶體的製造方法例進行說明。圖 7A 至圖 7E 是用來說明圖 6A 至圖 6D 所示的電晶體的製造方法例的剖面示意圖。

首先，如圖 7A 所示那樣，藉由準備被元件形成層 600_A，在被元件形成層 600_A 上形成第一導電膜，對第一導電膜的一部分進行蝕刻，來形成導電層 601_A。

例如，可以藉由利用濺射法形成能夠應用於導電層 601_A 的材料的膜，來形成第一導電膜。另外，也可以藉由層疊能夠應用於第一導電膜的材料的膜，來形成第一導

電膜。

另外，藉由例如使用氫、水、羥基或氫化物等雜質被去除了的高純度氣體作為濺射氣體，可以降低所形成的膜中的上述雜質濃度。

此外，也可以在利用濺射法來形成膜之前，在濺射裝置的預熱室中進行預熱處理。藉由進行上述預熱處理，可以使氫、水分等雜質脫離。

另外，也可以在利用濺射法來形成膜之前，例如在氬、氮、氦或氧氛圍下進行如下處理，即不對靶材一側施加電壓而使用 RF 電源對基板一側施加電壓來形成電漿，由此對被形成面進行修改的處理（也稱為反濺射）。藉由進行反濺射，可以去除附著於被形成面的粉狀物質（也稱為微粒、塵屑）。

另外，當利用濺射法形成膜時，可以使用吸附型真空泵來去除形成膜的沉積室中的殘留水分。作為吸附型真空泵，例如可以使用低溫泵、離子泵或鈦昇華泵等。此外，也可以使用設置有冷阱的渦輪泵來去除沉積室中的殘留水分。

另外，如上述導電層 601_A 的形成方法，在本實施方式的電晶體的製造方法例中，當對膜的一部分進行蝕刻來形成層時，例如，可以藉由利用光刻製程來在膜的一部分上形成抗蝕劑掩模，而使用抗蝕劑掩模對膜進行蝕刻，來形成層。注意，此時，較佳在形成層之後去除抗蝕劑掩模。

另外，也可以利用噴墨法形成抗蝕劑掩模。藉由利用噴墨法，不需要光掩模，因此可以降低製造成本。此外，也可以使用具有透過率不同的多個區域的曝光掩模（也稱為多色調掩模）來形成抗蝕劑掩模。藉由使用多色調掩模，可以形成具有不同厚度的區域的抗蝕劑掩模，可以減少用於電晶體的製造的抗蝕劑掩模的個數。

接著，如圖 7B 所示那樣，藉由在導電層 601_A 上形成第一絕緣膜，來形成絕緣層 602_A。

例如，可以藉由利用濺射法或電漿 CVD 法等形成能夠應用於絕緣層 602_A 的材料的膜，來形成第一絕緣膜。另外，也可以藉由層疊能夠應用於絕緣層 602_A 的材料的膜，來形成第一絕緣膜。另外，藉由利用高密度電漿 CVD 法（例如，使用微波（例如，頻率為 2.45GHz 的微波）的高密度電漿 CVD 法）形成能夠應用於絕緣層 602_A 的材料的膜，可以將絕緣層 602_A 形成得緻密，可以提高絕緣層 602_A 的絕緣耐壓。

接著，如圖 7C 所示那樣，藉由在絕緣層 602_A 上形成氧化物半導體膜，之後對氧化物半導體膜的一部分進行蝕刻，來形成半導體層 603_A。

例如，藉由利用濺射法形成能夠應用於半導體層 603_A 的氧化物半導體材料的膜，來形成氧化物半導體膜。另外，也可以在稀有氣體氛圍下、氧氛圍下或稀有氣體和氧的混合氛圍下形成氧化物半導體膜。

另外，也可以作為濺射靶材使用具有 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:$

$\text{ZnO}=1:1:1$ [莫耳比]的組成比的氧化物靶材，來形成氧化物半導體膜。此外，例如也可以使用具有 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:2$ [莫耳比]的組成比的氧化物靶材，來形成氧化物半導體膜。

另外，也可以作為濺射靶材使用 $\text{In}:\text{Sn}:\text{Zn}$ 的原子數比為 $1:2:2$ 、 $2:1:3$ 、 $1:1:1$ 或 $20:45:35$ 等的 In-Sn-Zn 類氧化物靶材。

接著，如圖 7D 所示那樣，藉由在絕緣層 602_A 及半導體層 603_A 上形成第二導電膜，對第二導電膜的一部分進行蝕刻，來形成導電層 605a_A 及導電層 605b_A。

例如，可以藉由利用濺射法等形成能夠應用於導電層 605a_A 及導電層 605b_A 的材料的膜，來形成第二導電膜。另外，也可以藉由層疊能夠應用於導電層 605a_A 及導電層 605b_A 的材料的膜，來形成第二導電膜。

接著，如圖 7E 所示那樣，以與半導體層 603_A 接觸的方式形成絕緣層 606_A。

例如，可以藉由在稀有氣體（典型為氬）氛圍下、氧氛圍下或稀有氣體和氧的混合氛圍下，利用濺射法形成能夠應用於絕緣層 606_A 的膜，來形成絕緣層 606_A。藉由利用濺射法形成絕緣層 606_A，可以抑制具有電晶體的背通道的功能的半導體層 603_A 的部分的電阻值的降低。另外，形成絕緣層 606_A 時的基板溫度較佳為室溫以上且 300°C 以下。

另外，也可以在形成絕緣層 606_A 之前進行使用

N_2O 、 N_2 或 Ar 等氣體的電漿處理，來去除附著到露出的半導體層 603_A 的表面的吸附水等。在進行電漿處理的情況下，較佳之後以不接觸大氣的方式形成絕緣層 606_A。

再者，在圖 6A 所示的電晶體的製造方法的一個例子中，例如在 600°C 以上且 750°C 以下或 600°C 以上且低於基板的應變點的溫度下進行加熱處理。例如，在形成氧化物半導體膜之後，在對氧化物半導體膜的一部分進行蝕刻之後，在形成第二導電膜之後，在對第二導電膜的一部分進行蝕刻之後，或者在形成絕緣層 606_A 之後，進行上述加熱處理。

另外，作為進行上述加熱處理的加熱處理裝置，可以使用電爐、或者利用來自電阻發熱體等發熱體的熱傳導或熱輻射加熱被處理物的裝置，例如可以使用 GRTA (Gas Rapid Thermal Anneal: 氣體快速熱退火) 裝置或 LRTA (Lamp Rapid Thermal Anneal: 燈快速熱退火) 裝置等的 RTA (Rapid Thermal Anneal: 快速熱退火) 裝置。LRTA 裝置是利用從例如燈如鹵素燈、金鹵燈、氙弧燈、碳弧燈、高壓鈉燈或高壓汞燈等發射的光 (電磁波) 的輻射加熱被處理物的裝置。另外，GRTA 裝置是指使用高溫氣體進行加熱處理的裝置。作為高溫的氣體，例如可以使用稀有氣體、或者即使進行加熱處理也不與被處理物產生反應的惰性氣體 (例如氮)。

另外，也可以在進行上述加熱處理之後，對與進行該加熱處理的爐相同的爐中引入高純度的氧氣、高純度的

N_2O 氣或超乾燥空氣（露點為 -40°C 以下，較佳為 -60°C 以下的氛圍）。此時，較佳氧氣或 N_2O 氣不包含水、氫等。此外，較佳將引入到加熱處理裝置中的氧氣或 N_2O 氣的純度設定為 6N 以上，較佳為設定為 7N 以上，即，將氧氣或 N_2O 氣中的雜質濃度設定為 1ppm 以下，較佳為設定為 0.1ppm 以下。藉由利用氧氣或 N_2O 氣的作用，氧供給到半導體層 603_A 中，而可以降低起因於半導體層 603_A 中的氧缺乏的缺陷。

再者，除了上述加熱處理之外，也可以在形成絕緣層 606_A 之後，在惰性氣體氛圍下或氧氣氛圍下進行加熱處理（較佳在 200°C 以上且 600°C 以下，例如 250°C 以上且 350°C 以下）。

另外，也可以在形成絕緣層 602_A 之後，在形成氧化物半導體膜之後，在形成用作源極電極或汲極電極的導電層之後，在形成用作源極電極或汲極電極的導電層上的絕緣層之後，或者在進行加熱處理之後，進行使用氧電漿的氧摻雜處理。例如，也可以使用 2.45GHz 的高密度電漿進行氧摻雜處理。另外，也可以使用離子植入法或離子摻雜進行氧摻雜處理。藉由進行氧摻雜處理，可以降低所製造的電晶體的電特性的不均勻性。例如，進行氧摻雜處理，使絕緣層 602_A 和絕緣層 606_A 中的一者或兩者成為其氧含量超過化學計量組成的狀態。由此，絕緣層中的過剩的氧容易供給到半導體層 603_A。由此，因為可以降低半導體層 603_A 中或者絕緣層 602_A 和絕緣層 606_A 中的

一者或兩者與半導體層 603_A 之間的介面的氧缺陷，可以進一步降低半導體層 603_A 的載子濃度。

例如，當作爲絕緣層 602_A 和絕緣層 606_A 中的一者或兩者形成包含氧化鎵的絕緣層時，可以對該絕緣層供給氧而將氧化鎵的組成設定爲 Ga_2O_x 。

另外，當作爲絕緣層 602_A 和絕緣層 606_A 中的一者或兩者形成包含氧化鋁的絕緣層時，可以對該絕緣層供給氧而將氧化鋁的組成設定爲 Al_2O_x 。

另外，當作爲絕緣層 602_A 和絕緣層 606_A 中的一者或兩者形成包含氧化鎵鋁或氧化鋁鎵的絕緣層時，可以對該絕緣層供給氧而將氧化鎵鋁或氧化鋁鎵的組成設定爲 $\text{Ga}_x\text{Al}_{2-x}\text{O}_{3+\alpha}$ 。

藉由上述製程，藉由從半導體層 603_A 排除氫、水、羥基或氫化物（也稱爲氫化合物）等雜質，且對半導體層 603_A 供給氧，可以使氧化物半導體層高純度化。

再者，如圖 7E 所示那樣，藉由在絕緣層 606_A 上形成第三導電膜，對第三導電膜的一部分進行蝕刻，來形成導電層 608_A。

例如，可以藉由利用濺射法形成能夠應用於導電層 608_A 的材料的膜，來形成第三導電膜。另外，也可以藉由層疊能夠應用於第三導電膜的材料的膜，來形成第三導電膜。

注意，以上示出圖 6A 所示的電晶體的製造方法例，但是不侷限於此，例如圖 6B 至圖 6D 所示的各構成要素

中，只要其名稱與圖 6A 所示的各構成要素相同，且其功能的至少一部分與圖 6A 所示的各構成要素相同，可以適當地援用圖 6A 所示的電晶體的製造方法例的說明。

另外，如圖 6C 及圖 6D 所示那樣，當形成區域 604a_C 及區域 604a_D 或區域 604b_C 及區域 604b_D 時，藉由隔著具有閘極的功能的絕緣層從形成具有閘極的功能的導電層的一側對半導體層添加摻雜劑，以自對準的方式形成區域 604a_C 及區域 604a_D 和區域 604b_C 及區域 604b_D。

例如，可以藉由使用離子摻雜裝置或離子植入裝置來添加摻雜劑。

作為所添加的摻雜劑，例如可以使用元素週期表中第 13 族的元素（例如硼等）、元素週期表中第 15 族的元素（例如氮、磷及砷中的一種或多種）和稀有氣體元素（例如，氦、氬及氙中的一種或多種）中的一種或多種。

如參照圖 6A 至圖 7E 說明那樣，本實施方式中的電晶體的一個例子包括：具有閘極的功能的導電層；具有閘極絕緣層的功能的絕緣層；隔著具有閘極絕緣層的功能的絕緣層與具有閘極的功能的導電層重疊，形成通道的氧化物半導體層；與氧化物半導體層電連接，具有源極和汲極中的一方的功能的導電層；以及與氧化物半導體層電連接，具有源極和汲極中的另一方的功能的導電層。

上述形成通道的氧化物半導體層是藉由高純度化而成爲 I 型或實質上 I 型的氧化物半導體層。藉由使氧化物半

導體層高純度化，可以將氧化物半導體層的載子濃度設定為低於 $1 \times 10^{14} \text{cm}^3$ ，較佳為低於 $1 \times 10^{12} \text{cm}^3$ ，更佳為低於 $1 \times 10^{11} \text{cm}^3$ 。另外，藉由採用上述結構，可以將每通道寬度 $1 \mu\text{m}$ 的截止電流設定為 10aA ($1 \times 10^{-17} \text{A}$) 以下，甚至為 1aA ($1 \times 10^{-18} \text{A}$) 以下，更甚至為 10zA ($1 \times 10^{-20} \text{A}$) 以下，更甚至為 1zA ($1 \times 10^{-21} \text{A}$) 以下，更甚至為 100yA ($1 \times 10^{-22} \text{A}$) 以下。電晶體的截止電流越低越好，本實施方式的電晶體的截止電流的下限值被估計為 $10^{-30} \text{A}/\mu\text{m}$ 左右。

例如，藉由將包括本實施方式的氧化物半導體層的電晶體用於上述實施方式的半導體裝置中的儲存電路的電晶體，可以構成不容易劣化的儲存電路，另外，可以延長儲存電路的資料的保持期間。

實施方式 6

在本實施方式中，對 RFID 等能夠藉由無線通信進行資料通信的半導體裝置的例子進行說明。

下面，參照圖 8 對本實施方式中的半導體裝置的結構例子進行說明。圖 8 是示出本實施方式中的半導體裝置的結構例子的方塊圖。

圖 8 所示的半導體裝置包括：天線 711；電容元件 712、被動元件 713；電晶體 714；儲存電路 715；整流電路 716；電源電路（也稱為 PWRG）717；解調變電路（也稱為 DMOD）718；儲存控制電路（也稱為 MCTL）719；

儲存體（也稱為 MEM）720；編碼電路（也稱為 ECOD）721；以及調變電路（也稱為 MOD）722。在圖 8 所示的半導體裝置中，藉由天線 711 與無線通信裝置（讀出器/寫入器或詢問器等能夠藉由無線進行通信的裝置）等外部的電路進行無線信號的發送和接收。

天線 711 具有發送和接收載波的功能。作為天線 711，例如可以應用圖 1A 所示的天線 101，並可以使用具有線圈的功能的天線。

載波是也被稱為 *carrier* 的交流信號，使用該載波進行電源電壓的供給或資料信號的交換。另外，從外部發送到天線 711 的載波也包括被調變的載波（調變波）。

電容元件 712 以並聯連接的方式與天線 711 電連接。另外，也可以在電容元件 712 的第一電容電極和第二電容電極中的一者或兩者與天線 711 之間設置電晶體等切換元件。

被動元件 713 藉由以並聯連接的方式與天線 711 電連接，用作諧振電路的一部分。作為被動元件 713，例如可以使用能夠應用於圖 1A 所示的被動元件 103 的被動元件。

電晶體 714 具有控制是否以並聯連接的方式將被動元件 713 與天線 711 電連接的功能。例如，電晶體 714 的源極和汲極中的一方藉由被動元件 713 及天線 711 與電晶體 714 的源極和汲極中的另一方電連接。作為電晶體 714，可以使用能夠應用於圖 1A 所示的電晶體 104 的電晶體。

儲存電路 715 具有保持電晶體 714 的閘極的電壓的功能。

作為儲存電路 715，例如可以使用具有能夠應用於上述實施方式所示的半導體裝置中的儲存電路 105 的結構的儲存電路。

整流電路 716 具有對藉由由天線 711 接收電波來生成的電壓進行整流的功能。

電源電路 717 具有從由整流電路 716 進行整流的電壓生成電源電壓的功能。所生成的電源電壓如圖 8 中的虛線所示那樣供給到解調變電路 718、儲存控制電路 719、儲存體 720、編碼電路 721 以及調變電路 722 的各功能電路。解調變電路 718、儲存控制電路 719、儲存體 720、編碼電路 721 以及調變電路 722 都藉由被供給電源來工作。

解調變電路 718 具有解調由天線 711 接收的載波且提取資料信號的功能。

儲存控制電路 719 具有基於被解調的資料信號而生成寫入控制信號、讀出控制信號以及位址信號等存取信號。

在儲存體 720 中儲存資料。作為儲存體 720，例如可以使用 ROM（Read Only Memory：唯讀儲存體）和 RAM（Random Access Memory：隨機存取儲存體）中的一個或多個。

編碼電路 721 具有對從儲存體 720 讀出的資料信號進行編碼的功能。

調變電路 722 具有調變被編碼的資料信號而生成用來作為載波從天線 711 發送的資料信號的功能。

接著，對圖 8 所示的半導體裝置的工作例子進行說明。

當天線 711 接收載波時，根據所接收的載波生成電壓。

在天線 711 中生成的電壓輸入到電源電路 717 及解調變電路 718。

電源電路 717 基於在天線 711 中生成的電壓而生成電源電壓，將所生成的電源電壓輸出到解調變電路 718、儲存控制電路 719、儲存體 720、編碼電路 721 以及調變電路 722。

另外，解調變電路 718 解調從天線 711 輸入的電壓的信號，提取資料信號，且將所提取的資料信號輸出到儲存控制電路 719。

儲存控制電路 719 根據資料信號生成存取信號。另外，儲存控制電路 719 將資料信號及控制信號輸出到儲存電路 715。

再者，儲存體 720 根據存取信號進行資料的寫入或資料的讀出。

另外，根據資料信號及控制信號，對儲存電路 715 進行資料的寫入。此外，不侷限於此，例如也可以當製造半導體裝置時等，對儲存電路 715 輸入控制信號及資料信號而對儲存電路 715 寫入資料。

再者，藉由編碼電路 721 對從儲存體 720 讀出的資料信號進行編碼。

並且，根據被編碼的資料信號，調變電路 722 調變從天線 711 發送的載波。

以上是圖 8 所示的半導體裝置的工作例子的說明。

如參照圖 8 說明那樣，本實施方式的半導體裝置是能夠藉由無線進行資料的發送和接收的半導體裝置。

另外，在本實施方式中的半導體裝置的一個例子中，藉由控制控制電晶體的導通狀態或截止狀態，來控制是否被動元件與其他元件一起構成諧振電路，可以適當地改變半導體裝置的諧振頻率。

再者，在本實施方式中的半導體裝置的一個例子中，只要使用截止電流低的電晶體來構成儲存電路且對該儲存電路寫入資料，可以根據儲存在儲存電路中的資料設定控制電晶體的閘極的電壓。另外，也可以容易改寫儲存電路的資料。在使用上述截止電流低的電晶體來構成的儲存電路中，所保持的資料（電壓）半永久地不變動。就是說，使用上述截止電流低的電晶體來構成的儲存電路的洩漏電流少，不容易劣化，由此即使不供應電源也可以長期間保持資料。因此，可以減少再次設定控制電晶體的閘極的電壓的次數，從而容易設定半導體裝置的諧振頻率。另外，可以降低半導體裝置的耗電量。

另外，因為在本實施方式中的半導體裝置的一個例子中，可以藉由使用控制儲存體的工作的儲存控制電路，來

控制儲存體和使用上述截止電流低的電晶體構成的儲存電路的兩者，所以不需要另行設置用來控制使用上述截止電流低的電晶體構成的儲存電路的儲存電路。因此，即使設置使用上述截止電流低的電晶體構成的儲存電路，也可以抑制半導體裝置的電路面積的增大。

實施方式 7

在本實施方式中，對能夠藉由無線供給電源電壓的半導體裝置的例子進行說明。

下面，參照圖 9A 至圖 9C 對本實施方式的半導體裝置的結構例子進行說明。圖 9A 和圖 9C 是用來說明本實施方式的半導體裝置的結構例子的示意圖。

圖 9A 所示的半導體裝置是可攜式資訊終端的例子。圖 9A 所示的資訊終端包括外殼 1001a 以及設置在外殼 1001a 中的顯示部 1002a。

另外，也可以在外殼 1001a 的側面 1003a 中設置用來與外部設備連接的連接端子和用來操作圖 9A 所示的可攜式資訊終端的按鈕中的一個或多個。

圖 9A 所示的可攜式資訊終端例如具有電話機、電子書閱讀器、個人電腦和遊戲機中的一個或多個的功能。

圖 9B 所示的半導體裝置是折疊可攜式資訊終端的例子。圖 9B 所示的可攜式資訊終端包括：外殼 1001b；設置在外殼 1001b 中的顯示部 1002b；外殼 1004；設置在外殼 1004 中的顯示部 1005；以及連接外殼 1001b 和外殼

1004 的軸部 1006。

另外，在圖 9B 所示的可攜式資訊終端中，藉由由軸部 1006 將外殼 1001b 或外殼 1004 移動，可以將外殼 1001b 與外殼 1004 重疊。

另外，也可以在外殼 1001b 的側面 1003b 或外殼 1004 的側面 1007 中設置用來與外部設備連接的連接端子和用來操作圖 9B 所示的可攜式資訊終端的按鈕中的一個或多個。

此外，也可以在顯示部 1002b 及顯示部 1005 上顯示互不相同的影像或連屏影像。另外，不一定必須要設置顯示部 1005，可以設置輸入裝置的鍵盤代替顯示部 1005。

圖 9B 所示的可攜式資訊終端例如具有電話機、電子書閱讀器、個人電腦和遊戲機中的一個或多個的功能。

再者，圖 9C 示出圖 9A 或圖 9B 所示的可攜式資訊終端的結構例子。

圖 9C 所示的可攜式資訊終端包括：無線收發電路（也稱為 RF）1201；蓄電裝置（也稱為 BT）1204；電源電路（也稱為 PWRG）1205；運算處理電路（也稱為 PRO）1206；儲存體（也稱為 MEM）1207；顯示控制電路（也稱為 DISPCTL）1208；以及顯示面板（也稱為 DISP）1209。

無線收發電路 1201 具有從所接收的電波生成電源電壓及資料的功能。無線收發電路 1201 具備上述實施方式 1 至 4 的半導體裝置中的天線、電容元件、被動元件、控

制電晶體及儲存電路。另外，也可以在無線收發電路 1201 中具備上述實施方式 6 所示的半導體裝置中的整流電路、解調變電路及調變電路等功能電路。此外，也可以在無線收發電路 1201 中具備模擬基帶電路及數位基帶電路等功能電路。

蓄電裝置 1204 具有供給用來生成電源電壓的電壓的功能。另外，也可以根據藉由無線收發電路 1201 生成的電壓對蓄電裝置 1204 進行充電。

電源電路 1205 具有根據所供給的電壓生成電源電壓，將該電源電壓供給到運算處理電路 1206、儲存體 1207、顯示控制電路 1208 以及顯示面板 1209 的功能。

運算處理電路 1206 例如具備 CPU、數位信號處理器（Digital Signal Processor，也稱為 DSP）、儲存控制電路及介面。

儲存體 1207 具有根據來自運算處理電路 1206 中的儲存控制電路的信號而進行資料的寫入及資料的讀出的功能。

作為顯示面板 1209，例如可以使用液晶顯示面板或 EL 顯示面板等。另外，圖 9B 所示的半導體裝置具有多個顯示面板 1209。

再者，對圖 9C 所示的可攜式資訊終端的工作例子進行說明。

首先，藉由無線收發電路 1201 接收包括資料的電波，對蓄電裝置 1204 進行充電，藉由電源電路 1205 生成

電源電壓，藉由運算處理電路 1206 生成影像資料。所生成的影像資料作為資料儲存在儲存體 1207 中。再者，將儲存在儲存體 1207 中的資料藉由顯示控制電路 1208 輸出到顯示面板 1209，由顯示面板 1209 顯示與所輸入的影像資料對應的影像。

以上是圖 9C 所示的可攜式資訊終端的工作例子。

如參照圖 9A 至圖 9C 說明那樣，在本實施方式中的半導體裝置的一個例子中，藉由控制控制電晶體的導通狀態或截止狀態，來控制是否被動元件與其他元件一起構成諧振電路，可以適當地改變半導體裝置的諧振頻率。

再者，在本實施方式中的半導體裝置的一個例子中，只要使用截止電流低的電晶體來構成儲存電路且對該儲存電路寫入資料，可以根據儲存在儲存電路中的資料設定控制電晶體的閘極的電壓。另外，也可以容易改寫儲存電路的資料。在使用上述截止電流低的電晶體來構成的儲存電路中，所保持的資料（電壓）半永久地不變動。就是說，使用上述截止電流低的電晶體來構成的儲存電路的洩漏電流少，不容易劣化，由此即使不供應電源也可以長期間保持資料。因此，可以減少再次設定控制電晶體的閘極的電壓的次數，從而容易設定半導體裝置的諧振頻率。另外，可以降低半導體裝置的耗電量。

另外，在本實施方式的半導體裝置的一個例子中，藉由利用無線進行資料的發送和接收及蓄電裝置的充電，不需要外部電源，因此即使沒有外部電源，也可以長時間使

用蓄電裝置。

實施方式 8

在本實施方式中，對作為氧化物半導體使用 In-Sn-Zn 類氧化物的絕緣閘極型電晶體的例子進行說明。

除了氧化物半導體之外，實際測量的絕緣閘極型電晶體的場效應遷移率因各種原因而比本來的遷移率低。作為使遷移率降低的原因，有半導體內部的缺陷或半導體和絕緣膜之間的介面的缺陷，但是當使用 Levinson 模型時，可以理論性地導出假定在半導體內部沒有缺陷時的場效應遷移率。

當以半導體本來的遷移率為 μ_0 ，以所測量的場效應遷移率為 μ ，且假定在半導體中存在某種位能障壁（晶界等）時，可以由下述算式表示其關係。

[算式 3]

$$\mu = \mu_0 \exp\left(-\frac{E}{kT}\right)$$

在此，E 是位能障壁的高度，k 是玻爾茲曼常數，T 是絕對溫度。此外，當假定位能障壁由於缺陷而發生時，在 Levinson 模型中可以由下述算式表示其關係。

[算式 4]

$$E = \frac{e^2 N^2}{8\epsilon n} = \frac{e^3 N^2 t}{8\epsilon C_{ox} V_g}$$

在此， e 是基本電荷， N 是通道內的每單位面積的平均缺陷密度， ϵ 是半導體的介電常數， n 是包括在每單位面積的通道中的載子數， C_{ox} 是每單位面積的電容， V_g 是閘極電壓， t 是通道的厚度。注意，在採用厚度為 30nm 以下的半導體層的情況下，通道的厚度可以與半導體層的厚度相同。線性區中的汲電流 I_d 可以由下述算式表示。

[算式 5]

$$I_d = \frac{W \mu V_g V_d C_{ox}}{L} \exp\left(-\frac{E}{kT}\right)$$

在此， L 是通道長度， W 是通道寬度，並且 $L=W=10\mu m$ 。此外， V_d 是汲電壓。當將上述算式的雙邊用 V_g 除，且對雙邊取對數時，成為下述算式。

[算式 6]

$$\ln\left(\frac{I_d}{V_g}\right) = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{E}{kT} = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{e^3 N^2 t}{8kT \epsilon C_{ox} V_g}$$

算式 6 的右邊是 V_g 的函數。由上述算式可知，根據以縱軸為 $\ln(I_d/V_g)$ 並以橫軸為 $1/V_g$ 的直線的傾斜度可以求得缺陷密度 N 。也就是說，根據電晶體的 I_d - V_g 特性可以對缺陷密度進行評價。在銦 (In)、錫 (Sn)、鋅 (Zn) 的比率為 In:Sn:Zn=1:1:1 的氧化物半導體中，缺陷密度 N 是 $1 \times 10^{12}/cm^2$ 左右。

根據如上所述那樣求得的缺陷密度等，根據算式 3 及算式 4 可以導出 $\mu_0=120\text{cm}^2/\text{Vs}$ 。在有缺陷的 In-Sn-Zn 類氧化物中測量出來的遷移率為 $35\text{cm}^2/\text{Vs}$ 左右。但是，可以估計在半導體內部及半導體和絕緣膜之間的介面沒有缺陷的氧化物半導體的遷移率 μ_0 成為 $120\text{cm}^2/\text{Vs}$ 。

然而，即使在半導體內部沒有缺陷，電晶體的傳輸特性也受通道和閘極絕緣層之間的介面中的散射的影響。換言之，離通道和閘極絕緣層之間的介面有 x 的距離的位置上的遷移率 μ_1 可以由下述算式表示。

[算式 7]

$$\frac{1}{\mu_1} = \frac{1}{\mu_0} + \frac{D}{B} \exp\left(-\frac{x}{G}\right)$$

在此， D 是閘極方向上的電場，且 B 、 G 是常數。 B 及 G 可以根據實際的測量結果求得。根據上述測量結果， $B=4.75 \times 10^7 \text{cm/s}$ ， $G=10\text{nm}$ （介面散射到達的深度）。可知當 D 增加（即，閘極電壓得到提高）時，算式 7 的第二項也增加，所以遷移率 μ_1 降低。

圖 13 示出對一種電晶體的遷移率 μ_2 進行計算而得到的結果，在該電晶體中將沒有半導體內部的缺陷的理想的氧化物半導體用於通道。另外，在計算中，使用 Synopsys 公司製造的裝置模擬軟體 Sentaurus Device，並且將氧化物半導體的能隙、電子親和力、相對介電常數以及厚度分別設定為 2.8 電子伏特、4.7 電子伏特、15 以及 15nm。上

述值藉由測量利用濺射法形成的薄膜而得到。

再者，將閘極的功函數、源極的功函數以及汲極的功函數分別設定為 5.5 電子伏特、4.6 電子伏特以及 4.6 電子伏特。此外，將閘極絕緣層的厚度設定為 100nm，並將相對介電常數設定為 4.1。通道長度及通道幅度都為 10 μ m，而汲電壓 V_d 為 0.1V。

如圖 13 所示，當閘極電壓為 1V 多時遷移率示出 100cm²/Vs 以上的峰值，但是當閘極電壓更高時，介面散射變大，所以遷移率下降。另外，為了降低介面散射，較佳為使半導體層的表面在原子級上具有平坦性（Atomic Layer Flatness）。

圖 14A 至圖 16C 示出對使用具有上述遷移率的氧化物半導體形成微型電晶體時的特性進行計算而得到的結果。另外，圖 17A 和圖 17B 示出用於計算的電晶體的剖面結構。圖 17A 和圖 17B 所示的電晶體在氧化物半導體層中具有呈現 n 導電型的半導體區 1303a 及半導體區 1303c。半導體區 1303a 及半導體區 1303c 的電阻率為 2 $\times 10^{-3}$ Ω cm。

圖 17A 所示的電晶體形成在基底絕緣層 1301 及以埋入在基底絕緣層 1301 中的方式形成的由氧化鋁形成的埋入絕緣物 1302 上。電晶體包括半導體區 1303a、半導體區 1303c、夾在它們之間且成為通道形成區的本質半導體區 1303b 以及閘極 1305。閘極 1305 的寬度為 33nm。

電晶體在閘極 1305 和半導體區 1303b 之間具有閘極

絕緣層 1304，在閘極 1305 的雙側面具有側壁絕緣物 1306a 及側壁絕緣物 1306b，並且在閘極 1305 的上部具有用來防止閘極 1305 與其他佈線的短路的絕緣物 1307。側壁絕緣物的寬度為 5nm。此外，以接觸於半導體區 1303a 及半導體區 1303c 的方式具有源極 1308a 及汲極 1308b。另外，該電晶體的通道寬度為 40nm。

圖 17B 所示的電晶體與圖 17A 所示的電晶體的相同之處為：形成在基底絕緣層 1301 及由氧化鋁形成的埋入絕緣物 1302 上；包括半導體區 1303a、半導體區 1303c、夾在它們之間的本質半導體區 1303b、寬度為 33nm 的閘極 1305、閘極絕緣層 1304、側壁絕緣物 1306a 及側壁絕緣物 1306b、絕緣物 1307 以及源極 1308a 及汲極 1308b。

圖 17A 所示的電晶體與圖 17B 所示的電晶體的不同之處為側壁絕緣物 1306a 及側壁絕緣物 1306b 下的半導體區的導電型。雖然在圖 17A 所示的電晶體中側壁絕緣物 1306a 及側壁絕緣物 1306b 下的半導體區為呈現 n 導電型的半導體區 1303a 及半導體區 1303c，但是在圖 17B 所示的電晶體中側壁絕緣物 1306a 及側壁絕緣物 1306b 下的半導體區為本質半導體區 1303b。換言之，設置有既不與半導體區 1303a（半導體區 1303c）也不與閘極 1305 重疊的具有 L_{off} 的寬度的區域。將該區域稱為偏置（offset）區，並且將其寬度 L_{off} 稱為偏置長度。如圖式所示，偏置長度與側壁絕緣物 1306a（側壁絕緣物 1306b）的寬度相同。

用於計算的其他參數為上述參數。在計算中，使用 Synopsys 公司製造的裝置模擬軟體 Sentaurus Device。圖 14A 至圖 14C 示出圖 17A 所示的結構的電晶體的汲電流 (I_d ，實線) 及遷移率 (μ ，虛線) 的閘極電壓 (V_g ，閘極與源極的電位差) 依賴性。將汲電壓 (汲極與源極的電位差) 設定為 +1V 來計算汲電流 I_d ，並且將汲電壓設定為 +0.1V 來計算遷移率 μ 。

圖 14A 為閘極絕緣層的厚度為 15nm 時的圖，圖 14B 為閘極絕緣層的厚度為 10nm 時的圖，並且圖 14C 為閘極絕緣層的厚度為 5nm 時的圖。閘極絕緣層越薄，尤其是截止狀態下的汲電流 I_d (截止電流) 越顯著降低。另一方面，遷移率 μ 的峰值或導通狀態下的汲電流 I_d (導通電流) 沒有顯著的變化。可知當閘極電壓為 1V 左右時汲電流超過儲存元件等所需要的 10 μ A。

圖 15A 至圖 15C 示出在圖 17B 所示的結構的電晶體中當偏置長度 L_{off} 為 5nm 時的汲電流 I_d (實線) 及遷移率 μ (虛線) 的閘極電壓 V_g 依賴性。將汲電壓設定為 +1V 來計算汲電流 I_d ，並且將汲電壓設定為 +0.1V 來計算遷移率 μ 。圖 15A 為閘極絕緣層的厚度為 15nm 時的圖，圖 15B 為閘極絕緣層的厚度為 10nm 時的圖，並且圖 15C 為閘極絕緣層的厚度為 5nm 時的圖。

另外，圖 16A 至圖 16C 示出在圖 17B 所示的結構的電晶體中當偏置長度 L_{off} 為 15nm 時的汲電流 I_d (實線) 及遷移率 μ (虛線) 的閘極電壓依賴性。將汲電壓設定為

+1V 來計算汲電流 I_d ，並且將汲電壓設定為 +0.1V 來計算遷移率 μ 。圖 16A 為閘極絕緣層的厚度為 15nm 時的圖，圖 16B 為閘極絕緣層的厚度為 10nm 時的圖，並且圖 16C 為閘極絕緣層的厚度為 5nm 時的圖。

無論是哪一種結構，閘極絕緣層越薄，截止電流越顯著降低，但是遷移率 μ 的峰值以及導通電流沒有顯著的變化。

另外，偏置長度 L_{off} 越增加，遷移率 μ 的峰值越降低，即在圖 14A 至圖 14C 中遷移率 μ 的峰值為 $80\text{cm}^2/\text{Vs}$ 左右，在圖 15A 至圖 15C 中遷移率 μ 的峰值為 $60\text{cm}^2/\text{Vs}$ 左右，並且在圖 16A 至圖 16C 中遷移率 μ 的峰值為 $40\text{cm}^2/\text{Vs}$ 左右。此外，截止電流也有同樣的趨勢。另一方面，雖然導通電流隨著偏置長度 L_{off} 的增加而降低，但是其降低要比截止電流的降低平緩得多。此外，可知當閘極電壓為 1V 左右時汲電流超過儲存元件等所需要的 $10\mu\text{A}$ 。

實施方式 9

在本實施方式中，對作為氧化物半導體使用 In-Sn-Zn 類氧化物的絕緣閘極型電晶體的實驗結果等進行說明。

將以 In、Sn、Zn 為主要成分的氧化物半導體用於通道形成區的電晶體藉由當形成該氧化物半導體時加熱基板進行成膜或在形成氧化物半導體膜之後進行熱處理來能夠得到良好的特性。另外，主要成分是指占組成比

5atomic%以上的元素。

藉由在形成以 In、Sn、Zn 為主要成分的氧化物半導體膜之後意圖性地加熱基板，能夠提高電晶體的場效應遷移率。此外，藉由使電晶體的臨界電壓向正方向漂移來能夠實現常截止化。

例如，圖 18A 至圖 18C 示出使用以 In、Sn、Zn 為主要成分的通道長度 L 為 $3\mu\text{m}$ 且通道寬度 W 為 $10\mu\text{m}$ 的氧化物半導體膜以及厚度為 100nm 的閘極絕緣層的電晶體的特性。另外， V_d 為 10V 。

圖 18A 示出意圖性地不加熱基板藉由濺射法形成以 In、Sn、Zn 為主要成分的氧化物半導體膜時的電晶體特性。此時場效應遷移率為 $18.8\text{cm}^2/\text{Vsec}$ 。另一方面，當藉由意圖性地加熱基板形成以 In、Sn、Zn 為主要成分的氧化物半導體膜時，能夠提高場效應遷移率。圖 18B 示出將基板加熱到 200°C 來形成以 In、Sn、Zn 為主要成分的氧化物半導體膜時的電晶體特性。此時的場效應遷移率為 $32.2\text{cm}^2/\text{Vsec}$ 。

藉由在形成以 In、Sn、Zn 為主要成分的氧化物半導體膜之後進行熱處理，能夠進一步提高場效應遷移率。圖 18C 示出在 200°C 下藉由濺射形成以 In、Sn、Zn 為主要成分的氧化物半導體膜之後進行 650°C 的熱處理時的電晶體特性。此時的場效應遷移率為 $34.5\text{cm}^2/\text{Vsec}$ 。

藉由意圖性地加熱基板，可以期待降低濺射成膜中的水分被引入到氧化物半導體膜中的效果。此外，藉由在成

膜後進行熱處理，還能夠從氧化物半導體膜中釋放而去除氫、羥基或水分，由此，可以如上述那樣提高場效應遷移率。上述場效應遷移率的提高可以認為不僅是因為藉由脫水化・脫氫化去除雜質，而且是因為藉由高密度化使原子間距離變短的緣故。此外，藉由從氧化物半導體去除雜質而使其高純度化，可以實現結晶化。可以預測到像這樣被高純度化的非單晶氧化物半導體能夠實現理想的超過 $100\text{cm}^2/\text{Vsec}$ 的場效應遷移率。

也可以對以 In、Sn、Zn 為主要成分的氧化物半導體注入氧離子，藉由熱處理釋放該氧化物半導體所含有的氫、羥基或水分，藉由在該熱處理的同時或在該熱處理之後的熱處理使氧化物半導體晶化。藉由上述晶化或再晶化的處理能夠得到結晶性良好的非單晶氧化物半導體。

藉由意圖性地加熱基板進行成膜及/或在成膜後進行熱處理，不僅可以提高場效應遷移率，而且還可以有助於實現電晶體的常截止化。將意圖性地不加熱基板來形成的以 In、Sn、Zn 為主要成分的氧化物半導體膜用作通道形成區的電晶體有臨界電壓漂移到負一側的傾向。然而，在採用意圖性地加熱基板來形成的氧化物半導體膜時，可以解決該臨界電壓的負漂移化的問題。換言之，臨界電壓向電晶體成為常截止的方向漂移，並且從圖 18A 和圖 18B 的對比也可以確認到該傾向。

另外，也能夠藉由改變 In、Sn 及 Zn 的比率來控制臨界電壓，作為組成比採用 In:Sn:Zn=2:1:3 來可以實現電晶

體的常截止化。此外，藉由作為靶材的組成比採用 $\text{In:Sn:Zn}=2:1:3$ ，能夠獲得結晶性高的氧化物半導體膜。

將意圖性的基板加熱溫度或熱處理溫度設定為 150°C 以上，較佳為設定為 200°C 以上，更佳為設定為 400°C 以上。藉由在更高的溫度下進行成膜或進行熱處理，能夠實現電晶體的常截止化。

此外，藉由意圖性地加熱基板來形成膜及/或在成膜後進行熱處理，能夠提高穩定性，而不受閘極偏壓・應力的影響。例如，在 $2\text{MV}/\text{cm}$ ， 150°C 且 1 小時施加的條件下，可以使漂移分別為小於 $\pm 1.5\text{V}$ ，較佳為小於 1.0V 。

實際對在形成氧化物半導體膜後不進行加熱處理的樣品 1 和進行了 650°C 的加熱處理的樣品 2 的電晶體進行 BT 測試。

首先，將基板溫度設定為 25°C ，將 V_d 設定為 10V ，而對電晶體的 V_g - I_d 特性進行測量。接著，將基板溫度設定為 150°C ，將 V_d 設定為 0.1V 。然後，以使施加到閘極絕緣層的電場強度成為 $2\text{MV}/\text{cm}$ 的方式將 V_g 設定為 20V ，並保持該狀態 1 小時。接著，將 V_g 設定為 0V 。接著，將基板溫度設定為 25°C ，將 V_d 設定為 10V ，對電晶體的 V_g - I_d 進行測量。將該測試稱為正 BT 測試。

與此同樣，首先將基板溫度設定為 25°C ，將 V_d 設定為 10V ，對電晶體的 V_g - I_d 特性進行測量。接著，將基板溫度設定為 150°C ，將 V_d 設定為 0.1V 。然後，以使施加到閘極絕緣層的電場強度為 $-2\text{MV}/\text{cm}$ 的方式將 V_g 設定為

-20V，並保持該狀態 1 小時。接著，將 V_g 設定為 0V。接著，將基板溫度設定為 25°C，將 V_d 設定為 10V，對電晶體的 V_g - I_d 進行測量。將該測試稱為負 BT 測試。

圖 19A 示出樣品 1 的正 BT 測試的結果，而圖 19B 示出負 BT 測試的結果。另外，圖 20A 示出樣品 2 的正 BT 測試的結果，而圖 20B 示出負 BT 測試的結果。

樣品 1 的因正 BT 測試及負 BT 測試而發生的臨界電壓變動分別為 1.80V 及 -0.42V。此外，樣品 2 的因正 BT 測試及負 BT 測試而發生的臨界電壓變動分別為 0.79V 及 0.76V。樣品 1 及樣品 2 的 BT 測試前後的臨界電壓變動都小，由此可知其可靠性高。

熱處理可以在氧氛圍中進行，但是也可以首先在氮、惰性氣體或減壓下進行熱處理，然後在含氧的氛圍中進行熱處理。藉由在首先進行脫水化・脫氫化之後將氧添加到氧化物半導體，能夠進一步提高熱處理的效果。此外，作為在完成脫水化・脫氫化之後添加氧的方法，也可以採用以電場加速氧離子並將其注入到氧化物半導體膜中的方法。

雖然在氧化物半導體中及該氧化物半導體與層疊膜之間的介面容易產生起因於氧缺陷的缺陷，但是藉由該熱處理使氧化物半導體中含有過剩的氧，可以利用過剩的氧補充不斷產生的氧缺陷。過剩的氧是主要存在於晶格間的氧，並且藉由將該氧濃度設定為 $1 \times 10^{16}/\text{cm}^3$ 以上且 $2 \times 10^{20}/\text{cm}^3$ 以下，可以在不使結晶變歪等的狀態下使氧化

物半導體中含有氧。

此外，藉由熱處理至少使氧化物半導體的一部分含有結晶，能夠獲得更穩定的氧化物半導體膜。例如，在使用組成比為 $\text{In:Sn:Zn}=1:1:1$ 的靶材，意圖性地不加熱基板而進行濺射成膜來形成的氧化物半導體膜中，藉由利用 X 線繞射（XRD：X-Ray Diffraction）觀察到光暈圖案（halo pattern）。藉由對該所形成的氧化物半導體膜進行熱處理，能夠使其結晶化。雖然熱處理溫度是任意的溫度，但是例如藉由進行 650°C 的熱處理，能夠利用 X 線繞射觀察到明確的繞射峰值。

實際進行了 In-Sn-Zn-O 膜的 XRD 分析。作為 XRD 分析，使用 Bruker AXS 公司製造的 X 線繞射裝置 D8 ADVANCE 並利用平面外（Out-of-Plane）法來進行測量。

作為進行 XRD 分析的樣品，準備樣品 A 及樣品 B。以下說明樣品 A 及樣品 B 的製造方法。

在已受過脫氫化處理的石英基板上形成厚度為 100nm 的 In-Sn-Zn-O 膜。

在氧氛圍下使用濺射裝置並利用 100W （DC）的功率來形成 In-Sn-Zn-O 膜。作為靶材使用 $\text{In:Sn:Zn}=1:1:1$ [原子數比] 的 In-Sn-Zn-O 靶材。另外，將成膜時的基板加熱溫度設定為 200°C 。藉由上述步驟製造的樣品為樣品 A。

接著，對以與樣品 A 相同的方法製造的樣品以 650°C 的溫度進行加熱處理。首先，在氮氛圍下進行 1 小時的加

熱處理，然後不降低溫度地在氧氛圍下繼續進行 1 小時的加熱處理。藉由上述步驟製造的樣品為樣品 B。

圖 21 示出樣品 A 及樣品 B 的 XRD 光譜。在樣品 A 中沒有觀察到起因於結晶的峰值，但是在樣品 B 中當 2θ 為 35° 附近及 37° 至 38° 時觀察到起因於結晶的峰值。

像這樣，藉由在形成以 In、Sn、Zn 為主要成分的氧化物半導體時意圖性地進行加熱及/或在成膜後進行加熱處理，可以提高電晶體特性。

該基板加熱或熱處理起到不使膜含有對於氧化物半導體來說是惡性雜質的氫或羥基或者從膜中去除該雜質的作用。換言之，藉由去除在氧化物半導體中成為施體雜質的氫來能夠實現高純度化，由此能夠實現電晶體的常截止化，並且藉由使氧化物半導體實現高純度化來能夠使截止電流為 $1\text{aA}/\mu\text{m}$ 以下。在此，作為上述截止電流值的單位，示出每通道寬度 $1\mu\text{m}$ 的電流值。

圖 22 示出電晶體的截止電流與測量時的基板溫度（絕對溫度）的倒數的關係。在此，為了方便起見，橫軸表示測量時的基板溫度的倒數乘以 1000 而得到的數值（ $1000/T$ ）。

明確而言，如圖 22 所示那樣，當基板溫度為 125°C 時可以將截止電流設定為 $1\text{aA}/\mu\text{m}$ （ $1\times 10^{-18}\text{A}/\mu\text{m}$ ）以下，當 85°C 時設定為 $100\text{zA}/\mu\text{m}$ （ $1\times 10^{-19}\text{A}/\mu\text{m}$ ）以下，當室溫（ 27°C ）時設定為 $1\text{zA}/\mu\text{m}$ （ $1\times 10^{-21}\text{A}/\mu\text{m}$ ）以下。較佳地，

當基板溫度為 125°C 時可以將其設定為 $0.1\text{aA}/\mu\text{m}$ ($1\times 10^{-19}\text{A}/\mu\text{m}$) 以下，當 85°C 時設定為 $10\text{zA}/\mu\text{m}$ ($1\times 10^{-20}\text{A}/\mu\text{m}$) 以下，當室溫時設定為 $0.1\text{zA}/\mu\text{m}$ ($1\times 10^{-22}\text{A}/\mu\text{m}$) 以下。上述截止電流值明顯比將 Si 用於半導體膜的電晶體的截止電流值極低。

當然，為了防止當形成氧化物半導體膜時氫或水分混入到膜中，較佳為充分抑制來自沉積室外部的洩漏或來自沉積室內壁的脫氣來實現濺射氣體的高純度化。例如，為了防止水分被包含在膜中，作為濺射氣體較佳為使用其露點為 -70°C 以下的氣體。另外，較佳為使用靶材本身不含有氫或水分等雜質的高純度化的靶材。以 In、Sn、Zn 為主要成分的氧化物半導體可以藉由熱處理去除膜中的水分，但是與以 In、Ga、Zn 為主要成分的氧化物半導體相比水分的釋放溫度高，所以較佳為形成從一開始就不含有水分的膜。

此外，在形成氧化物半導體膜之後進行 650°C 的加熱處理的樣品的電晶體中，對基板溫度與電特性的關係進行評價。

用於測量的電晶體的通道長度 L 為 $3\mu\text{m}$ ，通道寬度 W 為 $10\mu\text{m}$ ， L_{ov} 為 $0\mu\text{m}$ ， dW 為 $0\mu\text{m}$ 。另外，將 V_d 設定為 10V 。另外，在基板溫度為 -40°C ， -25°C ， 25°C ， 75°C ， 125°C 及 150°C 下進行測量。在此，在電晶體中，將閘極電極與一對電極重疊的寬度稱為 L_{ov} ，並且將一對電極的從氧化物半導體膜超出的部分稱為 dW 。

圖 23 示出 I_d (實線) 及場效應遷移率 (虛線) 的 V_g 依賴性。另外，圖 24A 示出基板溫度與臨界電壓之間的關係，而圖 24B 示出基板溫度與場效應遷移率之間的關係。

根據圖 24A 可知基板溫度越高臨界電壓越低。另外，作為其範圍，在 -40°C 至 150°C 的基板溫度下，臨界電壓為 1.09V 至 -0.23V 。

此外，根據圖 24B 可知基板溫度越高場效應遷移率越低。另外，作為其範圍，在 -40°C 至 150°C 的基板溫度下，場效應遷移率為 $36\text{cm}^2/\text{Vs}$ 至 $32\text{cm}^2/\text{Vs}$ 。由此，可知在上述溫度範圍內電特性變動較小。

在將上述那樣的以 In 、 Sn 、 Zn 為主要成分的氧化物半導體用於通道形成區的電晶體中，能夠在將截止電流保持為 $1\text{aA}/\mu\text{m}$ 以下的狀態下，將場效應遷移率設定為 $30\text{cm}^2/\text{Vsec}$ 以上，較佳為設定為 $40\text{cm}^2/\text{Vsec}$ 以上，更佳為設定為 $60\text{cm}^2/\text{Vsec}$ 以上，而滿足 LSI 所要求的導通電流值。例如，在 $L/W=33\text{nm}/40\text{nm}$ 的 FET 中，當閘極電壓為 2.7V ，汲電壓為 1.0V 時，可以流過 $12\mu\text{A}$ 以上的導通電流。此外，在電晶體的工作所需要的溫度範圍內也能夠確保足夠的電特性。當具有這種特性時，即使在使用 Si 半導體製造的積體電路中混合裝有使用氧化物半導體形成的電晶體，也能夠實現具有新的功能的積體電路而不犧牲工作速度。

實施例 1

在本實施例中，參照圖 25A 和圖 25B 等對將 In-Sn-Zn-O 膜用作氧化物半導體膜的電晶體的一個例子進行說明。

圖 25A 和圖 25B 是共面型的頂閘極頂接觸結構的電晶體的俯視圖以及剖面圖。圖 25A 示出電晶體的俯視圖。另外，圖 25B 示出沿圖 25A 的鏈式線 A-B 的剖面 A-B。

圖 25B 所示的電晶體包括：基板 960；設置在基板 960 上的基底絕緣膜 961；設置在基底絕緣膜 961 周圍的保護絕緣膜 962；設置在基底絕緣膜 961 及保護絕緣膜 962 上的具有高電阻區 963a 及低電阻區 963b 的氧化物半導體膜 963；設置在氧化物半導體膜 963 上的閘極絕緣層 964；以隔著閘極絕緣層 964 與氧化物半導體膜 963 重疊的方式設置的閘極電極 965；以與閘極電極 965 的側面接觸的方式設置的側壁絕緣膜 966；以至少與低電阻區 963b 接觸的方式設置的一對電極 967；以至少覆蓋氧化物半導體膜 963、閘極電極 965 及一對電極 967 的方式設置的層間絕緣膜 968；以及以藉由設置在層間絕緣膜 968 中的開口部至少與一對電極 967 中的一方連接的方式設置的佈線 969。

另外，雖然未圖示，但是還可以包括以覆蓋層間絕緣膜 968 及佈線 969 的方式設置的保護膜。藉由設置該保護膜，能夠降低由於層間絕緣膜 968 的表面傳導而產生的微小洩漏電流，而能夠降低電晶體的截止電流。

實施例 2

在本實施例中，示出與上述不同的將 In-Sn-Zn-O 膜用作氧化物半導體膜的電晶體的另一個例子。

圖 26A 和圖 26B 是示出在本實施例中製造的電晶體的結構的俯視圖以及剖面圖。圖 26A 是電晶體的俯視圖。此外，圖 26B 是沿圖 26A 的鏈式線 A-B 的剖面圖。

圖 26B 所示的電晶體包括：基板 970；設置在基板 970 上的基底絕緣膜 971；設置在基底絕緣膜 971 上的氧化物半導體膜 973；與氧化物半導體膜 973 接觸的一對電極 976；設置在氧化物半導體膜 973 及一對電極 976 上的閘極絕緣層 974；以隔著閘極絕緣層 974 與氧化物半導體膜 973 重疊的方式設置的閘極電極 975；以覆蓋閘極絕緣層 974 及閘極電極 975 的方式設置的層間絕緣膜 977；藉由設置在層間絕緣膜 977 中的開口部與一對電極 976 連接的佈線 978；以及以覆蓋層間絕緣膜 977 及佈線 978 的方式設置的保護膜 979。

作為基板 970 使用玻璃基板，作為基底絕緣膜 971 使用氧化矽膜，作為氧化物半導體膜 973 使用 In-Sn-Zn-O 膜，作為一對電極 976 使用鎢膜，作為閘極絕緣層 974 使用氧化矽膜，作為閘極電極 975 使用氮化鉭膜和鎢膜的疊層結構，作為層間絕緣膜 977 使用氧氮化矽膜和聚醯亞胺膜的疊層結構，作為佈線 978 使用按順序層疊有鈦膜、鋁膜、鈦膜的疊層結構，作為保護膜 979 使用聚醯亞胺膜。

另外，在具有圖 26A 所示的結構的電晶體中，將閘極

電極 975 與一對電極 976 重疊的寬度稱為 Lov 。與此相同，將一對電極 976 從氧化物半導體膜 973 超出的部分稱為 dW 。

【符號說明】

101：天線

102：電容元件

103：被動元件

104：電晶體

105：儲存電路

106：整流電路

131：電容元件

132：天線

201：電晶體

202：電容元件

301：電晶體

302：電容元件

303：電晶體

304：電子元件

401：電晶體

402：電容元件

403：電晶體

404：電子元件

405：電容元件

406：電晶體

600_A：被元件形成層

600_B：被元件形成層

600_C：被元件形成層

600_D：被元件形成層

601_A：導電層

601_B：導電層

601_C：導電層

601_D：導電層

602_A：絕緣層

602_B：絕緣層

602_C：絕緣層

602_D：絕緣層

603_A：半導體層

603_B：半導體層

603_C：半導體層

603_D：半導體層

604a_C：區域

604a_D：區域

604b_C：區域

604b_D：區域

605a_A：導電層

605a_B：導電層

605a_C：導電層

605a_D：導電層
 605b_A：導電層
 605b_B：導電層
 605b_C：導電層
 605b_D：導電層
 606_A：絕緣層
 606_B：絕緣層
 608_A：導電層
 608_B：導電層
 711：天線
 712：電容元件
 713：被動元件
 714：電晶體
 715：儲存電路
 716：整流電路
 717：電源電路
 718：解調變電路
 719：儲存控制電路
 720：儲存體
 721：編碼電路
 722：調變電路
 960：基板
 961：基地絕緣膜
 962：保護絕緣膜

963：氧化物半導體膜

963a：高電阻區域

963b：低電阻區域

964：閘極絕緣層

965：閘極電極

966：側壁絕緣膜

967：電極

968：層間絕緣膜

969：佈線

970：基板

971：基地絕緣膜

973：氧化物半導體膜

974：閘極絕緣層

975：閘極電極

976：電極

977：層間絕緣膜

978：佈線

979：保護膜

1001a：外殼

1001b：外殼

1002a：顯示部

1002b：顯示部

1003a：側面

1003b：側面

- 1004 : 外殼
- 1005 : 顯示部
- 1006 : 軸部
- 1007 : 側面
- 1201 : 無線收發電路
- 1204 : 蓄電裝置
- 1205 : 電源電路
- 1206 : 運算處理電路
- 1207 : 儲存體
- 1208 : 顯示控制電路
- 1209 : 顯示面板
- 1301 : 基地絕緣層
- 1302 : 絕緣物
- 1303a : 半導體區域
- 1303b : 半導體區域
- 1303c : 半導體區域
- 1304 : 閘極絕緣層
- 1305 : 閘極
- 1306a : 側壁絕緣物
- 1306b : 側壁絕緣物
- 1307 : 絕緣物
- 1308a : 源極
- 1308b : 汲極

發明摘要

※申請案號：105132566（由101107165分割）

※申請日：101年03月03日

※IPC分類：**H01L 21/8242** (2006.01)

H01L 27/108 (2006.01)

G11C 11/401 (2006.01)

【發明名稱】(中文/英文)

半導體裝置

Semiconductor device

【中文】

本發明的一個方式的目的之一是容易設定諧振頻率。本發明的一個方式是一種半導體裝置，包括：具有線圈的功能的天線；以並聯連接的方式與天線電連接的電容元件；藉由以並聯連接的方式與天線及電容元件電連接，與天線及電容元件一起構成諧振電路的被動元件；控制是否以並聯連接的方式將被動元件與天線及電容元件電連接的第一場效應電晶體；以及儲存電路，其中，儲存電路包括具有形成通道的氧化物半導體層，對源極和汲極中的一方輸入資料信號，且根據源極和汲極中的另一方的電壓設定第一場效應電晶體的閘極的電壓的第二場效應電晶體。

【 英文 】

A semiconductor device includes an antenna functioning as a coil, a capacitor electrically connected to the antenna in parallel, a passive element forming a resonance circuit with the antenna and the capacitor by being electrically connected to the antenna and the capacitor in parallel, a first field effect transistor controlling whether the passive element is electrically connected to the antenna and the capacitor in parallel or not, and a memory circuit. The memory circuit includes a second field effect transistor which includes an oxide semiconductor layer where a channel is formed and in which a data signal is input to one of a source and a drain. The gate voltage of the first field effect transistor is set depending on the voltage of the other of the source and the drain of the second field effect transistor.

圖 式

圖 1A

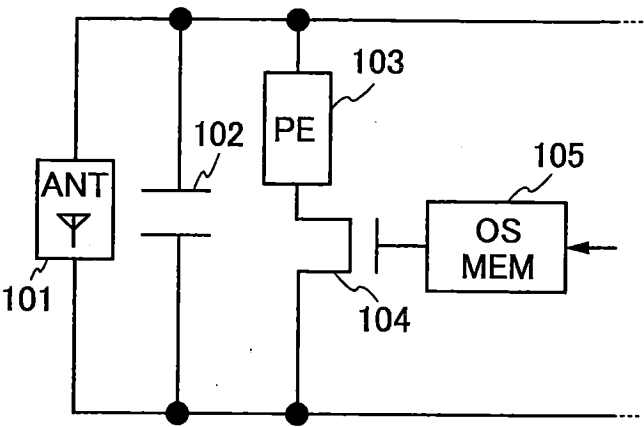


圖 1B-1

PE

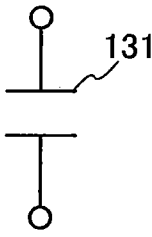


圖 1B-2

PE

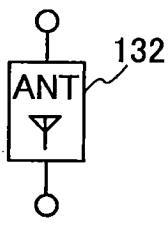


圖 1C

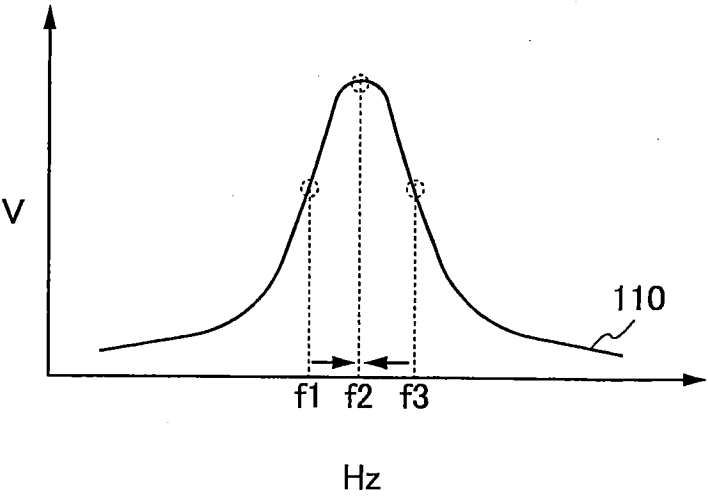


圖2

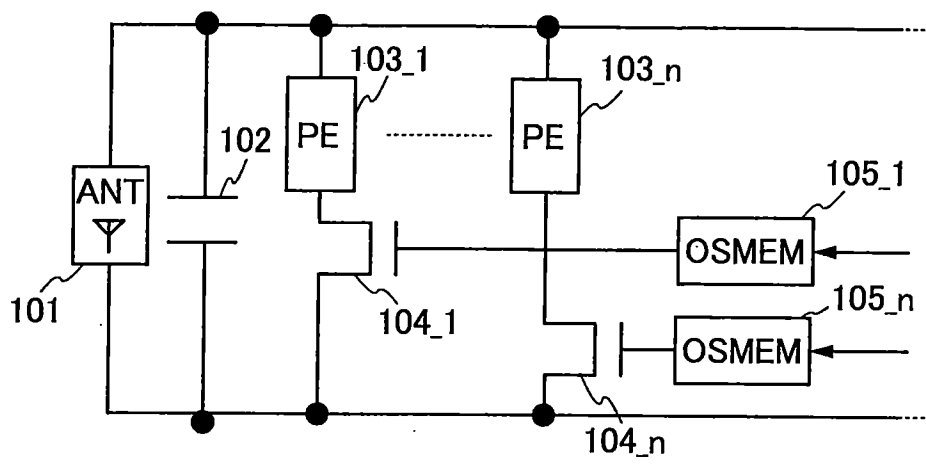


圖 3

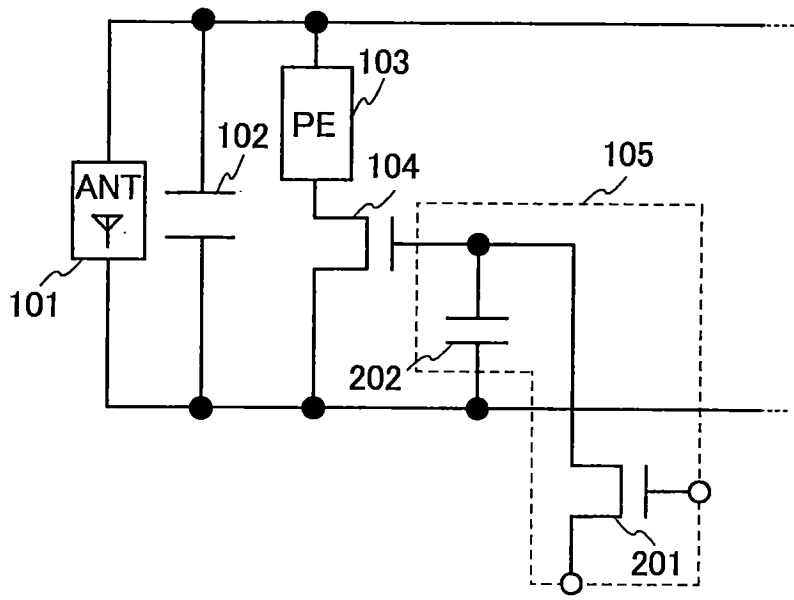


圖 4A

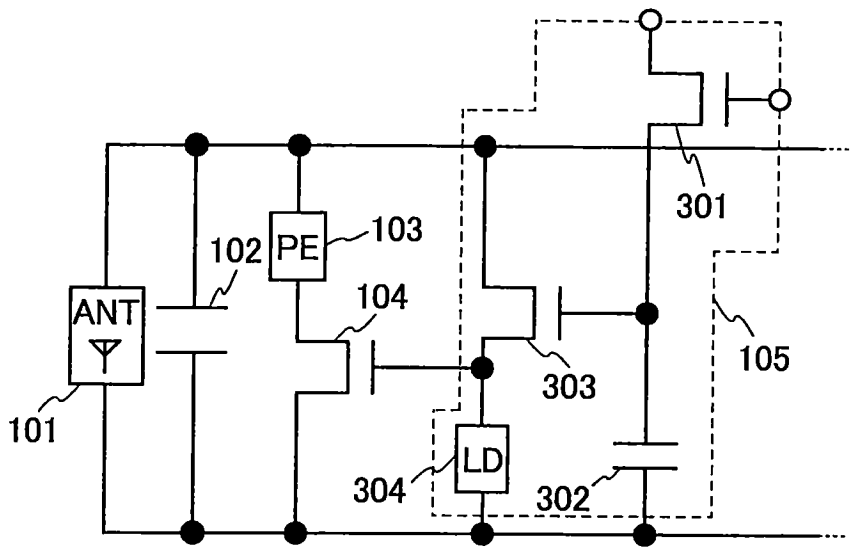


圖 4B

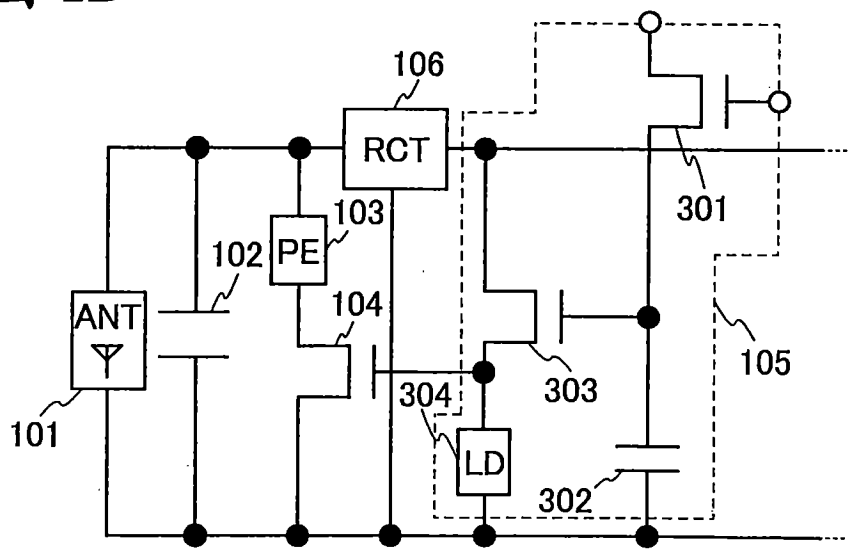


圖5A

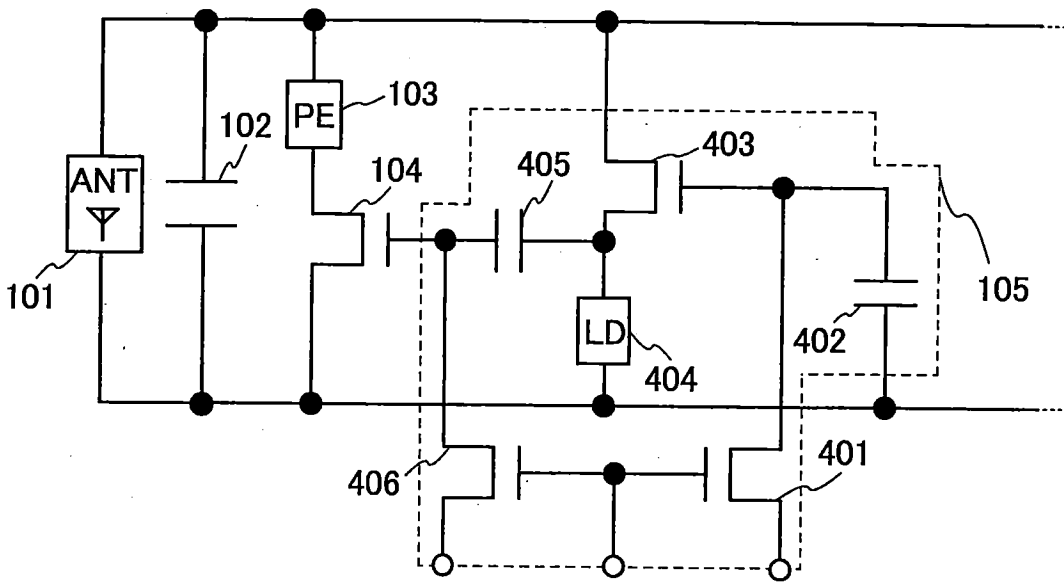


圖5B

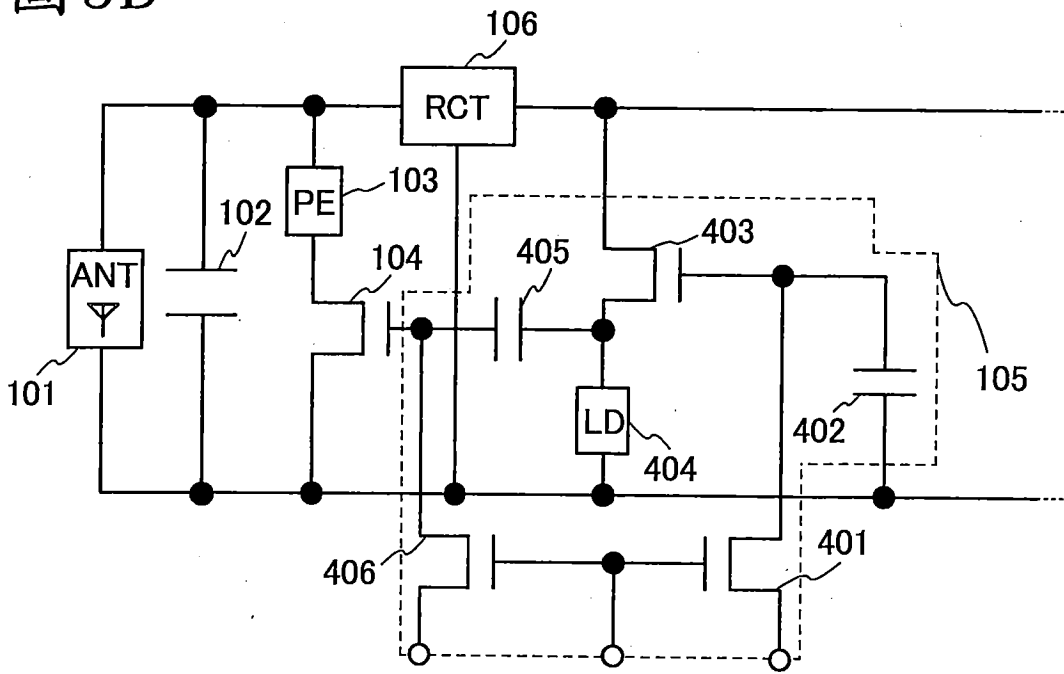


圖 6A

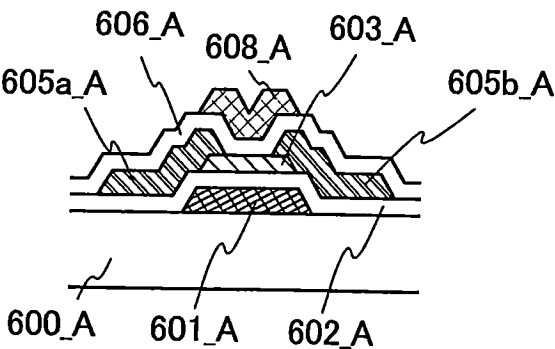


圖 6C

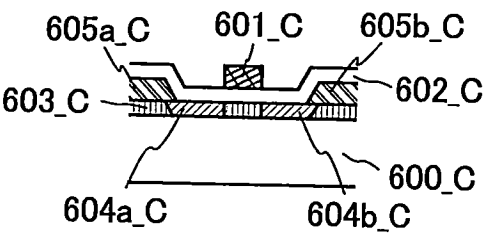


圖 6B

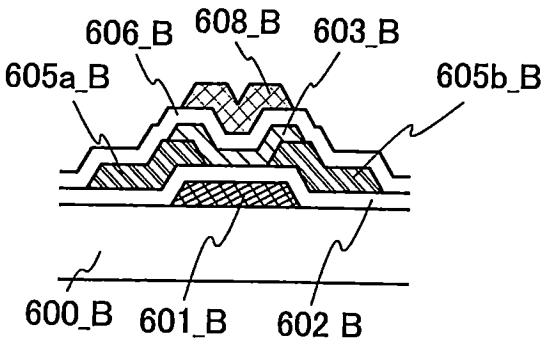


圖 6D

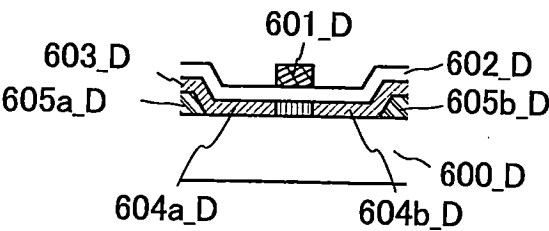


圖 7A

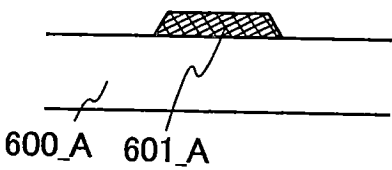


圖 7B

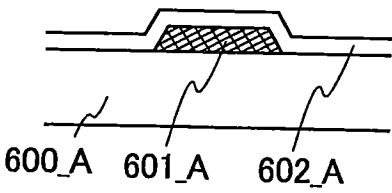


圖 7C

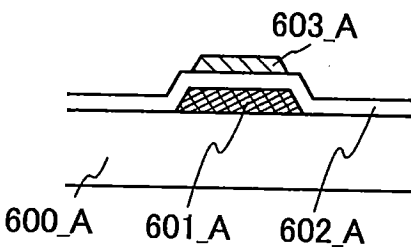


圖 7D

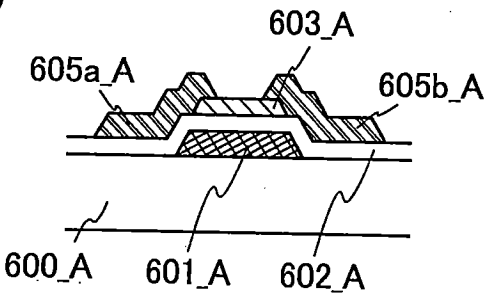


圖 7E

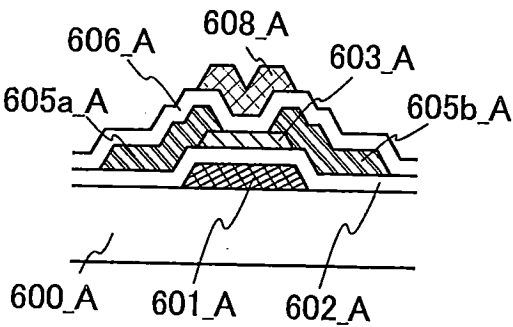


圖 8

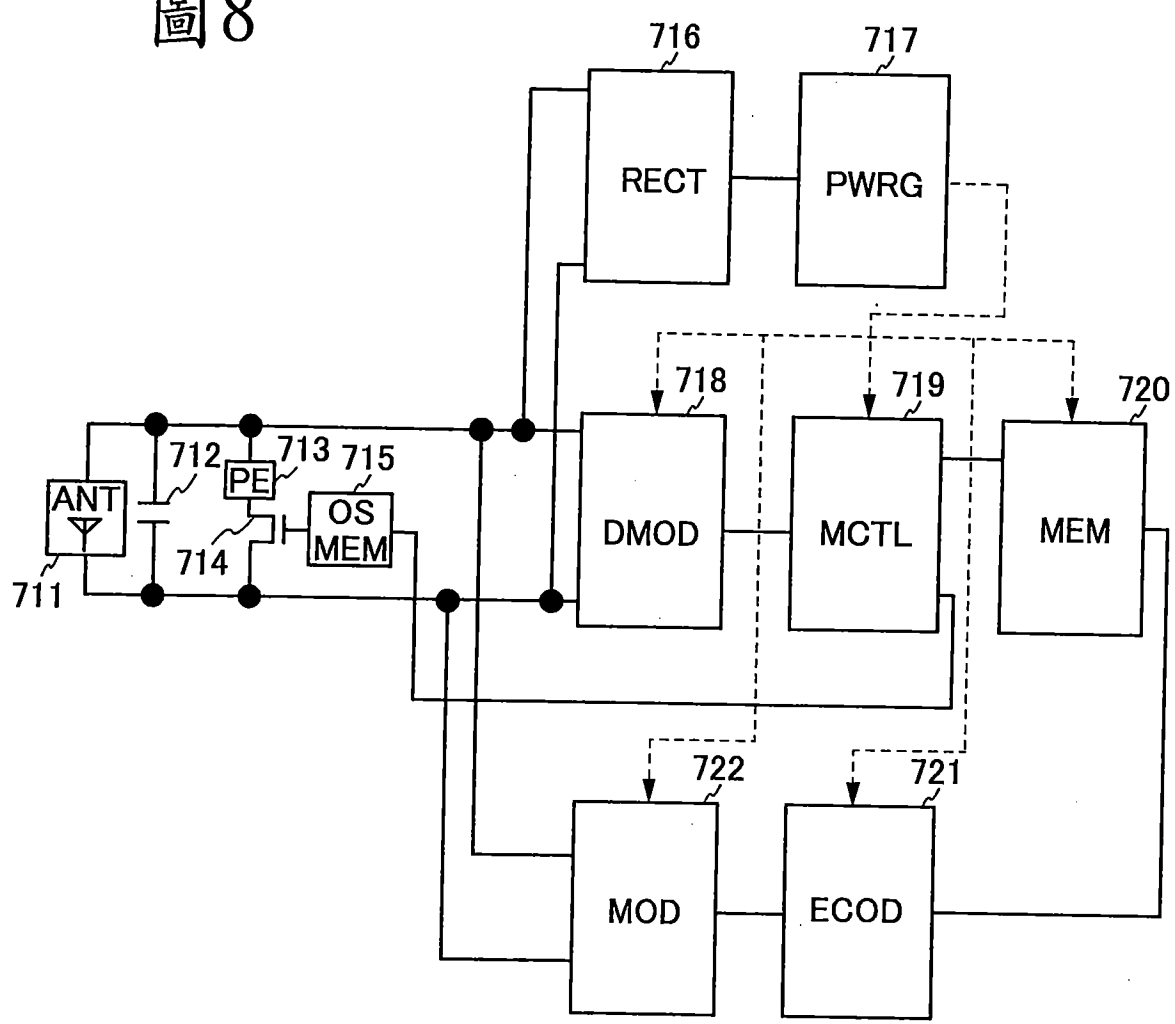


圖 9A

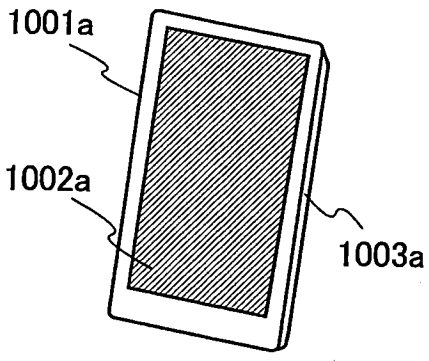


圖 9B

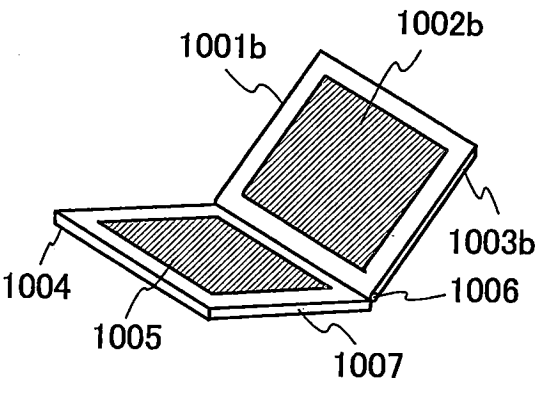


圖 9C

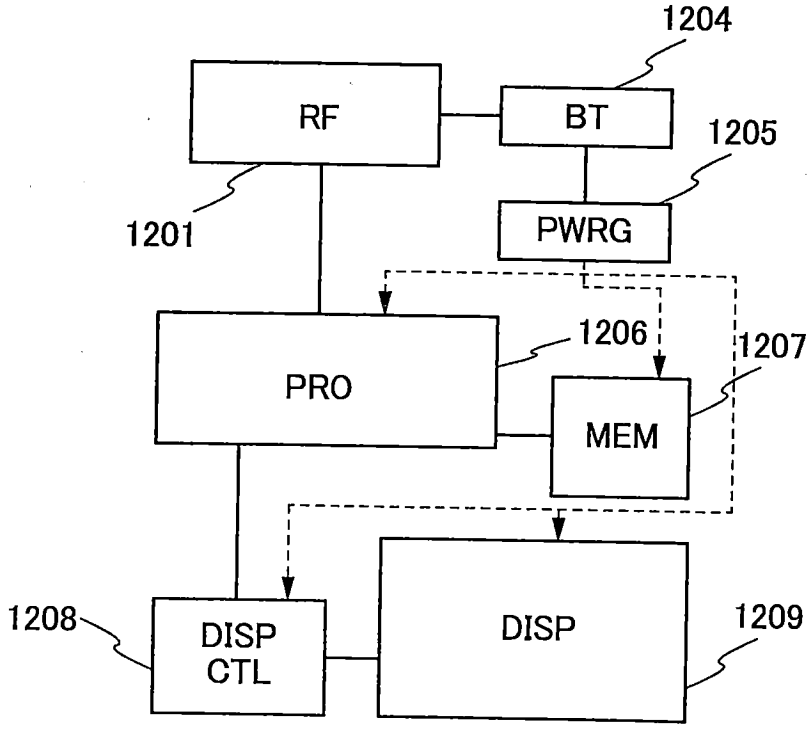


圖 10A

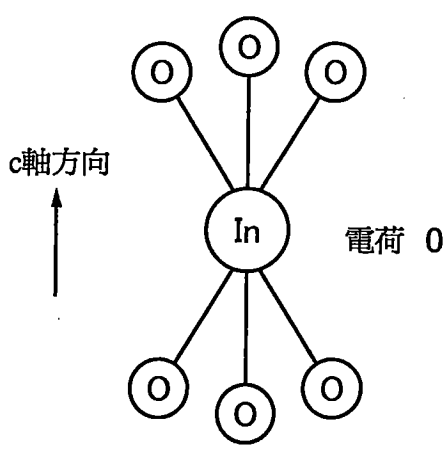


圖 10D

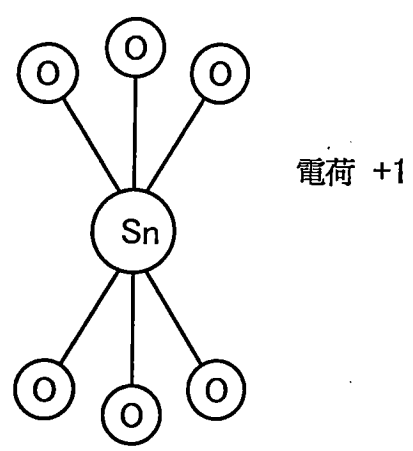


圖 10B

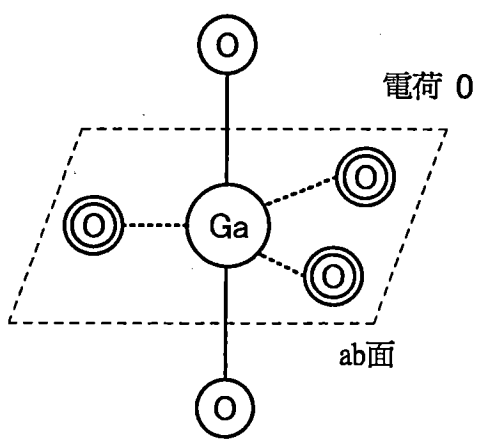


圖 10E

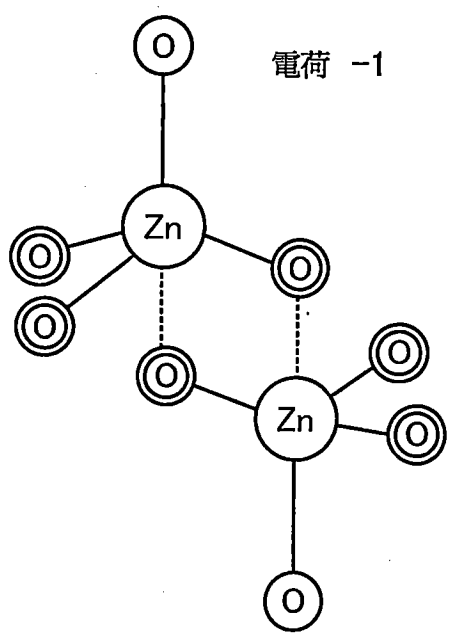


圖 10C

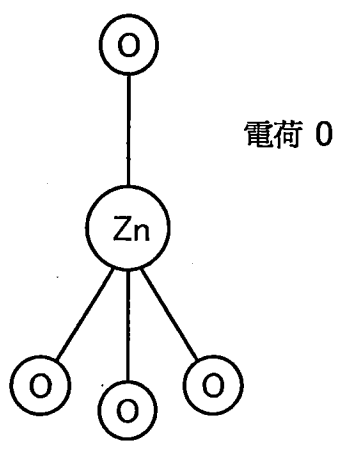


圖 11A

圖 11B

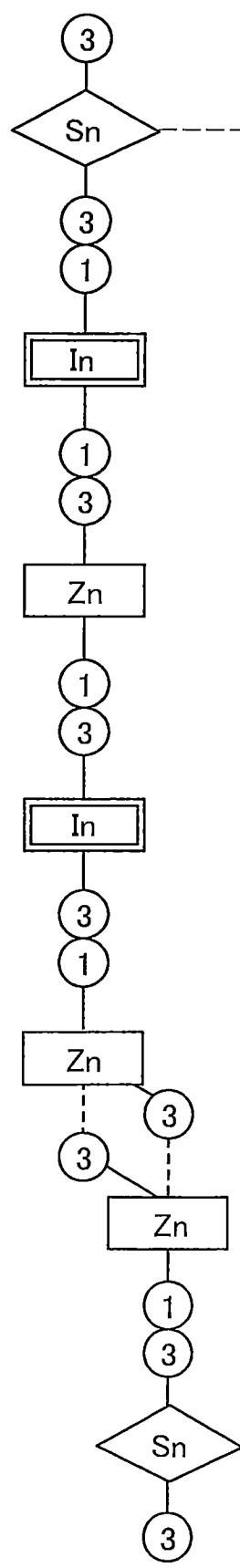
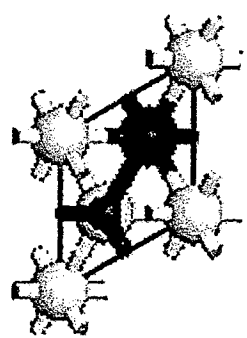


圖 11C



- In
- Sn
- Zn
- 0

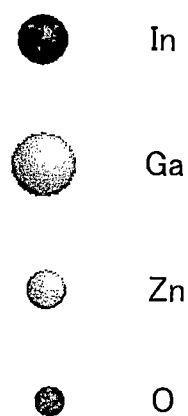
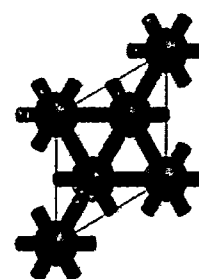
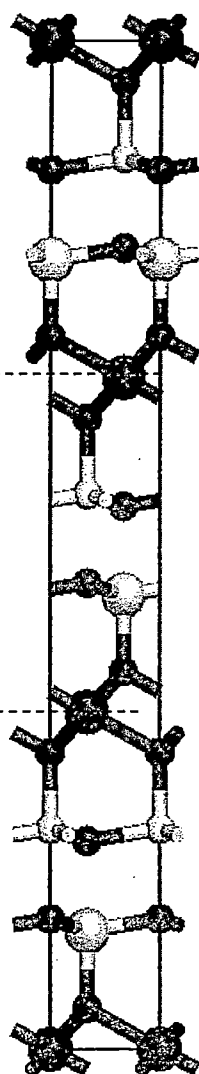
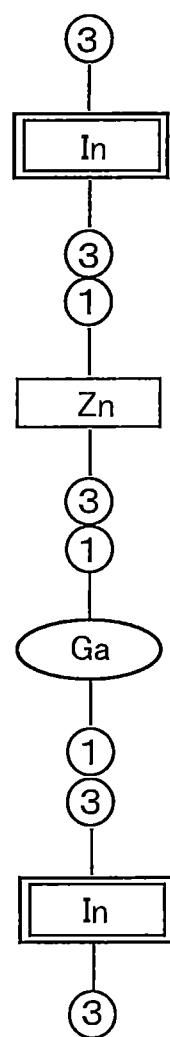


圖 13

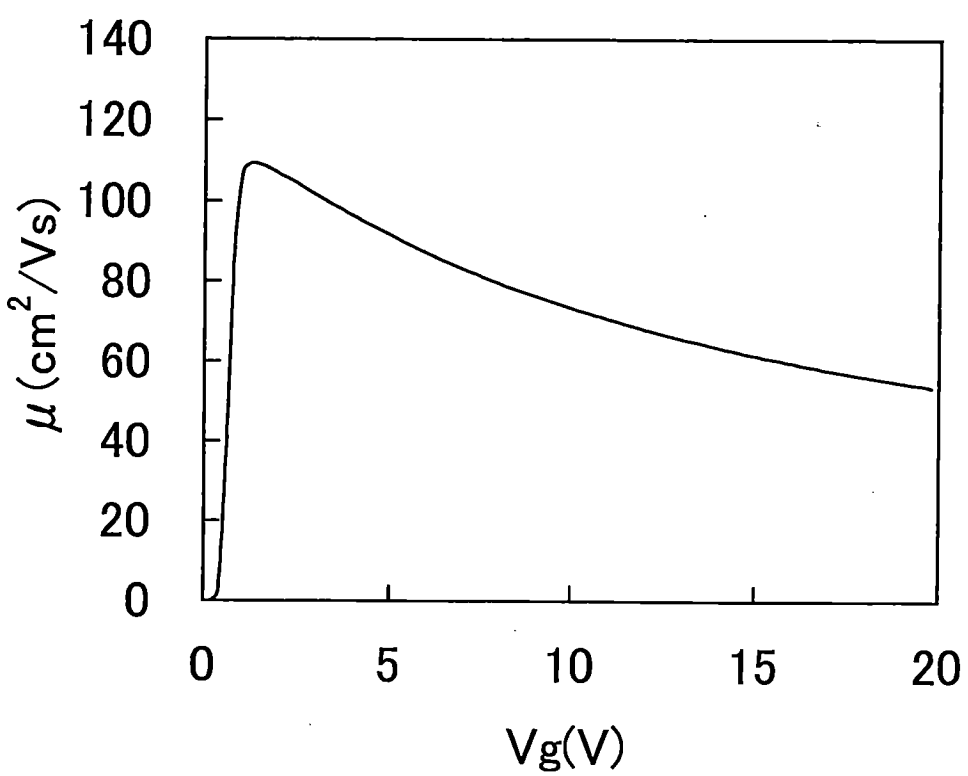


圖 14A

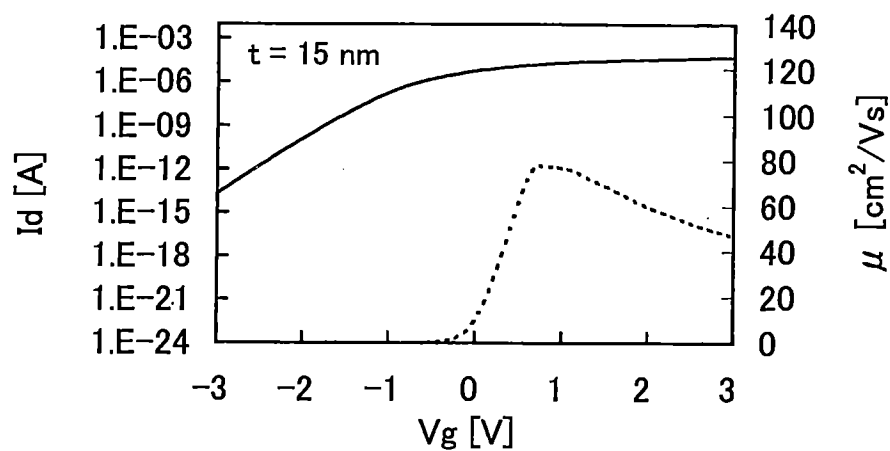


圖 14B

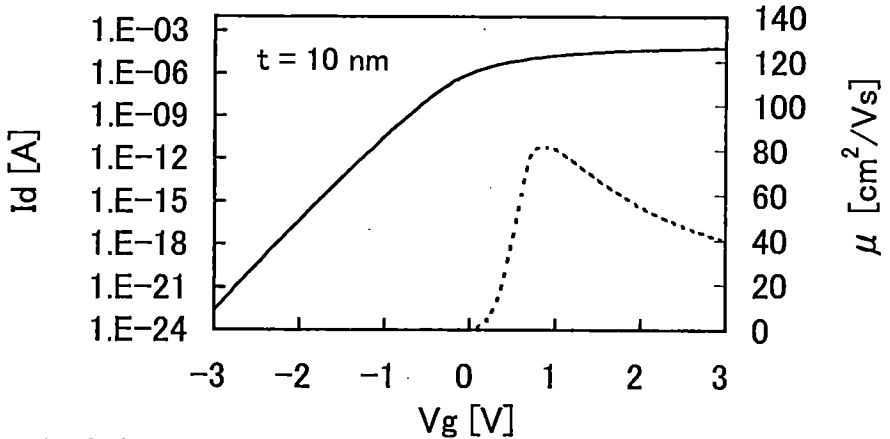


圖 14C

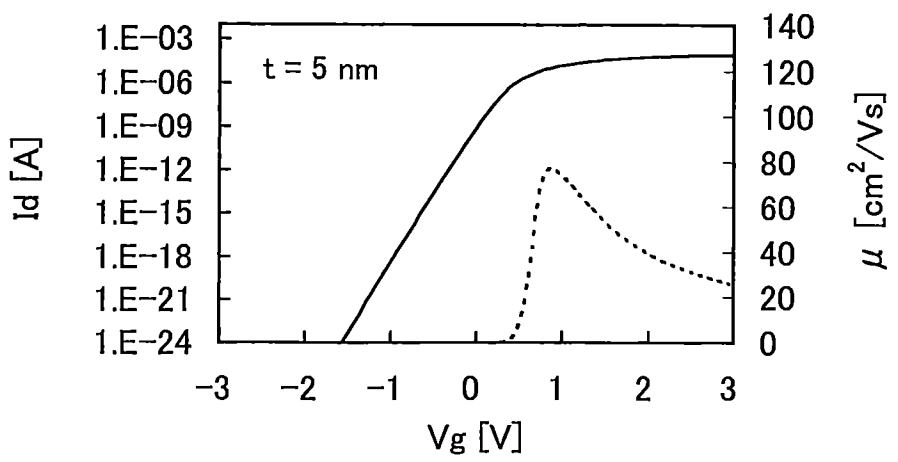


圖 15A

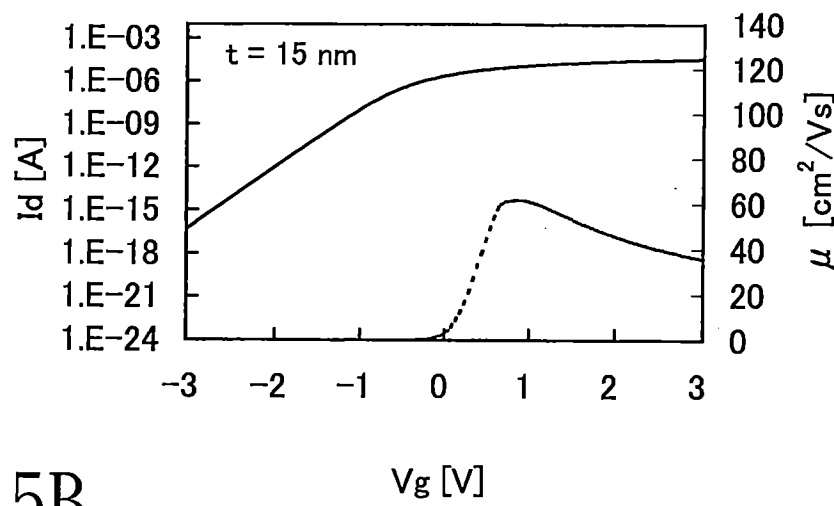


圖 15B

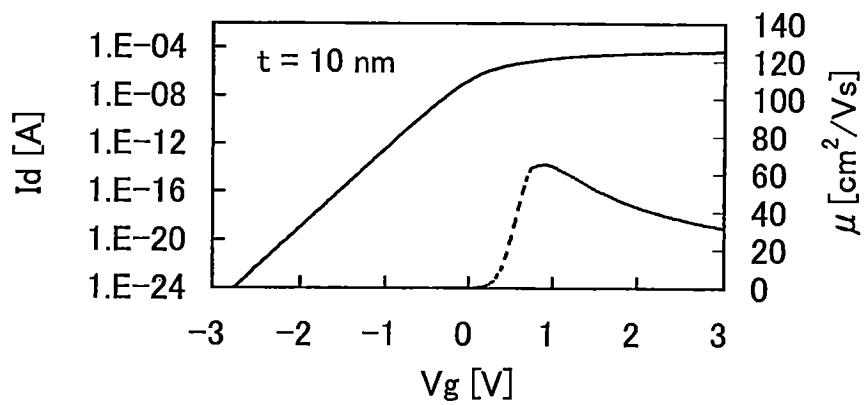


圖 15C

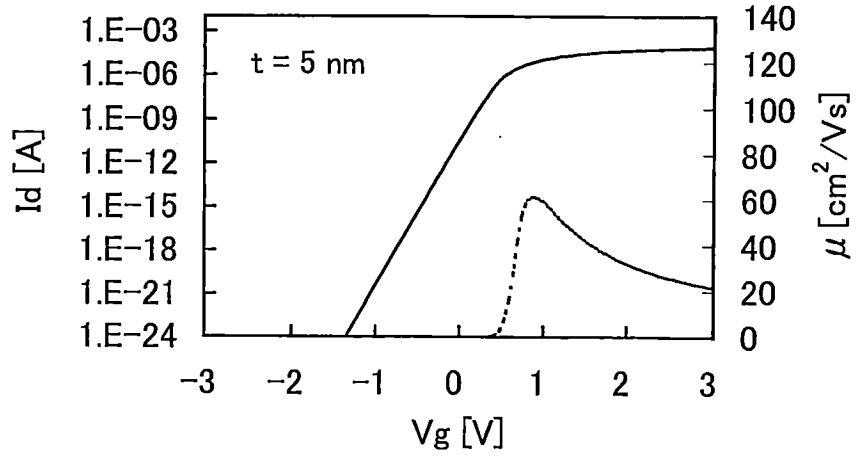


圖 16A

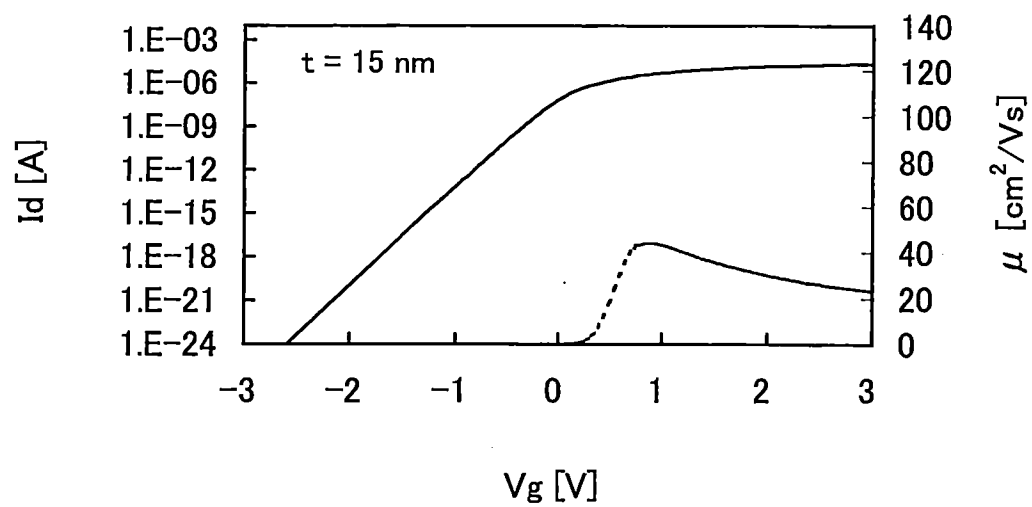


圖 16B

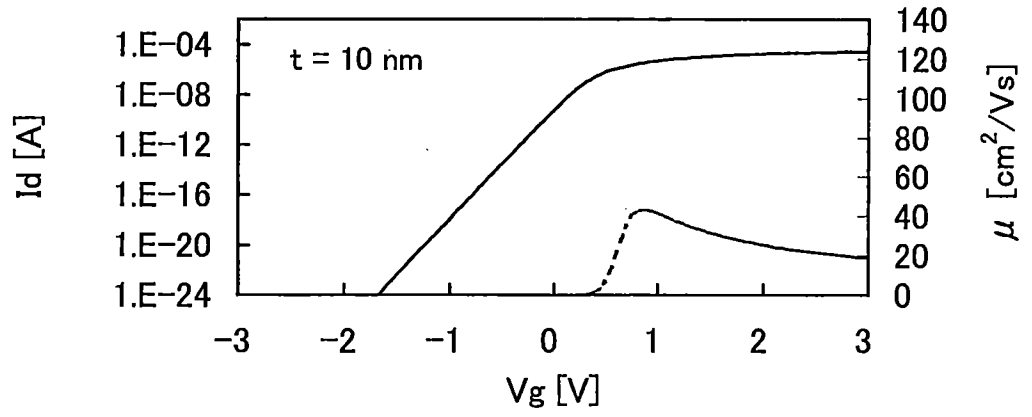


圖 16C

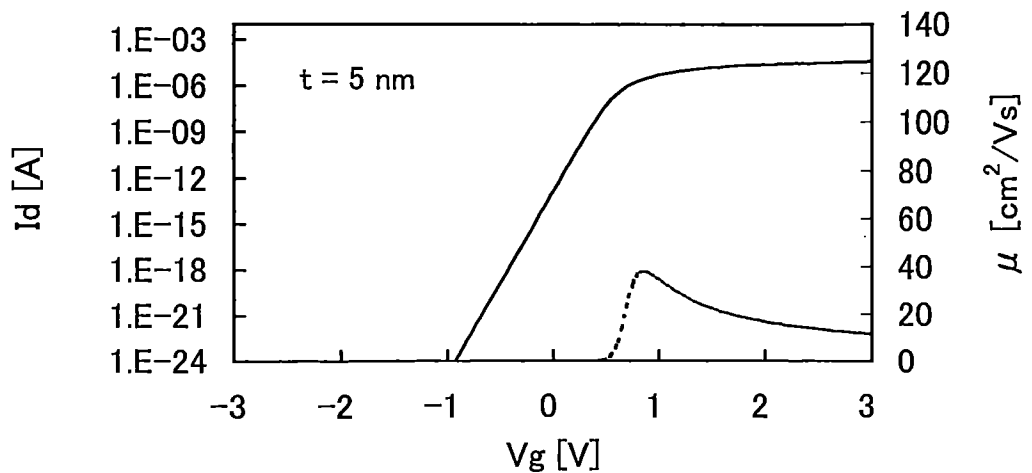


圖 17A

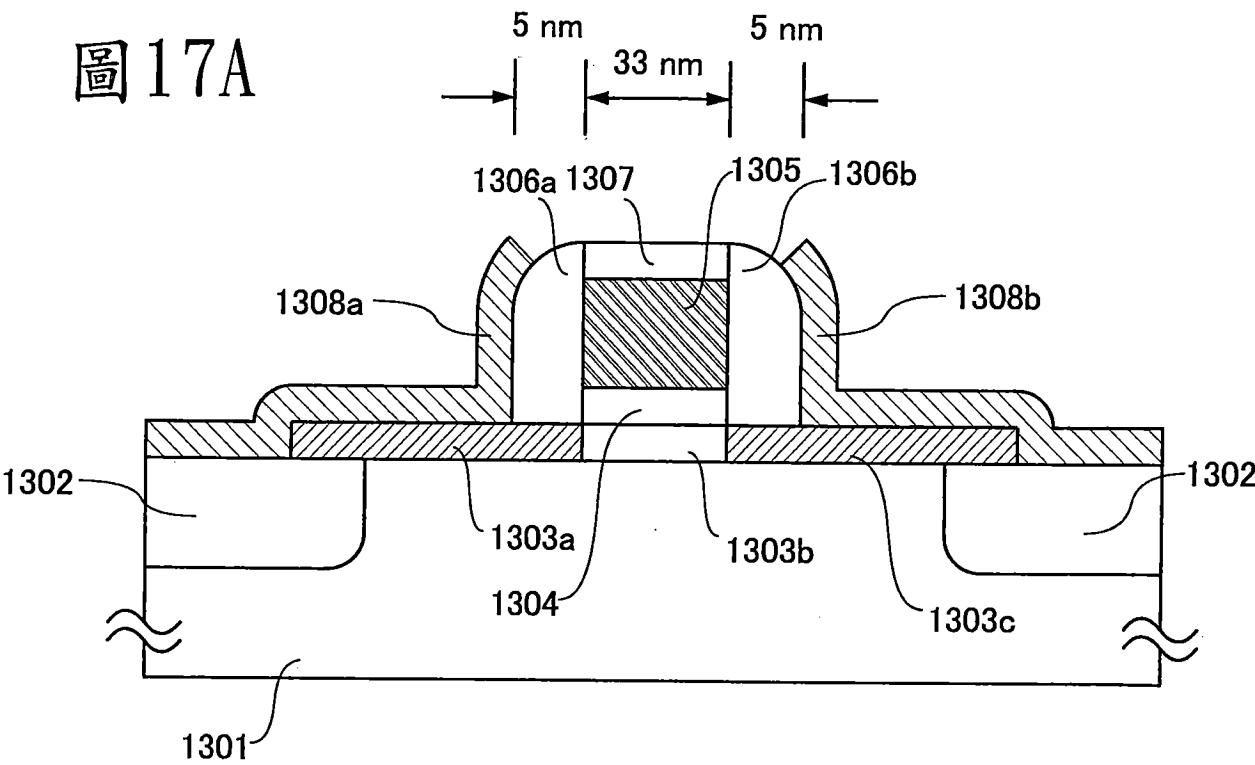


圖 17B

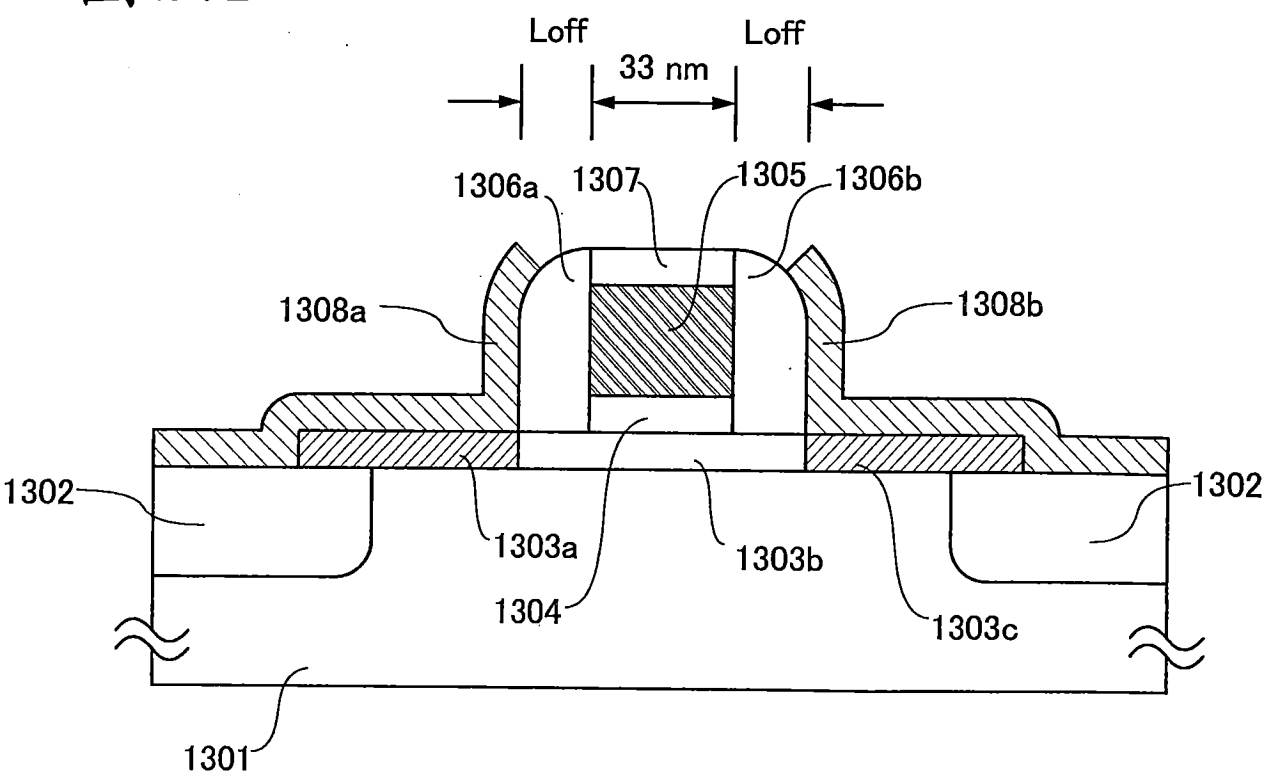


圖 18A

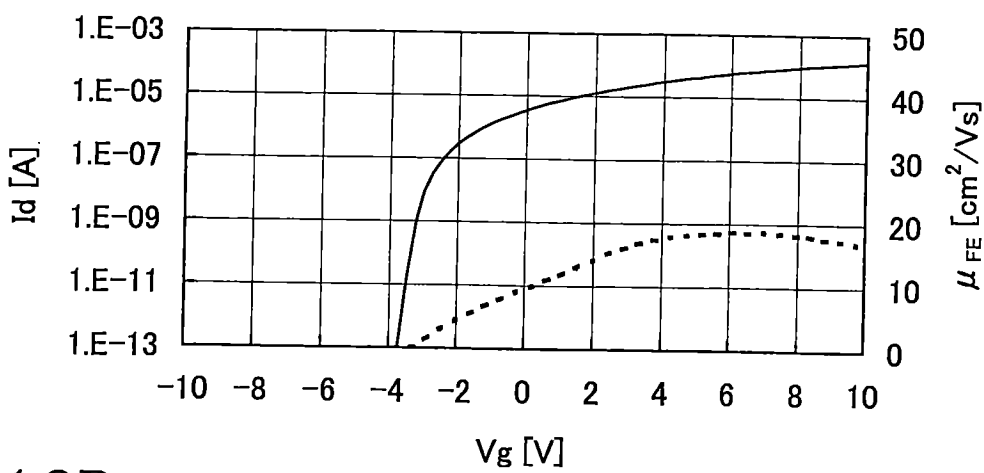


圖 18B

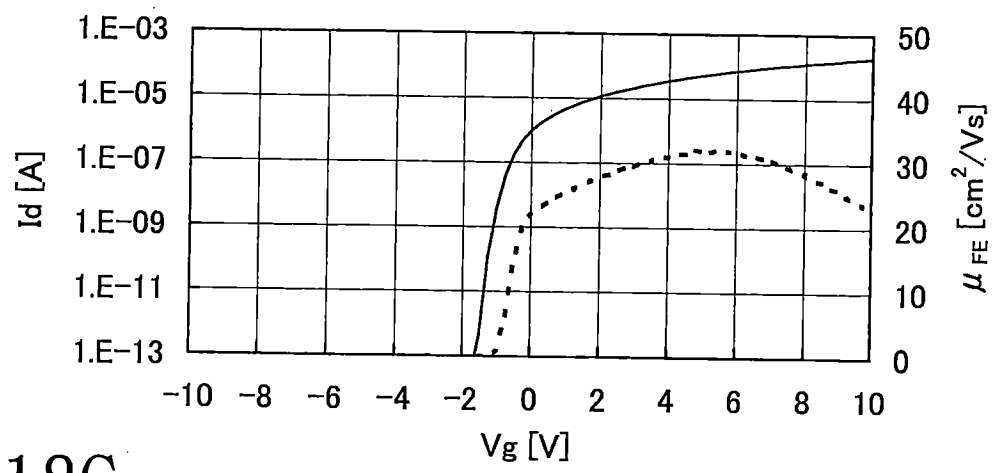


圖 18C

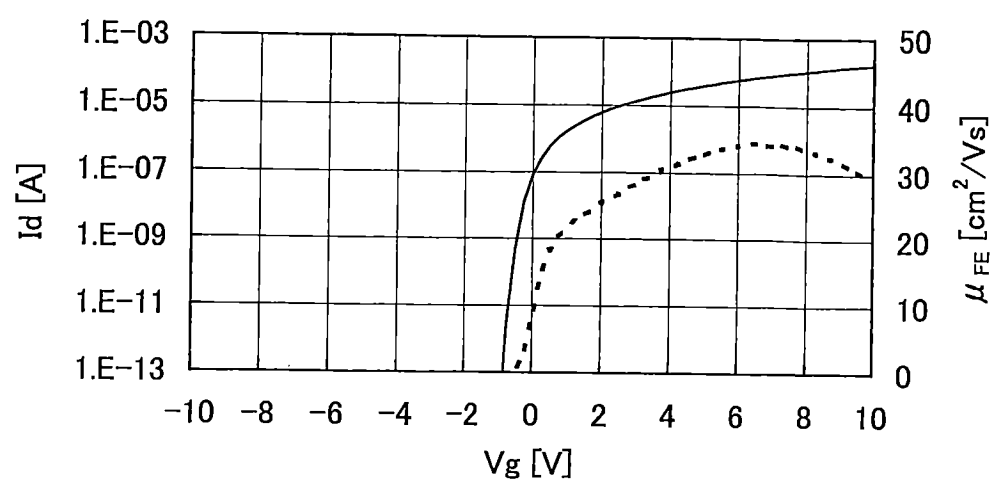


圖 19A

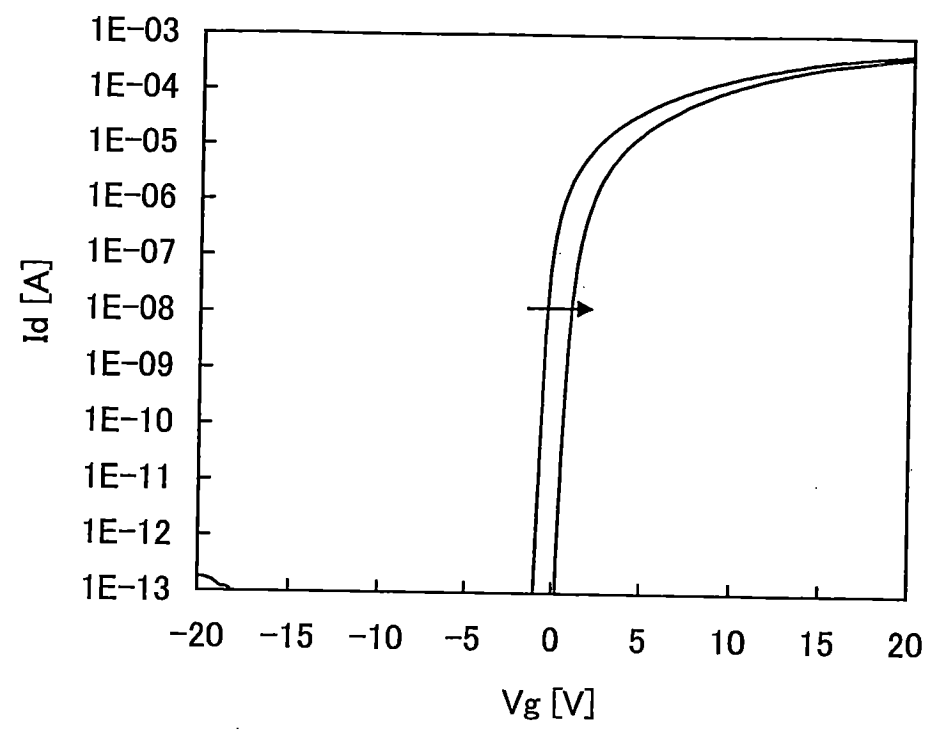


圖 19B

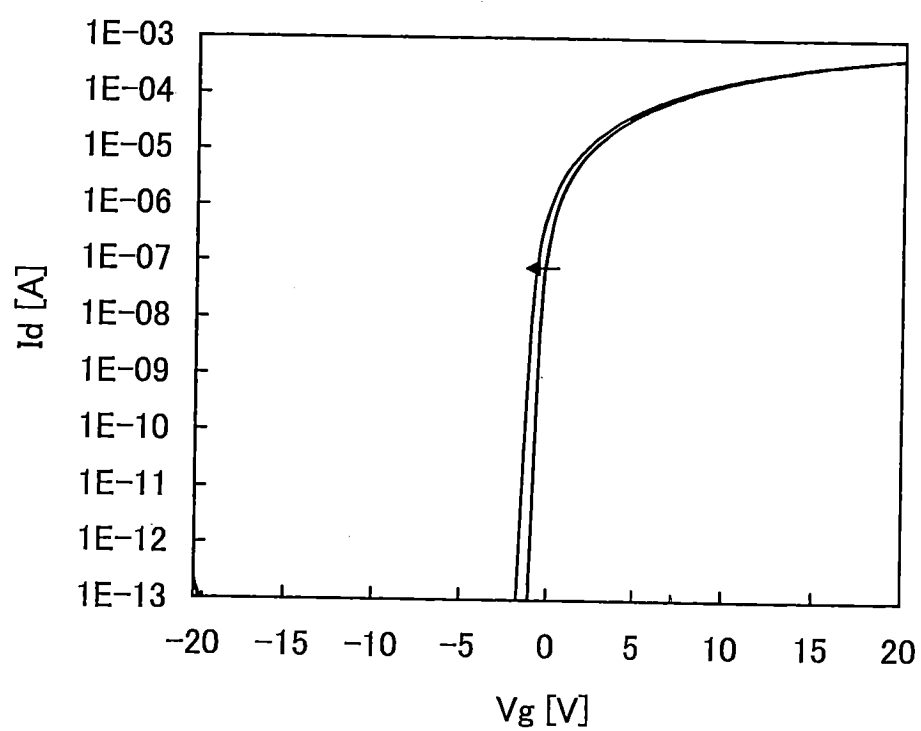


圖 20A

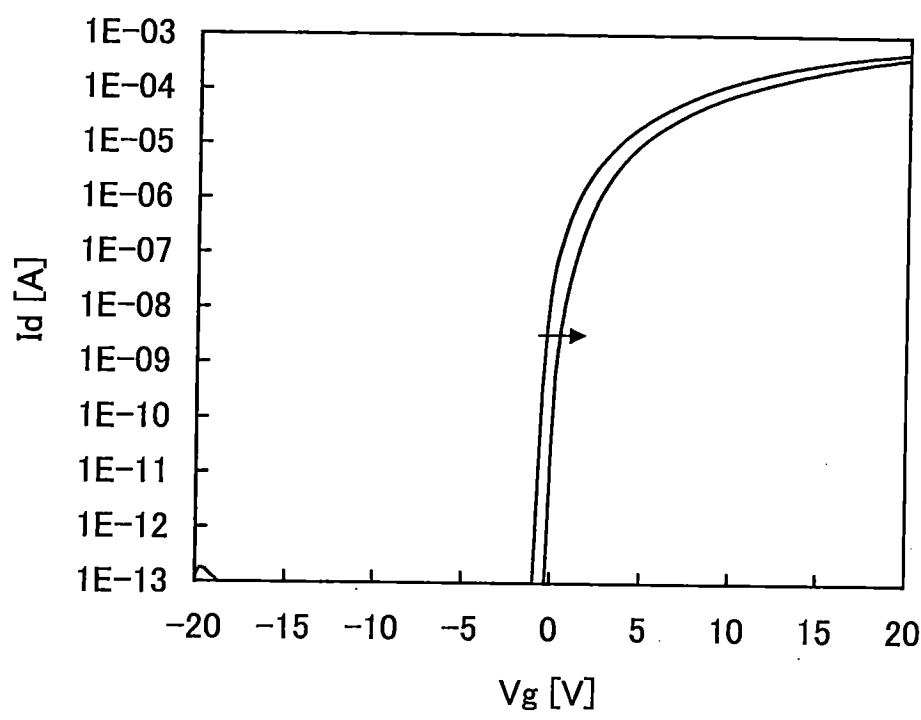


圖 20B

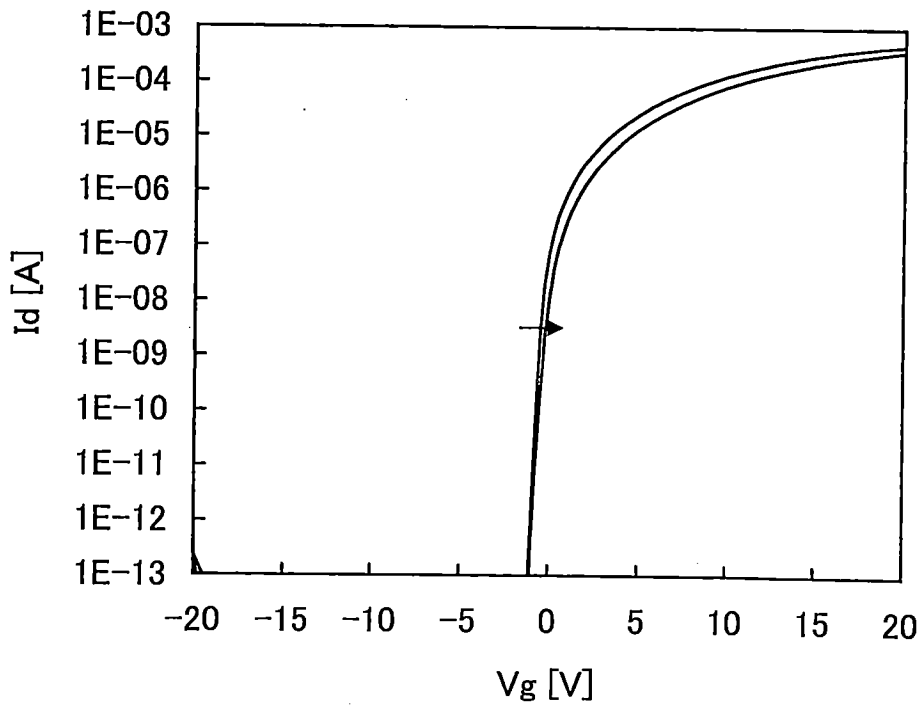


圖 21

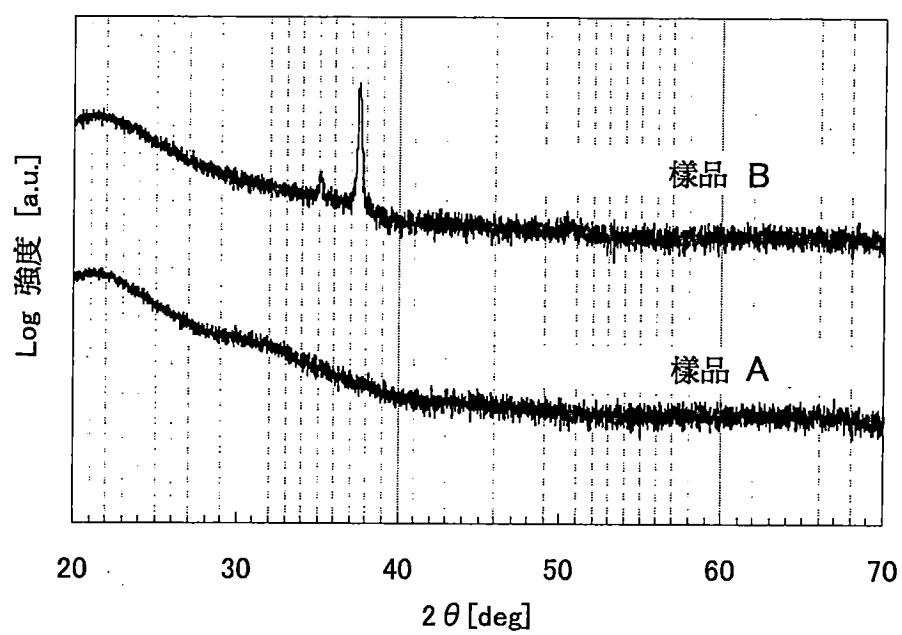


圖22

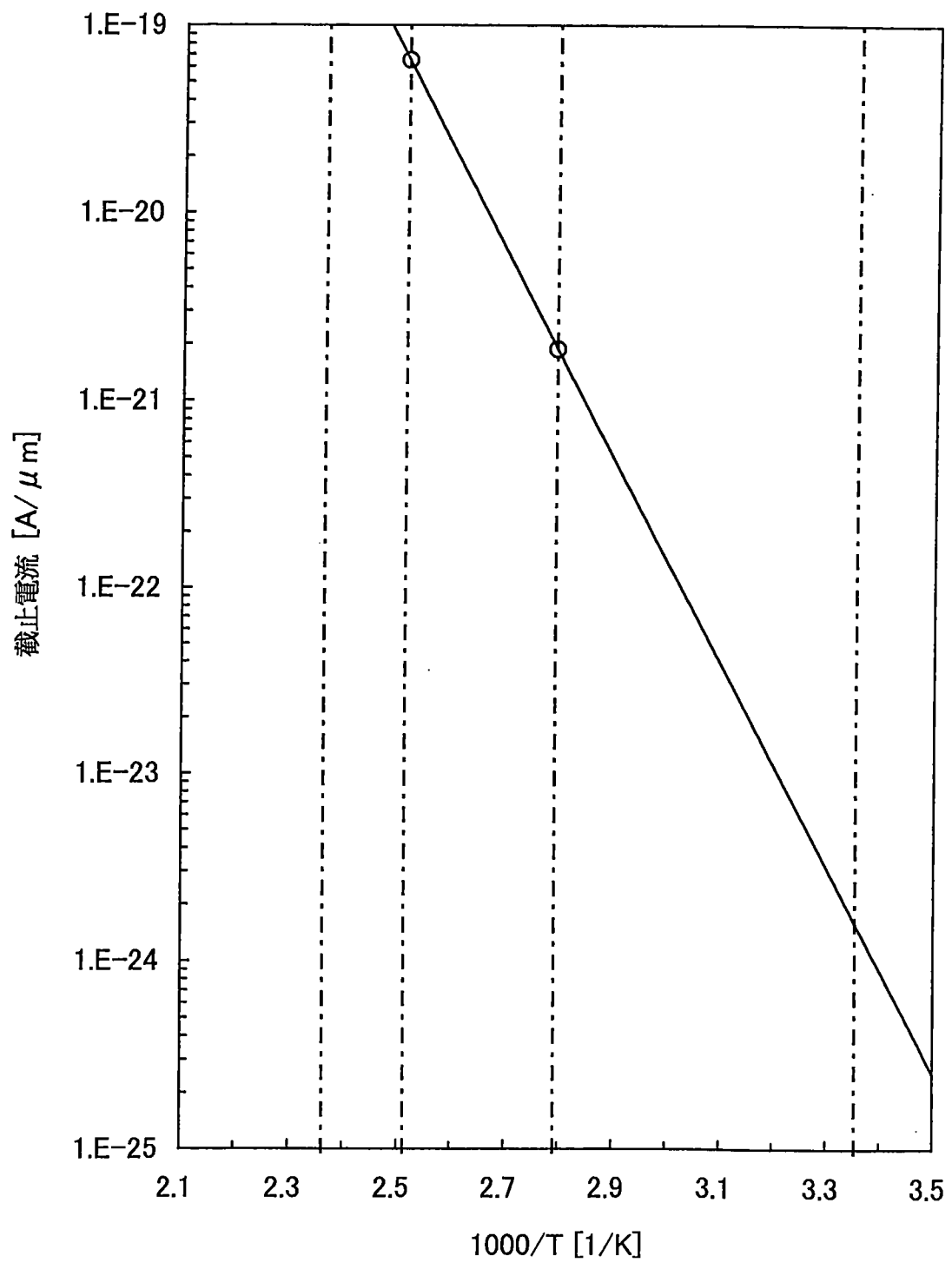


圖 23

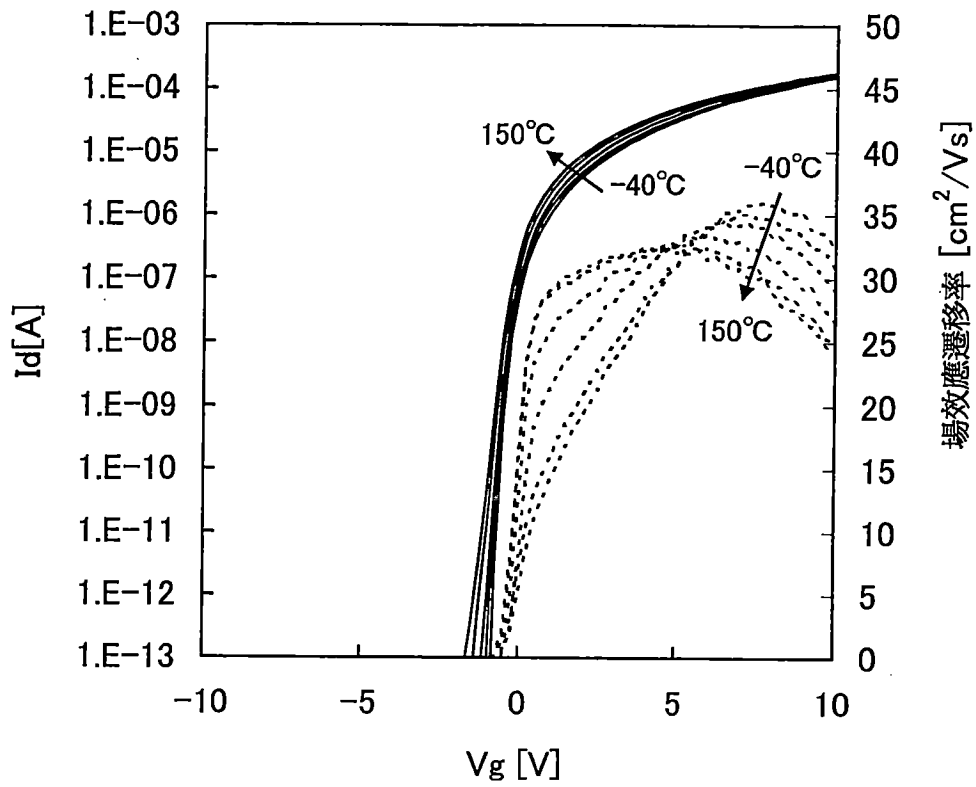


圖 24A

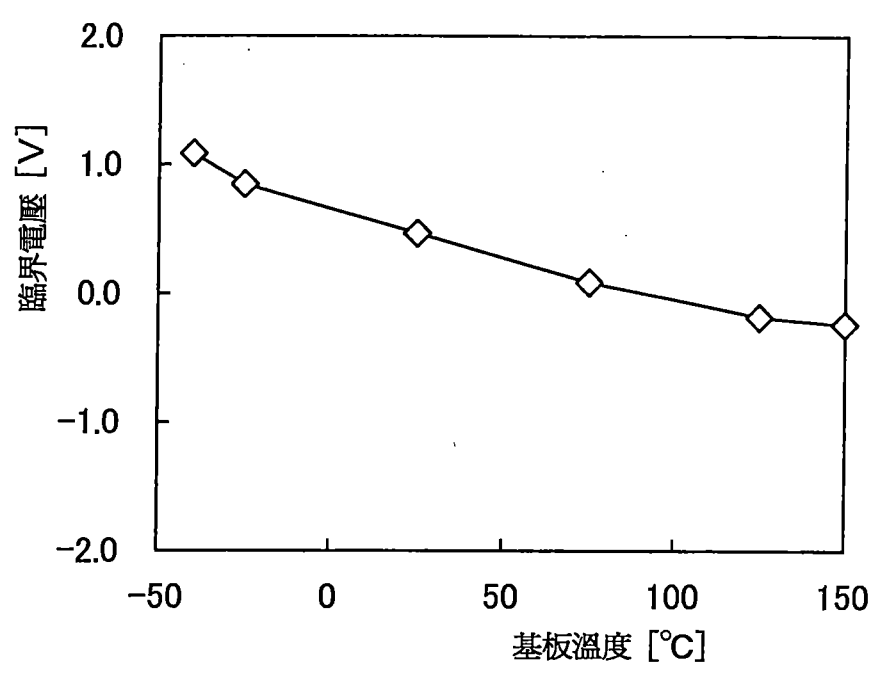


圖 24B

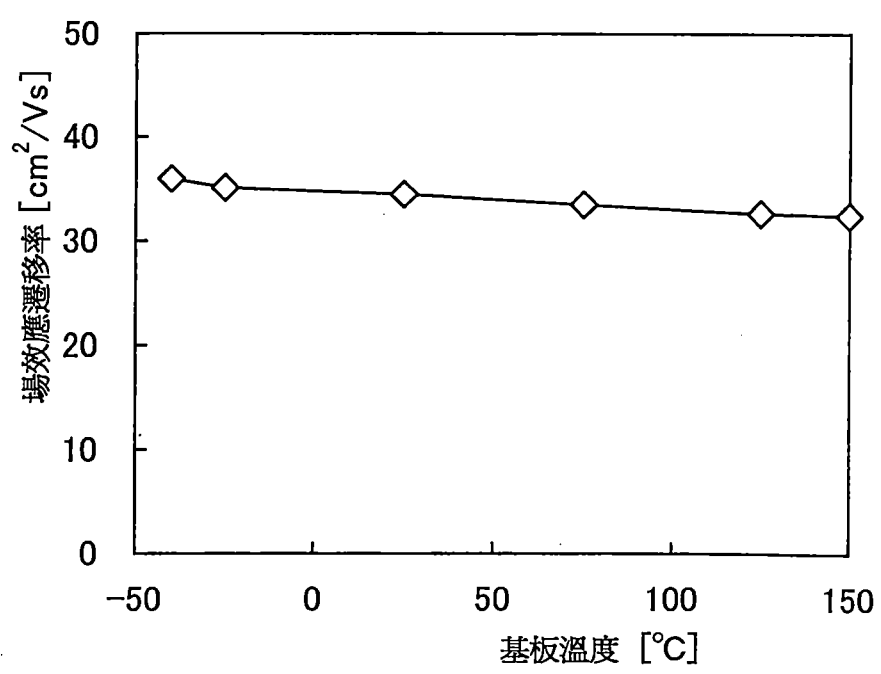


圖 25A

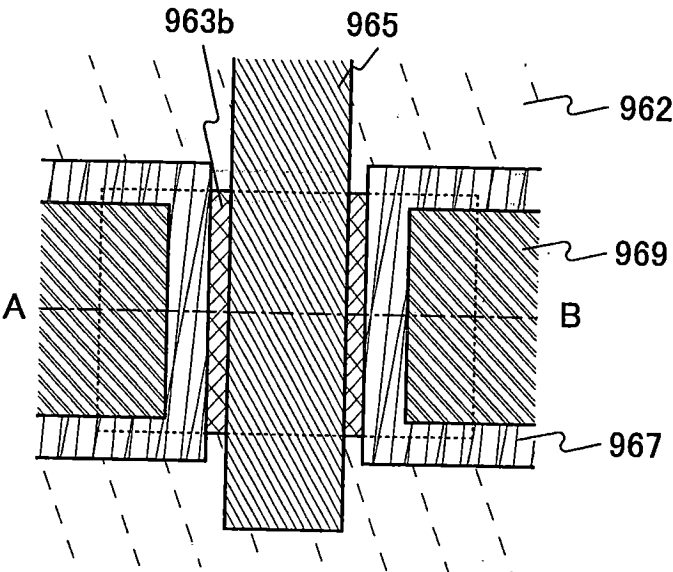


圖 25B

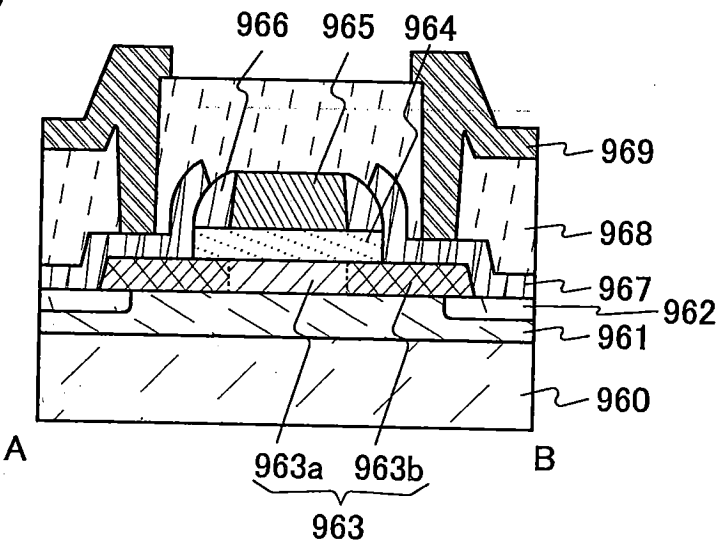


圖 26A

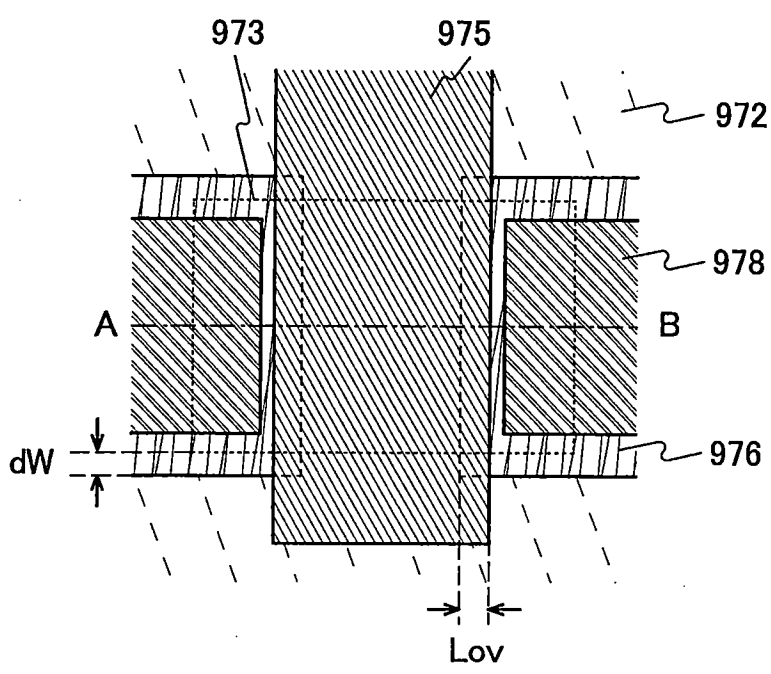
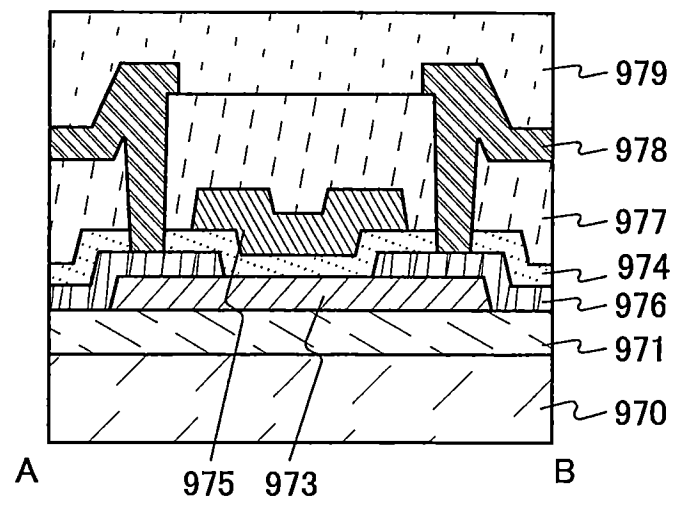


圖 26B



【代表圖】

【本案指定代表圖】：第(1A)圖。

【本代表圖之符號簡單說明】：

101：天線

102：電容元件

103：被動元件

104：電晶體

105：儲存電路

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

申請專利範圍

1. 一種半導體裝置，包括：

包括第一電晶體和電容元件的儲存電路；以及
與該儲存電路電連接的保護電路，

其中該第一電晶體的源極和汲極中的一方與該電容元件的一電極電連接，

其中該第一電晶體的該源極和該汲極中的另一方與該電容元件的另一電極電隔離，

其中該第一電晶體包括包含通道的半導體層，該通道包括銮和氧，以及

其中該半導體層包括其 c 軸在垂直於該半導體層的表面的方向上排列的結晶部分，且其中該結晶部分的每一個不是單晶。

2. 一種半導體裝置，包括：

包括第一電晶體和第二電晶體的儲存電路；以及

與該儲存電路電連接的保護電路，該保護電路包括第三電晶體，

其中該第一電晶體的源極和汲極中的一方與該第二電晶體的閘極電連接，

其中該第二電晶體的源極和汲極中的一方與該第三電晶體的閘極電連接，以及

其中該第一電晶體包括包含通道的半導體層，該通道包括銮和氧。

3. 一種半導體裝置，包括：

包括第一電晶體、第二電晶體、第三電晶體以及電容元件的儲存電路；以及

與該儲存電路電連接的保護電路，該保護電路包括第四電晶體，

其中該第一電晶體的源極和汲極中的一方與該第二電晶體的閘極電連接，

其中該第二電晶體的源極和汲極中的一方與該電容元件的一電極電連接，

其中該電容元件的另一電極與該第三電晶體的源極和汲極中的一方以及該第四電晶體的閘極電連接，

其中該第一電晶體的閘極與該第三電晶體的閘極電連接，以及

其中該第一電晶體包括包含通道的半導體層，該通道包含銮和氧。

4. 根據申請專利範圍第 2 或 3 項之半導體裝置，其中該儲存電路包括與該第二電晶體的該源極和該汲極中的一方電連接的負載。

5. 根據申請專利範圍第 2 或 3 項之半導體裝置，其中該第二電晶體包括包含矽的通道。

6. 根據申請專利範圍第 2 或 3 項之半導體裝置，其中該儲存電路包括與該第二電晶體的該閘極電連接的電容元件。

7. 根據申請專利範圍第 1 到 3 項中任一項之半導體裝置，還包含與該保護電路電連接的天線。

8. 一種半導體裝置，包括：

天線；

其第一端子與該天線的第一端子電連接且其第二端子與該天線的第二端子電連接的電容元件；

其第一端子與該電容元件的該第一端子電連接的被動元件；

其源極和汲極中的一方與該被動元件的第二端子電連接且其該源極和該汲極中的另一方與該電容元件的該第二端子電連接的第一電晶體；

包括包含通道的半導體層的第二電晶體，該通道包括氧化物半導體；

第二電容元件；以及

其源極和汲極中的一方與該被動元件的該第一端子電連接、其該源極和該汲極中的另一方與該第一電晶體的閘極電連接以及其閘極與該第二電晶體的源極和汲極中的一方及該第二電容元件的電極中的一方直接連接的第三電晶體。

9. 根據申請專利範圍第 8 項之半導體裝置，還包括：

其第一端子與該天線的該第一端子電連接的第二被動元件；以及

其第一端子與該第二被動元件的第二端子電連接且其第二端子與該天線的該第二端子電連接的第四電晶體。

10. 根據申請專利範圍第 8 或 9 項之半導體裝置，其

中資料信號輸入到該第二電晶體的該源極和該汲極中的另一方。

11. 根據申請專利範圍第 8 或 9 項之半導體裝置，其中該被動元件為電容元件和線圈中的一種。

12. 根據申請專利範圍第 8 或 9 項之半導體裝置，其中該氧化物半導體為 In-Ga-Zn 類氧化物半導體。

13. 根據申請專利範圍第 8 或 9 項之半導體裝置，還包含其第一端子與該天線的該第一端子電連接且其第二端子與該天線的該第二端子電連接的整流電路。

14. 根據申請專利範圍第 8 或 9 項之半導體裝置，其中該氧化物半導體為 In-Sn-Zn 類的氧化物半導體。

15. 根據申請專利範圍第 8 或 9 項之半導體裝置，其中該半導體層包括其 c 軸在垂直於該半導體層的表面的方向上排列的結晶部分，且其中該結晶部分的每一個不是單晶。

16. 根據申請專利範圍第 8 或 9 項之半導體裝置，其中該第二電晶體的通道寬度的每微米的截止電流低於 $1 \times 10^{-17} \text{ A}$ 。